

Date: August 29, 2025

Reviewer's Declaration

I, Frank McGee, hereby declare:

That I possess advanced knowledge of the Japanese and English languages. The attached Japanese into English translation has been reviewed by me and to the best of my knowledge and belief, it is a true and accurate translation of JP1994027983B2.

I declare that all statements made herein of my knowledge are true, and that all statements made on information and belief are believed to be true. I further declare that these statements were made with the knowledge that willfully false statements and the like are punishable by fine or imprisonment or both, under Section 1001 of Title 18 of the United States Code.

In signing this declaration, I understand that the translation and this declaration may be filed as evidence in a contested case. I acknowledge that I may be subject to cross-examination within the United States.



Frank McGee

(19) Japan Patent Office (JP) (12) Patent Gazette (B2) (11) Published Patent Application Number
Published Patent NO. 6-27983
(24) (44) Publication Date April 13, 1994

(51) Int.Cl. ⁵	ID Symbol	Patent Office Serial No.	F1	Technical Indication Section
G09F 9/30	338	6447-5G		
G02F 1/136	500	9018-2K		
H01L 29/784	9056-4M			
FI H01L 29/78	311A	9056-4M	H01L 29/78	311 A
No. of Inventions 1 (Total 10 pages)				
(21) Application Number Patent Application 61-123603				(71) Applicant 999999999
(22) Application Date May 30, 1986				Hitachi, Ltd.
(65) Publication Number Published Patent 62-280792				4-6 Kanda Surugadai, Chiyoda-ku, Tokyo
(43) Publication Date December 5, 1987				(72) Inventor Hideo Kobayashi
				Within Hitachi, Ltd. Production Engineering Research Laboratory,
				292 Yoshida-cho, Totsuka-ku, Yokohama-shi, Kanagawa
				(72) Inventor Akhiro Tsurutani
				Within Hitachi, Ltd. Production Engineering Research Laboratory,
				292 Yoshida-cho, Totsuka-ku, Yokohama-shi, Kanagawa
				(72) Inventor Yuji Matsuzaki
				Within Hitachi, Ltd. Production Engineering Research Laboratory,
				292 Yoshida-cho, Totsuka-ku, Yokohama-shi, Kanagawa
				(74) Agent Patent Attorney Masami Akimoto
				Examiner Akira Suzuki

(54) [Title of the Invention] Display Element

1

[Claim 1]
A display element comprising: a lower wiring layer disposed at a predetermined position on a substrate; an insulating layer formed over the substrate and the lower wiring layer; an upper wiring layer formed by sputtering on the insulating layer; a portion of the upper wiring layer intersecting with the lower wiring layer; wherein: the intersecting portion of the lower wiring layer includes a first region aligned parallel to a traveling direction of the substrate during sputtering of the upper wiring layer; and a second region aligned orthogonal to said traveling direction; protrusions are provided on both sides of the first region of the lower wiring layer, said protrusions extending in a direction orthogonal to the traveling direction of the substrate during sputtering of the upper wiring layer; projections are provided on both sides of the second region of the lower wiring layer, said projections extending in a direction parallel to the traveling direction of the substrate during sputtering of the upper wiring layer;

3

Continued on final page

2

wherein: the protrusions and the insulating layer formed thereon define stepped surfaces in multiple directions; and at least one of said stepped surfaces permits sputtered particles to be incident at a low angle, thereby forming a stepped structure.
[Detailed Description of the Invention]
[Field of the Invention]
The present invention relates to a display device, and more specifically to a display element embodied as a microelectronics product utilizing thin-film wiring formed on a substrate through thin-film fabrication techniques.
[Background Art]
In microelectronics products such as integrated circuits (ICs), multilayer wiring structures are widely employed within IC chips to achieve high circuit density. In recent years, flat panel displays have received considerable attention. In such displays, light-emitting pixels are activated by applying voltage across electrodes arranged along the X-axis and Y-axis. In liquid crystal displays, the liquid crystal associated with each pixel is driven by application of voltage through these orthogonally arranged electrodes.

4

A pixel is activated only when both electrodes corresponding to that pixel are simultaneously driven. This driving method is generally referred to as a matrix driving scheme. Electronic displays have been extensively described in the literature. (Reference may be made, for example, to the special feature on electronic displays in the February 1982 issue of the journal *Electronic Materials*.) The aforementioned wiring is generally formed in a planar configuration on a flat substrate. When two types of signal wiring systems are formed on the same substrate as described above, these two wiring systems typically intersect with each other through an insulating layer.

Figure 2(a) illustrates a cross-sectional structure of such a wiring intersection. Referring to this figure, the conventional thin-film wiring intersection exhibits several problems.

Wiring 1 extends in a direction perpendicular to the plane of the paper, while wiring 2 crosses over wiring 1 via insulating layer 3. Accordingly, insulating layer 3 is formed over both substrate 4 and wiring 1, and wiring 2 is disposed such that a portion intersects with wiring 1. In the example of thin-film wiring shown here, typical dimensions are assumed: wiring layers 1 and 2 each have a thickness of approximately 1 μm , and insulating layer 3 likewise has a thickness of approximately 1 μm . Various methods may be employed to form these layers. Wiring layers 1 and 2 are generally metallic and are commonly formed by sputtering. Insulating layer 3 may be, for example, a silicon nitride (SiN) film formed by plasma chemical vapor deposition (plasma CVD). As shown in the figure, when insulating layer 3 is formed over wiring 1, the step produced by wiring 1 creates a notch 5 at the corner between wiring 1 and substrate 4. The degree of this notch may vary, but such a configuration is generally referred to as an "overhang."

Since wiring 2 is further formed over the overhang of insulating layer 3, the overhang of wiring layer 2 becomes even more pronounced. If manufacturing conditions are not properly controlled, defects such as disconnection may occur at the notch portion of wiring layer 2.

Even where disconnection does not occur, product reliability may be substantially reduced. Defects due to disconnection at stepped portions of wiring layers are a well-known issue in IC manufacturing technology and have been extensively studied. For example, reference may be made to: Ryan, D. Douse, L. Hahn, M. Luciano, "The Effect of Temperature on Topology Related Defect Formation in Evaporated Aluminum Based Thin Films," *Proceedings of the 1985 International Conference on Metallurgical Coatings*, Los Angeles.

Various methods have been attempted to address the above-mentioned problems. Figure 2(b) illustrates a cross-sectional structure in which insulating layer 3 is replaced by an organic material 3' applied by spin coating. While this configuration resolves formal structural issues, it nevertheless suffers from insufficient mechanical strength and high moisture absorption, rendering the wiring susceptible to corrosion. Accordingly, numerous problems remain unresolved.

substrate 101. Reference numeral 104 denotes the sputtering target, which is the deposition source material. Plasma ring 105 is generated in front of

For example, in multilayer wiring structures employing polyimide as the interlayer insulating film, reference may be made to: T. Nishida, K. Mukai, T. Inaba, T. Kato, I. Tezuka, N. Horie, "Moisture Resistance of Polyimide Multilevel Interconnect LSIs," *23rd Annual Proceedings of Reliability Physics*, 1985. For this reason, organic insulating films cannot be employed in display substrates.

As described above, while multilayer wiring technologies are being actively developed for display substrates, the problem of disconnection at wiring intersections remains a significant issue.

One method for planarizing interlayer insulating films using inorganic materials is the bias sputtering method with quartz (SiO_2). In this method, quartz is deposited on the substrate by sputtering while a high-frequency voltage is simultaneously applied to the substrate side, thereby sputtering away a portion of the deposited quartz.

By this method, protrusions and elevated regions are preferentially sputtered, permitting the formation of an almost planar quartz film. Numerous publications have also reported on this method. For example, reference may be made to: A. Muntaz, I. Drapkin, R. Mathew, "Radio Frequency Magnetron Sputtering of Radio Frequency Biased Quartz on a Scanning Pallet," *Journal of Vacuum Science and Technology*, A2(2), April-June 1984, pp. 237--.

However, this method exhibits serious drawbacks in productivity, as the deposition rate is extremely low (100–200 $\text{\AA}/\text{min}$). In addition, because sputtering occurs on the substrate side, the substrate temperature rises considerably, rendering it unsuitable for use with inexpensive glass substrates.

Another method for preventing disconnection at stepped portions is to make the step as gradual as possible. However, this approach causes the width of the stepped region to increase, which runs counter to the trend toward finer patterning. Moreover, it requires setting and controlling etching conditions specific to the material, and throughput is low, making it unsuitable for mass production.

[Problem to be Solved by the Invention]

The object of the present invention is to provide a display element capable of improving the reliability of wiring at thin-film wiring intersections. In general, when forming thin-film wiring by sputtering, the deposition characteristics at stepped portions exhibit directionality, and depending on the wiring pattern at the step, disconnection is likely to occur.

Figure 3 illustrates the essential configuration of a sputtering apparatus commonly used for thin-film formation on relatively large panels (substrates), such as liquid crystal display panels. Based on this figure, the deposition characteristics of the sputtering method will be described.

In Figure 3(A), substrate 101 is conveyed on pallet 102 within the sputtering apparatus. Arrow 103 indicates the traveling direction of pallet 102 (and

surface 111', which faces toward the near end of substrate 101, receives almost no sputtered particles at shallow incidence angles.

sputtering target 104, and argon ions within this plasma are accelerated toward the surface of sputtering target 104 by a high electric field region, striking the target and causing the constituent material of sputtering target 104 to be scattered and deposited as a thin film on substrate 101.

As shown in Figure 3(B), pallet 102 initially starts from position 105 in the figure, then proceeds through positions 106 and 107, thereby completing deposition of a film having the prescribed thickness. As a result, the film formed on substrate 101 exhibits a highly uniform thickness distribution and particle incidence history along the substrate traveling direction.

Figure 4 illustrates the coverage characteristics of the deposited film at step portions on the substrate. In Figure 4(a), the relationship between traveling direction 103 and step portion 108 is shown. Step portion 108, which includes the lower wiring film (and insulating film), is oriented perpendicular to traveling direction 103. The surfaces forming step portion 108, namely surfaces 109 and 110, face traveling direction 103 and reverse direction 103', respectively. As pallet 102 moves from position 105 to positions 106 and 107, as shown in Figure 3(B), sputtered particles begin to impinge upon surface 109 at a shallow angle relative to substrate 101. At position 107, substantially no deposition occurs on surface 109. Surface 110 receives sputtered particles in the reverse sequence relative to surface 109, likewise at a shallow angle. Accordingly, as shown in Figure 4(b), the coverage characteristics of the step-forming surfaces oriented perpendicular to the traveling direction of substrate 101 result in a nearly symmetrical deposition profile on both sides of step portion 108.

Up to this point, film deposition has been described along the traveling direction of substrate 101. Next, deposition characteristics in the direction perpendicular to the traveling direction will be considered.

Figure 5, similar to Figure 4, illustrates the positional relationship between substrate 101 and sputtering target 104. In this case, the traveling direction of pallet 102 is perpendicular to the plane of the page. Again, a step formed on substrate 101 is considered. In this instance, the step is aligned with the traveling direction of pallet 102, as shown in Figure 4(a), and the surface forming the step faces a direction perpendicular to the traveling direction of pallet 102 (hereinafter referred to as direction 114). As shown in Figure 5, three positions—111, 112, and 113—are defined along direction 114 (i.e., perpendicular to the traveling direction), corresponding respectively to the near end, central portion, and far end of substrate 101. Deposition onto step portions at these positions is examined, where the step-forming surfaces are oriented perpendicular to traveling direction 103 of pallet 102. At position 112, sputtered particles arrive equally from both ends of sputtering target 104, producing symmetrical coverage characteristics on both sides of the step, as illustrated in Figure 6(a). At position 111, however, step-forming

Accordingly, the coverage characteristics of the step at position 111 correspond to those shown in Figure 6(b). With respect to the step portion at position 113 of substrate 101 in Figure 5, its coverage characteristics are the reverse of those at position 111, and therefore detailed explanation is omitted here.

From Figures 6(b) and 6(c), it can be understood that, for step-forming surfaces oriented perpendicular to traveling direction 103 of substrate 101, when such steps are located near the edge of substrate 101, coverage by sputtered particles becomes poor, frequently resulting in disconnection defects. To avoid such disconnection defects, it has been conventional practice to employ sputtering target 104 of sufficiently large size, even in deposition methods where the target is oriented perpendicular to traveling direction 103 of substrate 101. However, this conventional approach entails enlargement of the sputtering apparatus, or alternatively requires reduction in substrate size or reduction in the number of substrates processed—none of which provide ideal solutions.

[Objective of the Invention]

The purpose of the present invention is to improve the deterioration in sputtered particle coverage characteristics at the edge portions of the substrate, which results in disconnection defects at step portions formed in wiring intersections. The invention seeks to provide a technique for forming wiring that uniformly covers step portions across the entire substrate without dropout. At the same time, by improving coverage characteristics, the invention aims to increase the process margin in the manufacture of display elements and to enhance product reliability.

[Means for Solving the Problem]

The above objective is achieved by a display element comprising: a lower wiring film provided at a predetermined position on a substrate, an insulating film formed over the substrate and the lower wiring film, and an upper wiring film formed by sputtering on the insulating film, such that a portion intersects with the lower wiring film. The portion of the lower wiring film intersecting with the upper wiring film includes: a first region arranged parallel to the substrate traveling direction during sputtering of the upper wiring film, and a second region arranged perpendicular to the substrate traveling direction. On both sides of the first region of the lower wiring film, projections are formed extending in a direction perpendicular to the substrate traveling direction during sputtering of the upper wiring film. On both sides of the second region of the lower wiring film, projections are formed extending parallel to the substrate traveling direction. These projections, together with the insulating film formed thereon, define stepped surfaces in multiple directions, wherein at least one of said stepped surfaces allows sputtered particles to be incident at a shallow angle, thereby forming a step portion with improved coverage characteristics.

According to the present invention, a pattern is provided in which step-forming surfaces are oriented in multiple directions, and at least one of such surfaces is

Figure 8(a) shows the cross-section along line A-A' of Figure 1. In this figure, since the surface forming the step cut by A-A' in Figure 1 faces the pallet traveling

configured to allow sputtered particles to be incident at a shallow angle. In this manner, the objectives of the invention described above are realized.

That is, as described in the section on problems with conventional technology, during sputtering deposition of the upper wiring layer, the step portion formed by the lower wiring layer and the insulating layer deposited thereon exhibits favorable coverage characteristics on the surface facing the pallet traveling direction, owing to symmetrical particle incidence. Consequently, disconnection of the upper wiring layer can be prevented.

[Embodiments of this invention]

An embodiment of the present invention will now be described with reference to Figures 1 and 7 through 9.

Figure 7 illustrates a state in which lower wiring layer 701 is formed on substrate 101. In this configuration, protrusions 701' are provided on both sides of the intersection region of lower wiring layer 701 and the upper wiring layer 703 to be subsequently formed. Specifically, lower wiring layer 701 in Figure 7 is disposed vertically and horizontally on substrate 101, and its intermediate portion intersects with upper wiring layer 703 as shown in Figure 1. That is, the portion of lower wiring layer 701 intersecting with upper wiring layer 703 includes a first section 701a aligned parallel to pallet traveling direction 103 during sputtering, and a second section 701b aligned perpendicular to said direction. Protrusions 701' are formed on both sides of first section 701a, extending in a direction perpendicular to traveling direction 103. Similarly, protrusions 701' are formed on both sides of second section 701b, extending parallel to traveling direction 103. These protrusions 701', together with insulating layer 702 formed on lower wiring layer 701, define step-forming surfaces oriented in multiple directions. Accordingly, when upper wiring layer 703 is subsequently deposited by sputtering, at least one of said step-forming surfaces receives sputtered particles at a shallow angle, thereby achieving favorable coverage characteristics.

After forming lower wiring layer 701 as described above, insulating layer 702 was deposited, as shown in Figures 8(a) through 8(d). For lower wiring layer 701, chromium was employed. The film thickness was 300 nm. Insulating layer 702 was formed by a plasma CVD method using a silicon nitride (SiN) film. The thickness of insulating layer 702 was likewise 300 nm. The width of lower wiring layer 701 was 12 μm , and protrusions 701a and 701b each had a length of 6 μm and a width of 6 μm . Insulating layer 702 was deposited over the substrate and lower wiring layer 701, conforming to the shape of lower wiring layer 701 including its protrusions. Subsequently, upper wiring layer 703 was formed by sputtering so as to pass directly over protrusions 701' of insulating layer 702. Upper wiring layer 703 was also formed of chromium, having a thickness of 300 nm and a width of 12 μm .

9
In conventional technology, the number of defects does not reach zero unless the aluminum film thickness exceeds 200 nm. In contrast, with the technique of the present invention, the defect count reaches zero beginning at a thickness of 100 nm.

direction 103, the coverage characteristics of sputtered particles are favorable, and upper wiring film 703 assumes a symmetrical profile.

However, with respect to the step-forming surfaces shown in Figure 8(b), the coverage characteristics of sputtered particles are not favorable. Figure 8(b) corresponds to the cross-sections along lines B-B' and C-C' of Figure 1.

Figure 8(c) shows the cross-section along line D-D' of Figure 1. In this case, the step-forming surface cut by D-D' is oriented perpendicular to the traveling direction 103, and thus the symmetry of the coverage characteristics of sputtered particles is poor. Conversely, as shown in Figure 8(d), with respect to the step-forming surface cut by lines E-E' and F-F' of Figure 1, the coverage characteristics exhibit good symmetry.

As described above, protrusions 701' are provided at each intersection between lower wiring layer 701 and upper wiring layer 703. These protrusions 701', together with insulating layer 702 deposited thereon, form step portions having multidirectional surfaces. After formation of these step portions, upper wiring layer 703 is deposited by sputtering. In the region where upper wiring layer 703 intersects first portion 701a of lower wiring layer 701, sputtered particle coverage is poor at the cross-sectional area perpendicular to pallet travel direction 103, as shown in Figure 8(b). However, as shown in Figure 8(a), favorable symmetrical coverage is obtained at the cross-sectional area parallel to travel direction 103. Likewise, in the region where upper wiring layer 703 intersects second portion 701b of lower wiring layer 701, coverage is poor at the cross-sectional area perpendicular to travel direction 103, as shown in Figure 8(c). Yet, as shown in Figure 8(d), favorable symmetrical coverage is obtained at the cross-sectional area parallel to travel direction 103. Accordingly, in the regions where upper wiring layer 703 intersects step portions formed by lower wiring layer 701 and insulating layer 702, at least one of the cross-sectional areas exhibits favorable sputtered particle coverage characteristics. Thus, disconnection failures in upper wiring layer 703 at the step portions can be reliably prevented. Figure 9 illustrates the effect of the present invention. In this figure, the vertical axis represents the number of disconnection failures per 1,000 aluminum upper wiring lines, and the horizontal axis represents the thickness of the upper wiring layer.

The test pattern comprises 500 step portions oriented in mutually orthogonal directions, as shown in Figures 1 and 7. Curve 91 represents the number of failures when fabricated by conventional techniques, whereas curve 92 represents the number of failures when fabricated by the technique of the present invention. In this experiment, the steps were formed in a silicon oxide film, having a height of 0.6 μm and a rise angle of approximately 80°. The pitch between steps was 100 μm , the wiring width was 12 μm , and the spacing between steps (excluding protrusions) was 70 μm . The protrusions measured 6 $\mu\text{m} \times 6 \mu\text{m}$.

10
direction of sputtered particles in a typical sputtering apparatus. Figures 6(a), 6(b), and 6(c) are explanatory cross-sectional views showing films deposited by sputtered particles on respective step portions of a wiring film intersection on a substrate as illustrated in Figure 5.

These experimental results demonstrate that, by providing multiple step-forming surfaces having differing orientations, the present invention enables effective deposition of sputtered particles even at shallow angles, thereby achieving highly reliable wiring films. In this embodiment, directional variation of the step-forming surfaces was implemented using the protrusion pattern 701' shown in Figure 7. However, an inverted concave pattern may also be adopted. In either case, the technical concept of the present invention resides in forming step surfaces with differing orientations within the step portion.

[Effect of the Invention]

As described above, according to the present invention, protrusions are formed on both sides of the first portion of the lower wiring layer in a direction perpendicular to the substrate's travel direction during sputtering of the upper wiring layer. Likewise, protrusions are formed on both sides of the second portion of the lower wiring layer in a direction parallel to the substrate's travel direction. These protrusions, together with the insulating layer formed thereon, define step surfaces in multiple directions. At least one of these surfaces is oriented such that sputtered particles are incident at a shallow angle, thereby forming a step portion with favorable coverage characteristics.

Consequently, the surface of the step portion facing the pallet travel direction exhibits symmetrical coverage, preventing disconnection of the upper wiring layer and improving overall reliability.

[Brief Description of the Drawings]

Figure 1 is a plan view illustrating a principal portion of one embodiment of the present invention.

Figure 2(A) is an explanatory cross-sectional view of a wiring film intersection according to conventional technology, and Figure 2(B) is an explanatory cross-sectional view of another wiring film intersection according to conventional technology.

Figures 3(A) and 3(B) are explanatory diagrams showing the positional relationship between a sputtering target, a deposition substrate, and a pallet carrying said substrate in a typical sputtering apparatus.

Figure 4(a) is an explanatory diagram showing the positional and directional relationship between a sputtering target, a deposition substrate, and a step portion on said substrate in a typical sputtering apparatus; Figure 4(b) is an explanatory cross-sectional view of a film deposited on a step portion of a wiring film intersection according to conventional technology.

Figure 5 is an explanatory diagram showing the positional relationship between a sputtering target, a deposition substrate, and a step portion on said substrate, as well as the relationship between the pallet's direction of movement and the direction perpendicular thereto, and the incidence

Figure 7 is an explanatory plan view of a lower wiring layer in one embodiment of the present invention.

Figure 8(a) is a cross-sectional view along line A-A' in Figure 1. Figure 8(b) is a cross-sectional view corresponding to lines B-B' and C-C' in Figure 1. Figure 8(c) is a cross-sectional view along line D-D' in Figure 1. Figure 8(d) is a cross-sectional view corresponding to lines E-E' and F-F' in Figure 1.

Figure 9 is an explanatory graph showing the relationship between the film thickness of the upper wiring layer and the number of disconnection defects at pseudo wiring intersection step portions in an embodiment of the present invention.

4, 101 ... Substrate

1, 108, 701 ... Lower wiring layer

3, 702 ... Interlayer insulating film

3' ... Organic interlayer insulating film

2, 703 ... Upper wiring layer

5 ... Disconnection defect location at the step portion of the upper wiring layer

91 ... Curve representing the number of non-conductive upper wiring lines per 1,000 lines in conventional technology

92 ... Curve representing the number of defects in upper wiring lines fabricated using the technique of the present invention

104 ... Sputtering target

102 ... Pallet for carrying the substrate

103 ... Pallet travel direction

105 ... Plasma ring

106, 107 ... Pallet positions at certain times during film formation

108 ... Step portion facing the direction perpendicular to the pallet travel direction

109, 110 ... Surfaces forming steps facing the direction perpendicular to the pallet travel direction

111, 112, 113 ... Step portions facing the pallet travel direction

114 ... Direction perpendicular to the pallet travel direction

111' ... Surface forming the step at step portion 111 facing the pallet travel direction

113' ... Surface forming the step at step portion 113 facing the pallet travel direction

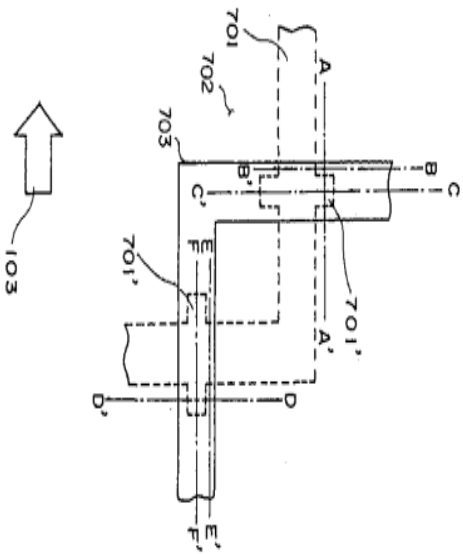
701' ... Protrusion

701a ... First portion

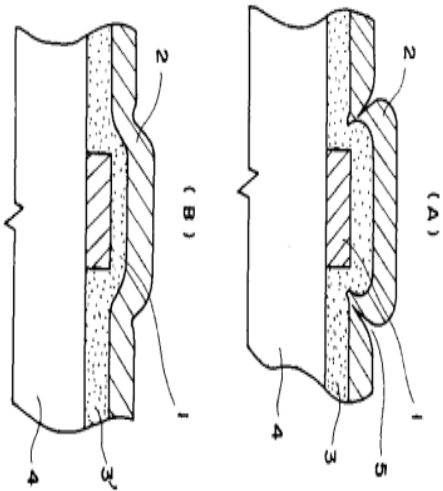
701b ... Second portion

(6)

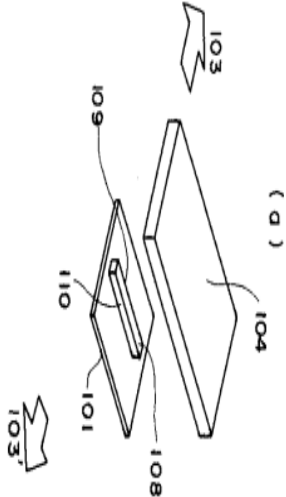
[Figure 1]



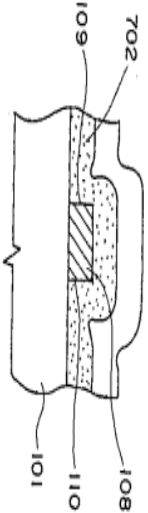
[Figure 2]



[Figure 4(a)]

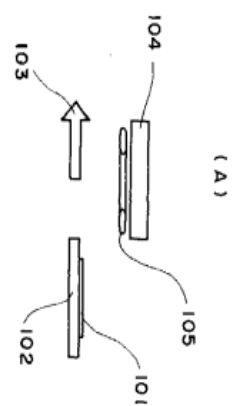


[Figure 4(b)]

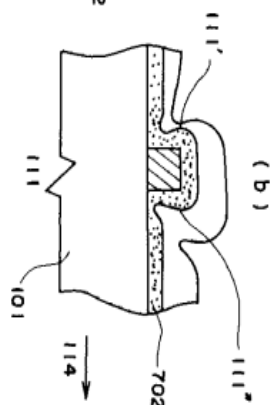
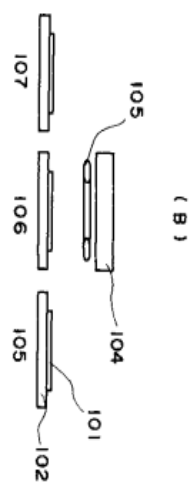
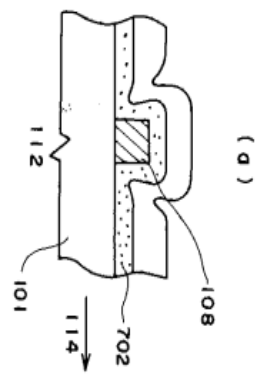


- | | |
|--------------------------------|--|
| 1...Lower wiring layer | 4...Substrate |
| 2...Upper wiring layer | 5...Wiring cut-in |
| 3...Interlayer insulation film | 3...Organic interlayer insulating film |
-
- | | |
|-------------------------------|--|
| 101...Substrate | 108...Step section as lower wiring layer |
| 103...Pallet travel direction | 109...Surface forming step |
| 104...Sputtering target | 110...Surface forming step |

[Figure 3]



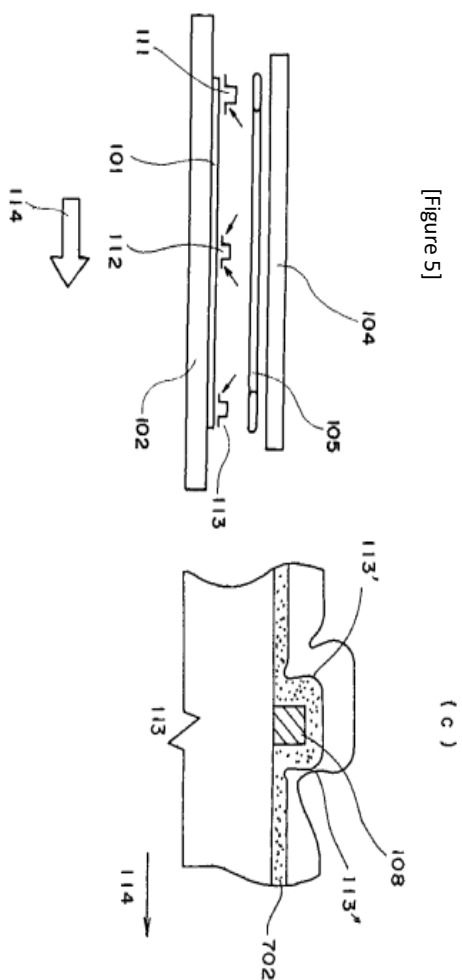
[Figure 6]



101...Substrate
102...Pallet
103...Pallet travel direction

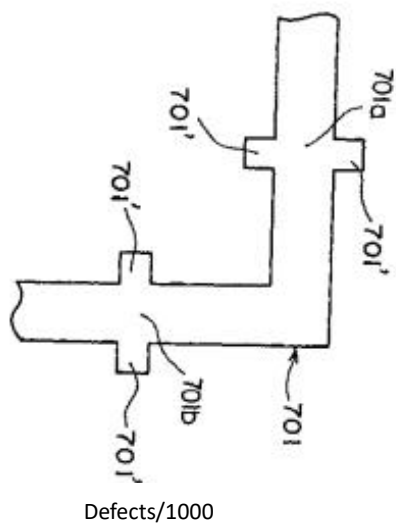
104...Sputtering target
105...Plasma ring

[Figure 5]

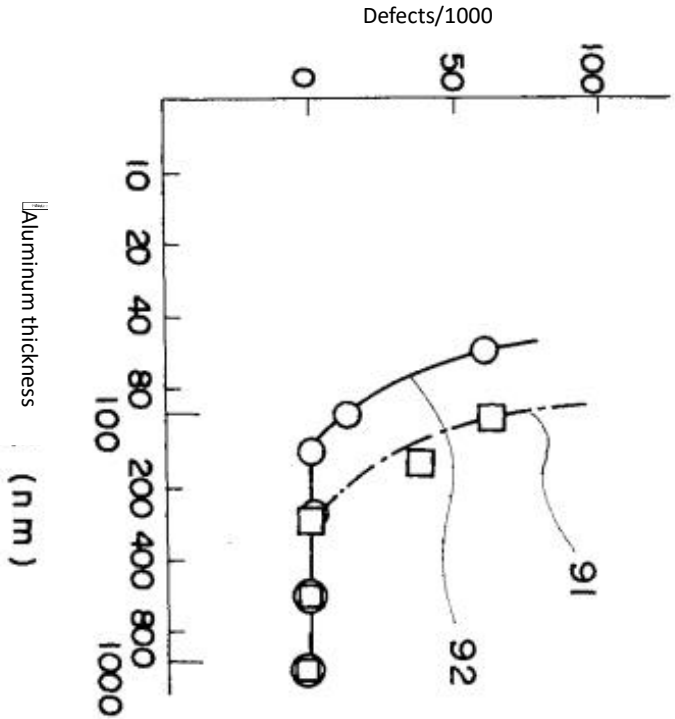


(8)

[Figure 7]

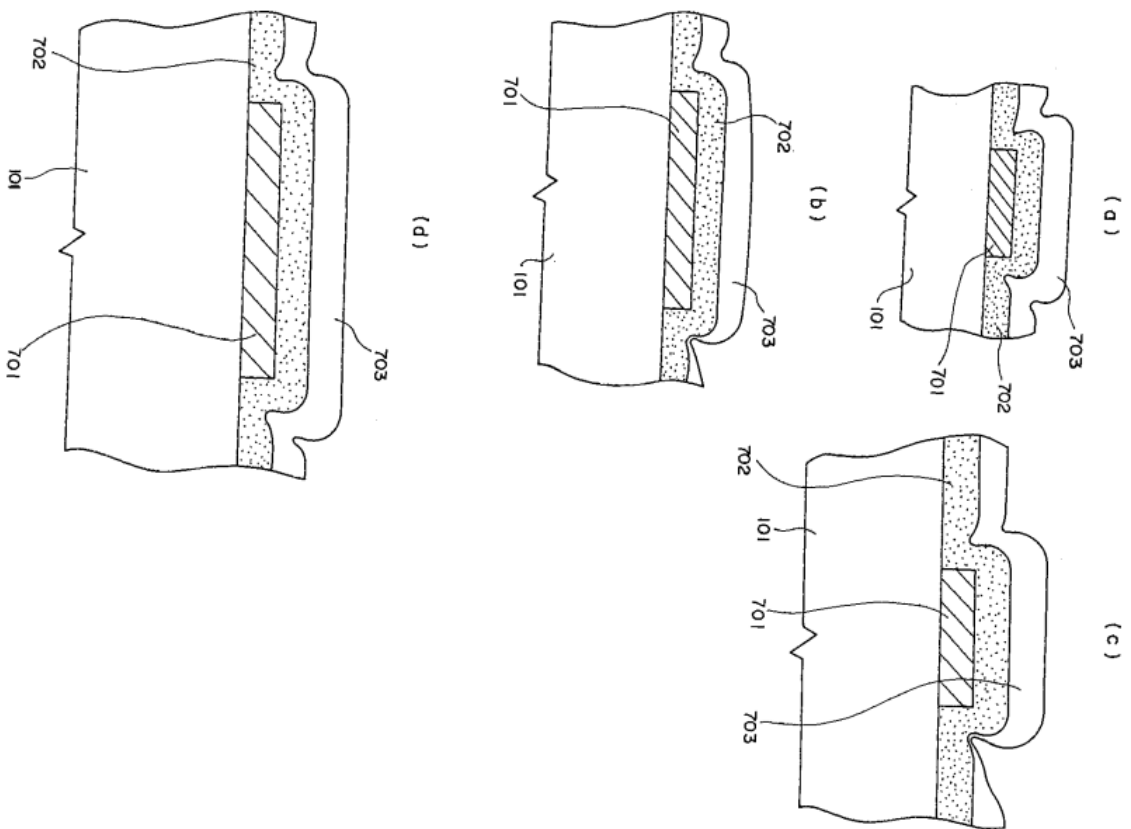


[Figure 9]



91... Results from conventional technology
92... Results from current invention

[Figure 8]



(10

19

Continued from the first page

20

(72) Inventor: Atsuyuki Koshita

292 Yoshida-cho, Totsuka-ku, Yokohama City, Kanagawa Prefecture

Within Hitachi, Ltd. Production Engineering Research Laboratory

(72) Inventor: Kazuo Sunahara

3300 Hayano, Mobara City, Chiba Prefecture

Within Hitachi, Ltd. Mobara Works

(72) Inventor: Mitsuo Nakaya

292 Yoshida-cho, Totsuka-ku, Yokohama City, Kanagawa Prefecture

Within Hitachi, Ltd. Production Engineering Research Laboratory

(72) Inventor: Ryoji Oritake

3300 Hayano, Mobara City, Chiba Prefecture

Within Hitachi, Ltd. Mobara Works

(72) Inventor: Shigefumi Fukuon

292 Yoshida-cho, Totsuka-ku, Yokohama City, Kanagawa Prefecture

Within Hitachi, Ltd. Production Engineering Research Laboratory

(19)日本国特許庁(JP)

(12)特 許 公 報 (B 2)

(11)特許出願公告番号

特公平6-27983

(24) (44)公告日 平成6年(1994)4月13日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 9 F 9/30	3 3 8	6447-5G		
G 0 2 F 1/136	5 0 0	9018-2K		
H 0 1 L 29/784		9056-4M	H 0 1 L 29/ 78	3 1 1 A

発明の数1(全10頁)

(21)出願番号	特願昭61-123603
(22)出願日	昭和61年(1986)5月30日
(65)公開番号	特開昭62-280792
(43)公開日	昭和62年(1987)12月5日

(71)出願人	999999999 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地
(72)発明者	小林 秀 神奈川県横浜市戸塚区吉田町292番地 株 式会社日立製作所生産技術研究所内
(72)発明者	鋌持 秋広 神奈川県横浜市戸塚区吉田町292番地 株 式会社日立製作所生産技術研究所内
(72)発明者	松崎 永二 神奈川県横浜市戸塚区吉田町292番地 株 式会社日立製作所生産技術研究所内
(74)代理人	弁理士 秋本 正実

審査官 鈴木 朗

最終頁に続く

(54)【発明の名称】 表示素子

【特許請求の範囲】

【請求項1】基板上の所定位置に設けられた下側配線膜と、基板及び下側配線膜上に設けられた絶縁膜と、絶縁膜上に一部が下側配線膜と交差するように設けられ、かつスパッタリングによって形成される上側配線膜とを有し、前記下側配線膜の上側配線膜と交差する部分が、上側配線膜のスパッタリング形成時における基板の進行方向と平行に配置される第1部分と、該進行方向と直交して配置される第2部分とを有してなる表示素子において、前記下側配線膜の第1部分の両側に、上側配線膜のスパッタリング形成時における基板の進行方向と直交する方向に突出する突起を形成する一方、下側配線膜の第2部分の両側に、上側配線膜のスパッタリング形成時における基板の進行方向と平行に突出する突出を形成し、これらの突起とその上に設けられた前記絶縁膜とによ

り、複数の方向に段差面を有し、かつ少なくとも一つの段差面にスパッタ粒子を低い角度で入射し得る段差部を形成することを特徴とする表示素子。

【発明の詳細な説明】

〔産業上の利用分野〕

本発明は表示装置に関し、特に薄膜技術により製作される薄膜配線を基板の上で用いる所謂マイクロエレクトロニクス製品として具体化できる表示素子に関する。

〔従来技術〕

ICなどのマイクロエレクトロニクス製品では、回路の高密度化を実現するためにICチップ内の配線を何層にも重ねて形成する。また、最近注目を浴びている平面ディスプレイでは、その画素を発光させるために、または液晶ディスプレイの場合には、その画素に対応した液晶を駆動するためにX軸とY軸とに電極を配置し、これら

2つの電極により同時に駆動された時に初めてその画素が点灯する、マトリクス方式の駆動方法が一般に用いられている。電子式ディスプレイについては多くの解説文献がある（例えば1982年2月号の「電子材料」誌での電子式ディスプレイの特集記事を参照）。

上記した配線は一般に平らな基板上に平面的に形成される。この同一基板上に上記したように2つの種類の信号配線系が形成される場合には、これら2種類の配線は絶縁膜をはさんでお互いに交差する。第2図(a)は、この配線の交差部の断面構造を示したものである。この図に即して薄膜配線交差部が従来から持つ問題点について述べる。

配線1は紙面に垂直な方向に走っている配線であり、また配線2は絶縁膜3を介して、配線1の上を乗り越えている。従って、絶縁膜3は基板4及び配線1上に設けられ、配線2はその一部が配線1と交差するように設けられている。ここで述べる薄膜配線の例では、極一般的の数値として配線膜1, 2はそれぞれ1 μ mの厚さであり、また絶縁膜3の厚さも1 μ mとした。これらの膜の形成方法には様々なものが考えられるが、配線膜1, 2は金属であり、スパッタリング法により膜形成を行うのが一般的である。また絶縁膜3には例えばプラズマCVDによるSiN膜を用いるとする。図にあるように絶縁膜3を配線1の上から形成すると、配線1の段差部分のために、程度の多少はあるが配線1と基板4とで形成するコーナ部分に対応した切れ込み5が発生してしまう。このような形状を一般にはオーバハングと呼んでいる。配線2には更に絶縁膜3のオーバハングの上から形成するので、配線膜2のオーバハングは更に強調された形となり、製造条件が適当でない場合には配線膜2の切れ込みの部分で、ついには断線による不良が発生してしまう。或いは、断線が発生してしまわないまでも製品としての信頼性が大きく低下してしまう。配線膜の段差部分に於る断線不良については特にIC製造技術に於てその研究が盛んである（例えば、J. Ryan, D. Douse, L. Hahn, M. Lucianoによる“The Effect of Temperature on Topology Related Defect Formation in Evaporated Aluminum Based Thin Films(Proceedings of 1985 International Conference on Metallurgical Coatings, Los Angeles)などを参照）。

上記した問題点を解決するために様々な方法が試みられている。第2図(b)は絶縁膜3を回転塗布できる有機物3'とした場合の断面構造を示したものであり、形式的な問題点は解決されているが、機械的強度が不足していることや、吸湿性が高いために配線の腐食がおきやすく、まだまだ様々な問題点を抱えている（有機物としてポリイミドを層間絶縁膜に用いた多層配線については例えば、T. Nishida, K. Mukai, T. Inaba, T. Kato, I. Tezuka, N. Horieによる、Moisture Resistance of Polyimide Multilevel Interconnect LSIs(23rd annual Proceedings of

f Reliability Physics 1985)などを参照)。薄膜トランジスタを使った表示基板では、一般にこれらの二つの配線膜の間の絶縁膜は、薄膜トランジスタのゲート絶縁膜をそのまま用いる構成となっていることが多い。ゲート絶縁膜には薄くてまた絶縁耐圧が高い材料がトランジスタ性能の点から用いられる。

このため有機絶縁膜は表示基板には用いることができない。

以上述べたように表示基板においては多層配線技術が盛んに開発されているが、配線相互の交差部に於る段切れの問題は依然として重要な課題となっている。

無機物を使った層間絶縁膜の平坦化の方法は石英(SiO₂)のバイアススパッタ法がある。この方法はスパッタリングによりながら石英を基板上に堆積しながら、同時に基板側にも高周波電圧を印加し基板側に堆積した石英をスパッタリングによりその何分の一かを取り除くというものである。

この方法によれば突起部等が優先的にスパッタリングを受けるために、殆ど平坦化された石英の膜を形成できる。この方法についても多くの発表が為されている（例えば、A. Mumtaz, I. Drapkin, R. MathewによるRadio Frequency Magnetron Sputtering of Radio Frequency Biased Quartz on a Scanning Pallet (Journal of Vacuum Science and Technology, A2(2), April-June 1984, pp237-)などを参照)。然し乍らこの方法では、膜の堆積速度が非常に低く(100~200Å/分)、生産性の点で大きな問題点を持つ。また基板側でのスパッタリングのため、基板の温度上昇が著しい安価なガラス基板を使用することができない問題がある。

他の段差部での脱線を防ぐ手段は、段差を極く小さなものにする事である。しかしこの方法では段差部の両井が拡がり、パターンの微細化に逆行すること、また材料に合わせたエッチング条件の設定、及び制御が必要であり、またスループットが低く量産むきの方法ではない。

〔発明が解決しようとする問題点〕

本発明の目的は薄膜配線の交差部での配線の信頼性の向上を実現した表示素子を提供することにある。

即ち一般にスパッタリング法による配線薄膜形成においては、段差部分への被着特性には方向性があり、段差部の配線パターンによっては、段差部での断線が発生しやすい。第3図は液晶ディスプレイパネルなどのような比較的大型のパネル(基板)への薄膜形成に通常用いられるスパッタ装置の構成の要点を示したもので、この図に即しスパッタリング法の被着特性について説明する。

第3図(A)では、基板101はスパッタ装置をパレット102に載って運ばれる。矢印103はパレット102(及び基板101)の進行方向を表している。104はスパッタリングターゲットであり、被着すべき材料からなる。スパッタリングターゲット104の前面にはプ

ラズマリング105が発生しており、このプラズマ中のアルゴンイオンがスパッタリングターゲット104の前面の高電界領域によりスパッタリングターゲット104に向かって加速され、スパッタリングターゲット104を叩きスパッタリングターゲット104の構成物質たる被着する物質を飛散せしめ、基板101上に薄膜を堆積する。

第3図(B)に示すようにパレット102は最初に同図中105の位置におり、次いで106から107の位置にと移ってゆき所定の膜厚の成膜を終了する。このため、基板101上に形成される膜は基板101上の進行方向に沿っては膜厚分布及びスパッタ粒子の飛来してくる方向の来歴も非常に均一に形成することができる。第4図は基板上の段差部への被着膜の付き廻りについて示したものである。第4図(a)に進行方向103と段差部108との方向を示した。下側配線膜(及び絶縁膜)としての段差部108は進行方向に対して直交する方向に向いており、段差を成す面109及び110はそれぞれ進行方向103及び進行方向逆方向103'を向いている。第3図(B)に示したようにパレット102が105から106、107へと位置を移してゆくにつれて、段差を成す面109には低い角度(基板101に対し浅い角度)からスパッタ粒子が入射し始めるが、遂には107の位置では段差を成す面109には殆ど成膜されなくなる。段差を成す面110には段差を成す面109と丁度逆の順序であるが、やはり低い角度からのスパッタ粒子の入射がある。このために基板の進行方向と直交する方向に向いた段差を成す面への付き廻り特性は第4図(b)に示すように、段差部の両側ではほぼ対称な形状となることが理解される。

以上基板101上の進行方向に沿っての成膜について考察したわけであるが、次に進行方向と直交する方向に沿っての成膜特性について考える。第5図は第4図と同様に基板101とスパッタリングターゲットとの位置関係を示したものであり、パレット102の進行方向は紙面に垂直である。そして基板101上に再び段差を考える。今度の段差は第4図(a)に示したようなパレット102の進行方向に沿っており、段差を成す面は、従ってパレットの進行方向とは直交する方向(以後方向114と呼ぶ)を向いている。第5図中に示したように111、112、113の3点(パレットの進行方向とは直交する方向114に沿ってそれぞれ基板101の一端部、中央部、他端部)に関し、パレット102の進行方向103に対して直交する段差を成す面を持つ段差部への被着について考える。位置112の段差にはスパッタリングターゲット104の両端部から等しくスパッタ粒子が入射するため第6図(a)に示すように段差部の両側で対称な付き廻り特性を示す。位置111にある段差部の基板101の一端部に向いている段差を成す面111'には低い角度で入射するスパッタ粒子が殆どない。

また位置111にある段差部の基板中央に向いている段差を成す面111''には、スパッタリングターゲット104の全面からのスパッタ粒子の入射があるので、結局111の位置にある段差への付き廻り特性は第6図

(b)のごとくなる。また第5図の位置113にある基板101の段差部については、位置111にある段差部の場合と逆の付き廻り特性となるので、ここではその説明を省略する。

第6図(b)、(c)から判ることは基板101の進行方向103に対し直交する方向に向いた段差を成す面に対しては、その段差が基板101の端部に近いとスパッタ粒子の付き廻り性が悪く、断線不良の原因となることが多い。この断線不良の発生をなくすにはスパッタリングターゲット104を基板101の進行方向103と直交する方法に対しても十分に大きくとることが、一般に行われている。然し乍ら従来行われているこの解決方法はスパッタ装置の大型化ないしは扱う基板サイズないしは基板の数を減ずることにつながり、良い解決方法であると云えない。

本発明の目的は配線交差部に形成される段差部分で生じる断線不良の原因となるスパッタ粒子の付き廻り特性の基板端部近くでの悪化を改善し、基板内で均一に落ちこぼれなく段差部被覆した配線を形成する技術を提供する事にある。同時に本発明は付き廻り特性を改善する事により表示素子の製造プロセスのマージンの増大を図り、また製品の信頼性を向上する事が目的である。

[問題点を解決するための手段]

上記目的は、基板上の所定位置に設けられた下側配線膜と、基板及び下側配線膜上に設けられた絶縁膜と、該絶縁膜上に一部が下側配線膜と交差するように設けられ、かつスパッタリングによって形成される上側配線膜とを有し、前記下側配線膜の上側配線膜と交差する部分が、スパッタリング時における基板の進行方向と平行に配置される第1部分と、その進行方向と直交して配置される第2部分とを有してなる表示素子において、前記下側配線膜の第1部分の両側に、上側配線膜のスパッタリング形成時における基板の進行方向と直交する方向に突出する突起を形成する一方、下側配線膜の第2部分の両側に、上側配線膜のスパッタリング形成時における基板の進行方向と平行に突出する突起を形状し、これらの突起とその上に設けられた前記絶縁膜とにより、複数の方向に段差面を有し、かつ少なくとも一つの段差面にスパッタ粒子を低い角度で入射し得る段差部を形成することを特徴とするものである。

[作用]

本発明によれば、段差面を複数の方向とし、かつそれらの段差面の方向の少なくとも一つをスパッタ粒子が低い角度で入射し得るように段差部を構成するパターンを作成したので、前記した本発明の目的を達成できる。即ち、従来の技術の問題点のところで述べたように、上

側配線膜のスパッタリング形成時、下側配線膜とそれに被着される絶縁膜とで形成される段差部において、パレットの進行方向に向いた段差を成す面については、スパッタ粒子の付き廻り特性が対称となる良い付き廻り特性が得られるので、上側配線膜が断線するのを防ぐことができる。

〔実施例〕

以下、本発明の一実施例を第1図、第7図乃至第9図により説明する。

第7図では基板101上に下側配線膜701を形成したところを示している。この場合、下側配線膜701においては、後で形成される上側配線膜703との交差部の両側に突起701'を設けておく。具体的に述べると、第7図に示す下側配線膜701は、基板101上で縦横に配置され、その途中部分が第1図に示すように上側配線膜703と交差するようになっている。即ち、下側配線膜701の上側配線膜703と交差する部分においては、スパッタリングによって形成される際、図示しないパレット（及び基板101）の進行方向103と平行に配置される第1部分701aと、そのパレットの進行方向103と直交する第2部分701bとを有している。そして、下側配線膜701の第1部分701aの両側には、その進行方向103と直交する方向に突出する突起701'を形成する一方、第2部分701bの両側にはその進行方向103と平行に突出する突起701'を形成する。これら各突起701'は、下側配線膜701とその上に設けられる絶縁膜702とで形成される段差部の各段差を成す面が多方向となるようにするものであり、多方向となることにより、その後に上側配線膜703をスパッタリングによって形成したとき、前記段差部のうち、少なくとも何れか一方の段差をなす面に対し、スパッタ粒子が低い角度で入射し、スパッタ粒子の付き廻り特性が良好となるようにしている。

このようにして下側配線膜701を形成した後、第8図(a)～(d)に示すように絶縁膜702を形成する。上記下側配線膜701には本願発明者らはクロムを用いた。また厚さは300nmであった。絶縁膜702にはプラズマCVD法により、窒化珪素(SiN)膜を用いた。絶縁膜の厚さは300nmであった。下側配線膜701の幅は12ミクロンであり、突起701a、701bの長さは6ミクロンであり、その幅は6ミクロンである。絶縁膜702は下地である基板及び下側配線膜の上に被膜されることにより、下側配線膜701の形状に従ってやはり突起を持った形状となる。

次いで、絶縁膜702の上に上側配線膜703を丁度突起701'の上を通過するようにスパッタリングによって形成する。上側配線膜703もクロムで形成した。厚さ300nm、幅は12ミクロンであった。

次に、上記のごとくして形成した断面構造を第8図に従って説明する。第8図(a)には第1図のA-A'の断

面を示している。同図(a)において、第1図のA-A'が切る段差を成している面はパレットの進行方向103に向いているために、スパッタ粒子の付き廻りがよく、上側配線膜703が対称形状となるが、第8図(b)に示した段差を成す面に対してはスパッタ粒子の付き廻り特性は良くない。なお、第8図(b)は第1図のB-B'、C-C'の断面である。

第8図(c)には第1図のD-D'断面を示す。同図において今度は第1図のD-D'が切る段差を成す面が進行方向103に対し直交しているため、スパッタ粒子の付き廻り特性の対称性が悪いが、反対に第8図(d)のように、第1図のE-E'、F-F'が切る段差を成す面に対しては付き廻り特性の対称性が良い。

このように、下側配線膜701において上側配線膜703と交差する部分のそれぞれに突起701'を設け、該突起701'及びその上に被着される絶縁膜702によって多方向に段差を有する段差部を形成した後、上側配線膜703をスパッタリング形成すると、上側配線膜703において、下側配線膜701の第1部分701aと交差する部分では、第8図(b)に示すごとく進行方向103と直交する断面箇所でのスパッタ粒子の付き廻り特性が悪いものの、第8図(a)に示すように、進行方向103と平行な断面箇所でのスパッタ粒子の付き廻り特性が対称になって良好となる。また下側配線膜701の第2部分701bと交差する部分では、第8図(c)に示すごとく進行方向103と直交する断面箇所でのスパッタ粒子の引き廻り特性が悪いものの、第8図(d)に示すように、進行方向103と平行な断面箇所でのスパッタ粒子の付き廻り特性が対称になって良好となる。従って、上側配線膜703において下側配線膜701及び絶縁膜702とで形成される段差部と交差する部分では、何れか一方の断面箇所でのスパッタ粒子の付き廻り特性を良好にできるので、上側配線膜703が段差部分での断線不良になるのを確実に防止することができる。第9図は本発明の効果を示すグラフである。同図において、縦軸はアルミの上側配線膜1,000本あたりの断線不良の数を示しており、横軸は上側配線膜の厚さを示している。このテストパターンには第1図及び第7図に示すようにお互いに90°違う方向に向いた段差部が各500段用意されているものである。曲線91は従来技術により製作された時の不良数を表しており、曲線92は本発明に係わる技術を用いて製作した時の不良数を示している。この実験では段差はシリコン酸化膜に形成したものであり、段差は0.6ミクロン高さ、約80°の角度で立ち上がっている。段差間のピッチは100ミクロン、配線幅は12ミクロン、段差間スペースは70ミクロン（突起は除く）である。突起は縦横6ミクロンの大きさである。

従来技術であると、アルミの膜厚が200nm以上にならぬと不良数がゼロとはならない。これに対し本発明に係

わる技術によれば100nmから不良数がゼロとなる。この実験結果は本発明に係わる技術によれば、段差をなす面を複数設け、かつそれぞれの面が異なった方向をふくむようにすることで、低い角度からのスパッタ粒子の入射を有効に堆積せしめ、信頼性の高い配線膜を形成できることを示している。

なお本実施例では、第7図に示したごとき突起701'のパターンにより段差を成す面の方位を変えたが、逆に凹み状のパターンであってもよい。何れにしても面方位を変えた段差を成す面を段差部に形成することが本発明の技術思想である。

【発明の効果】

以上述べたように、本発明によれば、下側配線膜の第1部分の両側に、上側配線膜のスパッタリング形成時における基板の進行方向と直交する方向に突出する突起を形成する一方、下側配線膜の第2部分の両側に、上側配線膜のスパッタリング形成時における基板の進行方向と平行に突出する突起を形成し、これらの突起とその上に設けられた前記絶縁膜とにより、複数の方向に段差面を有し、かつ少なくとも一つの段差面にスパッタ粒子を低い角度で入射し得る段差部を形成するように構成したので、パレットの進行方向に向いた段差を成す面での付き廻り特性が対称となる良い付き廻り特性が得られ、上側配線膜が断線するのを防ぐことができる結果、信頼性の向上を図ることができる効果である。

【図面の簡単な説明】

第1図は本発明の一実施例を示す要部の平面図である。第2図(A)は従来技術による配線膜交差部の断面構造を示す説明図、同図(B)は従来技術による他の配線膜交差部の断面構造を示す説明図である。第3(A)、(B)は一般的なスパッタ装置におけるスパッタリングターゲットと成膜対象基板及び基板を載せるパレットとの位置関係を示す説明図である。第4図(a)は一般的なスパッタ装置におけるスパッタリングターゲットと成膜対象基板及び基板上の段差部との位置関係及び方向の関係を示す説明図、同図(b)は従来技術による配線膜交差部の段差部分へ堆積した膜の

断面を示す説明図である。

第5図は一般的なスパッタ装置におけるスパッタリングターゲットと成膜対象基板及び基板上の段差部との位置関係及びパレットの移動方向と直交する方向と、スパッタ粒子の入射方向の関係を示す説明図である。

第6図(a)、(b)、(c)は第5図における基板上の配線膜交差部の各段差部分にスパッタ粒子がそれぞれ堆積した膜の断面を示す説明図。

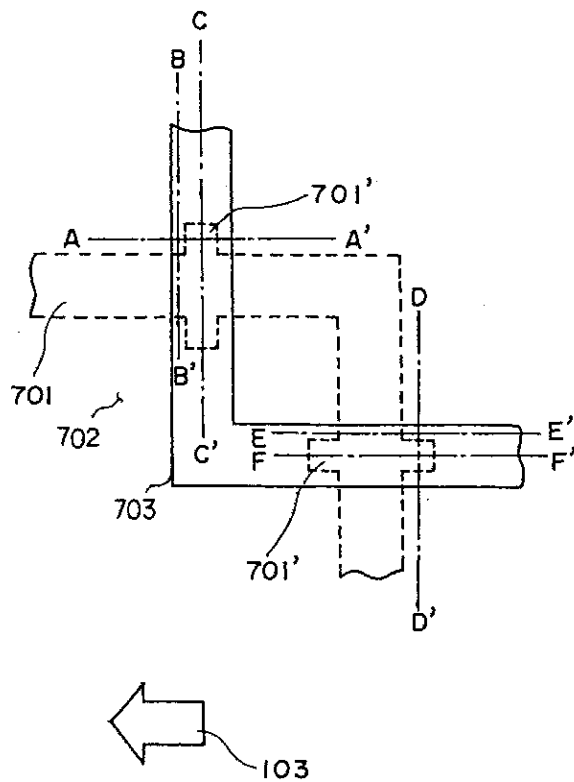
第7図は本発明に係わる一実施例を示す下側配線膜の説明用平面図である。

第8図(a)は第1図のA-A'線断面図、第8図(b)は第1図のB-B'、C-C'線に相当する断面図、第8図(c)は第1図のD-D'線断面図、第8図(d)は第1図のE-E'、F-F'線に相当する断面図である。

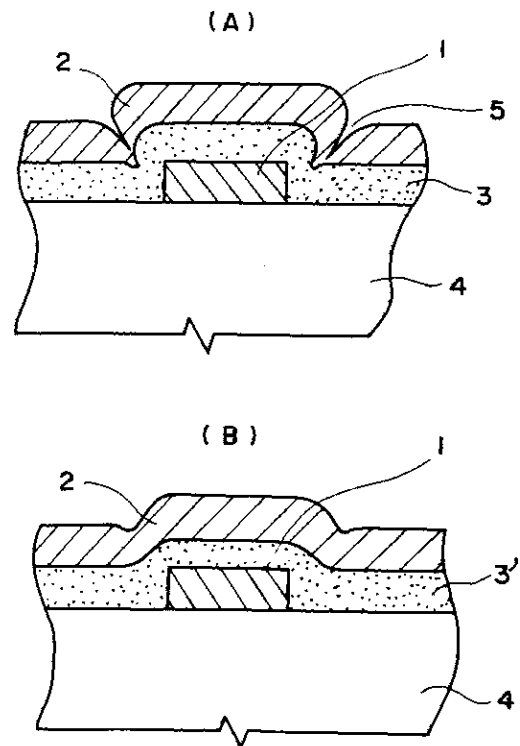
第9図は本発明の実施例の疑似配線膜交差段差部に於る上側配線膜の膜厚と断線不良数との関係を示した説明用グラフである。

4, 101……基板、1, 108, 701……下側配線膜、3, 702……層間絶縁膜、3'……有機層間絶縁膜、2, 703……上側配線膜、5……上側配線膜の段差部に発生した断線不良箇所、91……従来技術における1000本あたりの上側配線膜の不導通配線本数を表す曲線、92……本発明に係わる技術を用いて製作した時の上側配線膜の不良数を表す曲線、104……スパッタリングターゲット、102……基板を載せるパレット、103……パレットの移動方向、105……プラズマリング、106, 107……成膜中或る時間におけるパレットの位置、108……パレットの移動方向と直交する方向に向いた段差部、109, 110……パレットの移動方向と直交する方向に向いた段差を成す面、111, 112, 113……パレットの移動方向に向いた段差部、114……パレットの移動方向と直交方向、111'……パレットの移動方向に向いた段差部111の段差を成す面、113'……パレットの移動方向に向いた段差113の段差を成す面、701'……突起、701a……第1部分、701b……第2部分。

【第1図】

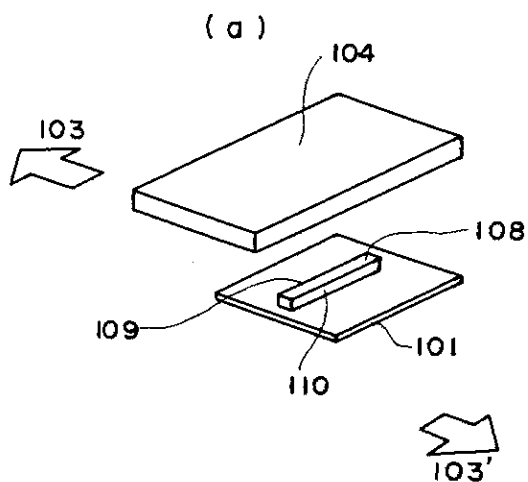


【第2図】

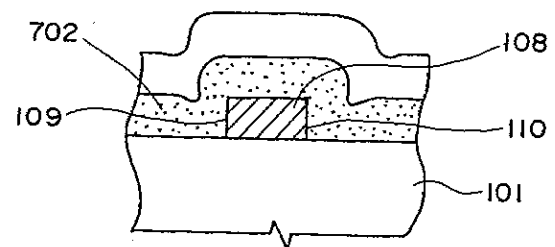


1---下側配線層 4---基板
 2---上側配線層 5---配線の切れ込み
 3---層間絶縁膜 3'---有機層間絶縁膜

【第4図(a)】

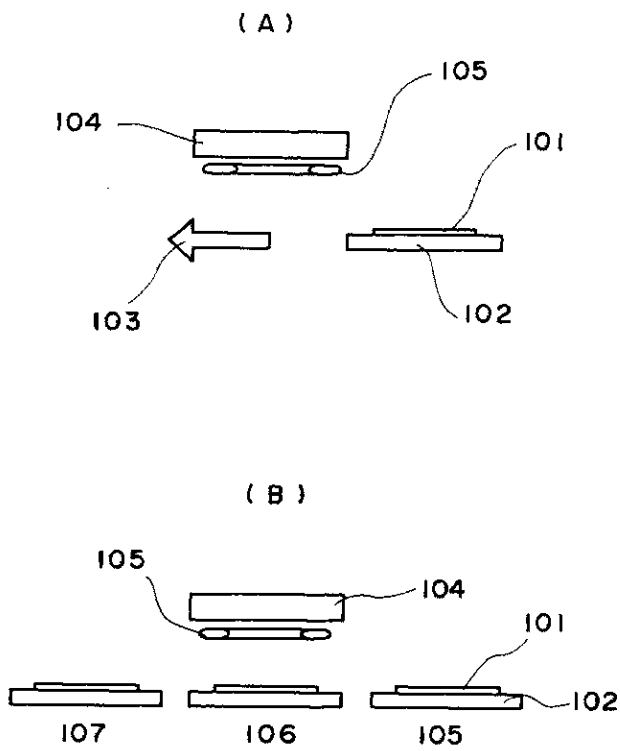


【第4図(b)】



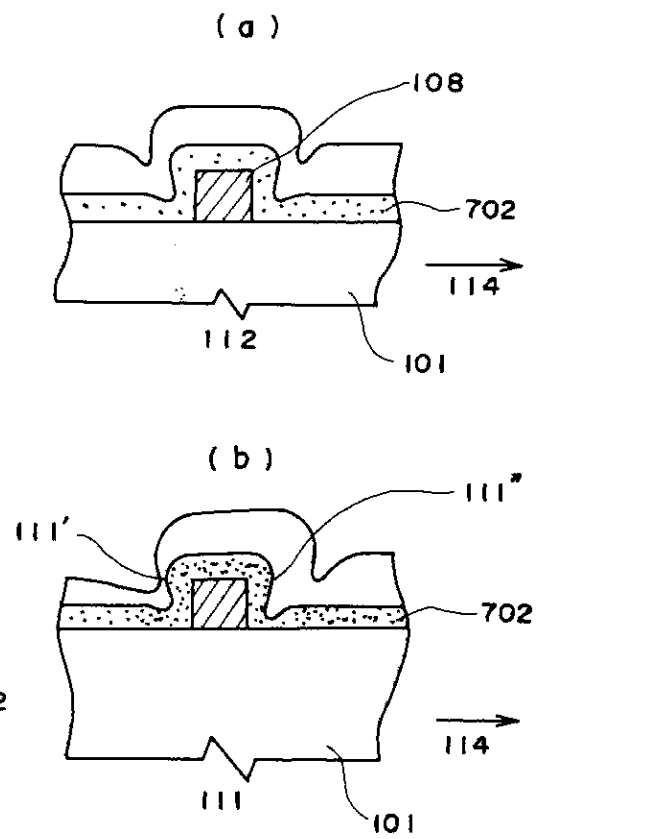
101---基板 108---下側配線膜としての段差部
 103---パレットの移動方向 109---段差となす面
 104---スパッタリングターゲット 110---段差となす面

【第3図】

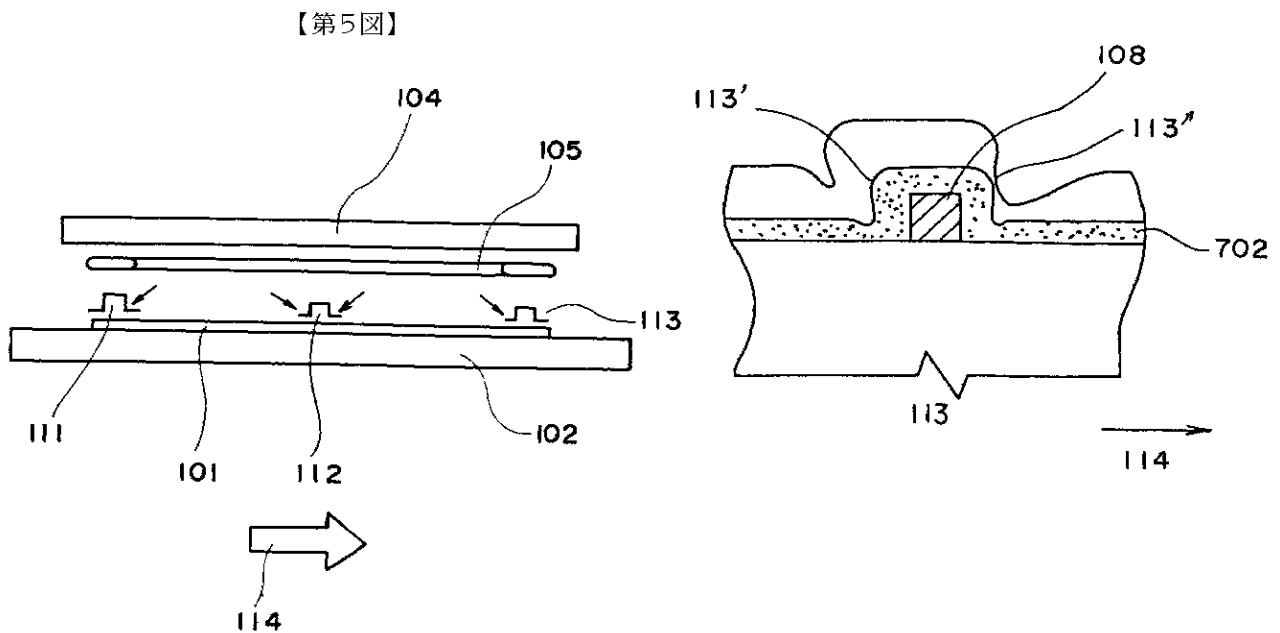


101--基板 104--スパッタリングターゲット
 102--バレット 105--プラズマリング
 103--バレット移動方向

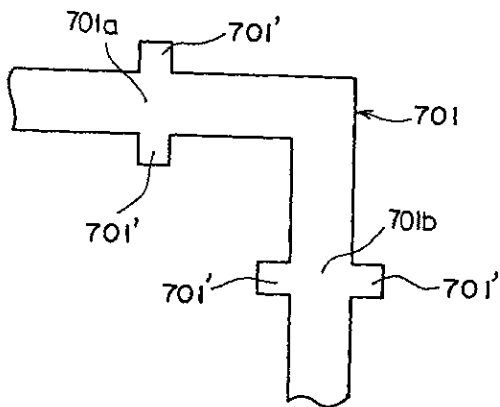
【第6図】



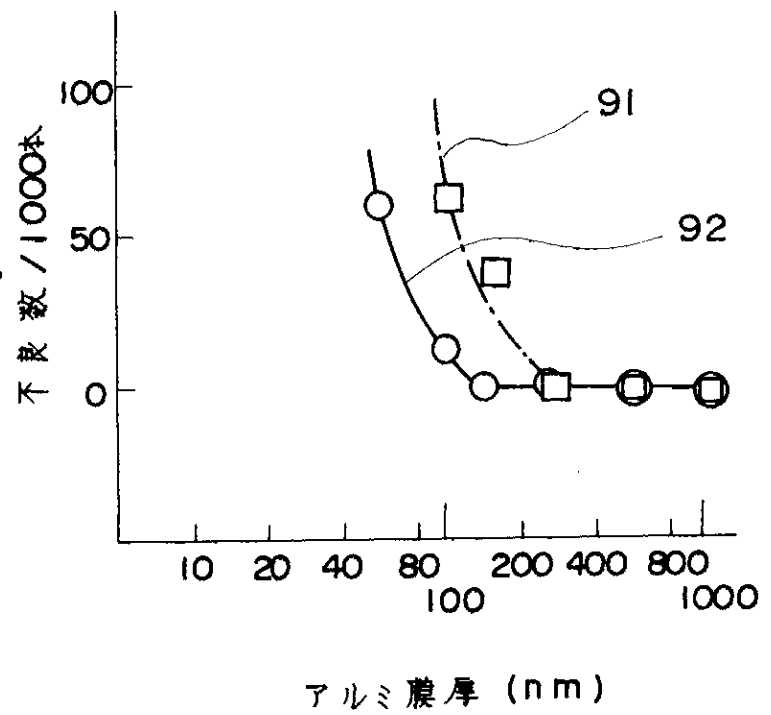
(c)



【第7図】



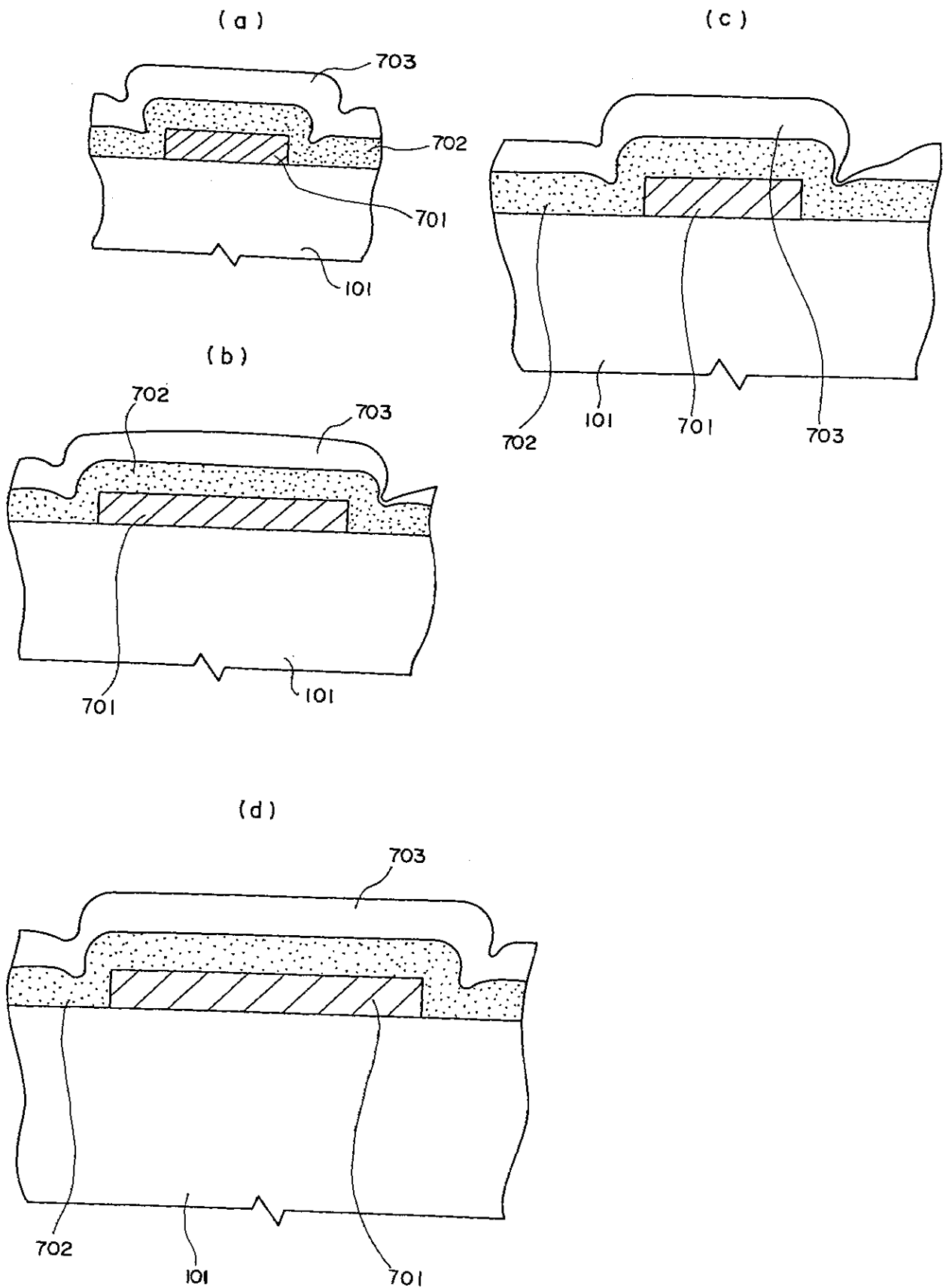
【第9図】



91----従来技術の結果

92----本発明技術の結果

【第8図】



フロントページの続き

(72)発明者 砂原 和雄
千葉県茂原市早野3300番地 株式会社日立
製作所茂原工場内

(72)発明者 折付 良二
千葉県茂原市早野3300番地 株式会社日立
製作所茂原工場内

(72)発明者 小下 敏之
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72)発明者 中谷 光雄
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内

(72)発明者 頼富 美文
神奈川県横浜市戸塚区吉田町292番地 株
式会社日立製作所生産技術研究所内