(19) Japan Patent Office (JP)

(12) Gazette of Unexamined Patent Applications (A)

(11) Publication Number 2003-167533 (P2003-167533A)

(43) Publication Date June 13, 2003 (2003.6.13)

(51) Int. Cl.[7]	ID Codes	FI		Theme Codes (Ref.)
G09F 9/30	338	G09F 9/30	338	3K007
	365		365Z	5C094
H01L 21/336		H05B 33/14	A	5F110
29/786		H01L 29/78	614	
H05B 33/14			612Z	

Examination Request: Received No. of Claims: 4 OL (Total of 8 pages)

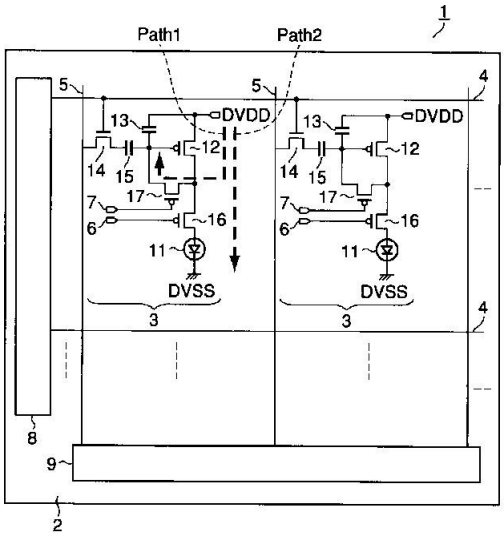
(21) Appl. No.: 2001-370247 (P2001-370247)
(22) Filing Date: Dec. 4, 2001 (2001.12.4)

(71) Applicant 000003078
Toshiba Corporation
1-1-1, Shibaura, Minato-ku, Tokyo
(72) Inventor
Hiroshi NAKAYAMA
Toshiba Corporation, Fukaya Complex
1-9-2, Hatara-cho, Fukaya, Saitama-ken
(74) Agent 100058479
Takehiko SUZUE (and 6 others)

Continued on last page

(54) [Title of the Invention] Display Device

(57) [Abstract]
[Problem] To provide a display device that is less susceptible to variations in the ratio of the electrostatic capacitance of the holding capacitor to the electrostatic capacitance of the kick capacitor.
[Solution] The present invention is a display device 1 comprising: a plurality of scanning lines 4 arranged on a substrate 2 and a plurality of signal lines 5 arranged substantially perpendicular to the scanning lines 4; pixel switches 14 arranged near the intersections of the scanning lines 4 and the signal lines 5; a first capacitor 13 and a second capacitor 15 that hold video signals supplied from the signal lines 5 via the pixel switches 14 for a predetermined period of time; and display elements 11 that perform display operations based on the video signals, the display device characterized in that first capacitor 13 and the second capacitor 15 are configured with the same layer structure on the same plane.



BOE v. Samsung IPR2025-01478
Ex-1007

[Claims]
[Claim 1] A display device, comprising: a plurality of scanning lines arranged on a substrate and a plurality of signal lines arranged substantially perpendicular to the scanning lines; pixel switches arranged near the intersections of the scanning lines and the signal lines;
a first capacitor and a second capacitor that hold video signals supplied from the signal lines via the pixel switches for a predetermined period of time; and
display elements that perform display operations based on the video signals,
the display device characterized in that the first capacitor and the second capacitor are configured with the same layer structure on the same plane.
[Claim 2] A display device, comprising:
a plurality of scanning lines arranged on a substrate and a plurality of signal lines arranged substantially perpendicular to the scanning lines;
a first transistor having a gate electrode connected to a scanning line and a source electrode connected to a signal line;
a first capacitor having a dielectric film between a pair of electrodes, one of the electrodes being connected to the drain electrode of the first transistor;
a second transistor having a gate electrode connected to the other electrode of the first capacitor and a source electrode connected to a first power supply line;
a second capacitor having a dielectric film between a pair of electrodes, one electrode being connected to the gate electrode of the second transistor and the other electrode being connected to the source electrode of the second transistor;
a third transistor whose gate electrode is connected to a first control line, whose source electrode is connected to the drain electrode of the second transistor, and whose drain electrode is connected to the gate electrode of the second transistor;
a fourth transistor whose gate electrode is connected to a second control line and whose source electrode is connected to the drain electrode of the second transistor; and
a display element having a light modulating layer between a pair of electrodes, one of the electrodes being connected to the drain electrode of the fourth transistor,
the display device characterized in that the dielectric film constituting the first capacitor and the dielectric film constituting the second capacitor are configured with the same layer structure on the same plane.
[Claim 3] The display device according to claim 2, wherein at least one of the first to fourth transistors has a gate insulating film that is the same as the dielectric film constituting the first and second capacitors.
[Claim 4] The display device according to any one of claim 1 to claim 3, wherein the display element is an organic electroluminescent display element.
[Detailed Description of the Invention]
[0001]
[Technical Field of the Invention] The present invention relates to a display device.
[0002]
[Prior Art] Organic electroluminescence ("organic EL") display devices are lightweight, thin, and highly luminous. For this reason, organic EL display devices have recently attracted attention as monitor displays for portable information devices such as mobile phones.
[0003] An organic EL display device is typically configured to display images using display pixels arranged in a matrix. In such an organic EL display device, scanning lines and signal lines are arranged along the rows and columns of the display pixels, respectively. Each display pixel is composed primarily of an organic EL element, a drive transistor connected in series between a pair of power supply lines to the organic EL element, a holding capacitor that holds the gate voltage of the drive transistor, and a pixel switch that controls the gate voltage of the drive transistor.
[0004] In such an organic EL display device, each display pixel also has a kick capacitor, a reset switch, and an output switch, and can include a threshold cancellation circuit. In an organic EL display device including such a threshold cancellation circuit, variations in the drive current can be prevented based on variations in the threshold voltage of the drive transistor.
[0005] However, in such an organic EL display device, if there is a variation in the ratio of the electrostatic capacitance of the holding capacitors to the electrostatic capacitance of the kick capacitor between display pixels, a variation in the drive current will occur between those display pixels. In addition, if there is a variation in the ratio of the electrostatic capacitance of the holding capacitor to the electrostatic capacitance of the kick capacitor between display devices, a variation in the drive current will occur between those display devices. Thus, variations in the ratio of the electrostatic capacitance of the holding capacitor to the electrostatic capacitance of the kick capacitor should be suppressed as much as possible.

BOE v. Samsung IPR2025-01478
Ex-1007

However, it has been difficult to suppress such variations in organic EL display devices of the prior art.

[0006]

[Problem to Be Solved by the Invention] In light of this problem, it is an object of the present invention to provide a display device that is less susceptible to variations in the ratio of the electrostatic capacitance of the holding capacitor to the electrostatic capacitance of the kick capacitor.

[0007] It is another object of the present invention to reduce fluctuations in the video signals supplied to the display elements.

[0008]

[Means for Solving the Problem] In order to solve this problem, the present invention provides a display device, comprising: a plurality of scanning lines arranged on a substrate and a plurality of signal lines arranged substantially perpendicular to the scanning lines; pixel switches arranged near the intersections of the scanning lines and the signal lines; a first capacitor and a second capacitor that hold video signals supplied from the signal lines via the pixel switches for a predetermined period of time; and display elements that perform display operations based on the video signals, the display device characterized in that first capacitor and the second capacitor are configured with the same layer structure on the same plane.

[0009] The present invention also provides a display device, comprising: a plurality of scanning lines arranged on a substrate and a plurality of signal lines arranged substantially perpendicular to the scanning lines; a first transistor having a gate electrode connected to a scanning line and a source electrode connected to a signal line; a first capacitor having a dielectric film between a pair of electrodes, one of the electrodes being connected to the drain electrode of the first transistor; a second transistor having a gate electrode connected to the other electrode of the first capacitor and a source electrode connected to a first power supply line; a second capacitor having a dielectric film between a pair of electrodes, one electrode being connected to the gate electrode of the second transistor and the other electrode being connected to the source electrode of the second transistor; a third transistor whose gate electrode is connected to a first control line, whose source electrode is connected to the drain electrode of the second transistor, and whose drain electrode is connected to the gate electrode of the second transistor; a fourth transistor whose gate electrode is connected to a second control line and whose source electrode is connected to the drain electrode of the second transistor; and a display element having a light modulating layer between a pair of electrodes, one of the electrodes being connected to the drain electrode of the fourth transistor, the display device characterized in that the dielectric film constituting the first capacitor and the dielectric film constituting the second capacitor are configured with the same layer structure on the same plane.

[0010] In the present invention, switching elements such as transistors and diodes can be used as pixel switches, output switches, and reset switches.

[0011] In the present invention, at least one of the drive control element, the pixel switch transistor, the output switch transistor, and the reset switch transistor may be a thin-film transistor, and the gate insulating film of this transistor may be the same as the dielectric film constituting the capacitance of the holding capacitor and the dielectric film constituting the capacitance of the kick capacitor.

[0012] In the present invention, the display elements are not particularly limited to display elements whose optical characteristics change in response to the drive voltage or drive current. For example, the display elements can be display elements whose luminous intensity changes in response to the drive current, such as organic electroluminescent display elements, and display elements whose transmittance or reflectance changes in response to the drive voltage, such as liquid crystal display elements.

[0013] Note that "the dielectric film constituting the (capacitance of the) holding capacitor being the same as the dielectric film constituting the (capacitance of the) kick capacitor" means these dielectric films were formed at the same time from the same material. This characteristic can be confirmed, for example, by examining the cross-sectional structure of the display device. In other words, if the cross section of these dielectric films is continuous, the dielectric films can be judged to be the same. Also, if the cross section of these dielectric films is discontinuous but there are no structural features indicating that the dielectric films were formed separately and the composition and thickness of the dielectric films are nearly the same, the dielectric films can be judged to be the same.

[0014] Similarly, "the gate insulating film being the same as the dielectric film constituting the (capacitance of the) holding capacitor and the dielectric film constituting the (capacitance of the) kick capacitor" means the dielectric film and gate insulating film are formed at the same

BOE v. Samsung IPR2025-01478
Ex-1007

time from the same material. This characteristic can be confirmed, for example, by examining the cross-sectional structure of the display device. In other words, if the cross section of these dielectric films and the gate insulating film is continuous, the dielectric films can be judged to be the same. Also, if the cross section of these dielectric films and the gate insulating film is discontinuous but there are no structural features indicating that the dielectric films and gate insulating film were formed separately and the composition and thickness of the dielectric films and the gate insulating film are nearly the same, the dielectric films can be judged to be the same.

[0015]

[Embodiments of the Invention] Embodiments of the present invention will now be described in detail with reference to the drawings. In each of the drawings, identical or similar elements are denoted by the same reference numbers and redundant description of these elements has been omitted.

[0016] FIG. 1 is a circuit diagram that schematically represents the display device in an embodiment of the present invention. In this embodiment, the display elements are organic EL display elements.

[0017] The display device 1 shown in FIG. 1 is an organic EL display device comprising a substrate 2 such as a glass substrate, a plurality of display pixels 3 arranged in a matrix on the substrate 2, a plurality of scanning lines 4 and a plurality of signal lines 5 extending along the rows and columns of the display pixels 3, and a scanning line driver 8 and signal line driver 9 for driving the scanning lines 4 and signal lines 5. Each display pixel 3 includes a display element 11, a drive control element 12, a holding capacitor 13, a pixel switch 14, a kick capacitor 15, an output switch 16, and a reset switch 17. Note that here transistors are used for each of the drive control element 12, pixel switch 14, output switch 16, and reset switch 17. For example, the pixel switch 14 can be configured with an N-type transistor, and the drive control element 12, output switch 16, and reset switch 17 can be configured with P-type transistors.

[0018] The display element 11, output switch transistor 16, and drive control element 12 are connected in series between a pair of power supply lines DVDD, DVSS in successive order from the DVSS power supply line to the DVDD power supply line. The pixel switch transistor 14 and kick capacitor 15 are connected in series between a signal line 5 and the gate electrode of the drive control element 12 in successive order from the signal line 5 to the drive control element 12. The gate electrode of the pixel switch transistor 14 is connected to a scanning line 4. The holding capacitor 13 is connected between the power supply line DVDD and the gate electrode of the drive control element 12, and the reset switch transistor 17 is connected between the output switch transistor 16 and the gate electrode of the drive control element 12 on the drive control element 12 side. In addition, the gate electrode of the output switch transistor 16 and the gate electrode of the reset switch transistor 17 are connected, respectively, to control lines 6 and 7.

[0019] In this display device 1, the potential of the power supply line DVDD can be set to, for example, +10V, and the potential of the power supply line DVSS can be set to, for example, 0V. When the pixel switch transistor 14 is driven by a scanning signal supplied from the scanning line 4, it applies the video signal voltage supplied from the signal line 5 to the gate electrode of the drive control element 12. The drive control element 12 supplies a drive current corresponding to the video signal voltage to the organic EL display element 11. An organic EL display element 11 has a structure in which light-emitting layers, which are thin film containing, for example, red, green, or blue fluorescent organic compounds, are sandwiched between a cathode and an anode. In such an organic EL display element 11, electrons and holes are injected into the light-emitting layers to cause their recombination, thereby generating excitons, and light emission occurs when these excitons deactivate.

[0020] The signal line driver 9 supplies video signal voltages to a plurality of signal lines 5 in parallel during each horizontal scanning period. The scanning line driver 8 sequentially supplies scan signals to a plurality of scanning lines 4 during each vertical scan period. Each pixel switch transistor 14 is rendered conductive for one horizontal scanning period by a scanning signal supplied from one of these scanning lines 4, and remains non-conductive until a scanning signal is once again supplied after one vertical scanning period. The drive control elements 12 in one row supply drive current corresponding to the video signal voltages supplied from a plurality of signal lines 5 to the organic EL display elements 11 by rendering these pixel switch transistors 14 conductive.

[0021] In addition, the signal line driver 9 is configured to temporarily output a predetermined reset voltage prior to outputting video signal voltages. In this display device 1, when supplying a reset voltage via the pixel switch transistor 14, control signals from the control lines 6, 7 cause the reset switch transistors 17 to be rendered conductive and

BOE v. Samsung IPR2025-01478
Ex-1007

the output switch transistors 16 to remain non-conductive. At this time, the potential of the gate electrode of the drive control element 12 rises to equal the threshold voltage V_{th} of the drive control element 12 due to the current flowing through Path1.

[0022] Next, a video signal voltage is supplied through pixel switch transistor 14, and control signals from control lines 6, 7 cause the reset switch transistor 17 to remain non-conductive and the output switch transistor 16 to be rendered conductive. As a result, the potential of the gate electrode of the drive control element 12 rises to the level of the threshold voltage V_{th} plus the video signal voltage, and the drive current flows through Path2.

[0023] When video is displayed using this method, the drive current is determined by the difference between the reset voltage and the video signal voltage. Therefore, even if there is variation in the threshold voltages between drive control elements 12, it is possible to prevent variation in the drive current caused by the variation in the threshold voltages.

[0024] In the organic EL display device 1 of the present embodiment, the dielectric film that constitutes the capacitance of the holding capacitor 13 is the same as the dielectric film that constitutes the capacitance of the kick capacitor 15. Using this configuration, variations in the ratio of the capacitance of the holding capacitor 13 to the capacitance of the kick capacitor 15 can be suppressed. This will now be explained with reference to FIG. 2.

[0025] FIG. 2 is a cross-sectional view of a portion of the organic EL display in an embodiment of the present invention. In the structure shown in FIG. 2, one of the electrodes 13a of the holding capacitor 13, one of the electrodes 15a of the kick capacitor 15, and a poly-Si film 20a constituting the source-drain region and channel region of the thin-film transistor 20 are arranged on the insulating film 21 formed on the substrate 2, and these are covered by a dielectric film (or insulating film) 22. The other electrode 13b of the holding capacitor 13, the other electrode 15b of the kick capacitor 15, and the gate electrode 20b of the thin-film transistor 20 are arranged side by side on this dielectric film 22, and are covered by an interlayer insulating film 23. The source electrode 20c and drain electrode 20d are provided on the interlayer insulating film 23, and are connected to the source and drain regions of the poly-Si film 20a via contact holes provided in the insulating films 22, 23. Reference number 24 denotes a passivation film. The transistor 20 represents at least one of transistors 12, 14, 16, and 17 shown in FIG. 1.

[0026] The thickness of the dielectric film that constitutes the capacitance of the holding capacitor 13 and the thickness of the dielectric film that constitutes the capacitance of the kick capacitor 15 are ideally uniform throughout the entire display device 1, but in reality, some variation occurs. These variations in film thickness cause variations in both the electrostatic capacitance of the holding capacitor 13 and the electrostatic capacitance of the kick capacitor 15.

[0027] These variations in capacitance do not significantly affect the drive current as long as the ratio of film thicknesses remains nearly constant between the three display pixels. However, in the prior art, dielectric layers with different dielectric constants are used for the holding capacitor 13 and the kick capacitor 15. In other words, the dielectric film constituting the capacitance of the holding capacitor 13 is formed in a separate process from the dielectric film constituting the capacitance of the kick capacitor 15.

[0028] Normally, there is no correlation between film thickness distributions in thin films formed separately. Therefore, in the prior art, variations in the film thickness ratio occur, resulting in variations in the drive current between display devices 1 and between display pixels 3.

[0029] In contrast, as shown in FIG. 2, when the same dielectric film 22 is used for the capacitance of the holding capacitor 13 and the capacitance of the kick capacitor 15, there is no variation in the film thickness ratio due to the formation of different dielectric films. Also, because the holding capacitor 13 and the kick capacitor 15 are arranged in close proximity to each other, the film thickness of the holding capacitor 13 and the film thickness of the kick capacitor 15 do not differ greatly within each display pixel 3. Therefore, as shown in FIG. 2, by using the same dielectric film 22 for the capacitance of the holding capacitor 13 and the capacitance of the kick capacitor 15, variations in the film thickness ratio, that is, variations in the drive current between display devices 1 and between display pixels 3, can be suppressed.

[0030] The present inventor has performed the following simulation to confirm the effect of using the same dielectric film for the capacitance of the holding capacitor 13 and the capacitance of the kick capacitor 15.

[0031] FIG. 3 is a cross-sectional view showing a portion of an organic EL display device in which the dielectric film constituting the capacitance of the holding capacitor is different from the dielectric film constituting the capacitance of the kick capacitor.

BOE v. Samsung IPR2025-01478
Ex-1007

[0032] In the structure shown in FIG. 3, one of the electrodes 15a of the kick capacitor 15 and the poly-Si film 20a constituting the source-drain region and channel region of the thin-film transistor 20 are arranged side by side on the insulating film 21 formed on the substrate (not shown), and these are covered with an insulating film (or dielectric film) 22. The other electrode 15b of the kick capacitor 15 and the gate electrode 20b of the thin-film transistor 20 are arranged side by side on top of the insulating film 22, and these are covered by the interlayer insulating film 23. In the structure shown in FIG. 3, electrode 15b also serves as one of the electrodes of the holding capacitor 13. The other electrode 13b of the holding capacitor 13, the source electrode 20c, and the drain electrode 20d are arranged side by side on the interlayer insulating film 22, and these are covered with a passivation film 24. The source electrode 20c and drain electrode 20d are connected to the source and drain regions of the poly-Si film 20a via contact holes provided in the insulating films 22, 23.

[0033] In the organic EL display device 1 shown in FIG. 3, when the thickness of the dielectric film of the holding capacitor 13 and the thickness of the dielectric film of the kick capacitor 15 vary within a range of ±10%, the drive current varies within a range of ±30% relative to the center conditions. Meanwhile, in an organic EL display device 1 that has the structure shown in FIG. 2, when the thickness of the dielectric film of the holding capacitor 13 and the thickness of the dielectric film of the kick capacitor 15 vary within a range of ±10%, the variation in the drive current with respect to the center conditions is within a range of ±10%. In this way, the variation in the drive current can be suppressed very effectively by using the same dielectric film for the capacitance of the holding capacitor 13 and the capacitance of the kick capacitor 15.

[0034] In the present embodiment, the dielectric film 22, as shown in FIG. 2, preferably serves not only as the gate insulating film of the thin-film transistor 20 that constitutes a portion of the display pixel 3, but also as the capacitance of the holding capacitor 13 and the kick capacitor 15. This will now be explained with reference to FIG. 2 to FIG. 5.

[0035] FIG. 4 is a plan view of a portion of an organic EL display device using the structure shown in FIG. 2. FIG. 5 is a plan view of a portion of an organic EL display device using the structure shown in FIG. 3.

[0036] In general, the interlayer insulating film 23 is formed so as to be much thicker than the gate insulating film 22 in order to reduce cross-shorting between scanning lines 4 and signal lines 5. For example, the thickness of the gate insulating film 22 is set to approximately 80 nm, and the thickness of the interlayer insulating film 23 is set to approximately 660 nm. Therefore, as shown in FIG. 3, when the interlayer insulating film 23 is used as the dielectric film of the holding capacitor 13, the holding capacitor 13 has to be made large in area in order to achieve sufficient capacitance in the holding capacitor 13, as shown in FIG. 3 and FIG. 5.

[0037] In contrast, when the insulating film 22 is used as the dielectric film of the holding capacitor 13 and the kick capacitor 156 in addition to the gate insulating film of the thin-film transistor 20, as shown in FIG. 2, the holding capacitor 13 does not have to be large in area, as shown in FIG. 2 and FIG. 4, and these can achieve sufficient capacitance (usually 0.1 pF or more and typically around 0.2 pF). For example, in the structures shown in FIG. 3 and FIG. 5, the area occupied by the holding capacitor 13 can be reduced by about one-eighth. Therefore, by using such a structure, the area occupied by the holding capacitor 13 and the kick capacitor 15 can be reduced.

[0038] Also, by forming one of the electrodes, in this case the upper electrode 13b, 15b, of the holding capacitor 13 and the kick capacitor 15, so that it has a larger surface area than the other electrode, in this case the lower electrode 13a, 15a, capacitance variation due to lateral misalignment, such as mask misalignment, can be suppressed.

[0039] Also, as in the embodiment described above, when the display pixels 3, scanning line driver 8, and signal line driver 9 are integrally formed at the same time on the substrate 2, one of the electrodes 13a, 15a of the holding capacitor 13 and kick capacitor 15 can be formed at the same time as the semiconductor layer (here, p-Si film) of the thin-film transistors constituting these circuits. Therefore, by simultaneous high-concentration injection of impurities in the source region and drain region of the thin-film transistor into the lower electrodes 13a, 15a of the holding capacitor 13 and kick capacitor 15 as well, the voltage dependence of these capacitors 13, 15 can be suppressed.

[0040] In the present embodiment, for example, the lower electrodes of the capacitors 13, 15 are formed at the same time as the semiconductor layer of the N-type transistor formed on the substrate 2. In other words, a semiconductor layer with a high concentration of N-type impurities (for example, phosphorus) injected at a concentration equivalent to that in the

BOE v. Samsung IPR2025-01478
Ex-1007

source region and drain region of the N-type transistor can be used as the lower electrodes.

[0041] The configuration of the display pixel circuit is not limited to one described in the embodiment above, and the present invention can be applied to a generic display pixel circuit with a plurality of capacitors holding video signals.

[0042]

[Effects of the Invention] In the present invention, as explained above, since the same dielectric film is used for the capacitance of the holding capacitor and the capacitance of the kick capacitor, variation in the ratio of the electrostatic capacitance of the holding capacitor to the electrostatic capacitance of the kick capacitor can be suppressed. This makes it possible to suppress variations in drive current between display devices and between display pixels.

[0043] In other words, the present invention provides a display device holding video signals in multiple capacitors in which variations in the ratio of the electrostatic capacitances of these capacitors is less likely to occur. This makes it possible to suppress fluctuations in video signals.

[Brief Description of the Drawings]

[FIG. 1] FIG. 1 is a circuit diagram schematically representing the display device in an embodiment of the present invention.

[FIG. 2] FIG. 2 is a cross-sectional view of a portion of an organic EL display device in an embodiment of the present invention.

[FIG. 3] FIG. 3 is a cross-sectional view of a portion an organic EL display device in which the dielectric film constituting the capacitance of the holding capacitor is different from the dielectric film constituting the capacitance of the kick capacitor.

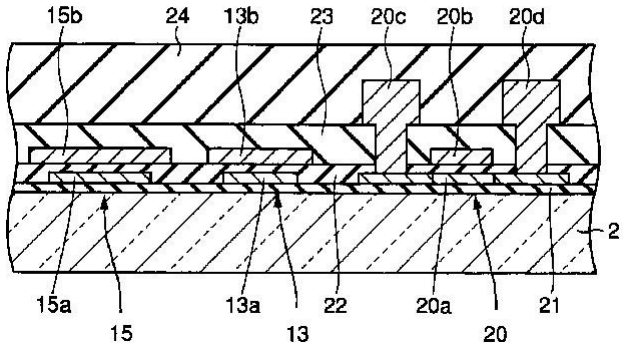
[FIG. 4] FIG. 4 is a plan view schematically representing a portion of an organic EL display device that has adopted the structure shown in FIG. 2.

[FIG. 5] FIG. 5 is a plan view schematically representing a portion of an organic EL display device that has adopted the structure shown in FIG. 3.

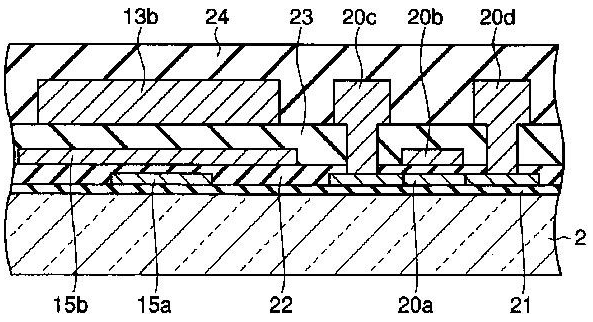
[Reference Numbers]

1: Display device
2: Substrate
3: Display pixel
4: Scanning line
5: Signal line
6, 7: Control line
8: Scanning line driver
9: Signal line driver
11: Display element
12: Drive control element
13: Holding capacitor
13a, 13b, 15a, 15b: Electrode
14: Pixel switch
15: Kick capacitor
16: Output switch
17: Reset switch
20: Thin film transistor
20a: Poly-Si film
20b: Gate electrode
20c: Source electrode
20d: Drain electrode
21-23: Insulating film
24: Passivation film

[FIG. 2]

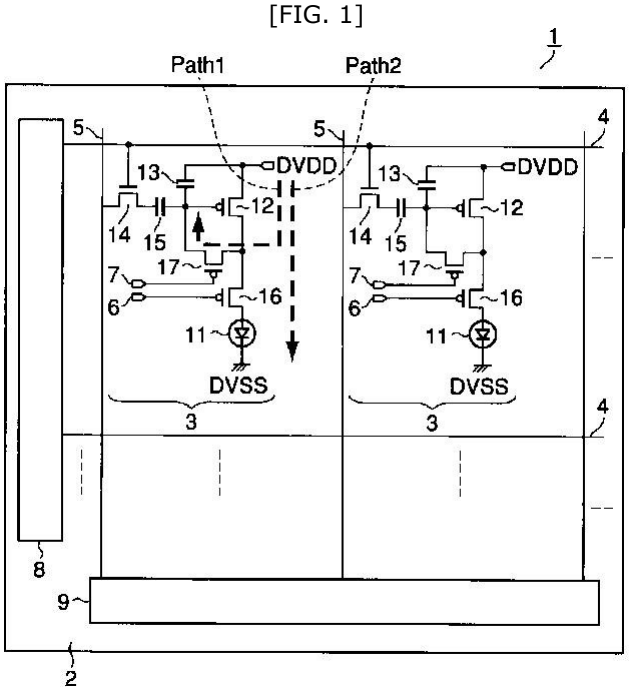


[FIG. 3]

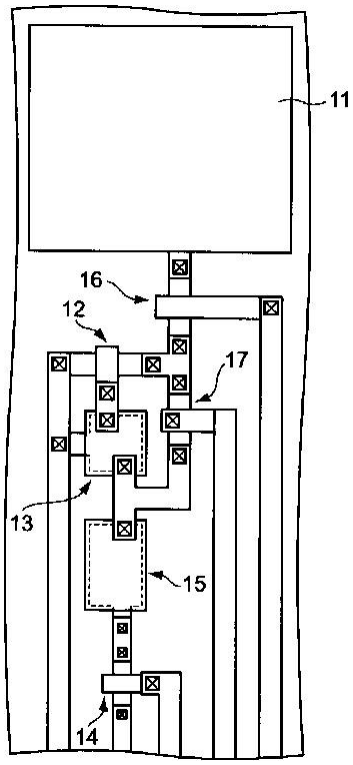


BOE v. Samsung IPR2025-01478
Ex-1007

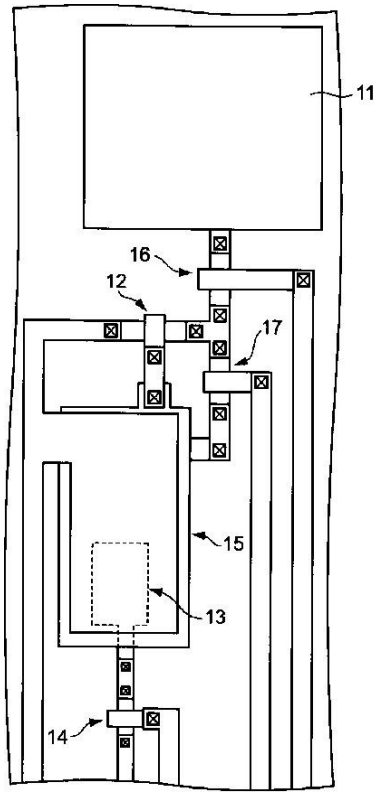
[FIG. 1]



[FIG. 4]



[FIG. 5]



BOE v. Samsung IPR2025-01478
Ex-1007

Continued from front page

F Terms (Reference)

3K007 AB02 AB17 BA06 DB03 GA04
5C094 AA03 AA07 AA43 AA55 BA03 BA27 CA19 CA25 DA13 DA15 EA04 FA01 FA02 FB01 FB12 FB14 FB15 FB20
5F110 AA30 BB01 BB02 CC01 DD02 DD11 GG02 GG13 NN03 NN73 QQ08

BOE v. Samsung IPR2025-01478
Ex-1007

June 27, 2025

Translator's Declaration

I, Frank McGee, hereby declare:

That I possess advanced knowledge of the Japanese and English languages. The attached Japanese into English translation has been translated by me and to the best of my knowledge and belief, it is a true and accurate translation of JP2003-167533A.

I declare that all statements made herein of my knowledge are true, and that all statements made on information and belief are believed to be true. I further declare that these statements were made with the knowledge that willfully false statements and the like are punishable by fine or imprisonment or both, under Section 1001 of Title 18 of the United States Code.

In signing this declaration, I understand that the translation and this declaration may be filed as evidence in a contested case. I acknowledge that I may be subject to cross-examination within the United States.

Frank McGee

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報**（Ａ）　(11)特許出願公開番号
特開2003－167533
（P2003－167533A）
(43)公開日　平成15年６月13日(2003.6.13)

(51)Int.Cl.[7]	識別記号	ＦＩ		テーマコード（参考）
Ｇ０９Ｆ　9/30	３３８	Ｇ０９Ｆ　9/30	３３８	３Ｋ００７
	３６５		３６５Ｚ	５Ｃ０９４
Ｈ０１Ｌ　21/336		Ｈ０５Ｂ　33/14	Ａ	５Ｆ１１０
29/786		Ｈ０１Ｌ　29/78	６１４	
Ｈ０５Ｂ　33/14			６１２Ｚ	

審査請求　未請求　請求項の数４　ＯＬ　（全　８　頁）

(21)出願番号　特願2001－370247(P2001－370247)

(22)出願日　平成13年12月４日(2001.12.4)

(71)出願人　000003078
株式会社東芝
東京都港区芝浦一丁目１番１号

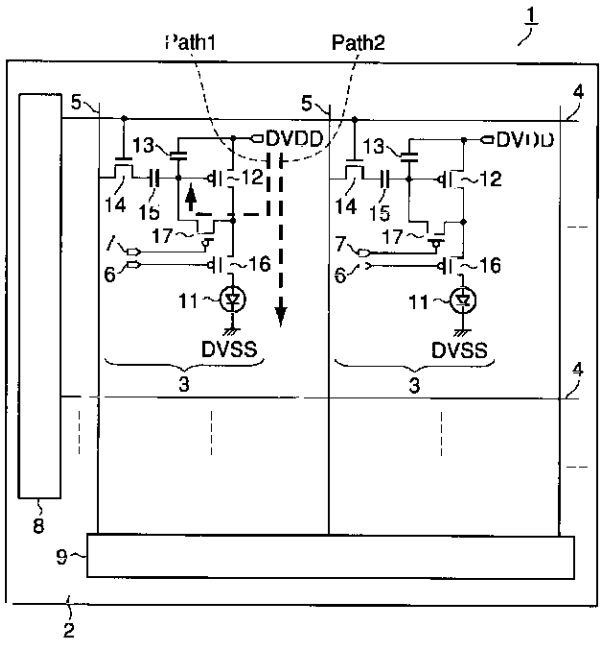
(72)発明者　中山　弘
埼玉県深谷市幡羅町一丁目９番地２　株式会社東芝深谷工場内

(74)代理人　100058479
弁理士　鈴江　武彦　（外６名）

最終頁に続く

(54)【発明の名称】　表示装置

(57)【要約】
【課題】保持キャパシタの静電容量とキックキャパシタの静電容量との比にバラツキを生じ難い表示装置を提供すること。
【解決手段】本発明の表示装置１は、基板２上に配置される複数の走査線４と前記走査線４に略直交して配置される複数の信号線５と、これら走査線４および信号線５の交点付近に配置される画素スイッチ１４と、前記信号線５から前記画素スイッチ１４を介して供給される映像信号を所定期間保持する第１および第２キャパシタ１３，１５と、前記映像信号に基づいて表示動作を行う表示素子１１とを備え、前記第１および第２キャパシタ１３，１５は同一平面上に同一層構造で構成されることを特徴とする。



BOE v. Samsung IPR2025-01478
Ex-1007

【特許請求の範囲】
【請求項１】　基板上に配置される複数の走査線と前記走査線に略直交して配置される複数の信号線と、これら走査線および信号線の交点付近に配置される画素スイッチと、
前記信号線から前記画素スイッチを介して供給される映像信号を所定期間保持する第１および第２キャパシタと、
前記映像信号に基づいて表示動作を行う表示素子とを備え、
前記第１および第２キャパシタは同一平面上に同一層構造で構成されることを特徴とする表示装置。
【請求項２】　基板上に配置される複数の走査線と前記走査線に略直交して配置される複数の信号線と、
前記走査線に接続するゲート電極および前記信号線に接続するソース電極とを備えた第１トランジスタと、
一対の電極間に誘電体膜を備え、一方の電極が前記第１トランジスタのドレイン電極と接続する第１キャパシタと、
前記第１キャパシタの他方の電極に接続するゲート電極および第１電源線に接続するソース電極を有する第２トランジスタと、
一対の電極間に誘電体膜を備え、一方の電極が前記第２トランジスタのゲート電極と接続し、他方の電極が前記第２トランジスタの前記ソース電極に接続する第２キャパシタと、
ゲート電極が第１制御線と接続し、ソース電極が前記第２トランジスタのドレイン電極に接続し、ドレイン電極が前記第２トランジスタのゲート電極に接続する第３トランジスタと、
ゲート電極が第２制御線と接続し、ソース電極が前記第２トランジスタのドレイン電極と接続する第４トランジスタと、
一対の電極間に光変調層を備え、一方の電極が前記第４トランジスタのドレイン電極と接続する表示素子を備え、
前記第１キャパシタを構成する誘電体膜と前記第２キャパシタを構成する誘電体膜とは同一であることを特徴とする表示装置。
【請求項３】　前記第１乃至第４トランジスタの少なくとも１つは、そのゲート絶縁膜が前記第１および第２キャパシタを構成する誘電体膜と同一であることを特徴とする請求項２に記載の表示装置。
【請求項４】　前記表示素子は有機エレクトロルミネッセンス表示素子であることを特徴とする請求項１乃至請求項３のいずれか１項に記載の表示装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は表示装置に関する。
【０００２】
【従来の技術】有機エレクトロルミネッセンス（以下、有機ＥＬという）表示装置は、軽量、薄型、高輝度という特徴を有している。そのため、近年、有機ＥＬ表示装置は、携帯電話のような携帯用情報機器のモニタディスプレイなどとして注目されている。
【０００３】有機ＥＬ表示装置は、典型的には、マトリクス状に配列された複数の表示画素で画像を表示するように構成されている。このような有機ＥＬ表示装置では、複数本の走査線及び複数本の信号線がそれぞれ表示画素の行と列とに沿って配置されている。各表示画素は、有機ＥＬ素子、一対の電源線間でこの有機ＥＬ素子に直列接続された駆動トランジスタ、この駆動トランジスタのゲート電圧を保持する保持キャパシタ、及び駆動トランジスタのゲート電圧を制御する画素スイッチで主に構成されている。
【０００４】上記の有機ＥＬ表示装置では、各表示画素は、キックキャパシタ、リセットスイッチ、及び出力スイッチをさらに含み、閾値キャンセル回路を構成することができる。このような閾値キャンセル回路を含んだ有機ＥＬ表示装置によると、駆動トランジスタの閾値電圧のバラツキに基づく駆動電流のバラツキを防止することができる。
【０００５】しかしながら、このような有機ＥＬ表示装置では、表示画素間で保持キャパシタの静電容量とキックキャパシタの静電容量との比にバラツキを生じた場合、それら表示画素間で駆動電流にバラツキを生ずることとなる。また、表示装置間で保持キャパシタの静電容量とキックキャパシタの静電容量との比にバラツキを生じた場合、それら表示装置間で駆動電流にバラツキを生ずることとなる。したがって、保持キャパシタの静電容量とキックキャパシタの静電容量との比のバラツキは可能な限り抑制することが望まれる。ところが、従来の有機ＥＬ表示装置では、そのようなバラツキを抑制することは困難であった。
【０００６】
【発明が解決しようとする課題】本発明は、上記問題点に鑑みて為されたものであり、保持キャパシタの静電容量とキックキャパシタの静電容量との比にバラツキを生じ難い表示装置を提供することを目的とする。
【０００７】また本発明は、表示素子へ供給する映像信号の変動を低減することを目的とする。
【０００８】
【課題を解決するための手段】上記課題を解決するために、本発明は、基板上に配置される複数の走査線と前記走査線に略直交して配置される複数の信号線と、これら走査線および信号線の交点付近に配置される画素スイッチと、前記信号線から前記画素スイッチを介して供給される映像信号を所定期間保持する第１および第２キャパシタと、前記映像信号に基づいて表示動作を行う表示素子とを備え、前記第１および第２キャパシタは同一平面

BOE v. Samsung IPR2025-01478
Ex-1007

上に同一層構造で構成されることを特徴とする表示装置を提供する。

【０００９】また、本発明は、基板上に配置される複数の走査線と前記走査線に略直交して配置される複数の信号線と、前記走査線に接続するゲート電極および前記信号線に接続するソース電極とを備えた第１トランジスタと、一対の電極間に誘電体膜を備え、一方の電極が前記第１トランジスタのドレイン電極と接続する第１キャパシタと、前記第１キャパシタの他方の電極に接続するゲート電極および第１電源線に接続するソース電極を有する第２トランジスタと、一対の電極間に誘電体膜を備え、一方の電極が前記第２トランジスタのゲート電極と接続し、他方の電極が前記第２トランジスタの前記ソース電極に接続する第２キャパシタと、ゲート電極が第１制御線と接続し、ソース電極が前記第２トランジスタのドレイン電極に接続し、ドレイン電極が前記第２トランジスタのゲート電極に接続する第３トランジスタと、ゲート電極が第２制御線と接続し、ソース電極が前記第２トランジスタのドレイン電極と接続する第４トランジスタと、一対の電極間に光変調層を備え、一方の電極が前記第４トランジスタのドレイン電極と接続する表示素子を備え、前記第１キャパシタを構成する誘電体膜と前記第２キャパシタを構成する誘電体膜とは同一であることを特徴とする表示装置を提供する。

【００１０】本発明において、画素スイッチ、出力スイッチ、及びリセットスイッチとしては、トランジスタやダイオードのようなスイッチング素子を用いることができる。

【００１１】本発明において、駆動制御素子と画素スイッチトランジスタと出力スイッチトランジスタとリセットスイッチトランジスタの少なくとも１つは、薄膜トランジスタであり且つそのゲート絶縁膜が前記保持キャパシタの容量を構成する誘電体膜及び前記キックキャパシタの容量を構成する誘電体膜と同一であってもよい。

【００１２】本発明において、上記表示素子は、駆動電圧または駆動電流に応じて光学特性が変化する表示素子であれば特に制限はない。例えば、上記表示素子としては、有機エレクトロルミネッセンス表示素子のように駆動電流に応じて発光輝度が変化する表示素子や、液晶表示素子のように駆動電圧に応じて透過率または反射率が変化する表示素子などを挙げることができる。

【００１３】なお、「保持キャパシタ（の容量）を構成する誘電体膜とキックキャパシタ（の容量）を構成する誘電体膜とが同一である」ことは、それら誘電体膜が同時に及び同じ材料で成膜されたことを意味している。このような特徴は、例えば、表示装置の断面構造を調べることにより確認可能である。すなわち、それら誘電体膜の断面が連続している場合、それら誘電体膜は同一であると判断することができる。また、それら誘電体膜の断面が不連続であっても、それら誘電体膜が別々に成膜されたことを示す構造的特徴が見られず且つそれら誘電体膜の組成及び膜厚がほぼ等しい場合には、それら誘電体膜は同一であると判断することができる。

【００１４】同様に、「ゲート絶縁膜が保持キャパシタ（の容量）を構成する誘電体膜及びキックキャパシタ（の容量）を構成する誘電体膜と同一である」ことは、それら誘電体膜及びゲート絶縁膜が同時に及び同じ材料で成膜されたことを意味している。このような特徴も、例えば、表示装置の断面構造を調べることにより確認可能である。すなわち、それら誘電体膜及びゲート絶縁膜の断面が連続している場合、それらは同一であると判断することができる。また、それら誘電体膜及びゲート絶縁膜の断面が不連続であっても、それらが別々に成膜されたことを示す構造的特徴が見られず且つそれらの組成及び膜厚がほぼ等しい場合には、それら誘電体膜及びゲート絶縁膜は同一であると判断することができる。

【００１５】

【発明の実施の形態】以下、本発明の実施形態について、図面を参照しながら詳細に説明する。なお、各図において、同様または類似の構成要素には同一の参照符号を付し、重複する説明は省略する。

【００１６】図１は、本発明の実施形態に係る表示装置を概略的に示す回路図である。本実施形態では、表示素子が有機ＥＬ表示素子である場合を例に説明する。

【００１７】図１に示す表示装置１は、有機ＥＬ表示装置であって、ガラス基板のような基板２と、基板２上にマトリクス状に配列された複数の表示画素３と、それら表示画素３の行と列とに沿ってそれぞれ延在した複数本の走査線４及び複数本の信号線５と、これら走査線４及び信号線５をそれぞれ駆動する走査線ドライバ８及び信号線ドライバ９とを備えている。各表示画素３は、表示素子１１と、駆動制御素子１２と、保持キャパシタ１３と、画素スイッチ１４と、キックキャパシタ１５と、出力スイッチ１６と、リセットスイッチ１７とを含んでいる。なお、ここでは、駆動制御素子１２、画素スイッチ１４、出力スイッチ１６、及びリセットスイッチ１７のそれぞれにトランジスタを使用することとする。例えば、画素スイッチ１４をN型トランジスタ、駆動制御素子１２、出力スイッチ１６、及びリセットスイッチ１７をＰ型トランジスタで構成する。

【００１８】表示素子１１と出力スイッチトランジスタ１６と駆動制御素子１２とは、一対の電源線ＤＶＤＤ，ＤＶＳＳ間で電源線ＤＶＳＳ側から電源線ＤＶＤＤ側に向けて順に直列に接続されている。画素スイッチトランジスタ１４とキックキャパシタ１５とは信号線５と駆動制御素子１２のゲート電極との間で信号線５側から駆動制御素子１２側に向けて順に直列に接続されており、画素スイッチトランジスタ１４のゲート電極は走査線４に接続されている。保持キャパシタ１３は電源線ＤＶＤＤと駆動制御素子１２のゲート電極との間に接続され、リ

BOE v. Samsung IPR2025-01478
Ex-1007

セットスイッチトランジスタ１７は出力スイッチトランジスタ１６の駆動制御素子１２側で出力スイッチトランジスタ１６と駆動制御素子１２のゲート電極との間に接続されている。また、出力スイッチトランジスタ１６及びリセットスイッチトランジスタ１７のゲート電極は制御線６，７にそれぞれ接続されている。

【００１９】この表示装置１では、電源線ＤＶＤＤの電位は例えば＋１０Ｖに設定し、電源線ＤＶＳＳの電位は例えば０Ｖに設定する。画素スイッチトランジスタ１４は、走査線４から供給される走査信号によって駆動されたときに信号線５から供給される映像信号電圧を駆動制御素子１２のゲート電極に印加する。駆動制御素子１２は、この映像信号電圧に応じた駆動電流を有機ＥＬ表示素子１１に供給する。有機ＥＬ表示素子１１は、例えば、赤色、緑色、または青色の蛍光性有機化合物を含んだ薄膜である発光層をカソード電極とアノード電極との間に挟持した構造を有している。このような有機ＥＬ表示素子１１では、その発光層に電子及び正孔を注入してそれらの再結合を生じさせることにより励起子を生成し、この励起子の失活時に生じる光放出によって発光する。

【００２０】信号線ドライバ9は、各水平走査期間に映像信号電圧を複数本の信号線５に並列的に供給する。走査線ドライバ8は、各垂直走査期間に複数本の走査線４に走査信号を順次供給する。各行の画素スイッチトランジスタ１４は、これら走査線４のうちの対応した１本から共通に供給される走査信号により１水平走査期間だけ導通し、走査信号が再び１垂直走査期間後に供給されるまで非導通となる。１行分の駆動制御素子１２は、これら画素スイッチトランジスタ１４が導通することによって複数本の信号線５から供給される映像信号電圧に対応した駆動電流を有機ＥＬ表示素子１１にそれぞれ供給する。

【００２１】また、信号線ドライバ9は、映像信号電圧を出力するのに先立って、一時的に所定のリセット電圧を出力するように構成されている。この表示装置１では、画素スイッチトランジスタ１４を介してリセット電圧を供給する際、制御線６，７からの制御信号により、リセットスイッチトランジスタ１７は導通状態とし、出力スイッチトランジスタ１６は非導通状態とする。このとき、駆動制御素子１２のゲート電極の電位は、経路Ｐａｔｈ１を経由して流れる電流により、駆動制御素子１２の閾値電圧V_{th}に等しくなるまで上昇する。

【００２２】続いて、画素スイッチトランジスタ１４を介して映像信号電圧を供給するとともに、制御線６，７からの制御信号により、リセットスイッチトランジスタ１７を非導通状態とし、出力スイッチトランジスタ１６を導通状態とする。これにより、駆動制御素子１２のゲート電極の電位は閾値電圧V_{th}に映像信号電圧を加えたレベルとなり、駆動電流が経路Ｐａｔｈ２を経由して流れる。

【００２３】このような方法で表示を行った場合、駆動電流はリセット電圧と映像信号電圧との差によって決定されることとなる。したがって、駆動制御素子１２間でそれらの閾値電圧にバラツキがあったとしても、それら閾値電圧のバラツキに起因して駆動電流のバラツキが生ずるのを防止することができる。

【００２４】さて、本実施形態に係る有機ＥＬ表示装置１では、保持キャパシタ１３の容量を構成する誘電体膜とキックキャパシタ１５の容量を構成する誘電体膜とは同一である。このような構成にすると、保持キャパシタ１３の静電容量とキックキャパシタ１５の静電容量との比にバラツキが生じるのを抑制することができる。これについては、図２を参照しながら説明する。

【００２５】図2は、本発明の実施形態に係る有機ＥＬ表示装置の一部を概略的に示す断面図である。図２に示す構造では、基板２上に形成された絶縁膜２１上に、保持キャパシタ１３の一方の電極１３ａと、キックキャパシタ１５の一方の電極１５ａと、薄膜トランジスタ２０のソース・ドレイン領域及びチャネル領域を構成するｐｏｌｙ－Ｓｉ膜２０ａとが並置されており、それらは誘電体膜（或いは、絶縁膜）２２で覆われている。誘電体膜２２上には、保持キャパシタ１３の他方の電極１３ｂと、キックキャパシタ１５の他方の電極１５ｂと、薄膜トランジスタ２０のゲート電極２０ｂとが並置されており、それらは層間絶縁膜２３で覆われている。層間絶縁膜２３上には、ソース電極２０ｃ及びドレイン電極２０ｄが設けられており、それらは絶縁膜２２，２３に設けられたコンタクトホールを介してｐｏｌｙ－Ｓｉ膜２０ａのソース・ドレイン領域に接続されている。なお、参照番号２４はパシベーション膜を示している。また、トランジスタ２０は、図１に示したトランジスタ１２，１４，１６，１７の少なくとも１つを代表して示している。

【００２６】保持キャパシタ１３の容量を構成する誘電体膜の膜厚とキックキャパシタ１５の容量を構成する誘電体膜の膜厚は、それぞれ、表示装置１の全体にわたって均一であることが理想であるが、現実的には、或る程度のバラツキを生ずる。それら膜厚のバラツキは、保持キャパシタ１３の静電容量及びキックキャパシタ１５の静電容量の双方にバラツキを生じさせる。

【００２７】これら静電容量のバラツキは、それら膜厚の比が表示画素３間でほぼ一定に保たれていれば、駆動電流に大きな影響を与えることはない。しかしながら、従来技術では、保持キャパシタ１３の容量とキックキャパシタ１５の容量とに互いに異なる誘電体層を使用していた。すなわち、保持キャパシタ１３の容量を構成する誘電体膜がキックキャパシタ１５の容量を構成する誘電体膜とを別々の工程で成膜していた。

【００２８】通常、別々に成膜した複数の薄膜間で膜厚

BOE v. Samsung IPR2025-01478
Ex-1007

分布に相関はない。そのため、従来技術では、上記膜厚の比にバラツキを生じ、その結果、表示装置１間や表示画素３間で駆動電流にバラツキを生じていたのである。

【００２９】これに対し、図２にように、保持キャパシタ１３の容量とキックキャパシタ１５の容量とに同一の誘電体膜２２を用いた場合、複数の誘電体膜を成膜することに起因して上記膜厚の比にバラツキを生ずることはない。また、保持キャパシタ１３とキックキャパシタ１５とは近接して配置されるため、各表示画素３内で保持キャパシタ１３の膜厚とキックキャパシタ１５の膜厚とが大きく異なることはない。したがって、図２に示すように、保持キャパシタ１３の容量とキックキャパシタ１５の容量とに同一の誘電体膜２２を用いることにより、上記膜厚の比にバラツキが生ずること、すなわち、表示装置１間や表示画素３間で駆動電流にバラツキが生ずるのを抑制することが可能となる。

【００３０】なお、本発明者は、保持キャパシタ１３の容量とキックキャパシタ１５の容量とに同一の誘電体膜を用いることによって生ずる効果を確認するために、以下のシミュレーションを行っている。

【００３１】図３は、保持キャパシタの容量を構成する誘電体膜がキックキャパシタの容量を構成する誘電体膜とは異なる有機ＥＬ表示装置の一部を概略的に示す断面図である。

【００３２】図３に示す構造では、図示しない基板上に形成された絶縁膜２１上に、キックキャパシタ１５の一方の電極１５ａと、薄膜トランジスタ２０のソース・ドレイン領域及びチャネル領域を構成するｐｏｌｙ－Ｓｉ膜２０ａとが並置されており、それらは絶縁膜（或いは、誘電体膜）２２で覆われている。絶縁膜２２上には、キックキャパシタ１５の他方の電極１５ｂと、薄膜トランジスタ２０のゲート電極２０ｂとが並置されており、それらは層間絶縁膜２３で覆われている。なお、図３に示す構造において、電極１５ｂは保持キャパシタ１３の一方の電極を兼ねている。層間絶縁膜２２上には、保持キャパシタ１３の他方の電極１３ｂとソース電極２０ｃ及びドレイン電極２０ｄとが並置されており、それらはパシベーション膜２４で覆われている。ソース電極２０ｃ及びドレイン電極２０ｄは絶縁膜２２，２３に設けられたコンタクトホールを介してｐｏｌｙ－Ｓｉ膜２０ａのソース・ドレイン領域に接続されている。

【００３３】図３に示す構造を採用した有機ＥＬ表示装置１では、保持キャパシタ１３の誘電体膜の膜厚及びキックキャパシタ１５の誘電体膜の膜厚がそれぞれ±１０％の範囲内で変化した場合、駆動電流はセンター条件に対して±３０％程度の範囲内でバラツキを生ずることとなる。一方、図２示す構造を採用した有機ＥＬ表示装置１では、保持キャパシタ１３の誘電体膜の膜厚及びキックキャパシタ１５の誘電体膜の膜厚がそれぞれ±１０％の範囲内で変化した場合、駆動電流のセンター条件に対するバラツキは±１０％程度の範囲内に収まる。このように、保持キャパシタ１３の容量とキックキャパシタ１５の容量とに同一の誘電体膜を用いることにより、駆動電流のバラツキを極めて効果的に抑制することが可能となる。

【００３４】本実施形態において、誘電体膜２２は、図２に示すように、保持キャパシタ１３の容量及びキックキャパシタ１５の容量に加え、表示画素３の一部を構成する薄膜トランジスタ２０のゲート絶縁膜も兼ねていることが好ましい。これについては、図２乃至図５を参照しながら説明する。

【００３５】図４は、図２に示す構造を採用した有機ＥＬ表示装置の一部を概略的に示す平面図である。また、図５は、図３に示す構造を採用した有機ＥＬ表示装置の一部を概略的に示す平面図である。

【００３６】一般に、層間絶縁膜２３は、走査線４と信号線５とのクロスショートを低減することなどを目的として、ゲート絶縁膜２２に比べて遥かに厚く形成する。例えば、ゲート絶縁膜２２の膜厚を８０ｎｍ程度とし、層間絶縁膜２３の膜厚は６６０ｎｍ程度とする。そのため、図３に示すように保持キャパシタ１３の誘電体膜として層間絶縁膜２３を使用した場合、保持キャパシタ１３で十分な静電容量を実現するには、図３及び図５に示すように保持キャパシタ１３を大面積とする必要がある。

【００３７】これに対し、図２に示すように保持キャパシタ１３及びキックキャパシタ１５６の誘電体膜並びに薄膜トランジスタ２０のゲート絶縁膜として絶縁膜２２を使用した場合、図２及び図４に示すように保持キャパシタ１３を大面積とすることなく、それらで十分な静電容量（それぞれ、通常は０．１ｐＦ以上、典型的には０．２ｐＦ程度）を実現することができる。例えば、図３及び図５に示す構造に対し、保持キャパシタ１３が占める面積を１／８程度にまで減少させることができる。したがって、そのような構造を採用することにより、保持キャパシタ１３及びキックキャパシタ１５が占める面積を低減することができる。

【００３８】また、保持キャパシタ１３及びキックキャパシタ１５の一方の電極、ここでは下部電極１３ａ、１５ａよりも、他方の電極、ここでは上部電極１３ｂ、１５ｂを表面積が大きくなるよう形成することにより、マスクズレ等横方向のズレに対して、容量のバラツキを抑制することが可能となる。

【００３９】また、上述の実施例のように、基板２上に表示画素３、走査線ドライバ８、信号線ドライバ９を一体的に同時に形成する場合、保持キャパシタ１３及びキックキャパシタ１５の一方の電極１３ａ、１５ａは、これら回路を構成する薄膜トランジスタの半導体層（ここではｐ－Ｓｉ膜）と同時に形成することができる。したがって、薄膜トランジスタのソース領域、ドレイン領域

BOE v. Samsung IPR2025-01478
Ex-1007

に注入する不純物を保持キャパシタ１３およびキックキャパシタ１５の下部電極１３ａ、１５ａにも同時に高濃度注入することにより、これらキャパシタ１３，１５の電圧依存性を抑制することができる。

【００４０】本実施例では例えば、基板２上に形成されるＮ型トランジスタの半導体層と同時にキャパシタ１３，１５の下部電極を構成している。つまり、Ｎ型トランジスタのソース領域およびドレイン領域とほぼ同等の濃度のＮ型不純物（例えばリン）を高濃度注入された半導体層を下部電極として用いることができる。

【００４１】表示画素回路の構成は上記実施形態に限定されるものではなく、本発明は、映像信号を保持するキャパシタを複数備えた表示画素回路一般に適用することができる。

【００４２】

【発明の効果】以上説明したように、本発明では、保持キャパシタの容量とキックキャパシタの容量とに同一の誘電体膜を使用するため、保持キャパシタの静電容量とキックキャパシタの静電容量との比にバラツキが生ずるのを抑制することができる。したがって、表示装置間や表示画素間で駆動電流にバラツキが生ずるのを抑制することが可能となる。

【００４３】すなわち、本発明によると、複数のキャパシタのより映像信号を保持する表示装置において、これらキャパシタの静電容量の比にバラツキを生じ難い表示装置が提供される。そして映像信号の変動を抑制することが可能となる。

【図面の簡単な説明】

【図１】本発明の実施形態に係る表示装置を概略的に示す回路図。

【図２】本発明の実施形態に係る有機ＥＬ表示装置の一部を概略的に示す断面図。

【図３】保持キャパシタの容量を構成する誘電体膜がキックキャパシタの容量を構成する誘電体膜とは異なる有機ＥＬ表示装置の一部を概略的に示す断面図。

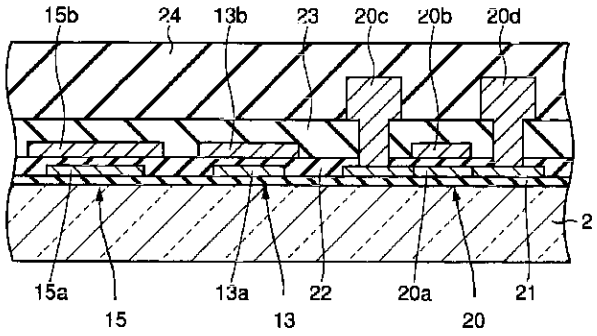
【図４】図２に示す構造を採用した有機ＥＬ表示装置の一部を概略的に示す平面図。

【図５】図３に示す構造を採用した有機ＥＬ表示装置の一部を概略的に示す平面図。

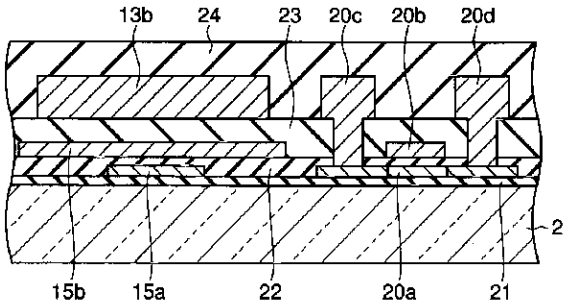
【符号の説明】

１…表示装置
２…基板
３…表示画素
４…走査線
５…信号線
６，７…制御線
８…走査線ドライバ
９…信号線ドライバ
１１…表示素子
１２…駆動制御素子
１３…保持キャパシタ
１３ａ，１３ｂ，１５ａ，１５ｂ…電極
１４…画素スイッチ
１５…キックキャパシタ
１６…出力スイッチ
１７…リセットスイッチ
２０…薄膜トランジスタ
２０ａ…ｐｏｌｙ－Ｓｉ膜
２０ｂ…ゲート電極
２０ｃ…ソース電極
２０ｄ…ドレイン電極
２１～２３…絶縁膜
２４…パシベーション膜

【図２】

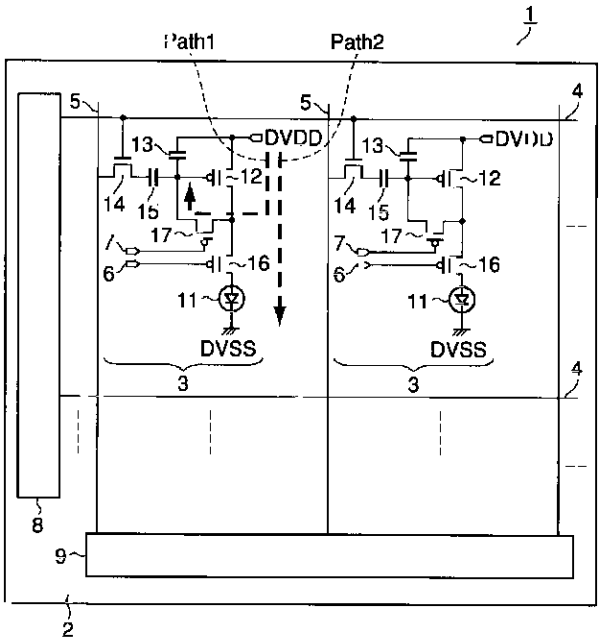


【図３】

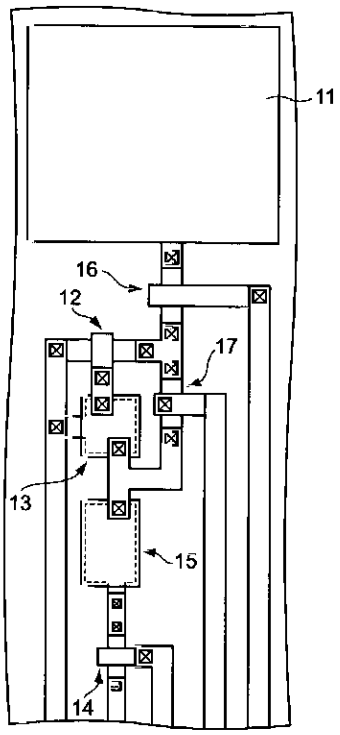


BOE v. Samsung IPR2025-01478
Ex-1007

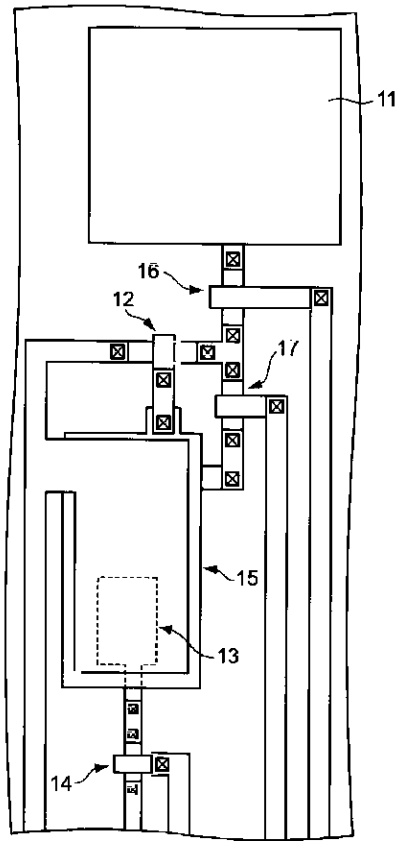
【図1】



【図4】



【図5】



BOE v. Samsung IPR2025-01478
Ex-1007

フロントページの続き

Fターム(参考) 3K007 AB02 AB17 BA06 DB03 GA04
5C094 AA03 AA07 AA43 AA55 BA03
BA27 CA19 CA25 DA13 DA15
EA04 FA01 FA02 FB01 FB12
FB14 FB15 FB20
5F110 AA30 BB01 BB02 CC01 DD02
DD11 GG02 GG13 NN03 NN73
QQ08

BOE v. Samsung IPR2025-01478
Ex-1007