

(19) Japan Patent Office (JP)

(12) **Japanese Unexamined Patent
Application Publication (A)**(11) Patent Application Number
JA 2008-8942
(P2008-8942A)(43) Publication Date **01/17/2008**

(51) Int.Cl.			F1	Theme Codes (Reference)		
G09F	9/30	(01/2006)	GO9F	9/30	338	2HO92
G02F	1/1345	(01/2006)	GO2F	1/1345		2HO93
G02F	1/1368	(01/2006)	GO2F	1/1368		5COO6
G02F	1/133	(01/2006)	GO2F	1/133	550	5CO8O
G09G	3/20	(01/2006)	GO9G	3/20	621M	5CO94

Examination request: Not requested; Number of claims: 12; OL (total 18 pages), continued on the final page

(21) Application Number

JA 2006-176292 (P2006-176292)

(22) Filing Date

06/27/2006

(71) Applicant 000002369

Seiko Epson Corporation
2-4-1 Nishishinjuku, Shinjuku-ku, Tokyo

(74) Agent 100104765

Tatsuo Egami, Patent Attorney

(74) Agent 100107331

Satonobu Nakamura, Patent Attorney

(72) Inventor Masao Murade

c/o Seiko Epson Corporation, 3-3-5 Owa,
Suwa, Nagano

F Terms (Reference) 2H092 GA59 JA24 JB62 JB66 JB69

KB12 KB13 NA01 PA06 RA05

2H093 NA16 NC10 NC12 NC34 NC35

NC36 ND05 ND42 NE02 NE03

NE07 NG02

Continued on Final Page

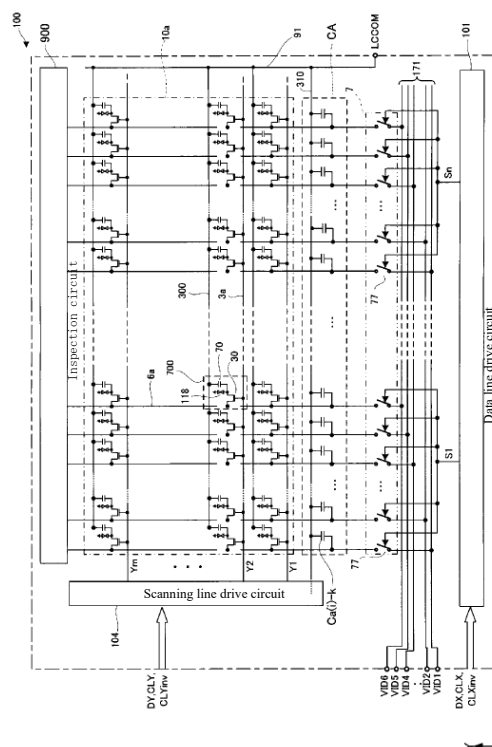
(54) [Title of the Invention] Electro-optical Device and Electronic Equipment Equipped with the Same

(57) [Abstract]

[Problem] In an electro-optical device such as a liquid crystal device, to achieve high-density integration and miniaturization while displaying high-quality images free from display unevenness along data lines.

[Solution] An electro-optical device includes, on a substrate (10), data lines (6a) and scanning lines (3a) intersecting each other, pixel electrodes (9a) and pixel switching elements (30) provided corresponding to intersections of the data lines and scanning lines, and a storage capacitor (70) electrically connected to the pixel electrodes, wherein the storage capacitor includes a lower electrode (71), a dielectric film (75), and an upper electrode (300a) sequentially stacked from a lower layer side, with at least one of the lower electrode and the upper electrode being formed of a low-resistance film. The device further includes an additional capacitor (Ca(i)-k) having the same stacked structure as the storage capacitor and electrically connected to the data lines.

[Selected Drawing] FIG. 3



[Scope of Claims]

[Claim 1]

An electro-optical device comprising, on a substrate,
 a plurality of data lines and a plurality of scanning lines intersecting each other;
 pixel electrodes and pixel switching elements provided corresponding to intersections of the data lines and scanning lines;
 a storage capacitor electrically connected to the pixel electrodes, the storage capacitor including a lower electrode, a dielectric film, and an upper electrode sequentially stacked from a lower layer side, with at least one of the lower electrode and the upper electrode being formed of a low-resistance film;
 and an additional capacitor having the same stacked structure as the storage capacitor and electrically connected to the data lines.

10

[Claim 2]

The electro-optical device according to claim 1, wherein the lower electrode and the upper electrode are formed of a metal film.

[Claim 3]

The electro-optical device according to claim 1,
 wherein the lower electrode is formed of a conductive polysilicon film,
 and the upper electrode is formed of a metal film.

[Claim 4]

The electro-optical device according to any one of claims 1 to 3, wherein the additional capacitor is formed on a layer lower than the data lines.

20

[Claim 5]

The electro-optical device according to any one of claims 1 to 4, wherein one electrode constituting the additional capacitor is set to a predetermined potential.

[Claim 6]

The electro-optical device according to claim 5, further comprising: an opposing substrate disposed opposite the substrate;
 an opposing electrode formed on the opposing substrate and disposed to face the pixel electrodes;
 a drive circuit disposed on either the opposing substrate or the substrate for driving the data lines, scanning lines, and pixel electrodes;

a first power supply supplying a predetermined potential to the opposing electrode;

and a second power supply supplying a predetermined potential to the drive circuit,

wherein

one electrode of the additional capacitor is electrically connected to the first power supply or
 the second power supply to be set to the predetermined potential.

30

[Claim 7]

The electro-optical device according to claim 5 or 6, further comprising a storage capacitor fixed potential line supplying a predetermined potential to either the lower electrode or the upper electrode,
 wherein one electrode of the additional capacitor is electrically connected
 to the storage capacitor fixed potential line to be set to the predetermined potential.

[Claim 8]

The electro-optical device according to any one of claims 1 to 7, further comprising: a sampling circuit disposed in a peripheral region surrounding a pixel region where the pixel electrodes are provided, the sampling circuit including a plurality of sampling switches each supplying an image signal to the data lines in response to a sampling signal;

40

and a data line drive circuit disposed in the peripheral region for sequentially supplying the sampling signal to each sampling switch corresponding to the data lines,

wherein

the additional capacitor is disposed in a region between the region where the sampling circuit is disposed and the pixel region.

[Claim 9]

The electro-optical device according to any one of claims 1 to 7, further comprising a data line drive circuit provided on one end side of the data lines for driving the data lines,

wherein the additional capacitor is provided on the other end side of the data lines.

50

[Claim 10]

The electro-optical device according to any one of claims 1 to 9, further comprising N image signal lines supplying N (where N is a natural number of 2 or more) serial-to-parallel converted image signals for each group of N data lines among the plurality of data lines,

wherein a capacitance value of a first additional capacitor electrically connected to a data line located at an end of the group of N data lines differs from a capacitance value of a second additional capacitor electrically connected to a data line other than the data line at the end of the group.

[Claim 11]

An electro-optical device comprising, on a substrate,
 a plurality of data lines and a plurality of scanning lines intersecting each other;
 pixel electrodes and pixel switching elements provided corresponding to intersections of the data lines and scanning lines;
 a fixed potential line supplying a predetermined potential and formed of a low-resistance film;
 and an additional capacitor including a first electrode extending from the fixed potential line and a second electrode electrically connected to the data lines.

60

[Claim 12]

An electronic device comprising the electro-optical device according to any one of claims 1 to 11.

[Detailed Description of the Invention]

[Technical Field]

[0001]

The present invention relates to the technical field of an electro-optical device, such as a liquid crystal device, and an electronic device, such as a liquid crystal projector, incorporating the electro-optical device.

[Background Art]

[0002]

This type of electro-optical device includes, on a substrate, pixel electrodes, scanning lines, data lines, and thin film transistors (TFTs) as pixel switching elements for selectively driving the pixel electrodes, and is configured to be capable of active matrix driving. Additionally, for purposes such as achieving high contrast, a storage capacitor may be provided between the TFT and the pixel electrode.

[0003]

Active matrix driving refers to a driving method in which the operation of the TFTs is controlled by supplying scanning signals to the scanning lines, and image signals are supplied to the data lines, thereby applying an electric field corresponding to the image signals to the pixel electrodes corresponding to the TFTs turned ON by the scanning signals. Methods for supplying image signals include, for example, a method of sequentially supplying image signals to each data line individually or a method of performing serial-to-parallel conversion of image signals and simultaneously supplying them to a group of adjacent data lines.

[0004]

In such driven electro-optical devices, a technical problem arises in which display unevenness occurs due to push-down of the image signal potential written to the data lines. For instance, in the case of supplying image signals simultaneously to groups of data lines as exemplified above, display unevenness appears along the data lines at the boundary between two adjacent groups. Patent Document 1, disclosed by the applicant of the present application, describes a technique of providing a capacitor to the data lines as a means to address this technical problem.

[0005]

[Patent Document 1] Japanese Patent Application Laid-Open No. 2004-125887

[Disclosure of the Invention]

[Problem to Be Solved by Invention]

[0006]

Meanwhile, such electro-optical devices face a general demand for high-density integration and miniaturization. Although the technique disclosed in Patent Document 1 reduces display unevenness by providing capacitors to the data lines, this approach may pose a technical problem in that it could hinder achieving high-density integration and miniaturization of the device.

[0007]

The present invention was made in view of the above-mentioned problems and aims to provide an electro-optical device capable of achieving high-density integration and miniaturization while displaying high-quality images free from display unevenness along data lines, and an electronic device incorporating such an electro-optical device.

[Means for Solving Problem]

[0008]

To solve the above problems, a first electro-optical device according to the present invention includes, on a substrate, a plurality of data lines and a plurality of scanning lines intersecting each other; pixel electrodes and pixel switching elements provided corresponding to intersections of the data lines and scanning lines; a storage capacitor electrically connected to the pixel electrodes, the storage capacitor including a lower electrode, a dielectric film, and an upper electrode sequentially stacked from a lower layer side, with at least one of the lower electrode and the upper electrode being formed of a low-resistance film; and an additional capacitor having the same stacked structure as the storage capacitor and electrically connected to the data lines.

[0009]

According to the first electro-optical device of the present invention, during operation, the switching operation of the pixel switching elements, such as thin film transistors, is controlled through the scanning lines, and image signals are supplied through the data lines, whereby a voltage corresponding to the image signals is applied to the pixel electrodes via the pixel switching elements.

[0010]

In the present invention, the storage capacitor connected to the pixel electrodes and pixel switching elements enhances the potential retention characteristics of the pixel electrodes. One of the lower electrode and the upper electrode constituting the storage capacitor is electrically connected to the pixel electrodes and pixel switching elements, functioning as a pixel potential side capacitor electrode, while the other is electrically connected to, for example, a fixed potential line set to a predetermined potential, functioning as a fixed potential side capacitor electrode.

[0011]

Furthermore, the present invention includes an additional capacitor electrically connected to the data lines. Thus, for example, the additional capacitor is added to the wiring capacitance of the data lines or the capacitance arising from the overlap between the data lines and other wirings, thereby appropriately securing the capacitance around the data lines. Consequently, variations in the potential that the data lines should maintain, i.e., push-down of the image signal potential written to the data lines, can be suppressed. As a result, display unevenness along the data lines caused by the push-down of the image signal potential can be reduced or prevented.

[0012]

In the present invention, the additional capacitor particularly has the same stacked structure as the storage capacitor. Here, "same stacked structure" means that the order of stacking of each layer is identical. Specifically, the additional capacitor is composed of one electrode formed from the same film as the lower electrode of the storage capacitor, another electrode formed from the same film as the upper electrode of the storage capacitor, and a dielectric film interposed between this pair of electrodes.

The term "formed from the same film" means that, for example, a common precursor film for the additional capacitor and the storage capacitor is formed, and by performing patterning on this precursor film, one electrode of the additional capacitor and the lower electrode of the storage capacitor are formed with specific pattern shapes corresponding to their respective locations. In other words, the additional capacitor and the storage capacitor are formed simultaneously in the manufacturing process. By manufacturing the additional capacitor and the storage capacitor concurrently, it is possible to simplify the manufacturing process or reduce manufacturing costs compared to manufacturing them separately. To put it in another way, by utilizing the process for manufacturing the storage capacitor necessary for enhancing pixel potential retention characteristics, the additional capacitor can be easily manufactured with a configuration similar to that of the storage capacitor.

[0013]

Furthermore, in the present invention, at least one of the lower electrode and the upper electrode of the storage capacitor is particularly formed of a low-resistance film. Here, the "low-resistance film" as referred to in the present invention is a conductive film with an electrical resistance per unit quantity, such as sheet resistance, lower than that of a conductive polysilicon film. For example, the "low-resistance film" is composed of a conductive metal film, such as an aluminum film. Specifically, the storage capacitor has, for example, a Metal-Insulator-Semiconductor (MIS) structure in which the lower electrode is formed of a polysilicon film and the upper electrode is formed of a low-resistance metal film. Alternatively, the storage capacitor has, for example, a Metal-Insulator-Metal (MIM) structure in which both the lower electrode and the upper electrode are formed of a low-resistance metal film. Since the additional capacitor has the same stacked structure as the storage capacitor, as described above, at least one of the pair of electrodes constituting the additional capacitor is also formed of a low-resistance film, such as an aluminum film. Thus, the additional capacitor has, for example, an MIS structure or an MIM structure, similar to the storage capacitor. Accordingly, the dielectric film constituting the additional capacitor can be formed of a dielectric material with a high dielectric constant (i.e., a High-K material). Therefore, it is possible to fabricate the additional capacitor with a capacitance value sufficient to reduce display unevenness within a relatively small area. In other words, the additional capacitor can be efficiently formed in a region on the substrate where other wirings or circuits are not formed (i.e., so-called dead space), thereby achieving high-density integration and miniaturization of the device.

[0014]

Moreover, if both electrodes constituting the additional capacitor were formed of a relatively high-resistance film, such as a conductive polysilicon film, it would be necessary to form, for example, a fixed potential line supplying a predetermined potential to the additional capacitor from a low-resistance film disposed in a layer separate from the pair of electrodes constituting the additional capacitor. Additionally, contact holes would need to be formed for each additional capacitor to electrically connect the fixed potential line to the additional capacitor, resulting in a complex stacked structure on the substrate. However, in the present invention, since at least one of the pair of electrodes constituting the additional capacitor is formed of a low-resistance film, such as an aluminum film, the fixed potential side capacitor electrode of the pair of electrodes constituting the additional capacitor can be formed as part of the fixed potential line supplying the predetermined potential. Thus, the additional capacitor can be formed without complicating the stacked structure on the substrate. Consequently, the high degree of freedom in layout when forming the additional capacitor allows for efficient formation of the additional capacitor in the dead space on the substrate.

[0015]

As described above, according to the first electro-optical device of the present invention, it is possible to achieve high-density integration and miniaturization of the device while displaying high-quality images free from display unevenness along the data lines.

[0016]

In one aspect of the first electro-optical device according to the present invention, the lower electrode and the upper electrode are formed of a metal film.

[0017]

According to this aspect, the storage capacitor and the additional capacitor have an MIM structure. Thus, capacitance can be formed with a simple structure. Specifically, since the fixed potential line supplying a predetermined potential to the storage capacitor and the additional capacitor can be formed from the metal film constituting the lower electrode or the upper electrode, it is possible to add capacitance to the data lines without complicating the stacked structure on the substrate.

[0018]

In another aspect of the first electro-optical device according to the present invention, the lower electrode is formed of a conductive polysilicon film, and the upper electrode is formed of a metal film.

[0019]

According to this aspect, the storage capacitor and the additional capacitor have an MIS structure. Therefore, for example, by performing an oxidation treatment to oxidize the upper surface of one electrode (i.e., the electrode formed from the same film as the lower electrode) constituting the additional capacitor, or by performing a firing treatment to fire the dielectric film after stacking it on the one electrode, the withstand voltage of the storage capacitor can be enhanced. Thus, the dielectric film can be formed of a High-K material, such as a silicon nitride film. Consequently, the additional capacitor can be fabricated with a capacitance value sufficient to reduce display unevenness within a relatively small area.

[0020]

In another aspect of the first electro-optical device according to the present invention, the additional capacitor is formed on a layer lower than the data lines.

[0021]

According to this aspect, the additional capacitor is formed on a layer lower than the data lines. That is, the storage capacitor, which has the same stacked structure as the additional capacitor, is also formed on a layer lower than the data lines. Therefore, compared to the case where the additional capacitor (and the storage capacitor) is formed on a layer higher than the data lines, the storage capacitor can be disposed close to the pixel switching element, which is typically disposed on a layer lower than the

storage capacitor and the data lines, via an interlayer insulating film. Consequently, the channel region of a thin film transistor, as an example of the pixel switching element, can be reliably shielded from incident light from the upper layer side. As a result, during device operation, light leakage current in the thin film transistor is reduced, and the contrast ratio can be improved.

[0022]

It should be noted that the additional capacitor may be formed on a layer higher than the data lines. In this case, the storage capacitor is also formed on a layer higher than the data lines, but by forming the storage capacitor to at least partially overlap the pixel switching element in a planar view on the substrate, the pixel switching element can be shielded from incident light from the upper layer side.

[0023]

In another aspect of the first electro-optical device according to the present invention, one electrode constituting the additional capacitor is set to a predetermined potential.

10

[0024]

According to this aspect, the additional capacitor can function appropriately. Specifically, the additional capacitor can accumulate an appropriate amount of charge corresponding to the potential difference between the voltage of the image signal supplied to the data lines and the predetermined potential. The "predetermined potential" as referred to in the present invention means a potential predetermined regardless of changes in the image signal potential or image data, and may be, for example, a fixed potential completely constant with respect to the time axis or a fixed potential that remains constant for a certain period (e.g., a potential inverted with respect to a reference potential at regular intervals).

[0025]

In the aspect mentioned earlier where one electrode constituting the additional capacitor is set to a predetermined potential, the device may further include: an opposing substrate disposed opposite the substrate; an opposing electrode formed on the opposing substrate and disposed to face the pixel electrodes; a drive circuit disposed on either the opposing substrate or the substrate for driving the data lines, scanning lines, and pixel electrodes; a first power supply supplying a predetermined potential to the opposing electrode; and a second power supply supplying a predetermined potential to the drive circuit, wherein the one electrode is electrically connected to the first power supply or the second power supply to be set to the predetermined potential.

20

[0026]

In this case, the power supply for setting one electrode of the additional capacitor to the predetermined potential is shared with the power supply (i.e., the first power supply) for setting the opposing electrode to a predetermined potential (i.e., the opposing electrode potential) or the power supply (i.e., the second power supply) for supplying a predetermined potential to the drive circuit, thereby simplifying the device configuration. This aspect also includes cases where the first power supply and the second power supply are a single common power supply.

30

[0027]

In the aspect where one electrode constituting the additional capacitor is set to a predetermined potential, the device may further include a storage capacitor fixed potential line supplying a predetermined potential to either the lower electrode or the upper electrode, wherein the one electrode is electrically connected to the storage capacitor fixed potential line to be set to the predetermined potential.

[0028]

In this case, the wiring for setting one electrode of the additional capacitor to the predetermined potential is shared with the storage capacitor fixed potential line supplying a predetermined potential to the fixed potential side capacitor electrode of the storage capacitor, thereby simplifying the device configuration. Furthermore, in this aspect, since substantially or completely the same predetermined potential is supplied to the additional capacitor and the storage capacitor, the voltage corresponding to the image signal in the storage capacitor and the voltage corresponding to the image signal in the additional capacitor can be substantially or completely matched. Thus, the voltage generated in the additional capacitor can be suppressed.

40

[0029]

In another aspect of the first electro-optical device according to the present invention, the device further includes: a sampling circuit disposed in a peripheral region surrounding the pixel region where the pixel electrodes are provided, the sampling circuit including a plurality of sampling switches each supplying an image signal to the data lines in response to a sampling signal; and a data line drive circuit disposed in the peripheral region for sequentially supplying the sampling signal to each sampling switch corresponding to the data lines, wherein the additional capacitor is disposed in a region between the region where the sampling circuit is disposed and the pixel region.

50

[0030]

According to this aspect, by disposing the additional capacitor in the region between the region where the sampling circuit is disposed and the pixel region, the additional capacitor can be efficiently formed on a substrate with limited area. Thus, high-density integration and miniaturization of the device can be achieved.

[0031]

Furthermore, according to this aspect, the additional capacitor can be electrically connected between the drain of a thin film transistor, which is an example of a sampling switch, and the data line. Thus, it is possible to suppress an increase in the push-down amount of the image signal potential written to the data line due to the influence of parasitic capacitance between the gate and drain of the thin film transistor. Specifically, by electrically connecting the additional capacitor immediately after the output side of the sampling switch, it is possible to suppress the push-down in the sampling switch from causing variations in the potential of the data line.

60

[0032]

In another aspect of the first electro-optical device according to the present invention, the device further includes a data line drive circuit provided on one end side of the data lines for driving the data lines, wherein the additional capacitor is provided on the other end side of the data lines.

[0033]

According to this aspect, the positional relationship of various components with respect to the data lines becomes favorable. In this aspect, since the data line drive circuit is disposed at one end of the data lines and the additional capacitor is disposed at the other end, the flow of the image signal proceeds from the data line drive circuit, through the data lines (and the pixel switching elements and pixel electrodes connected thereto), to the additional capacitor, enabling smooth transmission of the image signal to the pixel electrodes. Additionally, charge accumulation in the additional capacitor is performed using, so to speak, a used image signal. In other words, according to this aspect, despite providing the additional capacitor, which could act as an obstacle to the data lines, any adverse effects that might arise can be effectively avoided.

[0034]

In this aspect, a sampling circuit or the like may be provided between the data line drive circuit and the data lines.

[0035]

In another aspect of the first electro-optical device according to the present invention, the device further includes N image signal lines supplying N (where N is a natural number of 2 or more) serial-to-parallel converted image signals for each group of N data lines among the plurality of data lines, wherein a capacitance value of a first additional capacitor electrically connected to a data line located at an end of the group of N data lines differs from a capacitance value of a second additional capacitor electrically connected to a data line other than the data line at the end of the group.

[0036]

According to this aspect, during operation, N series of serial-to-parallel converted image signals are supplied to N image signal lines and further supplied to, for example, a sampling circuit. The N series of image signals are generated, for example, by an external circuit converting a serial image signal into multiple parallel image signals, such as 3-phase, 6-phase, 12-phase, 24-phase, etc., to achieve high-definition image display while suppressing an increase in drive frequency. In parallel with the supply of such image signals, a data line drive circuit sequentially supplies sampling signals to each sampling switch corresponding to a group of data lines. Consequently, the sampling circuit sequentially supplies N image signals to the plurality of data lines for each group of data lines in response to the sampling signals. Thus, the data lines belonging to the same data line group are driven simultaneously.

[0037]

When driving is performed for each data line group in this manner, while image signals are supplied to one data line group, the potential of a data line belonging to this data line group and adjacent to another data line group to be driven next may differ from the potential of a data line belonging to the other data line group, depending on the content of the displayed image.

[0038]

When the push-down amount of the image signal potential in the two data lines located at both ends of a data line group differs from the push-down amount in the other data lines belonging to the same data line group due to such a potential difference, the push-down amount in each data line can be made uniform by setting the capacitance values of the two additional capacitors (i.e., the first additional capacitors) corresponding to these two data lines to be different from the capacitance values of the other additional capacitors (i.e., the second additional capacitors) electrically connected to the other data lines in the data line group. Thus, display unevenness along the data lines can be reduced or prevented.

[0039]

To solve the above problems, a second electro-optical device according to the present invention includes, on a substrate, a plurality of data lines and a plurality of scanning lines intersecting each other; pixel electrodes and pixel switching elements provided corresponding to intersections of the data lines and scanning lines; a fixed potential line supplying a predetermined potential and formed of a low-resistance film; and an additional capacitor including a first electrode extending from the fixed potential line and a second electrode electrically connected to the data lines.

[0040]

According to the second electro-optical device of the present invention, during operation, a voltage corresponding to the image signal is applied to the pixel electrodes in substantially the same manner as in the first electro-optical device described above.

[0041]

The second electro-optical device according to the present invention includes an additional capacitor electrically connected to the data lines, similar to the first electro-optical device described above. Thus, the capacitance around the data lines can be appropriately secured. Consequently, push-down of the image signal potential written to the data lines can be suppressed. As a result, display unevenness along the data lines caused by the push-down of the image signal potential can be reduced or prevented.

[0042]

In the present invention, the first electrode constituting the additional capacitor extends from the fixed potential line and functions as a fixed potential side electrode. Meanwhile, the second electrode constituting the additional capacitor is electrically connected to the data lines and functions as a pixel potential side electrode. The fixed potential line is formed of a low-resistance film, such as an aluminum film. Thus, the first electrode extending from the fixed potential line is also formed of a low-resistance film. If both electrodes constituting the additional capacitor were formed of a relatively high-resistance film, such as a conductive polysilicon film, it would be necessary to form the fixed potential line supplying a predetermined potential to the additional capacitor from a low-resistance film disposed in a layer separate from the pair of electrodes constituting the additional capacitor, and further form contact holes for each additional capacitor to electrically connect the fixed potential line to the additional capacitor, resulting in a complex stacked structure on the substrate. However, in the present invention, the first electrode constituting the additional capacitor extends from the fixed potential line. In other words, the first electrode is formed as part of the fixed potential line supplying the predetermined potential. Thus, the additional capacitor can be formed without complicating the stacked structure on the substrate. Consequently, the high degree of freedom in layout when forming the additional capacitor allows for efficient formation of the additional capacitor in the dead space on the substrate.

[0043]

As described above, according to the second electro-optical device of the present invention, it is possible to achieve high-density integration and miniaturization of the device while displaying high-quality images free from display unevenness along the data lines.

[0044]

To solve the above problems, an electronic device of the present invention includes the electro-optical device of the present invention described above (including its various aspects).

[0045]

Since the electronic device of the present invention includes the first or second electro-optical device described above, it is possible to realize various electronic devices capable of high-quality image display, such as projection display devices, televisions, mobile phones, electronic organizers, word processors, viewfinder-type or direct-view monitor-type video tape recorders, workstations, video phones, POS terminals, and touch panels. Additionally, as the electronic device of the present invention, it is possible to realize electrophoretic devices such as electronic paper, electron emission devices (e.g., Field Emission Displays and Conduction Electron-Emitter Displays), and display devices using these electrophoretic devices or electron emission devices.

[0046]

The operations and other advantages of the present invention will become apparent from the best mode for carrying out the invention described below.

[Best Mode for Carrying Out the Invention]

[0047]

Hereinafter, embodiments of the present invention will be described with reference to the drawings. In the following embodiments, a liquid crystal device of a TFT active matrix driving type with a built-in drive circuit, which is an example of the electro-optical device of the present invention, will be described.

<First Embodiment>

The liquid crystal device according to the first embodiment will be described with reference to FIGS. 1 to 7.

[0048]

First, the overall configuration of the liquid crystal device according to this embodiment will be described with reference to FIGS. 1 and 2. FIG. 1 is a plan view showing the overall configuration of the liquid crystal device according to this embodiment, and FIG. 2 is a cross-sectional view taken along the line H-H' in FIG. 1.

[0049]

In FIG. 1 and 2, in the liquid crystal device 100 according to this embodiment, a TFT array substrate 10, and an opposing substrate 20 are disposed opposite each other. A liquid crystal layer 50 is sealed between the TFT array substrate 10 and the opposing substrate 20, and the TFT array substrate 10 and the opposing substrate 20 are adhered to each other by a sealing material 52 provided in a sealing region located around an image display region 10a, which is an example of the "pixel region" according to the present invention.

[0050]

In FIG. 1, parallel to the inner side of the sealing region where the sealing material 52 is disposed, a light-blocking frame-shaped light-shielding film 53 defining the frame region of the image display region 10a is provided on the opposing substrate 20 side. In the peripheral region outside the sealing region where the sealing material 52 is disposed, a data line drive circuit 101 and external circuit connection terminals 102 are provided along one side of the TFT array substrate 10. A sampling circuit 7 is provided inside the sealing region along this one side, covered by the frame-shaped light-shielding film 53. Scanning line drive circuits 104 are provided inside the sealing region along two sides adjacent to this one side, covered by the frame-shaped light-shielding film 53. On the TFT array substrate 10, vertical conduction terminals 106 for connecting both substrates via vertical conduction materials 107 are disposed in regions facing the four corners of the opposing substrate 20. This enables electrical conduction between the TFT array substrate 10 and the opposing substrate 20.

[0051]

On the TFT array substrate 10, routing wirings 90 are formed to electrically connect the external circuit connection terminals 102, the data line drive circuit 101, the scanning line drive circuits 104, and the vertical conduction terminals 106. The routing wirings 90 include image signal lines 171, an opposing electrode potential line 91, and the like, which will be described later.

[0052]

Although not shown here, as described later, a plurality of capacitors (additional capacitors) electrically connected to each data line are disposed in the peripheral region located around the image display region 10a.

[0053]

In FIG. 2, a stacked structure is formed on the TFT array substrate 10, incorporating wirings such as thin film transistors (TFTs) for pixel switching as drive elements, scanning lines, and data lines. In the image display region 10a, pixel electrodes 9a are provided in a matrix on the upper layer of the wirings such as TFTs for pixel switching, scanning lines, and data lines. An alignment film is formed on the pixel electrodes 9a. On the other hand, a light-shielding film 23 is formed on the surface of the opposing substrate 20 facing the TFT array substrate 10. The light-shielding film 23 is formed of, for example, a light-shielding metal film and is patterned, for example, in a grid shape within the image display region 10a on the opposing substrate 20. An opposing electrode 21 made of a transparent material such as ITO is formed over substantially the entire surface to face the plurality of pixel electrodes 9a on the light-shielding film 23. An alignment film is formed on the opposing electrode 21. The liquid crystal layer 50 is composed of, for example, a liquid crystal in which one or several types of nematic liquid crystals are mixed, and it assumes a predetermined alignment state between the pair of alignment films.

[0054]

Although not shown here, as described later, an inspection circuit for inspecting the quality, defects, and the like of the liquid crystal device during manufacturing or at the time of shipment is formed in the peripheral region on the TFT array substrate 10.

[0055]

Next, the electrical configuration of the liquid crystal device according to this embodiment will be described with reference to FIG. 3. FIG. 3 is a block diagram showing the electrical configuration of the liquid crystal device according to this embodiment.

[0056]

In FIG. 3, the liquid crystal device 100 includes a scanning line drive circuit 104, a data line drive circuit 101, a sampling circuit 7, an inspection circuit 900, image signal lines 171, and a capacitor unit CA in the peripheral region of the TFT array substrate 10.

[0057]

The scanning line drive circuit 104, upon receiving a Y start pulse DY, sequentially generates and outputs scanning signals Y1, ..., Ym based on the timing of a Y clock signal CLY and an inverted Y clock signal CLYinv. The data line drive circuit 101, upon receiving an X start pulse DX, sequentially generates and outputs sampling signals S1, S2, ..., Sn based on the timing of an X clock signal CLX and an inverted X clock signal CLXinv. Each of the scanning line drive circuit 104 and the data line drive circuit 101 includes signal processing means, such as a shift register, composed of a plurality of TFTs formed in the peripheral region of the image display region 10a on the TFT array substrate 10.

[0058]

The sampling circuit 7 includes a plurality of sampling switches 77 provided for each data line 6a. Each sampling switch 77 is composed of a single-channel TFT, either P-channel or N-channel. Therefore, compared to the case where each sampling switch 77 is composed of a complementary TFT, the area required on the TFT array substrate 10 to dispose each sampling switch 77 is smaller, allowing the plurality of sampling switches 77 to be arranged at a finer pitch. This enables high-definition image display.

[0059]

The liquid crystal device 100 includes data lines 6a, scanning lines 3a, and capacitor lines 300 as an example of the "storage capacitor fixed potential line" according to the present invention, which are wired vertically and horizontally in the image display region 10a occupying the center of the TFT array substrate 10. Pixel units 700 are provided in a matrix at positions corresponding to the intersections of the data lines 6a and the scanning lines 3a. Each pixel unit 700 includes a liquid crystal element 118, a TFT 30 for pixel switching, and a storage capacitor 70. The liquid crystal element 118 is composed of a pixel electrode 9a, an opposing electrode 21, and a liquid crystal layer 50 interposed between the pair of electrodes (see FIG. 2). The capacitor line 300 is electrically connected to an opposing electrode potential line 91. The opposing electrode potential line 91 is electrically connected to a fixed potential power supply (not shown) via the external circuit connection terminals 102 (see FIG. 1). The potential of the power supply supplied to the opposing electrode potential line 91 (and the capacitor line 300 electrically connected thereto) is the opposing electrode potential LCCOM, which is an example of the "predetermined potential" according to the present invention, supplied to the opposing electrode 21 (see FIG. 2) disposed opposite the pixel electrodes 9a. The capacitor line 300 is electrically connected to one electrode constituting the storage capacitor 70 (in this embodiment, as described later, a part of the capacitor line 300 constitutes one electrode of the storage capacitor 70). The potential of this one electrode is maintained at the opposing electrode potential LCCOM during the operation of the liquid crystal device 100. The storage capacitor 70 is added in parallel with the liquid crystal element 118. Since the voltage of the pixel electrode 9a is held by the storage capacitor 70 for a period, for example, three orders of magnitude longer than the time during which the image signal is applied, the retention characteristics are improved, resulting in a high contrast ratio.

[0060]

Each of the image signal lines 171 is electrically connected to a corresponding data line 6a via the sampling circuit 7. The N series (in this embodiment, N = 6, i.e., six series) of image signals obtained by serial-to-parallel conversion of one series of input image data VID supplied from an external circuit are supplied to each data line 6a via the sampling switches 77, which are turned on and off in response to the sampling signal Si. The N series of image signals are generated, for example, by converting one series of input image data using signal conversion means such as an image signal supply circuit (not shown). Serial-to-parallel conversion is also referred to as serial-to-parallel expansion or phase expansion.

[0061]

In this embodiment, six series, i.e., six-phase (N = 6), image signals VID1 to VID6 are generated, and six image signal lines 171 are provided corresponding to these six-phase image signals. Furthermore, in an image signal supply circuit (not shown), the voltages of the image signals VID1 to VID6 are inverted to positive and negative polarities with respect to the reference potential, which is the opposing electrode potential LCCOM, and the polarity-inverted image signals VID1 to VID6 are output. The number of phases for serial-to-parallel expansion (i.e., the number of series of image signals subjected to serial-to-parallel expansion) is not limited to six phases.

[0062]

The inspection circuit 900 is electrically connected to the data lines 6a and supplies inspection signals to each pixel unit 700.

[0063]

The capacitor unit CA includes a plurality of capacitors Ca(i)-k (where i = 1, 2, ..., n, where n is a natural number of 2 or more, and k = 1, 2, ..., N; in this embodiment, N = 6) as an example of the "additional capacitor" according to the present invention. The plurality of capacitors Ca(i)-k are electrically connected to a fixed potential line 310 for capacitance formation and each data line 6a. The fixed potential line 310 for capacitance formation is electrically connected to the opposing electrode potential line 91, to which the opposing electrode potential LCCOM is supplied. These capacitors Ca(i)-k can reduce or prevent the image signal potential supplied to the data lines 6a from becoming lower than the original image signal potential (i.e., push-down) when the sampling switches 77 are turned on. Specifically, by adding the capacitance of the capacitors Ca(i)-k to, for example, the wiring capacitance of the data lines 6a or the capacitance caused by the overlap between the data lines 6a and other wirings, the capacitance around the data lines 6a can be appropriately secured. Consequently, variations in the potential that the data lines 6a should maintain, i.e., push-down of the image signal potential written to the data lines 6a, can be suppressed. As a

result, display unevenness along the data lines 6a caused by the push-down of the image signal potential can be reduced or prevented.

[0064]

In this embodiment, as described later, the plurality of data lines 6a are sequentially driven for each data line group consisting of six data lines 6a. The capacitor Ca(i)-k is connected to the k-th data line 6a from the left among the six data lines 6a belonging to the i-th data line group (i.e., a data line group consisting of six data lines 6a to which the sampling signal Si is simultaneously supplied).

[0065]

Next, the operating principle of the liquid crystal device according to this embodiment will be described with reference to FIG. 3. The liquid crystal device 100 according to this embodiment is driven by a 1H inversion driving method, which is an example of a line inversion method.

[0066]

In FIG. 3, the TFT 30 is an example of the "pixel switching element" according to the present invention and is provided to apply an image signal supplied from the data line 6a to a selected pixel. The gate of the TFT 30 is electrically connected to the scanning line 3a, and the source is electrically connected to the data line 6a. The drain of the TFT 30 is electrically connected to the pixel electrode 9a (see FIG. 2) constituting the liquid crystal element 118. The pixel electrode 9a holds a liquid crystal capacitance formed with the opposing electrode 21, described later, for a certain period in accordance with the image signal. One electrode of the storage capacitor 70 is electrically connected to the drain of the TFT 30 in parallel with the pixel electrode 9a, and the other electrode is connected to the capacitor line 300 to which the opposing electrode potential LCCOM is supplied, maintaining a fixed potential.

[0067]

The liquid crystal device 100 employs, for example, a TFT active matrix driving method, where scanning signals Y1, Y2, ..., Ym are sequentially applied to each scanning line 3a from the scanning line drive circuit 104, and image signals are applied to the data lines 6a from the data line drive circuit 101 in the column of the selected pixel region in the horizontal direction where the TFT 30 is turned on. In this case, the image signals may be sequentially supplied to each data line 6a. As a result, the image signals are supplied to the pixel electrodes 9a in the selected pixel region. Since the TFT array substrate 10 and the opposing substrate 20 are disposed opposite each other with the liquid crystal layer 50 interposed therebetween (see FIG. 2), applying an electric field to the liquid crystal layer 50 for each pixel arranged in a matrix as described above controls the amount of transmitted light for each pixel between the substrates, enabling grayscale image display. At this time, leakage of the image signals held in each pixel unit 700 is prevented by the storage capacitor 70.

[0068]

The image signals VID1 to VID6, which are serial-to-parallel expanded into six phases, are supplied to each pixel unit 700 via N image signal lines 171, which in this embodiment are six image signal lines. The data lines 6a are sequentially driven for each data line group consisting of six data lines 6a corresponding to the number of image signal lines 171, as described below.

[0069]

The sampling signals Si (i = 1, 2, ..., n) are sequentially supplied from the data line drive circuit 101 to each sampling switch 77 corresponding to a data line group, and each sampling switch 77 is turned on in response to the sampling signal Si.

[0070]

Thus, the image signals VID1 to VID6 are simultaneously supplied to the data lines 6a belonging to a data line group from each of the six image signal lines 171 via the sampling switches 77 turned on, and are sequentially supplied for each data line group, so that the data lines 6a belonging to the same data line group are driven simultaneously. Therefore, according to the liquid crystal device 100, driving the data lines 6a for each data line group can suppress the drive frequency.

[0071]

An applied voltage defined by the potentials of the pixel electrode 9a and the opposing electrode 21 is applied to the liquid crystal element 118. The liquid crystal modulates light and enables grayscale display by changing the orientation or order of the molecular assembly in response to the applied voltage level. In normally white mode, the transmittance of incident light decreases in response to the voltage applied to each pixel unit, while in normally black mode, the transmittance of incident light increases in response to the voltage applied to each pixel unit. As a result, light with contrast corresponding to the image signals VID1 to VID6 is emitted from the liquid crystal device 100, displaying an image.

[0072]

In this embodiment, since the 1H inversion driving method is adopted, during the image display period of the m-th (where m is a natural number) field or frame, a voltage with a polarity opposite to that of the adjacent row with respect to the reference voltage is applied to each row of pixel electrodes 9a arranged in the direction along the data lines 6a (i.e., the Y direction in FIG. 3), and the pixel units 700 are driven with liquid crystal drive voltages of opposite polarities applied for each row. More specifically, in the image display period of the m+1-th field or frame following the m-th field, the polarity of the liquid crystal drive voltage is inverted. From the m+2-th field or frame onward, the same state as in the m-th and m+1-th fields is periodically repeated. By periodically inverting the polarity of the voltage applied to the liquid crystal layer 50 in this manner, the application of a DC voltage to the liquid crystal is prevented, suppressing liquid crystal degradation. Additionally, since the polarity of the applied voltage is inverted for each row of pixel electrodes 9a, crosstalk and flicker are reduced. While the potential of the electrode electrically connected to the capacitor line 300 among the pair of electrodes constituting the storage capacitor 70 is maintained at the opposing electrode potential LCCOM and thus constant, the potential of the electrode not electrically connected to the capacitor line 300 becomes periodically inverted in polarity due to the polarity inversion of the applied voltage relative to the opposing electrode potential LCCOM, i.e., the image signal potential.

[0073]

In this embodiment, the 1H inversion driving method is described as the driving method for the liquid crystal device 100, but a 1S inversion driving method, in which a voltage of opposite polarity is applied for each pixel column, or a dot inversion driving method, in which a voltage of opposite polarity is applied for each adjacent pixel, may also be adopted.

[0074]

Next, the specific configuration of the pixel unit that realizes the above operations will be described with reference to FIGS. 4 and 5. FIG. 4 is a plan view of a plurality of adjacent pixel unit groups in which data lines, scanning lines, pixel electrodes, and the like are formed on the TFT array substrate in the liquid crystal device according to this embodiment, and FIG. 5 is a cross-sectional view taken along the line A-A' in FIG. 4.

[0075]

In FIG. 4, a plurality of pixel electrodes 9a are provided in a matrix on the TFT array substrate 10 (their outlines are indicated by dotted lines 9a'), and data lines 6a and scanning lines 3a are provided along the vertical and horizontal boundaries of the pixel electrodes 9a, respectively. The data lines 6a are made of, for example, a metal film or alloy film such as an aluminum film, and the scanning lines 3a are made of, for example, a conductive polysilicon film. The scanning lines 3a are disposed to face the channel region 1a' of the semiconductor layer 1a, indicated by the diagonally upward hatched area in the figure, and the scanning lines 3a function as gate electrodes. Specifically, at each intersection of the scanning lines 3a and the data lines 6a, a TFT 30 for pixel switching is provided, with the main line portion of the scanning line 3a disposed as a gate electrode facing the channel region 1a'.

[0076]

As shown in FIG. 5, the liquid crystal device 100 includes a transparent TFT array substrate 10 and a transparent opposing substrate 20 disposed opposite thereto. The TFT array substrate 10 is made of, for example, a quartz substrate, a glass substrate, or a silicon substrate, and the opposing substrate 20 is made of, for example, a glass substrate or a quartz substrate. The TFT array substrate 10 is provided with pixel electrodes 9a, on which an alignment film 16 subjected to a predetermined alignment treatment, such as rubbing, is formed. The pixel electrodes 9a are made of, for example, a transparent conductive film such as an ITO film. On the other hand, the opposing substrate 20 is provided with an opposing electrode 21 over substantially its entire surface, and an alignment film 22 subjected to a predetermined alignment treatment, such as rubbing, is formed on the lower side thereof. The opposing electrode 21 is made of, for example, a transparent conductive film such as an ITO film, similar to the pixel electrodes 9a, and the alignment films 16 and 22 are made of, for example, a transparent organic film such as a polyimide film. The liquid crystal layer 50 assumes a predetermined alignment state by the alignment films 16 and 22 when no electric field is applied from the pixel electrodes 9a.

[0077]

As shown in FIG. 5, the TFT 30 has a Lightly Doped Drain (LDD) structure, and its components include the scanning line 3a functioning as a gate electrode as described above, a channel region 1a' of a semiconductor layer 1a made of, for example, a polysilicon film in which a channel is formed by an electric field from the scanning line 3a, an insulating film 2 including a gate insulating film insulating the scanning line 3a from the semiconductor layer 1a, and a low-concentration source region 1b, a low-concentration drain region 1c, a high-concentration source region 1d, and a high-concentration drain region 1e in the semiconductor layer 1a.

[0078]

The TFT 30 preferably has the LDD structure as shown in FIG. 5, but it may have an offset structure in which impurities are not implanted into the low-concentration source region 1b and the low-concentration drain region 1c, or it may be a self-aligned TFT in which impurities are implanted at a high concentration using a gate electrode formed from a part of the scanning line 3a as a mask to form the high-concentration source region and the high-concentration drain region in a self-aligned manner. In this embodiment, the TFT 30 for pixel switching has a single-gate structure with only one gate electrode disposed between the high-concentration source region 1d and the high-concentration drain region 1e, but two or more gate electrodes may be disposed therebetween. By configuring the TFT with a dual-gate or triple-gate or more, leakage current at the junctions between the channel and the source and drain regions can be prevented, reducing the current when off. Furthermore, the semiconductor layer 1a constituting the TFT 30 may be either a non-single-crystal layer or a single-crystal layer. A known method such as a bonding method can be used to form the single-crystal layer. By using a single-crystal layer for the semiconductor layer 1a, the performance of peripheral circuits can be particularly enhanced.

[0079]

In FIG. 5, the storage capacitor 70 is provided on the upper layer side of the TFT 30 via an interlayer insulating film 41 and is formed by a lower electrode 71 connected to the high-concentration drain region 1e of the TFT 30 and the pixel electrode 9a, and an upper electrode 300a formed as a part of the capacitor line 300, which are disposed opposite each other with a dielectric film 75 interposed therebetween.

[0080]

The lower electrode 71 is made of a conductive polysilicon film and is electrically connected to the high-concentration drain region 1e of the TFT 30 via a contact hole 83 opened in the interlayer insulating film 41. That is, the lower electrode 71 functions as a pixel potential side capacitor electrode set to the pixel potential. An extension portion of the lower electrode 71 is electrically connected to the pixel electrode 9a via a contact hole 85 opened through the interlayer insulating films 43 and 42. Thus, in addition to functioning as a pixel potential side capacitor electrode, the lower electrode 71 also serves to electrically relay and connect the pixel electrode 9a to the high-concentration drain region 1e of the TFT 30 via the contact holes 83 and 85.

A High Temperature Oxide (HTO) film is formed on the upper layer side of the lower electrode 71, as described later.

[0081]

The interlayer insulating films 41, 42, and 43 are each formed of, for example, Non-Silicate Glass (NSG). Alternatively, the interlayer insulating films 41, 42, and 43 may be formed of silicate glass such as Phosphosilicate Glass (PSG), Borosilicate Glass (BSG), or Borophosphosilicate Glass (BPSG), silicon nitride, silicon oxide, or the like.

[0082]

The dielectric film 75 is composed of, for example, a relatively thin silicon nitride (SiN) film with a thickness of about 5 to 300 nm. From the perspective of increasing the storage capacitor 70, the dielectric film 75 is preferably as thin as possible, provided that sufficient film reliability is ensured. The dielectric film 75 may be subjected to a firing treatment, in which case the denseness of the dielectric film can be enhanced.

[0083]

The upper electrode 300a is formed as a part of the capacitor line 300 made of an aluminum film and functions as a fixed potential side capacitor electrode disposed opposite the lower electrode 71. The capacitor line 300 and the upper electrode 3a are not limited to an aluminum film and may be formed of another conductive film with an electrical resistance per unit quantity, such as sheet resistance, lower than that of a conductive polysilicon film. The capacitor line 300 and the upper electrode 3a may also have a laminated structure of a two-layer or multilayer film in which multiple conductive films are stacked. In a planar view, as shown in FIG. 4, the capacitor line 300 is formed overlapping the formation region of the scanning line 3a. More specifically, the capacitor line 300 includes a main line portion extending along the scanning line 3a, protruding portions protruding upward along the data lines 6a from each intersection with the data lines 6a in the figure, and constricted portions slightly narrowed at locations corresponding to the contact holes 85. The protruding portions contribute to increasing the formation area of the storage capacitor 70 by utilizing the region above the scanning line 3a and the region below the data line 6a. As described above, the capacitor line 300 is electrically connected to a fixed potential source via the opposing electrode potential line 91 wired around the image display region 10a and is set to a predetermined potential (i.e., the opposing electrode potential LCCOM).

[0084]

In this embodiment, particularly, the lower electrode 71 is made of a conductive polysilicon film, and the upper electrode 300a is made of an aluminum film. That is, the storage capacitor 70 has an MIS structure in which a semiconductor film, an insulating film, and a metal film are sequentially stacked. An HTO film is formed on the upper layer side of the lower electrode 71. The HTO film is a high-temperature silicon oxide film formed by oxidizing the upper surface of the lower electrode 71 made of a polysilicon film or a film formed by a Low Pressure (LP)-CVD method. The HTO film formed between the lower electrode 71 and the dielectric film 75 enhances the withstand voltage of the storage capacitor 70. Thus, the occurrence of leakage current can be suppressed or prevented, and the capacitance of the storage capacitor 70 can be increased by using a high dielectric constant material (i.e., a High-K material). As a result, flicker, pixel unevenness, and the like can be reduced or preferably eliminated, enabling high-quality display.

[0085]

Next, the configuration of the capacitors electrically connected to the data lines of the liquid crystal device according to this embodiment will be described with reference to FIGS. 6 and 7 in addition to FIG. 3. FIG. 6 is a plan view of the capacitors electrically connected to the data lines, and FIG. 7 is a cross-sectional view taken along the line B-B' in FIG. 6. In FIG. 7, the scale of each layer and each member is varied to ensure that they are recognizable in the drawing.

[0086]

FIG. 6 shows the specific configuration of the capacitors Ca(i)-k (where k = 1, ..., 6) electrically connected to the data lines 6a of the i-th data line group described with reference to FIG. 3.

[0087]

In FIG. 6, the capacitors Ca(i)-k (where k = 1, ..., 6) are arranged on the TFT array substrate 10 in a region between the region where the sampling circuit 7 is disposed and the image display region 10a, along a direction intersecting the data lines 6a (i.e., the direction in which the scanning lines 3a extend, or the X direction).

[0088]

As shown in FIG. 7, the capacitor Ca(i)-1 includes a pixel potential side electrode 511-1 electrically connected to the data line 6a and a fixed potential side electrode 310a formed as a part of the fixed potential line 310 for capacitance formation, which extends in a direction intersecting the data line 6a and is maintained at a predetermined potential, with a dielectric film 75 interposed between the pair of electrodes. The capacitors Ca(i)-2 to Ca(i)-6 are configured substantially similarly to the capacitor Ca(i)-1.

[0089]

In FIG. 7, the pixel potential side electrode 511-1 is formed on the interlayer insulating film 41. That is, the pixel potential side electrode 511-1 is formed from the same film (i.e., a conductive polysilicon film) as the lower electrode 71 constituting the storage capacitor 70 described with reference to FIG. 5. The pixel potential side electrode 511-1 is electrically connected to the data line 6a via a contact hole 581 opened through the interlayer insulating film 42 and the dielectric film 75. As a result, the pixel potential side electrode 511-1 has the same potential as the data line 6a. The contact hole 581 is provided inside an opening 591 provided in the fixed potential side electrode 310a. Thus, the contact hole 581 enables electrical connection between the pixel potential side electrode 511-1 and the data line 6a while maintaining electrical insulation between the pixel potential side electrode 511-1 and the data line 6a, and the fixed potential side electrode 310a.

[0090]

The fixed potential side electrode 310a (in other words, the fixed potential line 310 for capacitance formation) is formed on the dielectric film 75 formed on the pixel potential side electrode 511-1, so as to face the pixel potential side electrode 511-1. That is, the fixed potential side electrode 310a is formed from the same film (i.e., an aluminum film) as the upper electrode 300a (in other words, the capacitor line 300) constituting the storage capacitor 70 described with reference to FIG. 5. The fixed potential side electrode 310a is formed as a part of the fixed potential line 310 for capacitance formation, which is electrically connected to the opposing electrode potential line 91 (see FIG. 3) for supplying the opposing electrode potential LCCOM to the opposing electrode 21. Thus, the potential of the fixed potential side electrode 310a is maintained at the opposing electrode potential LCCOM.

[0091]

Thus, in this embodiment, the capacitor Ca(i)-k particularly has the same stacked structure as the storage capacitor 70 (see FIG. 5). Specifically, the capacitor Ca(i)-k is composed of the pixel potential side electrode 511-1 formed from the same film as the lower electrode 71 of the storage capacitor 70, the fixed potential side electrode 310a formed from the same film as the upper electrode 300a of the storage capacitor 70, and the dielectric film 75 interposed between the pair of electrodes. In other words, the capacitor Ca(i)-k and the storage capacitor 70 are formed simultaneously in the manufacturing process. By manufacturing the capacitor Ca(i)-k and the storage capacitor 70 concurrently, it is possible to simplify the manufacturing process or reduce manufacturing costs compared to manufacturing them separately. In other words, by utilizing the process for manufacturing the storage capacitor 70 necessary for enhancing pixel potential retention characteristics, the capacitor Ca(i)-k can be easily manufactured with the same stacked structure as the storage capacitor 70.

[0092]

Furthermore, in this embodiment, the capacitor Ca(i)-k particularly has an MIS structure, which is the same stacked structure as the storage capacitor 70. Thus, the dielectric film 75 constituting the capacitor Ca(i)-k can be formed of a dielectric material with a high dielectric constant (i.e., a High-K material). Therefore, it is possible to fabricate the capacitor Ca(i)-k with a capacitance value sufficient to reduce display unevenness, as described above, within a relatively small area. In other words, the capacitor Ca(i)-k can be efficiently formed in a dead space on the TFT array substrate 10 where other wirings or circuits are not formed, enabling high-density integration and miniaturization of the device.

[0093]

The storage capacitor 70 and the capacitor Ca(i)-k may have an MIM structure. Specifically, both electrodes constituting each of the storage capacitor 70 and the capacitor Ca(i)-k may be formed of a metal film, such as an aluminum film. In this case, the wiring for supplying a predetermined potential to the storage capacitor 70 (in other words, the capacitor Ca(i)-k) can be formed from the metal film constituting the storage capacitor 70 (or the capacitor Ca(i)-k), enabling the addition of capacitance to the data lines 6a without complicating the stacked structure on the TFT array substrate 10.

[0094]

Additionally, as shown in FIG. 7, in this embodiment, the capacitor Ca(i)-k is particularly formed on a layer lower than the data line 6a. That is, as shown in FIG. 5, the storage capacitor 70, which has the same stacked structure as the capacitor Ca(i)-k, is also formed on a layer lower than the data line 6a. Therefore, compared to the case where the capacitor Ca(i)-k (and the storage capacitor 70) is formed on a layer higher than the data line 6a, the storage capacitor 70 can be disposed close to the TFT 30 for pixel switching via the interlayer insulating film 41. Consequently, the channel region 1a' of the TFT 30 for pixel switching can be reliably shielded from incident light from the upper layer side. As a result, during device operation, light leakage current in the TFT 30 is reduced, improving the contrast ratio.

[0095]

The capacitor Ca(i)-k may be formed on a layer higher than the data line 6a. In this case, the storage capacitor 70 is also formed on a layer higher than the data line 6a, but by forming the storage capacitor 70 to at least partially overlap the TFT 30 in a planar view on the TFT array substrate 10, the TFT 30 can be appropriately shielded from incident light from the upper layer side.

[0096]

In FIGS. 3 and 7, in this embodiment, the capacitor Ca(i)-k is particularly disposed in a region between the region where the sampling circuit 7 is disposed and the image display region 10a. Thus, it can be efficiently formed on the TFT array substrate 10 with limited area, enabling high-density integration and miniaturization of the device.

[0097]

Furthermore, in this embodiment, the capacitor Ca(i)-k is particularly electrically connected immediately after the drain of the sampling switch 77 composed of a single-channel TFT (in other words, on the drain or output side of the sampling switch 77 rather than the portion of the data line 6a formed in the image display region 10a). Thus, it is possible to suppress an increase in the push-down amount of the image signal potential written to the data line 6a due to the influence of parasitic capacitance between the gate and drain of the sampling switch 77. In other words, it is possible to suppress the push-down in the sampling switch 77 from causing variations in the potential of the data line 6a.

[0098]

Additionally, as shown in FIG. 6, in this embodiment, the pixel potential side electrodes 511-1 and 511-6 of the capacitors Ca(i)-1 and Ca(i)-6 are particularly formed to have a smaller area than the other pixel potential side electrodes 511-2 to 511-5. The area where the pixel potential side electrodes 511-1 and 511-6 overlap with the fixed potential side electrode 310a and the dielectric film 75 is smaller than that of the other capacitors Ca(i)-2 to Ca(i)-5. Thus, the capacitance of each of the capacitors Ca(i)-1 and Ca(i)-6 is set to be relatively smaller than the capacitance of the other capacitors Ca(i)-2 to Ca(i)-5. This can suppress the push-down amount of the image signal potential in the two data lines 6a located at both ends of the data line group (i.e., the two data lines 6a connected to the capacitors Ca(i)-1 and Ca(i)-6, respectively) from differing from the push-down amount in the other data lines (i.e., the four data lines 6a connected to the capacitors Ca(i)-2 to Ca(i)-5, respectively) in the same data line group. In other words, by setting the capacitance values of the capacitors Ca(i)-1 and Ca(i)-6 to be different from the capacitance values of the capacitors Ca(i)-2 to Ca(i)-5, the push-down amount in each data line 6a can be made uniform. Thus, display unevenness along the data lines 6a can be reduced or prevented. Alternatively, the capacitance values of the capacitors may be optimized by providing the capacitors Ca(i)-2 and Ca(i)-5 without providing the capacitors Ca(i)-1 and Ca(i)-6. In this case as well, the push-down amount in each data line 6a can be made uniform.

[0099]

As described above, according to the liquid crystal device 100 of this embodiment, it is possible to achieve high-density integration and miniaturization of the device while displaying high-quality images free from display unevenness along the data lines 6a.

<Examples of Modification>

Next, modifications of the liquid crystal device according to this embodiment will be described with reference to FIGS. 8 to 10. FIG. 8 is a cross-sectional view similar to FIG. 7 in the first modification. FIG. 9 is a cross-sectional view similar to FIG. 7 in the second modification. FIG. 10 is a cross-sectional view similar to FIG. 7 in the third modification.

[0100]

As shown in FIG. 8 as the first modification, the capacitor Ca(i)-1 may be configured such that the fixed potential side electrode 310a, the dielectric film 75, and the pixel potential side electrode 511-1 are stacked in this order from the lower layer side. According to this modification, when forming the contact hole 582 for connecting the data line 6a and the pixel potential side electrode 511-1, there is no need to avoid the fixed potential side electrode 310 (i.e., there is no need to provide the opening 591 described with reference to FIG. 7), enabling efficient formation of the capacitor Ca(i)-1 on the TFT array substrate 10 with limited area. This modification provides effects similar to those of the embodiment described above. In this modification, the pixel potential side electrode 511-1 and the data line 6a are electrically connected to each other via the contact hole 582 opened in the interlayer insulating film 42.

[0101]

As shown in FIG. 9 as the second modification, the capacitor Ca(i)-1 may be formed on a layer higher than the data line 6a via the interlayer insulating film 42, with the pixel potential side electrode 511-1, the dielectric film 75, and the fixed potential side electrode 310a stacked in this order from the lower layer side. The pixel potential side electrode 511-1 is electrically connected to the data line 6a via a contact hole 584 opened in the interlayer insulating film 42. This modification provides effects similar to those of the embodiment described above.

[0102]

As shown in FIG. 10 as the third modification, the capacitor Ca(i)-1 may be formed on a layer higher than the data line 6a via the interlayer insulating film 42, with the fixed potential side electrode 310a, the dielectric film 75, and the pixel potential side electrode 511-1 stacked in this order from the lower layer side. The pixel potential side electrode 511-1 is electrically connected to the data line 6a via a contact hole 585 opened in the interlayer insulating film 42. The contact hole 585 is formed in a region that does not overlap with the fixed potential side electrode 310a in a planar view on the TFT array substrate 10. This modification provides effects similar to those of the embodiment described above.

<Second Embodiment>

Next, the liquid crystal device according to the second embodiment will be described with reference to FIG. 11. FIG. 11 is a block diagram similar to FIG. 3 in the second embodiment. In FIG. 11, components similar to those of the first embodiment shown in FIG. 3 are denoted by the same reference numerals, and their descriptions are appropriately omitted.

[0103]

As shown in FIG. 11, the liquid crystal device 120 according to the second embodiment differs from the liquid crystal device 100 according to the first embodiment described above in that it includes a capacitor unit CB on the side opposite to the data line drive circuit 101 with respect to the image display region 10a, and is otherwise configured substantially similarly to the liquid crystal device 100 according to the first embodiment.

[0104]

In FIG. 11, in this embodiment, the capacitor unit CB is particularly provided on the side opposite to the data line drive circuit 101 with respect to the image display region 10a. The capacitor unit CB includes a plurality of capacitors Cb(i)-k (where $i = 1, 2, \dots, n$, n is a natural number of 2 or more, and $k = 1, 2, \dots, 6$). The capacitors Cb(i)-k are connected to the other end of the data line 6a, which is different from the end connected to the data line drive circuit 101. That is, the data line drive circuit 101 is disposed at one end of the data line 6a, and the capacitor Cb(i)-k is disposed at the other end. The capacitor Cb(i)-k has the same stacked structure as the storage capacitor 70. Thus, the flow of the image signal proceeds from the data line drive circuit 101, through the data line 6a (and the TFT 30 and pixel electrode 9a connected thereto), to the capacitor Cb(i)-k, enabling smooth transmission of the image signal to the pixel electrode 9a. Additionally, charge accumulation in the capacitor Cb(i)-k is performed using, so to speak, a used image signal. In other words, according to the liquid crystal device 120, despite providing the capacitor Cb(i)-k, which could act as an obstacle to the data line 6a, any adverse effects that might arise can be effectively avoided.

<Electronic Device>

Next, the application of the liquid crystal device, which is the electro-optical device described above, to various electronic devices will be described with reference to FIG. 12. FIG. 12 is a plan view showing a configuration example of a projector. Here, a projector using the liquid crystal device as a light valve will be described.

[0105]

As shown in FIG. 12, inside the projector 1100, a lamp unit 1102 composed of a white light source, such as a halogen lamp, is provided. The projection light emitted from the lamp unit 1102 is separated into the three primary colors of RGB by four mirrors 1106 and two dichroic mirrors 1108 disposed within a light guide 1104, and is incident on liquid crystal panels 1110R, 1110B, and 1110G as light valves corresponding to each primary color.

[0106]

The configuration of the liquid crystal panels 1110R, 1110B, and 1110G is equivalent to that of the liquid crystal device described above, and they are driven by the primary color signals of R, G, and B supplied from an image signal processing circuit, respectively. The light modulated by these liquid crystal panels is incident on a dichroic prism 1112 from three directions. In the dichroic prism 1112, the R and B light is refracted at 90 degrees, while the G light travels straight. As a result, the images of each color are synthesized, and a color image is projected onto a screen or the like via a projection lens 1114.

[0107]

Focusing on the display images by the liquid crystal panels 1110R, 1110B, and 1110G, the display image by the liquid crystal panel 1110G needs to be horizontally inverted relative to the display images by the liquid crystal panels 1110R and 1110B.

[0108]

Since the light corresponding to the primary colors of R, G, and B is incident on the liquid crystal panels 1110R, 1110B, and 1110G via the dichroic mirrors 1108, there is no need to provide color filters.

[0109]

In addition to the electronic device described with reference to FIG. 12, examples include mobile personal computers, mobile phones, liquid crystal televisions, viewfinder-type or direct-view monitor-type video tape recorders, car navigation systems, pagers, electronic organizers, calculators, word processors, workstations, video phones, POS terminals, and devices with touch panels. It goes without saying that the present invention can be applied to these various electronic devices.

[0110]

The present invention is also applicable to, in addition to the liquid crystal device described in the above embodiments, reflective liquid crystal devices (LCOS) with elements formed on a silicon substrate, plasma displays (PDP), field emission displays (FED, SED), organic EL displays, digital micromirror devices (DMD), and electrophoretic devices.

10

[0111]

The present invention is not limited to the embodiments described above and can be appropriately modified within the scope that does not contradict the gist or concept of the invention as derived from the claims and the entire specification. Electro-optical devices with such modifications and electronic devices incorporating such electro-optical devices are also included in the technical scope of the present invention.

[Brief Description of Drawings]

[0112]

[FIG. 1] A plan view illustrating the overall configuration of the liquid crystal device according to the first embodiment.

[FIG. 2] A cross-sectional view along the line H-H' in FIG. 1.

20

[FIG. 3] A block diagram showing the electrical configuration of the liquid crystal device according to the first embodiment.

[FIG. 4] A plan view of a plurality of pixel unit groups in the liquid crystal device according to this embodiment.

[FIG. 5] A cross-sectional view along the line A-A' in FIG. 4.

[FIG. 6] A plan view of capacitors electrically connected to data lines.

[FIG. 7] A cross-sectional view along the line B-B' in FIG. 6.

[FIG. 8] A cross-sectional view similar to FIG. 7 in the first modification.

[FIG. 9] A cross-sectional view similar to FIG. 7 in the second modification.

[FIG. 10] A cross-sectional view similar to FIG. 7 in the third modification.

[FIG. 11] A block diagram similar to FIG. 3 in the second embodiment.

[FIG. 12] A plan view showing the configuration of a projector as an example of an electronic device applying the electro-optical device.

30

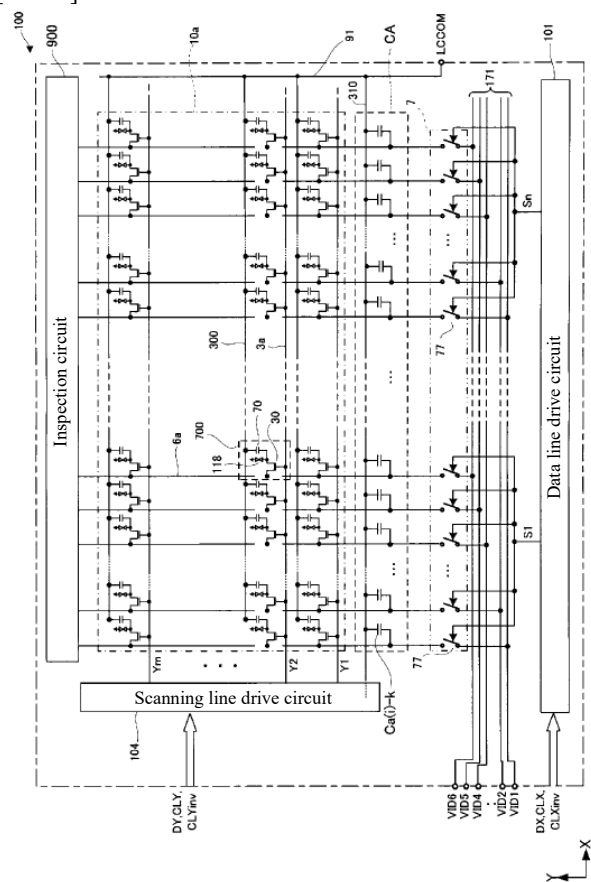
[Description of Reference Numerals]

[0113]

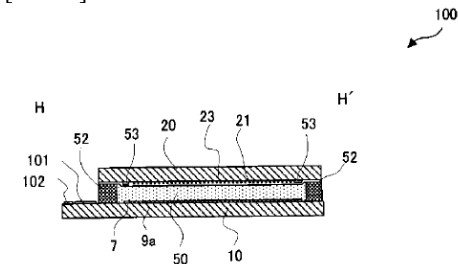
3a ... Scanning line, 6a ... Data line, 7 ... Sampling circuit, 9a ... Pixel electrode, 10 ... TFT array substrate, 10a ... Image display region, 20 ... Opposing substrate, 21 ... Opposing electrode, 23 ... Light-shielding film, 30 ... TFT, 50 ... Liquid crystal layer, 52 ... Sealing material, 53 ... Frame-shaped light-shielding film, 71 ... Lower electrode, 75 ... Dielectric film, 91 ... Opposing electrode potential line, 101 ... Data line drive circuit, 102 ... External circuit connection terminal, 104 ... Scanning line drive circuit, 106 ... Vertical conduction terminal, 107 ... Vertical conduction material, 118 ... Liquid crystal element, 171 ... Image signal line, 300 ... Capacitor line, 300a ... Upper electrode, 310 ... Fixed potential line for capacitance formation, 310a ... Fixed potential side electrode, 581, 582, 584, 585 ... Contact hole, 591 ... Opening, 700 ... Pixel unit, 900 ... Inspection circuit, CA, CB ... Capacitor unit, Ca(i)-k, Cb(i)-k ... Capacitor, Pixel potential side electrode 511-k

40

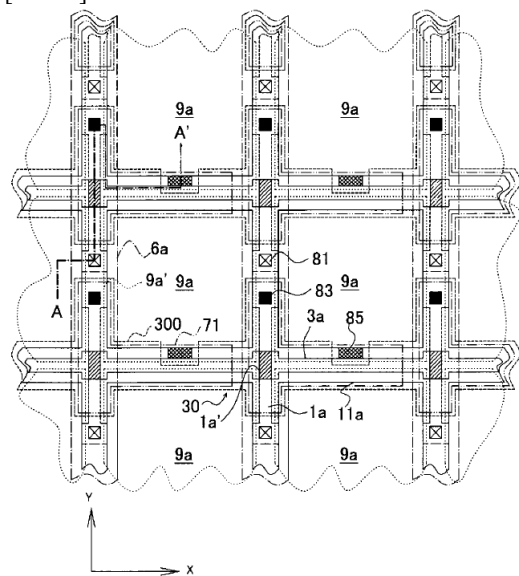
[FIG. 3]



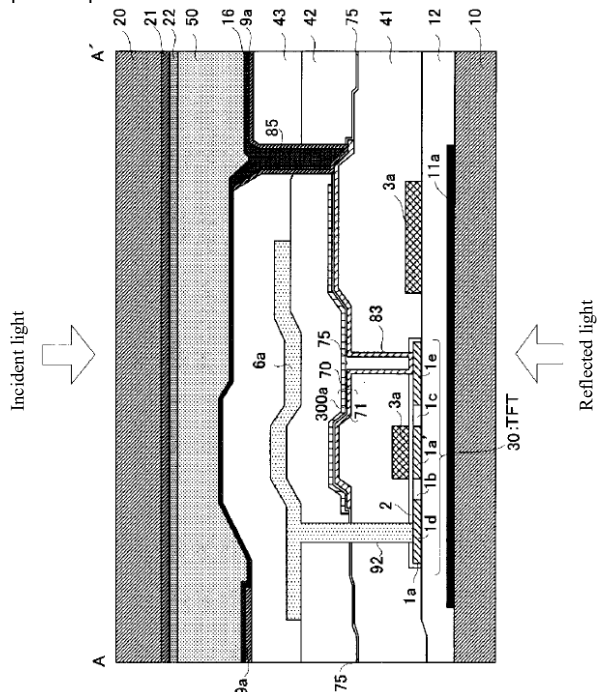
[FIG. 2]



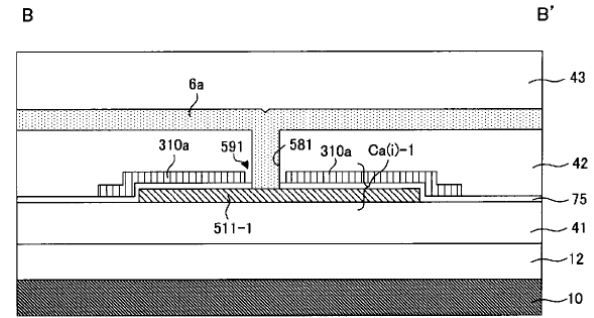
[FIG. 4]



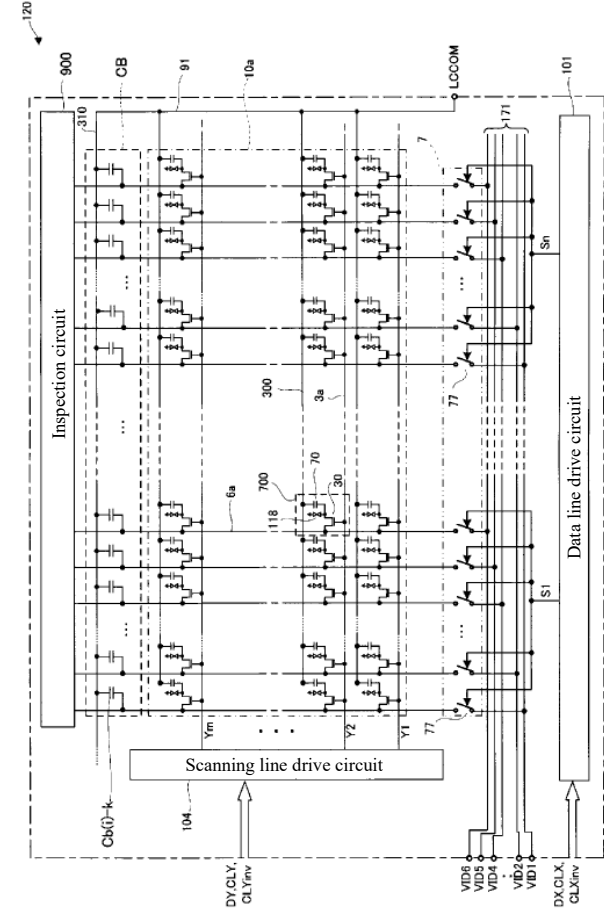
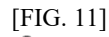
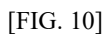
[FIG. 5]



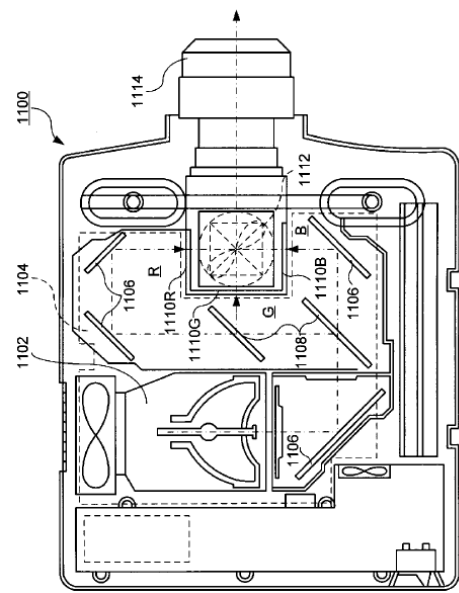
[FIG. 7]



B'



[FIG. 12]



Continued from the Front Page

(51) Int.Cl.			FI			Theme Codes (Reference)		
G09G	3/36	(01/2006)	G09G	3/20	680G			
			G09G	3/20	623L			
			G09G	3/20	623A			
			G09G	3/20	623J			
			G09G	3/20	611Z			
			G09G	3/36				
F Terms (Reference)								
5C006	AF43	BC08	BC20	BC23	BF11	BF37	BF41	FA31 FA41
5C080	AA10	BB05	DD12	DD22	JJ02	JJ03	JJ06	KK02 KK07 KK43
5C094	AA03	AA15	BA03	BA27	BA31	BA43	CA19	DA13 DB01 FB19
			HA08					

August 22, 2025

Translator's Declaration

I, Shenal Cooray, hereby declare:

That I possess advanced knowledge of the Japanese and English languages. The attached Japanese into English translation has been translated by me and to the best of my knowledge and belief, it is a true and accurate translation of: JP2008008942A _ELECTRO-OPTICAL DEVICE AND ELECTRONIC EQUIPMENT EQUIPPED WITH THE SAME

I declare that all statements made herein of my knowledge are true, and that all statements made on information and belief are believed to be true. I further declare that these statements were made with the knowledge that willfully false statements and the like are punishable by fine or imprisonment or both, under Section 1001 of Title 18 of the United States Code.

In signing this declaration, I understand that the translation and this declaration may be filed as evidence in a contested case. I acknowledge that I may be subject to cross-examination within the United States.



Shenal Cooray

(19) 日本国特許庁 (JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2008-8942

(P2008-8942A)

(43) 公開日 平成20年1月17日 (2008.1.17)

(51) Int. Cl.	F 1	テーマコード (参考)
G09F 9/30 (2006.01)	G09F 9/30 338	2H092
G02F 1/1345 (2006.01)	G02F 1/1345	2H093
G02F 1/1368 (2006.01)	G02F 1/1368	5C006
G02F 1/133 (2006.01)	G02F 1/133 550	5C080
G09G 3/20 (2006.01)	G09G 3/20 621M	5C094
審査請求 未請求 請求項の数 12 O L (全 24 頁) 最終頁に続く		

(21) 出願番号 特願2006-176292 (P2006-176292)
 (22) 出願日 平成18年6月27日 (2006.6.27)

(71) 出願人 000002369
 セイコーエプソン株式会社
 東京都新宿区西新宿2丁目4番1号
 (74) 代理人 100104765
 弁理士 江上 達夫
 (74) 代理人 100107331
 弁理士 中村 聡延
 (72) 発明者 村出 正夫
 長野県諏訪市大和3丁目3番5号 セイコーエプソン株式会社内
 Fターム (参考) 2H092 GA59 JA24 JB62 JB66 JB69
 KB12 KB13 NA01 PA06 RA05
 2H093 NA16 NC10 NC12 NC34 NC35
 NC36 ND05 ND42 NE02 NE03
 NE07 NG02
 最終頁に続く

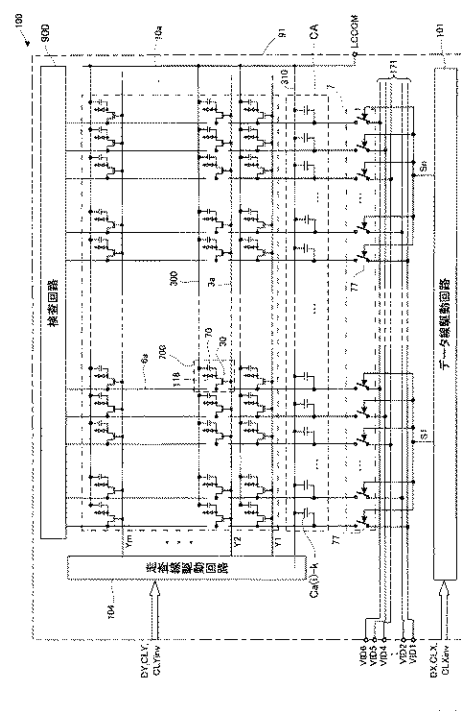
(54) 【発明の名称】 電気光学装置、及びこれを備えた電子機器

(57) 【要約】

【課題】 液晶装置等の電気光学装置において、装置の高密度化・小型化を実現しつつ、データ線に沿った表示ムラ等のない高品質な画像を表示する。

【解決手段】 電気光学装置は、基板(10)上に、互いに交差するデータ線(6a)及び走査線(3a)と、データ線及び走査線の交差に対応して設けられた画素電極(9a)及び画素スイッチング素子(30)と、画素電極に電気的に接続されており、下側電極(71)、誘電体膜(75)及び上側電極(300a)が下層側から順に積層されると共に下側電極及び上側電極の少なくとも一方が低抵抗膜からなる蓄積容量(70)とを備える。更に、この蓄積容量と同一の積層構造を有すると共に、データ線に電気的に接続された付加容量(Ca(i)-k)を備える。

【選択図】 図3



【特許請求の範囲】**【請求項1】**

基板上に、
互いに交差する複数のデータ線及び複数の走査線と、
前記データ線及び走査線の交差に対応して設けられた画素電極及び該画素電極に対応して設けられた画素スイッチング素子と、
前記画素電極に電氣的に接続されており、下側電極、誘電体膜及び上側電極が下層側から順に積層されると共に前記下側電極及び前記上側電極の少なくとも一方が低抵抗膜からなる蓄積容量と、
該蓄積容量と同一の積層構造を有すると共に、前記データ線に電氣的に接続された付加容量と
を備えたことを特徴とする電気光学装置。

【請求項2】

前記下側電極及び前記上側電極は、金属膜からなることを特徴とする請求項1に記載の電気光学装置。

【請求項3】

前記下側電極は、導電性のポリシリコン膜からなり、
前記上側電極は、金属膜からなる
ことを特徴とする請求項1に記載の電気光学装置。

【請求項4】

前記付加容量は、前記データ線よりも下層側に形成されることを特徴とする請求項1から3のいずれか一項に記載の電気光学装置。

【請求項5】

前記付加容量を構成する一方の電極は、所定電位とされることを特徴とする請求項1から4のいずれか一項に記載の電気光学装置。

【請求項6】

前記基板に対向配置された対向基板と、
該対向基板上に形成されており、前記画素電極に対向するように設けられた対向電極と、
前記対向基板及び前記基板のいずれか一方に配置されており、前記データ線及び前記走査線並びに前記画素電極を駆動するための駆動回路と、
前記対向電極に所定電位を供給する第1電源と、
前記駆動回路に所定電位を供給する第2電源と
を備え、
前記一方の電極は、前記第1電源又は前記第2電源に電氣的に接続されることにより、所定電位とされる
ことを特徴とする請求項5に記載の電気光学装置。

【請求項7】

前記下側電極及び前記上側電極のうちいずれか一方に所定電位を供給する蓄積容量固定電位線を備え、
前記一方の電極は、前記蓄積容量固定電位線に電氣的に接続されることにより、所定電位とされる
ことを特徴とする請求項5又は6に記載の電気光学装置。

【請求項8】

前記画素電極が設けられた画素領域の周辺に位置する周辺領域に配置されており、前記データ線に、サンプリング信号に応じて画像信号を夫々供給する複数のサンプリングスイッチを含むサンプリング回路と、
前記周辺領域に配置されており、前記データ線に対応する前記サンプリングスイッチ毎に、前記サンプリング信号を順次供給するデータ線駆動回路と

を備え、

前記付加容量は、前記サンプリング回路が配置された領域と前記画素領域との間に位置する領域に配置される

ことを特徴とする請求項 1 から 7 のいずれか一項に記載の電気光学装置。

【請求項9】

前記データ線の一端の側に設けられており、前記データ線を駆動するためのデータ線駆動回路を備え、

前記付加容量は、前記データ線他端の側に設けられる

ことを特徴とする請求項 1 から 7 のいずれか一項に記載の電気光学装置。

【請求項10】

前記複数のデータ線のうちN本のデータ線を1群として構成される複数のデータ線群毎に供給されるN（但し、Nは2以上の自然数）系統のシリアルーパラレル変換された画像信号を供給するN本の画像信号線を備え、

前記付加容量のうち、前記N本のデータ線からなる前記群の端に位置するデータ線に電氣的に接続された第1付加容量の容量値と、前記N本のデータ線のうち前記群の端に位置するデータ線と異なるデータ線に電氣的に接続された第2付加容量の容量値とは互いに異なる

ことを特徴とする請求項 1 から 9 のいずれか一項に記載の電気光学装置。

【請求項11】

基板上に、

互いに交差する複数のデータ線及び複数の走査線と、

前記データ線及び走査線の交差に対応して設けられた画素電極及び該画素電極に対応して設けられた画素スイッチング素子と、

所定電位を供給すると共に、低抵抗膜から形成された固定電位線と、

該固定電位線から延設された第1電極、及び前記データ線に電氣的に接続された第2電極を含む付加容量と

を備えたことを特徴とする電気光学装置。

【請求項12】

請求項 1 から 11 のいずれか一項に記載の電気光学装置を具備してなることを特徴とする電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えば液晶装置等の電気光学装置、及び該電気光学装置を備えた、例えば液晶プロジェクタ等の電子機器の技術分野に関する。

【背景技術】

【0002】

この種の電気光学装置は、基板上に、画素電極と、該画素電極の選択的な駆動を行うための走査線、データ線、及び画素スイッチング用素子としてのTFT（Thin Film Transistor）とを備え、アクティブマトリクス駆動可能に構成される。また、高コントラスト化等を目的として、TFTと画素電極との間に蓄積容量が設けられることがある。

【0003】

ここで、アクティブマトリクス駆動とは、走査線に走査信号を供給することで前記TFTの動作を制御するとともに、データ線には、画像信号を供給することで、走査信号によってON（オン）とされた前記TFTに対応する画素電極に対し、当該画像信号に対応した電界の印加を行う駆動方法である。この画像信号の供給方法としては、例えば、データ線の1本1本に逐次画像信号を供給する方法や、画像信号をシリアルーパラレル変換して互いに隣接するデータ線の何本かに対して、グループ毎に同時に画像信号を供給する方法がある。

【0004】

このように駆動される電気光学装置では、データ線に書き込まれる画像信号電位のプッ

シュダウンに起因した表示ムラが発生してしまうという技術的問題点がある。即ち、上で例示したグループ毎に同時に画像信号を供給する方法が採られる場合を例として説明すると、この場合、相隣接する二つのグループの境目では、データ線にほぼ沿った形で、画像上に表示ムラが現れるという不具合がある。特許文献1では、このような技術的問題点を解決する手段として、データ線にコンデンサを設ける技術が、本願出願人により開示されている。

【0005】

【特許文献1】特開2004-125887号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

一方、このような電気光学装置には、装置の高密度化・小型化という一般的な要請がある。特許文献1に開示された技術によれば、データ線にコンデンサを設けることにより表示ムラの発生を低減しているものの、このようなコンデンサを設けることによって、装置の高密度化・小型化を実現することが困難になってしまうおそれがあるという技術的問題点がある。

【0007】

本発明は、例えば上述した問題点に鑑みなされたものであり、装置の高密度化・小型化を実現しつつ、データ線に沿った表示ムラ等のない高品質な画像を表示可能な電気光学装置及び該電気光学装置を具備してなる電子機器を提供することを課題とする。

【課題を解決するための手段】

【0008】

本発明に係る第1の電気光学装置は上記課題を解決するために、基板上に、互いに交差する複数のデータ線及び複数の走査線と、前記データ線及び走査線の交差に対応して設けられた画素電極及び該画素電極に対応して設けられた画素スイッチング素子と、前記画素電極に電気的に接続されており、下側電極、誘電体膜及び上側電極が下層側から順に積層されると共に前記下側電極及び前記上側電極の少なくとも一方が低抵抗膜からなる蓄積容量と、該蓄積容量と同一の積層構造を有すると共に、前記データ線に電気的に接続された付加容量とを備える。

【0009】

本発明に係る第1の電気光学装置によれば、その動作時には、走査線を通じて、例えば薄膜トランジスタ等である画素スイッチング素子のスイッチング動作が制御されると共に、データ線を通じて画像信号が供給されることで、画素スイッチング素子を介して画素電極に対し、該画像信号に応じた電圧が印加される。

【0010】

本発明では、画素電極及び画素スイッチング素子に接続された蓄積容量によって、画素電極における電位保持特性が高めることができる。蓄積容量を構成する下側電極及び上側電極の一方は、画素電極及び画素スイッチング素子と電気的に接続されており、画素電位側容量電極として機能し、蓄積容量を構成する下側電極及び上側電極の他方は、例えば所定電位とされた固定電位線と電気的に接続されており、固定電位側容量電極として機能する。

【0011】

更に、本発明では、データ線に電気的に接続された付加容量を備える。よって、例えばデータ線の配線容量、或いはデータ線と他の配線との重なり合いにより生じる容量に対し、該付加容量が加わることにより、データ線周りの容量を適切に確保することができる。従って、データ線が保有すべき電位に変動が生じてしまうこと、即ち、データ線に書き込まれる画像信号電位のプッシュダウンが生じてしまうことを抑制できる。この結果、データ線に書き込まれる画像信号電位のプッシュダウンに起因した例えばデータ線に沿った表示ムラが発生することを低減或いは防止できる。

【0012】

本発明では特に、付加容量は、蓄積容量と同一の積層構造を有する。ここで「同一の積層構造」は、各層の積層の順序が同一であることを意味する。即ち、付加容量は、蓄積容量の下側電極と同一膜から形成された一の電極と、蓄積容量の上側電極と同一膜から形成された他の電極と、これら一対の電極間に挟持される誘電体膜とから構成される。尚、ここで「同一膜から形成される」とは、付加容量及び蓄積容量に共通の前駆膜を形成すると共に、これに対するパターンニング処理を行うことにより、例えば付加容量の一の電極と蓄積容量の下側電極とが、それぞれの場所に定じ、且つ、それぞれ固有のパターン形状を有するものとして形成されるという意味である。言い換えれば、付加容量と蓄積容量は、製造工程段階では、同一機会に形成されるものである。このように付加容量と蓄積容量とを、同一機会に製造することから、これらそれぞれを別々に製造する場合と比較して、製造工程の簡略化、或いは製造コストの低廉化等を実現することができる。言い換えれば、画素電位保持特性を高めるために必要な蓄積容量を製造する工程を利用して、付加容量を、蓄積容量と同様の構成で容易に製造することができる。

【0013】

更に、本発明では特に、蓄積容量の下側電極及び上側電極の少なくとも一方は、低抵抗膜からなる。ここで、本発明に係る「低抵抗膜」とは、シート抵抗などの単位量当りの電気抵抗が、導電性のポリシリコン膜よりも低抵抗である導電膜である。例えば、「低抵抗膜」は、アルミニウム膜などの導電性の金属膜からなる。即ち、蓄積容量は、例えば、下側電極がポリシリコン膜から形成され、上側電極が低抵抗な金属膜から形成されたMIS (Metal Insulator Semiconductor) 構造を有する。或いは、蓄積容量は、例えば、下側電極及び上側電極が低抵抗な金属膜から形成されたMIM (Metal Insulator Metal) 構造を有する。ここで、前述したように、付加容量は、蓄積容量と同一の積層構造を有するため、付加容量を構成する一対の電極の少なくとも一方も、例えばアルミニウム膜等の低抵抗膜からなる。即ち、付加容量は、蓄積容量と同様に、例えばMIS構造或いはMIM構造を有する。よって、付加容量を構成する誘電体膜を、高誘電率を有する誘電体材料（即ち、High-K材料）から形成することができる。従って、付加容量を、比較的小さな領域内に、表示ムラを低減するのに十分な容量値を有するように作り込むことが可能である。言い換えれば、基板上の例えば他の配線や回路が形成されていない領域（即ち、いわゆるデッドスペース）に効率的に付加容量を形成することができ、装置の高密度化・小型化を実現することができる。

【0014】

更に、仮に、付加容量を構成する一対の電極のいずれもが、例えば導電性のポリシリコン膜等の比較的高抵抗な膜から形成される場合には、例えば、付加容量に所定電位を供給する固定電位線を、付加容量を構成する一対の電極とは別層に配置された低抵抗な膜から形成し、更に、固定電位線と付加容量とを電気的に接続するためのコンタクトホールを、付加容量毎に形成することが必要となってしまう、基板上の積層構造が複雑になってしまう。しかるに本発明では特に、付加容量を構成する一対の電極の少なくとも一方が、例えばアルミニウム膜等の低抵抗膜からなるので、例えば、付加容量を構成する一対の電極のうち固定電位側容量電極を、所定電位を供給する固定電位線の一部として形成することができる。よって、付加容量を、基板上の積層構造の複雑化を招くことなく形成することができる。従って、付加容量を形成する際のレイアウトの自由度が高いので、基板上のデッドスペースに効率的に付加容量を形成することが可能となる。

【0015】

以上説明したように、本発明に係る第1の電気光学装置によれば、装置の高密度化・小型化を実現しつつ、データ線に沿った表示ムラ等のない高品質な画像を表示することが可能となる。

【0016】

本発明に係る第1の電気光学装置の一態様では、前記下側電極及び前記上側電極は、金属膜からなる。

【0017】

この態様によれば、蓄積容量及び付加容量は、MIM構造を有する。よって、簡易的な構造で容量の形成が可能となる。即ち、例えば、蓄積容量及び付加容量に所定電位を供給する固定電位線を、下側電極或いは上側電極を構成する金属膜から形成することができるので、基板上の積層構造を複雑化することなくデータ線への容量付加を実現できる。

【0018】

本発明に係る第1の電気光学装置の他の態様では、前記下側電極は、導電性のポリシリコン膜からなり、前記上側電極は、金属膜からなる。

【0019】

この態様によれば、蓄積容量及び付加容量は、MIS構造を有する。このため、例えば、付加容量を構成する一方の電極（即ち、下側電極と同一膜からなる電極）における上層側表面を酸化する酸化処理を施すことより、或いは、該一方の電極上に誘電体膜を積層した後誘電体膜を焼成する焼成処理を施すことにより、蓄積容量の耐圧を高めることができる。よって、誘電体膜を例えばシリコン窒化膜等のHigh-K材料から形成することができる。従って、付加容量を、比較的小さな領域内に、表示ムラを低減するのに十分な容量値を有するように作り込むことができる。

【0020】

本発明に係る第1の電気光学装置の他の態様では、前記付加容量は、前記データ線よりも下層側に形成される。

【0021】

この態様によれば、付加容量がデータ線よりも下層側に形成される。即ち、付加容量と同一の積層構造を有する蓄積容量も、データ線よりも下層側に形成される。よって、付加容量（及び蓄積容量）がデータ線よりも上層側に形成される場合と比較して、蓄積容量を、典型的には蓄積容量及びデータ線よりも下層側に配置される画素スイッチング素子と層間絶縁膜を介して近接して配置することができる。従って、上層側からの入射光に対して画素スイッチング素子の一例としての薄膜トランジスタのチャネル領域を確実に遮光できる。この結果、装置の動作時に、薄膜トランジスタにおける光リーク電流が低減され、コントラスト比を向上させることができる。

【0022】

尚、付加容量は、データ線よりも上層側に形成されてもよい。この場合には、蓄積容量は、データ線よりも上層側に形成されるが、蓄積容量を、基板上で平面的に見て、画素スイッチング素子と少なくとも部分的に重なるように形成することにより、上層側からの入射光に対して画素スイッチング素子を遮光できる。

【0023】

本発明に係る第1の電気光学装置の他の態様では、前記付加容量を構成する一方の電極は、所定電位とされる。

【0024】

この態様によれば、付加容量を好適に機能させることができる。即ち、付加容量によって、データ線に供給される画像信号に応じた電圧と所定電位との電位差に応じた適当な電荷量を蓄積することが可能となる。尚、本発明に係る「所定電位」とは、画像信号電位の変化或いは画像データによらず予め定められた電位を意味し、例えば、時間軸に対して完全に一定電位に固定された固定電位であってもよいし、時間軸に対して一定期間ずつ一定電位に固定された固定電位（例えば、一定期間毎に基準電位に対して反転する反転電位）であってもよい。

【0025】

上述した、付加容量を構成する一方の電極が所定電位とされる態様では、前記基板に対向配置された対向基板と、該対向基板上に形成されており、前記画素電極に対向するように設けられた対向電極と、前記対向基板及び前記基板のいずれか一方に配置されており、前記データ線及び前記走査線並びに前記画素電極を駆動するための駆動回路と、前記対向電極に所定電位を供給する第1電源と、前記駆動回路に所定電位を供給する第2電源とを備え、前記一方の電極は、前記第1電源又は前記第2電源に電氣的に接続されることによ

り、所定電位とされるように構成してもよい。

【0026】

この場合には、付加容量を構成する一方の電極を所定電位とするための電源と、対向電極を所定電位（即ち、対向電極電位）とするための電源（即ち、第1電源）、或いは、駆動回路に供給すべき所定電位を供給するための電源（即ち、第2電源）とが共用される形となるから、装置構成の簡略化を実現できる。尚、本態様は、第1電源と第2電源とが、一つの共通の電源である場合も含む趣旨である。

【0027】

上述した、付加容量を構成する一方の電極が所定電位とされる態様では、前記下側電極及び前記上側電極のうちいずれか一方に所定電位を供給する蓄積容量定電位線を備え、前記一方の電極は、前記蓄積容量固定電位線に電気的に接続されることにより、所定電位とされるように構成してもよい。

【0028】

この場合には、付加容量を構成する一方の電極を所定電位とするための配線と、蓄積容量の固定電位側容量電極に所定電位を供給する蓄積容量固定電位線とが共用される形となるから、装置構成の簡略化を実現できる。更に、この態様では、付加容量と蓄積容量には殆ど或いは完全に等しい所定電位が供給されるので、蓄積容量における画像信号に応じた電圧と付加容量における画像信号に応じた電圧とを殆ど或いは完全に一致させることができる。よって、付加容量に生じる電圧を抑制できる。

【0029】

本発明に係る第1の電気光学装置の他の態様では、前記画素電極が設けられた画素領域の周辺に位置する周辺領域に配置されており、前記データ線に、サンプリング信号に応じて画像信号を夫々供給する複数のサンプリングスイッチを含むサンプリング回路と、前記周辺領域に配置されており、前記データ線に対応する前記サンプリングスイッチ毎に、前記サンプリング信号を順次供給するデータ線駆動回路とを備え、前記付加容量は、前記サンプリング回路が配置された領域と前記画素領域との間に位置する領域に配置される。

【0030】

この態様によれば、サンプリング回路が配置された領域と画素領域との間に付加容量を配置することで、面積の限られた基板上に付加容量を効率的に形成することができる。よって、装置の高密度化・小型化を実現することができる。

【0031】

更に、本態様によれば、サンプリングスイッチの一例である薄膜トランジスタのドレインとデータ線との間に付加容量を電気的に接続することができる。よって、該薄膜トランジスタのゲート・ドレイン間の寄生容量の影響により、データ線に書き込まれる画像信号電位のプッシュダウン量がより大きくなってしまふことを抑制できる。即ち、サンプリングスイッチの出力側の直後に付加容量を電気的に接続することにより、サンプリングスイッチにおけるプッシュダウンがデータ線の電位に変動を及ぼしてしまふことを抑制できる。

【0032】

本発明に係る第1の電気光学装置の他の態様では、前記データ線の一端の側に設けられており、前記データ線を駆動するためのデータ線駆動回路を備え、前記付加容量は、前記データ線の他端の側に設けられる。

【0033】

この態様によれば、データ線を中心とした場合における各種構成要素の配置関係が好適となる。本態様では、データ線の一端にデータ線駆動回路が、その他端に付加容量が配置されることになるから、画像信号の流れは、データ線駆動回路、データ線（及びそれに連なる画素スイッチング素子、画素電極）及び付加容量ということになり、画像信号の滞りない画素電極への伝達を実現すると共に、付加容量における電荷蓄積は、いわば使用済みの画像信号を利用することで行われることになる。つまり、本態様によれば、データ線に一種の障害物ともなり得る付加容量を設けるにもかかわらず、それにより生じ得る悪影響

をともに受けるような事態を有効に回避することができる。

【0034】

尚、本態様において、データ線駆動回路とデータ線との間にサンプリング回路等を設けてよい。

【0035】

本発明に係る第1の電気光学装置の他の態様では、前記複数のデータ線のうちN本のデータ線を1群として構成される複数のデータ線群毎に供給されるN（但し、Nは2以上の自然数）系統のシリアルーパラレル変換された画像信号を供給するN本の画像信号線を備え、前記付加容量のうち、前記N本のデータ線からなる前記群の端に位置するデータ線に電氣的に接続された第1付加容量の容量値と、前記N本のデータ線のうち前記群の端に位置するデータ線と異なるデータ線に電氣的に接続された第2付加容量の容量値とは互いに異なる。

【0036】

この態様によれば、その駆動時には、シリアルーパラレル変換されたN系統の画像信号が、N本の画像信号線に供給され、更に、例えばサンプリング回路へと供給される。N系統の画像信号は、例えば駆動周波数の上昇を抑えつつ高精細な画像表示を実現すべく、外部回路によって、シリアルな画像信号が、3相、6相、12相、24相、…など、複数のパラレルな画像信号に変換されることによって生成される。このような画像信号の供給と並行して、例えばデータ線駆動回路によって、データ線群に対応するサンプリングスイッチ毎に、サンプリング信号が順次供給される。すると、サンプリング回路によって、複数のデータ線には、サンプリング信号に応じてデータ線群毎にN個の画像信号が順次供給される。よって、同一データ線群に属するデータ線は同時に駆動されることとなる。

【0037】

このようにデータ群毎に駆動が行われると、複数のデータ線群のうちのデータ線群に画像信号が供給されている状態で、この一のデータ線群に属すると共にこの一のデータ線群の次に駆動される他のデータ線群に隣接するデータ線の電位と、他のデータ線群に属するデータ線の電位とは、表示される画像の内容に応じて異なる場合が生じ得る。

【0038】

このような電位差によってデータ線群の両端に位置する2本のデータ線における画像信号電位のプッシュダウン量が同一データ線群に属する他のデータ線におけるプッシュダウン量と異なる場合には、例えばこれら2本のデータ線の各々に対応する2個の付加容量（即ち、第1付加容量）の容量値を当該データ線群に含まれる他のデータ線に電氣的に接続された他の付加容量（即ち、第2付加容量）の容量値と異ならせておくことによって、各データ線におけるプッシュダウン量を均一にできる。よって、データ線に沿った表示ムラを低減或いは防止できる。

【0039】

本発明に係る第2の電気光学装置は上記課題を解決するために、基板上に、互いに交差する複数のデータ線及び複数の走査線と、前記データ線及び走査線の交差に対応して設けられた画素電極及び該画素電極に対応して設けられた画素スイッチング素子と、所定電位を供給すると共に、低抵抗膜から形成された固定電位線と、該固定電位線から延設された第1電極、及び前記データ線に電氣的に接続された第2電極を含む付加容量とを備える。

【0040】

本発明に係る第2の電気光学装置によれば、その動作時には、上述した本発明に係る第1の電気光学装置と概ね同様に、画素電極に対し、画像信号に応じた電圧が印加される。

【0041】

本発明に係る第2の電気光学装置では、上述した本発明に係る第1の電気光学装置と同様に、データ線に電氣的に接続された付加容量を備える。よって、データ線周りの容量を適切に確保することができる。従って、データ線に書き込まれる画像信号電位のプッシュダウンが生じてしまうことを抑制できる。この結果、データ線に書き込まれる画像信号電位のプッシュダウンに起因した例えばデータ線に沿った表示ムラが発生することを低減或

いは防止できる。

【0042】

本発明では、付加容量を構成する第1電極は、固定電位線から延設されており、固定電位側電極として機能する。一方、付加容量を構成する第2電極は、データ線に電氣的に接続されており、画素電位側電極として機能する。固定電位線は、例えばアルミニウム膜等の低抵抗膜から形成される。つまり、固定電位線から延設された第1電極も低抵抗膜から形成されることになる。ここで仮に、付加容量を構成する一対の電極のいずれもが、例えば導電性のポリシリコン膜等の比較的高抵抗な膜から形成される場合には、例えば、付加容量に所定電位を供給する固定電位線を、付加容量を構成する一対の電極とは別層に配置された低抵抗な膜から形成し、更に、固定電位線と付加容量とを電氣的に接続するためのコンタクトホールを、付加容量毎に形成することが必要となってしまう、基板上の積層構造が複雑になってしまう。しかるに本発明では特に、付加容量を構成する第1電極が、固定電位線から延設される。言い換えれば、付加容量を構成する第1電極を、所定電位を供給する固定電位線の一部として形成される。よって、付加容量を、基板上の積層構造の複雑化を招くことなく形成することができる。従って、付加容量を形成する際のレイアウトの自由度が高いので、基板上のデッドスペースに効率的に付加容量を形成することが可能となる。

【0043】

以上説明したように、本発明に係る第2の電気光学装置によれば、装置の高密度化・小型化を実現しつつ、データ線に沿った表示ムラ等のない高品質な画像を表示することが可能となる。

【0044】

本発明の電子機器は上記課題を解決するために、上述した本発明の電気光学装置（但し、その各種態様も含む）を具備する。

【0045】

本発明の電子機器によれば、上述した本発明に係る第1又は第2の電気光学装置を具備してなるので、高品質な画像表示を行うことが可能な、投射型表示装置、テレビ、携帯電話、電子手帳、ワードプロセッサ、ビューファインダ型又はモニタ直視型のビデオテープレコーダ、ワークステーション、テレビ電話、POS端末、タッチパネルなどの各種電子機器を実現できる。また、本発明の電子機器として、例えば電子ペーパーなどの電気泳動装置、電子放出装置（Field Emission Display及びConduction Electron-Emitter Display）、これら電気泳動装置、電子放出装置を用いた表示装置を実現することも可能である。

【0046】

本発明の作用及び他の利得は次に説明する実施するための最良の形態から明らかにされる。

【発明を実施するための最良の形態】

【0047】

以下では、本発明の実施形態について図を参照しつつ説明する。以下の実施形態では、本発明の電気光学装置の一例である駆動回路内蔵型のTFTアクティブマトリクス駆動方式の液晶装置を例にとる。

<第1実施形態>

第1実施形態に係る液晶装置について、図1から図7を参照して説明する。

【0048】

先ず、本実施形態に係る液晶装置の全体構成について、図1及び図2を参照して説明する。ここに図1は、本実施形態に係る液晶装置の全体構成を示す平面図であり、図2は、図1のH-H'線断面図である。

【0049】

図1及び図2において、本実施形態に係る液晶装置100では、TFTアレイ基板10と対向基板20とが対向配置されている。TFTアレイ基板10と対向基板20との間に液晶層50が封入されており、TFTアレイ基板10と対向基板20とは、本発明に係る

「画素領域」の一例としての画像表示領域10aの周囲に位置するシール領域に設けられたシール材52により相互に接合されている。

【0050】

図1において、シール材52が配置されたシール領域の内側に並行して、画像表示領域10aの額縁領域を規定する遮光性の額縁遮光膜53が、対向基板20側に設けられている。周辺領域のうち、シール材52が配置されたシール領域の外側に位置する領域には、データ線駆動回路101及び外部回路接続端子102がTFTアレイ基板10の一辺に沿って設けられている。この一辺に沿ったシール領域よりも内側に、サンプリング回路7が額縁遮光膜53に覆われるようにして設けられている。走査線駆動回路104は、この一辺に隣接する2辺に沿ったシール領域の内側に、額縁遮光膜53に覆われるようにして設けられている。TFTアレイ基板10上には、対向基板20の4つのコーナー部に対向する領域に、両基板間を上下導通材107で接続するための上下導通端子106が配置されている。これらにより、TFTアレイ基板10と対向基板20との間で電氣的な導通をとることができる。

【0051】

TFTアレイ基板10上には、外部回路接続端子102と、データ線駆動回路101、走査線駆動回路104、上下導通端子106等とを電氣的に接続するための引回配線90が形成されている。引回配線90には、後述する画像信号線171、対向電極電位線91等が含まれている。

【0052】

尚、ここでは図示しないが、後述するように、画像表示領域10aの周辺に位置する周辺領域には、各データ線に電氣的に接続された複数のコンデンサ（付加容量）が配置されている。

【0053】

図2において、TFTアレイ基板10上には、駆動素子である画素スイッチング用のTFT（Thin Film Transistor）や走査線、データ線等の配線が作り込まれた積層構造が形成される。画像表示領域10aには、画素スイッチング用のTFTや走査線、データ線等の配線の上層に画素電極9aがマトリクス状に設けられている。画素電極9a上には、配向膜が形成されている。他方、対向基板20におけるTFTアレイ基板10との対向面上に、遮光膜23が形成されている。遮光膜23は、例えば遮光性金属膜等から形成されており、対向基板20上の画像表示領域10a内で、例えば格子状等にパターンニングされている。そして、遮光膜23上に、ITO等の透明材料からなる対向電極21が複数の画素電極9aと対向してほぼ全面に形成されている。対向電極21上には配向膜が形成されている。液晶層50は、例えば一種又は数種類のネマティック液晶を混合した液晶からなり、これら一対の配向膜間で、所定の配向状態をとる。

【0054】

尚、ここでは図示しないが、後述するように、TFTアレイ基板10上の周辺領域には、製造途中や出荷時の当該液晶装置の品質、欠陥等を検査するための検査回路が形成されている。

【0055】

次に、本実施形態に係る液晶装置の電氣的な構成について、図3を参照して説明する。ここに図3は、本実施形態に係る液晶装置の電氣的な構成を示すブロック図である。

【0056】

図3において、液晶装置100は、TFTアレイ基板10の周辺領域に走査線駆動回路104、データ線駆動回路101、サンプリング回路7、検査回路900、画像信号線171及び容量部CAを備えている。

【0057】

走査線駆動回路104は、YスタートパルスDYが入力されると、Yクロック信号CLY及び反転Yクロック信号CLYinvに基づくタイミングで、走査信号Y1、…、Ymを順次生成して出力する。データ線駆動回路101は、XスタートパルスDXが入力され

ると、Xクロック信号CLX及び反転Xクロック信号 $\overline{\text{CLX}}$ に基づくタイミングで、サンプリング信号S1、S2、…、Snを順次生成して出力する。走査線駆動回路104及びデータ線駆動回路101の夫々は、TFTアレイ基板10上における画像表示領域10aの周辺領域に形成された複数のTFTを含むシフトレジスタ等の信号処理手段を備えている。

【0058】

サンプリング回路7は、データ線6a毎に設けられた複数のサンプリングスイッチ77を備えている。各サンプリングスイッチ77は、Pチャネル型又はNチャネル型の片チャネル型TFTから構成されている。このため、仮に各サンプリングスイッチ77が相補型TFTから構成される場合と比較して、各サンプリングスイッチ77を配置するために必要となるTFTアレイ基板10上の面積が小さくて済むので、複数のサンプリングスイッチ77を、より微細ピッチで配列することができる。これにより表示画像の高精細化が可能となる。

【0059】

液晶装置100は、TFTアレイ基板10の中央を占める画像表示領域10aに、縦横に配線されたデータ線6a、走査線3a及び本発明に係る「蓄積容量固定電位線」としての容量線300を備えている。データ線6a及び走査線3aが互いに交差する点に対応する位置にマトリクス状に画素部700が設けられている。画素部700は、液晶素子118、画素スイッチング用のTFT30、及び蓄積容量70を備えている。液晶素子118は、画素電極9a及び対向電極21、並びにこれら一対の電極間に挟持された液晶層50から構成される(図2参照)。容量線300は、対向電極電位線91に電気的に接続されている。対向電極電位線91は、外部回路接続端子102(図1参照)を介して、不図示の定電位電源に電気的に接続されている。対向電極電位線91(及びこれに電気的に接続された容量線300)に供給される電源の電位は、画素電極9aに対向配置された対向電極21(図2参照)に供給される、本発明に係る「所定電位」の一例としての対向電極電位LCCOMである。容量線300は、蓄積容量70を構成する一方の電極に電気的に接続されている(本実施形態では、後述するように、容量線300の一部が蓄積容量70の一方の電極を構成している)。この一方の電極の電位は、液晶装置100の駆動時に対向電極電位LCCOMに維持される。蓄積容量70は、液晶素子118と並列に付加されている。画素電極9aの電圧は、画像信号が印加された時間よりも、例えば3桁も長い時間だけ蓄積容量70により保持されるので、保持特性が改善される結果、高コントラスト比が実現される。

【0060】

画像信号線171の夫々は、サンプリング回路7を介して各々対応するデータ線6aに電気的に接続されている。外部回路から供給された1系統の入力画像データVIDをシリアル-パラレル変換して得られるN系統(本実施形態ではN=6、即ち6系統)の画像信号は、サンプリング信号Siに応じてオンオフが切り換えられるサンプリングスイッチ77を介してデータ線6aの夫々に供給される。N系統の画像信号は、例えば、不図示の画像信号供給回路等の信号変換手段を用いて一系統の入力画像データを変換することによって生成される。尚、シリアル-パラレル変換は、シリアル-パラレル展開或いは相展開とも呼ばれる。

【0061】

本実施形態では、6系統、即ち6相(N=6)の画像信号VID1~VID6が生成され、これら6相の画像信号に対応して画像信号線171は6本設けられている。更に、不図示の画像信号供給回路において、画像信号VID1~VID6の各々の電圧が、基準電位である対向電極電位LCCOMに対して正極性及び負極性に反転され、このように極性反転された画像信号VID1~VID6が出力される。尚、画像信号の相展開数(即ち、シリアル-パラレル展開される画像信号の系列数)に関しては、6相に限られるものでない。

【0062】

検査回路900は、データ線6aに電氣的に接続されており、検査信号を各画素部700に供給する。

【0063】

容量部CAは、本発明に係る「付加容量」の一例としての複数のコンデンサ $C_a(i) - k$ （但し、 $i = 1, 2, \dots, n$ 、 n は2以上の自然数であり、 $k = 1, 2, \dots, N$ である。本実施形態では $N = 6$ ）を備えている。複数のコンデンサ $C_a(i) - k$ は、容量形成用定電位線310及び各データ線6aに電氣的に接続されている。容量形成用定電位線310は、対向電極電位線91に電氣的に接続されており、対向電極電位LCCOMが供給される。このようなコンデンサ $C_a(i) - k$ によって、サンプリングスイッチ77がオン状態に切り換えられた際に、データ線6aに供給された画像信号電位が本来の画像信号電位に比べて、小さくなること（即ち、プッシュダウン）を低減或いは防止できる。即ち、例えばデータ線6aの配線容量、或いはデータ線6aと他の配線との重なり合いにより生じる容量に対し、コンデンサ $C_a(i) - k$ の静電容量が加わることにより、データ線6a周りの容量を適切に確保することができる。従って、データ線6aが保有すべき電位に変動が生じてしまうこと、即ち、データ線6aに書き込まれる画像信号電位のプッシュダウンが生じてしまうことを抑制できる。この結果、データ線6aに書き込まれる画像信号電位のプッシュダウンに起因した例えばデータ線6aに沿った表示ムラが発生することを低減或いは防止できる。

【0064】

尚、本実施形態では、後述するように、複数のデータ線6aは、6本のデータ線6aを1群とするデータ線群毎に順次駆動される。コンデンサ $C_a(i) - k$ は、第(i)データ線群（即ち、サンプリング信号 S_i が同時に供給される6本のデータ線6aからなるデータ線群）に属する6本のデータ線6aのうち、左から第(k)番目のデータ線6aに接続されている。

【0065】

次に、本実施形態に係る液晶装置の動作原理について、図3を参照して説明する。尚、本実施形態に係る液晶装置100は、ライン反転方式の一例である1H反転駆動方式で駆動される。

【0066】

図3において、TFT30は、本発明に係る「画素スイッチング素子」の一例であり、データ線6aから供給される画像信号を選択画素に印加するために設けられている。TFT30のゲートは走査線3aに電氣的に接続されており、ソースはデータ線6aに電氣的に接続されている。TFT30のドレインは液晶素子118を構成する画素電極9a（図2参照）に電氣的に接続されている。画素電極9aは、後述する対向電極21との間で形成される液晶容量を、画像信号に応じて一定期間保持する。蓄積容量70の一方の電極は、画素電極9aと並列してTFT30のドレインに電氣的に接続され、他方の電極は、対向電極電位LCCOMが供給された容量線300に接続され、定電位に維持される。

【0067】

液晶装置100は、例えばTFTアクティブマトリクス駆動方式を採り、走査線駆動回路104から各走査線3aに走査信号 $Y_1, Y_2, \dots, Y_m$ を線順次に印加すると共に、TFT30がオン状態となる水平方向の選択画素領域の列に、データ線駆動回路101からデータ線6aに画像信号を印加するようになっている。この際、画像信号を各データ線6aに線順次に供給してもよい。これにより、画像信号が、選択画素領域の画素電極9aに供給される。液晶装置100は、TFTアレ基基板10と対向基板20とが液晶層50を介して対向配置されているので（図2参照）、以上のようにして区画配列された画素毎に液晶層50に電界を印加することにより、両基板間の透過光量が画素毎に制御され、画像が階調表示される。このとき、各画素部700に保持された画像信号は、蓄積容量70によってリークが防止される。

【0068】

6相にシリアルーパラレル展開された画像信号 $VID_1 \sim VID_6$ は、N本、本実施形

態では6本の画像信号線171を介して各画素部700に供給される。データ線6aは、以下に説明するように、画像信号線171の本数に対応する6本のデータ線6aを1群とするデータ線群毎に順次駆動される。

【0069】

データ線駆動回路101から、データ線群に対応するサンプリングスイッチ77毎にサンプリング信号 S_i ($i=1, 2, \dots, n$) が順次供給され、サンプリング信号 S_i に応じて各サンプリングスイッチ77はオン状態となる。

【0070】

よって、画像信号VID1～VID6は、オン状態に切り換えられたサンプリングスイッチ77を介して6本の画像信号線171の夫々からデータ線群に属するデータ線6aに同時に、且つデータ線群毎に順次供給され、一のデータ線群に属するデータ線6aは互いに同時に駆動されることとなる。従って、液晶装置100によれば、データ線6aをデータ線群毎に駆動するため、駆動周波数を抑制できる。

【0071】

液晶素子118には、画素電極9a及び対向電極21の各々の電位によって規定される印加電圧が印加される。液晶は、印加される電圧レベルにより分子集合の配向や秩序が変化することにより、光を変調し、階調表示を可能とする。ノーマリーホワイトモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が減少し、ノーマリーブラックモードであれば、各画素の単位で印加された電圧に応じて入射光に対する透過率が増加され、全体として液晶装置100から画像信号VID1～VID6に応じたコントラストをもつ光が出射され、画像が表示される。

【0072】

尚、本実施形態では、1H反転駆動方式が採用されているので、 m 番目（但し m は自然数）のフィールド或いはフレームの画像表示期間中、データ線6aに沿った方向（即ち、図3中、Y方向）に並列した画素電極9aの各行に、隣接する行とは基準電圧に対する極性が異なる電圧が印加され、画素部700は、行毎に逆極性の液晶駆動電圧が印加された状態で駆動される。より具体的には、 m 番目のフィールドに続く $m+1$ 番目のフィールド或いはフレームの画像表示期間では、液晶駆動電圧の極性を反転させる。 $m+2$ 番目のフィールド或いはフレーム以降は、 m 番目及び $m+1$ 番目と同様の状態が周期的に繰り返される。このように液晶層50への印加電圧の極性を周期的に反転させると、液晶に直流電圧が印加されるのが防止され、液晶の劣化が抑制される。加えて、画素電極9aの行毎に印加電圧の極性を逆としているので、クロストークやフリッカが低減される。蓄積容量70を構成する一対の電極のうち容量線300に電気的に接続された電極の電位は対向電極電位LCCOMに維持されているため一定であるが、容量線300に電気的に接続されていない電極の電位は、対向電極電位LCCOMに対する印加電圧、即ち画像信号電位の極性反転によって周期的に逆極性の電位となる。

【0073】

本実施形態では、液晶装置100の駆動方式として1H反転駆動を例に挙げているが、駆動方式は画素列毎に逆極性の電圧を印加する1S反転駆動方式、或いは隣接する画素毎に逆極性の電圧を印加するドット反転駆動方式を採用してもよい。

【0074】

次に、上述の動作を実現する画素部の具体的構成について、図4及び図5を参照して説明する。ここに図4は、本実施形態に係る液晶装置におけるデータ線、走査線、画素電極等が形成されたTFTアレイ基板の相隣接する複数の画素部群の平面図であり、図5は、図4のA-A'線での断面図である。

【0075】

図4において、画素電極9aは、TFTアレイ基板10上に、マトリクス状に複数設けられており（点線部9a'により輪郭が示されている）、画素電極9aの縦横の境界に各々沿ってデータ線6a及び走査線3aが設けられている。データ線6aは、例えばアルミニウム膜等の金属膜或いは合金膜からなり、走査線3aは、例えば導電性のポリシリコン

膜等からなる。走査線3aは、半導体層1aのうち図中右上がりの斜線領域で示したチャネル領域1a'に対向するように配置されており、該走査線3aはゲート電極として機能する。即ち、走査線3aとデータ線6aとの交差する箇所にはそれぞれ、チャネル領域1a'に走査線3aの本線部がゲート電極として対向配置された画素スイッチング用のTFT30が設けられている。

【0076】

図5に示すように、液晶装置100は、透明なTFTアレイ基板10と、これに対向配置される透明な対向基板20とを備えている。TFTアレイ基板10は、例えば、石英基板、ガラス基板、シリコン基板からなり、対向基板20は、例えばガラス基板や石英基板からなる。TFTアレイ基板10には、画素電極9aが設けられており、その上側には、ラビング処理等の所定の配向処理が施された配向膜16が設けられている。このうち画素電極9aは、例えばITO膜等の透明導電性膜からなる。他方、対向基板20には、そのほぼ全面に渡って対向電極21が設けられており、その下側には、ラビング処理等の所定の配向処理が施された配向膜22が設けられている。このうち対向電極21は、上述した画素電極9aと同様に、例えばITO膜等の透明導電性膜からなり、配向膜16及び22は、例えば、ポリイミド膜等の透明な有機膜からなる。液晶層50は、画素電極9aからの電界が印加されていない状態で配向膜16及び22により所定の配向状態をとる。

【0077】

図5に示すように、TFT30は、LDD (Lightly Doped Drain) 構造を有しており、その構成要素としては、上述したようにゲート電極として機能する走査線3a、例えばポリシリコン膜からなり走査線3aからの電界によりチャネルが形成される半導体層1aのチャネル領域1a'、走査線3aと半導体層1aとを絶縁するゲート絶縁膜を含む絶縁膜2、半導体層1aにおける低濃度ソース領域1b及び低濃度ドレイン領域1c並びに高濃度ソース領域1d及び高濃度ドレイン領域1eを備えている。

【0078】

尚、TFT30は、好ましくは図5に示したようにLDD構造をもつが、低濃度ソース領域1b及び低濃度ドレイン領域1cに不純物の打ち込みを行わないオフセット構造をもってよいし、走査線3aの一部からなるゲート電極をマスクとして高濃度で不純物を打ち込み、自己整合的に高濃度ソース領域及び高濃度ドレイン領域を形成するセルフアライン型のTFTであってもよい。また、本実施形態では、画素スイッチング用のTFT30のゲート電極を、高濃度ソース領域1d及び高濃度ドレイン領域1e間に1個のみ配置したシングルゲート構造としたが、これらの間に2個以上のゲート電極を配置してもよい。このようにデュアルゲート、或いはトリプルゲート以上でTFTを構成すれば、チャネルとソース及びドレイン領域との接合部のリーク電流を防止でき、オフ時の電流を低減することができる。更に、TFT30を構成する半導体層1aは非単結晶層でも単結晶層でも構わない。単結晶層の形成には、貼り合わせ法等の公知の方法を用いることができる。半導体層1aを単結晶層とすることで、特に周辺回路の高性能化を図ることができる。

【0079】

図5において、蓄積容量70は、層間絶縁膜41を介してTFT30の上層側に設けられており、TFT30の高濃度ドレイン領域1e及び画素電極9aに接続された下側電極71と、容量線300の一部からなる上側電極300aが、誘電体膜75を介して対向配置されることにより形成されている。

【0080】

下側電極71は、導電性のポリシリコン膜からなり、層間絶縁膜41に開孔されたコンタクトホール83を介してTFT30の高濃度ドレイン領域1eと電気的に接続されている。即ち、下側電極71は、画素電位とされる画素電位側容量電極として機能する。下側電極71の延在部は、層間絶縁膜43及び層間絶縁膜42を貫通して開孔されたコンタクトホール85を介して画素電極9aと電気的に接続されている。即ち、下側電極71は、画素電位側容量電極としての機能のほか、コンタクトホール83及び85を介して、画素電極9aとTFT30の高濃度ドレイン領域1eとを電気的に中継接続する機能をもつ。

尚、下側電極71の上層側には、後述するように、HTO (High Temperature Oxide) 膜が形成されている。

【0081】

層間絶縁膜41、42及び43は夫々、例えばNSG (ノンシリケートガラス) によって形成されている。その他、層間絶縁膜41、42及び43には夫々、PSG (リンシリケートガラス)、BSG (ボロンシリケートガラス)、BPSG (ボロンリンシリケートガラス) 等のシリケートガラス、窒化シリコンや酸化シリコン等を用いることができる。

【0082】

誘電体膜75は、例えば膜厚5〜300nm程度の比較的薄い窒化シリコン (SiN) 膜から構成されている。蓄積容量70を増大させる観点からは、膜の信頼性が十分に得られる限りにおいて、誘電体膜75は薄いほどよい。尚、誘電体膜75には、焼成処理が施されてもよい。この場合には、誘電体膜の緻密さを高めることができる。

【0083】

上側電極300aは、アルミニウム膜から形成された容量線300の一部として形成されており、下側電極71と対向配置された固定電位側容量電極として機能する。尚、容量線300及び上側電極3aは、アルミニウム膜に限らず、シート抵抗などの単位量当りの電気抵抗が導電性のポリシリコン膜よりも低抵抗である他の導電膜から形成してもよい。また、容量線300及び上側電極3aは、複数の導電膜が積層された積層構造を有する二層膜又は多層膜であってもよい。容量線300は、平面的に見ると、図4に示すように、走査線3aの形成領域に重ねて形成されている。より具体的には容量線300は、走査線3aに沿って延びる本線部と、図中、データ線6aと交差する各個所からデータ線6aに沿って上方に夫々突出した突出部と、コンタクトホール85に対応する個所が僅かに括れた括れ部とを備えている。このうち突出部は、走査線3a上の領域及びデータ線6a下の領域を利用して、蓄積容量70の形成領域の増大に貢献する。また、上述したように、容量線300は、画像表示領域10aの周囲に配線された対向電極電位線91を介して定電位源と電気的に接続されて、所定電位 (即ち、対向電極電位LCCOM) とされている。

【0084】

本実施形態では特に、下側電極71は、導電性のポリシリコン膜からなり、上側電極300aはアルミニウム膜からなる。即ち、蓄積容量70は、半導体膜、絶縁体膜及び金属膜が順に積層されたMIS構造を有している。下側電極71の上層側には、HTO膜が形成されている。HTO膜は、ポリシリコン膜からなる下側電極71の上層側表面を酸化する酸化処理によって形成された高温酸化シリコン膜或いは、LP (Low Pressure) -CVD法により形成された膜からなる。このように下側電極71と誘電体膜75との間に形成されたHTO膜によって、蓄積容量70の耐圧が高められている。よって、リーク電流の発生を抑制或いは防止できると共に、高誘電率材料 (即ち、High-k材料) を用いて蓄積容量70の容量を大きくすることができる。その結果、フリッカ、画素むら等を低減或いは好ましくは無くし、高品質な表示が可能となる。

【0085】

次に、本実施形態に係る液晶装置のデータ線に電気的に接続されたコンデンサの構成について図3に加えて、図6及び図7を参照して説明する。ここに図6は、データ線に電気的に接続されたコンデンサの平面図であり、図7は、図6のB-B'線断面図である。尚、図7においては、各層・各部材を図面上で認識可能な程度の大きさとするため、該各層・各部材ごとに縮尺を異ならしめてある。

【0086】

図6では、図3を参照して上述した、第(i)データ線群のデータ線6aに電気的に接続されたコンデンサCa(i)-k (但し、k=1、…、6) の具体的な構成を示している。

【0087】

図6において、コンデンサCa(i)-k (但し、k=1、…、6) は、TFTアレイ基板10上において画像表示領域10aの周辺領域のうち、サンプリング回路7が配置さ

れた領域と画像表示領域10aとの間に位置する領域に、データ線6aに交差する方向（即ち、走査線3aが延びる方向、或いは、X方向）に沿って配列されている。

【0088】

図7に示すように、コンデンサCa(i)-1は、データ線6aに電氣的に接続された画素電位側電極511-1と、データ線6aに交差する方向に延び、所定電位に維持された容量形成用定電位線310の一部として形成された固定電位側電極310aとを備え、これら一対の電極の間に誘電体膜75を挟持して構成されている。尚、コンデンサCa(i)-2～コンデンサCa(i)-6は、コンデンサCa(i)-1と概ね同様に構成されている。

【0089】

図7において、画素電位側電極511-1は、層間絶縁膜41上に形成されている。即ち、画素電位側電極511-1は、図5を参照して上述した蓄積容量70を構成する下側電極71と同一膜（即ち、導電性のポリシリコン膜）から形成されている。画素電位側電極511-1は、層間絶縁膜42及び誘電体膜75を貫通して開孔されたコンタクトホール581を介してデータ線6aと相互に電氣的に接続されている。これにより、画素電位側電極511-1は、データ線6aと同一の電位を有する。コンタクトホール581は、固定電位側電極310aに設けられた開口部591の内側に設けられている。このため、画素電位側電極511-1及びデータ線6aと、固定電位側電極310aと間の電氣的な絶縁を保ちつつ、コンタクトホール581によって、画素電位側電極511-1とデータ線6aとを相互に電氣的に接続することが可能となっている。

【0090】

固定電位側電極310a（言い換えれば、容量形成用定電位線310）は、画素電位側電極511-1上に形成された誘電体膜75の上に、画素電位側電極511-1と対向するように形成されている。即ち、固定電位側電極310aは、図5を参照して上述した蓄積容量70を構成する上側電極300a（言い換えれば、容量線300）と同一膜（即ち、アルミニウム膜）から形成されている。固定電位側電極310aは、対向電極21に対向電極電位LCCOMを供給するための対向電極電位線91（図3参照）と電氣的に接続された容量形成用定電位線310の一部として形成されている。このため、固定電位側電極310aの電位は対向電極電位LCCOMに維持されている。

【0091】

このように、本実施形態では特に、コンデンサCa(i)-kは、蓄積容量70（図5参照）と同一の積層構造を有する。即ち、コンデンサCa(i)-kは、蓄積容量70の下側電極71と同一膜から形成された画素電位側電極511-1と、蓄積容量70の上側電極300aと同一膜から形成された固定電位側電極310aと、これら一対の電極間に挟持される誘電体膜75とから構成されている。言い換えれば、コンデンサCa(i)-kと蓄積容量70は、製造工程段階では、同一機会に形成されるものである。よって、このようにコンデンサCa(i)-kと蓄積容量70とを、同一機会に製造することから、これらそれぞれを別々に製造する場合と比較して、製造工程の簡略化、或いは製造コストの低廉化等を実現することができる。言い換えれば、画素電位保持特性を高めるために必要な蓄積容量70を製造する工程を利用して、コンデンサCa(i)-kを、蓄積容量70と同一の積層構造で容易に製造することができる。

【0092】

更に、本実施形態では特に、コンデンサCa(i)-kは、蓄積容量70と同一の積層構造であるMIS構造を有している。よって、コンデンサCa(i)-kを構成する誘電体膜75を、高誘電率を有する誘電体材料（即ち、High-K材料）から形成することができる。従って、コンデンサCa(i)-kを、比較的小さな領域内に、上述した如き表示ムラを低減するのに十分な容量値を有するように作り込むことが可能である。言い換えれば、TFTアレイ基板10上の例えば他の配線や回路が形成されていないデッドスペースに効率的にコンデンサCa(i)-kを形成することでき、装置の高密度化・小型化を実現することができる。

【0093】

尚、蓄積容量70及びコンデンサCa(i)-kは、MIM構造を有するようにしてもよい。即ち、蓄積容量70及びコンデンサCa(i)-kの各々を構成する一対の電極のいずれも例えばアルミニウム膜等の金属膜から形成してもよい。この場合には、蓄積容量70及びコンデンサCa(i)-kに所定電位を供給するための配線を、蓄積容量70（言い換えればコンデンサCa(i)-k）を構成する金属膜から形成することができるので、TFTアレイ基板10上の積層構造を複雑化することなくデータ線6aへの容量付加を実現できる。

【0094】

加えて、図7に示すように、本実施形態では特に、コンデンサCa(i)-kは、データ線6aよりも下層側に形成されている。即ち、図5において、コンデンサCa(i)-kと同一の積層構造を有する蓄積容量70も、データ線6aよりも下層側に形成されている。よって、コンデンサCa(i)-k（及び蓄積容量70）がデータ線6aよりも上層側に形成される場合と比較して、蓄積容量70を、画素スイッチング用のTFT30と層間絶縁膜41を介して近接して配置することができる。従って、上層側からの入射光に対して画素スイッチング用のTFT30のチャネル領域1a'を確実に遮光できる。この結果、装置の動作時に、TFT30における光リーク電流が低減され、コントラスト比を向上させることができる。

【0095】

尚、コンデンサCa(i)-kは、データ線6aよりも上層側に形成されてもよい。この場合には、蓄積容量70は、データ線6aよりも上層側に形成されるが、蓄積容量70を、TFTアレイ基板10上で平面的に見て、TFT30と少なくとも部分的に重なるように形成することにより、上層側からの入射光に対してTFT30を相応に遮光できる。

【0096】

図3及び図7において、本実施形態では特に、コンデンサCa(i)-kは、サンプリング回路7が配置された領域と画像表示領域10aとの間に配置されている。よって、面積の限られたTFTアレイ基板10上に効率的に形成することができる。従って、装置の高密度化・小型化を実現することができる。

【0097】

更に、本実施形態では特に、片チャネル型TFTから構成されるサンプリングスイッチ77のドレインの直後（言い換えれば、データ線6aにおける画像表示領域10aに形成された部分よりもサンプリングスイッチ77のドレイン或いは出力側）にコンデンサCa(i)-kが電気的に接続されている。よって、サンプリングスイッチ77のゲート・ドレイン間の寄生容量の影響により、データ線6aに書き込まれる画像信号電位のプッシュダウン量がより大きくなってしまふことを抑制できる。言い換えれば、サンプリングスイッチ77におけるプッシュダウンがデータ線6aの電位に変動を及ぼしてしまふことを抑制できる。

【0098】

加えて、図6に示すように、本実施形態では特に、コンデンサCa(i)-1及びCa(i)-6の各々が有する画素電位側電極511-1及び511-6は、他の画素電位側電極511-2～511-5に比べて小さい面積となるように形成されている。画素電位側電極511-1及び511-6が固定電位側電極310a及び誘電体膜75と重なる面積は、他のコンデンサCa(i)-2～Ca(i)-5より小さい。よって、コンデンサCa(i)-1及びCa(i)-6の各々の静電容量は、他のコンデンサCa(i)-2～Ca(i)-5の静電容量よりも相対的に小さく設定されている。これにより、データ線群の両端に位置する2本のデータ線6a（即ち、コンデンサCa(i)-1及びCa(i)-6とそれぞれ接続された2本のデータ線6a）における画像信号電位のプッシュダウン量が同一データ線群に属する他のデータ線（即ち、コンデンサCa(i)-2～Ca(i)-5とそれぞれ接続された4本のデータ線6a）におけるプッシュダウン量と異なってしまうことを抑制できる。言い換えれば、コンデンサCa(i)-1及びCa(i)-

ー6の容量値をコンデンサCa(i)ー2及びCa(i)ー5の容量値と異ならせておくことによって、各データ線6aにおけるプッシュダウン量を均一にできる。よって、データ線6aに沿った表示ムラを低減或いは防止できる。尚、コンデンサCa(i)ー1及びCa(i)ー6を設けずに、コンデンサCa(i)ー2及びCa(i)ー5を設けることで、当該コンデンサの容量値を最適化してもよい。この場合にも、各データ線6aにおけるプッシュダウン量を均一にできる。

【0099】

以上説明したように、本実施形態に係る液晶装置100によれば、装置の高密度化・小型化を実現しつつ、データ線6aに沿った表示ムラ等のない高品質な画像を表示することが可能となる。

<変形例>

次に、本実施形態に係る液晶装置の変形例について、図8から図10を参照して説明する。ここに、図8は、第1変形例における図7と同趣旨の断面図である。図9は、第2変形例における図7と同趣旨の断面図である。図10は、第3変形例における図7と同趣旨の断面図である。

【0100】

図8に第1変形例として示すように、コンデンサCa(i)ー1は、固定電位側電極310a、誘電体膜75及び画素電位側電極511ー1がこの順に下層側から積層されてなるようにしてもよい。本変形例によれば、データ線6aと画素電位側電極511ー1とを接続するためのコンタクトホール582を形成する際に、固定電位側電極310を回避する必要がある(即ち、例えば、図7を参照して上述した開口部591を設ける必要がない)ので、面積の限られたTFTアレ基板10上に効率よくコンデンサCa(i)ー1を形成することができる。本変形例によれば、上述した本実施形態と同様の効果が得られる。尚、本変形例では、画素電位側電極511ー1とデータ線6aとは、層間絶縁膜42に開孔されたコンタクトホール582を介して互いに電氣的に接続されている。

【0101】

図9に第2変形例として示すように、コンデンサCa(i)ー1は、データ線6aよりも層間絶縁膜42を介して上層側に形成されており、画素電位側電極511ー1、誘電体膜75及び固定電位側電極310aがこの順に下層側から積層されてなるようにしてもよい。画素電位側電極511ー1は、層間絶縁膜42に開孔されたコンタクトホール584を介してデータ線6aと電氣的に接続される。本変形例によれば、上述した本実施形態と同様の効果が得られる。

【0102】

図10に第3変形例として示すように、コンデンサCa(i)ー1は、データ線6aよりも層間絶縁膜42を介して上層側に、固定電位側電極310a、誘電体膜75及び画素電位側電極511ー1がこの順に下層側から積層されてなるようにしてもよい。画素電位側電極511ー1は、層間絶縁膜42に開孔されたコンタクトホール585を介してデータ線6aと電氣的に接続される。コンタクトホール585は、TFTアレ基板10上で平面的に見て、固定電位側電極310aと重ならない領域に形成されている。本変形例によれば、上述した本実施形態と同様の効果が得られる。

<第2実施形態>

次に、第2実施形態に係る液晶装置について、図11を参照して説明する。ここに図11は、第2実施形態における図3と同趣旨のブロック図である。尚、図11において、図3に示した第1実施形態に係る構成要素と同様の構成要素に同一の参照符合を付し、それらの説明は適宜省略する。

【0103】

図11に示すように、第2実施形態に係る液晶装置120は、画像表示領域10aに対してデータ線駆動回路101と反対側に容量部CBを備えている点で、上述した第1実施形態に係る液晶装置100と異なり、他の点については、上述した第1実施形態に係る液晶装置100と概ね同様に構成されている。

【0104】

図11において、本実施形態では特に、画像表示領域10aに対してデータ線駆動回路101と反対側に容量部CBを備えている。容量部CBは、複数のコンデンサC*b*(*i*)−*k*(但し、*i*=1、2、…、*n*、*n*は2以上の自然数であり、*k*=1、2、…、6)を有している。コンデンサC*b*(*i*)−*k*は、データ線6aにおけるデータ線駆動回路101が接続された一端とは異なる他端に接続されている。即ち、データ線6aの一端にデータ線駆動回路101が、その他端にコンデンサC*b*(*i*)−*k*が配置されている。尚、コンデンサC*b*(*i*)−*k*は、蓄積容量70と同一の積層構造を有している。よって、画像信号の流れは、データ線駆動回路101、データ線6a(及びそれに連なるTFT30、画素電極9a)及びコンデンサC*b*(*i*)−*k*ということになり、画像信号の滞りない画素電極9aへの伝達を実現すると共に、コンデンサC*b*(*i*)−*k*における電荷蓄積は、いわば使用済みの画像信号を利用することで行われることになる。つまり、液晶装置120によれば、データ線6aに一種の障害物ともなり得るコンデンサC*b*(*i*)−*k*を設けるにもかかわらず、それにより生じ得る悪影響をまともに受けるような事態を有効に回避することができる。

<電子機器>

次に、上述した電気光学装置である液晶装置を各種の電子機器に適用する場合について、図12を参照して説明する。ここに図12は、プロジェクタの構成例を示す平面図である。尚、ここでは、液晶装置をライトバルブとして用いたプロジェクタについて説明する。

【0105】

図12に示すように、プロジェクタ1100内部には、ハロゲンランプ等の白色光源からなるランプユニット1102が設けられている。このランプユニット1102から射出された投射光は、ライトガイド1104内に配置された4枚のミラー1106及び2枚のダイクロイックミラー1108によってRGBの3原色に分離され、各原色に対応するライトバルブとしての液晶パネル1110R、1110B及び1110Gに入射される。

【0106】

液晶パネル1110R、1110B及び1110Gの構成は、上述した液晶装置と同等であり、画像信号処理回路から供給されるR、G、Bの原色信号でそれぞれ駆動されるものである。そして、これらの液晶パネルによって変調された光は、ダイクロイックプリズム1112に3方向から入射される。このダイクロイックプリズム1112においては、R及びBの光が90度に屈折する一方、Gの光が直進する。従って、各色の画像が合成される結果、投射レンズ1114を介して、スクリーン等にカラー画像が投写されることとなる。

【0107】

ここで、各液晶パネル1110R、1110B及び1110Gによる表示像について着目すると、液晶パネル1110Gによる表示像は、液晶パネル1110R、1110Bによる表示像に対して左右反転することが必要となる。

【0108】

尚、液晶パネル1110R、1110B及び1110Gには、ダイクロイックミラー1108によって、R、G、Bの各原色に対応する光が入射するので、カラーフィルタを設ける必要はない。

【0109】

尚、図12を参照して説明した電子機器の他にも、モバイル型のパーソナルコンピュータや、携帯電話、液晶テレビ、ビューファインダ型、モニタ直視型のビデオテープレコーダ、カーナビゲーション装置、ページャ、電子手帳、電卓、ワードプロセッサ、ワークステーション、テレビ電話、POS端末、タッチパネルを備えた装置等が挙げられる。そして、これらの各種電子機器に適用可能なのは言うまでもない。

【0110】

また本発明は、上述の実施形態で説明した液晶装置以外にも、シリコン基板上に素子を

形成する反射型液晶装置（LCOS）、プラズマディスプレイ（PDP）、電界放出型ディスプレイ（FED、SED）、有機ELディスプレイ、デジタルマイクロミラーデバイス（DMD）、電気泳動装置等にも適用可能である。

【0111】

本発明は、上述した実施形態に限られるものではなく、請求の範囲及び明細書全体から読み取れる発明の要旨或いは思想に反しない範囲で適宜変更可能であり、そのような変更を伴う電気光学装置、及び該電気光学装置を備えてなる電子機器もまた本発明の技術的範囲に含まれるものである。

【図面の簡単な説明】

【0112】

【図1】第1実施形態に係る液晶装置の全体構成を示す平面図である。

【図2】図1のH-H'線断面図である。

【図3】第1実施形態に係る液晶装置の電氣的な構成を示すブロック図である。

【図4】本実施形態に係る液晶装置における複数の画素部群の平面図である。

【図5】図4のA-A'線での断面図である。

【図6】データ線に電氣的に接続されたコンデンサの平面図である。

【図7】図6のB-B'線断面図である。

【図8】第1変形例における図7と同趣旨の断面図である。

【図9】第2変形例における図7と同趣旨の断面図である。

【図10】第3変形例における図7と同趣旨の断面図である。

【図11】第2実施形態における図3と同趣旨のブロック図である。

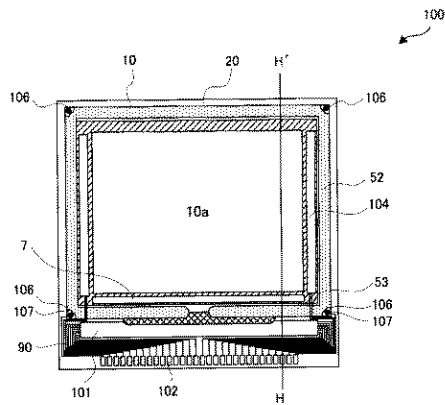
【図12】電気光学装置を適用した電子機器の一例たるプロジェクタの構成を示す平面図である。

【符号の説明】

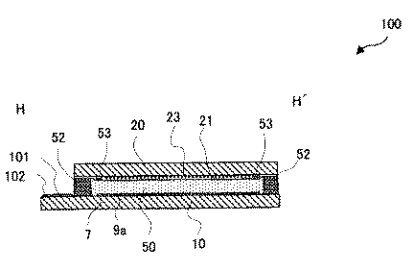
【0113】

3a…走査線、6a…データ線、7…サンプリング回路、9a…画素電極、10…TFTアレイ基板、10a…画像表示領域、20…対向基板、21…対向電極、23…遮光膜、30…TFT、50…液晶層、52…シール材、53…額縁遮光膜、71…下側電極、75…誘電体膜、91…対向電極電位線、101…データ線駆動回路、102…外部回路接続端子、104…走査線駆動回路、106…上下導通端子、107…上下導通材、118…液晶素子、171…画像信号線、300…容量線、300a…上側電極、310…容量形成用定電位線、310a…固定電位側電極、581、582、584、585…コンタクトホール、591…開口部、700…画素部、900…検査回路、CA、CB…容量部、Ca(i)-k、Cb(i)-k…コンデンサ、画素電位側電極511-k

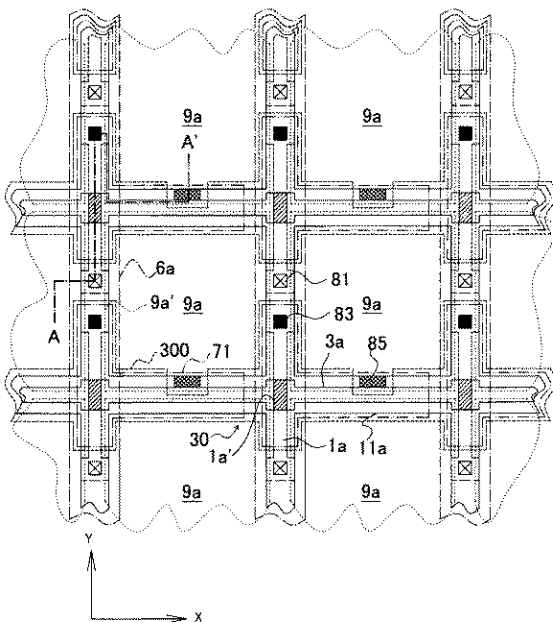
【図1】



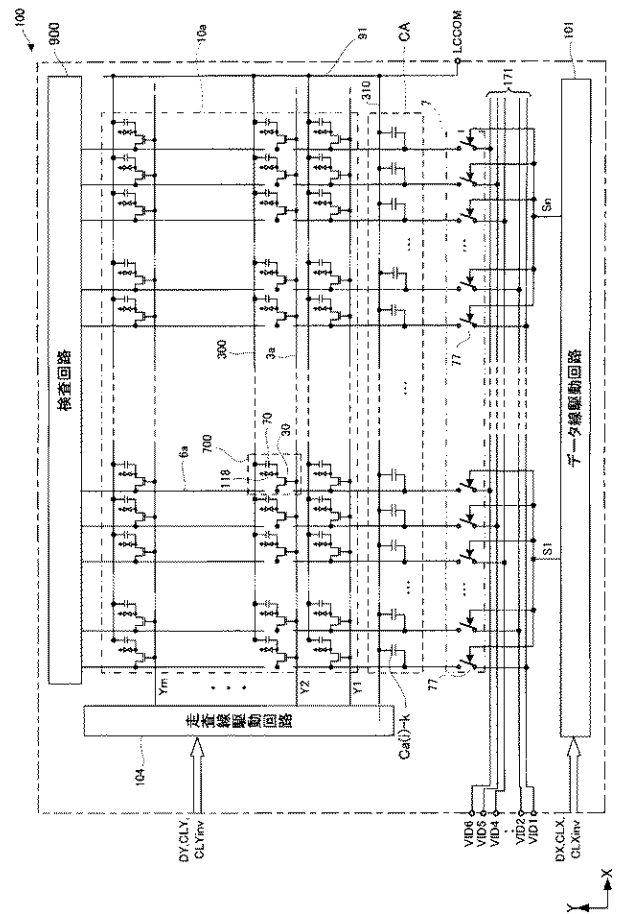
【図2】



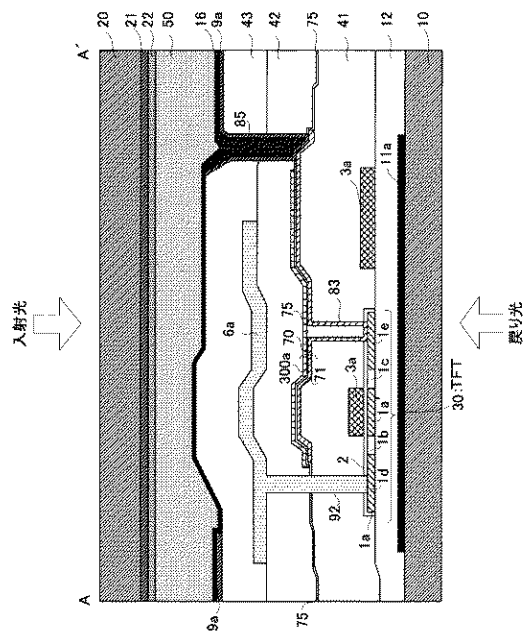
【図4】



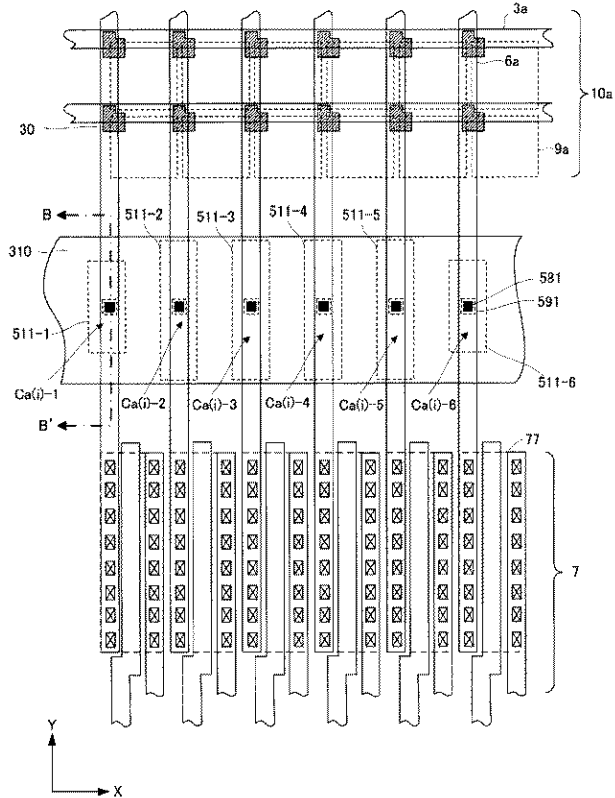
【図3】



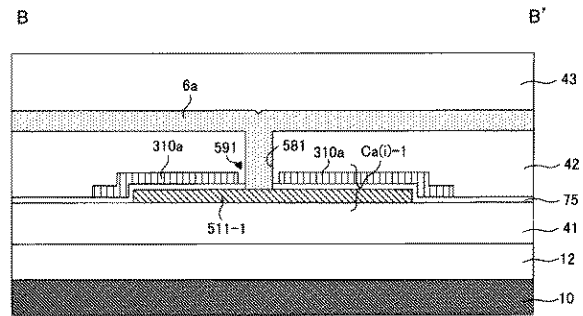
【例5】



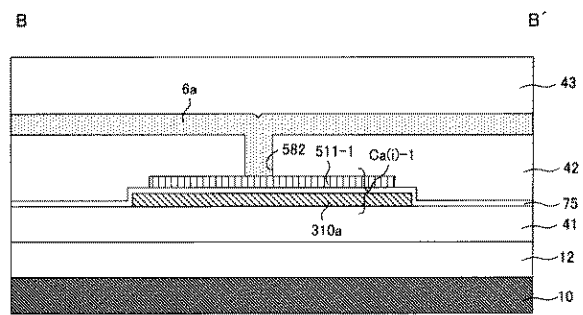
【図6】



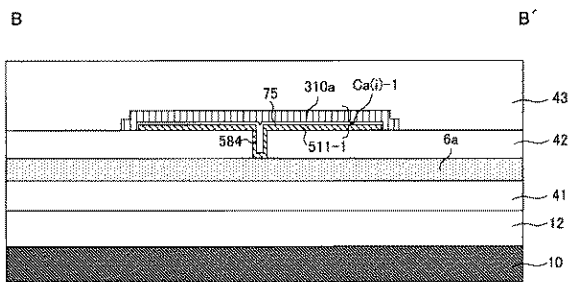
【図7】



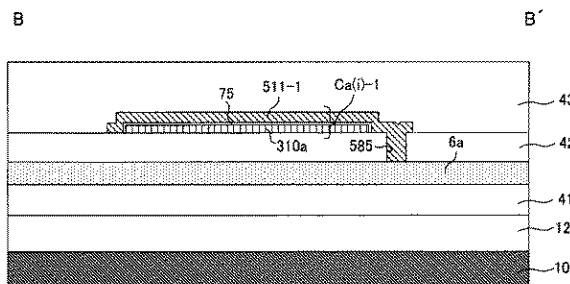
【図8】



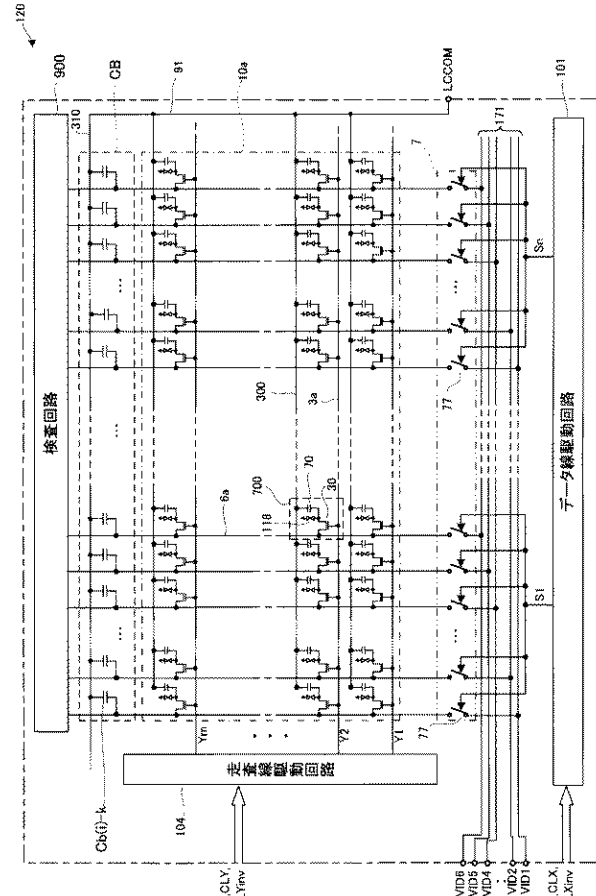
【図9】



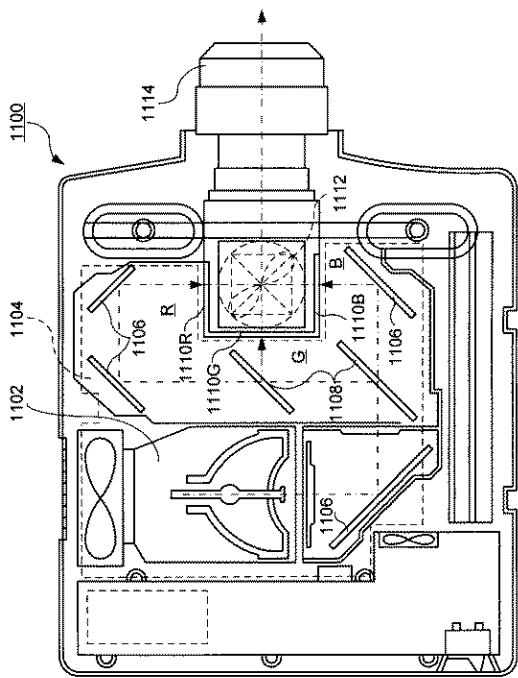
【図10】



【図11】



【図12】



(51)Int.Cl.		F I		テーマコード (参考)
G 0 9 G	3/36	(2006.01)	G 0 9 G 3/20	6 8 0 G
			G 0 9 G 3/20	6 2 3 L
			G 0 9 G 3/20	6 2 3 A
			G 0 9 G 3/20	6 2 3 J
			G 0 9 G 3/20	6 1 1 Z
			G 0 9 G 3/36	

F ターム(参考) 5C006 AF43 BC08 BC20 BC23 BF11 BF37 BF41 FA31 FA41
 5C080 AA10 BB05 DD12 DD22 JJ02 JJ03 JJ06 KK02 KK07 KK43
 5C094 AA03 AA15 BA03 BA27 BA31 BA43 CA19 DA13 DB01 FB19
 HA08