PTO/SB/05 (08-03)
Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office. U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

UTILITY PATENT APPLICATION TRANSMITTAL

(Only for new nonprovisional applications under 37 CFR 1.53(b))

Attorney Docket No.	**520.51700X00**
First Inventor	**Kouichi ANNO**
Title	**DISPLAY DEVICE**
Express Mail Label No.	

APPLICATION ELEMENTS
SEE MPEP chapter 600 concerning utility patent application contents.

ADDRESS TO: **Commissioner for Patents**
P.O. Box 1450
Alexandria VA 22313-1450

1. ☒ **Fee Transmittal Form** (e.g. PTO/SB/17)
(Submit an original and a duplicate for fee processing)

2. ☐ **Applicant claims small entity status.**
See 37 CFR 1.27.

3. ☒ **Specification** [*Total Pages* 48]
Both the claims and abstract must start on a new page
(For information on the preferred arrangement, see MPEP 608.01 (a))

4. ☒ **Drawing(s)** *(35 U.S.C. 113)* [*Total Sheets* 8]

5. **Oath or Declaration** [*Total Sheets*]
a. ☐ Newly executed (original or copy)
b. ☐ A copy from a prior application (37 CFR 1.63(d))
(for continuation/divisional with Box 18 completed)
i. ☐ DELETION OF INVENTOR(S)
Signed statement attached deleting inventor(s)
Name in the prior application, see 37 CFR 1.63(d)(2) and 1.33(b).

6. ☐ **Application Data Sheet.** See 37 CFR 1.76

7. ☐ **CD-ROM or CD-R** in duplicate, large table or Computer Program (Appendix)
☐ Landscape Table on CD

8. ☐ **Nucleotide and/or Amino Acid Sequence Submission**
(if applicable, items a. – c. are required)
a. ☐ Computer Readable Form (CFR)
b. Specification Sequence Listing on:
i. ☐ CD-ROM or CD-R (2 copies); or
ii. ☐ Paper
c. ☐ Statements verifying identity of above copies

ACCOMPANYING APPLICATION PARTS

9. ☐ **Assignment Papers** (cover sheet & documents(s))
Name of Assignee _____

10. ☐ **37 CFR 3.73(b) Statement** ☐ **Power of Attorney**
(*when there is an assignee*)

11. ☐ **English Translation Document** (*if applicable*)

12. ☒ **Information Disclosure Statement** (PTO/sb/08 OR pto-1449)
☒ Copies of citations attached

13. ☐ **Preliminary Amendment**

14. ☐ **Return Receipt Postcard** (MPEP 503)
(Should be specifically itemized)

15. ☐ **Certified Copy of Priority** Document(s)
(if foreign priority is claimed)

16. ☐ **Nonpublication Request** under 35 U.S.C. 122 (b)(2)(B)(i). Applicant must attach form PTO/SB/35 or equivalent.

17. ☒ Other: **Figs. 1-9**

18. If a CONTINUING APPLICATION, *check appropriate box, and supply the requisite information below and in the first sentence of the specification following the title, or in an Application Data Sheet under 37 CFR 1.76:*

☐ Continuation ☐ Divisional ☐ Continuation-in-part (CIP) of prior application No.:

Prior application information: *Examiner:* _____ *Art Unit:* _____

19. CORRESPONDENCE ADDRESS

☒ The address associated with Customer Number: **020457** OR ☐ Correspondence address below

Name					
Address					
City		*State*		*Zip Code*	
Country		*Telephone*		*Fax*	
Signature	**/Melvin Kraus/**		*Date June 2, 2011*		
Name (Print/Type)	**Melvin Kraus**			*Registration No. (Attorney/Agent)*	**22,466**

This collection of information is required by 37 CFR 1.53(b). The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Mail Stop Patent Application, Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

BOE Ex. 1002, p. 1
BOE v. Paneltouch
IPR2025-01482

PTO/SB/17 (12-04v2)
Approved for use through 07/31/2006. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Effective on 12/08/2004
Fee pursuant to the Consolidated Appropriations Act. 2005 (H.R. 4818).

FEE TRANSMITTAL

For FY 2005

☐ Applicant claims small entity status. See 37 CFR 1.27

TOTAL AMOUNT OF PAYMENT **($)1,090.00**

Complete if Known	
Application Number	**To be assigned**
Filing Date	**June 2, 2011**
First Named Inventor	**Kouichi ANNO**
Examiner Name	
Art Unit	
Attorney Docket No.	**520.51700X00**

METHOD OF PAYMENT (check all that apply)

☐ **Check** ☒ **Credit Card** ☐ **Money Order** ☐ **None** ☐ **Other** (please identify):

☒ **Deposit Account** Deposit Account Number 01-2135 Deposit Account Name Antonelli, Terry, Stout & Kraus, LLP

The Director **is authorized to**: (*check all that apply*)

☐ Charge fee(s) indicated below
☒ Charge any additional fee(s) or underpayments of fee (s). under 37 CFR 1.16 and 1.17
☐ Charge fee(s) indicated below, except for the filing fee
☒ Credit any overpayments

WARNING: Information on this form may become public. Credit card information should not be included on this form. Provide credit card information and authorization on PTO-2038.

FEE CALCULATION

1. BASIC FILING, SEARCH, AND EXAMINATION FEES

	FILING FEES	Small Entity	SEARCH FEES	Small Entity	EXAMINATION FEES	Small Entity	
Application Type	**Fee ($)**	**Fee ($)**	**Fee ($)**	**Fee ($)**	**Fee ($)**	**Fee ($)**	**Fees Paid $**
Utility	330	165	540	270	220	110	**1090.00**
Design	220	110	100	50	140	70	
Plant	220	110	330	165	170	85	
Reissue	330	165	540	270	650	325	
Provisional	220	110	0	0	0	0	

2. EXTRA CLAIM FEES

Fee Description	**Fee ($)**	**Small Entity Fee($)**
Each claim over 20 (including Reissues)	52	26
Each independent claim over 3 (including Reissues)	220	110
Multiple dependent claims	390	195

Total Claims	**Extra Claims**	**Fee ($)**	**Fee Paid ($)**	**Multiple Dependent Claims Fee ($)**	**Multiple Dependent Claims Fee Paid ($)**
12 -20 or HP =	0	x 0 =	0		0

HP= highest number of total claims paid for, if greater than 20.

Indep. Claims	**Extra Claims**	**Fee ($)**	
2 -3 or HP =	0	x 0 =	0

HP=highest number of independent claims paid for, if greater than 3.

3. APPLICATION SIZE FEE

If the specification and drawings exceed 100 sheets of paper (excluding electronically filed sequence or computer listings under 37 CFR 1.52(e)), the application size fee due is $270 ($135 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41 (a)(1)(G) and 37 CFR 1.16(s).

Total Sheets	**Extra Sheets**	**Number of each additional 50 or fraction thereof**	**Fee($)**	**Fee Paid ($)**
56 -100	0	/50= (round up to a whole number) x	270.00 =	0

4. OTHER FEE (S)

	Fee Paid ($)
Non-English Specification, $130 fee (no small entity discount)	0
Other (e.g., late filing surcharge):	0

SUBMITTED BY				**Complete (*if applicable*)**	
Signature	/Melvin Kraus/	*Registration No. (Attorney/Agent)*	**22,466**	*Telephone*	**(703) 312-6600**
Name (Print/Type)	Melvin Kraus			*Date*	**June 2, 2011**

This collection of information is required by 37 CFR 1.136. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 30 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

TITLE OF THE INVENTION

DISPLAY DEVICE

CLAIM OF PRIORITY

The present application claims priority from Japanese Patent Application JP 2010-126877 filed on June 2, 2010, the content of which is hereby incorporated by reference into this application.

BACKGROUND OF THE INVENTION

1. Field of the Invention

The present invention relates to a display device. The invention particularly relates to a technique of facilitating the inspection for signal interconnects formed in the region outside detection and display areas for the display device.

2. Description of the Prior Art

A liquid crystal display panel is configured such that a first substrate is opposed to second substrate by way of a liquid crystal layer, in which the first substrate (TFT substrate) is formed with thin film transistors, pixel electrodes, etc. and the second substrate (color filter substrate) is formed with color filters, etc. The liquid crystal display panel having such a structure is manufactured as follows. The first substrate (TFT substrate), which contains circuit patterns for the liquid crystal display

BOE Ex. 1002, p. 3
BOE v. Paneltouch
IPR2025-01482

devices by a plurality number of sheets, is bonded to the second substrate (color filter substrate) including color filters, etc., where liquid crystals are sealed between the substrates. The thus-formed glass substrate is then cut on every liquid crystal display device. If chipping or crack is formed at the end of the glass substrate at the cutting step or during handling of the glass substrate, a problem with interconnect defect arises in which signal interconnects formed over the substrate are disconnected at the same time with occurrence of substrate chipping or cracking.

In a display device mounted on a mobile information terminal, a coordinate input device referred to as a touch panel is attached to the liquid crystal display panel on the side of the display surface and so image display is generally controlled based on the information provided by the display image and the contact position. The touch panel has such a structure that electrodes are formed in a detection region over a glass substrate and signal interconnects for supplying driving signals to the electrodes are formed at the periphery of the detection region. Accordingly, a problem with interconnect defect arises in which the signal interconnects are disconnected at the same time with occurrence of substrate chipping or cracking as is the case with the liquid crystal display panel.

JP-A-2002-350896, for example, discloses a liquid

BOE Ex. 1002, p. 4
BOE v. Paneltouch
IPR2025-01482

crystal display device as a method of detecting such interconnect defect. The liquid crystal display device described in JP-A-2002-350896 is configured as follows. Common interconnects arranged in parallel are connected to each other at the peripheral edge portion of the display screen and the display screen is formed with an opening at a central portion thereof, thereby enabling detection of disconnection of the common interconnects using an array technique.

Further, JP-A-1997-80478 discloses a technique of detecting short-circuit of drain lines by using a provisional interconnect formed in parallel with gate lines. Further, JP-A-1995-152043 discloses a technique of forming a liquid crystal display device pattern by a plurality number of sheets per one glass substrate. In such a technique, when the glass substrate is divided into liquid crystal display devices at a cutting step, common interconnects for connecting interconnects to each other are provided for regions where the liquid crystal display devices are separated.

SUMMARY OF THE INVENTION

Since the touch panel is attached to the liquid crystal display panel on the side of the display surface and adapted to detect an operator's input instruction, a light shielding film is disposed at the periphery of a detection region so as

to cover the region in which the interconnect region, etc. are formed. If the touch panel is attached to the liquid crystal display panel on the side of the display, therefore, the interconnect region is located between the light shielding film and the liquid crystal display panel. This makes it extremely difficult to perform visual inspection for disconnection of signal interconnects attributable to substrate chipping or cracking. Therefore, it is difficult to discover, until the final inspection that requires much time for inspection, disconnection of signal interconnects which possibly occur after bonding of the liquid crystal display panel to the touch panel. What is needed is a simple inspection method.

On the other hand, since the method described in JP-A-2002-350896 requires inspection on every signal interconnect, it may take extremely much time as is the case with the final inspection. In contrast, none of JP-A-1997-80478 and JP-A-1995-152043 includes a description about the inspection of signal interconnects.

The present invention has been made in view of the problems described above, and the object of the invention is to provide a technique that can simply determine pass/failure of signal interconnects for chipping or cracking of a substrate without increase in the number of manufacturing steps.

(1) To solve the problems described above, the present invention provides a display device comprising:

a coordinate input device including

a transparent substrate having detection electrodes disposed in a detection region corresponding to a contact position, the transparent substrate having a first signal interconnect disposed in a region outside the detection region, the first signal interconnect having one end connected to the detection electrodes and being formed with a first electrode terminal at the other end thereof, and

a flexible interconnect substrate connected to the first electrode terminal, the flexible interconnect substrate used for supplying a driving signal to the detection electrodes by way of the first signal interconnect and extracting a detection signal from the detection electrodes; and

a display panel for image display based on a video signal from an external system, the coordinate input device being disposed on the display panel at the side of a display screen;

wherein the coordinate inputting device has a second signal interconnect disposed outside the first signal interconnect but near the peripheral edge of the transparent substrate, the second signal interconnect surrounding the area where the detection region is included and the first signal

interconnect is formed, the second signal interconnect being opened at opposite ends thereof and being connected to respective electrode terminals for inspection at the open ends, and

wherein the second signal interconnect is formed of a thin conductive film disposed along the peripheral edge portion of the transparent substrate.

(2) To solve the problems described above, the present invention further provides a display device comprising:

a first substrate formed with

a plurality of video signal lines,

a plurality of scanning signal lines intersecting the video signal lines,

electrode terminals receiving a driving signal and a control signal from the video signal lines, the scanning signal lines, and an external system, and

a third signal interconnect connecting the video signal lines and the scanning signal lines with the electrode terminals; and

a flexible interconnect substrate connected to the first substrate, the flexible interconnect substrate used for supplying the driving signal to the video signal lines and the scanning signal lines by way of the electrode terminals and the third signal interconnect;

a region surrounded by the video signal lines and the

scanning signal lines being a pixel area;

a region where the pixels are formed in a matrix being a display area;

the third signal interconnect being formed in a region outside the display area; and

a fourth signal interconnect disposed outside the third signal interconnect but near the peripheral edge of the transparent substrate, the fourth signal interconnect surrounding the area where the display area is included and the third signal interconnect is formed, the fourth signal interconnect being opened at opposite ends thereof and being connected to respective electrode terminals for inspection at the open ends;

wherein the fourth signal interconnect is formed of a conductive thin film disposed along the peripheral edge portion of the transparent substrate.

According to the present invention, pass/failure of signal interconnects for substrate chipping or cracking can simply be examined without increase in the number of manufacturing steps.

Other effects of the invention will become apparent with reference to the entire description in the specification.

BRIEF DESCRIPTION OF THE DRAWINGS

Fig. 1 is a cross sectional view for explaining the

entire constitution of a liquid crystal display device as a display device according to Embodiment 1 of the invention;

Fig. 2 is a diagram for explaining the schematic constitution of the liquid crystal display panel of Embodiment 1;

Fig. 3 is a diagram for explaining the schematic constitution of a touch panel according to Embodiment 1;

Fig. 4 is a view in which chipping occurs in a third substrate of a touch panel in the liquid crystal display device of Embodiment 1 shown in Fig. 3;

Fig. 5 is a diagram for explaining a schematic constitution of a touch panel in a display device according to Embodiment 2 of the invention;

Fig. 6 is a diagram for explaining a schematic constitution of a touch panel in a display device according to Embodiment 3 of the invention;

Fig. 7 is a diagram for explaining a schematic constitution of a touch panel in a display device according to Embodiment 4 of the invention;

Fig. 8 is a diagram for explaining a schematic constitution of a flexible printed substrate in a tough panel of Embodiment 1; and

Fig. 9 is a diagram for explaining a schematic constitution of a liquid crystal display panel as a display device according to Embodiment 5 of the invention.

DESCRIPTION OF PREFERRED EMBODIMENTS

Preferred embodiments of the present invention will be described with reference to the drawings. In the following explanation, identical constituent elements carry the same references for which duplicate descriptions are to be omitted.

(Embodiment 1)

(Entire constitution)

Fig. 1 is a cross sectional view for explaining the entire constitution of a liquid crystal display device as a display device according to Embodiment 1 of the invention, and the display device of the Embodiment 1 will be described with reference to Fig. 1. The constitution other than that of detection interconnects in the liquid crystal display device of Embodiment 1 is identical with that of well-known liquid crystal display devices. Accordingly, the detection interconnect will be described specifically in the following description. Further, X, Y, and Z in the drawing show X axis, Y axis, and Z axis respectively. Further, while description of Embodiment 1 is to be made of a liquid crystal display panel as the display panel, it is not restricted thereto but may also be a constitution using, for example, an organic EL display panel, etc.

As shown in Fig. 1, a display device of Embodiment 1 includes a liquid crystal display panel PNL, and a capacitive

touch panel (coordinate input device) TP attached to the liquid crystal display panel PNL on the side of the display surface (frontal side). The display device can detect the coordinate position in the direction XY on the liquid crystal display panel PNL. The liquid crystal display panel PNL is bonded to the touch panel TP by a transparent, that is, light permeable adhesive ADL. On the other hand, a backlight device BL is disposed on the liquid crystal display panel PNL on the side of the back surface opposite the display surface. However, the touch panel TP is not restricted to the capacitive type but may be a touch panel of other type such as a resistive type. Further, for bonding of the liquid crystal display panel PNL and the tough panel TP, a pressure sensitive adhesive such as a silicon gel which can be peeled and re-bonded may also be used instead of the adhesive ADL.

The liquid crystal display panel PNL includes a first substrate SUB1 and a second substrate SUB2. The substrates SUB1 and SUB2 are opposed by way of a liquid crystal layer (not illustrated). The first substrate SUB1 is larger than the second substrate SUB2 in the direction of Y axis. A driving circuit DR1 and a flexible printed substrate FPC1 are disposed on the first substrate SUB1 on the side of the main surface (liquid crystal surface) corresponding to the region greater than the second substrate SUB2, that is, exposed from the second substrate SUB2. The driving circuit DR1 supplies

driving signals to pixels (not illustrated). The flexible printed substrate FPC1 supplies external signals, etc. to the driving circuit DR1. Further, well-known polarizing plates POL are disposed on the first substrate SUB1 on the side of the back surface, that is, on the side of the backlight device BL, and on the second substrate SUB2 on the side of the display surface respectively.

On the other hand, the touch panel TP includes a third substrate SUB3. A detection electrode (not illustrated) for detecting a contact position is formed on the side of the main surface of the third substrate SUB3, that is, on the side of a viewer. A flexible printed substrate FPC2 is connected to the end of the third substrate SUB3. The flexible printed substrate FPC2 includes a driving circuit DR2 for the touch panel TP provided on the side of the terminal surface. The driving circuit DR2 supplies driving signals to a detection electrode and detects the position of finger contact based on the capacitance change in driving signals supplied to the detection electrode. Further, a light shielding plate LSP and a protective plate (front protective plate) PP are bonded to the third substrate SUB3 by the adhesive ADL on the side of the main surface thereof.

(Constitution of liquid crystal display panel and touch panel)

Then, a diagram for explaining the schematic constitution of the liquid crystal display panel of Embodiment

1 is shown in Fig. 2. A diagram for explaining the schematic constitution of the touch panel of Embodiment 1 is shown in Fig. 3. The liquid crystal display device of Embodiment 1 will be described specifically with reference to Figs. 2 and 3. Fig. 3 is a plan view of the touch panel of Embodiment 1 as viewed from the side of the liquid crystal display panel. X and Y shown in Figs. 2 and 3 represent respectively X-axis and Y-axis, which correspond to X-axis and Y-axis shown in Fig. 1.

Referring to Fig. 2, the liquid crystal display panel PNL of Embodiment 1 includes a first substrate SUB1, a second substrate SUB2, and a liquid crystal layer (not illustrated). The first substrate SUB1 is formed with pixel electrodes PX, thin film transistors TFT, etc. The second substrate SUB2 is formed with a color filter (not illustrated) and a black matrix, the second substrate SUB2 being opposed to the first substrate SUB1. The liquid crystal layer (not illustrated) is put between the first substrate SUB1 and the second substrate SUB2. Further, an unillustrated backlight unit (backlight device) as a light source for the liquid crystal display panel PNL is provided on the side of the rear face. Such a backlight is combined with the liquid crystal display panel PNL so as to provide image display. The first substrate SUB1 and the second substrate SUB2 are fixed by means of a seal member SL applied in a circular shape at the periphery of the second substrate and also the liquid crystal is sealed thereby.

BOE Ex. 1002, p. 14
BOE v. Paneltouch
IPR2025-01482

In the following description, the liquid crystal display panel PNL is also referred to as a liquid crystal display device.

The first substrate SUB1 and the second substrate SUB2 are generally formed, for example, of a well known glass substrate as the substrate but the material is not restricted only to the glass substrate but other insulative substrates such as quartz glass or plastic (resin) may also be used. For example, the use of quartz glass allows the process temperature to be increased. Thus the thin film transistor TFT has a densified gate insulating film, leading to improvement in reliability. In contrast, the use of a plastic (resin) substrate provides a liquid crystal display device light in weight and satisfactory in impact resistance.

Further, the liquid crystal display panel PNL of Embodiment 1 is such that a region formed with display pixels (hereinafter simply referred to as pixel) forms a display area AR in a region in which the liquid crystal is sealed. Accordingly, even if the liquid crystal is sealed in a region, that region not formed with the pixels and not used for display does not serve as the display area AR.

In the liquid crystal display device of Embodiment 1, scanning signal lines (gate lines) GL extends in the direction X and juxtaposed in the direction Y, while video signal lines (drain lines) DL extends in the direction Y and juxtaposed in the direction X in the surface of the first substrate SUB1 on

BOE Ex. 1002, p. 15
BOE v. Paneltouch
IPR2025-01482

the side of the liquid crystals and within the display area AR. A rectangular region surrounded by the drain line DL and the gate line GL is a region where a pixel is formed by which the pixels are arranged in a matrix within the display area AR. As shown in an enlarged view A' of the circle A in Fig. 2, each of the pixels has a thin film transistor TFT, a pixel electrode PX, and a common electrode CT. The thin film transistor TFT is ON-OFF driven in response to a scanning signal from the gate line GL. The pixel electrode PX is supplied with a video signal from the drain line DL by way of the thin film transistor TFT when it is turned ON. The common electrode CT is connected with the common line CL and supplied with a common signal having a potential as a reference to the potential of the video signal.

An electric field containing a component parallel to the main surface of the first substrate SUB1 is generated between the pixel electrode PX and the common electrode CT, thereby driving liquid crystal molecules. Such a liquid crystal display device is known as a device capable of so-called wide view angle display and is referred to as an IPS system (including IPS-Pro system), or a lateral electric field system in that it has the specificity of the application of electric field to the liquid crystal. Further, the liquid crystal display device of such a structure performs display by a normally black display with which light transmittance is

minimized when the electric field is not applied to the liquid crystal (black display) and increase in light transmittance is enhanced by applying the electric field. The liquid crystal display panel may also be a vertical electric field type such as TN system or VA system. With such a vertical electric field type liquid display panel, a common electrode CT is forming on the second substrate SUB2 on the side of the main surface (on the side of the liquid crystal surface) and drives liquid crystal molecules by an electric field generated between the pixel electrode PX formed on the first substrate SUB1 and the common electrode CT formed on the second substrate SUB2.

Each of the drain lines DL and each of the gate lines GL are extended at their ends beyond the seal material SL respectively and connected to the driving circuit DR. In the liquid crystal display device of Embodiment 1, the driving circuit DR is formed of a semiconductor chip and is mounted on the first substrate SUB1. However, the liquid crystal display device of Embodiment 1 may mount, on the flexible printed substrate FPC, one or both of a video signal driving circuit of outputting the video signal and a scanning signal driving circuit of outputting the scanning signal in the form of a tape carrier system or a COF (chip on film) system, whereby the driving circuit is connected to the first substrate SUB1.

In the structure of the common electrode CT shown in

the enlarged view A', a common signal is inputted by way of the common line CL to the common electrodes CT formed independently on every pixel. However this is not limitative but the common electrodes CT may be formed so that the common electrodes CT for the pixels disposed in adjacent with each other in the direction X are connected directly, and a common signal may be inputted by way of the common line CL from one end or both of right and left ends in the direction X (end of the first substrate SUB1).

(Constitution of touch panel)

As shown in Fig. 3, the tough panel TP of Embodiment 1 also has a third substrate SUB3 comprising a flat transparent glass substrate or plastic substrate. The tough panel TP has electrodes formed on the third substrate SUB3 on the side of the main surface thereof (liquid crystal display panel) in this embodiment. The electrodes are used to detect a position of contact with an operator's finger (not illustrated), etc. For example, first detection electrodes YSE extend in the direction X and are juxtaposed in the direction Y for detecting the coordinate position in the direction Y. Second detection electrodes XSE extend in the direction Y and are juxtaposed in the direction X for detecting the coordinate position in the direction X, with the electrodes YSE and electrodes XSE being intersected by way of an insulating film (not illustrated). In Embodiment 1, the first detection

electrodes YSE and the second detections electrode XSE are formed in the transparent region TTA of the touch panel TP, thereby allowing for detection of the coordinate positions in the direction X and in the direction Y within the transparent region TTA. Since the liquid crystal display panel PNL is disposed at the back of the touch panel TP, the first detection electrodes YSE and the second detection electrodes XSE, and an unillustrated insulating film which are formed within the transparent region TTA should be formed of a transparent material so that an operator can view the display content displayed on the liquid crystal panel.

Further, in the touch panel TP of Embodiment 1, a signal interconnect (first signal interconnect) SIG1 for connecting the first detection electrodes YSE and the second detection electrodes XSE with an electrode terminal (first electrode terminal) TRM1 is disposed in the region outside the transparent region TTA. In this case, the first detection electrodes YSE are juxtaposed in the direction Y. Accordingly, the signal interconnect SIG1 connected to the ends of the first detection electrodes YSE are formed between the right and left of the transparent region TTA and the periphery of the third substrate SUB3 in the drawing and connected with the electrode terminal TRM1. Further, the second detection electrodes XSE are juxtaposed in the direction X. Accordingly, the second detection electrodes XSE are connected to the

electrode terminal TRM1 by the signal interconnect SIG1 formed in a region between the lower portion of the transparent region TTA in the drawing and the electrode terminal TRM1.

Further, in the touch panel TP of Embodiment 1, the opening PPO of the light shielding plate LSP is formed smaller than the transparent region TTA and larger than the display area AR of the liquid crystal display panel. With such a constitution, the contact position associated with the image displayed at the end of the display area AR is detected reliably. Further, the opening PPO is formed smaller than the transparent region TTA in which the first detection electrodes YSE and the second detection electrodes XSE are formed, thereby reliably detecting the contact position at the end of the transparent region TTA.

The touch panel TP of Embodiment 1 is configured such that a detection interconnect (second signal interconnect) SIG2 is formed outside of the signal interconnect SIG1. In particular, the detection interconnect SIG2 of Embodiment 1 is formed along the peripheral edge portion corresponding to sides (upper side and right and left sides in Fig. 3) other than one side in which the electrode terminals of the third substrate SUB3 are formed. Further, in Embodiment 1, the interconnect width and the position in forming the interconnect are properly determined according to the accuracy of the exposure device and the etching device, etc. used for

forming the detection interconnect SIG2 on the third substrate SUB3, and the allowance for the size of substrate chipping NP when it is present. Further, the interconnect width of the detection interconnect SIG2 is formed such that the interconnect width is uniform. However, the interconnect width of the detection interconnect SIG2 is not always restricted to the uniform interconnect width. A plurality of electrode terminals TRM1 are arranged along one side of the third substrate SUB3. For the detection interconnect SIG2 of Embodiment 1, one end of the detection interconnect SIG2 is connected to one of a pair of the outermost terminals of paired electrode terminals TRM1 arranged along one side of the third substrate SUB3, and the other end of the detection interconnect SIG2 is connected to the other of a pair of the outermost terminals of the paired electrode terminals TRM1. Further, the detection interconnect SIG2 of Embodiment 1 is formed of a thin metal film such as aluminum of low transmittance to light (particularly, light in a visible region). As described above, the signal interconnect SIG1 and the detection interconnect SIG2 are formed in an identical layer and they can be formed in one identical step by forming the detection interconnect SIG2 using a thin metal film such as of aluminum used for forming the signal interconnect SIG1. This can exhibit a particularly satisfactory effect of forming the detection interconnect SIG2 without increase in the number

of manufacturing steps. Further, by making the detection interconnect SIG2 of the low transmittance thin metal film, disconnection inspection for the detection interconnect SIG2 by inspector's visual observation upon generation of chipping or cracking in the third substrate SUB3 can be performed with ease.

The detection interconnect SIG2 may also be formed of two or more laminate thin films, where at least one single layer of the laminate film is made of a material of lower transmittance than that of the adjacent region. Further, a colorant material may be incorporated in at least one layer of the laminate film forming the detection interconnect SIG2 (colored layer). With such a constitution, the same effect can be exhibited as that attained when the detection interconnect SIG2 is made of a low transmittance thin single film layer.

Further, the touch panel TP of Embodiment 1 is configured such that electrode terminals (not illustrated) of the flexible printed substrate FPC2 are connected electrically to the electrode terminals TRM1 of the tough panel TP. In this case, a driving signal from the driving circuit DR2 is supplied by way of the electrode terminal TRM1, and a detection signal is outputted to the driving circuit DR2. As shown in Fig. 8, in the flexible printed circuit FPC2 of the touch panel TP in Embodiment 1, the electrode terminals

(second electrode terminals) TRM2 formed on the flexible printed substrate FPC2 in the lower portion of the drawing have electrode terminals connected electrically with the detection interconnect SIG2. Specifically, the paired electrode terminals TRM2 disposed on the outermost side among the electrode terminals TRM2 on the side connected to an external system (not illustrated) are electrically connected with the detection interconnect SIG2 by way of signal interconnects FSG on the flexible printed substrate FPC.

(Detection of substrate chipping)

Fig. 4 is a diagram showing a situation where chipping occurs in the third substrate of the touch panel in the liquid crystal display device of Embodiment 1 shown in Fig. 3. The detection operation in the case where chipping (substrate chipping) NP occurs in the third substrate SUB3 of the tough panel will be described with reference to Fig. 4.

The touch panel TP of Embodiment 1 includes a detection interconnect SIG2 formed along the peripheral edge portion of a third substrate SUB3. As a result, if chipping NP occurs in the third substrate SUB3 due to handling or other works of the touch panel after the detection interconnect SIG2 has been formed, then a portion of the detection interconnect SIG2 is absent together with the substrate chipping NP, resulting in disconnection, as shown in Fig. 4. When the region of the substrate chipping NP has a predetermined size or more, an

inspector can easily find (detect) the chipping NP by visual observation because the detection interconnect SIG2 of Embodiment 1 is formed of a material having a low transmittance or permeability.

Further, also when chipping NP occurs in the third substrate SUB3 due to handling or other works upon bonding of the touch panel TP to the liquid crystal display panel PNL, a portion of the detection interconnect SIG2 is absent together with the substrate chipping NP, resulting in disconnection, as shown in Fig. 4. In this case, as shown in Fig. 1, since the chipping NP occurrence location in the third substrate SUB3 is a region put between a light shielding plate LSP and a liquid crystal display panel PNL, it was impossible to find such chipping NP with the existent constitution. By contrast, the touch panel TP of Embodiment 1 has the detection interconnect SIG2 formed of a single thin conductive film connected to the electrode terminal TRM1 at opposite ends. Therefore, presence or absence of disconnection of the detection interconnect SIG2 can be inspected by measuring a portion between the electrode terminals TRM2 led out to the flexible printed substrate FPC. This disconnection of the detection interconnect SIG2, that is, chipping NP in the third substrate SUB3 can be detected easily, for example, by measuring the resistance value between the electrode terminals TRM2 connected to the detection interconnect SIG2 with a measuring instrument for electric

resistance or by inputting a pulse signal to one of the electrode terminals TRM2 and detecting the signal at the other electrode terminal TRM2. Further, based on the result of the measurement by the disconnection inspection, when disconnection of the detection interconnection SIG2 is not detected, it can be judged that no chipping NP occurs in the third substrate SUB3, or judged that there is chipping NP within the predetermined allowance even when chipping NP occurs. On the other hand, if disconnection of the detection interconnect SIG2 is detected, it can be judged that chipping NP over the allowance, which affects also the signal interconnect SIG1, occurs. Further, disconnection by the measurement between the electrode terminals TRM2 connected with the detection interconnect SIG2 can be measured also before bonding with the liquid crystal display panel PNL.

By contrast, if the substrate chipping NP is small or cracking occurs in the direction Y in Fig. 4, then the region where the detection interconnect SIG2 is absent is remarkably small and it is quite difficult to find the same based on the visual inspection of an inspector. However, for the touch panel TP according to Embodiment 1, presence or absence of chipping NP or cracking in the third substrate SUB3 can be inspected by a simple and convenient inspection, conduction test for the detection interconnect SIG2.

As has been described above, the display device of

Embodiment 1 has a capacitive type touch panel disposed on the liquid crystal display panel on the side of the display surface, the liquid crystal display panel displaying images based on the video signals from an external system. The tough panel of Embodiment 1 includes the detection interconnect made of the thin electroconductive metal film of a low transmittance extended along the peripheral edge portion of the third substrate in such a manner as to surround the region in which to form the signal interconnect for connecting the first and second detection electrodes with the electrode terminals and to surround the transparent region where the contact position can be detected, with the detection interconnect having one end connected to the electrode terminal and the other end connected to the other electrode terminal. Accordingly, the inspector can easily inspect substrate chipping in the third substrate by visual observation before bonding of the liquid crystal display panel to the touch panel. In addition, the inspector can inspect substrate chipping by simple measurement such as measurement for resistance, pulse, or the like between the electrodes connected with the detection interconnect even after fixing of the liquid crystal display panel and the touch panel.

(Embodiment 2)

Fig. 5 is a diagram for explaining a schematic constitution of a touch panel in a display device according to

BOE Ex. 1002, p. 26
BOE v. Paneltouch
IPR2025-01482

Embodiment 2 of the invention. Fig. 5 particularly is a front elevational view corresponding to Fig. 4 of Embodiment 1, that is, a front elevational view showing a touch panel in the case where a substrate chipping occurs at one location of a third substrate of the touch panel. However, the display device of Embodiment 2 is different from that of the display device of Embodiment 1 in constitution only for the detection interconnects SIG2 and SIG3 and the electrode terminals TRM1 and TRM2 of the touch panel TP, and the constitution of the liquid crystal display panel and other constitution of the touch panel are identical with that of the display device of Embodiment 1. Accordingly, the following contains detailed description of the constitution of the detection interconnects SIG2, SIG3, and the electrode terminals TRM included in the touch panel. In the following description, the detection interconnect on the side nearer to the peripheral edge portion of the substrate SUB3 is referred to as a first detection interconnect SIG2, and the detection interconnect on the side distant from the peripheral edge portion of the third substrate SUB3 is referred to as a second detection interconnect SIG3. Further, while Embodiment 2 includes description made of an example having two independent detection interconnects SIG2 and SIG3, three or more independent detection interconnects may be formed.

As shown in Fig. 5, also the touch panel TP of

Embodiment 2 has a third substrate comprising a flat transparent glass substrate and has two different detection interconnects SIG2 and SIG3. Further, each of the detection interconnects SIG2 and SIG3 is formed in a region outside the interconnect region where the interconnect of the signal interconnect SIG1 is formed, that is, in a region between the signal interconnect SIG1 and the peripheral side of the third substrate SUB3, similar to Embodiment 1. Further, also the detection interconnects SIG2 and SIG3 of Embodiment 2 are formed along the peripheral edge portion of sides (upper side and right and left sides in Fig. 5) other than one side in which the electrode terminals TRM1 of the third substrate SUB3 are formed. In the touch panel TP of Embodiment 2, a first detection interconnect SIG2 is disposed on the side near to the peripheral edge portion of the third substrate SUB3 and a second detection interconnect SIG3 is disposed on the side distant from the peripheral edge portion of the third substrate SUB3, that is, on the side near to the signal interconnect SIG1.

For the first detection interconnect SIG2 of Embodiment 2, one end of the first detection interconnect SIG2 is connected to one of a pair of the outermost terminals of paired electrode terminals TRM1 arranged along one side of the third substrate SUB3 (lower portion in Fig. 5), and the other end of the second detection interconnect SIG3 is connected to

the other of a pair of the outermost terminals of the paired electrode terminals TRM1. Further, for the second detection interconnect SIG3, ends of the second detection interconnect SIG3 are connected to the the electrode terminals TRM1 adjacent inwardly of the paired electrode terminals TRM1 connected with the first electrode interconnect SIG2. With the constitution described above, the first detection interconnect SIG2 and the second detection interconnect SIG3 can be formed on the same layer as is the signal interconnect SIG1, that is, they can be manufactured by the same step and same interconnect material as is the signal interconnect SIG1.

The same satisfactory effect as that described for Embodiment 1 can be obtained by forming the first detection interconnect SIG2 and the second detection interconnect SIG3 in the same step as that for the signal interconnect SIG1. Further, a conductive transparent thin film layer may be formed in the same step as is the first detection electrodes YSE or the second direction electrodes XSE and then the first detection interconnect SIG2 and the second detection interconnect SIG3 comprising a laminate of a conductive or non-conductive colored layer, etc. may be formed. In this case, signal interconnects comprising different thin film materials may be provided, for example, by forming the first detection interconnect SIG2 in the same step as that for the signal interconnect SIG1 and forming the second detection

interconnect SIG3 in the same step as that for the first detection electrodes YSE or the second detection electrodes XSE. Thin film materials for the first detection interconnect SIG2 and the second detection interconnect SIG3 may be other thin film materials so long as they form a thin conductive film at low transmittance to light in a visible light region. By forming the detection interconnect SIG2 with such a thin metal film at low transmittance, an inspector can easily inspect, by visual observation, disconnection of the first detection interconnect SIG2 and the second detection interconnect SIG3 when chipping or cracking of the third substrate SUB3 occurs.

Further, also in the touch panel TP of Embodiment 2, electrode terminals TRM1 connected electrically with the first detection interconnect SIG2 and the second detection interconnect SIG3 respectively are formed for the electrode terminals TRM2 formed in the lower portion of the flexible printed substrate FPC2 in the drawing.

Then, an inspection method for substrate chipping NP in the touch panel TP of Embodiment 2 will be described with reference to Fig. 5. In the following, description will be made of a situation where the end of the substrate chipping NP terminates at a portion between the first detection interconnect SIG2 and the second detection interconnect SIG3 as shown in Fig. 5.

If chipping NP occurs in the third substrate SUB3 due to handling or other works of the touch panel after the detection interconnect SIG2 is formed and before the touch panel is fixed to the liquid crystal display panel, a portion of the detection interconnect SIG2 is absent together with the substrate chipping NP, resulting in disconnection, as shown in Fig. 5. In this situation, since the first detection interconnect SIG2 is formed of a low transmittance material or an impermeable material, the inspector can easily find (detect) the chipping NP by visual observation as long as the touch panel is not bonded to the liquid crystal display panel. On the other hand, if chipping NP occurs in the third substrate during the bonding step of the touch panel to the liquid crystal display panel or during the subsequent handling, then presence or absence of disconnection of the detection interconnect SIG2 can be inspected by measuring a portion between the electrode terminals TRM2 led out to the flexible printed substrate FPC. The reason is that both ends of each of the first detection interconnect SIG2 and the second detection interconnect SIG3 are connected with the electrode terminals TRM2 by way of the electrode terminals TRM1.

In the touch panel TP of Embodiment 2, the first detection interconnect SIG2 and the second detection interconnect SIG3 are detection interconnects independent of each other along the peripheral edge portion of the third

substrate SUB3. Accordingly, based on the result of measurement in the disconnection inspection for the first detection interconnect SIG2 and the second detection interconnect SIG3, with the inspection being so simple and convenient inspection, it is possible to recognize the presence or absence for the occurrence of the substrate chipping NP in the third substrate SUB3, which is the same effect as that of Embodiment 1 described previously. In addition, it is possible to recognize the size for the substrate chipping NP, that is, how much the substrate chipping NP occur. For example, when disconnection is not detected for the two first detection interconnect SIG2 and the second detection interconnect SIG3, it can be judged that no chipping NP occurs in the third substrate SUB3, or it can be judged that quite slight substrate chipping NP occurs within an allowable range even if the chipping NP occurs. Further, as shown in Fig. 5, if it is detected that disconnection occurs in only the first detection interconnect SIG2, then it can be judged that the substrate chipping NP occurs but levels of substrate chipping NP fall within a predetermined allowable range. In contrast, if disconnection is detected in both of the detection interconnects of the first detection interconnect SIG2 and the second detection interconnect SIG3, it can be judged that substrate chipping NP over the allowance, which affects also the signal interconnect SIG1, occurs.

Likewise, also in a case where cracking occurs on the third substrate SUB3, cracking can be judged in the same manner as the substrate chipping NP based on the result of detection for the two detection interconnects, that is, the first detection interconnect SIG2 and the second detection interconnect SIG3. Thus the presence or absence for the occurrence of cracking in the third substrate SUB3, and the size of cracking, that is, the how much cracking occurs can be recognized by a simple and convenient inspection.

The touch panel TP of Embodiment 2 has such a configuration that the first detection interconnect SIG2 and the second detection interconnect SIG3 are independent of each other. Thus presence or absence of disconnection in the interconnects can be measured by different measuring methods even when the presence or absence of the disconnection in the two detection interconnects is measured collectively. For example, it is possible to measure a resistance value by applying a DC voltage to the corresponding electrode terminals in the measurement for the presence or absence of disconnection in the first detection interconnect SIG2. On the other hand, for the measurement for the presence or absence of the disconnection in the second detection interconnect SIG3, a pulse voltage is applied to the corresponding electrode terminals, thereby measuring the output from the electrodes.

In Embodiment 2, while description has been made of an example of a detection interconnect where the first detection interconnect SIG2 and the second detection interconnection SIG3 comprise the same thin film material formed in one identical layer, they are not limitative. For example, at least one of the detection interconnects of the first detection interconnect SIG2 and the second detection interconnect SIG3 may be formed of a thin metal film having a lower transmittance than that of the other detection interconnect. Only one of the detection interconnects may have a colored layer of an optional color. Further, while it has been explained for Embodiment 2 to an example where the first detection interconnect and the second detection interconnect are formed of a uniform interconnect width, and the interconnect width, etc. are identical between the first detection interconnect and the second detection interconnect, they are not limitative but they may be formed of different interconnect widths or different colors.

(Embodiment 3)

Fig. 6 is diagram for explaining the schematic constitution of a touch panel in a display device according to Embodiment 3 of the invention, which is a front elevational view showing a touch panel in which substrate chipping NP identical with that in Embodiment 2 occurs. However, the display device of Embodiment 3 is different from that of the

display device of Embodiment 2 in constitution only for the detection interconnects SIG2 and SIG3 and the electrode terminals TRM1 and TRM2 of the touch panel TP. The constitution of the liquid crystal display panel and other constitution of the touch panel are identical with the display device of Embodiment 2. Accordingly, the following contains detailed description of the constitution of the detection interconnects SIG2, SIG3, and the electrode terminals TRM1 and TRM2.

As shown in Fig. 6, also in the touch panel TP of Embodiment 3, the first detection interconnect SIG2 is disposed on the side near to the peripheral edge portion of the third substrate SUB3 and the second detection interconnect SIG3 is disposed on the side distant from the peripheral edge portion of the third substrate SUB3, that is, on the side near the signal interconnect SIG1. In this case, respective one ends of the first detection interconnect SIG2 and the second detection interconnect SIG3 (on the left in Fig. 6) are connected with different electrode terminals TRM1 in the same manner as in Embodiment 2. On the other hand, respective other ends of the first detection interconnect SIG2 and the second detection interconnect SIG3 (on the right in the Fig. 6) are connected with an identical electrode terminal TRM1 as shown by a circle B in Fig. 6. Also the first detection interconnect SIG2 and the second detection interconnect SIG3

may be detection interconnects in the identical layer comprising an identical thin film material, or detection interconnects formed in different layers comprising different thin film materials in the same manner as in Embodiment 2.

As has been described above, in the touch panel TP of Embodiment 3, other ends of the first detection interconnect SIG2 and the second detection interconnect SIG3 (on the right in Fig. 6) are connected with an identical electrode terminal on the third substrate SUB3. This can provide an outstanding effect capable of decreasing the number of terminals for the electrode terminals TRM1 than that of Embodiment 2 in addition to the effect of Embodiment 2 described previously.

It is possible to decrease, in a flexible printed substrate FPC, the number of electrode terminals contacted and connected opposing to the electrode terminals TRM1 formed in the third substrate SUB3, the number of electrode terminals TRM2, as well as the number of signal interconnects electrically connecting the electrode terminals to each other. The cost of the flexible printed substrate FPC greatly depends on the shape and the area. Since the area of the flexible printed substrate FPC can be decreased by decreasing the number of the electrode terminals and the number of the signal interconnects, this can provide a satisfactory effect capable of decreasing the cost of the flexible printed substrate FPC, and, at the same time, capable of decreasing the cost of the

tough panel TP and the display device of Embodiment 3 using the flexible printed substrate FPC.

(Embodiment 4)

Fig. 7 is a diagram for explaining a schematic constitution of a touch panel in a display device according to Embodiment 4 of the present invention, which is a front elevational view corresponding to Fig. 4 of Embodiment 1, that is, a front elevational view in which chipping occurs in the third substrate of the touch panel. However, the display device of Embodiment 4 is different in constitution only for the electrode terminals of the flexible printed substrate FPC of the tough panel TP and other constitutions are identical with that of Embodiment 1. Accordingly, in the following description, constitution of the flexible printed substrate FPC will be described specifically. Constitution of the flexible printed substrate FPC of Embodiment 4 is applicable also to the touch panel of Embodiments 2 and 3.

As shown in Fig. 7, the flexible printed substrate FPC of Embodiment 4 includes electrode terminals TRMT exclusively used for inspection corresponding to the detection interconnect SIG2 disposed at positions different from the positions where the electrode terminals TRM2 are formed. In particular, the electrode terminals TRMT of Embodiment 4 are formed at positions nearer to the electrode terminals TRM1 than the electrode terminals TRM2, that is, at positions near

the main body of the touch panel TP. For obtaining such a constitution, the flexible printed substrate FPC of the touch panel TP according to Embodiment 4 has electrode terminals (not illustrated) of the same number connected to the electrode terminals TRM1 on the upper end in the drawing, that is, on the side connected with the third substrate SUB3. Further, the flexible printed substrate FPC has electrode terminals TRM2 by the number obtained by subtracting the number of the electrode terminals connected with the detection interconnect SIG2 from the number of the electrode terminals for the electrode terminals TRM1 on the side of the lower end in the drawing. In this case, the electrode terminals at the upper end portion and the electrode terminals TRM2 at the lower end of the flexible printed substrate FPC are connected respectively by signal interconnects (not illustrated) formed on the base material of the flexible printing substrate FPC and the signal interconnect SIG1 is electrically led out to the electrode terminals TRM2. Further, in the flexible printed substrate FPC of Embodiment 4, the electrode terminal (third electrode terminal) TRMT formed in a region (position) different from the electrode terminal TRM2 is connected with the electrode terminal on the flexible printed substrate FPC corresponding to the electrode terminal TRM1 connected with the detection interconnect SIG2 by way of the signal interconnect FSG in the flexible printed substrate FPC. The

detection interconnect SIG2 is electrically led out to the flexible printed substrate FPC to the electrode terminal TRMT. The electrode terminal TRMT may also be formed to one surface or both surfaces of the flexible printed substrate FPC either on the side of the surface or on the side of the rear face.

As has been described above, in the Embodiment 4, the electrode terminal TRMT on the side of the flexible printed substrate FPC connected with the detection interconnect SIG2 is formed in a region different from the electrode terminal TRM1 connected to the signal interconnect SIG1. Thus there is exhibited a satisfactory effect of connecting measuring equipment to the electrode terminal TRMT and further shortening the time required for inspection in addition to the effect of the Embodiment 1.

(Embodiment 5)

Fig. 9 is a diagram for explaining the schematic constitution of a liquid crystal display panel as a display device according to Embodiment 5 of the invention in which other constitutions except for the constitution of the detection interconnect SIG3 and the electrode terminals TRM3 are identical with those of the liquid crystal display panel of Embodiments 1 to 4. Accordingly, in the following description, the constitution of the detection interconnect SIG3 and the electrode terminals TRM3 will be described specifically. Further, for the liquid crystal display panel

PNL according to Embodiment 5, description is to be made of an example of using a single detection interconnecting SIG3 in the same manner as in Embodiment 1, but a plurality of detection interconnects SIG3 may also be disposed in the same manner as in Embodiments 2 and 3. Further, the electrode terminals connected to the detection interconnect SIG3 may be disposed at positions different from those for the electrode terminals on the side receiving the display data, control signals, etc. that is, a group of electrode terminals juxtaposed on the side connected with the external system, in the electrode terminals (not illustrated) of the flexible printed substrate FPC in the same manner as in Example 4. In Embodiment 5, while the detection interconnect SIG3 is disposed on the liquid crystal display panel PNL as the display device in Embodiment 5, this is not limitative but applicable also to other display devices such as an organic EL display device.

As shown in Fig. 9, the drain lines DL and the gate lines GL formed in the display area AR is extended beyond the seal material SL and connected as a signal interconnect (third signal interconnect) SIG4 to the driving circuit DR1. Further, the driving circuit DR1 is connected also with the electrode terminal TRM3 by the signal interconnect SIG4, and the display data or control signals are inputted to the driving circuit DR1 by way of the flexible printed substrate FPC1 connected to

BOE Ex. 1002, p. 40
BOE v. Paneltouch
IPR2025-01482

a lower portion of the first substrate SUB1 in the drawing.

In the first substrate SUB1 constituting the liquid crystal display panel PNL of Embodiment 5, a detection interconnect (fourth signal interconnect) SIG2 is formed along the peripheral edge portion thereof. Ends of the detection interconnects SIG2 are connected to different electrode terminals TRM3 respectively, and led out by way of the flexible printed substrate FPC. In the liquid crystal display panel PNL of Embodiment 5, a common line (not illustrated) connected with the not illustrated common electrode and signal interconnects (not illustrated) connected with the common line are also formed inside the detection interconnect SIG2, that is, in a region surrounded by the detection interconnect SIG2.

In the liquid crystal display panel PNL of Embodiment 5, the driving circuit DR1 is disposed in the lower portion of the first substrate SUB1 in the drawing but the configuration for the driving circuit DR1 is not restricted thereto. For example, when a gate driving circuit forming a gate signal by thin film transistor are formed on the light and left of the display area AR in the drawing, the detection interconnect SIG3 is formed so as to surround the gate driving circuit and the signal interconnect connected to the gate driving circuit. The detection interconnect SIG3 is formed in a region between the portion nearest to the peripheral side of the first substrate and the peripheral side of the first substrate SUB1

among the gate driving circuits and the signal interconnects.

As has been described above, in the display device of Embodiment 5, the detection interconnect SIG3 is formed in a region between the display area AR and the peripheral side of the first substrate SUB1 in a region in the upper portion in the drawing where the signal interconnect SIG4 is not formed, and the detection interconnect SIG3 is formed in a region between the signal interconnect SIG4 and the peripheral edge portion of the first substrate SUB1 in a region where the signal interconnect SIG4 is formed along the peripheral edge portion of the first substrate SUB1. Thus the inspector can easily inspect the substrate chipping in the first substrate SUB1 easily by visual observation, as well as substrate chipping can be detected by simple measurement such as resistance or pulse measurement between electrodes connected with the detection interconnect SIG3.

In the touch panel of the display devices of Embodiments 1 to 4, while description has been made of the example of applying the present invention to the capacitive type touch panel capable of detecting two or more detection positions, this not limitative but the invention is also applicable to touch panels of other systems such as a resistance type.

Further, in the touch panel in the display device of Embodiments 1 to 4, the electrode terminals connected with the

BOE Ex. 1002, p. 42
BOE v. Paneltouch
IPR2025-01482

detection interconnect SIG2 is formed also on the flexible printed substrate connected with the third substrate but this is not limitative and electrode terminal may also be formed only to the third substrate.

While inventions made by the inventor have been described specifically with reference to the embodiments of the invention, the inventions are not limited to the embodiments described above but can be modified variously within the range not departing the gist thereof.

BOE Ex. 1002, p. 43
BOE v. Paneltouch
IPR2025-01482

What is claimed is:

1. A display device comprising:

a coordinate input device including

a transparent substrate having detection electrodes disposed in a detection region corresponding to a contact position, the transparent substrate having a first signal interconnect disposed in a region outside the detection region, the first signal interconnect having one end connected to the detection electrodes and being formed with a first electrode terminal at the other end thereof, and

a flexible interconnect substrate connected to the first electrode terminal, the flexible interconnect substrate used for supplying a driving signal to the detection electrodes by way of the first signal interconnect and extracting a detection signal from the detection electrodes; and

a display panel for image display based on a video signal from an external system, the coordinate input device being disposed on the display panel at the side of a display screen;

wherein the coordinate inputting device has a second signal interconnect disposed outside the first signal interconnect but near the peripheral edge of the transparent substrate, the second signal interconnect surrounding the area

BOE Ex. 1002, p. 44
BOE v. Paneltouch
IPR2025-01482

where the detection region is included and the first signal interconnect is formed, the second signal interconnect being opened at opposite ends thereof and being connected to respective electrode terminals for inspection at the open ends, and

wherein the second signal interconnect is formed of a thin conductive film disposed along the peripheral edge portion of the transparent substrate.

2. A display device according to claim 1, wherein the second signal interconnect has a colored thin film layer or a thin film layer having a transmittance at a predetermined level or less.

3. A display device according to claim 1, wherein the second signal interconnect has a thin metal film layer.

4. A display device according to claim 1, wherein the second signal interconnect is formed of two or more conductive thin films.

5. A display device according to claim 4, wherein the second signal interconnect has one end connected to an identical electrode terminal for inspection and the other end connected to different electrode terminals for inspection.

6. A display device according to claim 1, wherein the flexible interconnect substrate has a third electrode terminal connected to the second signal interconnect at a position different from that of the region for forming the second electrode terminal connected with an external system.

7. A display device comprising:

a first substrate formed with

a plurality of video signal lines,

a plurality of scanning signal lines intersecting the video signal lines,

electrode terminals receiving a driving signal and a control signal from the video signal lines, the scanning signal lines, and an external system, and

a third signal interconnect connecting the video signal lines and the scanning signal lines with the electrode terminals; and

a flexible interconnect substrate connected to the first substrate, the flexible interconnect substrate used for supplying the driving signal to the video signal lines and the scanning signal lines by way of the electrode terminals and the third signal interconnect;

a region surrounded by the video signal lines and the scanning signal lines being a pixel area;

a region where the pixels are formed in a matrix being a display area;

the third signal interconnect being formed in a region outside the display area; and

a fourth signal interconnect disposed outside the third signal interconnect but near the peripheral edge of the transparent substrate, the fourth signal interconnect surrounding the area where the display area is included and the third signal interconnect is formed, the fourth signal interconnect being opened at opposite ends thereof and being connected to respective electrode terminals for inspection at the open ends;

wherein the fourth signal interconnect is formed of a conductive thin film disposed along the peripheral edge portion of the transparent substrate.

8. A display device according to claim 7, wherein the fourth signal interconnect has a colored thin film layer or a thin film layer having a transmittance at a predetermined level or less.

9. A display device according to claim 7, wherein the fourth signal interconnect has a thin metal film layer.

10. A display device according to claim 7, wherein the

fourth signal interconnect is formed of two or more conductive thin films.

11. A display device according to claim 10, wherein the fourth signal interconnect has one end connected to an identical electrode terminal for inspection and the other end connected to different electrode terminals for inspection.

12. A display device according to claim 7, wherein the flexible interconnect substrate has electrode terminals connected to the fourth signal interconnect at a position different from that of the region forming the electrode terminal connected with the external system.

ABSTRACT OF THE DISCLOSURE

A technique that can simply determine pass/failure of signal interconnects for chipping or cracking of a substrate without increase in the number of manufacturing steps.

A display device comprises: a coordinate input device including a transparent substrate having a first signal interconnect disposed in a region outside a detection region corresponding to a contact position, the first signal interconnect having one end connected to the detection electrodes and being formed with a first electrode terminal at the other end thereof, and a flexible interconnect substrate connected to the first electrode terminal; and a display panel for image display based on a video signal from an external system; wherein the coordinate inputting device has a second signal interconnect disposed outside the first signal interconnect but near the peripheral edge of the transparent substrate, the second signal interconnect surrounding the area where the detection region is included and the first signal interconnect is formed, the second signal interconnect being opened at opposite ends thereof and being connected to respective electrode terminals for inspection at the open ends, and wherein the second signal interconnect is formed of a thin conductive film disposed along the peripheral edge portion of

BOE Ex. 1002, p. 49
BOE v. Paneltouch
IPR2025-01482

the transparent substrate.

FIG. 1

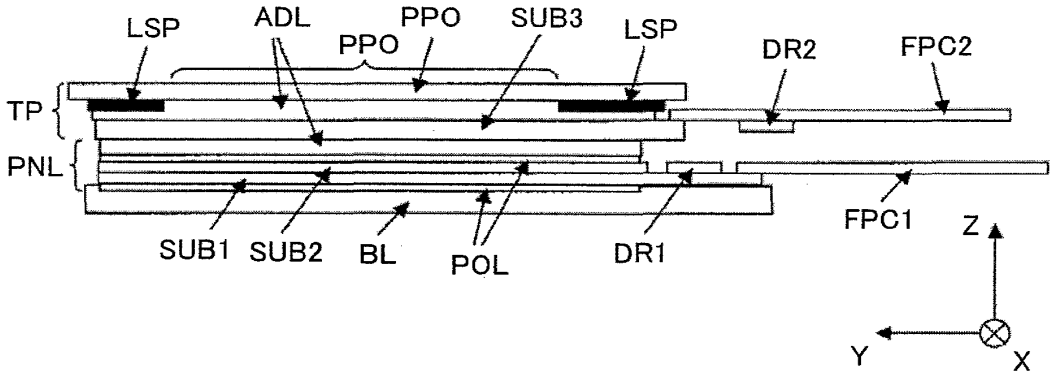
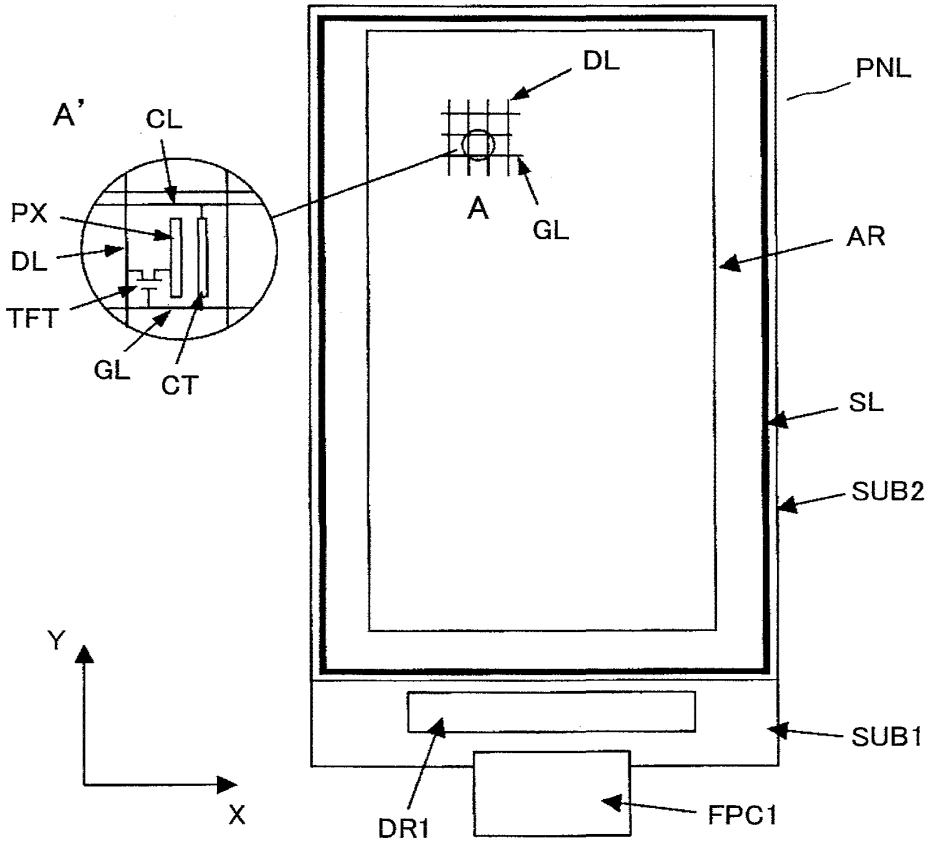
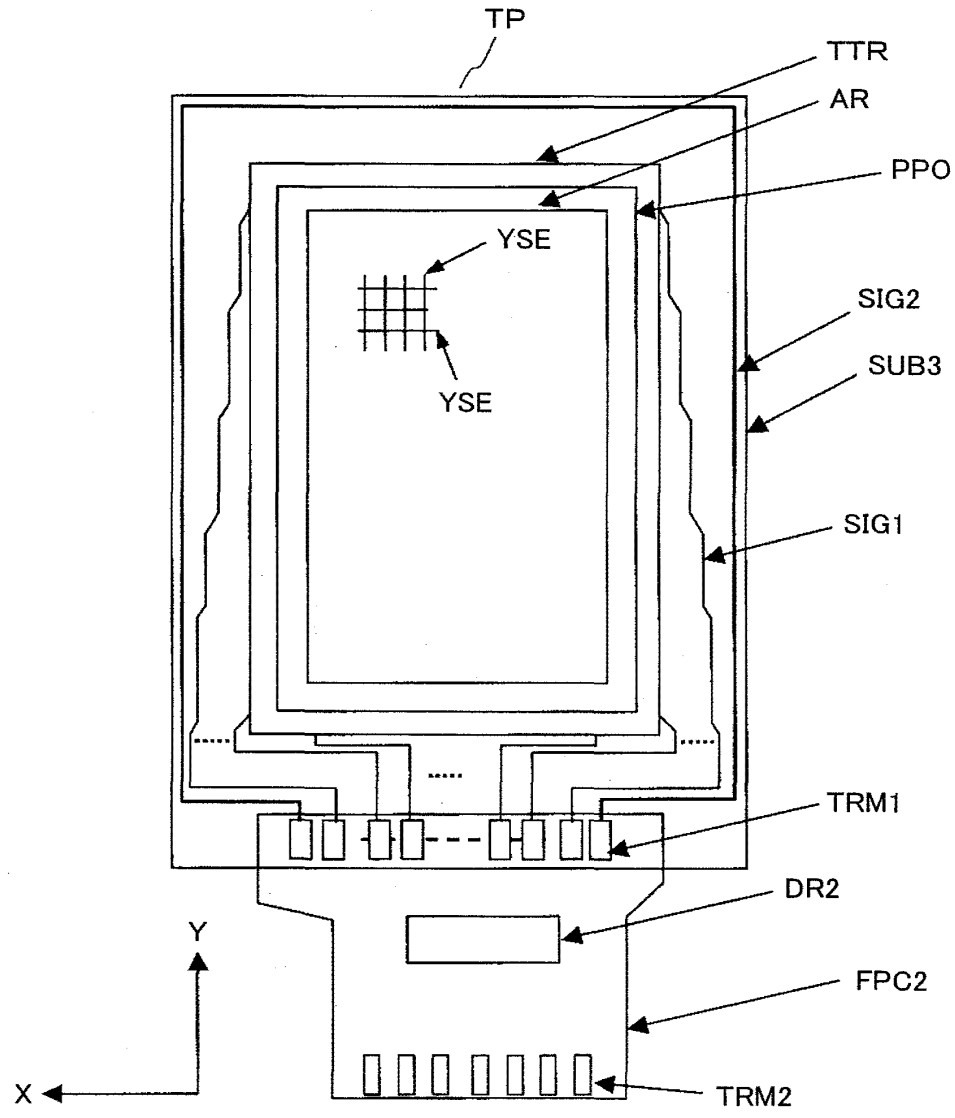


FIG. 2



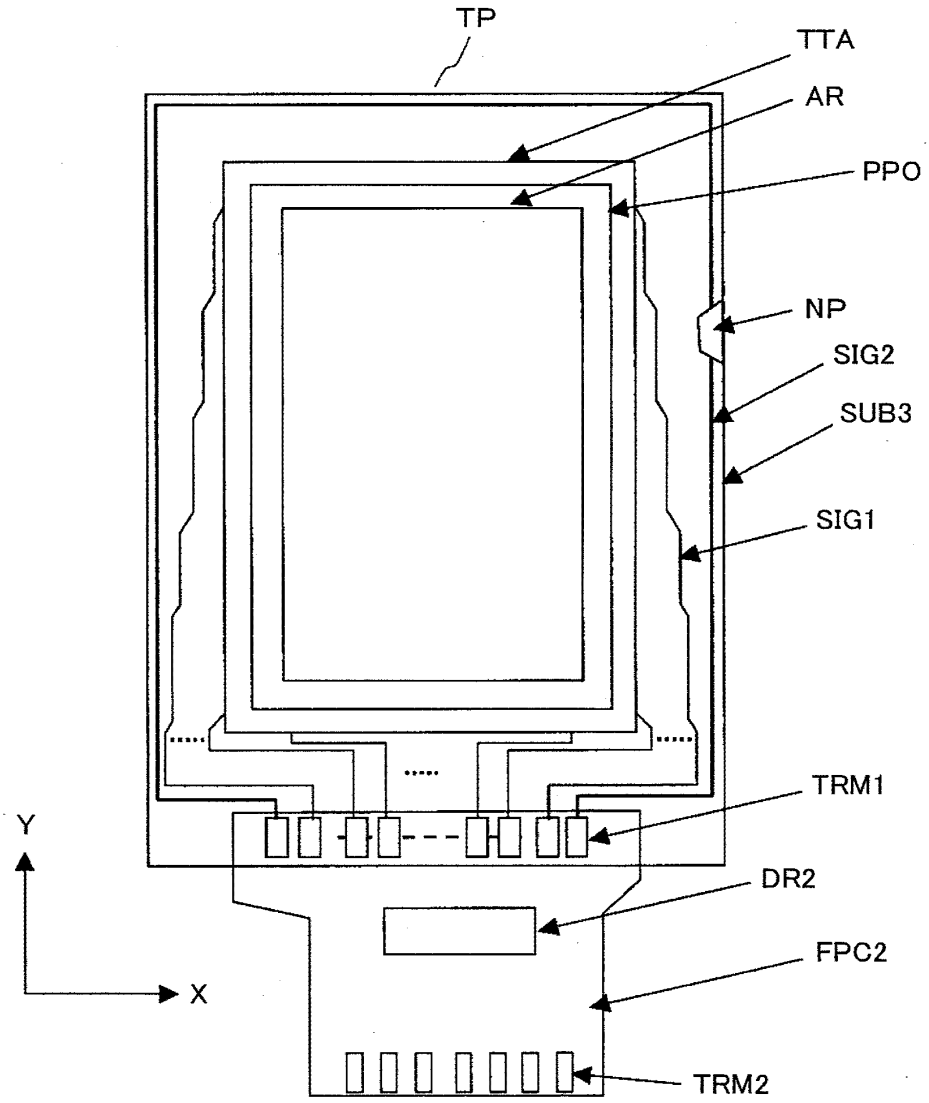
BOE Ex. 1002, p. 51
BOE v. Paneltouch
IPR2025-01482

FIG. 3



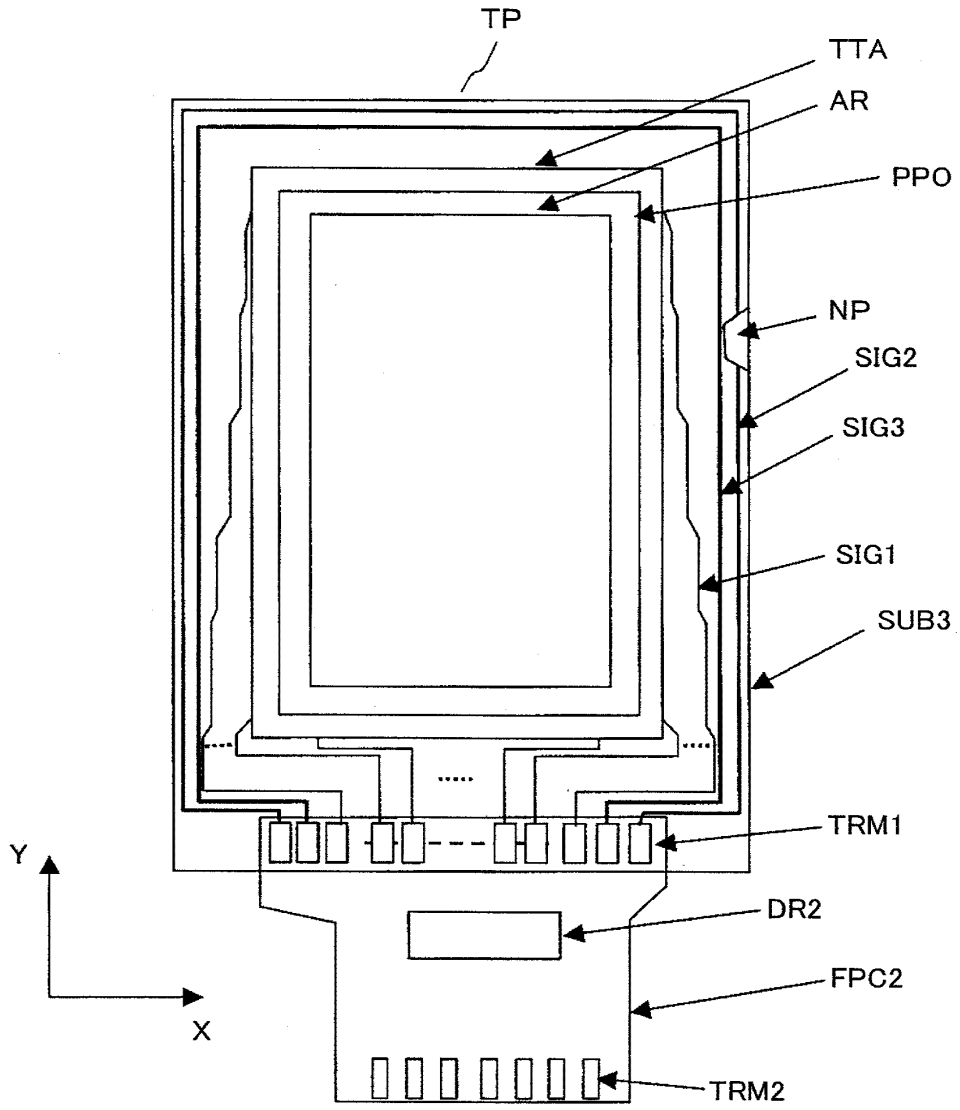
BOE Ex. 1002, p. 52
BOE v. Paneltouch
IPR2025-01482

FIG. 4



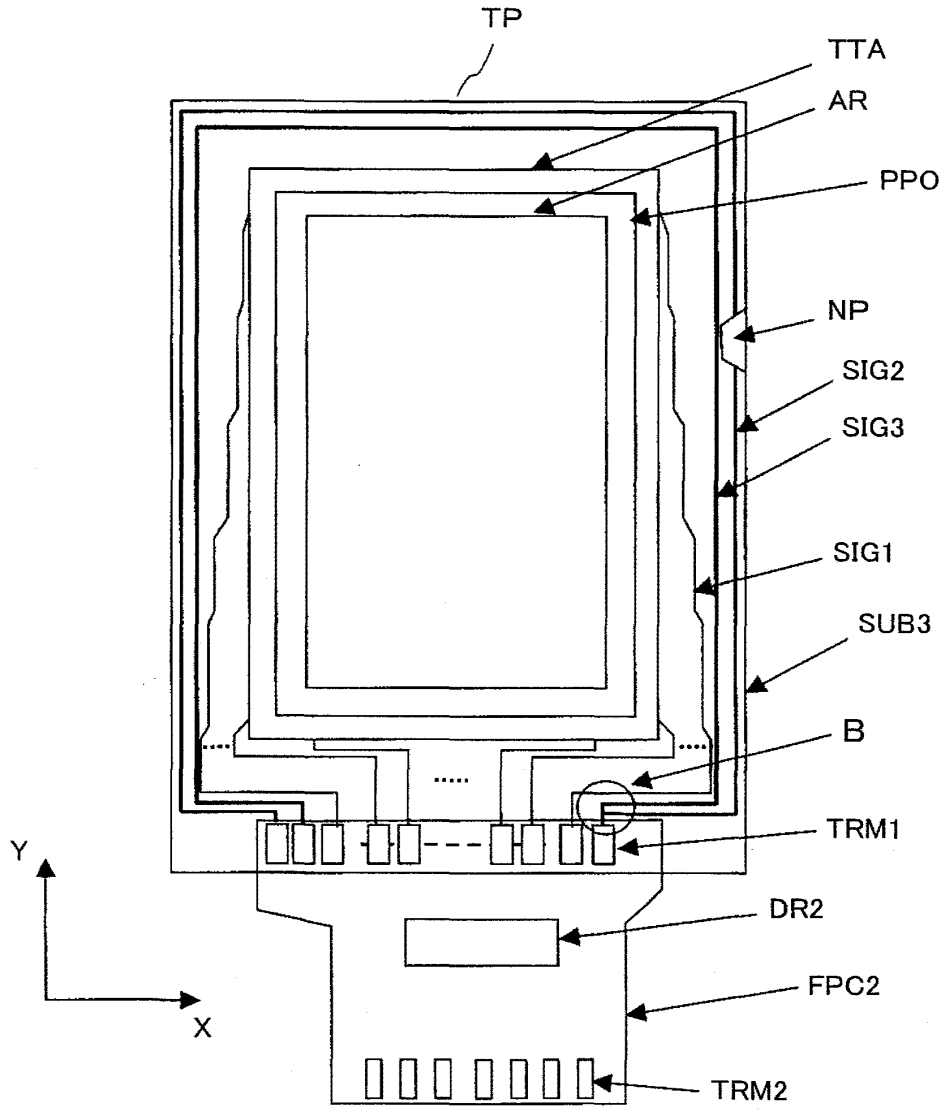
BOE Ex. 1002, p. 53
BOE v. Paneltouch
IPR2025-01482

FIG. 5



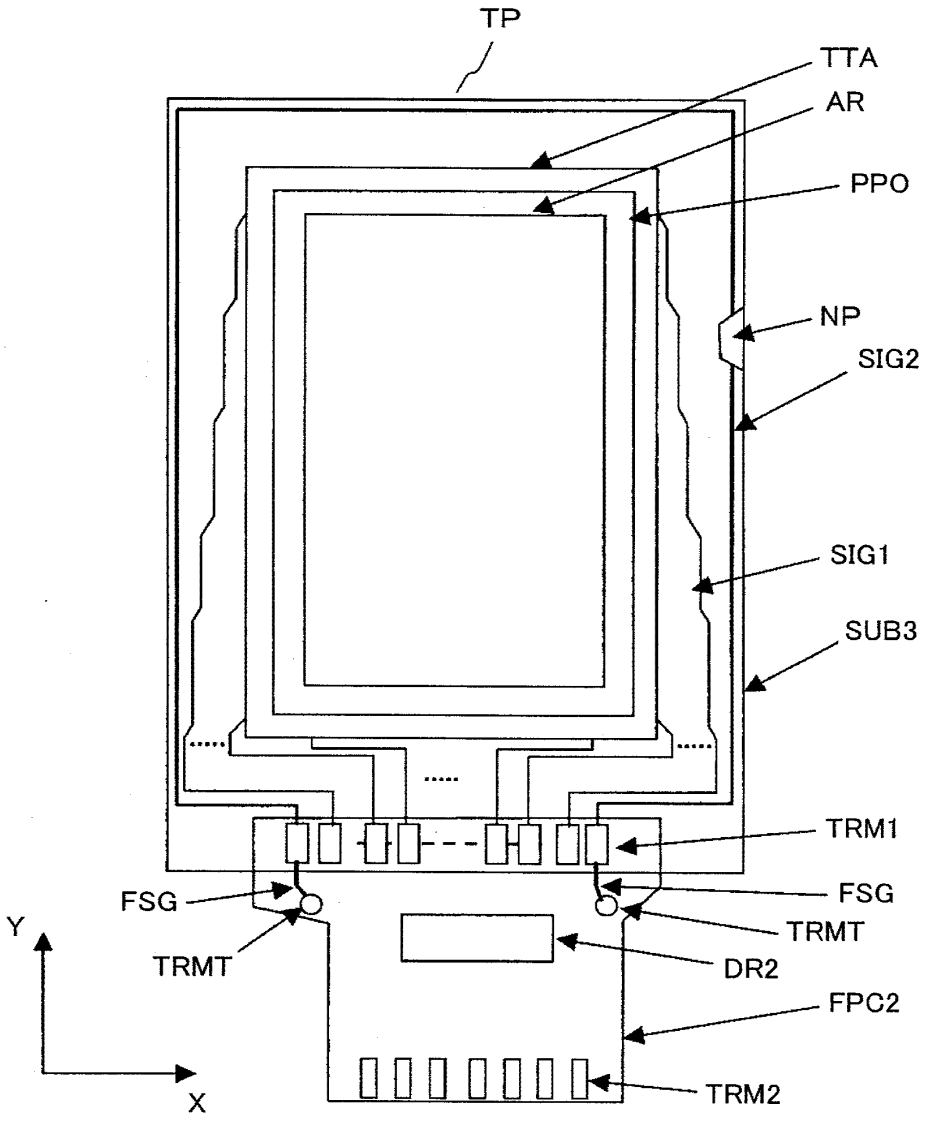
BOE Ex. 1002, p. 54
BOE v. Paneltouch
IPR2025-01482

FIG. 6



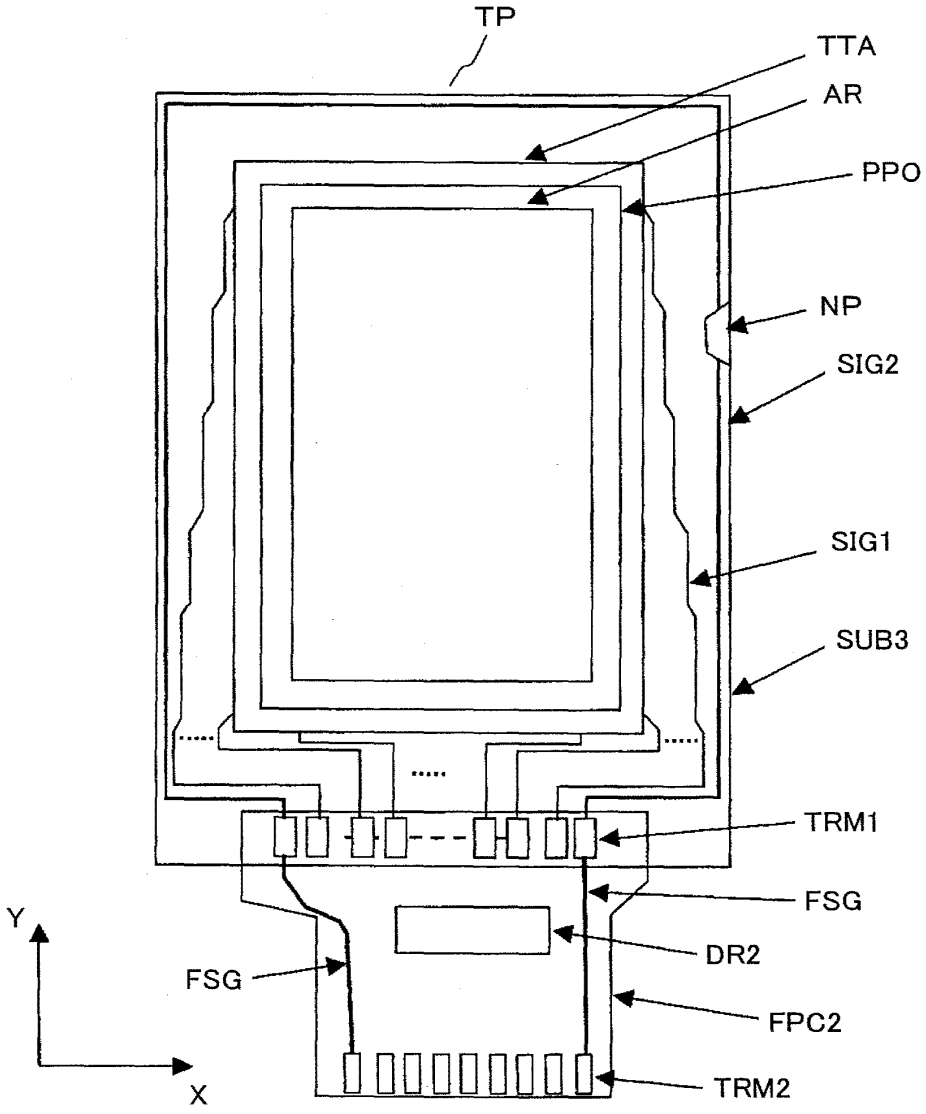
BOE Ex. 1002, p. 55
BOE v. Paneltouch
IPR2025-01482

FIG. 7



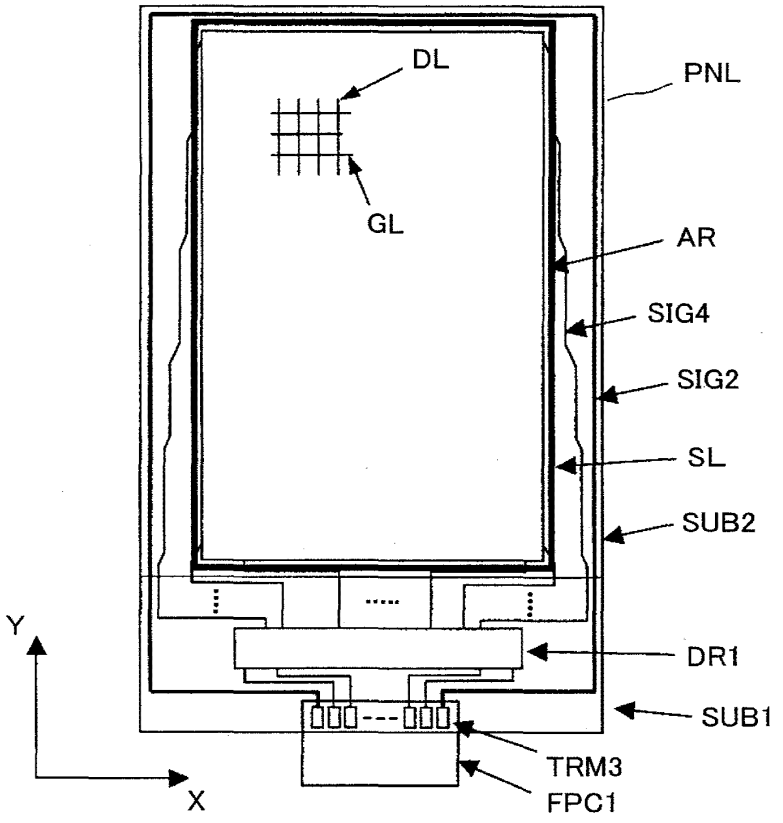
BOE Ex. 1002, p. 56
BOE v. Paneltouch
IPR2025-01482

FIG. 8



BOE Ex. 1002, p. 57
BOE v. Paneltouch
IPR2025-01482

FIG. 9



BOE Ex. 1002, p. 58
BOE v. Paneltouch
IPR2025-01482

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: ANNO, et al.

Serial No.: To be assigned

Filed: June 2, 2011

Title: DISPLAY DEVICE

INFORMATION DISCLOSURE STATEMENT
UNDER 37 CFR 1.97 & 1.98

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

June 2, 2011

Sir:

In the matter of the above-identified application, applicants are submitting herewith a copy of the documents listed in the attached form equivalent to Form PTO/SB/08A for the Examiner's consideration.

This information disclosure statement is being submitted with the new application. Each of the documents listed on the attached form equivalent to Form PTO/SB/08A is in the English language.

It is respectfully requested that this information disclosure statement be considered by the Examiner.

Please charge any shortage in the fees due in connection with the filing of this paper, including excess claim fees, to Deposit Account No. 01-2135 (520.51700X00), and please credit any excess fees to such deposit account.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

/Melvin Kraus/_____
Melvin Kraus
Registration No. 22,466

MK/sv
1300 North Seventeenth Street
Suite 1800
Arlington, VA 22209
Telephone: (703) 312-6600
Fax: (703) 312-6666

BOE Ex. 1002, p. 59
BOE v. Paneltouch
IPR2025-01482

PTO/SB/08A (08-03)
Approved for use through 07/31/2006. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	**To be assigned**
Filing Date	**June 2, 2011**
First Named Inventor	**Kouichi ANNO**
Art Unit	
Examiner Name	
Attorney Docket Number	**520.51700X00**

U.S. PATENT DOCUMENTS

Examiner Initials'	Cite No.[1]	Document Number Number-Kind Code[2] *(if known)*		Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				

FOREIGN PATENT DOCUMENTS

Examiner Initials'	Cite No.[1]	Foreign Patent Document Country Code[3]–Number[4]–Kind Code[5] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T[6]
		JP 2002-350896	12/04/2002	Advanced Display Inc		Eng/tr
		JP 09-080478	03/28/1997	Sharp Corp		Eng/tr
		JP 07-152043	06/16/1995	Fujitsu Ltd		Eng/tr

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. 1 Applicant's unique citation designation number (optional). 2 See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. 3 Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4 For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5 Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. 6 Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-350896

(43)Date of publication of application : 04.12.2002

(51)Int.Cl. G02F 1/1368

G02F 1/1343

H01L 29/786

(21)Application number : 2001-153631

(22)Date of filing : 23.05.2001

(71)Applicant : ADVANCED DISPLAY INC

(72)Inventor : YOKOMIZO MASAYUKI

INOUE KAZUKI

WATAMURA SHIGEKI

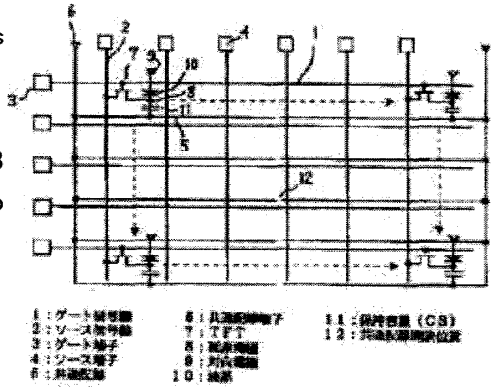
MURAKAMI TAKESUKE

(54) LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a liquid crystal display device capable of detecting the disconnection of common wiring in an array substrate forming process with ease and accuracy.

SOLUTION: The common wiring 5 connected so as to hold a storage capacitor CS 11 with a pixel electrode 8 forming a pixel on a TFT array substrate is arranged so as to be in parallel with a gate signal line 1, and a common wiring open position 20 for opening the common wiring 5 is formed at the center part of a screen, and it is thereby made possible to detect the disconnection of the common wiring 5 by using an array tester irrespective of the disconnecting position.



BOE Ex. 1002, p. 61
BOE v. Paneltouch
IPR2025-01482

* NOTICES *

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[Field of the Invention]This invention relates to the liquid crystal display which conducts inspecting disconnection of the common wiring which connects the retention volume provided in the TFT array substrate.
[0002]
[Description of the Prior Art]Drawing 14 is a representative circuit schematic showing the conventional liquid crystal display. The gate signal line with which 1 has been arranged in drawing 14 at the TFT array substrate, The source signal line arranged on a TFT array substrate as crossed at right angles in the gate signal line 1 and 2, the gate terminal in which 3 inputs a gating signal into the gate signal line 1, and 4 are source terminals which input picture signal voltage into the source signal line 2. The common wiring which has been arranged in parallel with the gate signal line 1 at the TFT array substrate as for 5, and 6 are common wiring terminals which supply common electric potential to the common wiring 5. TFT by which the gate electrode was connected to the gate signal line 1, and the source electrode was connected to the source signal line 2 7, respectively, The picture element electrode by which 8 was connected to the drain electrode of TFT7, the counterelectrode arranged as the picture element electrode 8 countered in 9, the liquid crystal in which 10 has been arranged between the picture element electrode 8 and the counterelectrode 9, and 11 are the retention volume (CS) connected with the picture element electrode 8 between the common wiring 5.
[0003]Drawing 15 is a figure showing the example of an array circuit tester measurement result of the normal wiring section of the conventional TFT array substrate. Drawing 16 is a figure showing the example of an array circuit tester measurement result in case there is an open circuit (screen edge part) in the common wiring of the conventional TFT array substrate. Drawing 17 is a figure showing the example of an array circuit tester measurement result in case there is an open circuit (middle-of-the-screen part) in the common wiring of the conventional TFT array substrate.
[0004]Next, operation is explained. The TFT array substrate used for a liquid crystal display, A

gating signal is inputted from the gate signal line 1 to TFT7, the picture signal voltage supplied from the source signal line 2 in the timing of a gating signal is charged between each picture element electrode 8 and the counterelectrode 9, the liquid crystal 10 is controlled with the voltage, and a picture is displayed. In order to prevent desired voltage from being obtained by neither the self-discharge of a pixel, nor leak of TFT7 by the charging charge of a pixel leaking, the composition which added retention volume CS11 is common to the picture element electrode 8, and the method of using the common wiring 5 for formation of this retention volume is used widely.

[0005]For the inspection of the open circuit in the array substrate formation process of this common wiring 5, and a short circuit. A means to connect with the terminal provided in the TFT array substrate in order to connect the gate signal line 1, the source signal line 2, the common wiring 5, etc. with an external circuit generally simultaneously two or more, It is common to use the test equipment which comprised equipment which impresses arbitrary voltage to each terminal, equipment which reads the charge quantity charged by the pixel, and equipment which processes the read data. This test equipment impresses the voltage waveform respectively near a desired real driving condition to the gate signal lines 1 arbitrary for detection of a line defect, the defect of a pixel, etc., the source signal line 2, and the common wiring 5, After carrying out fixed time lapse, the charge quantity charged by each pixel was read, with the read value, the charge was mapped, and comparison with the threshold set up beforehand has judged and detected a line defect, a point defect, etc. (This test equipment is hereafter called an array circuit tester)

[0006]

[Problem to be solved by the invention]aluminum or Cr is used for the formation method of a TFT array substrate on a glass substrate the 1st, and it forms the pattern of the common wiring 5 arranged in parallel with two or more gate signal lines 1 and its gate signal line 1. Each common wiring makes the gate terminal 3 of the gate signal line 1, and common wiring 5 by the side of reverse the form of the tandem type connected respectively. Subsequently, a contact hole is formed in some insulator layers on the common wiring 5 by the side of the input terminal of the gate signal line 1 and the gate signal line 1 after forming semiconductors, such as insulator layers, such as SiN, and a-Si, respectively on the common wiring 5 at desired form. Then, the source signal line 2 and a drain electrode are formed with metal, such as aluminum or Cr. The common wiring 5 is completed by providing simultaneously with formation of the source signal line 2 the electrode which was parallel to the source signal line 2 on the above-mentioned contact hole simultaneously with this source signal line 2. Then, a contact hole is formed in the protective film on a drain electrode after forming protective films, such as SiN. By connection and forming, a TFT array substrate completes the picture element electrode 8 via a drain electrode and a contact hole with transparent electrical conducting materials, such as ITO, at the last.

[0007]Thus, in the common wiring 5 in the formed TFT array substrate, since the common wiring 5 is connected at both ends, in gate signal line 1 direction, it has the wiring resistance

distribution which becomes low as a middle-of-the-screen part is the highest and approaches screen right and left ends. When each pixel is charged with an array circuit tester, under the influence of the delay of a driver voltage waveform by resistance distribution of the common wiring 5, the charge quantity charged by each pixel as shown in drawing 15 has high screen right and left ends, and becomes the lowest in a middle-of-the-screen part. In the inspecting disconnection of the common wiring 5 using an array circuit tester, For example, when the common wiring 5 is disconnected near screen right and left ends, the ratios of the wiring resistance in the right and left to an open-circuit position differ greatly, therefore as shown in drawing 16, the difference of the charge in the pixel of the right and left of an open-circuit position occurs notably by a wiring resistance ratio, and an open circuit of the common wiring 5 is detected easily.

[0008]However, since the ratio of wiring resistance to an open-circuit position in right and left of the common wiring 5 is small to an open circuit near middle of the screen, as it is shown in drawing 17, differences of a charge in a right-and-left pixel which adjoins an open-circuit position are very few so that they are buried in an error of measurement, and detection of an open circuit is very difficult. From the above-mentioned Reason, a low field of detection sensitivity to common wiring 5 open circuit near [in gate signal line 1 direction] middle of the screen occurs in inspecting disconnection of the common wiring 5 by an array circuit tester. Therefore, defect detection in an inspection process after array substrate completion is very difficult to an open circuit of the common wiring 5 by which it was generated near middle of the screen, A TFT array substrate and formed counter electrode substrates, such as a light filter, were piled up, fault of being recognized visually as a pilot-wire defect by display inspection after pouring in a liquid crystal was generated, and a yield fall of a liquid crystal display and a rise of material and a manufacturing cost were caused.

[0009]It was made in order that this invention might solve above SUBJECT, and it aims at obtaining a liquid crystal display which can detect an open circuit of common wiring with sufficient accuracy easily with an array substrate formation process.

[0010]

[Means for solving problem]Two or more thin film transistors arranged by the whole surface of a display screen in the liquid crystal display concerning this invention on the intersection of two or more gate signal lines and two or more source signal lines at matrix form, It is arranged at the picture element electrode connected to the drain electrode of this thin film transistor, and a gate signal line and parallel, and. It has two or more common wiring arranged via an insulator layer at the picture element electrode so that retention volume may be formed, and common wiring of each other is connected in the peripheral edge part of a display screen, and the releasing part is formed in the display screen center section.

[0011]The releasing part is formed in form which becomes longer than the wiring width of common wiring. The releasing part is shifted and formed for every common wiring.

[0012]Two or more thin film transistors arranged by the whole surface of a display screen on the intersection of two or more gate signal lines and two or more source signal lines at matrix

form, It is arranged at the picture element electrode connected to the drain electrode of this thin film transistor, and a gate signal line and parallel, and. It has two or more common wiring arranged via an insulator layer at the picture element electrode so that retention volume may be formed, and common wiring of each other is connected in the peripheral edge part of a display screen, and the high resistance part is formed in the display screen center section. The high resistance part is shifted and formed for every common wiring.

[0013]Two or more thin film transistors arranged by the whole surface of a display screen on an intersection of two or more gate signal lines and two or more source signal lines further again at matrix form, It is arranged at a picture element electrode connected to a drain electrode of this thin film transistor, and a gate signal line and parallel, and. It has two or more common wiring arranged via an insulator layer at a picture element electrode so that retention volume may be formed, and common wiring of each other is connected in a peripheral edge part of a display screen, and a releasing part is formed in a display screen peripheral edge part. A releasing part of adjoining common wiring is mutually formed in a display screen peripheral edge part of an opposite hand. Common wiring is formed so that width may become large, as a releasing part is approached.

[0014]

[Mode for carrying out the invention]Below embodiment 1. describes this embodiment of the invention 1. Drawing 1 is a representative circuit schematic showing a liquid crystal display by this embodiment of the invention 1. In drawing 1, 1-11 are the same as that of a thing in drawing 14, and omit the explanation. 12 is the common wiring open position (releasing part) formed in a middle-of-the-screen part, in order to open common wiring. Drawing 2 is a part plan showing a TFT array substrate by this embodiment of the invention 1. In drawing 2, 1, 2, 5, 8, and 12 are the same as that of a thing in drawing 1. 13 is a drain electrode of TFT.

[0015]Drawing 3 is a part plan showing the TFT array substrate by this embodiment of the invention 1. In drawing 3, 1, 2, 5, 8, 12, and 13 are the same as that of the thing in drawing 2. Drawing 3 is a pattern in which the common wiring open position 12 becomes longer than wiring width. Drawing 4 is a schematic view showing the open position of wiring of the liquid crystal display by this embodiment of the invention 1. In drawing 4, 1, 2, and 12 are the same as that of the thing in drawing 1. In drawing 4, the common wiring open position 12 is shifted at random for every common wiring.

[0016]Drawing 5 is a figure showing the example of an array circuit tester measurement result of the normal wiring section of the liquid crystal display by this embodiment of the invention 1. Drawing 6 is a figure showing the example of an array circuit tester measurement result in case there is an open circuit in the common wiring of the liquid crystal display by this embodiment of the invention 1.

[0017]Next, the manufacturing method of a TFT array substrate is explained. First, on a glass substrate, aluminum or Cr is used and a common wiring pattern is formed in parallel with the gate signal line 1 and the gate signal line 1. Each common wiring 5 makes the gate terminal 3 of the gate signal line 1, and common wiring 5 by the side of reverse the form of the tandem type

connected respectively. In that case, the common wiring open position 12 for opening the common wiring 5 in a middle-of-the-screen position, as shown in drawing 1 and drawing 2 is formed beforehand. Subsequently, a contact hole is formed in some insulator layers on the common wiring 5 by the side of the gate terminal 3 after forming an insulator layer and a semiconductor on this gate signal line 1 and the common wiring 5. Then, the source signal line 2 is formed with metal, such as aluminum or Cr. The common wiring 5 is completed by connecting with the common wiring pattern which provided the wiring which was parallel to the source signal line 2, and was previously formed on the above-mentioned contact hole simultaneously with this source signal line 2. Then, a contact hole is formed in the protective film on the drain electrode 13 after forming protective films, such as SiN. At the last, a TFT array substrate completes the picture element electrode 8 by connection and forming via the drain electrode 13 and a contact hole with transparent electrical conducting materials, such as ITO.

[0018]Next, a disconnection inspection method of the common wiring 5 in a TFT array substrate formed in this way is explained. From the common wiring terminal 6 of screen both ends, wiring resistance distribution of the common wiring 5 in screen right and left becomes equal there where electric power is supplied to common electric potential at the common wiring 5. Therefore, even if there is the common wiring open position 12 in middle of the screen about the common wiring 5 which has not generated an open circuit like drawing 5, it is inspected as normal wiring like the conventional TFT array substrate. When an open circuit has occurred in the common wiring 5, it does not call at an occurrence position of an open-circuit place, but the common wiring 5 from a disconnection occurrence position to the common wiring open position 12 of middle of the screen will be in a state [****] electrically, and a normal electric charge will not be charged by the picture element electrode 8 in the meantime. Therefore, it is not based on an open-circuit position, but detection becomes possible as an open-circuit defect easily because a difference of an electric charge normally charged by pixel of a side near a screen edge which adjoins an open-circuit position like drawing 6, and charge quantity charged by pixel of a before [from an open-circuit position / the open position 12 of common wiring] becomes large.

[0019]Since the common wiring open position 12 has equivalent common wiring resistance of screen right and left, drawing of wiring resistance by a process variation etc. although not recognized visually as a defect -- internal division -- by change of cloth etc. As a luminance change of screen right and left centering on an open position of the common wiring 5 is generated and it is shown in drawing 4, an open position of wiring is shifted at random in the gate signal line 1 direction every common wiring 5, and the visibility of a luminance change in screen right and left is reduced more by blurring a boundary. Pattern shape of the common wiring open position 12 is made longer than wiring width like drawing 3, and a fall of visibility can be similarly expected by making low impedance of the common wiring 5 in screen right and left.

[0020]According to the Embodiment 1, with a TFT array substrate formation process an open circuit of common wiring, Irrespective of a position of an open circuit, it can detect and high

yield and a low cost liquid crystal display can be obtained by improvement in a yield by quick feedback to a manufacturing process, a reduce manufacturing cost by poor escape prevention to a post process, etc.

[0021]Below embodiment 2. uses and explains drawing 4 about this embodiment of the invention 2 using drawing 7 - 9. Drawing 7 is a representative circuit schematic showing the liquid crystal display by this embodiment of the invention 2. In drawing 7, 1-11 are the same as that of the thing in drawing 1. 14 is the high resistance connecting location (high resistance part) formed in the middle-of-the-screen part of the common wiring 5. Drawing 8 is a part plan showing the TFT array substrate by this embodiment of the invention 2. In drawing 8, 1, 2, 5, and 8 are the same as that of the thing in drawing 7. Semiconductors, such as a-Si in which 13 forms the drain electrode of TFT in and 15 forms the high resistance connecting location 14, and 16 are contact holes which form the high resistance connecting location 14. Drawing 9 is a sectional view of A-A' of drawing 8. In drawing 9, 2, 5, 8, 15, and 16 are the same as that of the thing in drawing 8. The insulator layer in which 17 was formed in the glass substrate and 18 was formed on the common wiring 5, and 19 are the protective films formed on the semiconductor 15.

[0022]Next, the manufacturing method of a TFT array substrate and the inspection of an open circuit of common wiring are explained. First, on the glass substrate 17, aluminum or Cr is used and a common wiring pattern is formed in parallel with the gate signal line 1. In that case, a common wiring open position is first formed in the middle-of-the-screen position of a common wiring pattern by phototype process etc. beforehand. Subsequently, after forming the insulator layers 18, such as SiN, on the gate signal line 1 and the common wiring 5, the contact hole 16 is formed in the right and left of the open position of the common wiring 5. The high resistance connecting location 14 is formed by connecting the common wiring 5 with the semiconductor 15 via the contact hole 16 by forming the semiconductor 15 on the contact hole 16 formed in the common wiring 5 simultaneously with semiconductor formation of a-Si etc. which form TFT after that. Then, a contact hole is formed in some insulator layers 18 on the common wiring 5 of the side into which a gating signal is inputted. Then, the source signal line 2 is formed with metal, such as aluminum or Cr. The common wiring 5 is completed by providing the electrode which was parallel to the source signal line 2 on the above-mentioned contact hole simultaneously with this source signal line 2.

[0023]In the inspection of the TFT array substrate formed in this way. Since an electric charge is not normally charged by the pixel of the portion from the high resistance connecting location 14 to an open circuit in the inspecting disconnection of the common wiring 5 as Embodiment 1 described, an open-circuit position -- or [near the center of the both ends of a screen, or a screen] -- irrespective of -- the difference of the charge quantity of the pixel which adjoins an open-circuit position is large, and detection of it is easily attained as an open-circuit defect. Even when using the high resistance connecting location 14 for middle of the screen, as Embodiment 1 explained, since the common wiring resistance of screen right and left is equivalent, Although hardly recognized visually as a defect, by a process variation etc. By

shifting the high resistance connecting location 14 of wiring at random in the gate signal line 1 direction, and blurring a boundary every common wiring 5, as the luminance change of screen right and left centering on the open position of the common wiring 5 is generated and it is shown in drawing 4. The visibility of the luminance change in screen right and left is reduced more.

[0024]According to the Embodiment 2, an open circuit of common wiring is detectable irrespective of an open-circuit position by establishing a high resistance connecting location on common wiring in a middle-of-the-screen part.

[0025]Below embodiment 3. describes this embodiment of the invention 3 using drawing 10 - 13. Drawing 10 is a representative circuit schematic showing a liquid crystal display by this embodiment of the invention 3. In drawing 10, 1-11 are the same as that of a thing in drawing 1. 20 is the common wiring open position formed in a screen edge. Drawing 11 is a part plan showing a TFT array substrate by this embodiment of the invention 3. In drawing 11, 1, 2, 5, 8, and 20 are the same as that of a thing in drawing 1. 13 is a drain electrode of TFT. The common wiring 5 has tapered shape so that it may become so broad that the common wiring open position 20 is approached.

[0026]Drawing 12 is a figure showing the example of an array circuit tester measurement result of the normal wiring section of the liquid crystal display by this embodiment of the invention 3. Drawing 13 is a figure showing the example of an array circuit tester measurement result in case there is an open circuit in the common wiring of the liquid crystal display by this embodiment of the invention 3.

[0027]Next, the manufacturing method of a TFT array substrate and the detection of guidewire malfunction of common wiring are explained. On a glass substrate, aluminum or Cr is used and a common wiring pattern is formed in parallel with the gate signal line 1. Each common wiring 5 makes the gate terminal 3 of the gate signal line 1, and common wiring 5 by the side of reverse the form of the tandem type respectively connected at intervals of a line. It forms in the tapered shape that wiring width becomes large toward the common wiring open position 20 from the side which carried out common connection of the common wiring 5 as shown in drawing 11, in that case. Subsequently, after forming insulator layers, such as SiN, and semiconductors, such as a-Si, on this gate signal line 1 and the common wiring 5 and using desired form, respectively, a contact hole is formed on the common wiring 5 by the side of the gate terminal 3 by which common connection is not carried out. Then, the source signal line 2 is formed with metal, such as aluminum or Cr. By providing the electrode which was parallel to the source signal line 2 on the above-mentioned contact hole simultaneously with this source signal line 2, common connection of the common wiring 5 is carried out at one side of alternation and right and left, and the common wiring 5 which approaches the common wiring open position 20 from the input edge of the common wiring 5 and in which it is alike, therefore the width of wiring becomes large is formed. Then, a contact hole is formed in the protective film on the drain electrode 13 after forming protective films, such as SiN. At the last, a TFT array substrate completes the picture element electrode 8 by connection and forming via the

drain electrode 13 and a contact hole with transparent electrical conducting materials, such as ITO.

[0028]In the inspecting disconnection of the common wiring of the TFT array substrate formed in this way, since the common wiring 5 is inputted only from one side, like drawing 13, at every place, a difference with big charge quantity charged by the right-and-left pixel of an open-circuit position occurs, and detection of an open circuit can be carried out very easily.

[0029]According to the Embodiment 3, generating of the brightness unevenness in screen right and left, etc. can be suppressed by suppressing the influence by wiring resistance and the margin to a charging characteristic etc. being expanded also in the common wiring input from one side, by having made the common wiring pattern into tapered shape. Generating of the luminance distribution in right and left, etc. are further reduced by offsetting a luminance change on either side on viewing in inputting from right and left for every line.

[0030]

[Effect of the Invention]Since this invention is constituted as explained above, it does an effect as taken below so. Two or more thin film transistors arranged by the whole surface of a display screen on the intersection of two or more gate signal lines and two or more source signal lines at matrix form, It is arranged at the picture element electrode connected to the drain electrode of this thin film transistor, and a gate signal line and parallel, and. It has two or more common wiring arranged via an insulator layer at the picture element electrode so that retention volume may be formed, and since it is connected mutually in the peripheral edge part of a display screen and the releasing part is formed in the display screen center section, the common wiring can detect an open circuit of common wiring irrespective of an open-circuit position.

[0031]Since the releasing part is formed in form which becomes longer than the wiring width of common wiring, it can reduce the visibility of the luminance change by a releasing part. Since the releasing part is shifted and formed for every common wiring, it can reduce the visibility of the luminance change by a releasing part.

[0032]Two or more thin film transistors arranged by the whole surface of a display screen on the intersection of two or more gate signal lines and two or more source signal lines at matrix form, It is arranged at the picture element electrode connected to the drain electrode of this thin film transistor, and a gate signal line and parallel, and. It has two or more common wiring arranged via an insulator layer at the picture element electrode so that retention volume may be formed, and since it is connected mutually in the peripheral edge part of a display screen and the high resistance part is formed in the display screen center section, the common wiring can detect an open circuit of common wiring irrespective of an open-circuit position. Since the high resistance part is shifted and formed for every common wiring, it can reduce the visibility of the luminance change by a releasing part.

[0033]Two or more thin film transistors arranged by the whole surface of a display screen on the intersection of two or more gate signal lines and two or more source signal lines further again at matrix form, It is arranged at the picture element electrode connected to the drain

electrode of this thin film transistor, and a gate signal line and parallel, and. It has two or more common wiring arranged via an insulator layer at the picture element electrode so that retention volume may be formed, and since it is connected mutually in the peripheral edge part of a display screen and the releasing part is formed in the display screen peripheral edge part, the common wiring can detect an open circuit of common wiring irrespective of an open-circuit position.

[0034]Since the releasing part of adjoining common wiring is mutually formed in the display screen peripheral edge part of an opposite hand, it can offset a luminance change on either side. Since common wiring is formed so that width may become large as it approaches a releasing part, it can control generating of luminosity unevenness.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is a representative circuit schematic showing the liquid crystal display by this embodiment of the invention 1.

[Drawing 2]It is a part plan showing the TFT array substrate by this embodiment of the invention 1.

[Drawing 3]It is a part plan showing the TFT array substrate by this embodiment of the invention 1.

[Drawing 4]It is a schematic view showing the open position of wiring of the liquid crystal display by these embodiments of the invention 1 and 2.

[Drawing 5]It is a figure showing the example of an array circuit tester measurement result of the normal wiring section of the liquid crystal display by this embodiment of the invention 1.

[Drawing 6]It is a figure showing the example of an array circuit tester measurement result in case there is an open circuit in the common wiring of the liquid crystal display by this embodiment of the invention 1.

[Drawing 7]It is a representative circuit schematic showing the liquid crystal display by this embodiment of the invention 2.

[Drawing 8]It is a part plan showing the TFT array substrate by this embodiment of the invention 2.

[Drawing 9]It is a sectional view of A-A' of drawing 8.

[Drawing 10]It is a representative circuit schematic showing the liquid crystal display by this embodiment of the invention 3.

[Drawing 11]It is a part plan showing the TFT array substrate by this embodiment of the invention 3.

[Drawing 12]It is a figure showing the example of an array circuit tester measurement result of the normal wiring section of the liquid crystal display by this embodiment of the invention 3.

[Drawing 13]It is a figure showing the example of an array circuit tester measurement result in case there is an open circuit in the common wiring of the liquid crystal display by this

embodiment of the invention 3.

[Drawing 14]It is a representative circuit schematic showing the conventional liquid crystal display.

[Drawing 15]It is a figure showing the example of an array circuit tester measurement result of the normal wiring section of the conventional TFT array substrate.

[Drawing 16]It is a figure showing the example of an array circuit tester measurement result in case there is an open circuit (screen edge part) in the common wiring of the conventional TFT array substrate.

[Drawing 17]It is a figure showing the example of an array circuit tester measurement result in case there is an open circuit (middle-of-the-screen part) in the common wiring of the conventional TFT array substrate.

[Explanations of letters or numerals]

1 A gate signal line, 2 source signal lines, 3 gate terminals, 4 source terminals, 5 Common wiring, 6 common-wiring terminal, 7 TFT, and 8 A picture element electrode and 9 Counterelectrode, 10 A liquid crystal and 11 [A semiconductor and 16 / A contact hole, 17 glass substrates, and 18 / An insulator layer and 19 / A protective film and 20 / Common wiring open position.] Retention volume (CS) and 12 A common wiring open position, 13 drain electrodes, and 14 A high resistance connecting location and 15

[Translation done.]

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2002－350896
（P2002－350896A）
(43)公開日　平成14年12月４日(2002.12.4)

(51)Int.Cl.⁷	識別記号	ＦＩ		テーマコード（参考）
Ｇ０２Ｆ　1/1368		Ｇ０２Ｆ　1/1368		２Ｈ０９２
1/1343		1/1343		５Ｆ１１０
Ｈ０１Ｌ　29/786		Ｈ０１Ｌ　29/78	６２４	
			６１２Ｃ	

審査請求　未請求　請求項の数８　ＯＬ　（全　９　頁）

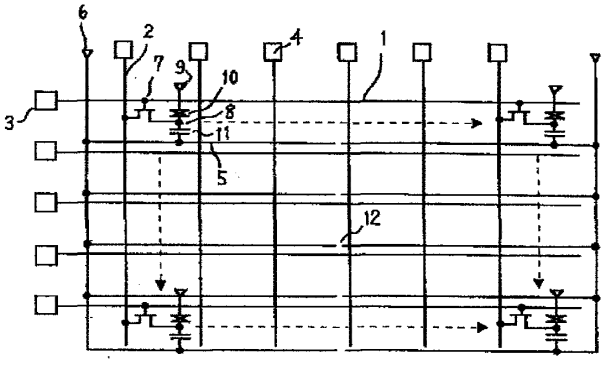
(21)出願番号　特願2001－153631(P2001－153631)
(22)出願日　平成13年５月23日(2001.5.23)

(71)出願人　595059056
株式会社アドバンスト・ディスプレイ
熊本県菊池郡西合志町御代志997番地
(72)発明者　横溝　政幸
熊本県菊池郡西合志町御代志997番地　株式会社アドバンスト・ディスプレイ内
(72)発明者　井上　一樹
熊本県菊池郡西合志町御代志997番地　株式会社アドバンスト・ディスプレイ内
(74)代理人　100073759
弁理士　大岩　増雄

最終頁に続く

(54)【発明の名称】　液晶表示装置

(57)【要約】
【課題】　従来の液晶表示装置では、アレイテスタによる共通配線の断線検査において、ゲート信号線方向における画面中央付近での共通配線断線に対する検出感度の低い領域が発生していた。
【解決手段】　ＴＦＴアレイ基板上に画素を形成する画素電極８と共に保持容量ＣＳ１１を挟持するように接続される共通配線５をゲート信号線１に平行になるように配置し、画面の中央部に、共通配線５を開放する共通配線開放位置２０を形成して、アレイテスタにより共通配線５の断線をその断線位置に係わらず、検出できるようにした。



BOE Ex. 1002, p. 72
BOE v. Paneltouch
IPR2025-01482

【特許請求の範囲】

【請求項１】　複数のゲート信号線と複数のソース信号線との交点にマトリックス状に表示画面の一面に配置された複数の薄膜トランジスタ、この薄膜トランジスタのドレイン電極に接続された画素電極、上記ゲート信号線と平行に配置されると共に、保持容量を形成するよう上記画素電極に絶縁膜を介して配置された複数の共通配線を備え、上記共通配線は、上記表示画面の周縁部で互いに接続されると共に、表示画面中央部において開放部が形成されていることを特徴とする液晶表示装置。

【請求項２】　上記開放部は、上記共通配線の配線幅より長くなるような形状に形成されていることを特徴とする請求項１記載の液晶表示装置。

【請求項３】　上記開放部は、上記共通配線毎にずらして形成されていることを特徴とする請求項１または請求項２記載の液晶表示装置。

【請求項４】　複数のゲート信号線と複数のソース信号線との交点にマトリックス状に表示画面の一面に配置された複数の薄膜トランジスタ、この薄膜トランジスタのドレイン電極に接続された画素電極、上記ゲート信号線と平行に配置されると共に、保持容量を形成するよう上記画素電極に絶縁膜を介して配置された複数の共通配線を備え、上記共通配線は、上記表示画面の周縁部で互いに接続されると共に、表示画面中央部において高抵抗部が形成されていることを特徴とする液晶表示装置。

【請求項５】　上記高抵抗部は、上記共通配線毎にずらして形成されていることを特徴とする請求項４記載の液晶表示装置。

【請求項６】　複数のゲート信号線と複数のソース信号線との交点にマトリックス状に表示画面の一面に配置された複数の薄膜トランジスタ、この薄膜トランジスタのドレイン電極に接続された画素電極、上記ゲート信号線と平行に配置されると共に、保持容量を形成するよう上記画素電極に絶縁膜を介して配置された複数の共通配線を備え、上記共通配線は、上記表示画面の周縁部で互いに接続されると共に、表示画面周縁部において開放部が形成されていることを特徴とする液晶表示装置。

【請求項７】　隣接する共通配線の開放部は、互いに反対側の表示画面周縁部に形成されていることを特徴とする請求項６記載の液晶表示装置。

【請求項８】　上記共通配線は、上記開放部に近づくに従って幅が広くなるように形成されていることを特徴とする請求項６または請求項７記載の液晶表示装置。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】この発明は、ＴＦＴアレイ基板に設けられた保持容量を接続する共通配線の断線検査を行う液晶表示装置に関する。

【０００２】

【従来の技術】図１４は、従来の液晶表示装置を示す等価回路図である。図１４において、１はＴＦＴアレイ基板に配置されたゲート信号線、２はゲート信号線１と直交するようにＴＦＴアレイ基板上に配置されたソース信号線、３はゲート信号線１にゲート信号を入力するゲート端子、４はソース信号線２に画像信号電圧を入力するソース端子である。５はゲート信号線１と平行にＴＦＴアレイ基板に配置された共通配線、６は共通配線５に共通電位を供給する共通配線端子である。７はゲート信号線１にゲート電極が、ソース信号線２にソース電極がそれぞれ接続されたＴＦＴ、８はＴＦＴ７のドレイン電極に接続された画素電極、９は画素電極８に対向するように配置された対向電極、１０は画素電極８と対向電極９間に配置された液晶、１１は画素電極８と共通配線５間に接続された保持容量（ＣＳ）である。

【０００３】図１５は、従来のＴＦＴアレイ基板の正常配線部のアレイテスタ測定結果例を示す図である。図１６は、従来のＴＦＴアレイ基板の共通配線に断線（画面端部）がある場合のアレイテスタ測定結果例を示す図である。図１７は、従来のＴＦＴアレイ基板の共通配線に断線（画面中央部）がある場合のアレイテスタ測定結果例を示す図である。

【０００４】次に、動作について説明する。液晶表示装置に用いられるＴＦＴアレイ基板は、ゲート信号線１からＴＦＴ７に対しゲート信号を入力し、ゲート信号のタイミングで、ソース信号線２より供給した画像信号電圧を各画素電極８と対向電極９の間に充電し、その電圧により液晶１０をコントロールし、画像を表示する。画素の自己放電や、ＴＦＴ７のリーク等により、画素の充電電荷がリークすることで所望の電圧が得られないことを防止するため、画素電極８に保持容量ＣＳ１１を付加した構成が一般的であり、この保持容量の形成に共通配線５を用いる方法が広く用いられている。

【０００５】この共通配線５のアレイ基板形成工程における断線、短絡の検査には、一般的にゲート信号線１、ソース信号線２、共通配線５などを外部の回路と接続するためにＴＦＴアレイ基板に設けられた端子に、複数本同時に接続する手段と、各々の端子に任意の電圧を印加する装置と、画素に充電された電荷量を読み込む装置と、読み込んだデータを処理する装置とで構成された検査装置を用いることが一般的である。この検査装置は、線欠陥や、画素の欠陥などの検出のために、任意のゲート信号線１、ソース信号線２、共通配線５にそれぞれ所望の実駆動条件に近い電圧波形を印加し、一定時間経過した後に、各画素に充電された電荷量を読み取り、読み取られた値で、充電量のマッピングを行い、あらかじめ設定されたしきい値との比較によって、線欠陥、点欠陥などを判定、検出している。（以下、この検査装置をアレイテスタと呼ぶ）

【０００６】

【発明が解決しようとする課題】ＴＦＴアレイ基板の形

BOE Ex. 1002, p. 73
BOE v. Paneltouch
IPR2025-01482

成方法は、第１にガラス基板上にＡｌまたはＣｒ等を用いて、複数のゲート信号線１と、そのゲート信号線１と平行に配置した共通配線５のパターンを形成する。ゲート信号線１のゲート端子３と逆側の共通配線５は、各共通配線が各々接続された櫛型の形状とする。次いで、ゲート信号線１と、共通配線５の上に、ＳｉＮ等の絶縁膜やａ－Ｓｉ等の半導体を各々所望の形状に形成した後、ゲート信号線１の入力端子側の共通配線５上の絶縁膜の一部にコンタクトホールを形成する。その後、ソース信号線２とドレイン電極をＡｌまたはＣｒ等の金属によって形成する。このソース信号線２と同時に、上記したコンタクトホール上にソース信号線２と平行した電極をソース信号線２の形成と同時に設けることで、共通配線５が完成する。この後、ＳｉＮなどの保護膜を形成した後、ドレイン電極上の保護膜にコンタクトホールを形成する。最後にＩＴＯなどの透明導電材料にて画素電極８をドレイン電極とコンタクトホールを介して接続・形成することで、ＴＦＴアレイ基板が完成する。

【０００７】このようにして形成されたＴＦＴアレイ基板における共通配線５では、共通配線５が両端で接続されているので、ゲート信号線１方向において、画面中央部が最も高く、画面左右端に近づくに従って低くなる配線抵抗分布を持つ。アレイテスタによって、各画素に充電した場合、共通配線５の抵抗値分布による駆動電圧波形の遅延の影響により、図１５に示されるように各画素に充電される電荷量は画面左右端が高く、画面中央部で最も低くなる。アレイテスタを用いた共通配線５の断線検査においては、例えば画面左右端付近で共通配線５が断線した場合は、断線位置までの左右での配線抵抗の比が大きく異なる、従って、図１６に示されるように、配線抵抗比により断線位置の左右の画素における充電量の差が顕著に発生し、容易に、共通配線５の断線は検出される。

【０００８】しかし、画面中央付近での断線に対しては、共通配線５の左右での断線位置までの配線抵抗の比が小さいため、図１７に示されるように断線位置に隣接する左右画素での充電量の差は、測定誤差に埋もれてしまう程、ごくわずかであり、断線の検出は極めて困難である。上記の理由から、アレイテスタによる共通配線５の断線検査において、ゲート信号線１方向における画面中央付近での共通配線５断線に対する検出感度の低い領域が発生する。従って、画面中央付近に発生した共通配線５の断線に対して、アレイ基板完成後の検査工程での不良検出が極めて困難であり、ＴＦＴアレイ基板とカラーフィルタ等の形成された対向電極基板を重ね合わせ、液晶を注入した後の表示検査にて表示線欠陥として視認されてしまうといった不具合を発生させ、液晶表示装置の歩留低下や材料、製造コストの上昇を招いていた。

【０００９】この発明は上記のような課題を解決するためになされたもので、共通配線の断線をアレイ基板形成工程で容易に、精度良く検出することができる液晶表示装置を得ることを目的としている。

【００１０】

【課題を解決するための手段】この発明に係わる液晶表示装置においては、複数のゲート信号線と複数のソース信号線との交点にマトリックス状に表示画面の一面に配置された複数の薄膜トランジスタと、この薄膜トランジスタのドレイン電極に接続された画素電極と、ゲート信号線と平行に配置されると共に、保持容量を形成するよう画素電極に絶縁膜を介して配置された複数の共通配線を備え、共通配線は、表示画面の周縁部で互いに接続されると共に、表示画面中央部において開放部が形成されているものである。

【００１１】また、開放部は、共通配線の配線幅より長くなるような形状に形成されているものである。また、開放部は、共通配線毎にずらして形成されているものである。

【００１２】さらに、複数のゲート信号線と複数のソース信号線との交点にマトリックス状に表示画面の一面に配置された複数の薄膜トランジスタと、この薄膜トランジスタのドレイン電極に接続された画素電極と、ゲート信号線と平行に配置されると共に、保持容量を形成するよう画素電極に絶縁膜を介して配置された複数の共通配線を備え、共通配線は、表示画面の周縁部で互いに接続されると共に、表示画面中央部において高抵抗部が形成されているものである。また、高抵抗部は、共通配線毎にずらして形成されているものである。

【００１３】さらにまた、複数のゲート信号線と複数のソース信号線との交点にマトリックス状に表示画面の一面に配置された複数の薄膜トランジスタと、この薄膜トランジスタのドレイン電極に接続された画素電極と、ゲート信号線と平行に配置されると共に、保持容量を形成するよう画素電極に絶縁膜を介して配置された複数の共通配線を備え、共通配線は、表示画面の周縁部で互いに接続されると共に、表示画面周縁部において開放部が形成されているものである。また、隣接する共通配線の開放部は、互いに反対側の表示画面周縁部に形成されているものである。また、共通配線は、開放部に近づくに従って幅が広くなるように形成されているものである。

【００１４】

【発明の実施の形態】実施の形態１．以下、この発明の実施の形態１について説明する。図１は、この発明の実施の形態１による液晶表示装置を示す等価回路図である。図１において、１～１１は図１４におけるものと同一のものであり、その説明を省略する。１２は共通配線を開放するために、画面中央部に形成された共通配線開放位置（開放部）である。図２は、この発明の実施の形態１によるＴＦＴアレイ基板を示す部分平面図である。図２において、１、２、５、８、１２は図１におけるものと同一のものである。１３はＴＦＴのドレイン電極で

BOE Ex. 1002, p. 74
BOE v. Paneltouch
IPR2025-01482

ある。

【００１５】図３は、この発明の実施の形態１によるＴＦＴアレイ基板を示す部分平面図である。図３において、１、２、５、８、１２、１３は図２におけるものと同一のものである。図３は、共通配線開放位置１２が配線幅よりも長くなるパターンである。図４は、この発明の実施の形態１による液晶表示装置の配線の開放位置を示す概略図である。図４において、１、２、１２は図１におけるものと同一のものである。図４では、共通配線開放位置１２を共通配線毎にランダムにずらしている。

【００１６】図５は、この発明の実施の形態１による液晶表示装置の正常配線部のアレイテスタ測定結果例を示す図である。図６は、この発明の実施の形態１による液晶表示装置の共通配線に断線がある場合のアレイテスタ測定結果例を示す図である。

【００１７】次に、ＴＦＴアレイ基板の製造方法について説明する。まず、ガラス基板上にＡｌまたはＣｒ等を用いて、ゲート信号線１とゲート信号線１に平行に共通配線パターンを形成する。ゲート信号線１のゲート端子３と逆側の共通配線５は、各共通配線５が各々接続された櫛型の形状とする。その際、図１、図２に示すように画面中央位置に、共通配線５を開放するための共通配線開放位置１２をあらかじめ形成する。次いでこのゲート信号線１と、共通配線５の上に、絶縁膜や半導体を形成した後、ゲート端子３側の共通配線５上の絶縁膜の一部にコンタクトホールを形成する。その後、ソース信号線２をＡｌまたはＣｒ等の金属によって形成する。このソース信号線２と同時に、上記したコンタクトホール上にソース信号線２と平行した配線を設け、先に形成した共通配線パターンと接続することで、共通配線５が完成する。この後、ＳｉＮなどの保護膜を形成した後、ドレイン電極１３上の保護膜にコンタクトホールを形成する。最後に、ＩＴＯなどの透明導電材料にて画素電極８をドレイン電極１３とコンタクトホールを介して接続・形成することで、ＴＦＴアレイ基板が完成する。

【００１８】次に、このように形成したＴＦＴアレイ基板における共通配線５の断線検査方法について説明する。共通配線５には画面両端の共通配線端子６より、共通電位が給電される、そこで画面左右での共通配線５の配線抵抗分布は等しくなる。従って、図５のように断線の発生していない共通配線５に関しては、画面中央での共通配線開放位置１２が有っても、従来のＴＦＴアレイ基板と同様に正常配線として検査される。共通配線５に断線が発生している場合は、断線場所の発生位置によらず、断線発生位置から画面中央の共通配線開放位置１２までの共通配線５は、電気的に開放な状態となり、この間の画素電極８には正常な電荷が充電されない。従って、図６のように断線位置に隣接する画面端に近い側の画素に正常に充電される電荷と、断線位置から共通配線の開放位置１２までの間の画素に充電される電荷量の差が大きくなることで、断線位置によらず容易に断線欠陥として検出が可能となる。

【００１９】なお、共通配線開放位置１２は、画面左右の共通配線抵抗値が等価なため、欠陥としては視認されないが、プロセス変動などによる配線抵抗の画内分布の変化などによって、共通配線５の開放位置を中心とした画面左右の輝度変化を発生させる可能性もあり、図４に示すように、共通配線５毎に、配線の開放位置をゲート信号線１方向にランダムにずらし、境界をぼやけさせることで、画面左右での輝度変化の視認性をより低下させられる。さらに、共通配線開放位置１２のパターン形状を、図３のように、配線幅よりも長くし、画面左右での共通配線５のインピーダンスを低くすることでも同様に視認性の低下が期待できる。

【００２０】実施の形態１によれば、ＴＦＴアレイ基板形成工程で、共通配線の断線を、断線の位置にかかわらず検出することができ、製造プロセスへの素早いフィードバックによる歩留まりの向上や、後工程への不良流出防止による製造コスト低減などにより、高歩留かつ低コストな液晶表示装置を得ることができる。

【００２１】実施の形態２．以下、この発明の実施の形態２について、図７～９を用い、図４を援用して説明する。図７は、この発明の実施の形態２による液晶表示装置を示す等価回路図である。図７において、１～１１は図１におけるものと同一のものである。１４は共通配線５の画面中央部に形成された高抵抗接続位置（高抵抗部）である。図８は、この発明の実施の形態２によるＴＦＴアレイ基板を示す部分平面図である。図８において、１、２、５、８は図７におけるものと同一のものである。１３はＴＦＴのドレイン電極、１５は高抵抗接続位置１４を形成するａ－Ｓｉなどの半導体、１６は高抵抗接続位置１４を形成するコンタクトホールである。図９は、図８のＡ－Ａ´の断面図である。図９において、２、５、８、１５、１６は図８におけるものと同一のものである。１７はガラス基板、１８は共通配線５上に形成された絶縁膜、１９は半導体１５上に形成された保護膜である。

【００２２】次に、ＴＦＴアレイ基板の製造方法及び共通配線の断線の検査について説明する。まず、ガラス基板１７上にＡｌまたはＣｒ等を用いて、ゲート信号線１と平行に共通配線パターンを形成する。その際、共通配線パターンの画面中央位置にまず共通配線開放位置をあらかじめ写真製版などによって形成する。次いでゲート信号線１と、共通配線５の上に、ＳｉＮなどの絶縁膜１８を形成した後、共通配線５の開放位置の左右にコンタクトホール１６を形成する。その後ＴＦＴを形成するａ－Ｓｉなどの半導体形成と同時に、共通配線５に形成したコンタクトホール１６上に半導体１５を形成することで、共通配線５がコンタクトホール１６を介して半導体１５で接続されることにより、高抵抗接続位置１４が形

BOE Ex. 1002, p. 75
BOE v. Paneltouch
IPR2025-01482

成される。その後、ゲート信号が入力される側の共通配線５上の絶縁膜１８の一部にコンタクトホールを形成する。その後、ソース信号線２をＡｌまたはＣｒ等の金属によって形成する。このソース信号線２と同時に、上記したコンタクトホール上にソース信号線２と平行した電極を設けることで、共通配線５が完成する。

【００２３】このように形成したＴＦＴアレイ基板の検査では、実施の形態１で述べたのと同様に、共通配線５の断線検査において、高抵抗接続位置１４から断線までの部分の画素には正常に電荷が充電されないため、断線位置が画面の両端や画面の中央付近かにかかわらず、断線位置に隣接する画素の電荷量の差は大きく、容易に断線欠陥として検出が可能となる。なお、画面中央に高抵抗接続位置１４を用いる場合でも、実施の形態１で説明したのと同様に、画面左右の共通配線抵抗値が等価なため、欠陥としてはほとんど視認されないが、プロセス変動などによって、共通配線５の開放位置を中心とした画面左右の輝度変化を発生させる可能性もあり、図４に示すように、共通配線５毎に、配線の高抵抗接続位置１４をゲート信号線１方向にランダムにずらし、境界をぼやけさせることで、画面左右での輝度変化の視認性をより低下させられる。

【００２４】実施の形態２によれば、画面中央部に共通配線上の高抵抗接続位置を設けることで、共通配線の断線を、断線位置にかかわらず、検出することができる。

【００２５】実施の形態３．以下、この発明の実施の形態３について、図１０～１３を用いて説明する。図１０は、この発明の実施の形態３による液晶表示装置を示す等価回路図である。図１０において、１～１１は図１におけるものと同一のものである。２０は画面端に形成された共通配線開放位置である。図１１は、この発明の実施の形態３によるＴＦＴアレイ基板を示す部分平面図である。図１１において、１、２、５、８、２０は図１におけるものと同一のものである。１３はＴＦＴのドレイン電極である。共通配線５は共通配線開放位置２０に近づくほど幅広くなるようにテーパ形状を有する。

【００２６】図１２は、この発明の実施の形態３による液晶表示装置の正常配線部のアレイテスタ測定結果例を示す図である。図１３は、この発明の実施の形態３による液晶表示装置の共通配線に断線がある場合のアレイテスタ測定結果例を示す図である。

【００２７】次に、ＴＦＴアレイ基板の製造方法と共通配線の断線検出について説明する。ガラス基板上にＡｌまたはＣｒ等を用いて、ゲート信号線１と平行に共通配線パターンを形成する。ゲート信号線１のゲート端子３と逆側の共通配線５は、各共通配線５が１ラインおきに各々接続された櫛型の形状とする。その際、図１１に示すように共通配線５を共通接続した側より共通配線開放位置２０に向かって、配線幅が広くなるようなテーパ形状に形成する。次いで、このゲート信号線１と、共通配線５の上に、ＳｉＮなどの絶縁膜とａ－Ｓｉなどの半導体を形成した後、それぞれ所望の形状にした後、ゲート端子３側の共通接続されていない共通配線５上にコンタクトホールを形成する。その後、ソース信号線２をＡｌまたはＣｒ等の金属によって形成する。このソース信号線２と同時に、上記したコンタクトホール上にソース信号線２と平行した電極を設けることで、共通配線５が交互かつ左右の片側で共通接続され、共通配線５の入力端より共通配線開放位置２０に近づくに従って、配線の幅が広くなる共通配線５が形成される。この後、ＳｉＮなどの保護膜を形成した後、ドレイン電極１３上の保護膜にコンタクトホールを形成する。最後に、ＩＴＯなどの透明導電材料にて画素電極８をドレイン電極１３とコンタクトホールを介して接続・形成することで、ＴＦＴアレイ基板が完成する。

【００２８】このように形成したＴＦＴアレイ基板の共通配線の断線検査では、共通配線５が片側からのみ入力されているため、図１３のようにどの場所においても、断線位置の左右画素に充電される電荷量の大きな差が発生し、断線の検出は極めて容易に実施できる。

【００２９】実施の形態３によれば、共通配線パターンをテーパ形状としたことで、片側からの共通配線入力においても、配線抵抗による影響を抑え充電特性等に対するマージンが拡大することで、画面左右での輝度ムラの発生などを抑えられる。さらに、１ライン毎に、左右から入力することで、左右の輝度変化を目視上相殺することで、さらに左右での輝度分布の発生などを低下させられる。

【００３０】

【発明の効果】この発明は、以上説明したように構成されているので、以下に示すような効果を奏する。複数のゲート信号線と複数のソース信号線との交点にマトリックス状に表示画面の一面に配置された複数の薄膜トランジスタと、この薄膜トランジスタのドレイン電極に接続された画素電極と、ゲート信号線と平行に配置されると共に、保持容量を形成するよう画素電極に絶縁膜を介して配置された複数の共通配線を備え、共通配線は、表示画面の周縁部で互いに接続されると共に、表示画面中央部において開放部が形成されているので、断線位置に係わらず、共通配線の断線を検出することができる。

【００３１】また、開放部は、共通配線の配線幅より長くなるような形状に形成されているので、開放部による輝度変化の視認性を低下させることができる。また、開放部は、共通配線毎にずらして形成されているので、開放部による輝度変化の視認性を低下させることができる。

【００３２】さらに、複数のゲート信号線と複数のソース信号線との交点にマトリックス状に表示画面の一面に配置された複数の薄膜トランジスタと、この薄膜トランジスタのドレイン電極に接続された画素電極と、ゲート

BOE Ex. 1002, p. 76
BOE v. Paneltouch
IPR2025-01482

信号線と平行に配置されると共に、保持容量を形成するよう画素電極に絶縁膜を介して配置された複数の共通配線を備え、共通配線は、表示画面の周縁部で互いに接続されると共に、表示画面中央部において高抵抗部が形成されているので、断線位置に係わらず、共通配線の断線を検出することができる。また、高抵抗部は、共通配線毎にずらして形成されているので、開放部による輝度変化の視認性を低下させることができる。

【００３３】さらにまた、複数のゲート信号線と複数のソース信号線との交点にマトリックス状に表示画面の一面に配置された複数の薄膜トランジスタと、この薄膜トランジスタのドレイン電極に接続された画素電極と、ゲート信号線と平行に配置されると共に、保持容量を形成するよう画素電極に絶縁膜を介して配置された複数の共通配線を備え、共通配線は、表示画面の周縁部で互いに接続されると共に、表示画面周縁部において開放部が形成されているので、断線位置に係わらず、共通配線の断線を検出することができる。

【００３４】また、隣接する共通配線の開放部は、互いに反対側の表示画面周縁部に形成されているので、左右の輝度変化を相殺することができる。また、共通配線は、開放部に近づくに従って幅が広くなるように形成されているので、輝度むらの発生を抑制することができる。

【図面の簡単な説明】

【図１】　この発明の実施の形態１による液晶表示装置を示す等価回路図である。

【図２】　この発明の実施の形態１によるＴＦＴアレイ基板を示す部分平面図である。

【図３】　この発明の実施の形態１によるＴＦＴアレイ基板を示す部分平面図である。

【図４】　この発明の実施の形態１、２による液晶表示装置の配線の開放位置を示す概略図である。

【図５】　この発明の実施の形態１による液晶表示装置の正常配線部のアレイテスタ測定結果例を示す図である。

【図６】　この発明の実施の形態１による液晶表示装置の共通配線に断線がある場合のアレイテスタ測定結果例を示す図である。

【図７】　この発明の実施の形態２による液晶表示装置を示す等価回路図である。

【図８】　この発明の実施の形態２によるＴＦＴアレイ基板を示す部分平面図である。

【図９】　図８のＡ－Ａ´の断面図である。

【図１０】　この発明の実施の形態３による液晶表示装置を示す等価回路図である。

【図１１】　この発明の実施の形態３によるＴＦＴアレイ基板を示す部分平面図である。

【図１２】　この発明の実施の形態３による液晶表示装置の正常配線部のアレイテスタ測定結果例を示す図である。

【図１３】　この発明の実施の形態３による液晶表示装置の共通配線に断線がある場合のアレイテスタ測定結果例を示す図である。

【図１４】　従来の液晶表示装置を示す等価回路図である。

【図１５】　従来のＴＦＴアレイ基板の正常配線部のアレイテスタ測定結果例を示す図である。

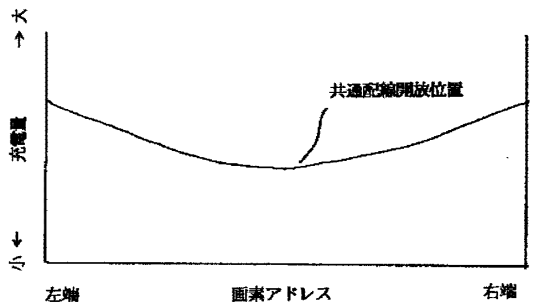
【図１６】　従来のＴＦＴアレイ基板の共通配線に断線（画面端部）がある場合のアレイテスタ測定結果例を示す図である。

【図１７】　従来のＴＦＴアレイ基板の共通配線に断線（画面中央部）がある場合のアレイテスタ測定結果例を示す図である。

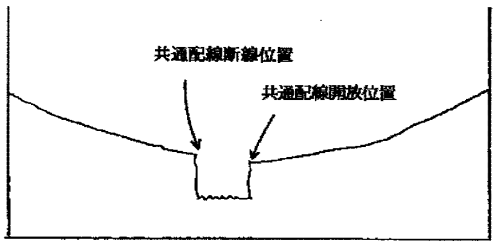
【符号の説明】

１　ゲート信号線、２　ソース信号線、３　ゲート端子、４　ソース端子、５　共通配線、６　共通配線端子、７　ＴＦＴ、８　画素電極、９　対向電極、１０　液晶、１１　保持容量（ＣＳ）、１２　共通配線開放位置、１３　ドレイン電極、１４　高抵抗接続位置、１５　半導体、１６　コンタクトホール、１７　ガラス基板、１８　絶縁膜、１９　保護膜、２０　共通配線開放位置。

【図５】

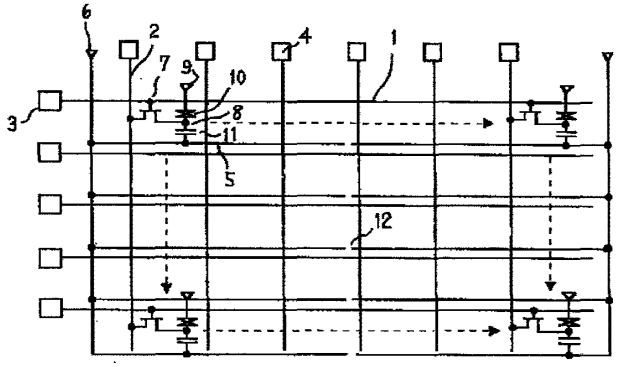


【図６】



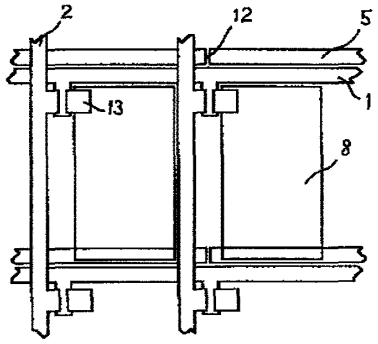
BOE Ex. 1002, p. 77
BOE v. Paneltouch
IPR2025-01482

【図１】



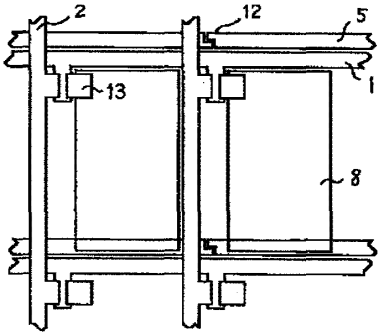
１：ゲート信号線
２：ソース信号線
３：ゲート端子
４：ソース端子
５：共通配線
６：共通配線端子
７：ＴＦＴ
８：画素電極
９：対向電極
１０：液晶
１１：保持容量（ＣＳ）
１２：共通配線開放位置

【図２】

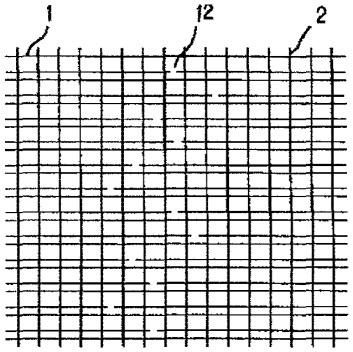


１３：ドレイン電極

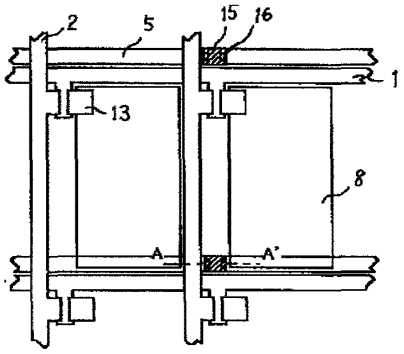
【図３】



【図４】

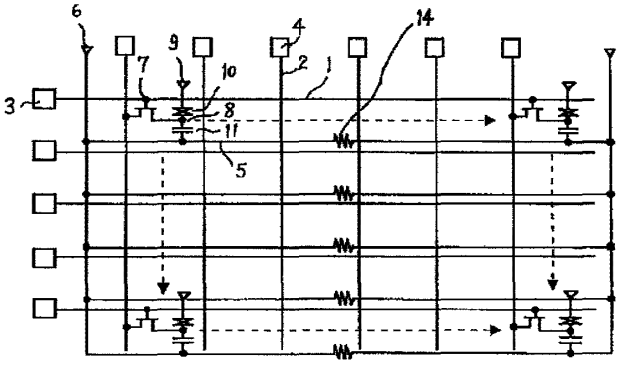


【図８】



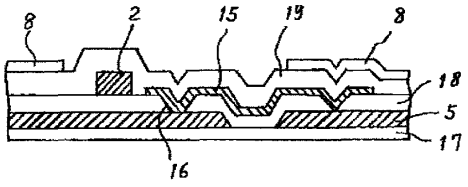
１５：半導体
１６：コンタクトホール

【図７】



１４：高抵抗接続位置

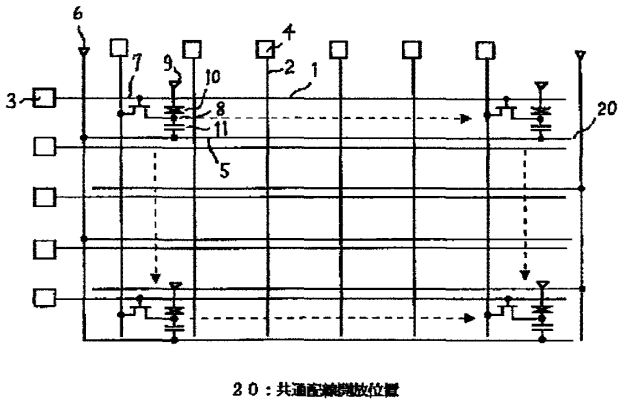
【図９】



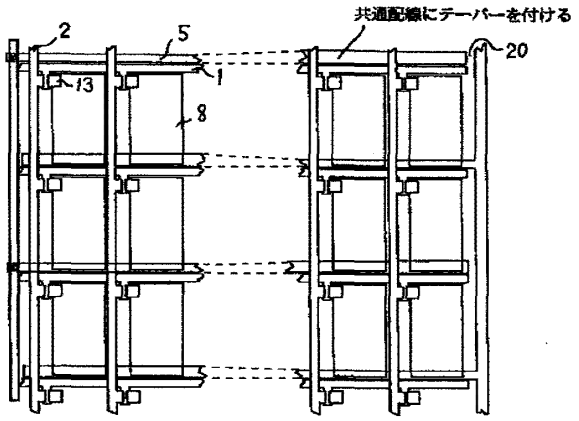
１７：ガラス基板
１８：絶縁膜
１９：保護膜

BOE Ex. 1002, p. 78
BOE v. Paneltouch
IPR2025-01482

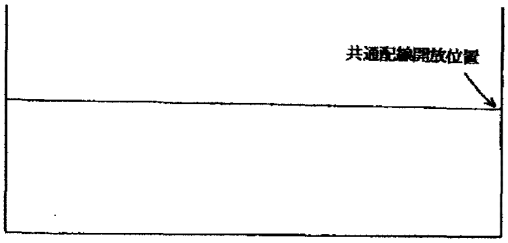
【図１０】



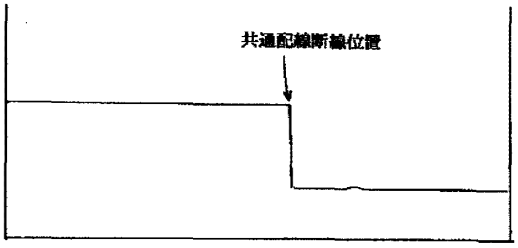
【図１１】



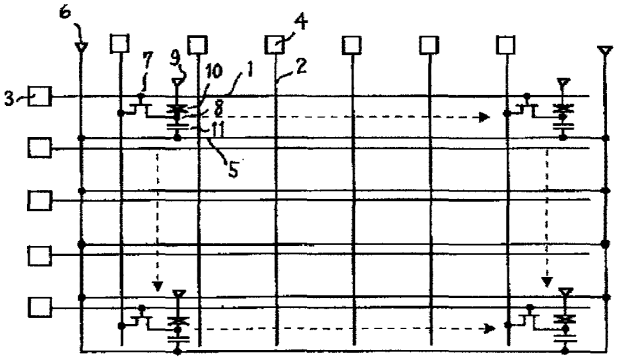
【図１２】



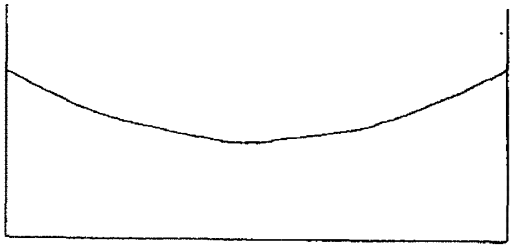
【図１３】



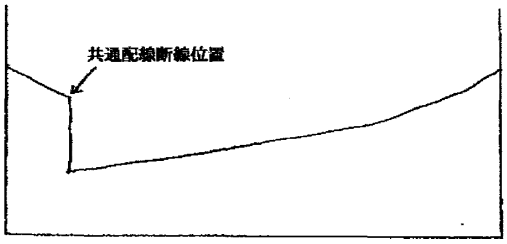
【図１４】



【図１５】

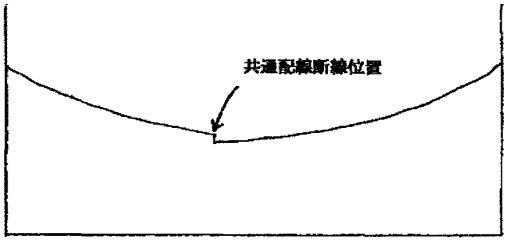


【図１６】



BOE Ex. 1002, p. 79
BOE v. Paneltouch
IPR2025-01482

【図１７】



フロントページの続き

(72)発明者　綿村　茂樹
熊本県菊池郡西合志町御代志997番地　株式会社アドバンスト・ディスプレイ内
(72)発明者　村上　雄亮
熊本県菊池郡西合志町御代志997番地　株式会社アドバンスト・ディスプレイ内

Ｆターム(参考)　2H092 HA06 JB21 JB64 JB77 NA30
5F110 AA24 BB01 CC07 DD02 EE03 EE04 EE37 FF03 GG02 GG15 HK03 HK04 HL03 HL04 HL07 HM19 NN02 NN24

BOE Ex. 1002, p. 80
BOE v. Paneltouch
IPR2025-01482

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 09-080478

(43)Date of publication of application : 28.03.1997

(51)Int.Cl. G02F 1/136

G01R 31/00

G01R 31/02

G02F 1/13

H01L 29/786

(21)Application number : 07-234132

(22)Date of filing : 12.09.1995

(71)Applicant : SHARP CORP

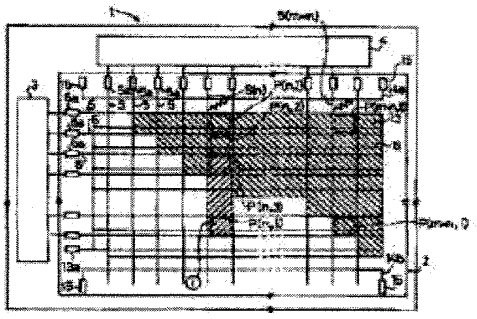
(72)Inventor : IRIE KATSUMI

(54) DEFECT DETECTION METHOD FOR MATRIX DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To surely detect a short circuit between signal lines each other through spare, wiring used for a display device and to improve quality and reliability in a matrix display device.

SOLUTION: A liquid crystal display device 1 being one sample of the matrix display device is provided with plural scan lines 6 arranged in parallel to each other on the panel 2 of the display device 1, plural signal lines 5 insulated electrically and arranged orthogonally with the scan lines 6 and the spare wiring 14a, 14b for connecting both ends when the signal line 5 is disconnected and bypassing a disconnected faulty position 17. In such a constitution, for inspecting the short circuit between the signal lines 5 each other through the spare lines 14a, 14b, a signal switching its luminance level at the timing different from each other at every horizontal scan period is applied to the liquid crystal display device 1.



BOE Ex. 1002, p. 81
BOE v. Paneltouch
IPR2025-01482

* NOTICES *

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[Field of the Invention]This invention relates to the defect detection method of the matrix type display device which detects the short circuit of the signal wires which pass the preliminary wiring used for the active matrix type liquid crystal display device, for example.
[0002]
[Description of the Prior Art]In recent years, the flat [, such as a liquid crystal display,] type display device has spread with the small size of information machines and equipment, a light weight, and highly-efficient-izing. And the high resolution of VGA (Video Graphics Array), S-VGA (Super-Video Graphics Array), XGA (Extended Graphics Array), etc. has been required of such a display device. However, the number of picture elements of the display device which has high resolution increases, and it becomes what has the huge number of electrodes. For this reason, the matrix type display device which provided the picture element in matrix form is used for the above-mentioned display device.
[0003]However, in the scanning line and signal wire in which the above-mentioned matrix type display device is formed on a substrate, the line width is becoming narrow with high-resolution-izing of a display device.
The leading-about length on a display device is becoming long by big screen-ization.
For this reason, the above-mentioned scanning line and a signal wire are easy to produce a poor open circuit on a production process. And when the poor open circuit arose in the scanning line or the signal wire, display driving of the picture element of the open-circuit faulty point beyond could not be carried out, but display quality was deteriorating remarkably.
[0004]So, to JP,H3-23425,A, even if an above-mentioned poor open circuit arises, the composition of a restorable liquid crystal display is proposed. Such a common liquid crystal display 1 is explained based on drawing 4 and drawing 5. Drawing 4 is a representative circuit schematic of an outline showing the above-mentioned liquid crystal display 1. Drawing 5 is a flat-surface enlarged drawing showing an important section when the preliminary wiring 14a and 14b and the signal wire 5 short-circuit via the defective part 19 in the above-mentioned

liquid crystal display 1.

[0005]In drawing 4, the above-mentioned liquid crystal display 1 comprises the panel 2 which is a display, and the scanning signal actuator 3 and the status signal actuator 4 which impress a video signal. The polarizing plate in which the above-mentioned panel 2 is formed in the way surface, respectively outside a glass substrate parallel to both up-and-down couples for example, and both glass substrates, It has the quality of a liquid crystal enclosed in the space formed with the transparent electrode formed in the inner direction surface of each above-mentioned glass substrate, the orienting film formed on the above-mentioned transparent electrode, the seals resin which closes the outer peripheral part of both glass substrates airtightly, and the above-mentioned glass substrate and seals resin. The above-mentioned transparent electrode is formed in common on the upper side board, for example.

On the other hand, on the lower substrate, corresponding to each picture element, it is arranged by matrix form and formed in it.

[0006]On the above-mentioned upper side board, it intersects perpendicularly with many signal wires 5 which are parallel to one way, and this signal wire 5, and they are formed [it is / many scanning lines 6 / parallel, and]. The signal wire 5 and the scanning line 6 cross in the state where it insulated electrically. The picture element electrode 7 is formed in each field surrounded by the signal wire 5 and the scanning line 6, respectively. TFT(Thin Film Transistor)8 is connected to this picture element electrode 7 as a switching element. The gate electrode 9 of TFT8 is connected to the scanning line 6, the source electrode 10 is connected to the signal wire 5, and the drain electrode 11 is connected to the auxiliary capacity 12 and the corresponding picture element electrode 7. The auxiliary capacity 12 is arranged at the highway 13 via the insulator layer 16 shown in drawing 5. This highway 13 has short-circuited the above-mentioned highway 13 altogether while crossing in the state where it insulated with the signal wire 5 electrically in parallel with each scanning line 6.

It is connected to the above-mentioned lower substrate via the common end-of-line child 13a.

[0007]If TFT8 is chosen by the selection pulse impressed to the scanning line 6, it will be conducted, and it charges the gradation voltage corresponding to the duty pulse impressed to the signal wire 5 at a liquid crystal and the auxiliary capacity 12. A liquid crystal and the auxiliary capacity 12 will hold the electric charge to the following scanning timing, and image display will be performed.

[0008]The above-mentioned signal wire 5 is connected with the status signal actuator 4 via the signal wire terminal 5a.

A status signal is impressed.

On the other hand, the above-mentioned scanning line 6 is connected with the scanning signal actuator 3 via the scanning line terminal 6a.

A scanning signal is impressed.

[0009]The preliminary wiring 14a and 14b electrically insulated via the insulator layer 16 shown in the signal wire 5 and drawing 5 in parallel with the signal wire 5 and the perpendicularity 6, i.e., a scanning line, is formed in one both-ends side of the panel 2, respectively. This preliminary wiring 14a and 14b is connected by the connecting line which is not illustrated via the preliminary wiring terminal 15.

[0010]In the above-mentioned composition, if the produced thing with a poor open circuit as shown in the signal wire 5 by the reference mark 17 is detected by an inspection process etc., The intersection 18a of this signal wire 5 and preliminary wiring 14a and the intersection 18b of the above-mentioned signal wire 5 and the preliminary wiring 14b are electrically connected by removal of the above-mentioned insulator layer 16 by the exposure of a laser beam, etc.

[0011]Direct-drive voltage is impressed to TFT8 of status signal actuator 4 slippage via the signal wire 5 by this from the open-circuit faulty point 17. On the other hand, driver voltage is impressed to TFT8 of open-circuit faulty point 17 beyond via the preliminary wiring 14a, the above-mentioned connecting line, the preliminary wiring 14b, and the signal wire 5 by the side of open-circuit faulty point 17 beyond from the signal wire 5 by the side of the above-mentioned status signal actuator 4. That is, the open-circuit faulty point 17 is bypassed and both the picture elements before and behind that can perform image display.

[0012]However, as shown in drawing 5, in the intersection of the signal wire 5 and the preliminary wiring 14a and 14b, by poor membrane formation of the insulator layer 16, the defective part 19 may occur and the signal wire 5 and the preliminary wiring 14a and 14b may short-circuit. When two or more these defective parts 19 occur, and signal wire 5 comrades which make the picture element corresponding to a unique light filter drive connect too hastily via the preliminary wiring 14a and 14b, as it is shown in drawing 6, for example, When the signal wire 5 (n) and the signal wire 5 (n+1) which are ******** signal wires short-circuit, Or as shown in drawing 7, when [of the signal wire 5 (n), the signal wire 5 (mx (n+1)) or the signal wire 5 (mx (n+2))] either connects too hastily via the preliminary wiring 14a and 14b at least, the signal impressed to the short-circuited signal wire 5 serves as an identical level. For this reason, on the display, in the above-mentioned signal wire 5 (n), 5(n+1); 5 (n), and 5 (mx (n+1)), although the line defect was produced, this line defect is detected by typical conventional technology by displaying the level gradation screen shown in the solid screen or the figure (b) shown in drawing 8 (a).

[0013]

[Problem to be solved by the invention]However, when signal wire 5 comrades which make the picture element corresponding to the light filter of the same color drive connect too hastily via the preliminary wiring 14a and 14b, as it is shown in drawing 9, for example, even when the signal wire 5 (n) and the signal wire 5 (mxn) short-circuit, the above-mentioned line defect occurs. However, this line defect has the problem that it is undetectable with the solid screen or level gradation screen which was shown in drawing 8 (a) and (b), and was mentioned above.

[0014]The purpose of this invention not only in when signal wire 5 comrades which make the

picture element corresponding to a unique light filter drive connect too hastily via the preliminary wiring 14a and 14b, It is in providing the defect detection method of the matrix type display device which enables detection of the line defect generated when signal wire 5 comrades which make the picture element corresponding to the light filter of the same color drive connect too hastily via the preliminary wiring 14a and 14b.

[0015]

[Means for solving problem]In order to solve above-mentioned SUBJECT, the defect detection method of the matrix type display device of invention of Claim 1, While two or more signal wires by which are electrically insulated by two or more scanning lines arranged in parallel with mutual and this scanning line, and an orthogonal array is carried out to them are formed on a substrate, In the defect detection method of the matrix type display device with which the preliminary wiring for being connected with the both ends at the time of an open circuit of said scanning line or a signal wire, and bypassing a disconnection part is formed, It is characterized by performing display driving for every horizontal scanning cycle with the signal with which a luminance level switches to timing which is mutually different.

[0016]In order to check whether two or more above-mentioned scanning lines or two or more above-mentioned signal wires has conducted via the above-mentioned preliminary wiring by an undesirable short circuit according to the described method, The signal with which a luminance level switches to timing which is mutually different is impressed to the above-mentioned matrix type display device for every horizontal scanning cycle. Thereby, if there is the above-mentioned short circuit, the conducted signal wire or scanning line will be actualized simultaneously.

[0017]As a result, not only in when the signal wires which make the picture element corresponding to a unique light filter drive have short-circuited via preliminary wiring, Since the line defect generated when the signal wires which make the picture element corresponding to the light filter of the same color drive have short-circuited via preliminary wiring is detectable, the quality and reliability of a matrix display device can be raised.

[0018]The defect detection method of the matrix type display device of invention of Claim 2, While two or more signal wires by which are electrically insulated by two or more scanning lines arranged in parallel with mutual and this scanning line, and an orthogonal array is carried out to them are formed on a substrate, In the defect detection method of the matrix type display device formed, the preliminary wiring for being connected with the both ends at the time of an open circuit of said scanning line or a signal wire, and bypassing a disconnection part by each inter-frame one. It is characterized by performing display driving with the signal with which the luminance level in the horizontal scanning cycle corresponding to mutual switches, and timing differs mutually.

[0019]In order to check whether two or more above-mentioned scanning line or two or more above-mentioned signal wires have conducted via the above-mentioned preliminary wiring by an undesirable short circuit according to the described method, The signal with which the luminance level in the horizontal scanning cycle corresponding to mutual switches, and timing

differs mutually by each inter-frame one is impressed to the above-mentioned matrix display device. Thereby, if there is the above-mentioned short circuit, the conducted signal wire or scanning line will be actualized simultaneously.

[0020]As a result, not only in when the signal wires which make the picture element corresponding to a unique light filter drive have short-circuited via preliminary wiring, Since the line defect generated when the signal wires which make the picture element corresponding to the light filter of the same color drive have short-circuited via preliminary wiring is detectable, the quality and reliability of a matrix display device can be raised.

[0021]

[Mode for carrying out the invention]One form of enforcement of this invention is explained below based on drawing 1 thru/or drawing 5. The defect detection method of the matrix type display device of this invention is used for the common liquid crystal display 1 shown in drawing 4 and drawing 5. Drawing 4 is a representative circuit schematic of an outline showing the above-mentioned liquid crystal display 1. Drawing 5 is a flat-surface enlarged drawing showing an important section when the preliminary wiring 14a and 14b and the signal wire 5 short-circuit via the defective part 19 in the above-mentioned liquid crystal display 1.

[0022]As shown in drawing 4, the above-mentioned liquid crystal display 1 comprises the panel 2 which is a display, and the scanning signal actuator 3 and the status signal actuator 4 which impress a video signal. The above-mentioned panel 2 is provided with the following.

For example, a glass substrate parallel to both up-and-down couples.

The polarizing plate formed in the way surface outside both glass substrates, respectively.

The transparent electrode formed in the inner direction surface of each above-mentioned glass substrate.

Quality of a liquid crystal enclosed in the space formed with the orienting film formed on the above-mentioned transparent electrode, the seals resin which closes the outer peripheral part of both glass substrates airtightly, and the above-mentioned glass substrate and seals resin.

On the upper side board, the above-mentioned transparent electrode is formed in common, and is arranged and formed in matrix form on the lower substrate to this corresponding to each picture element, for example.

[0023]On the above-mentioned upper side board, it intersects perpendicularly with many signal wires 5 which are parallel to one way, and this signal wire 5, and they are formed [it is / many scanning lines 6 / parallel, and]. The signal wire 5 and the scanning line 6 cross in the state where it insulated electrically. The picture element electrode 7 is formed in each field surrounded by the signal wire 5 and the scanning line 6, respectively. TFT(Thin Film Transistor)8 is connected to this picture element electrode 7 as a switching element. The gate electrode 9 of TFT8 is connected to the scanning line 6, the source electrode 10 is connected to the signal wire 5, and the drain electrode 11 is connected to the auxiliary capacity 12 and the corresponding picture element electrode 7. The auxiliary capacity 12 is arranged at the highway 13 via the insulator layer 16 shown in drawing 5. This highway 13 crosses in the state where it insulated with the signal wire 5 electrically in parallel with each scanning line 6. The

above-mentioned highway 13 is short-circuited altogether, and is connected to the above-mentioned lower substrate via the common end-of-line child 13a.

[0024]If TFT8 is chosen by the selection pulse impressed to the scanning line 6, it will be conducted, and it charges the gradation voltage corresponding to the duty pulse impressed to the signal wire 5 at a liquid crystal and the auxiliary capacity 12. A liquid crystal and the auxiliary capacity 12 will hold the electric charge to the following scanning timing, and image display will be performed.

[0025]The above-mentioned signal wire 5 is connected with the status signal actuator 4 via the signal wire terminal 5a, and a status signal is impressed. On the other hand, the above-mentioned scanning line 6 is connected with the scanning signal actuator 3 via the scanning line terminal 6a, and a scanning signal is impressed.

[0026]The preliminary wiring 14a and 14b electrically insulated via the insulator layer 16 shown in the signal wire 5 and drawing 5 in parallel with the signal wire 5 and the perpendicularity 6, i.e., a scanning line, is formed in one both-ends side of the panel 2, respectively. This preliminary wiring 14a and 14b is connected by the connecting line which is not illustrated via the preliminary wiring terminal 15.

[0027]In the liquid crystal display 1 which consists of the above-mentioned composition, in order to detect the short circuit of signal wire 5 comrades through the preliminary wiring 14a and 14b, the test signal mentioned later is impressed. The above-mentioned test signal is the signal with which a luminance level switches to mutually different timing for every horizontal scanning cycle, i.e., the signal to which the picture signal was changed with five units of signal wires in the timing of one horizontal synchronization of each scanning signal in 1 field. The slanting gradation screen shown in the slanting solid screen or the figure (b) shown in drawing 2 (a) with this test signal, for example is displayed.

[0028]When detecting the short circuit of signal wire 5 comrades which make the picture element corresponding to the light filter of the same color through the preliminary wiring 14a and 14b drive, as shown in drawing 1, the case where the short circuit of the signal wire 5 (n) and the signal wire 5 (mxn) is detected is explained, for example. In drawing 1, impression of the above-mentioned test signal which displays the slanting solid screen shown in drawing 2 (a) on the liquid crystal display 1 which the signal wire 5 (n) and the signal wire 5 (mxn) have short-circuited will actualize a field as shown by ** in a figure on a screen. This field supports the picture element from the picture element P (n, 1) which the signal wire 5 (n) drove to the picture element P (n, i). However, since only the signal which makes the picture element P (n, 1) and the picture element P (n, 2) drive is originally inputted into the signal wire 5 (n), the picture element from the picture element P (n, 3) to ******P (n, i) is not driven. On the other hand, the signal which makes the picture element from the picture element P (mxn, 1) to the picture element P (mxn, i) drive is inputted into the signal wire 5 (mxn). Thereby, it turns out that the signal wire 5 (n) and the signal wire 5 (mxn) have short-circuited. And this short-circuited signal wire 5 (n) is correctable by the exposure of a laser beam, etc.

[0029]Even if it impresses the above-mentioned test signal which displays the slanting solid

screen shown in drawing 2 (a) on the liquid crystal display 1 which signal wire 5 comrades which make the picture element corresponding to a unique light filter drive have short-circuited via the preliminary wiring 14a and 14b, the short-circuited signal wire 5 is detectable.

[0030]As other test signals, it is inter-frame [each] and there is a signal with which the luminance level in the horizontal scanning cycle corresponding to mutual switches, and timing differs mutually, i.e., the signal to which an isolated pattern is moved for every frame. By this test signal, the isolated pattern horizontal migration screen shown in drawing 3 is displayed, for example.

[0031]Even if impressed by the liquid crystal display 1 which signal wire 5 comrades which make the picture element corresponding to the light filter of the same color for the above-mentioned test signal drive have short-circuited via the preliminary wiring 14a and 14b, the short-circuited signal wire 5 is detectable. And this short-circuited signal wire 5 is correctable by the exposure of a laser beam, etc.

[0032]Even if it impresses the above-mentioned test signal which displays the isolated pattern horizontal migration screen shown in drawing 3 on the liquid crystal display 1 which signal wire 5 comrades which make the picture element corresponding to a unique light filter drive have short-circuited via the preliminary wiring 14a and 14b, the short-circuited signal wire 5 is detectable.

[0033]By as mentioned above, the signal or each inter-frame one from which a luminance level switches to the liquid crystal display 1 to mutually different timing for every horizontal scanning cycle. If the signal with which the luminance level in the horizontal scanning cycle corresponding to mutual switches, and timing differs mutually is impressed, all the short circuits of signal wire 5 comrades through the preliminary wiring 14a and 14b are detectable. As a result, the quality and reliability of the liquid crystal display 1 can be raised.

[0034]

[Effect of the Invention]As mentioned above, the defect detection method of the matrix type display device of invention of Claim 1, While two or more signal wires by which are electrically insulated by two or more scanning lines arranged in parallel with mutual and this scanning line, and an orthogonal array is carried out to them are formed on a substrate, In the defect detection method of the matrix type display device with which the preliminary wiring for being connected with the both ends at the time of an open circuit of said scanning line or a signal wire, and bypassing a disconnection part is formed, It is characterized by performing display driving for every horizontal scanning cycle with the signal with which a luminance level switches to timing which is mutually different.

[0035]Not only in when the signal wires which make the picture element corresponding to a unique light filter drive by this have short-circuited via preliminary wiring, Since the line defect generated when the signal wires which make the picture element corresponding to the light filter of the same color drive have short-circuited via preliminary wiring is detectable, the effect that the quality and reliability of a matrix display device can be raised is done so.

[0036]The defect detection method of the matrix type display device of invention of Claim 2, While two or more signal wires by which are electrically insulated by two or more scanning lines arranged in parallel with mutual and this scanning line, and an orthogonal array is carried out to them are formed on a substrate, In the defect detection method of the matrix type display device formed, the preliminary wiring for being connected with the both ends at the time of an open circuit of said scanning line or a signal wire, and bypassing a disconnection part by each inter-frame one. It is characterized by performing display driving with the signal with which the luminance level in the horizontal scanning cycle corresponding to mutual switches, and timing differs mutually.

[0037]Not only in when the signal wires which make the picture element corresponding to a unique light filter drive by this have short-circuited via preliminary wiring, Since the line defect generated when the signal wires which make the picture element corresponding to the light filter of the same color drive have short-circuited via preliminary wiring is detectable, the effect that the quality and reliability of a matrix display device can be raised is done so.

* NOTICES *

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.

2.**** shows the word which can not be translated.

3.In the drawings, any words are not translated.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is an explanatory view showing a state when it displays on the liquid crystal display which the signal wires which make the picture element corresponding to the light filter of the same color for the slanting solid screen shown in drawing 2 (a) drive short-circuited via preliminary wiring.

[Drawing 2]It is a pattern drawing showing the picture of one example displayed when the signal based on the defect detection method of the matrix display device of this invention is impressed, and the pattern drawing in which the figure (a) shows a slanting solid screen, and the figure (b) are pattern drawings showing a slanting gradation screen.

[Drawing 3]It is a pattern drawing showing the isolated pattern horizontal migration screen which are other examples displayed when the signal based on the defect detection method of the matrix display device of this invention is impressed.

[Drawing 4]It is a representative circuit schematic of an outline showing the common liquid

crystal display which provided preliminary wiring.

[Drawing 5]In the liquid crystal display shown in drawing 4, it is a flat-surface enlarged drawing showing an important section when preliminary wiring and a signal wire short-circuit via a defective part.

[Drawing 6]In the liquid crystal display shown in drawing 4, it is an explanatory view showing a state when a ******** signal wire short-circuits.

[Drawing 7]In the liquid crystal display shown in drawing 4, it is an explanatory view showing a state when the signal wires which make the picture element corresponding to a unique light filter drive short-circuit via preliminary wiring.

[Drawing 8]It is a check pattern figure for defect detections for inspecting the short circuit of the signal wires through the conventional preliminary wiring.

[Drawing 9]In the liquid crystal display shown in drawing 4, it is an explanatory view showing a state when the signal wires which make the picture element corresponding to the light filter of the same color drive short-circuit via preliminary wiring.

[Explanations of letters or numerals]

1 Liquid crystal display (matrix type display device)
2 Panel (substrate)
3 Scanning signal actuator
4 Status signal actuator
5 Signal wire
6 Scanning line
5a Signal wire terminal
6a Scanning line terminal
8 TFT
9 Gate electrode
10 Source electrode
11 Drain electrode
12 Auxiliary capacity
13 Highway
13a Common end-of-line child
14a Preliminary wiring
14b Preliminary wiring
15 Preliminary wiring terminal
16 Insulator layer
17 Open-circuit faulty point (disconnection part)
18a Intersection
18b Intersection
19 Defective part

[Translation done.]

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号

特開平9－80478

(43)公開日　平成９年(1997)３月28日

(51)Int.Cl.[6]	識別記号	庁内整理番号	ＦＩ		技術表示箇所
Ｇ０２Ｆ　1/136	５００		Ｇ０２Ｆ　1/136	５００	
Ｇ０１Ｒ　31/00			Ｇ０１Ｒ　31/00		
31/02			31/02		
Ｇ０２Ｆ　1/13	１０１		Ｇ０２Ｆ　1/13	１０１	
Ｈ０１Ｌ　29/786			Ｈ０１Ｌ　29/78	６１２Ａ	

審査請求　未請求　請求項の数２　ＯＬ　（全　８　頁）

(21)出願番号　特願平7－234132

(22)出願日　平成７年(1995)９月12日

(71)出願人　000005049
シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号

(72)発明者　入江　勝美
大阪府大阪市阿倍野区長池町22番22号　シャープ株式会社内

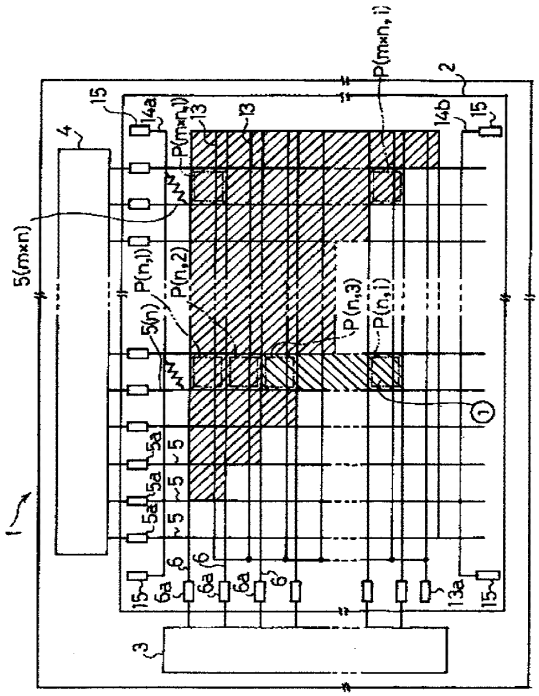
(74)代理人　弁理士　原　謙三

(54)【発明の名称】　マトリクス型表示装置の欠陥検出方法

(57)【要約】

【課題】　マトリクス型表示装置に用いられている予備配線を介しての信号線同士の短絡を確実に検出し、上記マトリクス表示装置の品質および信頼性を向上させる。

【解決手段】　上記マトリクス表示装置の１例である液晶表示装置１は、この液晶表示装置１のパネル２上に相互に平行に配列された複数の走査線６、この走査線６に電気的に絶縁されて直交配列される複数の信号線５、および上記信号線５の断線時にその両端を接続し、断線不良箇所１７をバイパスするための予備配線１４ａ・１４ｂを備えている。上記構成において、予備配線１４ａ・１４ｂを介しての信号線５同士の短絡を検査するために、各水平走査周期毎に、相互に異なるタイミングで輝度レベルが切り換わる信号を上記液晶表示装置１に印加する。



BOE Ex. 1002, p. 91
BOE v. Paneltouch
IPR2025-01482

【特許請求の範囲】
【請求項１】基板上に相互に平行に配列された複数の走査線およびこの走査線に電気的に絶縁されて直交配列される複数の信号線が形成されるとともに、前記走査線もしくは信号線の断線時にその両端と接続されて、断線箇所をバイパスするための予備配線が形成されるマトリクス型表示装置の欠陥検出方法において、
各水平走査周期毎に、相互に異なるタイミングで輝度レベルが切り換わる信号によって表示駆動を行うことを特徴とするマトリクス型表示装置の欠陥検出方法。
【請求項２】基板上に相互に平行に配列された複数の走査線およびこの走査線に電気的に絶縁されて直交配列される複数の信号線が形成されるとともに、前記走査線もしくは信号線の断線時にその両端と接続されて、断線箇所をバイパスするための予備配線が形成されるマトリクス型表示装置の欠陥検出方法において、
各フレーム間で、相互に対応する水平走査周期における輝度レベルの切り換わりタイミングが相互に異なる信号によって表示駆動を行うことを特徴とするマトリクス型表示装置の欠陥検出方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】本発明は、例えば、アクティブマトリクス型液晶表示装置に用いられている予備配線を介しての信号線同士の短絡を検出するマトリクス型表示装置の欠陥検出方法に関するものである。
【０００２】
【従来の技術】近年、情報機器の小型、軽量、および高性能化にともなって、液晶表示装置等のフラット型の表示装置が普及している。そして、そのような表示装置には、ＶＧＡ(Video Graphics Array)、Ｓ－ＶＧＡ(Super-Video Graphics Array)、ＸＧＡ(Extended Graphics Array) 等の高解像度が要求されてきている。ところが、高解像度を有する表示装置は、絵素数が多くなり、電極数が膨大なものになる。このため、上記表示装置には、絵素をマトリクス状に設けたマトリクス型表示装置が用いられている。
【０００３】しかしながら、上記マトリクス型表示装置は、基板上に形成される走査線および信号線が、表示装置の高解像度化にともない、その線幅が狭くなってきており、また大画面化によって表示装置上での引回し長が長くなってきている。このため、上記走査線および信号線は、生産プロセス上、断線不良が生じやすくなっている。そして、走査線または信号線に断線不良が生じると、その断線不良箇所以遠の絵素を表示駆動することができず、表示品質が著しく低下していた。
【０００４】そこで、特開平３－２３４２５号公報には、上記断線不良が生じても修復可能な液晶表示装置の構成を提案している。そのような一般的な液晶表示装置１を、図４および図５に基づいて説明する。尚、図４は、上記液晶表示装置１を示す概略の等価回路図である。また、図５は、上記液晶表示装置１において、欠陥部１９を介して予備配線１４ａ・１４ｂと信号線５とが短絡したときの要部を示す平面拡大図である。
【０００５】図４において、上記液晶表示装置１は、表示部であるパネル２と、映像信号を印加する走査信号駆動部３および表示信号駆動部４とから構成されている。上記パネル２は、例えば、上下一対の相互に平行なガラス基板と、両ガラス基板の外方表面にそれぞれ形成される偏光板と、上記各ガラス基板の内方表面に形成される透明電極と、上記透明電極上に形成される配向膜と、両ガラス基板の外周部を気密に封止するシール樹脂と、上記ガラス基板およびシール樹脂によって形成された空間内に封入される液晶質とを備えている。上記透明電極は、例えば、上側基板上では共通に形成されており、これに対して下側基板上では、各絵素に対応してマトリクス状に配列されて形成されている。
【０００６】上記上側基板上には、一方向に平行する多数の信号線５と、この信号線５に直交して、多数の走査線６が平行して設けられている。信号線５と走査線６とは、電気的に絶縁した状態で交差している。信号線５および走査線６に囲まれた各領域には、絵素電極７がそれぞれ設けられている。この絵素電極７には、スイッチング素子としてＴＦＴ(Thin Film Transistor)８が接続されている。ＴＦＴ８のゲート電極９は走査線６に接続され、ソース電極１０は信号線５に接続され、ドレイン電極１１は補助容量１２および対応する絵素電極７に接続されている。また、補助容量１２は、図５に示す絶縁膜１６を介して共通線１３に配置されている。この共通線１３は、各走査線６と平行に、かつ信号線５と電気的に絶縁した状態で交差しているとともに、上記共通線１３はすべて短絡されており、共通線端子１３ａを介して、上記下側基板に接続されている。
【０００７】ＴＦＴ８は、走査線６に印加される選択パルスにより選択されると導通し、信号線５に印加されるデューティパルスに対応した階調電圧を液晶および補助容量１２に充電する。液晶および補助容量１２は、次の走査タイミングまでその電荷を保持し、画像表示が行われることになる。
【０００８】上記信号線５は、信号線端子５ａを介して、表示信号駆動部４と接続されており、表示信号が印加される。一方、上記走査線６は、走査線端子６ａを介して、走査信号駆動部３と接続されており、走査信号が印加される。
【０００９】また、パネル２の一方の両端部側には、信号線５と垂直、即ち、走査線６と平行に、かつ信号線５と図５に示す絶縁膜１６を介して電気的に絶縁された予備配線１４ａ・１４ｂがそれぞれ形成されている。この予備配線１４ａ・１４ｂは、予備配線端子１５を介して図示しない連絡線により接続されている。

BOE Ex. 1002, p. 92
BOE v. Paneltouch
IPR2025-01482

【００１０】上記構成において、例えば、信号線５に参照符１７で示すような断線不良の生じていることが検査工程等で検出されると、この信号線５と予備配線１４ａとの交点１８ａおよび上記信号線５と予備配線１４ｂとの交点１８ｂが、レーザ光の照射による上記絶縁膜１６の除去等によって電気的に接続される。

【００１１】これによって、断線不良箇所１７から表示信号駆動部４寄りのＴＦＴ８には、信号線５を介して直接駆動電圧が印加される。これに対し、断線不良箇所１７以遠のＴＦＴ８には、上記表示信号駆動部４側の信号線５から予備配線１４ａ、上記連絡線、予備配線１４ｂ、および断線不良箇所１７以遠側の信号線５を介して駆動電圧が印加される。即ち、断線不良箇所１７がバイパスされて、その前後の絵素は、ともに画像表示を行うことができる。

【００１２】しかしながら、図５に示すように、信号線５と予備配線１４ａ・１４ｂとの交差部において、絶縁膜１６の成膜不良により、欠陥部１９が発生し、信号線５と予備配線１４ａ・１４ｂとが短絡することがある。この欠陥部１９が複数個発生し、異色のカラーフィルタに対応する絵素を駆動させる信号線５同士が予備配線１４ａ・１４ｂを介して短絡した場合、例えば、図６に示すように、隣あった信号線である信号線５（ｎ）と信号線５（ｎ＋１）とが短絡した場合、あるいは、図７に示すように、信号線５（ｎ）と信号線５（ｍ×（ｎ＋１））または信号線５（ｍ×（ｎ＋２））の少なくともどちらか一方とが予備配線１４ａ・１４ｂを介して短絡した場合、短絡した信号線５に印加される信号が同一レベルとなる。このため、表示上、上記信号線５（ｎ），５（ｎ＋１）；５（ｎ），５（ｍ×（ｎ＋１））において、線欠陥を生じていたが、この線欠陥は、典型的な従来技術では、図８（ａ）に示すベタ画面または同図（ｂ）に示す水平階調画面を表示させることによって検出されている。

【００１３】

【発明が解決しようとする課題】ところが、同色のカラーフィルタに対応する絵素を駆動させる信号線５同士が予備配線１４ａ・１４ｂを介して短絡した場合、例えば、図９に示すように、信号線５（ｎ）と信号線５（ｍ×ｎ）とが短絡した場合でも上記線欠陥が発生する。しかしながら、この線欠陥は、図８（ａ）（ｂ）に示して上述したベタ画面または水平階調画面によって検出することができないという問題を有している。

【００１４】本発明の目的は、異色のカラーフィルタに対応する絵素を駆動させる信号線５同士が予備配線１４ａ・１４ｂを介して短絡した場合だけでなく、同色のカラーフィルタに対応する絵素を駆動させる信号線５同士が予備配線１４ａ・１４ｂを介して短絡した場合に発生する線欠陥の検出を可能とするマトリクス型表示装置の欠陥検出方法を提供することにある。

【００１５】

【課題を解決するための手段】上記の課題を解決するために、請求項１の発明のマトリクス型表示装置の欠陥検出方法は、基板上に相互に平行に配列された複数の走査線およびこの走査線に電気的に絶縁されて直交配列される複数の信号線が形成されるとともに、前記走査線もしくは信号線の断線時にその両端と接続されて、断線箇所をバイパスするための予備配線が形成されるマトリクス型表示装置の欠陥検出方法において、各水平走査周期毎に、相互に異なるタイミングで輝度レベルが切り換わる信号によって表示駆動を行うことを特徴としている。

【００１６】上記方法によれば、不所望な短絡によって、上記予備配線を介して複数の上記走査線同士もしくは複数の上記信号線同士が導通しているか否かを確認するために、各水平走査周期毎に、相互に異なるタイミングで輝度レベルが切り換わる信号を上記マトリクス型表示装置に印加する。これにより、もし上記短絡があれば、導通している信号線もしくは走査線が同時に顕在化される。

【００１７】この結果、異色のカラーフィルタに対応する絵素を駆動させる信号線同士が予備配線を介して短絡している場合だけでなく、同色のカラーフィルタに対応する絵素を駆動させる信号線同士が予備配線を介して短絡している場合に発生する線欠陥を検出することができるので、マトリクス表示装置の品質および信頼性を向上させることができる。

【００１８】請求項２の発明のマトリクス型表示装置の欠陥検出方法は、基板上に相互に平行に配列された複数の走査線およびこの走査線に電気的に絶縁されて直交配列される複数の信号線が形成されるとともに、前記走査線もしくは信号線の断線時にその両端と接続されて、断線箇所をバイパスするための予備配線が形成されるマトリクス型表示装置の欠陥検出方法において、各フレーム間で、相互に対応する水平走査周期における輝度レベルの切り換わりタイミングが相互に異なる信号によって表示駆動を行うことを特徴としている。

【００１９】上記方法によれば、不所望な短絡によって、上記予備配線を介して複数の上記走査線もしくは複数の上記信号線が導通しているか否かを確認するために、各フレーム間で、相互に対応する水平走査周期における輝度レベルの切り換わりタイミングが相互に異なる信号を上記マトリクス表示装置に印加する。これにより、もし、上記短絡があれば、導通している信号線もしくは走査線が同時に顕在化される。

【００２０】この結果、異色のカラーフィルタに対応する絵素を駆動させる信号線同士が予備配線を介して短絡している場合だけでなく、同色のカラーフィルタに対応する絵素を駆動させる信号線同士が予備配線を介して短絡している場合に発生する線欠陥を検出することができるので、マトリクス表示装置の品質および信頼性を向上

BOE Ex. 1002, p. 93
BOE v. Paneltouch
IPR2025-01482

させることができる。

【００２１】

【発明の実施の形態】本発明の実施の一形態を図１ないし図５に基づいて以下に説明する。本発明のマトリクス型表示装置の欠陥検出方法を図４および図５に示した一般的な液晶表示装置１に用いる。尚、図４は、上記液晶表示装置１を示す概略の等価回路図である。また、図５は、上記液晶表示装置１において、欠陥部１９を介して予備配線１４ａ・１４ｂと信号線５とが短絡したときの要部を示す平面拡大図である。

【００２２】図４に示すように、上記液晶表示装置１は、表示部であるパネル２と、映像信号を印加する走査信号駆動部３および表示信号駆動部４とから構成されている。上記パネル２は、例えば、上下一対の相互に平行なガラス基板と、両ガラス基板の外方表面にそれぞれ形成される偏光板と、上記各ガラス基板の内方表面に形成される透明電極と、上記透明電極上に形成される配向膜と、両ガラス基板の外周部を気密に封止するシール樹脂と、上記ガラス基板およびシール樹脂によって形成された空間内に封入される液晶質とを備えている。上記透明電極は、例えば、上側基板上では共通に形成されており、これに対して下側基板上では、各絵素に対応してマトリクス状に配列されて形成されている。

【００２３】上記上側基板上には、一方向に平行する多数の信号線５と、この信号線５に直交して、多数の走査線６が平行して設けられている。信号線５と走査線６とは、電気的に絶縁した状態で交差している。信号線５および走査線６に囲まれた各領域には、絵素電極７がそれぞれ設けられている。この絵素電極７には、スイッチング素子としてＴＦＴ(Thin Film Transistor)８が接続されている。ＴＦＴ８のゲート電極９は走査線６に接続され、ソース電極１０は信号線５に接続され、ドレイン電極１１は補助容量１２および対応する絵素電極７に接続されている。また、補助容量１２は、図５に示す絶縁膜１６を介して共通線１３に配置されている。この共通線１３は、各走査線６と平行に、かつ信号線５と電気的に絶縁した状態で交差している。また、上記共通線１３はすべて短絡されており、共通線端子１３ａを介して、上記下側基板に接続されている。

【００２４】ＴＦＴ８は、走査線６に印加される選択パルスにより選択されると導通し、信号線５に印加されるデューティパルスに対応した階調電圧を液晶および補助容量１２に充電する。液晶および補助容量１２は、次の走査タイミングまでその電荷を保持し、画像表示が行われることになる。

【００２５】上記信号線５は、信号線端子５ａを介して、表示信号駆動部４と接続されており、表示信号が印加される。一方、上記走査線６は、走査線端子６ａを介して、走査信号駆動部３と接続されており、走査信号が印加される。

【００２６】また、パネル２の一方の両端部側には、信号線５と垂直、即ち、走査線６と平行に、かつ信号線５と図５に示す絶縁膜１６を介して電気的に絶縁された予備配線１４ａ・１４ｂがそれぞれ形成されている。この予備配線１４ａ・１４ｂは、予備配線端子１５を介して図示しない連絡線により接続されている。

【００２７】上記構成からなる液晶表示装置１において、予備配線１４ａ・１４ｂを介しての信号線５同士の短絡を検出するために、後述する検査信号を印加する。上記検査信号とは、各水平走査周期毎に、相互に異なるタイミングで輝度レベルが切り換わる信号、即ち、１フィールド内で各走査信号の１水平同期のタイミングで画像信号を信号線５単位で変化させた信号である。この検査信号により、例えば、図２（ａ）に示す斜めベタ画面または同図（ｂ）に示す斜め階調画面が表示される。

【００２８】予備配線１４ａ・１４ｂを介しての同色のカラーフィルタに対応する絵素を駆動させる信号線５同士の短絡を検出する場合、例えば、図１に示すように、信号線５（ｎ）と信号線５（ｍ×ｎ）との短絡を検出する場合について説明する。図１において、信号線５（ｎ）と信号線５（ｍ×ｎ）とが短絡している液晶表示装置１に、図２（ａ）に示した斜めベタ画面を表示する上記検査信号を印加すると、画面上には、図中の①で示すような領域が顕在化する。この領域は、信号線５（ｎ）が駆動した絵素Ｐ(n,1) から絵素Ｐ (n,i)までの絵素に対応している。ところが、本来、信号線５（ｎ）には、絵素Ｐ(n,1) および絵素Ｐ(n,2) を駆動させる信号しか入力されていないので、絵素Ｐ(n,3) からび絵素Ｐ(n,i) までの絵素は駆動されない。一方、信号線５（ｍ×ｎ）には、絵素Ｐ(m×n,1)から絵素Ｐ(m×n,i)までの絵素を駆動させる信号が入力されている。これにより、信号線５（ｎ）と信号線５（ｍ×ｎ）とが短絡していることが分かる。そして、この短絡している信号線５（ｎ）は、レーザ光の照射等により修正が可能である。

【００２９】さらに、予備配線１４ａ・１４ｂを介して、異色のカラーフィルタに対応する絵素を駆動させる信号線５同士が短絡している液晶表示装置１に、図２（ａ）に示した斜めベタ画面を表示する上記検査信号を印加しても、短絡している信号線５を検出することができる。

【００３０】また、他の検査信号としては、各フレーム間で、相互に対応する水平走査周期における輝度レベルの切り換わりタイミングが相互に異なる信号、即ち、１フレーム毎に孤立パターンを移動させる信号がある。この検査信号により、例えば、図３に示す孤立パターン水平移動画面が表示される。

【００３１】上記検査信号を、同色のカラーフィルタに対応する絵素を駆動させる信号線５同士が予備配線１４ａ・１４ｂを介して短絡している液晶表示装置１に印加しても、短絡している信号線５を検出することができ

BOE Ex. 1002, p. 94
BOE v. Paneltouch
IPR2025-01482

る。そして、この短絡している信号線５は、レーザ光の照射等により修正が可能である。

【００３２】さらに、異色のカラーフィルタに対応する絵素を駆動させる信号線５同士が予備配線１４ａ・１４ｂを介して短絡している液晶表示装置１に、図３に示した孤立パターン水平移動画面を表示する上記検査信号を印加しても、短絡している信号線５を検出することができる。

【００３３】以上のように、液晶表示装置１に、各水平走査周期毎に、相互に異なるタイミングで輝度レベルが切り換わる信号または各フレーム間で、相互に対応する水平走査周期における輝度レベルの切り換わりタイミングが相互に異なる信号を印加すれば、予備配線１４ａ・１４ｂを介しての信号線５同士のあらゆる短絡を検出することができる。この結果、液晶表示装置１の品質および信頼性を向上させることができる。

【００３４】

【発明の効果】以上のように、請求項１の発明のマトリクス型表示装置の欠陥検出方法は、基板上に相互に平行に配列された複数の走査線およびこの走査線に電気的に絶縁されて直交配列される複数の信号線が形成されるとともに、前記走査線もしくは信号線の断線時にその両端と接続されて、断線箇所をバイパスするための予備配線が形成されるマトリクス型表示装置の欠陥検出方法において、各水平走査周期毎に、相互に異なるタイミングで輝度レベルが切り換わる信号によって表示駆動を行うことを特徴としている。

【００３５】これにより、異色のカラーフィルタに対応する絵素を駆動させる信号線同士が予備配線を介して短絡している場合だけでなく、同色のカラーフィルタに対応する絵素を駆動させる信号線同士が予備配線を介して短絡している場合に発生する線欠陥を検出することができるので、マトリクス表示装置の品質および信頼性を向上させることができるという効果を奏する。

【００３６】また、請求項２の発明のマトリクス型表示装置の欠陥検出方法は、基板上に相互に平行に配列された複数の走査線およびこの走査線に電気的に絶縁されて直交配列される複数の信号線が形成されるとともに、前記走査線もしくは信号線の断線時にその両端と接続されて、断線箇所をバイパスするための予備配線が形成されるマトリクス型表示装置の欠陥検出方法において、各フレーム間で、相互に対応する水平走査周期における輝度レベルの切り換わりタイミングが相互に異なる信号によって表示駆動を行うことを特徴としている。

【００３７】これにより、異色のカラーフィルタに対応する絵素を駆動させる信号線同士が予備配線を介して短絡している場合だけでなく、同色のカラーフィルタに対応する絵素を駆動させる信号線同士が予備配線を介して短絡している場合に発生する線欠陥を検出することができるので、マトリクス表示装置の品質および信頼性を向上させることができるという効果を奏する。

【図面の簡単な説明】

【図１】図２（ａ）に示した斜めベタ画面を、同色のカラーフィルタに対応した絵素を駆動させる信号線同士が予備配線を介して短絡した液晶表示装置に表示したときの状態を示す説明図である。

【図２】本発明のマトリクス表示装置の欠陥検出方法に基づく信号を印加したときに表示される１例の画像を示すパターン図であり、同図（ａ）は、斜めベタ画面を示すパターン図、同図（ｂ）は、斜め階調画面を示すパターン図である。

【図３】本発明のマトリクス表示装置の欠陥検出方法に基づく信号を印加したときに表示される他の例である孤立パターン水平移動画面を示すパターン図である。

【図４】予備配線を設けた一般的な液晶表示装置を示す概略の等価回路図である。

【図５】図４に示した液晶表示装置において、欠陥部を介して予備配線と信号線とが短絡したときの要部を示す平面拡大図である。

【図６】図４に示した液晶表示装置において、隣あった信号線が短絡したときの状態を示す説明図である。

【図７】図４に示した液晶表示装置において、異色のカラーフィルタに対応した絵素を駆動させる信号線同士が予備配線を介して短絡したときの状態を示す説明図である。

【図８】従来の予備配線を介しての信号線同士の短絡を検査するための欠陥検出用検査パターン図である。

【図９】図４に示した液晶表示装置において、同色のカラーフィルタに対応した絵素を駆動させる信号線同士が予備配線を介して短絡したときの状態を示す説明図である。

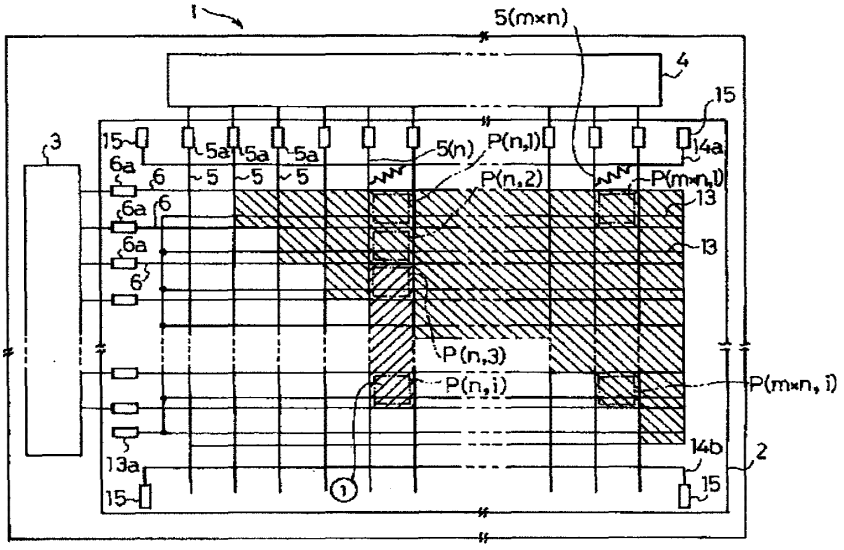
【符号の説明】

１　液晶表示装置（マトリクス型表示装置）
２　パネル（基板）
３　走査信号駆動部
４　表示信号駆動部
５　信号線
６　走査線
５ａ　信号線端子
６ａ　走査線端子
８　ＴＦＴ
９　ゲート電極
１０　ソース電極
１１　ドレイン電極
１２　補助容量
１３　共通線
１３ａ　共通線端子
１４ａ　予備配線
１４ｂ　予備配線
１５　予備配線端子

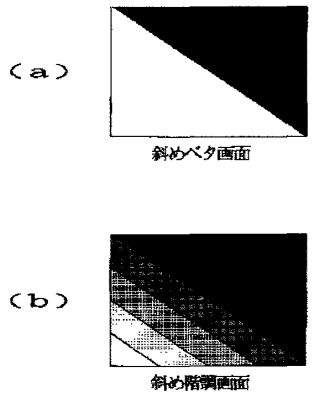
BOE Ex. 1002, p. 95
BOE v. Paneltouch
IPR2025-01482

１６　絶縁膜
１７　断線不良箇所（断線箇所）
１８ａ　交点
１８ｂ　交点
１９　欠陥部

【図１】



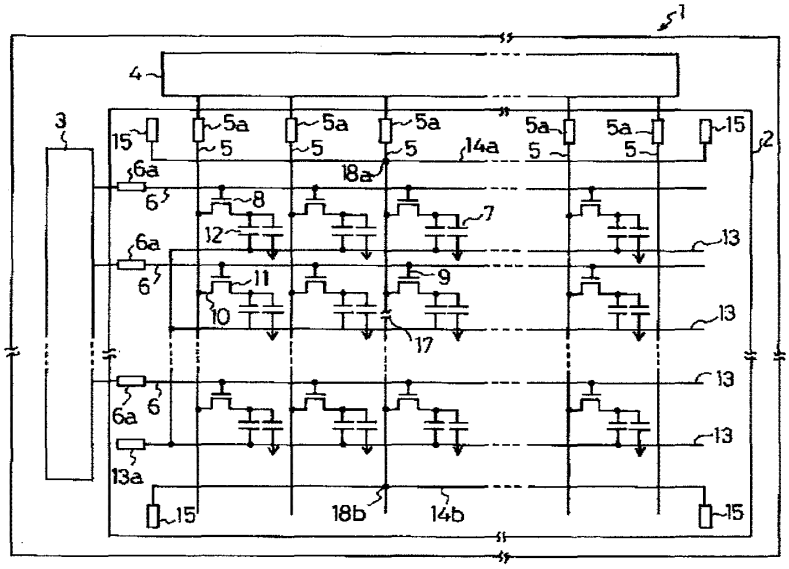
【図２】



【図３】

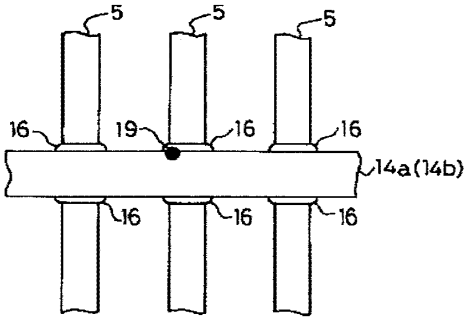


【図４】

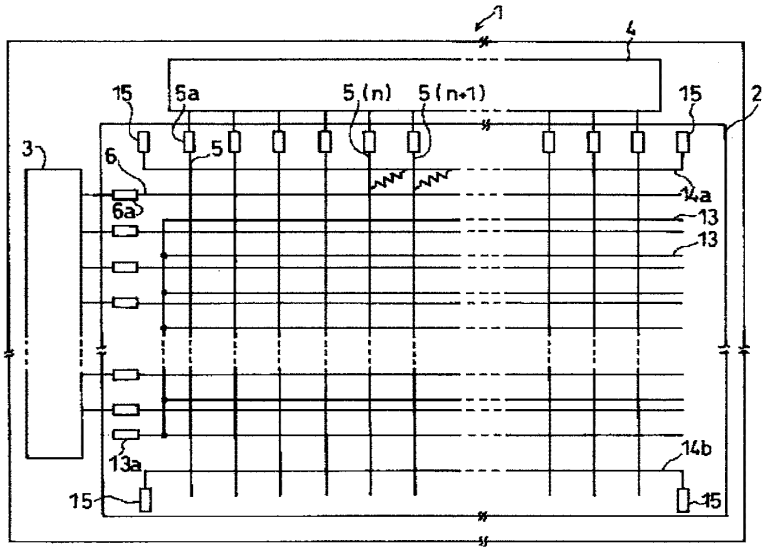


BOE Ex. 1002, p. 96
BOE v. Paneltouch
IPR2025-01482

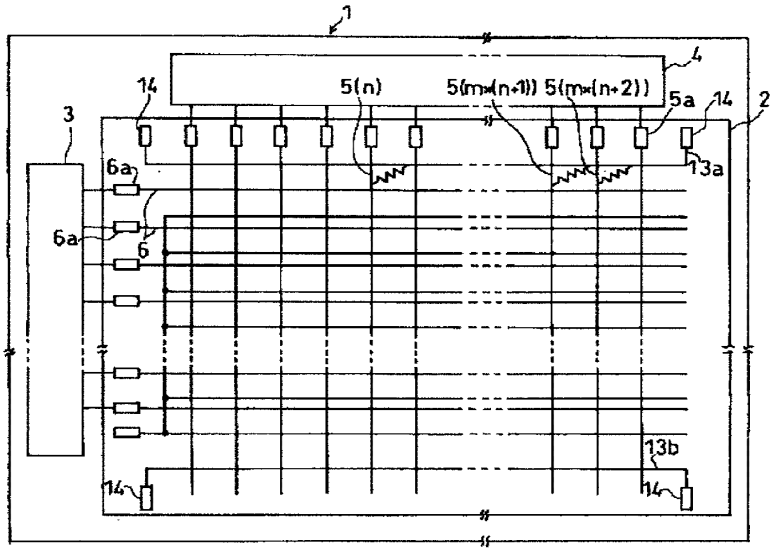
【図５】



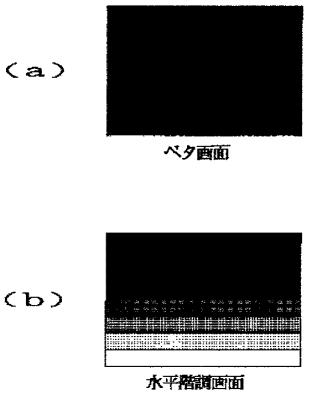
【図６】



【図７】

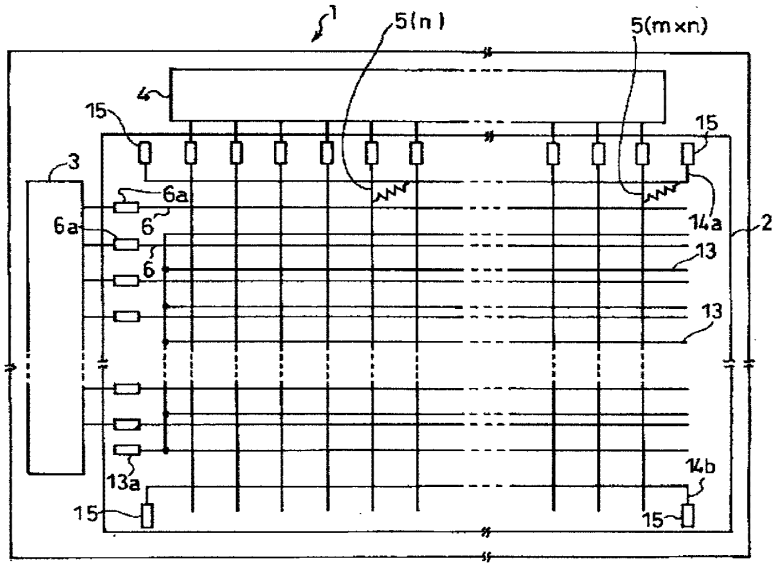


【図８】



BOE Ex. 1002, p. 97
BOE v. Paneltouch
IPR2025-01482

【図９】



BOE Ex. 1002, p. 98
BOE v. Paneltouch
IPR2025-01482

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-152043

(43)Date of publication of application : 16.06.1995

(51)Int.Cl. G02F 1/1345

(21)Application number : 05-299218

(22)Date of filing : 30.11.1993

(71)Applicant : FUJITSU LTD

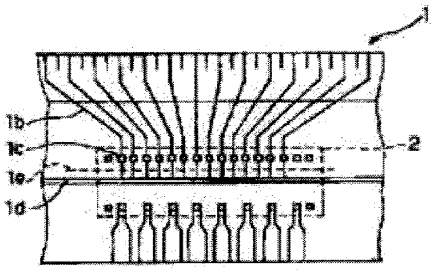
(72)Inventor : MARUYAMA YOSHIAKI
MAJIMA NIWAJI
ANDO SHIZUHITO
SUKETA TOSHIAKI
KASAHARA SHINICHI

(54) LIQUID CRYSTAL DISPLAY PANEL AND METHOD FOR PACKAGING TO THIS PANEL

(57)Abstract:

PURPOSE: To easily take a countermeasure against static electricity through panel process stages and an LSI chip packaging stage even if the liquid crystal display panel deals with COG packaging and LSI chips for driving liquid crystals are packaged on all the sides thereof.

CONSTITUTION: Signal wirings 1b extending outward from the display region of the liquid crystal display panel 1 of the liquid crystal display panel formed by directly packaging the LSI pair chips 2 for driving liquid crystals on the liquid crystal display panel 1 are further extended outward from electrodes 1c facing the output terminals of the LSI pair chips 2 for driving liquid crystals and are all connected to common patterns 1d formed to pass the lower parts of the packaging parts of the LSI pair chips 2 for driving liquid crystals along the outer periphery of the panel. In addition, the parts 1e between the electrodes 1c and the common patterns 1d are cut.



BOE Ex. 1002, p. 99
BOE v. Paneltouch
IPR2025-01482

* NOTICES *

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001]
[Industrial Application]This invention relates to the mounting method to a liquid crystal display panel and this panel, and in detail, Can apply to manufacture and examination technology of a liquid crystal display panel which the measures against the static electricity generated in the manufacturing process of a liquid crystal display panel were taken, and especially by COG (Chip On Glass) mounting correspondence. And when the LSI chip for a liquid crystal drive is mounted all the neighborhoods, it is related with the mounting method to the liquid crystal display panel and this panel which can perform the measure against static electricity easily through a panel process process and an LSI-chip-mounting process.
[0002]In recent years, the liquid crystal display panel for COG packages only to one side has the advantage that formation and removal of the common conductor pattern for performing the measure against static electricity can be performed easily, among the liquid crystal display panel for TAB mounting, and the neighborhood which counters. However, especially, with the latter liquid crystal display panel for COG packages, since a signal wiring pattern was not able to be pulled out to a panel end when it mounts the LSI bare chip for a liquid crystal drive to the neighborhood of both which counter, there was a problem that it became difficult to perform formation and removal of a common conductor pattern.
[0003]For this reason, it is COG package correspondence, and when the LSI chip for a liquid crystal drive is moreover mounted all the neighborhoods, the liquid crystal display panel which can perform the measure against static electricity easily through a panel process process and an LSI-chip-mounting process is demanded.
[0004]
[Description of the Prior Art]Since it constitutes from a liquid crystal display panel for the conventional TAB mounting so that a signal wiring pattern can be straight taken out to a panel end, As shown in drawing 12, the common conductor pattern 101 for a static electricity measure about 0.2-0.5 mm wide is electrically connected to the electrode terminal 102 for TAB mounting used as all the signal wiring patterns along the panel end face, It constitutes so

that the conductive pattern 101 may also be removed, when a panel is completed and the panel board end face 103 is ground.

[0005]In the liquid crystal display panel for the conventional COG packages, although the signal wiring pattern is prolonged to the output terminal electrode position of LSI for a liquid crystal drive on a panel, it has taken the composition which cannot be pulled out to a panel end. Then, when LSI is not mounted in the opposite hand of the LSI mounting neighborhood, As shown in drawing 13, LSI bare chip 111 the non-mounting neighborhood for a liquid crystal drive, The same common conductor pattern 101 for a static electricity measure as drawing 12 is formed, and the scribe of the glass substrate part 112 which bundled up at the time of panel end face polish, and removed, or is sticking out is carried out, and it constitutes so that the conductive pattern 101 may be separated from a signal wiring pattern. In drawing 13, 113 of LSI111 is a signal output terminal electrode.

[0006]

[Problem to be solved by the invention]Although it has the advantage that formation and removal of the common conductor pattern 101 for performing the measure against static electricity can be performed easily, with the liquid crystal display panel for COG packages only to one side among the above-mentioned conventional liquid crystal display panel for TAB mounting, and the neighborhood which counters, Since the signal wiring pattern 102 cannot be pulled out to a panel end as mentioned above when it mounts the LSI bare chip 111 for a liquid crystal drive in the latter liquid crystal display panel for COG packages to the neighborhood of both which counter, There was a problem that it was difficult to perform formation and removal of the common conductor pattern 101.

[0007]Even if it was able to realize the measure against static electricity in a panel production process, while signal wiring had connected with the common pattern, Since it says that the signal for displaying a picture can be impressed to a panel, and there is nothing on it (since it is short), at the time of the display test of a panel, the above-mentioned static electricity measure measure must be removed. Thus, if a static electricity measure measure is removed at the time of the display test of a panel, at the time of the LSI mounting step for a liquid crystal drive, it will be in the state where the measure against static electricity is not made. Where an electric measure measure is left here, even if it can do a panel display examination, In the conventional way the LSI chip for a liquid crystal drive removes an electric measure measure for the portion by which a COG package is carried out in a laser cut, if the damage by the laser beams to an LSI chip is taken into consideration, at the time of the LSI mounting step for a liquid crystal drive, it will be in the state where the measure against static electricity is not made, after all.

[0008]Then, this invention is COG package correspondence and an object of this invention is to provide the liquid crystal display panel which can perform the measure against static electricity easily through a panel process process and an LSI-chip-mounting process, when the LSI chip for a liquid crystal drive is moreover mounted all the neighborhoods.

[0009]

[Means for solving problem]In the liquid crystal display panel in which the invention according to claim 1 mounts the LSI bare chip for a liquid crystal drive to a liquid crystal display panel, The signal wiring prolonged toward the outside of the viewing area of this liquid crystal display panel, It is connected with the common pattern which was further extended and formed outside rather than the electrode which faces the output terminal of this LSI bare chip for a liquid crystal drive, and was formed so that the mounted part lower part of this LSI bare chip for a liquid crystal drive might be passed in accordance with a panel periphery.

[0010]In the liquid crystal display panel mounted to a liquid crystal display panel, the invention according to claim 2 the LSI bare chip for a liquid crystal drive on the signal wiring prolonged toward the outside of the viewing area of this liquid crystal display panel, And the polar zone is formed between the viewing area of this liquid crystal display panel, and this LSI bare-chip-mounting part for a liquid crystal drive. The invention according to claim 3 combines both said Claim 1 and said Claim 2, and is constituted.

[0011]As for the invention according to claim 4, in invention of above-mentioned Claim 2 and three descriptions, an insulating layer is formed on said signal wiring, It has an aperture in the polar zone which faces the output terminal of said LSI bare chip for a liquid crystal drive of this insulating layer, and the conductive pattern is formed from this aperture to said polar zone along said signal wiring on said insulating layer.

[0012]As for the invention according to claim 5, in invention of above-mentioned Claim 1, 3, and 4 description, said common pattern is connected to the power supply [to said LSI bare chip for a liquid crystal drive], and electrode terminal part side for signal supplies for said every at least one or more LSI bare-chip-mounting parts for a liquid crystal drive. The electrode for probing by which said common pattern was electrically insulated for every neighborhood of a panel and for which the invention according to claim 6 included the both ends or these both ends of each aforementioned common pattern in invention of above-mentioned Claim 1, 3, and 4 description is formed in two or more places.

[0013]The invention according to claim 7 is extended and formed in invention given [above-mentioned] in Claim 6 toward a neighborhood which is alternately different so that it may not connect with said common pattern with all the same ****** aforementioned signal wiring. The invention according to claim 8 is the method of mounting the LSI bare chip for a liquid crystal drive in Claim 1 and the liquid crystal display panel according to claim 3 to 7, Before mounting said LSI bare chip for a liquid crystal drive in said liquid crystal panel, the process of cutting said signal wiring by the cut section in which it was provided between said electrode and said common pattern is included.

[0014]The process from which the invention according to claim 9 cuts said cut section in invention given [above-mentioned] in Claim 8 is performed by the laser beam from the rear face of said liquid crystal display panel. The invention according to claim 10 is the method of mounting the LSI bare chip for a liquid crystal drive in the liquid crystal display panel according to claim 2 to 7, Into the mounting step to said liquid crystal panel of said LSI bare chip for a liquid crystal drive, a conductor is contacted to said polar zone and said two or more polar

zone is electrically connected.

[0015]

[Function]As the invention according to claim 1 shows to drawing 1 of Embodiment 1 mentioned later – 3, The signal wiring 1b prolonged toward the outside of the effective display area 1a of the liquid crystal display panel 1 is further extended outside rather than the electrode terminal 1c which faces the output terminal 2a of the LSI bare chip 2 for a liquid crystal drive, It connects with the common conductor pattern 1d formed so that the mounted part lower part of the LSI bare chip 2 for a liquid crystal drive might be passed in accordance with a panel periphery altogether, And it constitutes so that the laser cutline 1e of the portion between the electrode terminal 1c and the common conductor pattern 1d may be cut by laser after panel completion. For this reason, since each signal wiring 1b can be delayed to an opposite hand in the effective display area 1a and it can electrically be connected with the total common conductor pattern 1d before a laser beam exposure, it can strengthen enough to the static electricity generated at a panel process process.

[0016]As the invention according to claim 2 shows to drawing 4 of Embodiment 2 mentioned later, and 5, the signal wiring 1b top prolonged toward the outside of the effective display area 1a of the liquid crystal display panel 1 –– and it constitutes so that the electrode terminal 1f about 0.5–1 mm in length may be formed between the upper side board of the liquid crystal display panel 1, and LSI bare chip 2 mounted part for a liquid crystal drive. For this reason, since the electrode terminal 1f is provided and constituted on the signal wiring 1b, also in the mounting step of the LSI bare chip 2 for a liquid crystal drive, all the signal wiring 1b can electrically be connected, and a sufficiently strong panel can be easily obtained to the static electricity generated in a mounting step.

[0017]Since it constitutes from invention according to claim 3 so that both said Claim 1 and said Claim 2 may be had and constituted as shown in drawing 7 of Embodiment 4 mentioned later, the panel which has an effect of both invention according to claim 1 and the invention according to claim 2 can be obtained. As the invention according to claim 4 shows to drawing 6 of Embodiment 3 mentioned later, 1 g of insulating layers are formed on the signal wiring 1b, A hole is made in 1 g of insulating layers of only the electrode terminal 1c section which faces the output signal electrode terminal 2a of the LSI bare chip 2 for a liquid crystal drive, and it constitutes so that the conductive pattern 1h may be formed to the electrode terminal 1f section along the signal wiring 1b on this hole. That for this reason, the influence of an electric corrosion reaches when an electric corrosion etc. occur in the electrode terminal 1f section for a static electricity measure by a certain cause, Since only the conductive pattern 1h which is unrelated to the display of the liquid crystal display panel 1 can be managed, it can be made hard to make the electric corrosion of the signal wiring 1b of the electrode terminal 1f section hard to carry out, and to disconnect, and reliability can be raised.

[0018]As the invention according to claim 5 shows to drawing 7 of Embodiment 4 mentioned later, It constitutes so that the common conductor pattern 1d formed in accordance with the panel periphery may be connected to at least one or more LSI bare chip 2 mounted parts for a

liquid crystal drive at the power supply [to the LSI bare chip 2 for a liquid crystal drive], and electrode terminal part 1i side for signal supplies. For this reason, while performing the measure against static electricity, the whole surface lighted indication examination for every block can be done by impressing a status signal to the terminal area 1i.

[0019]It enables it to insulate electrically the common conductor pattern 1d formed in accordance with the panel periphery for every neighborhood of a panel at the time of panel completion, as the invention according to claim 6 shows to drawing 8 of Embodiment 5 mentioned later, And it constitutes so that the conductive pattern 1j including the both ends or both ends of each common conductor pattern 1d for probing to two or more places may be installed. For this reason, together with the measure against static electricity, a simple display examination can be done only by standing several – about ten probe pins to the electrode terminal 1j by dividing the common conductor pattern 1d for every neighborhood of a panel, and forming the electrode terminal 1j in each.

[0020]As the invention according to claim 7 shows to drawing 9 of Embodiment 6 mentioned later, it forms alternately so that no ****** signal wiring 1b may connect with the same common conductor pattern 1d, And it constitutes so that it may cut by laser over the glass substrate of the signal wiring 1b of the neighborhood in which the LSI bare chip 2 for a liquid crystal drive is not mounted. For this reason, since a signal different [every other] can be outputted to signal wiring horizontal at the time of the simple display examination of a panel, the short circuit of signal wiring can be checked.

[0021]It is the method of mounting the LSI bare chip for a liquid crystal drive in Claim 1 and the liquid crystal display panel according to claim 3 to 7 in the invention according to claim 8, Since it constitutes so that the process of cutting said signal wiring by the cut section in which it was provided between said electrode and said common pattern may be included before mounting said LSI bare chip for a liquid crystal drive in said liquid crystal panel, above-mentioned Claim 1 and the same effect as invention given in 3 thru/or 7 can be acquired.

[0022]In the invention according to claim 9, in invention given [above-mentioned] in Claim 8, since the process of cutting said cut section constitutes so that it may be carried out by the laser beam from the rear face of said liquid crystal display panel, the same effect as invention given [above-mentioned] in Claim 8 can be acquired. It is the method of mounting the LSI bare chip for a liquid crystal drive in the liquid crystal display panel according to claim 2 to 7 in the invention according to claim 10, In the mounting step to said liquid crystal panel of said LSI bare chip for a liquid crystal drive, a conductor is contacted to said polar zone, and since it constitutes so that said two or more polar zone may electrically be connected, the same effect as invention given [above-mentioned] in Claims 2-7 can be acquired.

[0023]

[Working example]Hereafter, the embodiment of this invention is described with reference to Drawings.

(Embodiment 1) Drawing 1 is a figure showing the entire configuration of the liquid crystal

display panel of Embodiment 1 concerning this invention, drawing 2 is an enlarged drawing showing the composition of the A section shown in drawing 1, and drawing 3 is an enlarged drawing showing the composition after the laser cut of the A section shown in drawing 1. Here, Claim 1 and the characterizing portion concerning 8 are explained concretely. In drawing 1 – 3, 1 is a liquid crystal display panel, and 1a is an effective display area of the liquid crystal display panel 1, 1b is signal wiring which transmits the signal which drives the liquid crystal of the liquid crystal display panel 1 prolonged toward the outside of the effective display area 1a of the liquid crystal display panel 1, 1c is an electrode terminal on the panel 1 which faces the output terminal of the LSI bare chip 2 for a liquid crystal drive, and this electrode terminal 1c is connected with the signal wiring 1b. Subsequently, 1 d is a common conductor pattern for a static electricity measure, and it is formed so that it may be connected in the effective display area 1a on both sides of the electrode terminal 1c in an opposite hand, and all the signal wiring 1b may pass through the bottom of the LSI bare chip 2 mounted part for a liquid crystal drive and it may go the panel 1 around. 1e is a laser cutline of the signal wiring 1b between the electrode terminal 1c and the common conductor pattern 1d, After ending a panel process process, as shown in drawing 2, as shown in drawing 3, the signal wiring 1b and the common conductor pattern 1d are electrically separated by irradiating with and cutting laser beams along with this laser cutline 1e.

[0024]Thus, in the liquid crystal display panel which carries out direct mounting of the LSI bare chip 2 for a liquid crystal drive to the liquid crystal display panel 1 in this example (Claim 1), The signal wiring 1b prolonged toward the outside of the effective display area 1a of the liquid crystal display panel 1 is further extended outside rather than the electrode terminal 1c which faces the output terminal of the LSI bare chip 2 for a liquid crystal drive, It connects with the common conductor pattern 1d formed so that the mounted part lower part of the LSI bare chip 2 for a liquid crystal drive might be passed in accordance with a panel periphery altogether, And it constitutes so that the laser cutline 1e of the portion between the electrode terminal 1c and the common conductor pattern 1d may be cut by laser after panel completion. For this reason, since each signal wiring 1b can be delayed to an opposite hand in the effective display area 1a and it can electrically be connected with the total common conductor pattern 1d before a laser beam exposure, it can strengthen enough to the static electricity generated at a panel process process.

[0025](Embodiment 2), next drawing 4 are the part drawings showing the composition on the upper surface of a panel of the liquid crystal display panel of Embodiment 2 concerning this invention (equivalent to the A section of drawing 1), and drawing 5 is a figure showing the composition at the time of the LSI chip mounting of the liquid crystal display panel of Embodiments 2 and 10 concerning this invention. Here, the characterizing portion concerning Claim 2 is explained concretely. In drawing 4 and 5, a portion that drawing 1 – 3 and identical codes are the same or considerable is shown, 1 f –– the signal wiring 1b top –– and it being an electrode terminal for the measure against static electricity with a length of about 0.5–1 mm provided between the upper side board of the liquid crystal display panel 1, and LSI bare chip 2

BOE Ex. 1002, p. 105
BOE v. Paneltouch
IPR2025-01482

mounted part for a liquid crystal drive, and, 1 g is an insulating layer which functions as a protective film formed in the upper layer of the signal wiring 1b, 2 is an LSI bare chip for a liquid crystal drive, and 2a is an output signal electrode terminal of the LSI bare chip 2 for a liquid crystal drive which consists of metal projections, such as gold formed in the LSI bare chip 2 surface for a liquid crystal drive, 3 is a bonding head for carrying out heat pressing of the LSI bare chip 2 for a liquid crystal drive, and connecting the LSI bare chip 2 for a liquid crystal drive to the liquid crystal display panel 1 via thermosetting resin films etc. And 4 is carrying out long and slender form where it met each neighborhood of the liquid crystal display panel 1, and sets it in process that it is easy to generate static electricity, It is the conductive rubber for making the electrode terminal 1f for the measure against static electricity contact, and electrically connecting the signal wiring 1b, and 5 is a pressurizing head for adding load so that the conductive rubber 4 may electrically connect with the electrode terminal 1f enough. Although not illustrated here, in this invention, it may constitute by applying paste state conductive resin so that a liquid crystal panel may be around gone along with the electrode terminal 1f so that all the signal wiring 1b may electrically be connected.

[0026]Thus, in the liquid crystal display panel which carries out direct mounting of the LSI bare chip 2 for a liquid crystal drive to the liquid crystal display panel 1 in this example (Claim 2), the signal wiring 1b top prolonged toward the outside of the effective display area 1a of the liquid crystal display panel 1 -- and it constitutes so that the electrode terminal 1f about 0.5-1 mm in length may be formed between the upper side board of the liquid crystal display panel 1, and LSI bare chip 2 mounted part for a liquid crystal drive.

[0027]For this reason, since the electrode terminal 1f is provided and constituted on the signal wiring 1b, also in the mounting step of the LSI bare chip 2 for a liquid crystal drive, all the signal wiring 1b can electrically be connected, and a sufficiently strong panel can be easily obtained to the static electricity generated in a mounting step.

(Embodiment 3) Drawing 6 is a figure showing the composition of the liquid crystal display panel of Embodiment 3 concerning this invention. Here, a device is added to the lamination of the electrode terminal 1f shown in drawing 4, and the characterizing portion concerning Claim 4 is explained concretely. The signal wiring 1b which transmits the signal which drives the liquid crystal of the liquid crystal display panel 1 in the liquid crystal display panel of this example, The electrode terminal 1c on the panel 1 which faces the output terminal of the LSI bare chip for a liquid crystal drive, 1 g of insulating layers by which it was formed on the signal wiring 1b so that the electrode terminal 1f for the measure against static electricity and the protective film function of the signal wiring 1b might be achieved, and the contact hole was formed in the electrode terminal 1c section, It constitutes from the conductive pattern 1h which was electrically connected with the signal wiring 1b by the contact hole which was able to be opened on the electrode terminal 1c of 1 g of insulating layers, and was prolonged along the signal wiring 1b from the electrode terminal 1c section to the electrode terminal 1f section for a static electricity measure. That for this reason, the influence of an electric corrosion reaches when an electric corrosion etc. occur in the electrode terminal 1f section for a static

electricity measure by a certain cause, Since only the conductive pattern 1h which is unrelated to the display of the liquid crystal display panel 1 can be managed, it can be made hard to make the electric corrosion of the signal wiring 1b of the electrode terminal 1f section hard to carry out, and to disconnect, and reliability can be raised.

[0028](Embodiment 4), next drawing 7 are the figures showing the composition on the upper surface of a panel of the liquid crystal display panel of Embodiment 4 concerning this invention, and the enlarged drawing showing the composition of the portion applicable to the A section which shows drawing 1 drawing 7 (a), and drawing 7 (b) are the enlarged drawings showing the composition after the laser cut of the portion shown in drawing 7 (a). Here, Claim 3 and the characterizing portion concerning 5 are explained concretely. This example has the feature of both Embodiment 1 and Embodiment 3, and for every mounted part of the one LSI bare chip 2 for a liquid crystal drive, outside, as the common conductor pattern 1d is taken out to the panel exterior, it constitutes it from form which goes the liquid crystal display panel 1 around. At this time, the conductive pattern 1i formed like the electrode terminal for input signal supply to the LSI bare chip 2 for a liquid crystal drive performs extraction of a signal, and also the electrical link of each common conductor pattern 1d in this case is performed by the conventional method mentioned above. Although not illustrated, extraction to the panel exterior of the common conductor pattern 1d may not be performed for every one LSI chip, but may be performed the whole plurality.

[0029]Thus, in this example (Claim 3), the signal wiring 1b prolonged toward the outside of the effective display area 1a of the liquid crystal display panel 1 is further extended outside rather than the electrode terminal 1c which faces the output terminal of the LSI bare chip 2 for a liquid crystal drive, It connects with the common conductor pattern 1d formed so that the mounted part lower part of the LSI bare chip 2 for a liquid crystal drive might be passed in accordance with a panel periphery altogether, And it constitutes so that the laser cutline 1e of the portion between the electrode terminal 1c and the common conductor pattern 1d may be cut by laser after panel completion, In the liquid crystal display panel which carries out direct mounting of the LSI bare chip 2 for a liquid crystal drive to the liquid crystal display panel 1, the signal wiring 1b top prolonged toward the outside of the effective display area 1a of the liquid crystal display panel 1 -- and it constitutes so that the electrode terminal 1f about 0.5-1 mm in length may be formed between the upper side board of the liquid crystal display panel 1, and LSI bare chip 2 mounted part for a liquid crystal drive. For this reason, can obtain the panel which combines the effect of Embodiment 1, and the effect of both Embodiments 2, namely, the effective display area 1a delays each signal wiring 1b to an opposite hand before a laser beam exposure, Since it is electrically connectable with the total common conductor pattern 1d, Since it can strengthen enough to the static electricity generated at a panel process process and also the electrode terminal 1f is provided and constituted on the signal wiring 1b, Also in the mounting step of the LSI bare chip 2 for a liquid crystal drive, all the signal wiring 1b can electrically be connected, and a sufficiently strong panel can be easily obtained to the static electricity generated in a mounting step.

[0030]Since it constituted from this example (Claim 5) so that the common pattern 1d formed in accordance with the panel periphery might be connected to the power supply [to the LSI bare chip 2 for a liquid crystal drive], and electrode terminal part 1i side for signal supplies every at least one or more LSI bare chip 2 mounted parts for a liquid crystal drive, While performing the measure against static electricity, the whole surface lighted indication examination for every block can be done by impressing a status signal to the terminal area 1i.
[0031](Embodiment 5), next drawing 8 are the figures showing the entire configuration of the liquid crystal display panel of Embodiment 5 concerning this invention. Here, the characterizing portion concerning Claim 6 is explained concretely. The common conductor pattern 1d is made into the form divided for every neighborhood of a panel from the form which goes a liquid crystal display panel around, and one piece or two or more electrode terminals 1j form and consist of this examples in each common conductor pattern 1d divided for every neighborhood. The electrical link of each common conductor pattern 1d is performed by the conventional method mentioned above like Embodiment 4 of drawing 7.
[0032]Thus, it enables it to insulate electrically the common conductor pattern 1d formed in accordance with the panel periphery for every neighborhood of a panel in this example (Claim 6) at the time of panel completion, And since it constitutes so that the conductive pattern 1i including the both ends or both ends of each common conductor pattern 1d for probing to two or more places may be installed, Together with the measure against static electricity, a simple display examination can be done only by standing several – about ten prow PUPIN to the electrode terminal 1j by dividing the common conductor pattern 1d for every neighborhood, and forming the electrode terminal 1j in each.
[0033](Embodiment 6), next drawing 9 are the figures showing the entire configuration of the liquid crystal display panel of Embodiment 6 concerning this invention. Here, Claim 7 and the characterizing portion concerning 9 are explained concretely. In Embodiment 5 of drawing 8, it connects with the common conductor pattern 1d alternately provided in the lengthwise direction every other at panel right and left so that the signal wiring 1b which runs horizontally might not be connected to the same common conductor pattern 1d, and constitutes from this example. If constituted in this way, the common conductor pattern 1d provided in panel right-hand side in the lengthwise direction will be in the state where it was inserted into two glass substrates.
[0034]Therefore, the laser cut of the laser cutline 1e of the signal wiring 1b of a neighborhood in which the LSI bare chip 2 for a liquid crystal drive is not mounted is carried out from a rear face over a glass substrate at this time. For this reason, since a signal different [every other] can be outputted to signal wiring horizontal at the time of a simple display examination of a panel, a short circuit of signal wiring can be checked.
[0035](Embodiment 7), next drawing 10 are the figures showing an entire configuration of a liquid crystal display panel of Embodiment 7 concerning this invention.
Drawing 11 is a flat surface and a section enlarged drawing showing composition of the A section shown in drawing 10.

Here, a characterizing portion concerning Claim 4 is explained concretely. In this example, the liquid crystal display panel 1 and the effective display area 1a of the liquid crystal display panel 1, The electrode terminal 1c on a panel which is connected with the signal wiring 1b which transmits a signal which drives a liquid crystal, and this signal wiring 1b, and faces an output terminal of the LSI bare chip 2 for a liquid crystal drive, 1 d of all the signal wiring is connected via the electrode terminal 1c, and it passes through the bottom of LSI bare chip 2 mounted part for a liquid crystal drive, The common conductor pattern 1d for a measure against static electricity formed so that a panel might be gone around, The laser cutline 1e from which the signal wiring 1b and the common conductor pattern 1d are electrically separated by irradiating with laser beams along this line after an end of a panel-erection process, In 1 g of insulating layers which consist of SiN etc. which are formed from the signal wiring 1b at the upper layer, and function as another electrode terminal 1f for a static electricity measure as a protective film, and the electrode terminal 1c section, It constitutes from the output signal electrode terminal 2a which consists of metal projections, such as gold formed in an electrode terminal part of the conductive pattern 1h electrically connected with the signal wiring 1b, the LSI bare chip 2 for a liquid crystal drive, and the LSI bare chip 2 for a liquid crystal drive of a contact hole which was able to be opened in 1 g of insulating layers. On the conductive pattern 1h, the electrode terminal 1f for a static electricity measure is formed. And 4 is conductive rubber, 5 is a head which pressurizes the conductive rubber 4, 6 is a flexible printed circuit board, and this flexible printed circuit board 6 is connected to the liquid crystal panel 1 by thermo compression bonding etc., in order to supply a signal to the LSI bare chip 2 for a liquid crystal drive.

[0036]In this example, since the signal wiring 1b is connected to the common conductor pattern 1d until a liquid crystal display panel is assembled, the nonlinear element arranged on a matrix inside a panel serves as same electric potential electrically, and the influence of static electricity does not win popularity. Next, it faces mounting the LSI bare chip for a liquid crystal drive, it irradiates with laser beams along with the laser cutline 1e, and the common conductor pattern 1d and the signal wiring 1b are separated electrically. This is because a damage will be given to an LSI chip with laser beams after mounting of LSI chip 2. Therefore, another electrode terminal 1f for a static electricity measure is used as a measure against static electricity at the time of LSI chip 2 mounting. Namely, the influence of static electricity is avoided by making all the signal wiring 1b into same electric potential by mounting LSI chip 2 or applying conductive paste on the electrode terminal 1f beforehand, pressing the conductive rubber 4 against all the electrode terminals 1f. Here, although the electrode terminal 1f will be in an unreserved state and we are anxious about generating of an electric corrosion after the end of mounting of an LSI chip, even if an electric corrosion occurs, the neighborhood of electrode terminal 1c is covered by resin for connection.

Since the signal wiring 1b is also covered with the insulator layer 1g, the influenced portion is the electrode terminal 1f which is unrelated to a function.

Thus, in this example, it crosses generally [the manufacturing process of a liquid crystal

display panel and a mounting step], and a liquid crystal display panel with high opposite environmental reliability can be obtained, avoiding the influence of static electricity.

[0037]

[Effect of the Invention]According to this invention, it is COG package correspondence, and when the LSI chip for a liquid crystal drive is moreover mounted all the neighborhoods, it is effective in the ability to perform the measure against static electricity easily through a panel process process and an LSI-chip-mounting process.

DESCRIPTION OF DRAWINGS

[Brief Description of the Drawings]

[Drawing 1]It is a figure showing the entire configuration of the liquid crystal display panel of Embodiment 1 concerning this invention.

[Drawing 2]It is an enlarged drawing showing the composition of the A section shown in drawing 1.

[Drawing 3]It is an enlarged drawing showing the composition after the laser cut of the A section shown in drawing 1.

[Drawing 4]It is a part drawing showing the composition on the upper surface of a panel of the liquid crystal display panel of Embodiment 2 concerning this invention.

[Drawing 5]It is a figure showing the composition at the time of the LSI chip mounting of the liquid crystal display panel of Embodiment 2 concerning this invention.

[Drawing 6]It is a figure showing the composition of the liquid crystal display panel of Embodiment 3 concerning this invention.

[Drawing 7]It is a figure showing the composition on the upper surface of a panel of the liquid crystal display panel of Embodiment 4 concerning this invention.

[Drawing 8]It is a figure showing the entire configuration of the liquid crystal display panel of Embodiment 5 concerning this invention.

[Drawing 9]It is a figure showing the entire configuration of the liquid crystal display panel of Embodiment 6 concerning this invention.

[Drawing 10]It is a figure showing the entire configuration of the liquid crystal display panel of Embodiment 7 concerning this invention.

[Drawing 11]It is the flat surface and section enlarged drawing showing the composition of the A section shown in drawing 10.

[Drawing 12]It is a figure showing the composition of the liquid crystal display panel and the liquid crystal display panel which carried out end polishing of the TAB packaging system of a conventional example.

[Drawing 13]It is a figure showing the composition of the liquid crystal display panel of the COG package system of a conventional example, and the liquid crystal display panel which cut the chip non-mounting neighborhood.

[Explanations of letters or numerals]

1 Liquid crystal display panel
1a Effective display area
1b Signal wiring
1c, 1f, and 1j Electrode terminal
1d common conductor pattern
1e Laser cutline
1 g Insulating layer
1 h, 1i conductive pattern
2 The LSI bare chip for a liquid crystal drive
2a Output signal electrode terminal
3 Bonding head
4 Conductive rubber
5 Pressurizing head
6 Flexible printed circuit board

[Translation done.]

(19)日本国特許庁（ＪＰ）　(12)**公開特許公報**（Ａ）　(11)特許出願公開番号

特開平7－152043

(43)公開日　平成７年(1995)６月16日

(51)Int.Cl.[6]	識別記号	庁内整理番号	ＦＩ	技術表示箇所
Ｇ０２Ｆ　1/1345				

審査請求　未請求　請求項の数10　ＯＬ　（全 11 頁）

(21)出願番号　特願平5－299218

(22)出願日　平成５年(1993)11月30日

(71)出願人　000005223
富士通株式会社
神奈川県川崎市中原区上小田中1015番地

(72)発明者　丸山　嘉昭
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者　間島　庭司
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者　安藤　倭士
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(74)代理人　弁理士　有我　軍一郎

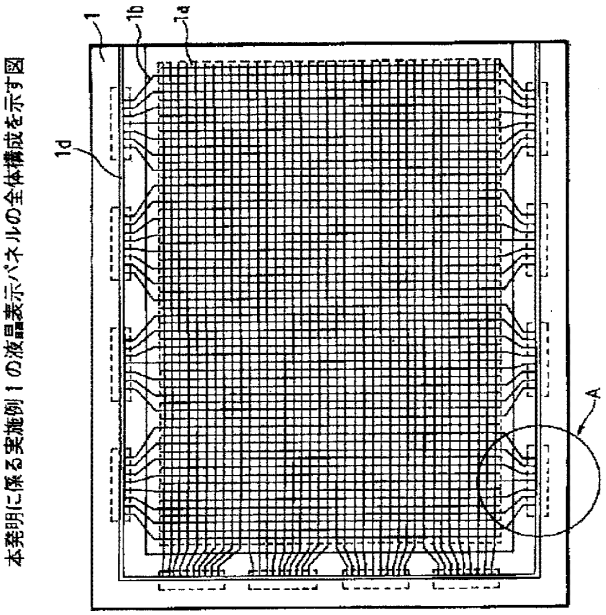
最終頁に続く

(54)【発明の名称】　液晶表示パネル及び該パネルへの実装方法

(57)【要約】　（修正有）

【目的】　ＣＯＧ実装対応で、しかも全辺に液晶駆動用ＬＳＩチップが実装される場合においても、パネルプロセス工程及びＬＳＩチップ実装工程を通じて静電気対策を容易に行う。

【構成】　液晶駆動用ＬＳＩベアチップ２を液晶表示パネル１へ直接実装する液晶表示パネルにおいて、該液晶表示パネル１の表示領域より外側に向かって延びる信号配線１ｂを、該液晶駆動用ＬＳＩベアチップ２の出力端子に相対する電極１ｃよりも更に外側に延長して、パネル外周に沿って該液晶駆動用ＬＳＩベアチップ２の実装部下部を通過するように形成された共通パターン１ｄに全て接続し、かつ該電極１ｃと該共通パターン１ｄとの間の部分１ｅをカットしてなる。



本発明に係る実施例１の液晶表示パネルの全体構成を示す図

BOE Ex. 1002, p. 112
BOE v. Paneltouch
IPR2025-01482

【特許請求の範囲】

【請求項１】液晶駆動用ＬＳＩベアチップ（２）を液晶表示パネル（１）へ実装する液晶表示パネルにおいて、該液晶表示パネル（１）の表示領域（１ａ）より外側に向かって延びる信号配線（１ｂ）が、該液晶駆動用ＬＳＩベアチップ（２）の出力端子（２ａ）に相対する電極（１ｃ）よりも更に外側に延長して形成され、パネル外周に沿って該液晶駆動用ＬＳＩベアチップ（２）の実装部下部を通過するように形成された共通パターン（１ｄ）と接続されていることを特徴とする液晶表示パネル。

【請求項２】液晶駆動用ＬＳＩベアチップ（２）を液晶表示パネル（１）へ実装する液晶表示パネルにおいて、該液晶表示パネル（１）の表示領域（１ａ）より外側に向かって延びる信号配線（１ｂ）上で、かつ該液晶表示パネル（１）の表示領域（１ａ）と該液晶駆動用ＬＳＩベアチップ（２）実装部との間に電極部（１ｆ）が形成されていることを特徴とする液晶表示パネル。

【請求項３】前記請求項１と前記請求項２との両方を兼ね備えて構成されていることを特徴とする液晶表示パネル。

【請求項４】前記信号配線（１ｂ）上に絶縁層（１ｇ）が形成され、該絶縁層（１ｇ）の前記液晶駆動用ＬＳＩベアチップ（２）の出力端子（２ａ）に相対する電極（１ｃ）部に開孔部を有し、該開孔部より前記絶縁層（１ｇ）上に、前記信号配線（１ｂ）に沿って前記電極部（１ｆ）まで導体パターン（１ｈ）が形成されていることを特徴とする請求項２，３記載の液晶表示パネル。

【請求項５】前記共通パターン（１ｄ）は少なくとも１個以上の前記液晶駆動用ＬＳＩベアチップ（２）実装部毎に前記液晶駆動用ＬＳＩベアチップ（２）への電源及び信号供給用電極端子部（１ｉ）側に接続されていることを特徴とする請求項１，３，４記載の液晶表示パネル。

【請求項６】前記共通パターン（１ｄ）はパネルの各辺毎に電気的に絶縁され、かつ各前記共通パターン（１ｄ）の両端又は該両端を含めた複数箇所にプロービング用の電極（１ｊ）が形成されていることを特徴とする請求項１，３，４記載の液晶表示パネル。

【請求項７】全ての隣合う前記信号配線（１ｂ）が同一の前記共通パターン（１ｄ）に接続しないように互い違いに異なる辺に向かって延長して形成されていることを特徴とする請求項６記載の液晶表示パネル。

【請求項８】請求項１および請求項３乃至請求項７に記載の液晶表示パネル（１）に液晶駆動用ＬＳＩベアチップ（２）を実装する方法であって、前記液晶駆動用ＬＳＩベアチップ（２）を前記液晶パネル（１）に実装する前に、前記信号配線（１ｂ）を、前記電極（１ｃ）と前記共通パターン（１ｄ）との間に設けられた切断部（１ｅ）で切断する工程を含むことを特徴とするベアチップの実装方法。

【請求項９】前記切断部（１ｅ）を切断する工程が、前記液晶表示パネル（１）の裏面よりレーザ光により行われることを特徴とする請求項８記載のベアチップの実装方法。

【請求項１０】請求項２乃至７に記載の液晶表示パネル（１）に液晶駆動用ＬＳＩベアチップ（２）を実装する方法であって、前記液晶駆動用ＬＳＩベアチップ（２）の前記液晶パネル（１）への実装工程中に、前記電極部（１ｆ）に導電体（４）を接触させ、複数の前記電極部（１ｆ）を電気的に接続しておくことを特徴とするベアチップの実装方法。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明は、液晶表示パネル及び該パネルへの実装方法に係り、詳しくは、液晶表示パネルの製造工程で発生する静電気に対する処置を施した液晶表示パネルの製造及び試験技術に適用することができ、特に、ＣＯＧ（Chip On Glass）実装対応で、しかも全辺に液晶駆動用ＬＳＩチップが実装される場合においても、パネルプロセス工程及びＬＳＩチップ実装工程を通じて静電気対策を容易に行うことができる液晶表示パネル及び該パネルへの実装方法に関する。

【０００２】近年、ＴＡＢ実装用液晶表示パネル及び対向する辺のうち片側のみへのＣＯＧ実装用液晶表示パネルは、静電気対策を行うための共通導体パターンの形成及び除去を容易に行うことができるという利点を有する。しかしながら、特に、後者のＣＯＧ実装用液晶表示パネルでは、対向する両方の辺へ液晶駆動用ＬＳＩベアチップを実装する場合、信号配線パターンをパネル端部まで引き出すことができないため、共通導体パターンの形成及び除去を行うのが困難になるという問題があった。

【０００３】このため、ＣＯＧ実装対応で、しかも全辺に液晶駆動用ＬＳＩチップが実装される場合においても、パネルプロセス工程及びＬＳＩチップ実装工程を通じて静電気対策を容易に行うことができる液晶表示パネルが要求されている。

【０００４】

【従来の技術】従来のＴＡＢ実装用の液晶表示パネルでは、信号配線パターンをストレートにパネル端部まで取り出せるように構成しているため、図１２に示すように、パネル端面に沿って、幅０．２～０．５ｍｍ程度の静電気対策用共通導体パターン１０１を全信号配線パターンとなるＴＡＢ実装用電極端子１０２に電気的に接続しておき、パネルが完成した時点でパネル基板端面１０３を研磨する際に導体パターン１０１も除去するように構成している。

【０００５】また、従来のＣＯＧ実装用の液晶表示パネルでは、信号配線パターンはパネル上の液晶駆動用ＬＳ

BOE Ex. 1002, p. 113
BOE v. Paneltouch
IPR2025-01482

Ｉの出力端子電極位置まで延びているが、パネル端部まで引き出すことができない構成を採っている。そこで、ＬＳＩ実装辺の反対側にＬＳＩが実装されない場合は、図１３に示すように、液晶駆動用ＬＳＩベアチップ１１１非実装辺に、図１２と同様の静電気対策用共通導体パターン１０１を設け、パネル端面研磨時に一括して除去するか、あるいは飛び出しているガラス基板部１１２をスクライブして、導体パターン１０１を信号配線パターンから切り離すように構成している。なお、図１３において、ＬＳＩ１１１の１１３は信号出力端子電極である。

【０００６】

【発明が解決しようとする課題】上記した従来のＴＡＢ実装用液晶表示パネル及び対向する辺のうち片側のみへのＣＯＧ実装用液晶表示パネルでは、静電気対策を行うための共通導体パターン１０１の形成及び除去を容易に行うことができるという利点を有するが、後者のＣＯＧ実装用液晶表示パネルでは、対向する両方の辺へ液晶駆動用ＬＳＩベアチップ１１１を実装する場合、前述した如く、信号配線パターン１０２をパネル端部まで引き出すことができないため、共通導体パターン１０１の形成及び除去を行うのが困難であるという問題があった。

【０００７】また、仮にパネル製造工程における静電気対策を実現することができたとしても、信号配線が共通パターンと接続したままでは、パネルに画像を表示させるための信号を印加できない（ショートとしているため）という理由からパネルの表示試験時は、上記した静電気対策措置を除去しなければならない。このように、パネルの表示試験時に静電気対策措置を除去してしまうと、液晶駆動用ＬＳＩ実装工程時には、静電気対策がなされていない状態になってしまう。ここで、仮に電気対策措置を残した状態でパネル表示試験を行うことができても、液晶駆動用ＬＳＩチップがＣＯＧ実装される部分をレーザーカットにて電気対策措置を除去する従来の方法では、ＬＳＩチップへのレーザー光線によるダメージを考慮すると、結局液晶駆動用ＬＳＩ実装工程時には、静電気対策がなされていない状態になってしまう。

【０００８】そこで、本発明は、ＣＯＧ実装対応で、しかも全辺に液晶駆動用ＬＳＩチップが実装される場合においても、パネルプロセス工程及びＬＳＩチップ実装工程を通じて静電気対策を容易に行うことができる液晶表示パネルを提供することを目的とする。

【０００９】

【課題を解決するための手段】請求項１記載の発明は、液晶駆動用ＬＳＩベアチップを液晶表示パネルへ実装する液晶表示パネルにおいて、該液晶表示パネルの表示領域より外側に向かって延びる信号配線が、該液晶駆動用ＬＳＩベアチップの出力端子に相対する電極よりも更に外側に延長して形成され、パネル外周に沿って該液晶駆動用ＬＳＩベアチップの実装部下部を通過するように形成された共通パターンと接続されていることを特徴とするものである。

【００１０】請求項２記載の発明は、液晶駆動用ＬＳＩベアチップを液晶表示パネルへ実装する液晶表示パネルにおいて、該液晶表示パネルの表示領域より外側に向かって延びる信号配線上で、かつ該液晶表示パネルの表示領域と該液晶駆動用ＬＳＩベアチップ実装部との間に電極部が形成されていることを特徴とするものである。請求項３記載の発明は、前記請求項１と前記請求項２との両方を兼ね備えて構成されていることを特徴とするものである。

【００１１】請求項４記載の発明は、上記請求項２，３記載の発明において、前記信号配線上に絶縁層が形成され、該絶縁層の前記液晶駆動用ＬＳＩベアチップの出力端子に相対する電極部に開孔部を有し、該開孔部より前記絶縁層上に前記信号配線に沿って前記電極部まで導体パターンが形成されていることを特徴とするものである。

【００１２】請求項５記載の発明は、上記請求項１，３，４記載の発明において、前記共通パターンは少なくとも１個以上の前記液晶駆動用ＬＳＩベアチップ実装部毎に前記液晶駆動用ＬＳＩベアチップへの電源及び信号供給用電極端子部側に接続されていることを特徴とするものである。請求項６記載の発明は、上記請求項１，３，４記載の発明において、前記共通パターンはパネルの各辺毎に電気的に絶縁され、かつ各前記共通パターンの両端又は該両端を含めた複数箇所にプロービング用の電極が形成されていることを特徴とするものである。

【００１３】請求項７記載の発明は、上記請求項６記載の発明において、全ての隣合う前記信号配線が同一の前記共通パターンに接続しないように互い違いに異なる辺に向かって延長して形成されていることを特徴とするものである。請求項８記載の発明は、請求項１および請求項３乃至請求項７に記載の液晶表示パネルに液晶駆動用ＬＳＩベアチップを実装する方法であって、前記液晶駆動用ＬＳＩベアチップを前記液晶パネルに実装する前に、前記信号配線を、前記電極と前記共通パターンとの間に設けられた切断部で切断する工程を含むことを特徴とするものである。

【００１４】請求項９記載の発明は、上記請求項８記載の発明において、前記切断部を切断する工程が、前記液晶表示パネルの裏面よりレーザ光により行われることを特徴とするものである。請求項１０記載の発明は、請求項２乃至７に記載の液晶表示パネルに液晶駆動用ＬＳＩベアチップを実装する方法であって、前記液晶駆動用ＬＳＩベアチップの前記液晶パネルへの実装工程中に、前記電極部に導電体を接触させ、複数の前記電極部を電気的に接続しておくことを特徴とするものである。

【００１５】

【作用】請求項１記載の発明では、後述する実施例１の

BOE Ex. 1002, p. 114
BOE v. Paneltouch
IPR2025-01482

図１～３に示す如く、液晶表示パネル１の有効表示領域１ａより外側に向かって延びる信号配線１ｂを、液晶駆動用ＬＳＩベアチップ２の出力端子２ａに相対する電極端子１ｃよりも更に外側に延長して、パネル外周に沿って液晶駆動用ＬＳＩベアチップ２の実装部下部を通過するように形成された共通導体パターン１ｄに全て接続し、かつパネル完成後に電極端子１ｃと共通導体パターン１ｄとの間の部分のレーザーカットライン１ｅをレーザーでカットしてなるように構成する。このため、レーザー光照射前に、各信号配線１ｂを有効表示領域１ａとは反対側に延ばして、それを全数共通導体パターン１ｄと電気的に接続することができるので、パネルプロセス工程で発生する静電気に対して十分強くすることができる。

【００１６】請求項２記載の発明では、後述する実施例２の図４，５に示す如く、液晶表示パネル１の有効表示領域１ａより外側に向かって延びる信号配線１ｂ上に、かつ液晶表示パネル１の上側基板と液晶駆動用ＬＳＩベアチップ２実装部との間に長さ０．５～１ｍｍ程度の電極端子１ｆを形成してなるように構成する。このため、信号配線１ｂ上に電極端子１ｆを設けて構成するので、液晶駆動用ＬＳＩベアチップ２の実装工程においても、全信号配線１ｂを電気的に接続することができ、実装工程中に発生する静電気に対して十分強いパネルを容易に得ることができる。

【００１７】請求項３記載の発明では、後述する実施例４の図７に示す如く、前記請求項１と前記請求項２との両方を兼ね備えて構成してなるように構成するため、請求項１記載の発明と請求項２記載の発明の両方の効果を兼ね備えたパネルを得ることができる。請求項４記載の発明では、後述する実施例３の図６に示す如く、信号配線１ｂ上に絶縁層１ｇを形成し、液晶駆動用ＬＳＩベアチップ２の出力信号電極端子２ａに相対する電極端子１ｃ部のみの絶縁層１ｇに穴を開け、この穴上に信号配線１ｂに沿って電極端子１ｆ部まで導体パターン１ｈを形成してなるように構成する。このため、何等かの原因で静電気対策用電極端子１ｆ部に電蝕等が発生した場合においても、電蝕の影響が及ぶのは、液晶表示パネル１の表示には関係のない導体パターン１ｈのみで済ませることができるので、電極端子１ｆ部の信号配線１ｂを電蝕し難くして断線し難くすることができ、信頼性を向上させることができる。

【００１８】請求項５記載の発明では、後述する実施例４の図７に示す如く、パネル外周に沿って形成された共通導体パターン１ｄを少なくとも１個以上の液晶駆動用ＬＳＩベアチップ２実装部に液晶駆動用ＬＳＩベアチップ２への電源及び信号供給用電極端子部１ｉ側に接続してなるように構成する。このため、静電気対策を行うと同時に、端子部１ｉに表示信号を印加することによってブロック毎の一面点灯表示試験を行うことができる。

【００１９】請求項６記載の発明では、後述する実施例５の図８に示す如く、パネル外周に沿って形成された共通導体パターン１ｄをパネル完成時にパネルの各辺毎に電気的に絶縁できるようにし、かつ各共通導体パターン１ｄの両端又は両端を含めた複数箇所にプロービング用の導体パターン１ｊを設置してなるように構成する。このため、共通導体パターン１ｄをパネルの各辺毎に分割して各々に電極端子１ｊを設けることにより、静電気対策と合わせて、数本～十数本のプローブピンを電極端子１ｊに立てるだけで簡易表示試験を行うことができる。

【００２０】請求項７記載の発明では、後述する実施例６の図９に示す如く、全ての隣合う信号配線１ｂが同一の共通導体パターン１ｄに接続しないように互い違いに形成し、かつ液晶駆動用ＬＳＩベアチップ２が実装されない辺の信号配線１ｂのガラス基板越しにレーザーでカットしてなるように構成する。このため、パネルの簡易表示試験時に水平方向の信号配線に一本置きに異なる信号を出力することができるので、信号配線の短絡を確認することができる。

【００２１】請求項８記載の発明では、請求項１および請求項３乃至請求項７に記載の液晶表示パネルに液晶駆動用ＬＳＩベアチップを実装する方法であって、前記液晶駆動用ＬＳＩベアチップを前記液晶パネルに実装する前に、前記信号配線を、前記電極と前記共通パターンとの間に設けられた切断部で切断する工程を含むように構成するため、上記請求項１，３乃至７記載の発明と同様の効果を得ることができる。

【００２２】請求項９記載の発明では、上記請求項８記載の発明において、前記切断部を切断する工程が、前記液晶表示パネルの裏面よりレーザ光により行われるように構成するため、上記請求項８記載の発明と同様の効果を得ることができる。請求項１０記載の発明では、請求項２乃至７記載の液晶表示パネルに液晶駆動用ＬＳＩベアチップを実装する方法であって、前記液晶駆動用ＬＳＩベアチップの前記液晶パネルへの実装工程中に、前記電極部に導電体を接触させ、複数の前記電極部を電気的に接続しておくように構成するため、上記請求項２乃至７記載の発明と同様の効果を得ることができる。

【００２３】

【実施例】以下、本発明の実施例を図面を参照して説明する。

（実施例１）図１は本発明に係る実施例１の液晶表示パネルの全体構成を示す図であり、図２は図１に示すＡ部の構成を示す拡大図であり、図３は図１に示すＡ部のレーザーカット後の構成を示す拡大図である。ここでは、請求項１，８に係る特徴部分を具体的に説明する。図１～３において、１は液晶表示パネルであり、１ａは液晶表示パネル１の有効表示領域であり、１ｂは液晶表示パネル１の有効表示領域１ａより外側に向かって延びる液晶表示パネル１の液晶を駆動する信号を伝送する信号配

BOE Ex. 1002, p. 115
BOE v. Paneltouch
IPR2025-01482

線であり、１ｃは液晶駆動用ＬＳＩベアチップ２の出力端子に相対するパネル１上の電極端子であり、この電極端子１ｃは信号配線１ｂと接続されている。次いで、１ｄは静電気対策用共通導体パターンであり、信号配線１ｂの全てが電極端子１ｃを挟んで有効表示領域１ａとは反対側で接続され、液晶駆動用ＬＳＩベアチップ２実装部下を通過してパネル１を周回するように形成されている。１ｅは電極端子１ｃと共通導体パターン１ｄの間の信号配線１ｂのレーザーカットラインであり、パネルプロセス工程を終了した後に図２に示す如く、このレーザーカットライン１ｅに沿ってレーザー光線を照射してカットすることにより、図３に示す如く、信号配線１ｂと共通導体パターン１ｄとが電気的に分離される。

【００２４】このように、本実施例（請求項１）では、液晶駆動用ＬＳＩベアチップ２を液晶表示パネル１へ直接実装する液晶表示パネルにおいて、液晶表示パネル１の有効表示領域１ａより外側に向かって延びる信号配線１ｂを、液晶駆動用ＬＳＩベアチップ２の出力端子に相対する電極端子１ｃよりも更に外側に延長して、パネル外周に沿って液晶駆動用ＬＳＩベアチップ２の実装部下部を通過するように形成された共通導体パターン１ｄに全て接続し、かつパネル完成後に電極端子１ｃと共通導体パターン１ｄとの間の部分のレーザーカットライン１ｅをレーザーでカットしてなるように構成している。このため、レーザー光照射前に、各信号配線１ｂを有効表示領域１ａとは反対側に延ばして、それを全数共通導体パターン１ｄと電気的に接続することができるので、パネルプロセス工程で発生する静電気に対して十分強くすることができる。

【００２５】（実施例２）次に、図４は本発明に係る実施例２の液晶表示パネルのパネル上面（図１のＡ部に相当）の構成を示す部分図であり、図５は本発明に係る実施例２，１０の液晶表示パネルのＬＳＩチップ実装時の構成を示す図である。ここでは、請求項２に係る特徴部分を具体的に説明する。図４，５において、図１～３と同一符号は同一又は相当部分を示し、１ｆは信号配線１ｂ上に、かつ液晶表示パネル１の上側基板と液晶駆動用ＬＳＩベアチップ２実装部との間に設けられた長さ０．５～１mm程度の静電気対策用の電極端子であり、１ｇは信号配線１ｂの上層に形成された保護膜として機能する絶縁層であり、２は液晶駆動用ＬＳＩベアチップであり、２ａは液晶駆動用ＬＳＩベアチップ２表面に形成された金等の金属突起からなる液晶駆動用ＬＳＩベアチップ２の出力信号電極端子であり、３は液晶駆動用ＬＳＩベアチップ２を加熱加圧して、液晶表示パネル１に液晶駆動用ＬＳＩベアチップ２を熱硬化性樹脂フィルム等を介して接続するためのボンディングヘッドである。そして、４は液晶表示パネル１の各辺に沿った細長い形状をしており、静電気が発生し易い工程中において、静電気対策用の電極端子１ｆに接触させて、信号配線１ｂを電気的に接続するための導電性ゴムであり、５は導電性ゴム４が電極端子１ｆに電気的に十分接続するように荷重を加えるための加圧ヘッドである。なお、ここでは図示していないが、本発明においては、電極端子１ｆに沿って液晶パネルを周回するようにペースト状の導電性樹脂を塗布することによって、全信号配線１ｂを電気的に接続するように構成してもよい。

【００２６】このように、本実施例（請求項２）では、液晶駆動用ＬＳＩベアチップ２を液晶表示パネル１へ直接実装する液晶表示パネルにおいて、液晶表示パネル１の有効表示領域１ａより外側に向かって延びる信号配線１ｂ上に、かつ液晶表示パネル１の上側基板と液晶駆動用ＬＳＩベアチップ２実装部との間に長さ０．５～１mm程度の電極端子１ｆを形成してなるように構成している。

【００２７】このため、信号配線１ｂ上に電極端子１ｆを設けて構成するので、液晶駆動用ＬＳＩベアチップ２の実装工程においても、全信号配線１ｂを電気的に接続することができ、実装工程中に発生する静電気に対して十分強いパネルを容易に得ることができる。

（実施例３）図６は本発明に係る実施例３の液晶表示パネルの構成を示す図である。ここでは、図４に示す電極端子１ｆの層構成に工夫を加えたものであり、請求項４に係る特徴部分を具体的に説明する。本実施例の液晶表示パネルでは、液晶表示パネル１の液晶を駆動する信号を伝送する信号配線１ｂと、液晶駆動用ＬＳＩベアチップの出力端子に相対するパネル１上の電極端子１ｃと、静電気対策用の電極端子１ｆと、信号配線１ｂの保護膜的機能を果たすように信号配線１ｂ上に形成され、かつ電極端子１ｃ部にコンタクトホールが形成された絶縁層１ｇと、絶縁層１ｇの電極端子１ｃ上に開けられたコンタクトホールによって信号配線１ｂと電気的に接続され、かつ信号配線１ｂに沿って電極端子１ｃ部から静電気対策用電極端子１ｆ部まで延びた導体パターン１ｈとから構成する。このため、何等かの原因で静電気対策用電極端子１ｆ部に電蝕等が発生した場合においても、電蝕の影響が及ぶのは、液晶表示パネル１の表示には関係のない導体パターン１ｈのみで済ませることができるので、電極端子１ｆ部の信号配線１ｂを電蝕し難くして断線し難くすることができ、信頼性を向上させることができる。

【００２８】（実施例４）次に、図７は本発明に係る実施例４の液晶表示パネルのパネル上面の構成を示す図であり、図７（ａ）は図１に示すＡ部に該当する部分の構成を示す拡大図、図７（ｂ）は図７（ａ）に示す部分のレーザーカット後の構成を示す拡大図である。ここでは、請求項３，５に係る特徴部分を具体的に説明する。本実施例は、実施例１と実施例３の両方の特徴を兼ね備えたものであり、共通導体パターン１ｄを液晶表示パネル１を周回する形状から１個の液晶駆動用ＬＳＩベアチ

BOE Ex. 1002, p. 116
BOE v. Paneltouch
IPR2025-01482

ップ２の実装部毎にパネル外部に取り出すようにして構成する。この時、信号の取り出しは、液晶駆動用ＬＳＩベアチップ２への入力信号供給用電極端子と同様に形成された導体パターン１ｉにて行う他、この場合の各共通導体パターン１ｄ同士の電気的接続は、前述した従来の方法にて行う。なお、図示していないが、共通導体パターン１ｄのパネル外部への取り出しは、ＬＳＩチップ１個毎に行うのではなく、複数個毎で行ってもよい。

【００２９】このように、本実施例（請求項３）では、液晶表示パネル１の有効表示領域１ａより外側に向かって延びる信号配線１ｂを、液晶駆動用ＬＳＩベアチップ２の出力端子に相対する電極端子１ｃよりも更に外側に延長して、パネル外周に沿って液晶駆動用ＬＳＩベアチップ２の実装部下部を通過するように形成された共通導体パターン１ｄに全て接続し、かつパネル完成後に電極端子１ｃと共通導体パターン１ｄとの間の部分のレーザーカットライン１ｅをレーザーでカットしてなるように構成し、更に、液晶駆動用ＬＳＩベアチップ２を液晶表示パネル１へ直接実装する液晶表示パネルにおいて、液晶表示パネル１の有効表示領域１ａより外側に向かって延びる信号配線１ｂ上に、かつ液晶表示パネル１の上側基板と液晶駆動用ＬＳＩベアチップ２実装部との間に長さ０．５～１ｍｍ程度の電極端子１ｆを形成してなるように構成する。このため、実施例１の効果と実施例２の両方の効果を兼ね備えたパネルを得ることができ、即ち、レーザー光照射前に、各信号配線１ｂを有効表示領域１ａとは反対側に延ばして、それを全数共通導体パターン１ｄと電気的に接続することができるので、パネルプロセス工程で発生する静電気に対して十分強くすることができる他、信号配線１ｂ上に電極端子１ｆを設けて構成するので、液晶駆動用ＬＳＩベアチップ２の実装工程においても、全信号配線１ｂを電気的に接続することができ、実装工程中に発生する静電気に対して十分強いパネルを容易に得ることができる。

【００３０】更に、本実施例（請求項５）では、パネル外周に沿って形成された共通パターン１ｄを少なくとも１個以上の液晶駆動用ＬＳＩベアチップ２実装部毎に液晶駆動用ＬＳＩベアチップ２への電源及び信号供給用電極端子部１ｉ側に接続してなるように構成したため、静電気対策を行うと同時に、端子部１ｉに表示信号を印加することによってブロック毎の一面点灯表示試験を行うことができる。

【００３１】（実施例５）次に、図８は本発明に係る実施例５の液晶表示パネルの全体構成を示す図である。ここでは、請求項６に係る特徴部分を具体的に説明する。本実施例では、共通導体パターン１ｄを液晶表示パネルを周回する形状からパネルの各辺毎に分割した形状とし、各辺毎に分割された各共通導体パターン１ｄに１個あるいは複数個の電極端子１ｊを形成して構成する。また、各共通導体パターン１ｄ同士の電気的接続は、図７の実施例４と同様に前述した従来の方法にて行う。

【００３２】このように、本実施例（請求項６）では、パネル外周に沿って形成された共通導体パターン１ｄをパネル完成時にパネルの各辺毎に電気的に絶縁できるようにし、かつ各共通導体パターン１ｄの両端又は両端を含めた複数箇所にプロービング用の導体パターン１ｉを設置してなるように構成するため、共通導体パターン１ｄを各辺毎に分割して、各々に電極端子１ｊを設けることにより、静電気対策と合わせて、数本～十数本のプロープピンを電極端子１ｊに立てるだけで簡易表示試験を行うことができる。

【００３３】（実施例６）次に、図９は本発明に係る実施例６の液晶表示パネルの全体構成を示す図である。ここでは、請求項７，９に係る特徴部分を具体的に説明する。本実施例では、図８の実施例５において、水平方向に走る信号配線１ｂを同一の共通導体パターン１ｄに接続しないように一本置きに互い違いにパネル左右に縦方向に設けた共通導体パターン１ｄに接続して構成する。このように構成すると、パネル右側に縦方向に設けた共通導体パターン１ｄは、２枚のガラス基板に挟まれた状態となる。

【００３４】従って、この時、液晶駆動用ＬＳＩベアチップ２が実装されない辺の信号配線１ｂのレーザーカットライン１ｅはガラス基板越しに裏面よりレーザーカットされる。このため、パネルの簡易表示試験時に水平方向の信号配線に一本置きに異なる信号を出力することができるので、信号配線の短絡を確認することができる。

【００３５】（実施例７）次に、図１０は、本発明に係る実施例７の液晶表示パネルの全体構成を示す図であり、図１１は図１０に示すＡ部の構成を示す平面及び断面拡大図である。ここでは、請求項４に係る特徴部分を具体的に説明する。本実施例では、液晶表示パネル１と、液晶表示パネル１の有効表示領域１ａと、液晶を駆動する信号を伝達する信号配線１ｂと、この信号配線１ｂと接続され、かつ液晶駆動用ＬＳＩベアチップ２の出力端子に相対するパネル上の電極端子１ｃと、信号配線１ｄの全てが電極端子１ｃを経由して接続され、液晶駆動用ＬＳＩベアチップ２実装部下を通過して、パネルを周回するように形成された静電気対策用の共通導体パターン１ｄと、パネル組立工程終了後にこのラインに沿って、レーザー光線を照射することにより信号配線１ｂと共通導体パターン１ｄとが電気的に分離されるレーザーカットライン１ｅと、もう一つの静電気対策用電極端子１ｆと、信号配線１ｂより上層に成膜され、保護膜として機能するＳｉＮ等からなる絶縁層１ｇと、電極端子１ｃ部において、絶縁層１ｇに開けられたコンタクトホールによって信号配線１ｂと電気的に接続された導体パターン１ｈと、液晶駆動用ＬＳＩベアチップ２と、液晶駆動用ＬＳＩベアチップ２の電極端子部に形成された金等の金属突起からなる出力信号電極端子２ａとから構成す

BOE Ex. 1002, p. 117
BOE v. Paneltouch
IPR2025-01482

る。なお、導体パターン１ｈ上には、静電気対策用電極端子１ｆが形成されている。そして、４は導電性ゴムであり、５は導電性ゴム４を加圧するヘッドであり、６はフレキシブルプリント回路基板であり、このフレキシブルプリント回路基板６は液晶駆動用ＬＳＩベアチップ２に信号を供給するために液晶パネル１に熱圧着等で接続されている。

【００３６】本実施例では、液晶表示パネルが組立てられるまでは、共通導体パターン１ｄに信号配線１ｂが接続されているため、パネル内部にマトリックス上に配置された非線形素子は電気的に同電位となり、静電気の影響は受けない。次に、液晶駆動用ＬＳＩベアチップを実装するに際し、レーザーカットライン１ｅに沿ってレーザー光線を照射して共通導体パターン１ｄと信号配線１ｂを電気的に分離する。これは、ＬＳＩチップ２の実装後では、レーザー光線によってＬＳＩチップにダメージを与えてしまうからである。従って、ＬＳＩチップ２実装時の静電気対策として、もう一つの静電気対策用電極端子１ｆを用いる。即ち、導電性ゴム４を全ての電極端子１ｆに押し当てながらＬＳＩチップ２を実装するか、予め電極端子１ｆ上に導電性ペーストを塗布しておくことによって、全信号配線１ｂを同電位として静電気の影響を回避する。ここで、ＬＳＩチップの実装終了後は、電極端子１ｆは剥き出しの状態となって電蝕の発生が懸念されるが、仮に電蝕が発生しても電極端子１ｃ近傍は接続用樹脂で覆われており、信号配線１ｂも絶縁膜１ｇにて覆われているため、影響を受ける部分は機能に関係のない電極端子１ｆである。このように、本実施例では、液晶表示パネルの製造工程及び実装工程の全般に渡って、静電気の影響を回避しながら対環境信頼性の高い液晶表示パネルを得ることができる。

【００３７】

【発明の効果】本発明によれば、ＣＯＧ実装対応で、しかも全辺に液晶駆動用ＬＳＩチップが実装される場合においても、パネルプロセス工程及びＬＳＩチップ実装工程を通じて静電気対策を容易に行うことができるという効果がある。

【図面の簡単な説明】

【図１】本発明に係る実施例１の液晶表示パネルの全体構成を示す図である。

【図２】図１に示すＡ部の構成を示す拡大図である。

【図３】図１に示すＡ部のレーザーカット後の構成を示す拡大図である。

【図４】本発明に係る実施例２の液晶表示パネルのパネル上面の構成を示す部分図である。

【図５】本発明に係る実施例２の液晶表示パネルのＬＳＩチップ実装時の構成を示す図である。

【図６】本発明に係る実施例３の液晶表示パネルの構成を示す図である。

【図７】本発明に係る実施例４の液晶表示パネルのパネル上面の構成を示す図である。

【図８】本発明に係る実施例５の液晶表示パネルの全体構成を示す図である。

【図９】本発明に係る実施例６の液晶表示パネルの全体構成を示す図である。

【図１０】本発明に係る実施例７の液晶表示パネルの全体構成を示す図である。

【図１１】図１０に示すＡ部の構成を示す平面及び断面拡大図である。

【図１２】従来例のＴＡＢ実装方式の液晶表示パネルとその端面研磨した液晶表示パネルの構成を示す図である。

【図１３】従来例のＣＯＧ実装方式の液晶表示パネルとそのチップ非実装辺をカットした液晶表示パネルの構成を示す図である。

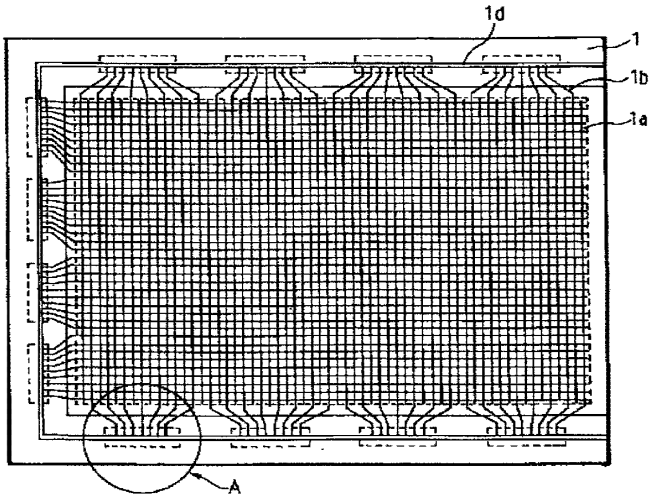
【符号の説明】

１　液晶表示パネル
１ａ　有効表示領域
１ｂ　信号配線
１ｃ，１ｆ，１ｊ　電極端子
１ｄ　共通導体パターン
１ｅ　レーザーカットライン
１ｇ　絶縁層
１ｈ，１ｉ　導体パターン
２　液晶駆動用ＬＳＩベアチップ
２ａ　出力信号電極端子
３　ボンディングヘッド
４　導電性ゴム
５　加圧ヘッド
６　フレキシブルプリント回路基板

BOE Ex. 1002, p. 118
BOE v. Paneltouch
IPR2025-01482

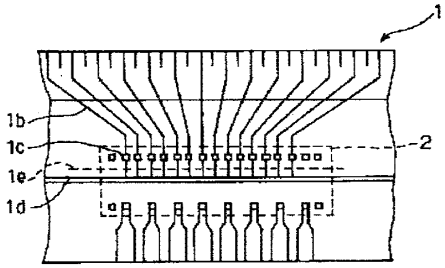
【図１】

本発明に係る実施例１の液晶表示パネルの全体構成を示す図



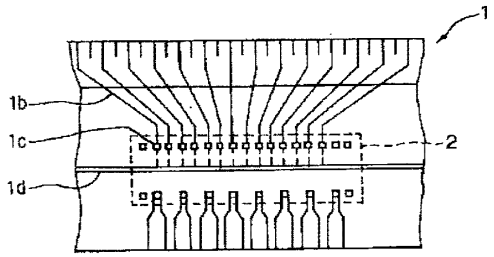
【図２】

図１に示すＡ部の構成を示す拡大図



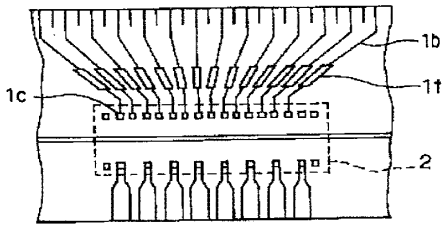
【図３】

図１に示すＡ部のレーザーカット後の構成を示す拡大図



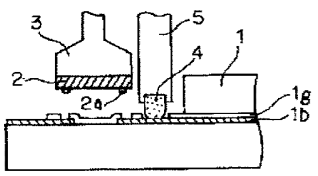
【図４】

本発明に係る実施例２の液晶表示パネルのパネル上面の構成を示す部分図



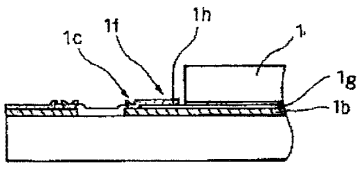
【図５】

本発明に係る実施例２の液晶表示パネルのＬＳＩチップ実装時の構成を示す図



【図６】

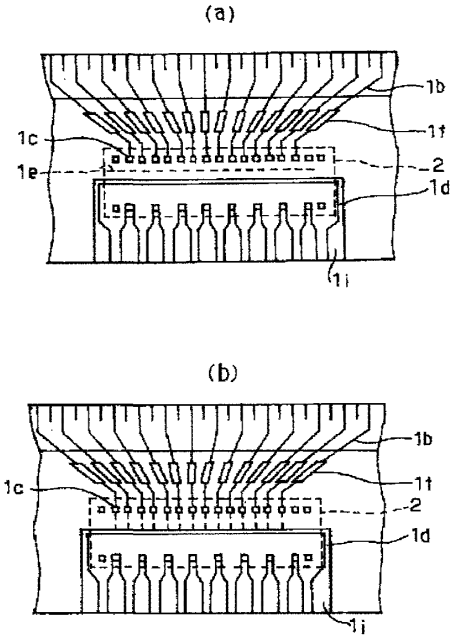
本発明に係る実施例３の液晶表示パネルの構成を示す図



BOE Ex. 1002, p. 119
BOE v. Paneltouch
IPR2025-01482

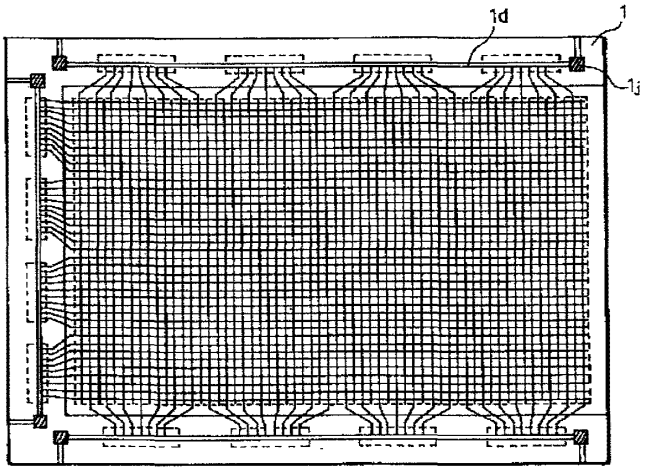
【図７】

本発明に係る実施例４の液晶表示パネルのパネル上面の構成を示す図



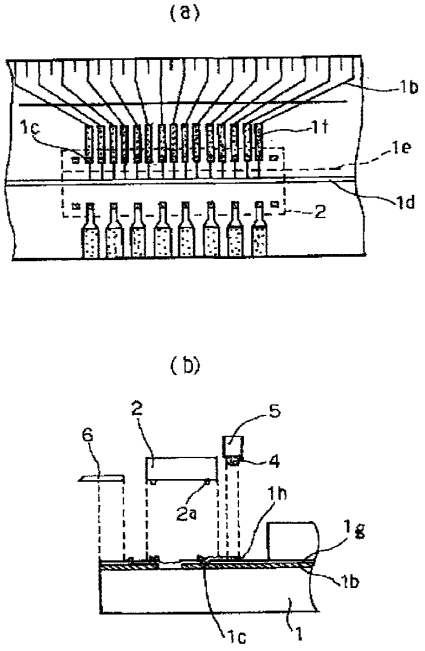
【図８】

本発明に係る実施例５の液晶表示パネルの全体構成を示す図



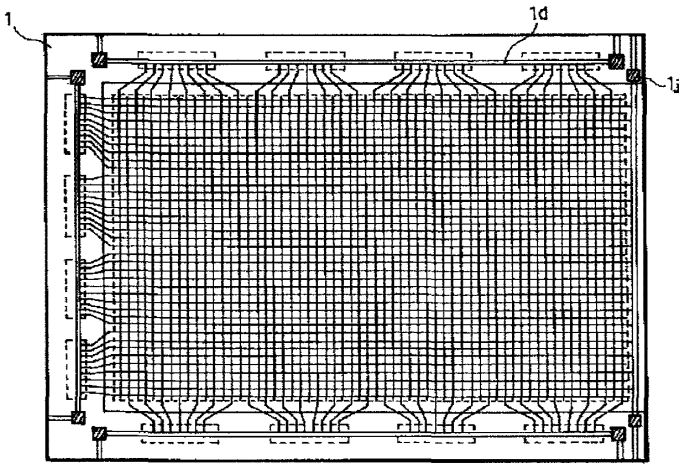
【図１１】

図１０に示すＡ部の構成を示す平面及び断面拡大図



【図９】

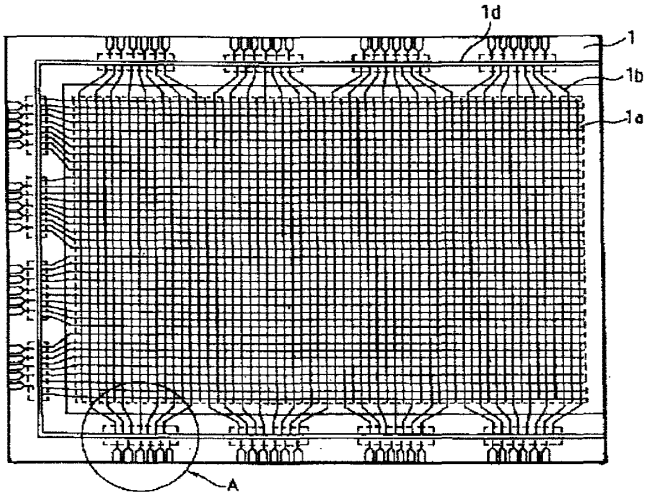
本発明に係る実施例６の液晶表示パネルの全体構成を示す図



BOE Ex. 1002, p. 120
BOE v. Paneltouch
IPR2025-01482

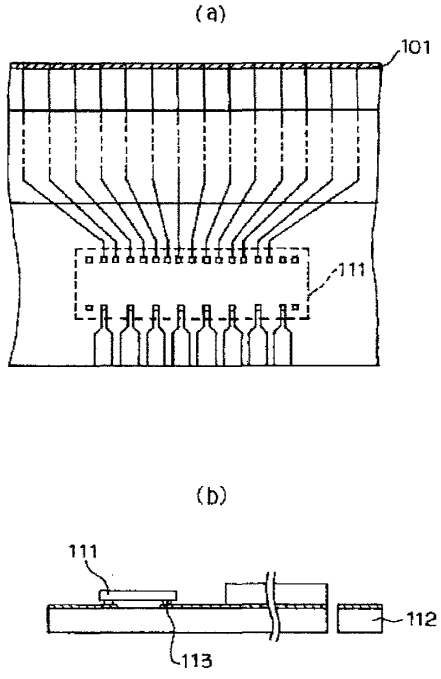
【図１０】

本発明に係る実施例７の液晶表示パネルの全体構成を示す図



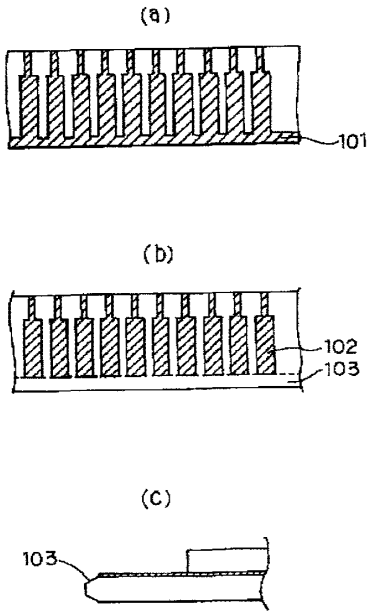
【図１３】

従来例のＣＯＧ実装方式の液晶表示パネルとそのチップ非実装辺をカットした液晶表示パネルの構成を示す図



【図１２】

従来例のＴＡＢ実装方式の液晶表示パネルとその端面研磨した液晶表示パネルの構成を示す図



BOE Ex. 1002, p. 121
BOE v. Paneltouch
IPR2025-01482

フロントページの続き

(72)発明者　助田　俊明
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

(72)発明者　笠原　愼一
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内

BOE Ex. 1002, p. 122
BOE v. Paneltouch
IPR2025-01482

Electronic Patent Application Fee Transmittal

Application Number:	
Filing Date:	
Title of Invention:	DISPLAY DEVICE
First Named Inventor/Applicant Name:	Kouichi ANNO
Filer:	Melvin Kraus/Southchai Vannarath
Attorney Docket Number:	520.51700X00

Filed as Large Entity

Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Utility application filing	1011	1	330	330
Utility Search Fee	1111	1	540	540
Utility Examination Fee	1311	1	220	220
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Miscellaneous:				
		Total in USD ($)		**1090**

Electronic Acknowledgement Receipt

EFS ID:	10214277
Application Number:	13151362
International Application Number:	
Confirmation Number:	4779
Title of Invention:	DISPLAY DEVICE
First Named Inventor/Applicant Name:	Kouichi ANNO
Customer Number:	20457
Filer:	Melvin Kraus/Southchai Vannarath
Filer Authorized By:	Melvin Kraus
Attorney Docket Number:	520.51700X00
Receipt Date:	02-JUN-2011
Filing Date:	
Time Stamp:	11:01:41
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	$1090
RAM confirmation Number	11500
Deposit Account	012135
Authorized User	THENOR,LEONID D.
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows: Charge any Additional Fees required under 37 C.F.R. Section 1.16 (National application filing, search, and examination fees) Charge any Additional Fees required under 37 C.F.R. Section 1.17 (Patent application and reexamination processing fees)	

Charge any Additional Fees required under 37 C.F.R. Section 1.19 (Document supply fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.21 (Miscellaneous fees and charges)

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Transmittal of New Application	51700X00TRNA.pdf	216016 612a290e249caecd4adfd915db00c469ec5a3f1d	no	1
Warnings:					
Information:					
2	Fee Worksheet (SB06)	51700X00FEE.pdf	150658 da089d0e55d3cf72b5339ed181135f24fa5b40ac	no	1
Warnings:					
Information:					
3	Specification	51700X00SPC.pdf	3909610 5091e4ae8f4cc41e8ec14cb5ff1427d74556a8f2	no	41
Warnings:					
Information:					
4	Claims	51700X00CLM.pdf	3902422 3aa5f33ba2e4e74da8f135934c83d4c77e807372	no	5
Warnings:					
Information:					
5	Abstract	51700X00ABST.pdf	413581 7bf21bfbe6e37497acd3eebe23a4d13221057f96	no	2
Warnings:					
Information:					
6	Drawings-only black and white line drawings	51700X00DRW.pdf	333073 58fe43f92b8bf3845b1fbeff89a172ece554e1f4	no	8
Warnings:					
Information:					
7	Transmittal Letter	51700X00IDSTRNA.pdf	72226 c3db594af06cd60028b5f9920762faa221eb861c	no	1
Warnings:					
Information:					
8	Information Disclosure Statement (IDS) Form (SB08)	51700X00SB08.pdf	130552 abc1f96c87ef8d9a76a9728d66b281ccf47b7cc8	no	1
Warnings:					

Information:					
This is not an USPTO supplied IDS fillable form					
9	Foreign Reference	51700X00REF1.pdf	3486122 342eb6161f8becf980a6b4efda3258d24a1eb4e9	no	20
Warnings:					
Information:					
10	Foreign Reference	51700X00REF2.pdf	3053930 53e61698ea33f65c9bb874f835180a92d7b23a9f	no	18
Warnings:					
Information:					
11	Foreign Reference	51700X00REF3.pdf	4329099 871e764ff601d62535f2da0ad32215fce2b536a1	no	24
Warnings:					
Information:					
12	Fee Worksheet (SB06)	fee-info.pdf	32658 d21fa03663da68efff247cb266cc8bf8f141dc9c	no	2
Warnings:					
Information:					
			Total Files Size (in bytes):	20029947	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

<u>New Applications Under 35 U.S.C. 111</u>
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

<u>National Stage of an International Application under 35 U.S.C. 371</u>
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

<u>New International Application Filed with the USPTO as a Receiving Office</u>
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
13/151,362	06/02/2011	Kouichi ANNO	520.51700X00

CONFIRMATION NO. 4779

20457
ANTONELLI, TERRY, STOUT & KRAUS, LLP
1300 NORTH SEVENTEENTH STREET
SUITE 1800
ARLINGTON, VA 22209-3873

FORMALITIES LETTER

OC000000048207585

Date Mailed: 06/17/2011

NOTICE TO FILE MISSING PARTS OF NONPROVISIONAL APPLICATION

FILED UNDER 37 CFR 1.53(b)

Filing Date Granted

Items Required To Avoid Abandonment:

An application number and filing date have been accorded to this application. The item(s) indicated below, however, are missing. Applicant is given **TWO MONTHS** from the date of this Notice within which to file all required items below to avoid abandonment. Extensions of time may be obtained by filing a petition accompanied by the extension fee under the provisions of 37 CFR 1.136(a).

- The oath or declaration is missing.
  A properly signed oath or declaration in compliance with 37 CFR 1.63, identifying the application by the above Application Number and Filing Date, is required.
  Note: If a petition under 37 CFR 1.47 is being filed, an oath or declaration in compliance with 37 CFR 1.63 signed by all available joint inventors, or if no inventor is available by a party with sufficient proprietary interest, is required.

The applicant needs to satisfy supplemental fees problems indicated below.

The required item(s) identified below must be timely submitted to avoid abandonment:

- A surcharge (for late submission of filing fee, search fee, examination fee or oath or declaration) as set forth in 37 CFR 1.16(f) of $**130** for a non-small entity, must be submitted.

SUMMARY OF FEES DUE:

Total fee(s) required within **TWO MONTHS** from the date of this Notice is $**130** for a non-small entity
- $**130** Surcharge.

BOE Ex. 1002, p. 128
BOE v. Paneltouch
IPR2025-01482

Replies should be mailed to:

Mail Stop Missing Parts
Commissioner for Patents
P.O. Box 1450
Alexandria VA 22313-1450

Registered users of EFS-Web may alternatively submit their reply to this notice via EFS-Web.
https://sportal.uspto.gov/authenticate/AuthenticateUserLocalEPF.html

For more information about EFS-Web please call the USPTO Electronic Business Center at **1-866-217-9197** or visit our website at http://www.uspto.gov/ebc.

If you are not using EFS-Web to submit your reply, you must include a copy of this notice.

/squreshi/

Office of Data Management, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

BOE Ex. 1002, p. 129
BOE v. Paneltouch
IPR2025-01482

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING or 371(c) DATE	GRP ART UNIT	FIL FEE REC'D	ATTY.DOCKET.NO	TOT CLAIMS	IND CLAIMS
13/151,362	06/02/2011	2883	1090	520.51700X00	12	2

CONFIRMATION NO. 4779

20457
ANTONELLI, TERRY, STOUT & KRAUS, LLP
1300 NORTH SEVENTEENTH STREET
SUITE 1800
ARLINGTON, VA 22209-3873

FILING RECEIPT



Date Mailed: 06/17/2011

Receipt is acknowledged of this non-provisional patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. **If an error is noted on this Filing Receipt, please submit a written request for a Filing Receipt Correction. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections**

Applicant(s)

Kouichi ANNO, Residence Not Provided;

Power of Attorney: None

Domestic Priority data as claimed by applicant

Foreign Applications (You may be eligible to benefit from the **Patent Prosecution Highway** program at the USPTO. Please see http://www.uspto.gov for more information.)
JAPAN JP 2010-126877 06/02/2010

If Required, Foreign Filing License Granted: 06/14/2011

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is **US 13/151,362**

Projected Publication Date: To Be Determined - pending completion of Missing Parts

Non-Publication Request: No

Early Publication Request: No

BOE Ex. 1002, p. 130
BOE v. Paneltouch
IPR2025-01482

Title

DISPLAY DEVICE

Preliminary Class

385

PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at http://www.uspto.gov/web/offices/pac/doc/general/index.html.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, http://www.stopfakes.gov. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4158).

LICENSE FOR FOREIGN FILING UNDER

Title 35, United States Code, Section 184

Title 37, Code of Federal Regulations, 5.11 & 5.15

GRANTED

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where the conditions for issuance of a license have been met, regardless of whether or not a license may be required as

BOE Ex. 1002, p. 131
BOE v. Paneltouch
IPR2025-01482

set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign AssetsControl, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

BOE Ex. 1002, p. 132
BOE v. Paneltouch
IPR2025-01482

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number: 13/151,362

APPLICATION AS FILED - PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY FEE($)
BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	330
SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	540
EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	220
TOTAL CLAIMS (37 CFR 1.16(i))	12 minus 20 =	*			OR	x 52 =	0.00
INDEPENDENT CLAIMS (37 CFR 1.16(h))	2 minus 3 =	*				x 220 =	0.00
APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $270 ($135 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						0.00
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							0.00
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	1090

APPLICATION AS AMENDED - PART II

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY ADDITIONAL FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE($)
AMENDMENT A	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		OR	x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		OR	x =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY ADDITIONAL FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE($)
AMENDMENT B	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		OR	x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		OR	x =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".
The "Highest Number Previously Paid For" (Total or Independent) is the highest found in the appropriate box in column 1.

520.51700X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant(s): ANNO, et al

Application No.: 13/151,362

Filed: June 2, 2011

For: DISPLAY DEVICE

Conf. No.: 4779

RESPONSE TO NOTICE TO FILE MISSING PARTS

Mail Stop Missing Parts
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

July 21, 2011

Sir:

In response to the Notice to File Missing Parts dated June 17, 2011, in connection with the above-identified application, attached hereto is an executed Declaration for the above-identified patent application, in compliance with 37 CFR 1.63.

The fee of $130.00 required to satisfy the requirements set forth in 37 CFR 1.16(f) is being submitted electronically at the time of filing this response.

Please charge any shortages in the fees due in connection with the filing of this paper, including extension of time fees, to Deposit Account No. 01-2135 (Docket No. 520.51700X00) and please credit any excess fees to such deposit account.

Respectfully submitted,

/Melvin Kraus/
Melvin Kraus
Registration No. 22,466

MK/rp
(703) 312-6600

PTO/SB/106(5-00)
Approved for use through 10/31/02. OMB 0651-0032
Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Declaration and Power of Attorney for Patent Application

特許出願宣言書及び委任状

Japanese Language Declaration

日本語宣言書

私は、以下に記名された発明者として、ここに下記の通り宣言する：	As a below named inventor, I hereby declare that:
私の住所、郵便の宛先そして国籍は、私の氏名の後に記載された通りである。	My residence, post office address and citizenship are as stated next to my name.
下記の名称の発明について、特許請求範囲に記載され、且つ特許が求められている発明主題に関して、私は、最初、最先且つ唯一の発明者である（唯一の氏名が記載されている場合）か、或いは最初、最先且つ共同発明者である（複数の氏名が記載されている場合）と信じている。	I believe I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural names are listed below) of the subject matter which is claimed and for which a patent is sought on the invention entitled
_____	**DISPLAY DEVICE**
_____	_____
上記発明の明細書はここに添付されているが、下記の欄がチェックされている場合は、この限りでない：	The specification of which is attached hereto unless the following box is checked:
☐ _____ に日に出願され、 この出願の米国出願番号またはＰＣＴ国際出願番号は、 _____ であり、且つ _____ の日に補正された出願（該当する場合）	☐ was filed on _____ as United States Application Number or PCT International Application Number _____ and was amended on _____ (if applicable).
私は、上記の補正書によって補正された、特許請求範囲を含む上記明細書を検討し、且つ内容を理解していることをここに表明する。	I hereby state that I have reviewed and understand the contents of the above identified specification, including the claims, as amended by any amendment referred to above.
私は、連邦規則法典第３７編規則１．５６に定義されている、特許性について重量な情報を開示する義務があることを認める。	I acknowledge the duty to disclose information which is material to patentability as defined in Title 37, Code of Federal Regulations, Section 1.56.

Burden Hour Statement: This form is estimated to take 0.4 hours to complete. Time will vary depending upon the need of the individual case. Any comments on the amount of time you are required to complete this form should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner of Patents and Trademarks, Washington, DC 20231.

BOE Ex. 1002, p. 135
BOE v. Paneltouch
IPR2025-01482

PTO/SB/106(5-00)
Approved for use through 10/31/02. OMB 0651-0032
Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Japanese Language Declaration
（日本語宣言書）

私は、ここに、以下に記載した外国での特許出願または発明者証の出願、或いは米国以外の少なくとも一国を指定している米国法典第３５編第３６５条(a)によるＰＣＴ国際出願について、同第１１９条(a)-(d)項又は第３６５条(b)項に基づいて優先権を主張するとともに、優先権を主張する本出願の出願日よりも前の出願日を有する外国での特許出願または発明者証の出願、或いはＰＣＴ国際出願については、いかなる出願も、下記の枠内をチェックすることにより示した。

I hereby claim foreign priority under Title 35, United States Code, Section 119 (a)-(d) or 365(b) of any foreign application(s) for patent or inventor's certificate, or 365(a) of any PCT International apllication which designated at least one country other than the United States listed below and have also identified below, by checking the box, any foreign application for patent or inventor's certificate, or PCT International application having a filing date before that of the application for which priority is claimed.

Prior Foreign Application(s) 外国での先行出願			Priority Not Claimed 優先権主張なし
2010-126877 (Number) （番号）	Japan (Country) （国名）	2/June/2010 (Day/Month/Year Filed) （出願日／月／年）	☐
(Number) （番号）	(Country) （国名）	(Day/Month/Year Filed) （出願日／月／年）	☐

私は、ここに、下記のいかなる米国仮特許出願についても、その米国法典第３５編１１９条(e)項の利益を主張する。

I hereby claim the benefit under Title 35, United States Code, Section 119(e) of any United States provisional application(s) listed below.

(Application No.) （出願番号）	(Filing Date) （出願日）	(Application No.) （出願番号）	(Filing Date) （出願日）

私は、ここに、下記のいかなる米国出願についても、その米国法典第３５編第１２０条に基づく利益を主張し、又米国を指定するいかなるＰＣＴ国際出願についても、その同第３６５条 (c)に基づく利益を主張する。また、本出願の各特許請求の範囲の主題が、米国法典第３５編第１１２条第１段に規定された態様で、先行する米国出願又はＰＣＴ国際出願に開示されていない場合においては、その先行出願の出願日と本国内出願日またはＰＣＴ国際出願日との間の期間中に入手された情報で、連邦規則法典第３７編規則１．５６に定義された特許性に関わる重要な情報について開示義務があることを承認する。

I hereby claim the benefit under Title 35, United States Code, Section 120 of any United States application(s), or 365(c) of any PCT international application designating the United States, listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States or PCT International application in the manner provided by the first paragraph of Title 35, United States Code Section 112, I acknowledge the duty to disclose information which is material to patentability as defined in Title 37, Code of Federal Regulations, Section 1.56 which became available between the filing date of the prior application and the national or PCT International filing date of application.

(Application No.) （出願番号）	(Filing Date) （出願日）	(Status: Patented, Pending, Abandoned) （現況 ： 特許許可、係属中、放棄）
(Application No.) （出願番号）	(Filing Date) （出願日）	(Status: Patented, Pending, Abandoned) （現況 ： 特許許可、係属中、放棄）

私は、ここに表明された私自身の知識に係わる陳述が真実であり、且つ情報と信ずることに基づく陳述が、真実であると信じられることを宣言し、さらに、故意に虚偽の陳述などを行った場合は、米国法典第１８編第１００１条に基づき、罰金または拘禁、若しくはその両方により処罰され、またそのような故意による虚偽の陳述は、本出願またはそれに対して発行されるいかなる特許も、その有効性に問題が生ずることを理解した上で陳述が行われたことを、ここに宣言する。

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issued thereon.

BOE Ex. 1002, p. 136
BOE v. Paneltouch
IPR2025-01482

PTO/SB/106(5-00)
Approved for use through 10/31/02. OMB 0651-0032
Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Japanese Language Declaration
（日本語宣言書）

委任状 ： 私は本出願を審査する手続を行い、且つ米国特許商標庁との全ての業務を遂行するために、記名された発明者として、下記の弁護士及び／または弁理士を任命する。（氏名及び登録番号を記載すること）

POWER OF ATTORNEY: As a named inventor, I hereby appoint the following attorney(s) and/or agent(s) to prosecute this application and transact all business in the Patent and Trademark Office connected therewith (list name and registration number).

The patent practitioners associated with
Customer Number 020457

書類送付先

Send Correspondence to:
Customer Number: 020457
Antonelli, Terry, Stout & Kraus, LLP
Suite 1800, 1300 North Seventeenth Street
Arlington, Virginia 22209

直通電話連絡先 ：（氏名及び電話番号）

Direct Telephone Calls to: (name and telephone number)

Telephone: (703) 312-6600
Fax: (703) 312-6666

唯一または第一発明者氏名	Full name of sole or first inventor **Kouichi ANNO**
発明者の署名　日付	Inventor's signature　Date Kouichi Anno May. 31. 2011
住所	Residence Mobara, Japan
国籍	Citizenship Japan
郵便の宛先	Post office Address c/o Hitachi Displays, Ltd. 3300, Hayano, Mobara-shi, Chiba 297-8622, Japan
第二共同発明者がいる場合、その氏名	Full name of second joint inventor, if any **Takumi SATO**
第二共同発明者の署名　日付	Second inventor's signature　Date Takumi Sato May. 31. 2011
住所	Residence Mobara, Japan
国籍	Citizenship Japan
郵便の宛先	Post office Address c/o Hitachi Displays, Ltd. 3300, Hayano, Mobara-shi, Chiba 297-8622, Japan

（第三以下の共同発明者についても同様に記載し、署名をすること）

(Supply similar information and signature for third and subsequent joint inventors.)

BOE Ex. 1002, p. 137
BOE v. Paneltouch
IPR2025-01482

第三共同発明者がいる場合、その氏名		Full name of third joint inventor, if any **Masahiro TERAMOTO**	
第三共同発明者の署名	日付	Third inventor's signature	Date
		Masahiro Teramoto	May. 31. 2011
住所		Residence Mobara, Japan	
国籍		Citizenship Japan	
郵便の宛先		Post office Address c/o Hitachi Displays, Ltd. 3300, Hayano, Mobara-shi, Chiba 297-8622, Japan	
第四共同発明者がいる場合、その氏名		Full name of fourth joint inventor, if any	
第四共同発明者の署名	日付	Fourth inventor's signature	Date
住所		Residence	
国籍		Citizenship	
郵便の宛先		Post office Address	
第五共同発明者がいる場合、その氏名		Full name of fifth joint inventor, if any	
第五共同発明者の署名	日付	Fifth inventor's signature	Date
住所		Residence	
国籍		Citizenship	
郵便の宛先		Post office Address	
第六共同発明者がいる場合、その氏名		Full name of sixth joint inventor, if any	
第六共同発明者の署名	日付	Sixth inventor's signature	Date
住所		Residence	
国籍		Citizenship	
郵便の宛先		Post office Address	

BOE Ex. 1002, p. 138
BOE v. Paneltouch
IPR2025-01482

Electronic Patent Application Fee Transmittal

Application Number:	13151362
Filing Date:	02-Jun-2011
Title of Invention:	DISPLAY DEVICE
First Named Inventor/Applicant Name:	Kouichi ANNO
Filer:	Melvin Kraus/Ricardo Perez
Attorney Docket Number:	520.51700X00

Filed as Large Entity

Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Late filing fee for oath or declaration	1051	1	130	130
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Miscellaneous:				
			Total in USD ($)	**130**

Electronic Acknowledgement Receipt

EFS ID:	10566476
Application Number:	13151362
International Application Number:	
Confirmation Number:	4779
Title of Invention:	DISPLAY DEVICE
First Named Inventor/Applicant Name:	Kouichi ANNO
Customer Number:	20457
Filer:	Melvin Kraus/Ricardo Perez
Filer Authorized By:	Melvin Kraus
Attorney Docket Number:	520.51700X00
Receipt Date:	21-JUL-2011
Filing Date:	02-JUN-2011
Time Stamp:	11:10:14
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	$130
RAM confirmation Number	9225
Deposit Account	
Authorized User	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)

1	Applicant Response to Pre-Exam Formalities Notice	RNFMP.pdf	83902 2048c40ddff1568f4c7c47b48abbded36054ba60	no	1
Warnings:					
Information:					
2	Oath or Declaration filed	Declaration.pdf	590995 bdf71db37b40c66c5387abccff71803e227cc15a	no	4
Warnings:					
Information:					
3	Fee Worksheet (SB06)	fee-info.pdf	29752 180df409637a9cd16b649fbde5dafceb91750ae4	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	704649		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

<u>New Applications Under 35 U.S.C. 111</u>
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

<u>National Stage of an International Application under 35 U.S.C. 371</u>
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

<u>New International Application Filed with the USPTO as a Receiving Office</u>
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number: 13/151,362

APPLICATION AS FILED - PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY FEE($)
BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	380
SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	620
EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	250
TOTAL CLAIMS (37 CFR 1.16(i))	12 minus 20 =	*			OR	x 60 =	0.00
INDEPENDENT CLAIMS (37 CFR 1.16(h))	2 minus 3 =	*				x 250 =	0.00
APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $310 ($155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						0.00
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							0.00
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	1250

APPLICATION AS AMENDED - PART II

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY ADDITIONAL FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE($)
AMENDMENT A	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		OR	x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		OR	x =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE($)	ADDITIONAL FEE($)		RATE($)	ADDITIONAL FEE($)
AMENDMENT B	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		OR	x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		OR	x =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".
The "Highest Number Previously Paid For" (Total or Independent) is the highest found in the appropriate box in column 1.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING or 371(c) DATE	GRP ART UNIT	FIL FEE REC'D	ATTY.DOCKET.NO	TOT CLAIMS	IND CLAIMS
13/151,362	06/02/2011	2883	1220	520.51700X00	12	2

CONFIRMATION NO. 4779

20457
ANTONELLI, TERRY, STOUT & KRAUS, LLP
1300 NORTH SEVENTEENTH STREET
SUITE 1800
ARLINGTON, VA 22209-3873

UPDATED FILING RECEIPT



Date Mailed: 02/24/2012

Receipt is acknowledged of this non-provisional patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. **If an error is noted on this Filing Receipt, please submit a written request for a Filing Receipt Correction. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections**

Applicant(s)

Kouichi ANNO, Mobara, JAPAN;
Takumi Sato, Mobara, JAPAN;
Masahiro Teramoto, Mobara, JAPAN;

Power of Attorney: The patent practitioners associated with Customer Number 020457

Domestic Priority data as claimed by applicant

Foreign Applications (You may be eligible to benefit from the **Patent Prosecution Highway** program at the USPTO. Please see http://www.uspto.gov for more information.)
JAPAN JP 2010-126877 06/02/2010

Request to Retrieve - This application either claims priority to one or more applications filed in an intellectual property Office that participates in the Priority Document Exchange (PDX) program or contains a proper **Request to Retrieve Electronic Priority Application(s)** (PTO/SB/38 or its equivalent). Consequently, the USPTO will attempt to electronically retrieve these priority documents.

If Required, Foreign Filing License Granted: 06/14/2011

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is **US 13/151,362**

Projected Publication Date: 06/07/2012

Non-Publication Request: No

Early Publication Request: No

BOE Ex. 1002, p. 144
BOE v. Paneltouch
IPR2025-01482

Title

DISPLAY DEVICE

Preliminary Class

385

PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at http://www.uspto.gov/web/offices/pac/doc/general/index.html.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, http://www.stopfakes.gov. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4158).

LICENSE FOR FOREIGN FILING UNDER

Title 35, United States Code, Section 184

Title 37, Code of Federal Regulations, 5.11 & 5.15

GRANTED

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where the conditions for issuance of a license have been met, regardless of whether or not a license may be required as

BOE Ex. 1002, p. 145
BOE v. Paneltouch
IPR2025-01482

set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign AssetsControl, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

SelectUSA

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation and commercialization of new technologies. The USA offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to encourage, facilitate, and accelerate business investment. To learn more about why the USA is the best country in the world to develop technology, manufacture products, and grow your business, visit SelectUSA.gov.

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 Date of Application:	２０１０年　６月　２日
出 願 番 号 Application Number:	特願２０１０－１２６８７７
パリ条約による外国への出願に用いる優先権の主張の基礎となる出願の国コードと出願番号 The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is	ＪＰ２０１０－１２６８７７
出 願 人 Applicant(s):	株式会社　日立ディスプレイズ パナソニック液晶ディスプレイ株式会社

２０１２年　３月１５日

特許庁長官
Commissioner,
Japan Patent Office　岩井良行

BOE Ex. 1002, p. 147
BOE v. Paneltouch
IPR2025-01482

【書類名】　特許願
【整理番号】　EJP-000460
【あて先】　特許庁長官殿
【国際特許分類】　G02F　1/133
【発明者】
　【住所又は居所】　千葉県茂原市早野３３００番地　株式会社日立ディスプレイズ内
　【氏名】　阿武　恒一
【発明者】
　【住所又は居所】　千葉県茂原市早野３３００番地　株式会社日立ディスプレイズ内
　【氏名】　佐藤　匠
【発明者】
　【住所又は居所】　千葉県茂原市早野３３００番地　株式会社日立ディスプレイズ内
　【氏名】　寺本　雅博
【特許出願人】
　【識別番号】　502356528
　【氏名又は名称】　株式会社　日立ディスプレイズ
【代理人】
　【識別番号】　100075959
　【弁理士】
　【氏名又は名称】　小林　　保
　【電話番号】　(03)3865-9755
【手数料の表示】
　【予納台帳番号】　016207
　【納付金額】　15,000円
【提出物件の目録】
　【物件名】　明細書　1
　【物件名】　特許請求の範囲　1
　【物件名】　要約書　1
　【物件名】　図面　1
　【包括委任状番号】　0608506

【書類名】明細書
【発明の名称】表示装置
【技術分野】
【０００１】
本発明は、表示装置に係わり、特に、検出部や表示領域の外側領域に形成される信号配線の検査を容易化する技術に関する。
【背景技術】
【０００２】
液晶表示パネルは、薄膜トランジスタや画素電極等が形成される第１基板（ＴＦＴ基板）と、カラーフィルタ等が形成される第２基板（カラーフィルタ基板）とが液晶層を介して対向配置される構成となっている。このような構成からなる液晶表示パネルは、複数枚分の液晶表示装置の回路パターンを形成した第１基板（ＴＦＴ基板）とカラーフィルタ等を形成した第２基板（カラーフィルタ基板）とが接着され、液晶を封入した後に、液晶表示装置毎にガラス基板を切断することにより形成されている。このために、ガラス基板の切断工程や途中の取り扱いにおいてガラス基板の端部に欠けやクラック等が生じた場合、基板上に形成される信号配線が基板欠けやクラック等と共に断線してしまう配線不良が問題となっている。
【０００３】
また、携帯情報端末に搭載される表示装置では、液晶表示パネルの表示面側にタッチパネルと称される座標入力装置が配置され、表示画像と接触位置との情報に基づいた画像の表示制御が一般的となっている。タッチパネルはガラス基板上の検出領域内に電極が形成され、検出領域の周囲には電極に駆動信号を供給する信号配線が形成される構成となっている。このために、液晶表示パネルと同様に、基板欠けやクラック等と共に信号配線が断線してしまう配線不良が問題となっている。
【０００４】
このような配線不良を検出する方法として、例えば、特許文献１に記載の液晶表示装置がある。特許文献１に記載の液晶表示装置では、平行配置される共通配線を表示画面の周縁部で互いに接続すると共に、表示画面中央部に開放部を形成することにより、アレイテスタを用いて共通配線の断線を検出可能としている。
【０００５】
また、特許文献２には、ゲート線と平行に形成される予備配線を用いて、ドレイン線の短絡を検出する技術が開示されている。さらには、特許文献３には、１枚のガラス基板に複数枚分の液晶表示装置パターンを形成する際に、切断工程において各液晶表示装置に分割する際に、各液晶表示装置から切り離される領域に、各配線を互いに接続するための共通配線を設ける技術が開示されている。
【先行技術文献】
【特許文献】
【０００６】
【特許文献１】特開２００２－３５０８９６号公報
【特許文献２】特開平９－８０４７８号公報
【特許文献３】特開平７－１５２０４３号公報
【発明の概要】
【発明が解決しようとする課題】
【０００７】
タッチパネルは液晶表示パネルの表示面側に配置され、操作者の入力指示を検出する構成となっているので、検出領域の周囲には遮光膜が配置され、配線領域等が形成される領域を覆う構成となっている。このために、液晶表示パネルの表示面側にタッチパネルを取り付けた後には、配線領域は遮光膜と液晶表示パネルとの間に位置することとなり、基板欠けやクラック等による信号配線の断線を目視等で検査する目視外観検査等が非常に困難であった。このために、液晶表示パネルとタッチパネルとを貼り合わせた後の信号配線の

BOE Ex. 1002, p. 149
BOE v. Paneltouch
IPR2025-01482

断線は、多くの検査時間を要する最終検査まで発見することが困難であり、簡易な検査方法が切望されている。

【０００８】

一方、特許文献１に記載の方法では、信号配線毎の検査が必要となるので、最終検査と同様に、非常に多くの時間を要することが懸念される。また、特許文献２及び特許文献３には、信号配線の検査についての記載がない。

【０００９】

本発明はこれらの問題点に鑑みてなされたものであり、本発明の目的は、製造工程を増加させることなく、簡易に基板の欠けやクラックによる信号配線の良否判定を可能とする技術を提供することにある。

【課題を解決するための手段】

【００１０】

（１）前記課題を解決すべく、接触位置の検出領域内に配置される検出電極と、前記検出領域よりも外側の領域に配置され、一端が前記検出電極に接続され、他端に第１の電極端子が形成される第１の信号配線とを有する透明基板と、前記第１の電極端子に接続され、前記第１の信号配線を介して前記検出電極へ駆動信号を供給すると共に、前記検出電極からの検出信号を取り出す柔軟性を有するフレキシブル配線基板とを備える座標入力装置と、外部システムからの映像信号に基づいた画像表示を行う表示パネルとを備え、前記表示パネルの表示面側に前記座標入力装置が配置される表示装置であって、前記座標入力装置は、前記第１の信号配線よりも前記透明基板の辺縁部側に配置され、前記検出領域を含む前記第１の信号配線の形成領域を取り囲むと共にその両端が開放され、前記開放端にそれぞれ検査用の電極端子が形成される第２の信号配線を備え、前記第２の信号配線は、前記透明基板の辺縁部に沿って配置される導電性薄膜で形成される表示装置である。

【００１１】

（２）前記課題を解決すべく、複数の映像信号線と、前記映像信号線に交差する複数の走査信号線と、前記映像信号線と前記走査信号線と外部システムから駆動信号及び制御信号を入力する電極端子と、前記映像信号線及び前記走査信号線と前記電極端子とを接続する第３の信号配線とが形成される第１基板と、前記第１基板に接続され前記電極端子及び第の３信号配線を介して前記映像信号線及び前記走査信号線へ駆動信号を供給する柔軟性を有するフレキシブル配線基板とを有し、前記映像信号線と前記走査信号線とに囲まれた領域を画素の領域とし、前記画素がマトリクス状に形成される領域を表示領域とし、前記第３の信号配線が前記表示領域よりも外側の領域に形成される表示装置であって、前記第３の信号配線よりも前記第１基板の辺縁部側に配置され、前記表示領域を含む前記第３の信号配線の形成領域を取り囲むと共にその両端が開放され、前記開放端にそれぞれ検査用の電極端子が形成される第４の信号配線を備え、前記第４の信号配線は、前記透明基板の辺縁部に沿って配置される導電性薄膜で形成される表示装置である。

【発明の効果】

【００１２】

本発明によれば、製造工程を増加させることなく、簡易に基板の欠けやクラックによる信号配線の良否判定ができる。

【００１３】

本発明のその他の効果については、明細書全体の記載から明らかにされる。

【図面の簡単な説明】

【００１４】

【図１】本発明の実施形態１の表示装置である液晶表示装置の全体構成を説明するための断面図である。

【図２】実施形態１の液晶表示パネルの概略構成を説明するための図である。

【図３】実施形態１のタッチパネルの概略構成を説明するための図である。

【図４】図３に示す実施形態１の液晶表示装置におけるタッチパネルの第３基板に欠けが生じた場合の図である。

BOE Ex. 1002, p. 150
BOE v. Paneltouch
IPR2025-01482

【図５】本発明の実施形態２の表示装置におけるタッチパネルの概略構成を説明するための図である。
【図６】本発明の実施形態３の表示装置におけるタッチパネルの概略構成を説明するための図である。
【図７】本発明の実施形態４の表示装置におけるタッチパネルの概略構成を説明するための図である。
【図８】実施形態１のタッチパネルにおけるフレキシブルプリント基板の概略構成を説明するための図である。
【図９】本発明の実施形態５の表示装置である液晶表示パネルの概略構成を説明するための図である。
【発明を実施するための形態】
【００１５】
以下、本発明が適用された実施形態について、図面を用いて説明する。ただし、以下の説明において、同一構成要素には同一符号を付し繰り返しの説明は省略する。
【００１６】
〈実施形態１〉
〈全体構成〉
図１は本発明の実施形態１の表示装置である液晶表示装置の全体構成を説明するための断面図であり、以下、図１に基づいて、実施形態１の表示装置について説明する。ただし、実施形態１の液晶表示装置は検出配線を除く他の構成は、周知の液晶表示装置と同様の構成となる。従って、以下の説明では、検出配線について詳細に説明する。また、図中に示すＸ、Ｙ、Ｚはそれぞれ Ｘ軸、Ｙ軸、Ｚ軸を示す。さらには、実施形態１では表示パネルに液晶表示パネルを用いた場合について説明するが、これに限定されることはなく、例えば有機ＥＬ表示パネル等を用いた構成であってもよい。
【００１７】
図１に示すように、実施形態１の表示装置は、液晶表示パネルＰＮＬと液晶表示パネルＰＮＬの表示面側（前面側）に配置される静電容量式のタッチパネル（座標入力装置）ＴＰとを備える構成となっており、液晶表示パネルＰＮＬ上のＸＹ方向の座標位置を検出可能な構成となっている。液晶表示パネルＰＮＬとタッチパネルＴＰとは透明すなわち透光性の接着剤ＡＤＬにより、接着されている。一方、液晶表示パネルＰＮＬの表示面側と対向する側である裏面側にバックライト装置ＢＬが配置される構成となっている。ただし、タッチパネルＴＰは静電容量式に限定されることはなく、抵抗式等の他の方式のタッチパネルであってもよい。また、液晶表示パネルＰＮＬとタッチパネルＴＰとの固定は、接着剤ＡＤＬに限定されることなく、シリコンゲル等の剥離及び再接着が可能な粘着剤等であってもよい。
【００１８】
液晶表示パネルＰＮＬを構成する第１基板ＳＵＢ１と第２基板ＳＵＢ２とは、図示しない液晶層を介して対向配置される構成となっており、第２基板ＳＵＢ２よりも第１基板ＳＵＢ１がＹ軸方向に大きい構成となっている。この第２基板ＳＵＢ２よりも大きい領域すなわち第２基板ＳＵＢ２から露出した第１基板ＳＵＢ１の主面側（液晶面側）には、図示しない画素に駆動信号を供給する駆動回路ＤＲ１及び外部信号等を駆動回路ＤＲ１に供給するためのフレキシブルプリント基板ＦＰＣ１が配置される構成となっている。また、第１基板ＳＵＢ１の裏面側すなわちバックライト装置ＢＬ側、及び第２基板ＳＵＢ２の表示面側にはそれぞれ周知の偏光板ＰＯＬが配置される構成となっている。
【００１９】
一方、タッチパネルＴＰを構成する第３基板ＳＵＢ３の主面側すなわち観察者側には接触位置を検出するための図示しない検出用電極が形成され、端部にフレキシブルプリント基板ＦＰＣが接続される構成となっている。該フレキシブルプリント基板ＦＰＣの端子面側には検出用電極に駆動信号を供給すると共に、検出電極に供給する駆動信号の容量変化から指等の接触位置を検出するタッチパネルＴＰの駆動回路ＤＲ２が搭載される構成とな

BOE Ex. 1002, p. 151
BOE v. Paneltouch
IPR2025-01482

っている。また、第３基板ＳＵＢ３の主面側には接着剤ＡＤＬにより、遮光板ＬＳＰ及び保護板（前面保護板）ＰＰが配置される構成となっている。

【００２０】

〈液晶表示パネル及びタッチパネルの構成〉

次に、図２に実施形態１の液晶表示パネルの概略構成を説明するための図、図３に実施形態１のタッチパネルの概略構成を説明するための図を示し、以下、図２及び図３に基づいて、実施形態１の液晶表示装置について詳細に説明する。ただし、図３は実施形態１のタッチパネルの液晶表示パネル側からの平面図である。また、図２及び図３中に示すＸ、Ｙはそれぞれ Ｘ軸、Ｙ軸を示し、図１に示すＸ軸、Ｙ軸に対応する。

【００２１】

図２に示すように、実施形態１の液晶表示パネルＰＮＬは画素電極ＰＸや薄膜トランジスタＴＦＴ等が形成される第１基板ＳＵＢ１と、図示しないカラーフィルタやブラックマトリクスが形成され、第１基板ＳＵＢ１に対向して配置される第２基板ＳＵＢ２と、第１基板ＳＵＢ１と第２基板ＳＵＢ２とで挟持される図示しない液晶層とで構成されている。また、液晶表示パネルＰＮＬの裏面側に当該液晶表示パネルＰＮＬの光源となる図示しないバックライトユニット（バックライト装置）とが組み合わされて、画像表示がなされる構成となっている。第１基板ＳＵＢ１と第２基板ＳＵＢ２との固定及び液晶の封止は、第２基板の周辺部に環状に塗布されたシール材ＳＬで固定され、液晶も封止される構成となっている。なお、以下の説明では、液晶表示パネルＰＮＬの説明においても、液晶表示装置と記す。

【００２２】

また、第１基板ＳＵＢ１及び第２基板ＳＵＢ２は、例えば周知のガラス基板が基材として用いられるのが一般的であるが、ガラス基板に限定されることはなく、石英ガラスやプラスチック（樹脂）のような他の絶縁性基板であってもよい。例えば、石英ガラスを用いれば、プロセス温度を高くできるため、薄膜トランジスタＴＦＴのゲート絶縁膜を緻密化できるので、信頼性を向上することができる。一方、プラスチック（樹脂）基板を用いる場合には、軽量で、耐衝撃性に優れた液晶表示装置を提供できる。

【００２３】

また、実施形態１の液晶表示パネルＰＮＬでは、液晶が封入された領域の内で表示画素（以下、画素と略記する）の形成される領域が表示領域ＡＲとなる。従って、液晶が封入されている領域内であっても、画素が形成されておらず表示に係わらない領域は表示領域ＡＲとはならない。

【００２４】

実施形態１の液晶表示装置では第１基板ＳＵＢ１の液晶側の面であって表示領域ＡＲ内には、Ｘ方向に延在しＹ方向に並設される走査信号線（ゲート線）ＧＬが形成されている。また、Ｙ方向に延在しＸ方向に並設される映像信号線（ドレイン線）ＤＬが形成されている。ドレイン線ＤＬとゲート線ＧＬとで囲まれる矩形状の領域は画素が形成される領域を構成し、これにより、各画素は表示領域ＡＲ内においてマトリックス状に配置されている。各画素は、例えば図２中丸印Ａの拡大図Ａ’に示すように、ゲート線ＧＬからの走査信号によってオン／オフ駆動される薄膜トランジスタＴＦＴと、このオンされた薄膜トランジスタＴＦＴを介してドレイン線ＤＬからの映像信号が供給される画素電極ＰＸと、コモン線ＣＬに接続され映像信号の電位に対して基準となる電位を有する共通信号が供給される共通電極ＣＴとを備えている。

【００２５】

画素電極ＰＸと共通電極ＣＴとの間には、第１基板ＳＵＢ１の主面に平行な成分を有する電界が生じ、この電界によって液晶の分子を駆動させるようになっている。このような液晶表示装置は、いわゆる広視野角表示ができるものとして知られ、液晶への電界の印加の特異性から、ＩＰＳ方式（ＩＰＳ－Ｐｒｏ方式を含む）あるいは横電界方式と称される。また、このような構成の液晶表示装置において、液晶に電界が印加されていない場合に光透過率を最小（黒表示）とし、電界を印加することにより光透過率を向上させていくノ

ーマリブラック表示形態で表示を行うようになっている。なお、第２基板ＳＵＢ２の主面側（液晶面側）に共通電極ＣＴを形成し、第１基板ＳＵＢ１に形成される画素電極ＰＸと第２基板ＳＵＢ２に形成される共通電極ＣＴとの間に生じる電界で液晶分子を駆動するＴＮ方式やＶＡ方式等の縦電界方式の液晶表示パネルであってもよい。

【００２６】

各ドレイン線ＤＬ及び各ゲート線ＧＬはその端部においてシール材ＳＬを越えてそれぞれ延在され、駆動回路ＤＲに接続される。ただし、実施形態１の液晶表示装置では、駆動回路ＤＲを半導体チップで形成し第１基板ＳＵＢ１に搭載する構成としているが、映像信号を出力する映像信号駆動回路と走査信号を出力する走査信号駆動回路との何れか一方又はその両方の駆動回路をフレキシブルプリント基板ＦＰＣにテープキャリア方式やＣＯＦ（Chip On Film）方式で搭載し、第１基板ＳＵＢ１に接続させる構成であってもよい。

【００２７】

なお、拡大図Ａ’に示す共通電極ＣＴの構成では、画素毎に独立して形成される共通電極ＣＴにコモン線ＣＬを介して共通信号を入力する構成としたが、これに限定されることはなく、Ｘ方向に隣接配置される画素の共通電極ＣＴが直接に接続されるように共通電極ＣＴを形成し、Ｘ方向の左右（第１基板ＳＵＢ１の端部）の一端又は両側からコモン線ＣＬを介して共通信号を入力する構成でもよい。

【００２８】

〈タッチパネル構成〉

図３に示すように、実施形態１のタッチパネルＴＰも平板状の透明なガラス基板やプラスチック基板からなる第３基板ＳＵＢ３を備える構成であり、本実施形態においては第３基板ＳＵＢ３の主面側（液晶表示パネル）側に図示しない操作者の指等による接触位置を検出するための電極が配置される構成となっている。この電極としては、例えば図中に示すように、Ｘ方向に延在しＹ方向に並設され、Ｙ方向の座標位置を検出するための第１検出電極ＹＳＥと、Ｙ方向に延在しＸ方向に並設され、Ｘ方向の座標位置を検出するための第２検出電極ＸＳＥとが図示しない絶縁膜を介して交差するように配置されている。このとき、実施形態１においては、第１検出電極ＹＳＥ及び第２検出電極ＸＳＥは、タッチパネルＴＰの透明領域ＴＴＡ内に形成されており、当該透明領域ＴＴＡ内のＸ方向及びＹ方向の座標位置が検出可能な検出領域を形成している。なお、タッチパネルＴＰの裏面側に液晶表示パネルＰＮＬを設置する構成となっているので、液晶表示パネルＰＮＬに表示される表示内容が操作者に見えるように、透明領域ＴＴＡ内に形成される第１検出電極ＹＳＥ及び第２検出電極ＸＳＥ並びに図示しない絶縁膜は透明材料で形成されることが望ましい。

【００２９】

また、実施形態１のタッチパネルＴＰでは、第１検出電極ＹＳＥ及び第２検出電極ＸＳＥと電極端子（第１電極端子）ＴＲＭ１とを接続する信号配線（第１の信号配線）ＳＩＧ１が透明領域ＴＴＡの外側領域に配置される構成となっている。このとき、第１検出電極ＹＳＥはＹ方向に並設される構成となっている。従って、第１検出電極ＹＳＥの端部に接続される信号配線ＳＩＧ１は透明領域ＴＴＡの図中左右と第３基板ＳＵＢ３の辺縁部との間に形成され、電極端子ＴＲＭ１に接続される構成となっている。また、第２検出電極ＸＳＥはＸ方向に並設される構成となっている。従って、透明領域ＴＴＡの図中下部と電極端子ＴＲＭ１との間の領域に形成される信号配線ＳＩＧ１により、第２検出電極ＸＳＥは電極端子ＴＲＭ１に接続されている。

【００３０】

また、実施形態１のタッチパネルＴＰでは、遮光板ＬＳＰの開口部ＰＰＯは透明領域ＴＴＡよりも小さく、かつ液晶表示パネルの表示領域ＡＲよりも大きく形成されている。このような構成とすることによって、表示領域ＡＲの端部に表示される画像に対応した接触位置の検出を確実なものとしている。また、第１検出電極ＹＳＥ及び第２検出電極ＸＳＥが形成される透明領域ＴＴＡよりも開口部ＰＰＯを小さく形成することにより、透明領域ＴＴＡの端部における接触位置の検出を確実なものとしている。

【００３１】
また、実施形態１のタッチパネルＴＰでは、信号配線ＳＩＧ１よりも外側に検出配線（第２の信号配線）ＳＩＧ２が形成される構成となっている。特に、実施形態１の検出配線ＳＩＧ２は、第３基板ＳＵＢ３の電極端子が形成される１辺を除く他の辺（図３中の上辺及び左右辺）の辺縁部に沿って形成されている。また、実施形態１では、配線幅及び配線の形成位置は、第３基板ＳＵＢ３に検出配線ＳＩＧ２を形成するための露光装置やエッチング装置等の精度、及び基板欠けＮＰが発生した場合の大きさ等の許容量に応じて適宜設定される。さらには、検出配線ＳＩＧ２の配線幅は均一な配線幅となるように形成されている。ただし、検出配線ＳＩＧ２の配線幅は均一な配線幅に限定されるものではない。また、実施形態１の検出配線ＳＩＧ２では、第３基板ＳＵＢ３の一辺に沿って配列される複数の電極端子ＴＲＭ１の内で、最も外側に配置される一対の電極端子ＴＲＭ１の内の一方の電極端子ＴＲＭ１に検出配線ＳＩＧ２の一端が接続され、最も外側に配置される一対の電極端子ＴＲＭ１の内の他方の電極端子ＴＲＭ１に検出配線ＳＩＧ２の他端が接続される構成となっている。さらには、実施形態１の検出配線ＳＩＧ２はアルミ等の光（特に可視光領域の光）に対する透過率が小さい金属薄膜で形成されている。このように、信号配線ＳＩＧ１を形成するアルミ等の金属薄膜を用いて検出配線ＳＩＧ２を形成することにより、信号配線ＳＩＧ１と検出配線ＳＩＧ２とは同層に形成されると共に、同一の工程で形成することが可能となるので、工程を増やすことなく検出配線ＳＩＧ２を形成することができるという格別の効果を得ることができる。また、透過率の小さい金属薄膜で検出配線ＳＩＧ２を形成することにより、第３基板ＳＵＢ３の欠けやクラック等の発生に伴う検査者の目視による検出配線ＳＩＧ２の断線検査を容易に行うことが可能となる。
【００３２】
なお、検出配線ＳＩＧ２を２層以上の積層薄膜で形成し、その積層膜の内の少なくとも単層を隣接領域よりも透過率が小さい材料で形成する構成であってもよい。さらには、検出配線ＳＩＧ２を構成する積層膜の内の少なくとも１つの層に着色材料を混入させた薄膜層（着色層）で形成する構成であってもよい。このような構成とすることにより、検出配線ＳＩＧ２を透過率の小さい単層の金属薄膜で形成した場合と同様の効果を得ることが可能となる。
【００３３】
また、実施形態１のタッチパネルＴＰでは、タッチパネルＴＰの電極端子ＴＲＭ１にフレキシブルプリント基板ＦＰＣ２の図示しない電極端子が電気的に接続される構成となっており、電極端子ＴＲＭ１を介して駆動回路ＤＲ２からの駆動信号を供給すると共に、駆動回路ＤＲ２に検出信号を出力する構成となっている。このとき、図８に示すように、実施形態１のタッチパネルＴＰのフレキシブルプリント基板ＦＰＣ２では、フレキシブルプリント基板ＦＰＣ２の図中下部に形成される電極端子（第２電極端子）ＴＲＭ２は、検出配線ＳＩＧ２に電気的に接続される電極端子有する構成となっている。すなわち、図示しない外部システムに接続される側の電極端子ＴＲＭ２の内、最も外側に配置される一対の電極端子ＴＲＭ２が、フレキシブルプリント基板ＦＰＣ上の信号配線ＦＳＧを介して検出配線ＳＩＧ２に電気的に接続される構成となっている。
【００３４】
〈基板欠けの検出〉
図４は図３に示す実施形態１の液晶表示装置におけるタッチパネルの第３基板に欠けが生じた場合の図であり、以下、図４に基づいてタッチパネルの第３基板ＳＵＢ３に欠け（基板欠け）ＮＰが生じた場合の検出動作について説明する。
【００３５】
実施形態１のタッチパネルＴＰでは、検出配線ＳＩＧ２は第３基板ＳＵＢ３の辺縁部に沿って形成される構成となっている。その結果、検出配線ＳＩＧ２の形成後のタッチパネルの取り扱い等により第３基板ＳＵＢ３に欠けＮＰが発生した場合、図４に示すように、検出配線ＳＩＧ２の一部が基板欠けＮＰと共に欠落し断線することとなる。このとき、基板欠けＮＰの領域が所定以上の大きさを有する場合には、実施形態１の検出配線ＳＩＧ２

は透過率が小さい又は不透過の材料で形成されているので、検査者が目視により容易に欠けＮＰを発見（検出）することができる。

【００３６】

また、液晶表示パネルＰＮＬにタッチパネルＴＰを接着する際の取り扱い等により第３基板ＳＵＢ３に欠けＮＰが発生した場合であっても、図４に示すように、検出配線ＳＩＧ２の一部が基板欠けＮＰと共に断線することとなる。このとき、図１に示すように、第３基板ＳＵＢ３に欠けＮＰが発生した個所は遮光板ＬＳＰと液晶表示パネルＰＮＬとに挟まれた領域となるので、従来の構成では欠けＮＰを発見することは不可能であった。これに対して、実施形態１のタッチパネルＴＰでは、検出配線ＳＩＧ２はその両端が電極端子ＴＲＭ１に接続される１本の導電性薄膜で形成されているので、フレキシブルプリント基板ＦＰＣに引き出した電極端子ＴＲＭ２間を測定することにより、検出配線ＳＩＧ２の断線有無を検査できる。このときの断線検査は、例えば、検出配線ＳＩＧ２の接続される電極端子ＴＲＭ２間の抵抗値を電気抵抗の測定装置で測定する、又は一方の電極端子ＴＲＭ２にパルス信号を入力し、他方の電極端子ＴＲＭ２で信号検出する等の簡易な計測により、容易に検出配線ＳＩＧ２の断線すなわち第３基板ＳＵＢ３の欠けＮＰを検出することが可能となる。また、断線検査での計測結果に応じて、検出配線ＳＩＧ２の断線が検出されない場合には、第３基板ＳＵＢ３に欠けＮＰが発生していない、又は欠けＮＰが発生している場合であっても予め想定される許容量内の欠けＮＰであると判断できる。一方、検出配線ＳＩＧ２の断線が検出された場合には、信号配線ＳＩＧ１にも影響を与える等の許容量以上の欠けＮＰが発生していると判断できる。なお、検出配線ＳＩＧ２の接続される電極端子ＴＲＭ２の間の測定による断線測定は、液晶表示パネルＰＮＬとの貼り合わせ前に行うことも可能である。

【００３７】

一方、図４のＹ方向の基板欠けＮＰが小さい場合やクラックが発生した場合には、検出配線ＳＩＧ２が欠落する領域も非常に小さいものとなり、検査者の目視による検査での発見は非常に困難なものとなる。しかしながら、実施形態１のタッチパネルＴＰでは、前述する検出配線ＳＩＧ２の導通検査という非常に簡便な検査で第３基板ＳＵＢ３の欠けＮＰ及びクラックの発生の有無を検査することができる。

【００３８】

以上説明したように、実施形態１の表示装置では、外部システムからの映像信号に基づいた画像表示を行う液晶表示パネルの表示面側に、静電容量式のタッチパネルが配置される構成となっている。このとき、実施形態１のタッチパネルでは、第１検出電極及び第２検出電極と電極端子とを接続する信号配線が形成される領域と共に、接触位置の検出が可能となる透明領域を取り囲むようして、第３基板の辺縁部に沿った導電性を有する透過率の小さい金属薄膜からなる検出配線を備え、該検出配線の一端が電極端子に接続され、他端が別の電極端子に接続される構成となっているので、液晶表示パネルとタッチパネルとを接着する前には検査者が目視により第３基板の基板欠けを容易に検査することが可能であると共に、液晶表示パネルとタッチパネルとを固定した後であっても、検出配線が接続される電極間の抵抗測定やパルス測定等の簡易な計測で基板かけを検出することができる。

【００３９】

〈実施形態２〉

図５は本発明の実施形態２の表示装置におけるタッチパネルの概略構成を説明するための図であり、特に、実施形態１の図４に対応する正面図すなわちタッチパネルの第３基板に１個所の基板欠けが生じた場合のタッチパネルを示す正面図である。ただし、実施形態２の表示装置は、タッチパネルＴＰの検出配線ＳＩＧ２、ＳＩＧ３及び電極端子ＴＲＭ１、ＴＲＭ２の構成が異なるのみで、液晶表示パネルの構成及びタッチパネルの他の構成は実施形態１の表示装置と同様の構成である。従って、以下の説明では、タッチパネルの備える検出配線ＳＩＧ２、ＳＩＧ３及び電極端子ＴＲＭの構成について詳細に説明する。また、以下の説明においては、必要に応じて、第３基板ＳＵＢ３の辺縁部に近い側の検出配

線を第１検出配線ＳＩＧ２、第３基板ＳＵＢ３の辺縁部から遠い側の検出配線を第２検出配線ＳＩＧ３と記す。また、実施形態２では独立する検出配線ＳＩＧ２、ＳＩＧ３が２本の場合について説明するが、３本以上の独立する検出配線を形成する構成であってもよい。

【００４０】

図５に示すように、実施形態２のタッチパネルＴＰにおいても透明な平板状のガラス基板からなる第３基板を備える構成となっており、異なる２本の検出配線ＳＩＧ２、ＳＩＧ３を有する構成となっている。また、各検出配線ＳＩＧ２、ＳＩＧ３は、実施形態１と同様に、信号配線ＳＩＧ１の配線が形成される配線領域の外側領域、すなわち信号配線ＳＩＧ１と第３基板ＳＵＢ３の辺縁部との間の領域に形成されている。さらには、実施形態２の検出配線ＳＩＧ２、ＳＩＧ３も、実施形態１と同様に、第３基板ＳＵＢ３の電極端子ＴＲＭ１が形成される１辺を除く他の辺（図３中の上辺及び左右辺）の辺縁部に沿って形成されている。このとき、実施形態２のタッチパネルＴＰでは、第３基板ＳＵＢ３の辺縁部に近い側に第１検出配線ＳＩＧ２が配置され、第３基板ＳＵＢ３の辺縁部から遠い側すなわち信号配線ＳＩＧ１に近い側に第２検出配線ＳＩＧ３が配置される構成となっている。

【００４１】

第１検出配線ＳＩＧ２は、第３基板ＳＵＢ３の一辺（図５中下部）に沿って配列される複数の電極端子ＴＲＭ１の内で、最も外側に配置される一対の電極端子ＴＲＭ１の内の一方の電極端子ＴＲＭ１に第１検出配線ＳＩＧ２の一端が接続され、最も外側に配置される一対の電極端子ＴＲＭ１の内の他方の電極端子ＴＲＭ１に第２検出配線ＳＩＧ３の他端が接続される構成となっている。また、第２検出配線ＳＩＧ３は、第１電極配線ＳＩＧ２が接続される一対の電極端子ＴＲＭ１の内側に隣接する電極端子ＴＲＭ１に、第２検出配線ＳＩＧ３の端部がそれぞれ接続される構成となっている。このような構成とすることにより、第１検出配線ＳＩＧ２と第２検出配線ＳＩＧ３とを信号配線ＳＩＧ１と同層に形成する、すなわち信号配線ＳＩＧ１と同一の工程及び配線材料で形成することを可能としている。

【００４２】

このとき、第１検出配線ＳＩＧ２及び第２検出配線ＳＩＧ３も、信号配線ＳＩＧ１と同じ工程で形成することにより、前述する実施形態１と同様の格別の効果を得ることができる。さらには、第１検出電極ＹＳＥや第２検出電極ＸＳＥと同じ工程で透明薄膜の導電層を形成した後に、導電性又は非導電性の着色層等を積層した第１検出配線ＳＩＧ２及び第２検出配線ＳＩＧ３を形成する等の構成であってもよい。このとき、第１検出配線ＳＩＧ２を信号配線ＳＩＧ１と同じ工程で形成し、第２検出配線ＳＩＧ３を第１検出電極ＹＳＥ又は第２検出電極ＸＳＥと同じ工程で形成する等の異なる薄膜材料からなる信号配線としてもよい。ただし、第１検出配線ＳＩＧ２及び第２検出配線ＳＩＧ３の薄膜材料は、可視光領域の光に対する透過率が小さい導電性薄膜であれば、他の薄膜材料であってもよく、このような透過率の小さい金属薄膜で検出配線ＳＩＧ２を形成することにより、第３基板ＳＵＢ３の欠けやクラック等の発生に伴う検査者の目視による第１検出配線ＳＩＧ２及び第２検出配線ＳＩＧ３の断線検査を容易に行うことができる。

【００４３】

また、実施形態２のタッチパネルＴＰにおいても、フレキシブルプリント基板ＦＰＣ２の図中下部に形成される電極端子ＴＲＭ２には、第１検出配線ＳＩＧ２及び第２検出配線ＳＩＧ３にそれぞれ電気的に接続される電極端子ＴＲＭ２が形成されている。

【００４４】

次に、図５に基づいて、実施形態２のタッチパネルＴＰにおける基板欠けＮＰの検査方法について説明する。ただし、以下の説明では、図５に示すように第１検出配線ＳＩＧ２と第２検出配線ＳＩＧ３との間に基板欠けＮＰの端部が止まる場合について説明する。

【００４５】

検出配線ＳＩＧ２の形成後であり、液晶表示パネルとの固定前にタッチパネルの取り扱い等により第３基板ＳＵＢ３に欠けＮＰが発生した場合、図５に示すように、第１検出配

線ＳＩＧ２の一部が基板欠けＮＰと共に欠落し断線することとなる。このとき、液晶表示パネルとの接着前である場合、第１検出配線ＳＩＧ２は透過率が小さい又は不透過の材料で形成されているので、検査者が目視により容易に欠けＮＰを発見（検出）することができる。一方、液晶表示パネルとの接着工程やその後の取り扱い等により、第３基板に欠けＮＰが発生した場合には、第１検出配線ＳＩＧ２及び第２検出配線ＳＩＧ３はその両端が電極端子ＴＲＭ１を介して電極端子ＴＲＭ２に接続されているので、フレキシブルプリント基板ＦＰＣに引き出した電極端子ＴＲＭ２間を測定することにより、検出配線ＳＩＧ２の断線有無を検査できる。

【００４６】

このとき、実施形態２のタッチパネルＴＰでは、第１検出配線ＳＩＧ２と第２検出配線ＳＩＧ３とは、第３基板ＳＵＢ３の辺縁部に沿ってそれぞれ独立した検出配線となっている。従って、非常に簡便な検査である第１検出配線ＳＩＧ２及び第２検出配線ＳＩＧ３の断線検査での計測結果に応じて、前述する実施形態１と同様な効果である第３基板ＳＵＢ３の基板欠けＮＰの発生の有無に加えて、発生した基板欠けＮＰの大きさすなわち基板欠けＮＰの発生程度を把握することができる。例えば、第１検出配線ＳＩＧ２及び第２検出配線ＳＩＧ３の２本で断線が検出されない場合には、第３基板ＳＵＢ３に欠けＮＰが発生していない、又は欠けＮＰが発生している場合であっても非常に軽微な許容量内の基板欠けＮＰであると判断できる。また、図５に示すように、第１検出配線ＳＩＧ２にのみ断線が生じていることが検出された場合には、基板欠けＮＰが発生しているが予め想定される許容量以内の基板欠けＮＰであると判断できる。一方、第１検出配線ＳＩＧ２及び第２検出配線ＳＩＧ３の両方の検出配線に断線が検出された場合には、信号配線ＳＩＧ１にも影響を与える等の許容量以上の基板欠けＮＰが発生していると判断できる。

【００４７】

同様にして、第３基板ＳＵＢ３にクラックが発生した場合にも、第１検出配線ＳＩＧ２及び第２検出配線ＳＩＧ３の２本の検出配線の検出結果に基づいて、基板欠けＮＰと同様な判断をすることが可能となり、非常に簡便な検査で第３基板ＳＵＢ３のクラックの発生の有無、及び発生したクラックの大きさすなわちクラックの発生程度を把握することができる。

【００４８】

ただし、実施形態２のタッチパッドＴＰでは、第１検出配線ＳＩＧ２と第２検出配線ＳＩＧ３とがそれぞれ独立した構成となっているので、２本の検出配線の断線の有無を一緒に計測する際であっても、異なる計測方法で断線の有無を計測できる。例えば、第１検出配線ＳＩＧ２の断線の有無の測定では直流電圧を対応する電極端子に印加して抵抗値を計測し、第２検出配線ＳＩＧ３の断線の有無の測定ではパルス電圧を対応する電極端子に印加してその出力を計測等が可能である。

【００４９】

なお、実施形態２においては、第１検出配線ＳＩＧ２と第２検出配線ＳＩＧ３とは同じ薄膜材料からなる同層に形成される検出配線の場合について説明したが、これに限定されることはない。例えば、第１検出配線ＳＩＧ２と第２検出配線ＳＩＧ３との少なくとも一方の検出配線は、一方の検出配線よりも透過率の小さい金属薄膜等で形成される層で形成してもよく、さらには、一方の検出配線のみを任意の色で着色された着色層を備える構成としてもよい。また、実施形態２では、第１検出配線及び第２検出配線は均一な配線幅であり、第１検出配線及び第２検出配線の配線幅等が同じ場合について説明したが、これに限定されることはなく、異なる配線幅や異なる色等で形成してもよい。

【００５０】

〈実施形態３〉

図６は本発明の実施形態３の表示装置におけるタッチパネルの概略構成を説明するための図であり、実施形態２と同様な基板欠けＮＰが生じた場合のタッチパネルを示す正面図である。ただし、実施形態３の表示装置は、タッチパネルＴＰの第１検出配線ＳＩＧ２及び第２検出配線ＳＩＧ３並びに電極端子ＴＲＭ１、ＴＲＭ２の構成が異なるのみで、液晶

BOE Ex. 1002, p. 157
BOE v. Paneltouch
IPR2025-01482

表示パネルの構成及びタッチパネルの他の構成は実施形態２の表示装置と同様の構成である。従って、以下の説明では、タッチパネルの備える第１検出配線ＳＩＧ２及び第２検出配線ＳＩＧ３並びに電極端子ＴＲＭ１、ＴＲＭ２の構成について詳細に説明する。

【００５１】

図６に示すように、実施形態３のタッチパネルＴＰにおいても、第３基板ＳＵＢ３の辺縁部に近い側に第１検出配線ＳＩＧ２が配置され、第３基板ＳＵＢ３の辺縁部から遠い側すなわち信号配線ＳＩＧ１に近い側に第２検出配線ＳＩＧ３が配置される構成となっている。このとき、第１検出配線ＳＩＧ２及び第２検出配線ＳＩＧ３の一端側（図６中左側）は実施形態２と同様にそれぞれ異なる電極端子ＴＲＭ１に接続される構成となっている。一方、図６中丸印Ｂに示すように、第１検出配線ＳＩＧ２及び第２検出配線ＳＩＧ３の他端側（図６中右側）は同一の電極端子ＴＲＭ１に接続される構成となっている。このときの第１検出配線ＳＩＧ２及び第２検出配線ＳＩＧ３も実施形態２と同様に、同一の薄膜材料からなる同層の検出配線、又は異なる薄膜材料からなる異なる層に形成される検出配線の何れであってもよい。

【００５２】

以上説明したように、実施形態３のタッチパネルＴＰでは、第３基板ＳＵＢ３上において、第１検出配線ＳＩＧ２と第２検出配線ＳＩＧ３の他端側（図６中右側）は同一の電極端子に接続される構成としている。これにより、前述する実施形態２の効果に加えて、電極端子ＴＲＭ１の端子数を実施形態２よりも低減させることができるという格別の効果が得られる。

【００５３】

特にフレキシブルプリント基板ＦＰＣにおいては、第３基板ＳＵＢ３に形成される電極端子ＴＲＭ１に対向して接触接続される電極端子の個数及び電極端子ＴＲＭ２の個数並びに該電極端子間を電気的に接続する信号配線数を低減させることができる。一方、フレキシブルプリント基板ＦＰＣのコストは形状及び面積に大きく依存しており、電極端子数及び信号配線数の低減により、フレキシブルプリント基板ＦＰＣの面積を小さくすることができるので、フレキシブルプリント基板ＦＰＣのコストを低減させると共に、当該フレキシブルプリント基板ＦＰＣを用いる実施形態３のタッチパネルＴＰ及び表示装置のコストを低減できるという格別の効果が得られる。

【００５４】

〈実施形態４〉

図７は本発明の実施形態４の表示装置におけるタッチパネルの概略構成を説明するための図であり、実施形態１の図４に対応する正面図すなわちタッチパネルの第３基板に欠けが生じた場合の正面図である。ただし、実施形態４の表示装置はタッチパネルＴＰのフレキシブルプリント基板ＦＰＣの電極端子の構成が異なるのみで他の構成は実施形態１と同様の構成となる。従って、以下の説明では、フレキシブルプリント基板ＦＰＣの構成について詳細に説明する。なお、実施形態４のフレキシブルプリント基板ＦＰＣの構成は、実施形態２、３のタッチパネルにも適用可能である。

【００５５】

図７に示すように、実施形態４のフレキシブルプリント基板ＦＰＣでは、電極端子ＴＲＭ２が形成されている位置とは異なる位置に検出配線ＳＩＧ２に対応する検査専用の電極端子ＴＲＭＴが配置される構成となっている。特に、実施形態４の電極端子ＴＲＭＴは電極端子ＴＲＭ２よりも電極端子ＴＲＭ１に近い位置、すなわちタッチパネルＴＰの本体に近い位置に形成されている。このような構成とするために、実施形態４のタッチパネルＴＰのフレキシブルプリント基板ＦＰＣは、図中の上端側すなわち第３基板ＳＵＢ３と接続される側に電極端子ＴＲＭ１に接続される図示しない同数の電極端子を備えている。また、フレキシブルプリント基板ＦＰＣは、図中の下端側に電極端子ＴＲＭ１の電極端子数から検出配線ＳＩＧ２に接続される電極端子数を減算した電極端子ＴＲＭ２を備えている。このとき、フレキシブルプリント基板ＦＰＣの上端部の電極端子と下端部の電極端子ＴＲＭ２とは、当該フレキシブルプリント基板ＦＰＣの基材に形成される図示しない信号配線

BOE Ex. 1002, p. 158
BOE v. Paneltouch
IPR2025-01482

でそれぞれ接続され、電極端子ＴＲＭ２に信号配線ＳＩＧ１が電気的に引き出される構成となっている。また、実施形態４のフレキシブルプリント基板ＦＰＣでは、電極端子ＴＲＭ２とは異なる領域（位置）に形成される電極端子（第３の電極端子）ＴＲＭＴは当該フレキシブルプリント基板ＦＰＣ内の信号配線ＦＳＧを介して検出配線ＳＩＧ２が接続される電極端子ＴＲＭ１に対応する当該フレキシブルプリント基板ＦＰＣ上の電極端子と接続され、電極端子ＴＲＭＴに検出配線ＳＩＧ２がフレキシブルプリント基板ＦＰＣに電気的に引き出される構成となっている。このとき、フレキシブルプリント基板ＦＰＣの表面側あるいは裏面側の何れか一方の面又は両面に電極端子ＴＲＭＴを形成してもよい。

【００５６】

以上説明したように、実施形態４では、検出配線ＳＩＧ２に接続されるフレキシブルプリント基板ＦＰＣ側の電極端子ＴＲＭＴを、信号配線ＳＩＧ１に接続される電極端子ＴＲＭ１とは異なる領域に形成する構成となっているので、実施形態１の効果に加えて容易に計測装置を電極端子ＴＲＭＴに接続でき、検査に要する時間をさらに短縮することができるという格別の効果を得られる。

【００５７】

〈実施形態５〉

図９は本発明の実施形態５の表示装置である液晶表示パネルの概略構成を説明するための図であり、検出配線ＳＩＧ３及び電極端子ＴＲＭ３の構成を除く他の構成は実施形態１～４の液晶表示パネルと同様である。従って、以下の説明では、検出配線ＳＩＧ３及び電極端子ＴＲＭ３の構成について詳細に説明する。また、実施形態５の液晶表示パネルＰＮＬでは、実施形態１と同様に、検出配線ＳＩＧ３が１本の場合について説明するが、実施形態２、３と同様に、複数本の検出配線ＳＩＧ３を設ける構成であってもよい。さらには、実施形態４と同様に、フレキシブルプリント基板ＦＰＣの図示しない電極端子の内で、表示データや制御信号等が入力される側の電極端子すなわち外部システムと接続される側の並設される電極端子群と異なる位置に、検出配線ＳＩＧ３に接続される電極端子を設ける構成であってもよい。なお、実施形態５では、表示装置として液晶表示パネルＰＮＬに検出配線ＳＩＧ３を設ける構成としたが、これに限定されることはなく、有機ＥＬ表示装置等の他の表示装置にも適用可能である。

【００５８】

図９に示すように、表示領域ＡＲ内に形成されるドレイン線ＤＬ及びゲート線ＧＬはシール材ＳＬを超えて延在され、信号配線（第３の信号配線）ＳＩＧ４として駆動回路ＤＲ１に接続されている。また、駆動回路ＤＲ１は電極端子ＴＲＭ３とも信号配線ＳＩＧ４で接続されており、第１基板ＳＵＢ１の図中下部に接続されるフレキシブルプリント基板ＦＰＣ１を介して表示データや制御信号が駆動回路ＤＲ１に入力される。

【００５９】

このとき、実施形態５の液晶表示パネルＰＮＬを構成する第１基板ＳＵＢ１には、その辺縁部に沿った検出配線（第４の信号配線）ＳＩＧ２が形成されている。検出配線ＳＩＧ２の端部はそれぞれ異なる電極端子ＴＲＭ３に接続され、フレキシブルプリント基板ＦＰＣを介して引き出される構成となっている。このとき、実施形態５の液晶表示パネルＰＮＬでは、図示しない共通電極に接続される図示しないコモン線、及び該コモン線と接続される図示しない信号配線も検出配線ＳＩＧ２の内側、すなわち検出配線ＳＩＧ２に囲まれる領域に形成されている。

【００６０】

また、実施形態５の液晶表示パネルＰＮＬでは、第１基板ＳＵＢ１の図中下部に駆動回路ＤＲ１を配置する構成としたが、駆動回路ＤＲ１はこれに限定されることはない。例えば、表示領域ＡＲの図中左右に薄膜トランジスタでゲート信号を生成するゲート駆動回路を形成した場合には、該ゲート駆動回路及びゲート駆動回路に接続される信号配線を取り囲むように検出配線ＳＩＧ３を形成する。すなわち、ゲート駆動回路と信号配線との内で最も第１基板の辺縁部に近い部位と、第１基板ＳＵＢ１の辺縁部との間の領域に検出配線ＳＩＧ３を形成する。

【００６１】
以上説明したように、実施形態５の表示装置においては、信号配線ＳＩＧ４が形成されない図中上部の領域では当該表示領域ＡＲと第１基板ＳＵＢ１の辺縁部との間の領域に、また信号配線ＳＩＧ４が形成される領域においては、当該信号配線ＳＩＧ４と第１基板ＳＵＢ１の辺縁部との間の領域に、第１基板ＳＵＢ１の辺縁部に沿って検出配線ＳＩＧ３を形成する構成となっているので、検査者が目視により第１基板ＳＵＢ１の基板欠けを容易に検査することが可能であると共に、検出配線ＳＩＧ３が接続される電極間の抵抗測定やパルス測定等の簡易な計測で基板欠けを検出することができる。
【００６２】
なお、実施形態１～４の表示装置におけるタッチパネルでは、２点以上の接触位置の検出が可能な静電容量式のタッチパネルに本願発明を適用した場合について説明したが、これに限定されることはなく、抵抗式等の他の方式のタッチパネルにも適用可能である。
【００６３】
また、実施形態１～４の表示装置におけるタッチパネルでは、第３基板に接続されるフレキシブルプリント基板にも検出配線ＳＩＧ２に接続される電極端子を形成する構成としたが、これに限定されることはなく、第３基板に形成される電極端子のみであってもよい。
【００６４】
以上、本発明者によってなされた発明を、前記発明の実施形態に基づき具体的に説明したが、本発明は、前記発明の実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能である。
【符号の説明】
【００６５】
ＴＰ……タッチパネル、ＰＮＬ……液晶表示装置、ＢＬ……バックライト装置
ＳＵＢ１……第１基板、ＳＵＢ２……第２基板、ＳＵＢ３……第３基板
ＰＯＬ……偏光板、ＡＤＬ……接着剤、ＬＳＰ……遮光板、ＰＰ……前面保護板
ＰＰＯ……開口部（前面保護板開口部）、ＤＲ１，２……駆動回路、ＡＲ……表示領域
ＦＰＣ１，２……フレキシブルプリント基板、ＳＬ……シール材、ＤＬ……ドレイン線
ＧＬ……ゲート線、ＰＸ……画素電極、ＣＴ……共通電極、ＴＦＴ……薄膜トランジスタ
ＴＴＡ……透明領域、ＣＬ……コモン線、ＳＩＧ１、ＦＳＧ……信号配線
ＮＰ……基板欠け、ＳＩＧ２……検出配線（第１検出配線）、ＳＩＧ３……第２検出配線
ＳＩＧ４……信号配線、ＹＳＥ……第１検出電極、ＸＳＥ……第２検出電極
ＴＲＭ１～３……電極端子

BOE Ex. 1002, p. 160
BOE v. Paneltouch
IPR2025-01482

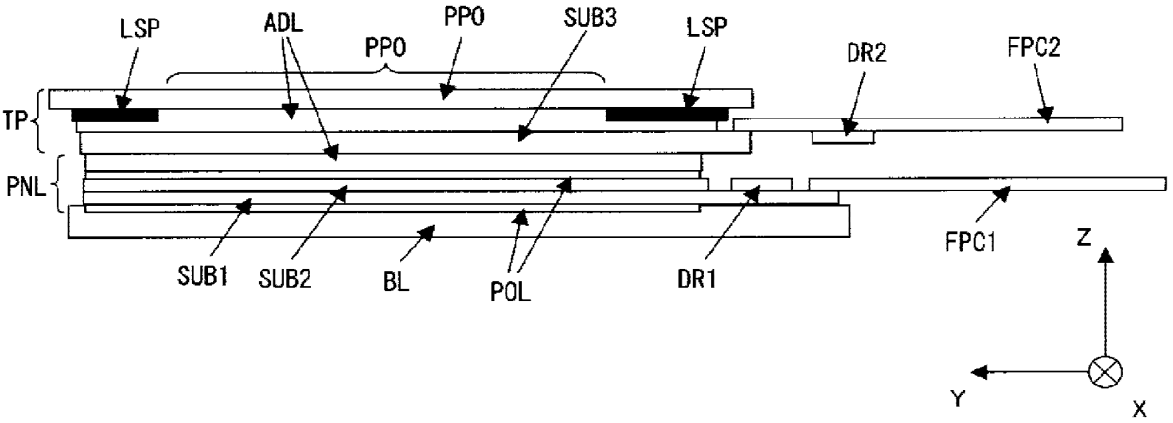
【書類名】特許請求の範囲
【請求項１】
接触位置の検出領域内に配置される検出電極と、前記検出領域よりも外側の領域に配置され、一端が前記検出電極に接続され、他端に第１の電極端子が形成される第１の信号配線とを有する透明基板と、前記第１の電極端子に接続され、前記第１の信号配線を介して前記検出電極へ駆動信号を供給すると共に、前記検出電極からの検出信号を取り出す柔軟性を有するフレキシブル配線基板とを備える座標入力装置と、
外部システムからの映像信号に基づいた画像表示を行う表示パネルとを備え、前記表示パネルの表示面側に前記座標入力装置が配置される表示装置であって、
前記座標入力装置は、前記第１の信号配線よりも前記透明基板の辺縁部側に配置され、前記検出領域を含む前記第１の信号配線の形成領域を取り囲むと共にその両端が開放され、前記開放端にそれぞれ検査用の電極端子が形成される第２の信号配線を備え、
前記第２の信号配線は、前記透明基板の辺縁部に沿って配置される導電性薄膜で形成されることを特徴とする表示装置。
【請求項２】
前記第２の信号配線は、着色された薄膜層又は所定値以下の透過率を有する薄膜層を備えることを特徴とする請求項１に記載の表示装置。
【請求項３】
前記第２の信号配線は、金属薄膜層を備えることを特徴とする請求項１に記載の表示装置。
【請求項４】
前記第２の信号配線は、２本以上の導電性薄膜で形成されることを特徴とする請求項１乃至３の内の何れかに記載の表示装置。
【請求項５】
前記第２の信号配線は、一端が同一の検査用の電極端子に接続され、他端がそれぞれ異なる検査用の電極端子に接続されることを特徴とする請求項４に記載の表示装置。
【請求項６】
前記フレキシブル配線基板は、外部システムと接続される第２の電極端子の形成領域とは異なる位置に、前記第２の信号配線に接続される第３の電極端子を備えることを特徴とする請求項１乃至５の内の何れかに記載の表示装置。
【請求項７】
複数の映像信号線と、前記映像信号線に交差する複数の走査信号線と、前記映像信号線と前記走査信号線と外部システムから駆動信号及び制御信号を入力する電極端子と、前記映像信号線及び前記走査信号線と前記電極端子とを接続する第３の信号配線とが形成される第１基板と、前記第１基板に接続され前記電極端子及び第の３信号配線を介して前記映像信号線及び前記走査信号線へ駆動信号を供給する柔軟性を有するフレキシブル配線基板とを有し、前記映像信号線と前記走査信号線とに囲まれた領域を画素の領域とし、前記画素がマトリクス状に形成される領域を表示領域とし、前記第３の信号配線が前記表示領域よりも外側の領域に形成される表示装置であって、
前記第３の信号配線よりも前記第１基板の辺縁部側に配置され、前記表示領域を含む前記第３の信号配線の形成領域を取り囲むと共にその両端が開放され、前記開放端にそれぞれ検査用の電極端子が形成される第４の信号配線を備え、
前記第４の信号配線は、前記透明基板の辺縁部に沿って配置される導電性薄膜で形成されることを特徴とする表示装置。
【請求項８】
前記第４の信号配線は、着色された薄膜層又は所定値以下の透過率を有する薄膜層を備えることを特徴とする請求項７に記載の表示装置。
【請求項９】
前記第４の信号配線は、金属薄膜層を備えることを特徴とする請求項７に記載の表示装置。

BOE Ex. 1002, p. 161
BOE v. Paneltouch
IPR2025-01482

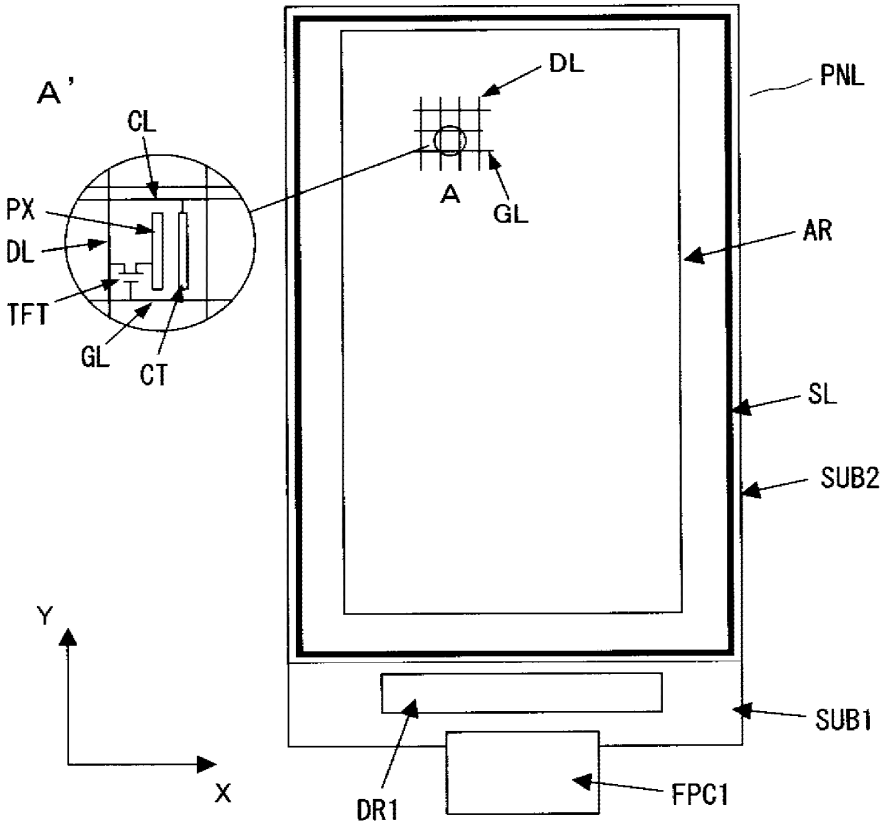
【請求項１０】
　前記第４の信号配線は、２本以上の導電性薄膜で形成されることを特徴とする請求項７乃至９の内の何れかに記載の表示装置。
【請求項１１】
　前記第４の信号配線は、一端が同一の検査用の電極端子に接続され、他端がそれぞれ異なる検査用の電極端子に接続されることを特徴とする請求項１０に記載の表示装置。
【請求項１２】
　前記フレキシブル配線基板は、外部システムと接続される電極端子の形成領域とは異なる位置に、前記第４の信号配線に接続される電極端子を備えることを特徴とする請求項７乃至１２の内の何れかに記載の表示装置。

【書類名】要約書
【要約】
【課題】製造工程を増加させることなく、簡易に基板の欠けやクラックによる信号配線の良否判定を可能とする技術を提供することである。
【解決手段】
接触位置の検出領域よりも外側の領域に配置され、一端が検出電極に接続され、他端に第１の電極端子が形成される第１の信号配線を有する透明基板と、前記第１の電極端子に接続される柔軟性を有するフレキシブル配線基板とを備える座標入力装置と、外部システムからの映像信号に基づいた画像表示を行う表示パネルとを備える表示装置であって、前記座標入力装置は、前記第１の信号配線よりも前記透明基板の辺縁部側に配置され、前記検出領域を含む前記第１の信号配線の形成領域を取り囲むと共にその両端が開放され、前記開放端にそれぞれ検査用の電極端子が形成される第２の信号配線を備え、前記第２の信号配線は、前記透明基板の辺縁部に沿って配置される導電性薄膜で形成される表示装置である。
【選択図】　図３

【書類名】図面
【図１】

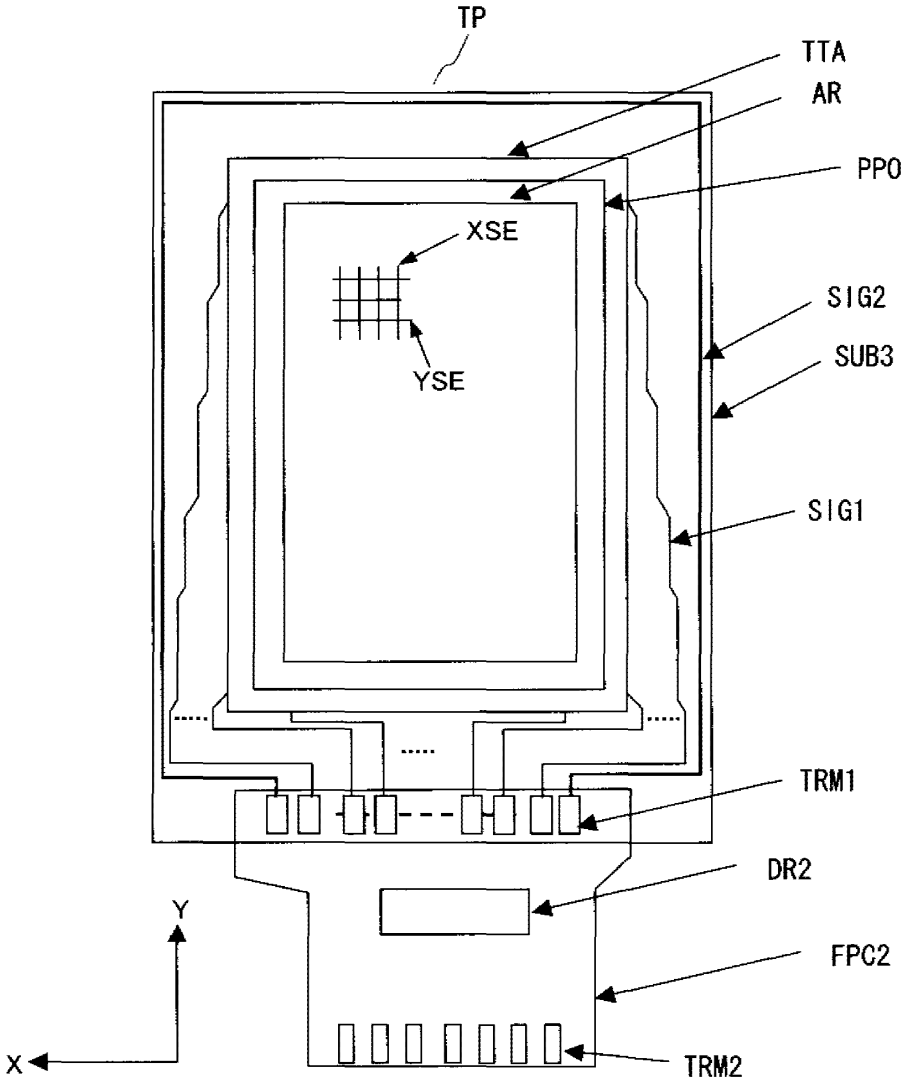


【図２】



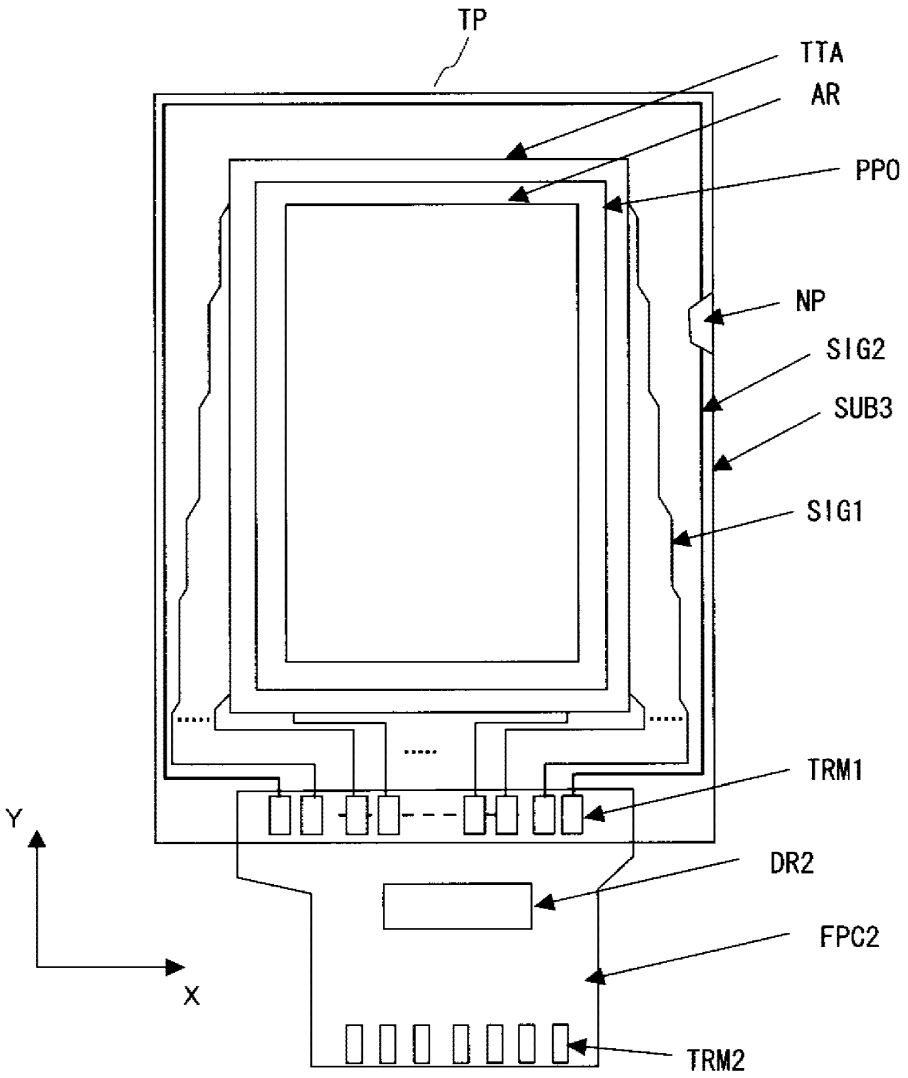
BOE Ex. 1002, p. 164
BOE v. Paneltouch
IPR2025-01482

【図３】



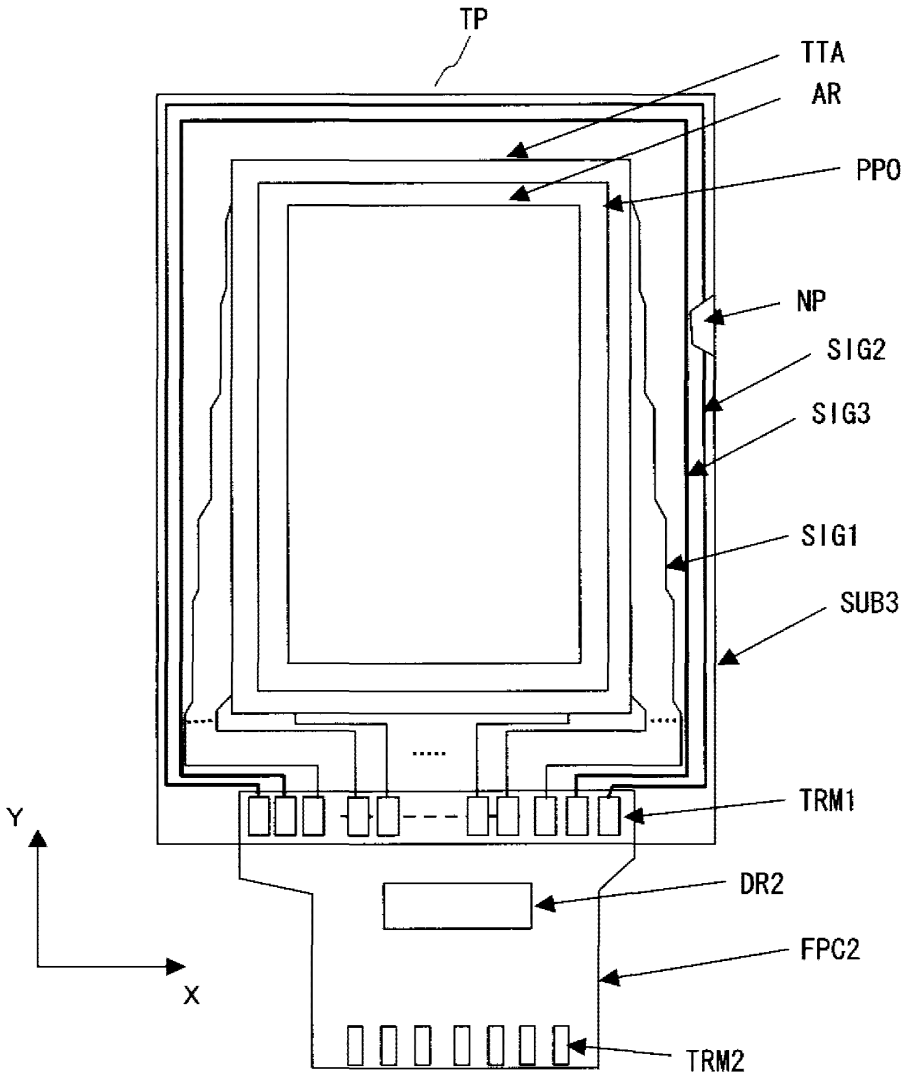
BOE Ex. 1002, p. 165
BOE v. Paneltouch
IPR2025-01482

【図４】



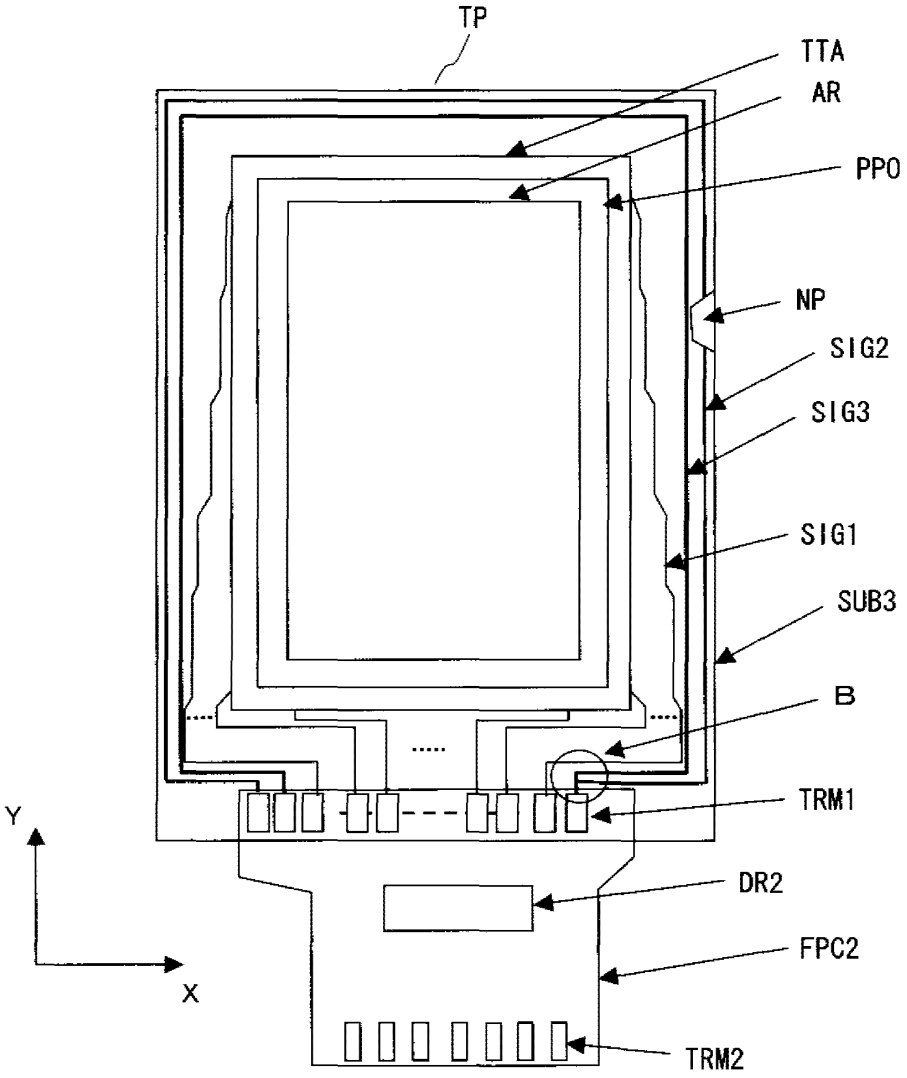
BOE Ex. 1002, p. 166
BOE v. Paneltouch
IPR2025-01482

【図５】



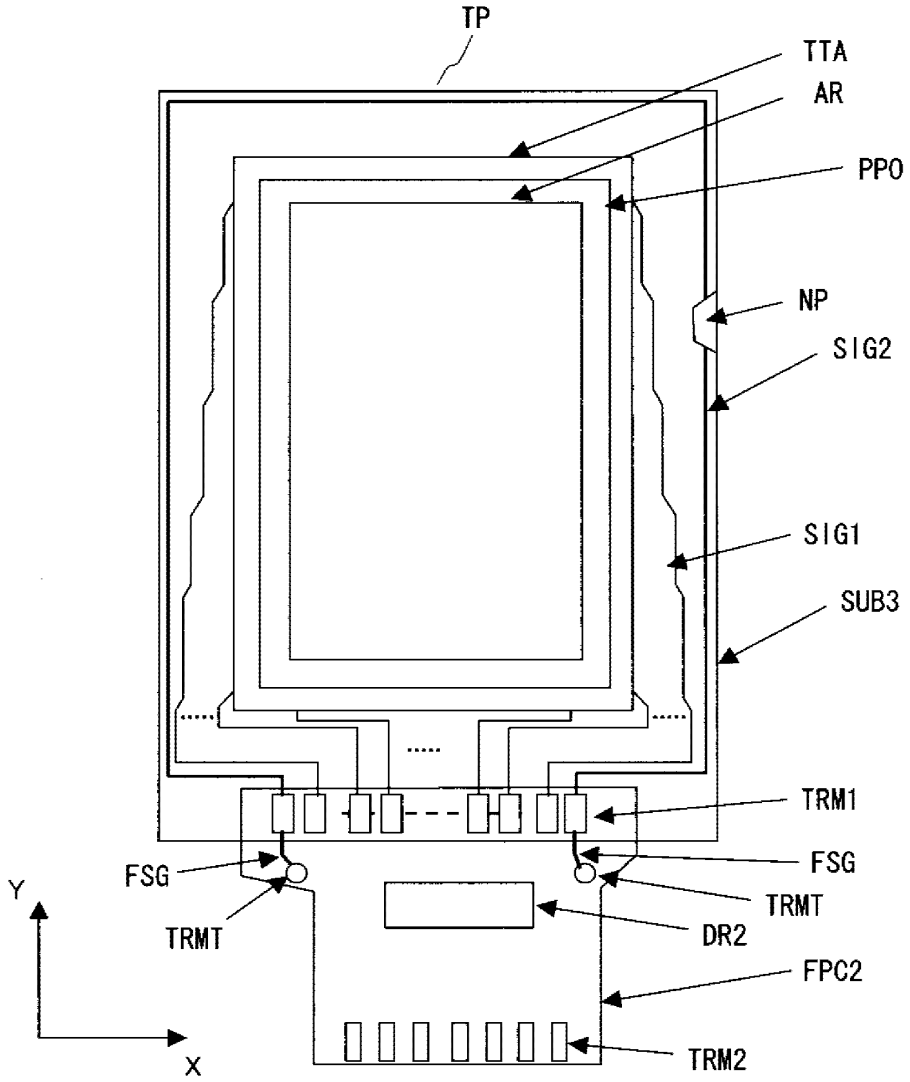
BOE Ex. 1002, p. 167
BOE v. Paneltouch
IPR2025-01482

【図６】



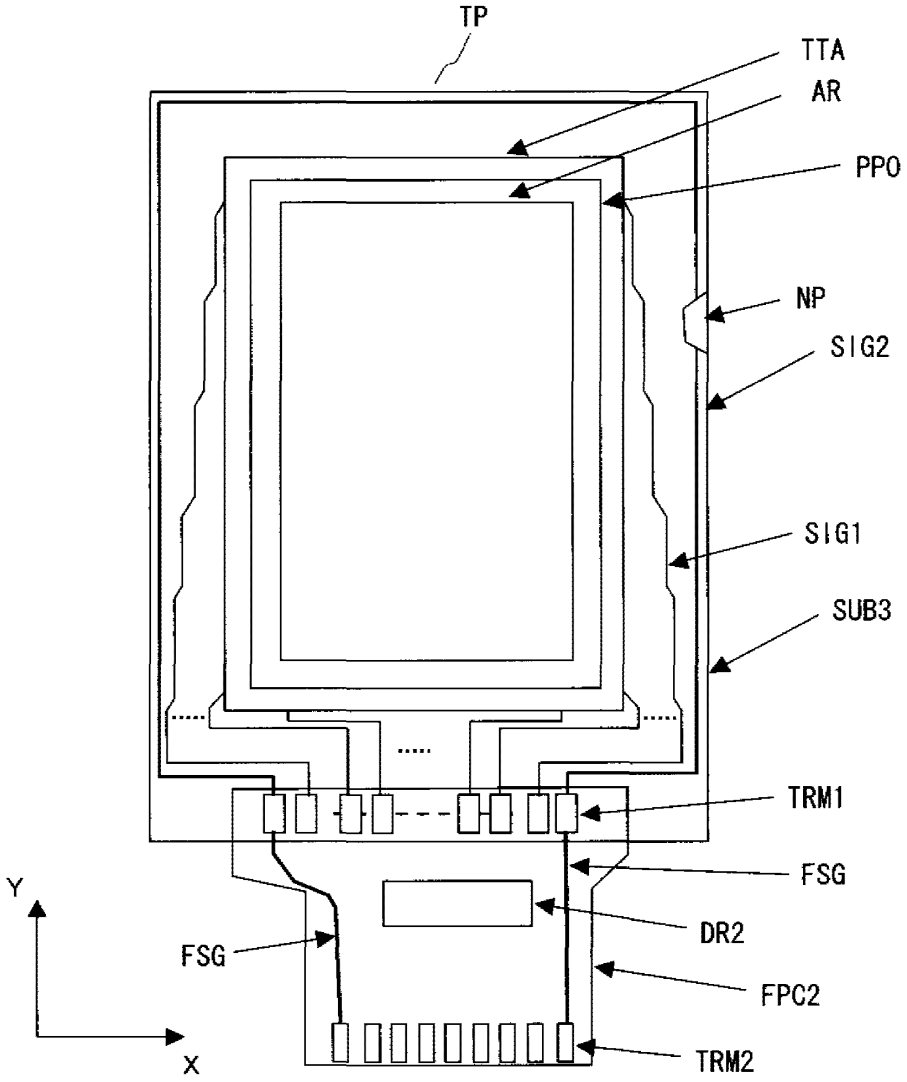
BOE Ex. 1002, p. 168
BOE v. Paneltouch
IPR2025-01482

【図７】



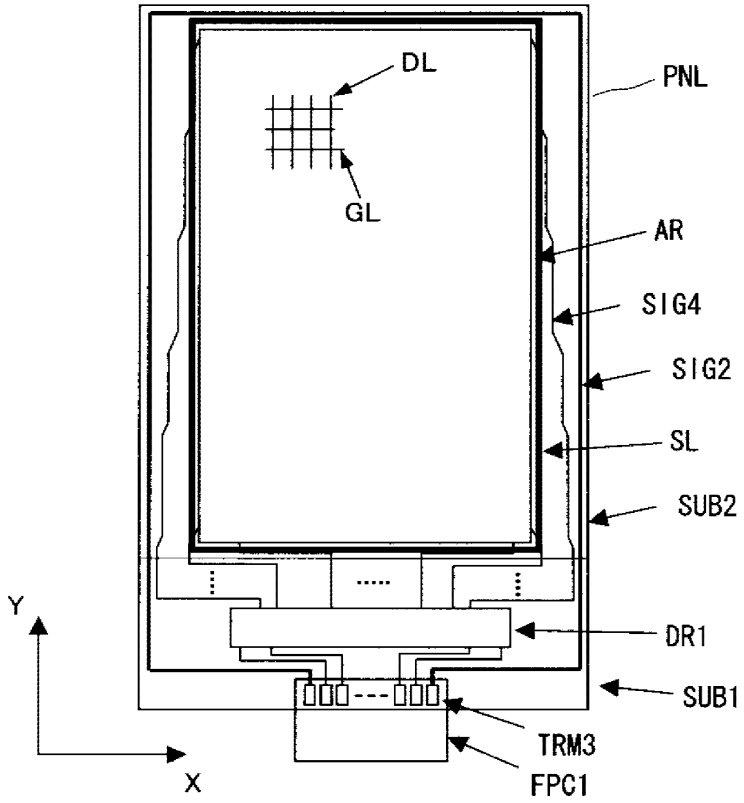
BOE Ex. 1002, p. 169
BOE v. Paneltouch
IPR2025-01482

【図８】



BOE Ex. 1002, p. 170
BOE v. Paneltouch
IPR2025-01482

【図９】



BOE Ex. 1002, p. 171
BOE v. Paneltouch
IPR2025-01482

【書類名】　出願人名義変更届（一般承継）
【整理番号】　331000022
【あて先】　特許庁長官殿
【事件の表示】
　【出願番号】　特願2010-126877
【承継人】
　【識別番号】　506087819
　【氏名又は名称】　パナソニック液晶ディスプレイ株式会社
【承継人代理人】
　【識別番号】　110000154
　【氏名又は名称】　特許業務法人はるか国際特許事務所
　【代表者】　岩本　康隆
　【電話番号】　03-5367-2790
【提出物件の目録】
　【物件名】　株式会社日立ディスプレイズの会社分割を証明する書面　1
　　【援用の表示】　平成２３年１月１２日付提出の特願２００８－１３３９１３の手続補足書（名義変更届）に添付のもの（閉鎖事項一部証明書）を援用する。
　【物件名】　パナソニック液晶ディスプレイ株式会社が承継人であることを証明する書面　1
　　【援用の表示】　平成２３年１月１２日付提出の特願２００８－１３３９１３の手続補足書（名義変更届）に添付のもの（履歴事項一部証明書）を援用する。
　【物件名】　株式会社日立ディスプレイズによる株式会社ＩＰＳアルファ支援会社への権利の承継を証明する書面　1
　　【援用の表示】　平成２２年１１月５日付提出の特許第３０９０４８０号外９８件に係る会社分割による一部移転登録申請書（１）に添付のもの（会社分割承継証明書）を援用する。
　【包括委任状番号】　0807200

出願人履歴

５０２３５６５２８

20021001

新規登録

千葉県茂原市早野３３００番地

株式会社　日立ディスプレイズ

５０６０８７８１９

20060315

新規登録

千葉県茂原市早野３７３２番地

株式会社ＩＰＳアルファテクノロジ

５０６０８７８１９

20101004

名称変更

兵庫県姫路市飾磨区妻鹿日田町１－６

パナソニック液晶ディスプレイ株式会社

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
13/151,362	06/02/2011	Kouichi ANNO	520.51700X00

CONFIRMATION NO. 4779

20457
ANTONELLI, TERRY, STOUT & KRAUS, LLP
1300 NORTH SEVENTEENTH STREET
SUITE 1800
ARLINGTON, VA 22209-3873

PUBLICATION NOTICE



Title:DISPLAY DEVICE

Publication No.US-2012-0139829-A1
Publication Date:06/07/2012

NOTICE OF PUBLICATION OF APPLICATION

The above-identified application will be electronically published as a patent application publication pursuant to 37 CFR 1.211, et seq. The patent application publication number and publication date are set forth above.

The publication may be accessed through the USPTO's publically available Searchable Databases via the Internet at www.uspto.gov. The direct link to access the publication is currently http://www.uspto.gov/patft/.

The publication process established by the Office does not provide for mailing a copy of the publication to applicant. A copy of the publication may be obtained from the Office upon payment of the appropriate fee set forth in 37 CFR 1.19(a)(1). Orders for copies of patent application publications are handled by the USPTO's Office of Public Records. The Office of Public Records can be reached by telephone at (703) 308-9726 or (800) 972-6382, by facsimile at (703) 305-8759, by mail addressed to the United States Patent and Trademark Office, Office of Public Records, Alexandria, VA 22313-1450 or via the Internet.

In addition, information on the status of the application, including the mailing date of Office actions and the dates of receipt of correspondence filed in the Office, may also be accessed via the Internet through the Patent Electronic Business Center at www.uspto.gov using the public side of the Patent Application Information and Retrieval (PAIR) system. The direct link to access this status information is currently http://pair.uspto.gov/. Prior to publication, such status information is confidential and may only be obtained by applicant using the private side of PAIR.

Further assistance in electronically accessing the publication, or about PAIR, is available by calling the Patent Electronic Business Center at 1-866-217-9197.

Office of Data Managment, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

BOE Ex. 1002, p. 174
BOE v. Paneltouch
IPR2025-01482

Substitute for form 1449A/PTO				*Complete if Known*	
INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Application Number	**13/151,362**
				Filing Date	**6/2/2011**
				First Named Inventor	**Kouichi ANNO**
				Art Unit	**2883**
(use as many sheets as necessary)				Examiner Name	
Sheet	1	of	1	Attorney Docket Number	**520.51700X00**

U.S. PATENT DOCUMENTS

Examiner Initials'	Cite No.[1]	Document Number Number-Kind Code[2] (*if known*)		Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				

FOREIGN PATENT DOCUMENTS

Examiner Initials'	Cite No.[1]	Foreign Patent Document Country Code[3]–Number[4]–Kind Code[5] (*if known*)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T[6]
		KR 10-2008-0055248	6/19/2008	Samsung Electronics Co Ltd		Ab
		JP 07-056192	3/3/1995	Fujitsu Ltd		T

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. 1 Applicant's unique citation designation number (optional). 2 See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. 3 Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4 For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5 Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. 6 Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

項番.1 一覧 前 次 全文 レイアウト 印刷 メモ 引用 最新書誌 経過監視 ファミリ 翻訳 ◎○△×

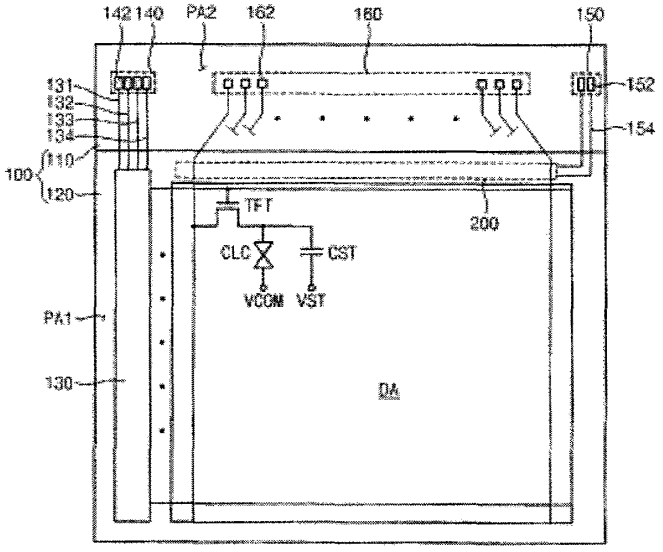
評価:

KR20080055248A 2008/06/19 KR20060128293A 2006/12/15
SAMSUNG ELECTRONICS CO LTD (KR) [LEE HYUN (KR)]
G02F 1/1345 (2006.01);G02F 1/13 (2006.01);G02F 1/13 (2006.01)

DISPLAY PANEL

[57]ABSTRACT:

A display panel is provided to offer a test signal applied to a data inspecting member through dummy TFT(Thin Film Transistor)s formed between a display area and a driving chip pad member and to conduct a visual inspection process. A display substrate includes a display area with plural pixel areas defined by gate lines and data lines. A peripheral area is encompassed by the display area. A driving chip pad member(160) includes data pads formed at end portions of the data lines and received data signals. Dummy TFTs are formed between the display area and the driving chip pad member. Source electrodes of the dummy TFTs are connected with the data lines. A data checking member (150) applies a test signal to the dummy TFTs. The data checking member includes the first data checking pad for receiving the first test signal. The second data checking pad receives the second test signal. The first connection line connects the first data checking pad and the drain electrode of the dummy TFTs. The second connection line connects the second data checking pad and the gate electrode of the dummy TFTs.



[1]件表示しました。

BOE Ex. 1002, p. 176
BOE v. Paneltouch
IPR2025-01482

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2008-0055248
(43) 공개일자 2008년06월19일

(51) Int. Cl.
G02F 1/1345 (2006.01) *G02F 1/13* (2006.01)
(21) 출원번호 10-2006-0128293
(22) 출원일자 2006년12월15일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 매탄동 416
(72) 발명자
이현
서울 동작구 본동 강변유원아파트 102동 1104호
권선자
경기 군포시 광정동 세종아파트 648동 1104호
(74) 대리인
박영우

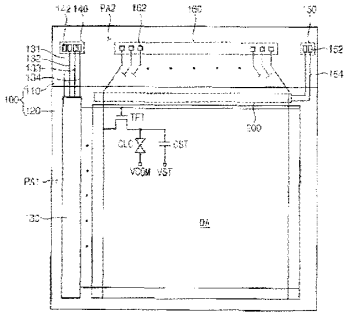
전체 청구항 수 : 총 5 항

(54) 표시 패널

(57) 요 약

비쥬얼 검사 공정이 용이한 표시 패널이 개시된다. 표시 패널은 표시 기판, 구동칩 패드부, 더미 박막트랜지스터들 및 데이터 검사부를 포함한다. 표시 기판은 게이트 배선들 및 데이터 배선들에 의해 복수의 화소부가 정의된 표시 영역과, 상기 표시 영역을 둘러싸는 주변 영역으로 이루어진다. 구동칩 패드부는 데이터 배선들의 일단부에 형성되어 데이터 신호를 인가받는 데이터 패드들을 포함한다. 더미 박막트랜지스터들은 표시 영역과 구동칩 패드부 사이에 형성되며, 데이터 배선들에 소스 전극이 연결된다. 데이터 검사부는 더미 박막트랜지스터들에 테스트 신호를 인가한다. 이에 따라, 비쥬얼 검사 공정이 용이해진다.

대표도 - 도1



BOE Ex. 1002, p. 177
BOE v. Paneltouch
IPR2025-01482

특허청구의 범위

청구항 1

게이트 배선들 및 데이터 배선들에 의해 복수의 화소부가 정의된 표시 영역과, 상기 표시 영역을 둘러싸는 주변 영역으로 이루어진 표시 기판;

상기 데이터 배선들의 일단부에 형성되어 데이터 신호를 인가받는 데이터 패드들을 포함하는 구동칩 패드부;

상기 표시 영역과 구동칩 패드부 사이에 형성되며, 상기 데이터 배선들에 소스 전극이 연결된 더미 박막트랜지스터들; 및

상기 더미 박막트랜지스터들에 테스트 신호를 인가하는 데이터 검사부를 포함하는 표시 패널.

청구항 2

제1항에 있어서, 상기 데이터 검사부는 상기 주변 영역에 형성되며,

제1 테스트 신호가 인가되는 제1 데이터 검사 패드;

제2 테스트 신호가 인가되는 제2 데이터 검사 패드;

상기 제1 데이터 검사 패드와 상기 더미 박막트랜지스터들의 드레인 전극을 전기적으로 연결하는 제1 연결배선; 및

상기 제2 데이터 검사 패드와 상기 더미 박막트랜지스터들의 게이트 전극을 전기적으로 연결하는 제2 연결배선을 포함하는 것을 특징으로 하는 표시 패널.

청구항 3

제2항에 있어서, 상기 제1 테스트 신호는 상기 데이터 배선들에 출력되는 테스트용 데이터 신호로 정의되고, 상기 제2 테스트 신호는 상기 더미 박막트랜지스터들의 스위칭 신호로 정의되는 것을 특징으로 하는 표시 패널.

청구항 4

제3항에 있어서, 상기 더미 박막트랜지스터들은 상기 데이터 배선들마다 적어도 하나 이상 형성된 것을 특징으로 하는 표시 패널.

청구항 5

제4항에 있어서, 상기 주변 영역에 형성되어 상기 게이트 배선들에 게이트 신호를 출력하는 게이트 구동부; 및

상기 주변 영역에 형성되고, 상기 게이트 구동부를 구동시켜 상기 게이트 배선들에 테스트용 게이트 신호를 출력하기 위한 테스트 신호를 인가하는 게이트 검사부를 더 포함하는 것을 특징으로 하는 표시 패널.

명 세 서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

<13> 본 발명은 표시 패널에 관한 것으로, 보다 상세하게는 비쥬얼 검사 공정이 용이한 표시 패널에 관한 것이다.

<14> 일반적으로 액정표시장치는 소정간격 이격하여 대향하는 어레이 기판 및 대향 기판(예컨대 컬러필터 기판)과, 두 기판 사이에 개재되고 이방성 유전율을 갖는 액정층으로 이루어져 영상을 표시하는 표시 패널과, 표시 패널을 구동하기 위한 구동 회로부로 이루어진다.

<15> 표시 패널에는 게이트 배선들 및 데이터 배선들에 의해 정의되는 복수의 화소부가 형성되고, 각 화소부에는 스위칭 소자인 박막트랜지스터와, 박막트랜지스터와 전기적으로 연결되는 액정 커패시터 및 스토리지 커패시터가 형성된다. 표시 패널은 게이트 배선에 인가되는 게이트 신호에 의해 박막트랜지스터가 턴-온(turn-on)되면 데이

BOE Ex. 1002, p. 178
BOE v. Paneltouch
IPR2025-01482

터 배선에 인가되는 데이터 신호가 액정 커패시터에 인가되고, 데이터 신호에 따라 액정 분자의 배열이 변경되어 광 투과율을 조절함으로써, 원하는 영상을 표시한다.

<16> 이러한, 표시 패널은 제조 공정이 완료되면 화소부의 불량을 검사하게 되며, 이를 비쥬얼 검사(Visual Inspection:VI)라고 한다. 비쥬얼 검사는 게이트 배선들 및 데이터 배선들에 테스트 신호를 인가하여 화소부를 구동시켜 검사한다. 비쥬얼 검사를 위해서 게이트 배선들 및 데이터 배선들을 표시 패널 제작시에 그룹화하고 검사가 완료된 후 분리시키는 방법이 일반적이다.

<17> 하지만, 이러한 비쥬얼 검사 방식은 그룹화한 배선을 분리하기 위하여 별도의 공정이 추가되는 것이 때문에 검사 공정이 복잡해지는 문제점이 있다.

발명이 이루고자 하는 기술적 과제

<18> 이에 본 발명의 기술적 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 비쥬얼 검사 공정을 용이하게 하기 위한 표시 패널을 제공하는 것이다.

발명의 구성 및 작용

<19> 상기한 본 발명의 목적을 실현하기 위한 실시예에 따른 표시 패널은 표시 기판, 구동칩 패드부, 더미 박막트랜지스터들 및 데이터 검사부를 포함한다. 상기 표시 기판은 게이트 배선들 및 데이터 배선들에 의해 복수의 화소부가 정의된 표시 영역과, 상기 표시 영역을 둘러싸는 주변 영역으로 이루어진다. 상기 구동칩 패드부는 상기 데이터 배선들의 일단부에 형성되어 데이터 신호를 인가받는 데이터 패드들을 포함한다. 상기 더미 박막트랜지스터들은 상기 표시 영역과 구동칩 패드부 사이에 형성되며, 상기 데이터 배선들에 소스 전극이 연결된다. 상기 데이터 검사부는 상기 더미 박막트랜지스터들에 테스트 신호를 인가한다.

<20> 이러한 표시 패널에 의하면, 데이터 배선들에 테스트 신호를 인가하여 비쥬얼 검사 공정을 수행하기 위한 별도의 형성 공정 및 제거 공정이 생략됨으로써, 비쥬얼 검사 공정이 용이해진다.

<21> 이하, 첨부한 도면들을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.

<22> 도 1은 본 발명의 실시예에 따른 표시 패널의 개략적인 평면도이다.

<23> 도 1을 참조하면, 본 발명의 실시예에 따른 표시 패널(100)은 어레이 기판(110), 어레이 기판(110)과 소정간격 이격하여 대향하는 대향 기판(120, 예컨대 컬러필터 기판) 및 어레이 기판(110)과 대향 기판(120) 사이에 개재된 액정층(미도시)을 포함한다. 이러한 표시 패널(100)은 영상이 표시되는 표시 영역(DA)과, 표시 영역(DA)을 둘러싸는 주변 영역(PA1, PA2)으로 구분된다.

<24> 표시 영역(DA)에는 일방향으로 연장되어 형성된 복수의 게이트 배선들(GL1 ~ GLn)과, 게이트 배선들(GL1 ~ GLn)과 교차하는 방향으로 연장되어 형성된 복수의 데이터 배선들(DL1 ~ DLm)들에 의해 정의되는 복수의 화소부가 형성된다. 각 화소부에는 스위칭 소자인 박막트랜지스터(TFT)와, 박막트랜지스터(TFT)에 전기적으로 연결되어 액정 커패시터(CLC) 및 스토리지 커패시터(CST)가 형성된다. 구체적으로, 박막트랜지스터(TFT)의 소스 전극은 데이터 배선(DL)에 전기적으로 연결되고, 게이트 전극은 게이트 배선(GL)에 전기적으로 연결되며, 드레인 전극에는 액정 커패시터(CLC) 및 스토리지 커패시터(CST)가 전기적으로 연결된다.

<25> 주변 영역(PA1, PA2)은 제1 주변 영역(PA1) 및 제2 주변 영역(PA2)을 포함하며, 제1 주변 영역(PA1)은 게이트 배선들(GL1 ~ GLn)의 일단부에 위치하는 영역으로 정의되고, 제2 주변 영역(PA2)은 데이터 배선들(DL1 ~ DLm)의 일단부에 위치하는 영역으로 정의된다.

<26> 제1 주변 영역(PA1)에는 게이트 배선들(GL1 ~ GLn)에 박막트랜지스터(TFT)의 턴-온(turn-on) 구동신호인 게이트 신호를 출력하는 게이트 구동부(130)와, 게이트 구동부(130)를 구동시켜 게이트 배선들(GL1 ~ GLn)에 테스트용 게이트 신호를 출력하는 게이트 검사부(140)가 형성된다.

<27> 게이트 구동부(130)는 화소부의 박막트랜지스터(TFT)가 형성될 때, 함께 형성된 복수의 박막트랜지스터들로 형성된 쉬프트 레지스터로 이루어지며, 제1 입력단자(131), 제2 입력단자(132), 제3 입력단자(134) 및 제4 입력단자(134)를 포함한다.

<28> 게이트 검사부(140)는 비쥬얼 검사 공정을 진행시에 게이트 구동부(130)를 구동시키기 위한 테스트 신호가 입력되는 게이트 검사 패드(142)들을 포함한다. 일 예로, 게이트 검사 패드(142)들은 제1 내지 제4 입력단자들(131, 132, 133, 134)에 일대일 대응하여 형성되며, 게이트 검사 패드(142)에 인가되는 테스트 신호는 전원전압(VSS),

BOE Ex. 1002, p. 179
BOE v. Paneltouch
IPR2025-01482

제1 클럭 신호(CKV), 제2 클럭 신호(CKVB) 및 수직 개시신호(STV)를 포함한다.

<29> 제2 주변 영역(PA2)에는 구동칩 패드부(160), 데이터 검사부(150) 및 더미 스위칭부(200)가 형성된다.

<30> 구동칩 패드부(160)는 데이터 배선들(DL1 ~ DLm)에 데이터 신호를 출력하는 데이터 구동칩(미도시)의 출력단자와 전기적으로 연결되는 복수의 데이터 패드(162)들을 포함하며, 데이터 패드(162)들은 데이터 배선들(DL1 ~ DLm)의 일단부에 각각 형성된다.

<31> 더미 스위칭부(200)는 복수의 화소부가 정의된 표시 영역(DA)과 구동칩 패드부(160) 사이에 형성되며, 데이터 배선들(DL1 ~ DLm)에 전기적으로 연결되어 테스트용 데이터 신호를 출력한다. 더미 스위칭부(200)는 표시 영역(DA)에 인접하여 형성하는 것이 바람직하다. 즉, 첫 번째 게이트 배선(GL1)에 인접하도록 더미 스위칭부(200)를 형성한다.

<32> 데이터 검사부(150)는 더미 스위칭부(200)와 전기적으로 연결된 연결배선(154)들과, 연결배선(154)들의 일단부에 형성되어 테스트 신호를 인가 받는 데이터 검사 패드(152)들을 포함한다.

<33> 도 2는 도 1에 도시된 게이트 구동부에 대한 상세 블록도이다.

<34> 도 1 및 도 2를 참조하면, 게이트 구동부(130)는 서로 종속적으로 연결된 복수의 스테이지들(SRC1 ~ SRCn+1)로 이루어진 쉬프트 레지스터를 포함하며, 게이트 배선들(GL1 ~ GLn)에 대응하는 n개의 구동 스테이지들(SRC1 ~ SRCn)과 하나의 더미 스테이지(SRCn+1)로 정의된다.

<35> 각 스테이지는 입력 단자(IN), 출력 단자(OUT), 제어 단자(CL), 클럭 단자(CK) 및 전압 단자(VSS)를 포함한다.

<36> 입력 단자(IN)에는 개시신호인 수직 개시신호(STV) 또는 전단 스테이지의 출력신호가 입력된다. 즉, 첫 번째 스테이지(SRC1)의 입력 단자(IN)에는 수직 개시신호(STV)가 입력되고, 나머지 스테이지(SRC2 ~ SRCn+1)의 입력 단자(IN)에는 전단 스테이지의 출력신호가 입력된다.

<37> 제어 단자(CL)에는 다음단 스테이지의 출력신호 또는 수직 개시신호(STV)가 입력된다. 즉, 마지막 스테이지의 제어 단자(CL)에는 수직 개시신호(STV)가 입력되고, 나머지 스테이지(SRC1 ~ SRCn)의 제어 단자(CL)에는 다음단 스테이지의 출력신호가 입력된다.

<38> 클럭 단자(CK)에는 제1 클럭신호(CKV) 또는 제2 클럭신호(CKVB)가 입력된다. 즉, 홀수 번째 스테이지의 클럭 단자(CK)에는 제1 클럭신호(CKV)가 입력되고, 짝수 번째 스테이지의 클럭 단자(CK)에는 제2 클럭신호(CKVB)가 입력되며, 제1 클럭신호(CKV)와 제2 클럭신호(CKVB)는 서로 반대되는 위상을 갖는다.

<39> 출력 단자(OUT)는 제1 클럭신호(CKV) 또는 제2 클럭신호(CKVB)에 동기된 게이트 신호를 출력한다. 즉, 홀수 번째 스테이지들은 제1 클럭신호(CKV)에 동기된 게이트 신호를 출력하고, 짝수 번째 스테이지들은 제2 클럭신호(CKVB)에 동기된 게이트 신호를 출력한다. 여기서, 더미 스테이지(SRCn+1)를 제외한 나머지 스테이지들의 출력 단자(OUT)는 게이트 배선들(GL1 ~ GLn)에 일대일 대응하여 연결되므로, 게이트 배선들(GL1 ~ GLn)에 게이트 신호를 출력한다.

<40> 각 스테이지(SRC1 ~ SRCn+1)의 전압 단자(VSS)에는 오프 전압(VSS)이 공통적으로 입력된다.

<41> 한편, 도면에서는 게이트 구동부(130)의 제1 내지 제4 입력단자들(131, 132, 133, 134)들엘 일대일 대응하도록 게이트 검사 패드(142)들을 형성하였으나, 경우에 따라서 제1 내지 제4 입력단자들(131, 132, 133, 134)을 복수개씩 그룹으로 묶어 그룹별로 하나의 게이트 검사 패드(142)에 전기적으로 연결되게 형성할 수도 있다.

<42> 도 3은 도 1에 도시된 더미 스위칭부를 설명하기 위하여 개념적으로 도시한 도면이다.

<43> 도 1 및 도 3을 참조하면, 본 발명의 실시예에 따른 표시 패널(100)에 형성되는 더미 스위칭부(200)는 데이터 배선들(DL1 ~ DLm)에 전기적으로 연결된 더미 박막트랜지스터(D_TFT)들을 포함한다. 더미 스위칭부(200)는 소스 전극이 해당하는 데이터 배선들(DL1 ~ DLm)에 전기적으로 연결되는 복수의 더미 박막트랜지스터(D_TFT)들을 포함하며, 데이터 배선들(DL1 ~ DLm)마다 적어도 하나 이상 연결되도록 형성된다. 이러한, 더미 박막트랜지스터(D_TFT)들은 화소부의 박막트랜지스터(TFT)가 형성될 때 함께 형성된다.

<44> 한편, 더미 박막트랜지스터(D_TFT)들의 게이트 전극 및 드레인 전극은 각각 하나로 통합되어 데이터 검사 패드(152)에 인가되는 테스트 신호를 인가 받는다.

<45> 구체적으로, 더미 박막트랜지스터(D_TFT)들의 드레인 전극은 제1 연결배선(154a)을 통해 하나로 묶이며, 제1 연결배선(154a)의 일단부에는 제1 데이터 검사 패드(152a)가 형성되어 제1 테스트 신호를 인가 받는다. 제1 테스

BOE Ex. 1002, p. 180
BOE v. Paneltouch
IPR2025-01482

트 신호는 더미 박막트랜지스터(D_TFT)들을 통해 데이터 배선들(DL1 ~ DLm)에 출력되는 테스트용 데이터 신호로 정의된다. 더미 박막트랜지스터(D_TFT)들의 게이트 전극은 제2 연결배선(153b)을 통해 하나로 묶이며, 제2 연결배선(154b)의 일단부에는 제2 게이트 검사 패드(152b)가 형성되어 제2 테스트 신호를 인가 받는다. 제2 테스트 신호는 더미 박막트랜지스터(D_TFT)들을 턴-온 시키는 스위칭 신호로 정의된다.

<46> 이러한, 더미 박막트랜지스터(D_TFT)들의 동작을 간략하게 설명하며, 제2 데이터 검사 패드(152b)에 제2 테스트 신호가 인가되어 더미 박막트랜지스터(D_TFT)들이 일제히 턴-온 되면, 제1 데이터 검사 패드(152a)에 인가되는 제1 테스트 신호가 제1 연결배선(154a) 및 더미 박막트랜지스터(D_TFT)들을 통해 데이터 배선들(DL1 ~ DLm)에 인가되어 테스트가 수행된다.

<47> 이와 같이, 본 발명에 따른 표시 패널(100)은 제2 데이터 검사 패드(154b)에 더미 박막트랜지스터(D_TFT)를 턴-온 하기 위한 제2 테스트 신호를 인가하고, 제1 데이터 검사 패드(152a)에 제1 테스트 신호를 인가하여 비쥬얼 검사 공정을 수행한다. 반면에, 구동부에 의한 정상 구동시에는 제2 데이터 검사 패드(154b)에 더미 박막트랜지스터(D_TFT)를 턴-오프(turn-off)용 제2 테스트 신호를 인가하여 데이터 검사부(150)와 데이터 배선들(DL1 ~ DLm)을 분리함으로써 정상구동을 할 수 있다.

<48> 이처럼, 데이터 검사부(150)의 제1 및 제2 데이터 검사 패드(152a, 152b)에 인가되는 제1 및 제2 테스트 신호에 의해 표시 패널(100)을 테스트하여 수평 방향의 크로스토크를 검출한다.

<49> 또한, 더미 박막트랜지스터(D_TFT)들은 표시 영역(DA)과 구동칩 패드부(160) 사이에 형성됨에 따라서 제조 공정 진행중에 데이터 패드(162)를 통해 유입되는 정전기를 분산시킴으로써, 정전기에 의한 화소부의 불량을 방지하는 정전기에 의한 불량을 개선하는 역할을 수행한다.

발명의 효과

<50> 이상에서 설명한 바와 같이, 본 발명에 따르면 표시 영역과 구동칩 패드부 사이에 형성된 더미 박막트랜지스터들을 통해 데이터 검사부에 인가되는 테스트 신호를 데이터 배선들에 제공하여 비쥬얼 검사 공정이 수행되므로써, 비쥬얼 검사를 위한 별도의 소자를 생략하여 비쥬얼 검사 공정이 용이해진다. 또한, 비쥬얼 검사를 위한 소자 형성에 필요한 영역을 생략할 수 있어 패널 영역의 마진을 향상할 수 있다.

<51> 이상에서는 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

<1> 도 1은 본 발명의 실시예에 따른 표시 패널의 개략적인 평면도이다.

<2> 도 2는 도 1에 도시된 게이트 구동부에 대한 상세 블록도이다.

<3> 도 3은 도 1에 도시된 더미 스위칭부를 설명하기 위하여 개념적으로 도시한 도면이다.

<4> <도면의 주요부분에 대한 부호의 설명>

<5> 100: 표시 패널 110: 어레이 기판

<6> 120: 대향 기판 130: 게이트 구동부

<7> 131, 132, 133, 134: 제1 내지 제4 입력단자

<8> 140: 게이트 검사부 142: 게이트 검사 패드

<9> 150: 데이터 검사부 152: 데이터 검사 패드

<10> 154: 연결배선 160: 구동칩 패드부

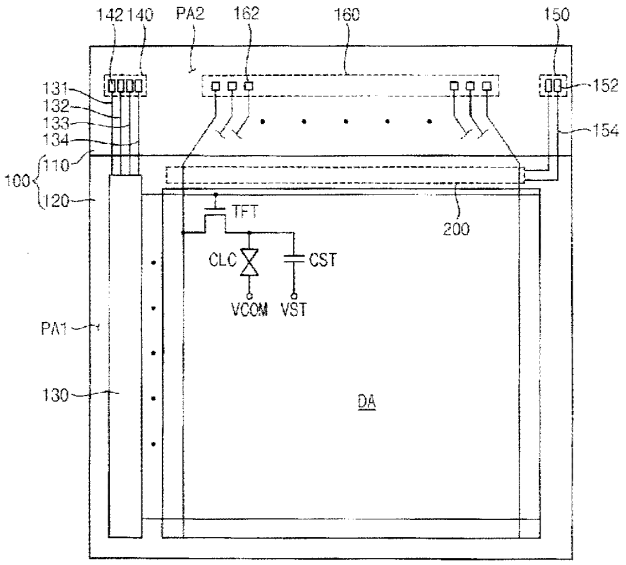
<11> 162: 데이터 패드 200: 더미 스위칭부

<12> DA: 표시 영역 PA1, PA2: 주변 영역

BOE Ex. 1002, p. 181
BOE v. Paneltouch
IPR2025-01482

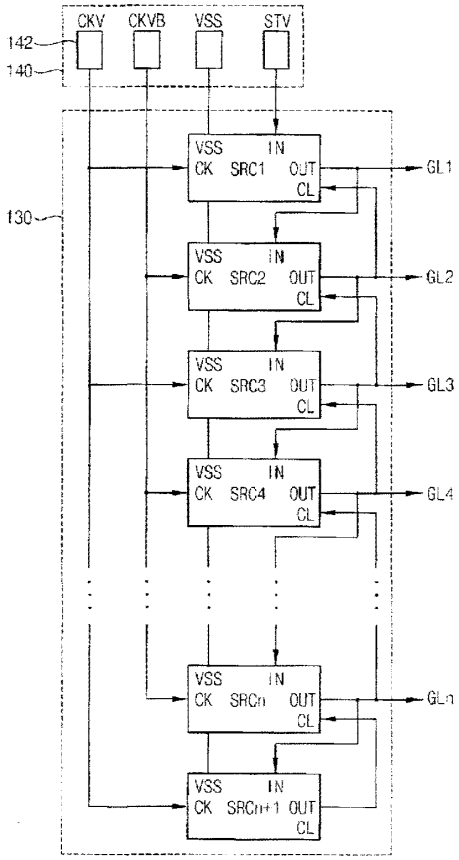
도면

도면1



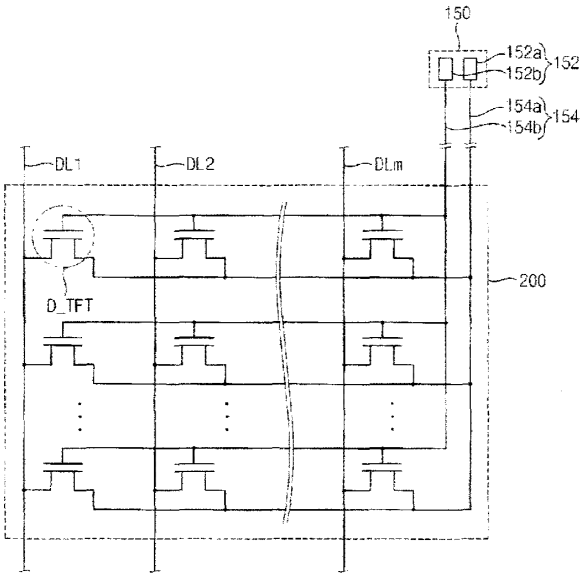
BOE Ex. 1002, p. 182
BOE v. Paneltouch
IPR2025-01482

도면2



BOE Ex. 1002, p. 183
BOE v. Paneltouch
IPR2025-01482

도면3



BOE Ex. 1002, p. 184
BOE v. Paneltouch
IPR2025-01482

* NOTICES *

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

DETAILED DESCRIPTION

[Detailed Description of the Invention]
[0001][eye following]
Technology of the Field of the Invention former (Fig.3)
Means operation working example for solving the problem issue which invention tends to solve (Fig.1, 2)
EFFECT OF THE INVENTION[0002]
[Industrial Application]The present invention relates to measurement transistors only for the characteristic, a characteristic inspection method, and a liquid crystal display panel.
If it says in detail, it is related with an improvement of a TEG (Test Element Group) pattern which conducts a characteristic inspection of a thin film transistor (only henceforth TFT) which constitutes a liquid crystal display panel, and an inspection method for the same.

[0003]In recent years, it puts on CRT (cold cathode tube) equipment with large depth from the request of miniaturization of an electronic device, and a liquid crystal display with little depth (only henceforth LCD) is used instead. A display panel comprises two or more TFT(s) and picture element electrodes, and the gate line (scanning line) and drain wire (signal wire) are arranged at matrix form. According to this, a TEG pattern is provided by the display panel in order to grasp an internal TFT characteristic. However, handling of the arrangement part of a TEG pattern or an electrode becomes easy to receive static electricity, a plasma damage, etc. Thereby, the TFT characteristic of the pattern concerned may differ from the characteristic of internal TFT.
[0004]Then, a pattern which can grasp the characteristic of the inside TFT correctly after the time of creation of a TFT substrate and processing of a display panel, and an inspection method for the same are desired.
[0005]
[Description of the Prior Art]Fig.3 is a configuration diagram of the TFT-TEG pattern concerning a conventional example. Fig.3 (A) is a plan view of LCD, Fig.3 (B) is a plan view of an outside installation type TFT-TEG pattern, and Fig.3 (C) shows the plan view of the inside installation type TFT-TEG pattern, respectively.
[0006]For example, the liquid crystal panel 10 which carries out liquid crystal display is provided in the glass substrate 1 in Fig.3 (A) with the picture display part 2 and the outside installation type TFT-TEG pattern 4, and the picture display part 2 comprises TFT and a picture element electrode. The picture display part 2 is filled up with a liquid crystal, and it is demarcated with the seal 3. The TEG pattern 4 concerned is provided by the outside, i.e., the non-filling portion of a liquid crystal, bordering on the seal 3. The purpose of pattern installation is for grasping the TFT characteristic of the picture display part 2. For example, the quality of TFT is judged by inspecting the pattern concerned, without carrying out direct contact to an internal picture element electrode.
[0007]The TEG pattern 4 has the same TFT structure as TFT of the picture display part 2 in Fig.3 (B), the source is connected to the source inspection terminal 4A, the gate is connected to the gate inspection terminal 4B, and the drain is connected to the drain inspection terminal 4C, respectively. The inside installation type TFT-TEG pattern 5 is provided in the inside, i.e., the

BOE Ex. 1002, p. 185
BOE v. Paneltouch
IPR2025-01482

filling portion of a liquid crystal, bordering on the seal 3 in Fig.3 (C). The TEG pattern 5 has the same TFT structure as TFT of the picture display part 2, the source is connected to the source extraction electrode 5A, the gate is connected to the gate extraction electrode 5B, and the drain is connected to the drain extraction electrode 5C, respectively. Each electrode 5A-5C is connected to the periphery highway 6.

[0008]

[Problem to be solved by the invention]By the way, according to the TEG pattern 4 of a conventional example, a TFT part is provided by the outside of the seal 3 as shown in Fig.3 (A). According to the TEG pattern 5, as shown in Fig.3 (C), a TFT part is provided inside the seal 3 and each of that extraction electrode is connected to the periphery highway 6 on the outside of the seal 3. For this reason, there are the following problems.

[0009]** In the TFT-TEG pattern 4, the process of creating the TFT substrate of the picture display part 2 is easy to receive static electricity, a plasma damage, etc. Thereby, the TFT characteristic of the pattern 4 concerned may differ from the characteristic of TFT of the picture display part 2. For example, in the gate voltage versus drain current (Vg-Id) characteristic of TFT, there is a possibility of producing ON of transistor operation and poor OFF, by the shift of the threshold voltage Vth. Thereby, the function of an original TEG pattern is impaired.

[0010]** By the TFT-TEG pattern 5, since each extraction electrode 5A-5C of TFT is electrically connected to the periphery highway 6, it is not affected by the influence of static electricity, a plasma damage, etc. again at the time of creation of a TFT substrate. However, as shown in Fig.3 (C), the laser cut of each extraction electrode 5A-5C and the periphery highway 6 is carried out bordering on the two-dot chain line X, and measurement of the TFT characteristic is performed after that.

[0011]For this reason, in the work process of the display panel 10, each extraction electrode 5A-5C will be in the state which was separated from the periphery highway 6 and achieved individual independence, i.e., electric floating. By this, the TEG pattern 5 becomes very weak to the static electricity at the time of panel handling, and the function is impaired like the TEG pattern (henceforth the measurement transistors only for the characteristic) 4. Thereby, it becomes difficult to grasp correctly the characteristic of TFT (henceforth an inspected object) of the picture display part 2.

[0012]The present invention is created in view of the problem of this conventional example, and aims at offer of the measurement transistors only for the characteristic it becomes possible to grasp the characteristic for inspected correctly after the time of creation of a thin film transistor substrate, and processing of a display panel, the characteristic inspection method, and a liquid crystal display panel.

[0013]

[Means for solving problem]The measurement transistors only for the first characteristic of the present invention, In the measurement transistors only for the characteristic which conduct the characteristic inspection of the thin film transistor which constitutes a liquid crystal display panel for the working example as shown in Fig.1, The aforementioned measurement transistors only for the characteristic comprise a thin film transistor, the source of the aforementioned thin film transistor, a drain, and each inspection terminal of a gate are surrounded with a conductive material, and the aforementioned conductive material is connected to a periphery highway.

[0014]The measurement transistors only for the second characteristic of the present invention, In the measurement transistors only for the characteristic which conduct the characteristic inspection of the thin film transistor which constitutes a liquid crystal display panel for the working example as shown in Fig.1, The aforementioned measurement transistors only for the characteristic comprise a thin film transistor, the drain extraction electrode, gate extraction electrode, and source extraction electrode of the aforementioned thin film transistor are electrically connected to a local highway, and the aforementioned local highway is electrically connected to a circumference highway.

[0015]In the 1st of the present invention, and the measurement transistors only for the second characteristic, the drain and gate of the aforementioned thin film transistor are electrically

BOE Ex. 1002, p. 186
BOE v. Paneltouch
IPR2025-01482

connected. In the 1st of the present invention, and the measurement transistors only for the second characteristic, the source, drain, and gate of the aforementioned thin film transistor, A part of drain extraction electrode of the aforementioned thin film transistor, gate extraction electrode, and source extraction electrode are provided by the seal inside which demarcates the liquid crystal of a liquid crystal display panel.

[0016]The characteristic inspection method of the present invention conducts the characteristic inspection of a thin film transistor based on the characteristic measurement data which is the method of conducting the characteristic inspection of the thin film transistor which constitutes a liquid crystal display panel, and is obtained from the 1st of the present invention, and the measurement transistors only for the second characteristic. In the characteristic inspection method of the present invention, between the drain extraction electrode of the aforementioned measurement transistors only for the characteristic, a gate extraction electrode and a source extraction electrode, and the aforementioned local highways is cut in the case of the characteristic inspection of the aforementioned thin film transistor.

[0017]In the liquid crystal display panel which comprises two or more thin film transistors, the liquid crystal display panel of the present invention is characterized by providing Claim 1 and the measurement transistors only for the characteristic which consist of 2, and attains the above-mentioned purpose.

[0018]

[work --] for According to the measurement transistors only for the first characteristic of the present invention, in the working example, as shown in Fig.1, the measurement transistors only for the characteristic concerned are provided by the seal inside, and the source, a drain, and each inspection terminal of a gate are surrounded with a conductive material. For this reason, the conductive material connected to the periphery highway in front of the time of creation of the thin film transistor inside the liquid crystal display panel concerned, i.e., a liquid crystal **** process, enables it to protect the measurement transistors only for the characteristic from static electricity, a plasma damage, etc.

[0019]According to the measurement transistors only for the second characteristic of the present invention, in the working example, as shown in Fig.1, the body part of the measurement transistors only for the characteristic concerned and a part of each of its extraction electrode are provided by the seal inside. Each extraction electrode is electrically connected to the local highway connected to the circumference highway. For this reason, after the time of processing of a liquid crystal display panel, i.e., a liquid crystal **** process, a circumference highway and a local highway enable it to protect the measurement transistors only for the second characteristic from static electricity, a plasma damage, etc.

[0020]Thereby, the original function of the measurement transistors only for the characteristic is maintained, and it becomes possible to grasp correctly the characteristic of the internal thin film transistor in front of liquid crystal ****. According to the characteristic inspection method of the present invention, based on the characteristic measurement data obtained from the 1st and the measurement transistors only for the second characteristic, the characteristic inspection of the thin film transistor is conducted. For example, characteristic measurement data is obtained from the measurement transistors only for the characteristic to which the drain and the gate were electrically connected. For this reason, it becomes possible to extract easily the parameter which describes the characteristic of a thin film transistor from the characteristic measurement data concerned.

[0021]According to the characteristic inspection method of the present invention, between each extraction electrode of the measurement transistors only for the characteristic and local highways is cut in the case of the characteristic inspection of an internal thin film transistor. For this reason, when the liquid crystal display panel concerned deteriorates by environmental tests, such as temperature, humidity, and a shock, the characteristic measurement data of the measurement transistors only for the characteristic can be obtained from each extraction electrode separated electrically.

[0022]According to the liquid crystal display panel of the present invention, the 1st of the present invention and the measurement transistors only for the second characteristic are

BOE Ex. 1002, p. 187
BOE v. Paneltouch
IPR2025-01482

provided. For this reason, the characteristic of two or more thin film transistors which constitute a liquid crystal display panel can be correctly grasped from the 1st and the measurement transistors only for the second characteristic.
[0023]
[Working example]Next, it describes about the working example of the present invention, referring to a figure. Fig.1 and 2 are figures which describe the characteristic inspection method of a TFT-TEG pattern and a TFT substrate concerning the working example of the present invention. Fig.1 (A) is a plan view of a TFT substrate concerning an working example of the present invention.
Fig.1 (B) shows a plan view of the TFT-TEG pattern, respectively.

[0024]For example, it describes about the case of the liquid crystal display panel which incorporates a reverse stagger type thin film transistor (henceforth [TFT]). As the display panel 20 concerned is shown in Fig.1 (A), it provides with the picture display part 12 and the TFT-TEG pattern 14 in the glass substrate 11, and the picture display part 12 comprises the inside TFT and a picture element electrode. The picture display part 12 is filled up with a liquid crystal, and it is demarcated with the seal 13.
[0025]The TFT-TEG pattern 14 is an example of the measurement transistors only for the characteristic, and is a pattern which conducts the characteristic inspection of TFT of the liquid crystal display panel 20. The TEG pattern 14 concerned is provided in the inside, i.e., the filling portion of a liquid crystal, bordering on the seal 13. The purpose of pattern installation is for grasping the TFT characteristic of the picture display part 12. That is, the quality of the TFT can be judged by inspecting the pattern concerned, without carrying out direct contact to an internal picture element electrode.
[0026]In Fig.1 (B), the TEG pattern 14 comprises four dummy thin film transistors (only henceforth TFT1-TFT4), and TFT1 and TFT2 are examples of the measurement transistors only for the first characteristic. TFT3 and TFT4 are examples of the measurement transistors only for the second characteristic, and they have the structure as TFT of the picture display part 12 with same all. In Fig.2 (A), the structure is explained in full detail.
[0027]The source of TFT1 is connected to the source inspection terminal 41, the gate is connected to the gate inspection terminal 42, and the drain is connected to the drain inspection terminal 43, respectively. The source of TFT2 is connected to the source inspection terminal 44, the gate is connected to the gate inspection terminal 45, and the drain is connected to the drain inspection terminal 46, respectively. The gate of TFT2 is connected to a drain.
[0028]TFT1, the source inspection terminal 41, the gate inspection terminal 42 and the drain inspection terminal 43, TFT2 and the source inspection terminal 44, the gate inspection terminal 45, and the drain inspection terminal 46 are enclosed by the guard ring 413. The guard ring 413 is an example of a conductive material, and it is connected to the periphery short circuit line 15. The periphery short circuit line 15 is an example of a periphery highway, and is arranged in the outside area of the picture display part 12 in which the liquid crystal was confined.
[0029]The source of TFT3 is connected to the source extraction electrode 47, the gate is connected to the gate extraction electrode 48, and the drain is connected to the drain extraction electrode 49, respectively. The source of TFT3 is connected to the source extraction electrode 410, and the gate is connected to the gate drain common extraction electrode 411, respectively. The gate and drain of TFT4 are connected and a part of five extraction electrodes 47-411 are pulled out by the outside area of the seal 13 which demarcates a liquid crystal.
[0030]The source extraction electrode 47 of TFT3, the gate extraction electrode 48, the source extraction electrode 49 and the source extraction electrode 410 of TFT4, and the common extraction electrode 411 are electrically connected to the local short circuit line 412 in the outside area of the seal 13. The local short circuit line 412 is an example of a local highway, and is electrically connected to the periphery short circuit line 15.
[0031]Next, the formation method of TFT1-TFT4 is described. TFT1-TFT4 are formed of internal TFT and the process. As shown in Fig.2 (A), a gate is first formed for the structure on the glass substrate 11A. A gate laminates successively aluminum of the thickness 80 [nm]

BOE Ex. 1002, p. 188
BOE v. Paneltouch
IPR2025-01482

degree, or Ti, and patterns it, for example. Next, the dielectric film 11B, a-Si layer 11C, and the channel protective layers 11D of a gate are formed continuously. In the dielectric film 11B, it is the thickness 400, for example. The SiN film of the [nm] degree is used. Subsequently, in the protective layer 11D, it is the thickness 400, for example. The SiN film of the [nm] degree is used. a-Si layer 11C turns into an active layer of operation.

[0032]Next, it leaves the channel protective layers 11D only on a gate. Subsequently, the drain of TFT and the source region are formed. In this region, it is n^+a-Si layer 11E and the thickness 120 of the thickness 50 [nm] degree, for example. The Ti layer of the [nm] degree is deposited. Then, it etches to a-Si layer 11C. In this case, each inspection terminal 41-46 of TFT1 and TFT2, each extraction electrode 47-411 and the local short circuit line 412 of TFT3 and TFT4, the guard ring 413, and the periphery short circuit line 15 are formed simultaneously. Subsequently, the protective film 11F is formed. The protective film 11F is the thickness 300, for example. The SiN film of the [nm] degree is used.

[0033]A contact hole is formed in each inspection terminal 41-46 of TFT1 and TFT2, or each extraction electrode 47-411 of TFT3 and TFT4. Then, ITO film 11G of the thickness 70 [nm] degree is formed. ITO film 11G constitutes a picture element electrode in internal TFT. Thereby, TFT of TFT1-TFT4, or an inside is formed simultaneously. The element length and gate width of TFT1-TFT4 have desirable internal dimension and identitas of TFT. However, they may be changed by a case. After liquid crystal ****, in Fig.1 (B), the glass substrate 11 is cut in the portion of the two-dot chain line Y, and it shifts like a panel assembler.

[0034]Thus, according to the TFT-TEG pattern concerning the working example of the present invention, as shown in Fig.1, TFT1-TFT4 are provided inside the seal 13, and each inspection terminal 41-46 of TFT1 and TFT2 is enclosed by the guard ring 413. For this reason, the guard ring 413 connected to the periphery short circuit line 15 in front of the time of creation inside [TFT] the liquid crystal display panel 20 concerned, i.e., a liquid crystal **** process, enables it to protect TFT1 and TFT2 from static electricity, a plasma damage, etc.

[0035]Thereby, the function to judge the quality of an internal transistor is maintained by inspecting the TFT1 concerned and TFT2, without carrying out direct contact to the original function of TFT1 and TFT2, i.e., an internal picture element electrode. At this, it becomes possible to grasp correctly the characteristic of the inside TFT in front of liquid crystal ****. As shown in Fig.1, the body part of the TFT3 concerned and TFT4 is provided inside the seal 13, and a part of each of that extraction electrode 47-411 is provided by the outside area of the seal 13. Each extraction electrode 47-411 is electrically connected to the local short circuit line 412 connected to the periphery short circuit line 15.

[0036]For this reason, after the time of processing of a liquid crystal display panel, i.e., a liquid crystal **** process, the periphery short circuit line 15 and the local short circuit line 412 enable it to protect TFT3 and TFT4 from static electricity, a plasma damage, etc. Thereby, like TFT1 and TFT2, an original function is maintained and it becomes possible to grasp correctly the characteristic of the inside TFT after liquid crystal ****. It becomes possible by taking such a structure to manufacture TFT1-TFT4 which are not influenced by external conditions.

[0037]Next, it describes about the characteristic inspection method of the liquid crystal display panel concerning the working example of the present invention, supplementing with the TFT-TEG pattern concerned. For example, in inspecting the characteristic of the inside TFT in front of liquid crystal ****, it inspects TFT1 and TFT2 of the TEG pattern 14. For example, characteristic measurement data is obtained from TFT2 which the drain and the gate short-circuited. Since the gate voltage Vg and the drain voltage Vd serve as same electric potential, TFT2 shows diode characteristics. For example, the current rootId-voltage Vg characteristic of TFT as shown in Fig.2 is obtained. Extraction of the TFT characteristic in this case is performed as follows. Here, saturation current Id_{SAT} which is TFT is (1) type, i.e., $Id_{SAT}=CWmu(Vg-Vth)^2/2L$.... (Vd>=Vg) (1)

It is come out and shown.

[0038]It is here and, as for element length and L, the electric capacity per unit area and mu are [C / mobility and W / gate voltage and Vth of element width and Vg] threshold voltage. (1) (2)

BOE Ex. 1002, p. 189
BOE v. Paneltouch
IPR2025-01482

types [$Id_{SAT}^{1/2}=(CWmu/2L)^{1/2}(Vg-Vth)$], i.e., when the square root of both sides is taken in a formula .... (2)
It becomes. (2) rootId-Vg characteristic that a formula is shown in Fig.2 when vertical-axis $Id_{SAT}^{1/[\text{ the horizontal axis Vg and }]2}$ is plotted is obtained. In this characteristic, the threshold value Vth can be found by inclination from the mobility mu and a horizontal-axis section. A TFT characteristic can be described if one point of the measuring electric current Id is specified as this. If these TFT characteristic extraction data is used, it will become possible to manage a TFT characteristic.
[0039]In panel-izing the characteristic inspection of the inside TFT after liquid crystal ****, for example, it, conducting an environmental test inspection and carrying out subsequent TFT characteristic evaluation, in Fig.1 (B), it carries out the laser cut of each extraction electrode of TFT3 and TFT4 in the portion of the dashed line Z. Thereby, the source extraction electrode 47 of TFT3, the gate extraction electrode 48 and the source extraction electrode 49, the source extraction electrode 410 of TFT4, and the common extraction electrode 411 are separated from the local short circuit line 412.
[0040]Then, based on characteristic measurement data, the characteristic inspection of the inside TFT is conducted like the case of TFT1 of the point, and TFT2. For example, in the rootId-Vg characteristic of TFT4, since the threshold voltage Vth shows the equivalent characteristic, ON of the inside TFT and OFF operation can be inspected. Thus, according to the characteristic inspection method of the liquid crystal display panel concerning the working example of the present invention, the characteristic inspection of the inside TFT is conducted based on the characteristic measurement data obtained from TFT1-TFT4.
[0041]For this reason, it becomes possible to extract easily the parameter which describes the characteristic of the inside TFT from the characteristic measurement data concerned, and it becomes possible from TFT characteristic extraction data to manage an internal TFT characteristic. According to the present invention, between the source extraction electrode 47 of TFT3, the gate extraction electrode 48 and the source extraction electrode 49, the source extraction electrode 410 of TFT4 and the common extraction electrode 411, and the local short circuit lines 412 is cut in the case of the characteristic inspection of the inside TFT.
[0042]For this reason, when the liquid crystal display panel concerned deteriorates by environmental tests, such as temperature, humidity, and a shock, the characteristic measurement data of TFT3 and TFT4 can be obtained from each extraction electrode 47-411 separated electrically. Thereby, it becomes possible to conduct the characteristic inspection of the inside TFT, without disassembling the liquid crystal display panel 20.
[0043]Although described about the case of 1 set of TFT-TEG patterns 14 in the working example of the present invention, when grasping distribution of a TFT characteristic, etc., it is good to provide two or more sets of patterns 14. Although described about the case of reverse stagger type TFT in the working example of the present invention, also in the element structure of not only this but right stagger type TFT, an MIM (MetalInsulator Metal) type, etc., the same effect as the present invention is acquired.
[0044]
[Effect of the Invention]As described above, according to the measurement transistors only for the characteristic of the present invention, the source of the transistor concerned, a drain, and each inspection terminal of a gate are surrounded with a conductive material. For this reason, the conductive material connected to the periphery highway in front of the liquid crystal **** process enables it to protect the transistor concerned from static electricity, a plasma damage, etc.
[0045]According to the measurement transistors only for the characteristic of everything but the present invention, each of that extraction electrode is electrically connected to the local highway connected to the circumference highway. For this reason, after a liquid crystal **** process, a circumference highway and a local highway enable it to protect other measurement transistors only for the characteristic from static electricity, a plasma damage, etc.
[0046]According to the characteristic inspection method of the present invention, the parameter

BOE Ex. 1002, p. 190
BOE v. Paneltouch
IPR2025-01482

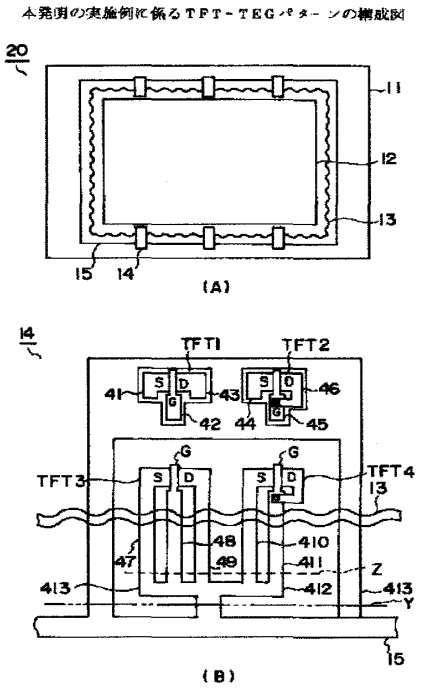
which describes the characteristic of an internal thin film transistor based on the characteristic measurement data of the measurement transistors only for the characteristic is extracted. For this reason, the quality decision of the internal thin film transistor in front of liquid crystal **** can be performed correctly. According to the characteristic inspection method of the present invention, between each extraction electrode of the measurement transistors only for the characteristic and local highways is cut in the case of the characteristic inspection after liquid crystal ****. For this reason, the characteristic measurement data which searches for the deterioration cause of the panel concerned can be obtained from each extraction electrode separated electrically, without disassembling an LCD panel.

[0047]This becomes possible to grasp correctly the characteristic of the internal thin film transistor before and behind liquid crystal ****. It largely contributes to offer of the highly reliable measurement transistors only for the characteristic.

[Translation done.]

BOE Ex. 1002, p. 191
BOE v. Paneltouch
IPR2025-01482

Drawing selection Representative drawing



[Translation done.]

BOE Ex. 1002, p. 192
BOE v. Paneltouch
IPR2025-01482

* NOTICES *

JPO and INPIT are not responsible for any
damages caused by the use of this translation.

1.This document has been translated by computer. So the translation may not reflect the original precisely.
2.**** shows the word which can not be translated.
3.In the drawings, any words are not translated.

CLAIMS

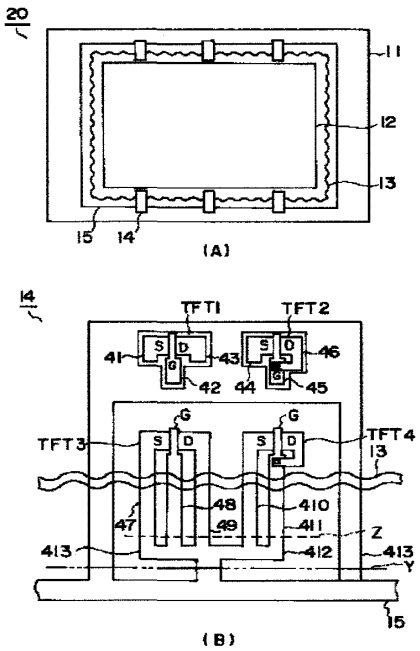
[Claim(s)]
[Claim 1]In measurement transistors only for the characteristic which conduct a characteristic inspection of a thin film transistor which constitutes a liquid crystal display panel, Measurement transistors only for the characteristic, wherein the aforementioned measurement transistors only for the characteristic comprise a thin film transistor, a source of the aforementioned thin film transistor, a drain, and each inspection terminal of a gate are surrounded with a conductive material and the aforementioned conductive material is connected to a periphery highway.
[Claim 2]In measurement transistors only for the characteristic which conduct a characteristic inspection of a thin film transistor which constitutes a liquid crystal display panel, The aforementioned measurement transistors only for the characteristic comprise a thin film transistor, and a drain extraction electrode, a gate extraction electrode, and a source extraction electrode of the aforementioned thin film transistor are electrically connected to a local highway, Measurement transistors only for the characteristic, wherein the aforementioned local highway is electrically connected to a circumference highway.
[Claim 3]Measurement transistors only for the characteristic, wherein a drain and a gate of the aforementioned thin film transistor are electrically connected in Claim 1 and measurement transistors only for the characteristic of two descriptions.
[Claim 4]In measurement transistors only for the characteristic of Claim 1, 2, and 3 description, a source, a drain, and a gate of the aforementioned thin film transistor, Measurement transistors only for the characteristic, wherein a part of drain extraction electrode of the aforementioned thin film transistor, gate extraction electrode, and source extraction electrode are provided by the seal inside which demarcates a liquid crystal of a liquid crystal display panel.
[Claim 5]A characteristic inspection method conducting a characteristic inspection of a thin film transistor based on characteristic measurement data which is the method of conducting a characteristic inspection of a thin film transistor which constitutes a liquid crystal display panel, and is obtained from measurement transistors only for said characteristic according to claim 1 to 4.
[Claim 6]A characteristic inspection method, wherein between a drain extraction electrode of the aforementioned measurement transistors only for the characteristic, a gate extraction electrode and a source extraction electrode, and the aforementioned local highways is cut in a characteristic inspection method according to claim 5 in the case of a characteristic inspection of the aforementioned thin film transistor.
[Claim 7]A liquid crystal display panel, wherein Claim 1 and measurement transistors only for the characteristic which consist of 2 are provided in a liquid crystal display panel which comprises two or more thin film transistors.

[Translation done.]

BOE Ex. 1002, p. 193
BOE v. Paneltouch
IPR2025-01482

Drawing selection Representative drawing

本発明の実施例に係るTFT-TEGパターンの構成図



[Translation done.]

BOE Ex. 1002, p. 194
BOE v. Paneltouch
IPR2025-01482

(19)日本国特許庁（ＪＰ）　(12) **公開特許公報**（Ａ）　(11)特許出願公開番号

特開平7－56192

(43)公開日　平成７年(1995) ３月３日

(51)Int.Cl.[6]		識別記号	庁内整理番号	ＦＩ	技術表示箇所
Ｇ０２Ｆ	1/136	５００	9119－2K		
	1/1343		8707－2K		
Ｈ０１Ｌ	21/66		Ｙ 7630－4M		
	29/786				
			9056－4M	Ｈ０１Ｌ 29/ 78　３１１　Ｔ	

審査請求　未請求　請求項の数７　ＯＬ　（全 ８ 頁）

(21)出願番号　特願平5－204358

(22)出願日　平成５年(1993) ８月18日

(71)出願人　000005223
富士通株式会社
神奈川県川崎市中原区上小田中1015番地
(72)発明者　真田　達行
神奈川県川崎市中原区上小田中1015番地
富士通株式会社内
(74)代理人　弁理士　岡本　啓三

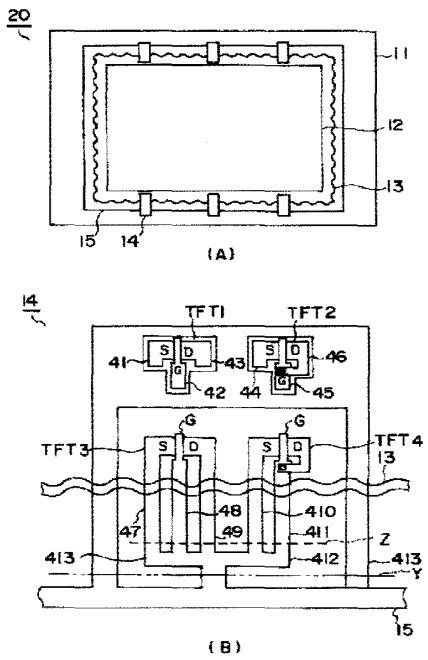
(54)【発明の名称】　特性専用測定トランジスタ，特性検査方法及び液晶表示パネル

(57)【要約】

【目的】　本発明は特性専用測定トランジスタの改善に関し、液晶表示パネルを構成する薄膜トランジスタの特性検査をするトランジスタであって、当該薄膜トランジスタ基板の作成時及び表示パネルの加工後においても、被検査対象の特性を正確に把握すること。

【構成】　特性専用測定トランジスタが薄膜トランジスタから成り、そのソース，ドレイン及びゲートの各検査端子が導電性材料により取り囲まれ、導電性材料が周辺共通線に接続される。また、そのドレイン引出し電極，ゲート引出し電極及びソース引出し電極が局部共通線に電気的に接続され、局部共通線が周囲共通線に電気的に接続される。さらに、そのドレインとゲートとが電気的に接続される。また、そのソース，ドレイン及びゲートと、各ドレイン引出し電極，ゲート引出し電極及びソース引出し電極の一部とが液晶表示パネルの液晶を画定するシール内側に設けられる。

本発明の実施例に係るＴＦＴ－ＴＥＧパターンの構成図



BOE Ex. 1002, p. 195
BOE v. Paneltouch
IPR2025-01482

【特許請求の範囲】
【請求項１】　液晶表示パネルを構成する薄膜トランジスタの特性検査をする特性専用測定トランジスタにおいて、
前記特性専用測定トランジスタが薄膜トランジスタから成り、前記薄膜トランジスタのソース，ドレイン及びゲートの各検査端子が導電性材料により取り囲まれ、前記導電性材料が周辺共通線に接続されることを特徴とする特性専用測定トランジスタ。
【請求項２】　液晶表示パネルを構成する薄膜トランジスタの特性検査をする特性専用測定トランジスタにおいて、
前記特性専用測定トランジスタが薄膜トランジスタから成り、前記薄膜トランジスタのドレイン引出し電極，ゲート引出し電極及びソース引出し電極が局部共通線に電気的に接続され、前記局部共通線が周囲共通線に電気的に接続されることを特徴とする特性専用測定トランジスタ。
【請求項３】　請求項１，２記載の特性専用測定トランジスタにおいて、前記薄膜トランジスタのドレインとゲートとが電気的に接続されることを特徴とする特性専用測定トランジスタ。
【請求項４】　請求項１，２，３記載の特性専用測定トランジスタにおいて、前記薄膜トランジスタのソース，ドレイン及びゲートと、前記薄膜トランジスタのドレイン引出し電極，ゲート引出し電極及びソース引出し電極の一部とが液晶表示パネルの液晶を画定するシール内側に設けられることを特徴とする特性専用測定トランジスタ。
【請求項５】　液晶表示パネルを構成する薄膜トランジスタの特性検査をする方法であって、前記請求項１～４記載の特性専用測定トランジスタから得られる特性測定データに基づいて薄膜トランジスタの特性検査をすることを特徴とする特性検査方法。
【請求項６】　請求項５記載の特性検査方法において、前記薄膜トランジスタの特性検査の際に、前記特性専用測定トランジスタのドレイン引出し電極，ゲート引出し電極及びソース引出し電極と前記局部共通線との間が切断されることを特徴とする特性検査方法。
【請求項７】　複数の薄膜トランジスタから成る液晶表示パネルにおいて、請求項１，２よりなる特性専用測定トランジスタが設けられることを特徴とする液晶表示パネル。
【発明の詳細な説明】
【０００１】〔目　次〕
産業上の利用分野
従来の技術（図３）
発明が解決しようとする課題
課題を解決するための手段
作用
実施例（図１，２）
発明の効果
【０００２】
【産業上の利用分野】本発明は、特性専用測定トランジスタ，特性検査方法及び液晶表示パネルに関するものであり、更に詳しく言えば、液晶表示パネルを構成する薄膜トランジスタ（以下単にＴＦＴという）の特性検査をするＴＥＧ（Test Element Group）パターン及びその検査方法の改善に関するものである。
【０００３】近年，電子機器のコンパクト化の要請から奥行きの大きいＣＲＴ（冷陰極管）装置に置き代わり奥行きの少ない液晶表示装置（以下単にＬＣＤという）が使用される。表示パネルは複数のＴＦＴと画素電極から成り、そのゲート線（走査線）とドレイン線（信号線）とがマトリクス状に配置される。これによれば、内部のＴＦＴ特性を把握するために、表示パネルにＴＥＧパターンが設けられる。しかし、ＴＥＧパターンの配置箇所や電極の取扱により、静電気及びプラズマダメージ等が受け易くなる。これにより、当該パターンのＴＦＴ特性が内部のＴＦＴの特性と異なることがある。
【０００４】そこで、ＴＦＴ基板の作成時及び表示パネルの加工後においても、内部ＴＦＴの特性を正確に把握することができるパターン及びその検査方法が望まれている。
【０００５】
【従来の技術】図３は従来例に係るＴＦＴ－ＴＥＧパターンの構成図である。図３（Ａ）はＬＣＤの平面図であり、図３（Ｂ）は外側設置型のＴＦＴ－ＴＥＧパターンの平面図であり、図３（Ｃ）は内側設置型のＴＦＴ－ＴＥＧパターンの平面図をそれぞれ示している。
【０００６】例えば、液晶表示をする液晶パネル１０は図３（Ａ）において、ガラス基板１に画像表示部２と外側設置型のＴＦＴ－ＴＥＧパターン４と具備し、画像表示部２がＴＦＴと画素電極から成る。画像表示部２には、液晶が充填され、それがシール３により画定される。当該ＴＥＧパターン４はシール３を境にして外側，すなわち、液晶の非充填部に設けられる。パターン設置の目的は、画像表示部２のＴＦＴ特性を把握するためである。例えば、内部の画素電極に直接接触せずに、当該パターンを検査することにより、ＴＦＴの良否を判定する。
【０００７】ＴＥＧパターン４は図３（Ｂ）において、画像表示部２のＴＦＴと同様なＴＦＴ構造を有し、そのソースがソース検査端子４Ａに接続され、そのゲートがゲート検査端子４Ｂに接続され、そのドレインがドレイン検査端子４Ｃにそれぞれ接続される。なお、内側設置型のＴＦＴ－ＴＥＧパターン５は図３（Ｃ）において、シール３を境にして内側，すなわち、液晶の充填部内に設けられる。ＴＥＧパターン５は画像表示部２のＴＦＴと同様なＴＦＴ構造を有し、そのソースがソース引出し

BOE Ex. 1002, p. 196
BOE v. Paneltouch
IPR2025-01482

電極５Ａに接続され、そのゲートがゲート引出し電極５Ｂに接続され、そのドレインがドレイン引出し電極５Ｃにそれぞれ接続される。なお、各電極５Ａ～５Ｃが周辺共通線６に接続される。

【０００８】

【発明が解決しようとする課題】ところで、従来例のＴＥＧパターン４によれば図３（Ａ）に示すように、ＴＦＴ部がシール３の外側に設けられる。また、ＴＥＧパターン５によれば図３（Ｃ）に示すように、ＴＦＴ部がシール３の内側に設けられ、その各引出し電極がシール３の外側で周辺共通線６に接続される。このため、次のような問題がある。

【０００９】①　ＴＦＴ－ＴＥＧパターン４では、画像表示部２のＴＦＴ基板を作成する工程で、静電気及びプラズマダメージ等が受け易い。これにより、当該パターン４のＴＦＴ特性が画像表示部２のＴＦＴの特性と異なることがある。例えば、ＴＦＴのゲート電圧対ドレイン電流（Ｖｇ－Ｉｄ）特性において、閾値電圧Ｖthのシフトにより、トランジスタ動作のＯＮ，ＯＦＦ不良を生じる恐れがある。これにより、本来のＴＥＧパターンの機能が損なわれる。

【００１０】②　また、ＴＦＴ－ＴＥＧパターン５では、ＴＦＴの各引出し電極５Ａ～５Ｃが周辺共通線６に電気的に接続されるため、ＴＦＴ基板の作成時には、静電気及びプラズマダメージ等の影響を受けない。しかし、図３（Ｃ）に示すように、二点鎖線Ｘを境にして、各引出し電極５Ａ～５Ｃと周辺共通線６とをレーザカットし、その後、ＴＦＴ特性の測定を行っている。

【００１１】このため、表示パネル１０の加工工程において、各引出し電極５Ａ～５Ｃが周辺共通線６から切り離されて個々独立した状態，すなわち、電気的フローティング状態となる。このことで、パネル取扱時の静電気に対してＴＥＧパターン５が非常に弱くなり、ＴＥＧパターン（以下特性専用測定トランジスタともいう）４と同様に、その機能が損なわれる。これにより、画像表示部２のＴＦＴ（以下被検査対象ともいう）の特性を正確に把握することが困難となる。

【００１２】本発明は、かかる従来例の問題点に鑑み創作されたものであり、薄膜トランジスタ基板の作成時及び表示パネルの加工後においても、被検査対象の特性を正確に把握することが可能となる特性専用測定トランジスタ，特性検査方法及び液晶表示パネルの提供を目的とする。

【００１３】

【課題を解決するための手段】本発明の第１の特性専用測定トランジスタは、その実施例を図１に示すように、液晶表示パネルを構成する薄膜トランジスタの特性検査をする特性専用測定トランジスタにおいて、前記特性専用測定トランジスタが薄膜トランジスタから成り、前記薄膜トランジスタのソース，ドレイン及びゲートの各検査端子が導電性材料により取り囲まれ、前記導電性材料が周辺共通線に接続されることを特徴とする。

【００１４】本発明の第２の特性専用測定トランジスタは、その実施例を図１に示すように、液晶表示パネルを構成する薄膜トランジスタの特性検査をする特性専用測定トランジスタにおいて、前記特性専用測定トランジスタが薄膜トランジスタから成り、前記薄膜トランジスタのドレイン引出し電極，ゲート引出し電極及びソース引出し電極が局部共通線に電気的に接続され、前記局部共通線が周囲共通線に電気的に接続されることを特徴とする。

【００１５】なお、本発明の第１，第２の特性専用測定トランジスタにおいて、前記薄膜トランジスタのドレインとゲートとが電気的に接続されることを特徴とする。また、本発明の第１，第２の特性専用測定トランジスタにおいて、前記薄膜トランジスタのソース，ドレイン及びゲートと、前記薄膜トランジスタのドレイン引出し電極，ゲート引出し電極及びソース引出し電極の一部とが液晶表示パネルの液晶を画定するシール内側に設けられることを特徴とする。

【００１６】本発明の特性検査方法は、液晶表示パネルを構成する薄膜トランジスタの特性検査をする方法であって、本発明の第１，第２の特性専用測定トランジスタから得られる特性測定データに基づいて薄膜トランジスタの特性検査をすることを特徴とする。なお、本発明の特性検査方法において、前記薄膜トランジスタの特性検査の際に、前記特性専用測定トランジスタのドレイン引出し電極，ゲート引出し電極及びソース引出し電極と、前記局部共通線との間が切断されることを特徴とする。

【００１７】本発明の液晶表示パネルは、複数の薄膜トランジスタから成る液晶表示パネルにおいて、請求項１，２よりなる特性専用測定トランジスタが設けられることを特徴とし、上記目的を達成する。

【００１８】

【作　用】本発明の第１の特性専用測定トランジスタによれば、その実施例を図１に示すように、当該特性専用測定トランジスタがシール内側に設けられ、そのソース，ドレイン及びゲートの各検査端子が導電性材料により取り囲まれる。このため、当該液晶表示パネル内部の薄膜トランジスタの作成時，すなわち、液晶封じ工程前において、周辺共通線に接続された導電性材料により、静電気及びプラズマダメージ等から特性専用測定トランジスタを保護することが可能となる。

【００１９】本発明の第２の特性専用測定トランジスタによれば、その実施例を図１に示すように、当該特性専用測定トランジスタの本体部及びその各引出し電極の一部がシール内側に設けられる。また、各引出し電極が、周囲共通線に接続された局部共通線に電気的に接続される。このため、液晶表示パネルの加工時，すなわち、液晶封じ工程後において、周囲共通線及び局部共通線によ

BOE Ex. 1002, p. 197
BOE v. Paneltouch
IPR2025-01482

り、静電気及びプラズマダメージ等から第２の特性専用測定トランジスタを保護することが可能となる。

【００２０】これにより、特性専用測定トランジスタの本来の機能が維持され、液晶封じ前の内部薄膜トランジスタの特性を正確に把握することが可能となる。本発明の特性検査方法によれば、第１，第２の特性専用測定トランジスタから得られる特性測定データに基づいて薄膜トランジスタが特性検査される。例えば、ドレインとゲートとが電気的に接続された特性専用測定トランジスタから特性測定データが得られる。このため、当該特性測定データから薄膜トランジスタの特性を記述するパラメータを容易に抽出することが可能となる。

【００２１】また、本発明の特性検査方法によれば、内部薄膜トランジスタの特性検査の際に、特性専用測定トランジスタの各引出し電極と、局部共通線との間が切断される。このため、温度，湿度，衝撃等の環境試験により、当該液晶表示パネルが劣化した場合等に、電気的に切り離された各引出し電極から特性専用測定トランジスタの特性測定データを得ることができる。

【００２２】本発明の液晶表示パネルによれば、本発明の第１，第２の特性専用測定トランジスタが設けられる。このため、液晶表示パネルを構成する複数の薄膜トランジスタの特性を第１，第２の特性専用測定トランジスタから正確に把握することができる。

【００２３】

【実施例】次に、図を参照しながら本発明の実施例について説明をする。図１，２は、本発明の実施例に係るＴＦＴ－ＴＥＧパターン及びＴＦＴ基板の特性検査方法を説明する図である。図１（Ａ）は、本発明の実施例に係るＴＦＴ基板の平面図であり、図１（Ｂ）は、そのＴＦＴ－ＴＥＧパターンの平面図をそれぞれ示している。

【００２４】例えば、逆スタガ型の薄膜トランジスタ（以下ＴＦＴという）を内蔵する液晶表示パネルの場合について説明をする。当該表示パネル２０は図１（Ａ）に示すように、ガラス基板１１に画像表示部１２とＴＦＴ－ＴＥＧパターン１４と具備し、画像表示部１２が内部ＴＦＴと画素電極から成る。画像表示部１２には、液晶が充填され、それがシール１３により画定される。

【００２５】ＴＦＴ－ＴＥＧパターン１４は特性専用測定トランジスタの一例であり、液晶表示パネル２０のＴＦＴの特性検査をするパターンである。当該ＴＥＧパターン１４はシール１３を境にして内側，すなわち、液晶の充填部内に設けられる。パターン設置の目的は、画像表示部１２のＴＦＴ特性を把握するためである。すなわち、当該パターンを検査することにより、内部の画素電極に直接接触せずに、そのＴＦＴの良否を判定することができる。

【００２６】図１（Ｂ）において、ＴＥＧパターン１４は４つのダミー薄膜トランジスタ（以下単にＴＦＴ１～ＴＦＴ４という）から成り、ＴＦＴ１，ＴＦＴ２は第１の特性専用測定トランジスタの一例である。ＴＦＴ３，ＴＦＴ４は第２の特性専用測定トランジスタの一例であり、いずれも画像表示部１２のＴＦＴと同様な構造を有する。その構造については、図２（Ａ）において詳述する。

【００２７】ＴＦＴ１のソースはソース検査端子４１に接続され、そのゲートがゲート検査端子４２に接続され、そのドレインがドレイン検査端子４３にそれぞれ接続される。ＴＦＴ２のソースはソース検査端子４４に接続され、そのゲートがゲート検査端子４５に接続され、そのドレインがドレイン検査端子４６にそれぞれ接続される。ＴＦＴ２のゲートはドレインに接続される。

【００２８】なお、ＴＦＴ１，ソース検査端子４１，ゲート検査端子４２及びドレイン検査端子４３やＴＦＴ２，ソース検査端子４４，ゲート検査端子４５及びドレイン検査端子４６がガードリング413 に取り囲まれる。ガードリング413 は導電性材料の一例であり、それが周辺短絡線１５に接続される。周辺短絡線１５は周辺共通線の一例であり、液晶が封じ込まれた画像表示部１２の外側領域に配置される。

【００２９】ＴＦＴ３のソースはソース引出し電極４７に接続され、そのゲートがゲート引出し電極４８に接続され、そのドレインがドレイン引出し電極４９にそれぞれ接続される。ＴＦＴ３のソースはソース引出し電極410 に接続され、そのゲートがゲート・ドレイン共通引出し電極411 にそれぞれ接続される。なお、ＴＦＴ４のゲートとドレインとが接続され、５本の引出し電極４７～411 の一部は液晶を画定するシール１３の外側領域に引き出される。

【００３０】また、ＴＦＴ３のソース引出し電極４７，ゲート引出し電極４８及びソース引出し電極４９及びＴＦＴ４のソース引出し電極410 ，共通引出し電極411 が、シール１３の外側領域において、ローカル短絡線412 に電気的に接続される。ローカル短絡線412 は局部共通線の一例であり、周辺短絡線１５に電気的に接続される。

【００３１】次に、ＴＦＴ１～ＴＦＴ４の形成方法を説明する。なお、ＴＦＴ１～ＴＦＴ４は内部のＴＦＴと同工程により形成される。その構造を図２（Ａ）に示すように、まず、ガラス基板11Ａ上に、ゲートを形成する。ゲートは，例えば、膜厚８０〔ｎｍ〕程度のＡｌ，又はＴｉを順次積層し、それをパターニングする。次に、ゲートの誘電体膜11Ｂ，ａ－Ｓｉ層11Ｃ及びチャネル保護層11Ｄを連続して形成する。誘電体膜11Ｂには、例えば、膜厚400 〔ｎｍ〕程度のＳｉＮ膜を用いる。次いで、保護層11Ｄには、例えば、膜厚400 〔ｎｍ〕程度のＳｉＮ膜を用いる。ａ－Ｓｉ層11Ｃは動作活性層となる。

【００３２】次に、ゲート上にのみにチャネル保護層11Ｄを残す。次いで、ＴＦＴのドレイン，ソース領域を形

BOE Ex. 1002, p. 198
BOE v. Paneltouch
IPR2025-01482

成する。この領域には、例えば、膜厚５０〔ｎｍ〕程度のｎ＋ ａ－Ｓｉ層11Ｅと膜厚120 〔ｎｍ〕程度のＴｉ層とを堆積する。その後、ａ－Ｓｉ層11Ｃまでエッチングする。この際に、ＴＦＴ１，ＴＦＴ２の各検査端子４１～４６やＴＦＴ３，ＴＦＴ４の各引出し電極４７～411及び、ローカル短絡線412，ガードリング413 及び周辺短絡線１５を同時に形成する。次いで、保護膜11Ｆを形成する。保護膜11Ｆは、例えば、膜厚300 〔ｎｍ〕程度のＳｉＮ膜を用いる。

【００３３】さらに、ＴＦＴ１，ＴＦＴ２の各検査端子４１～４６やＴＦＴ３，ＴＦＴ４の各引出し電極４７～411 にコンタクトホールを形成する。その後、膜厚７０〔ｎｍ〕程度のＩＴＯ膜11Ｇを形成する。ＩＴＯ膜11Ｇは内部のＴＦＴにおいて画素電極を構成する。これにより、ＴＦＴ１～ＴＦＴ４や内部のＴＦＴが同時に形成される。なお、ＴＦＴ１～ＴＦＴ４の素子長やゲート幅は、内部のＴＦＴの寸法と同一が望ましい。しかし、それらを場合によって変更しても良い。また、液晶封じ後は、図１（Ｂ）において、二点鎖線Ｙの部分でガラス基板１１がカットされ、それがパネル組み立て工程に移行される。

【００３４】このようにして、本発明の実施例に係るＴＦＴ－ＴＥＧパターンによれば、図１に示すように、ＴＦＴ１～ＴＦＴ４がシール１３の内側に設けられ、ＴＦＴ１，ＴＦＴ２の各検査端子４１～４６がガードリング413 により取り囲まれる。このため、当該液晶表示パネル２０の内部ＴＦＴの作成時，すなわち、液晶封じ工程前において、周辺短絡線１５に接続されたガードリング413 により、静電気及びプラズマダメージ等からＴＦＴ１，ＴＦＴ２を保護することが可能となる。

【００３５】これにより、ＴＦＴ１，ＴＦＴ２の本来の

$$Id_{SAT} = CW\mu (Vg - Vth)^2 / 2L, \quad (Vd \geqq Vg) \cdots\cdots (1)$$

で示される。

【００３８】ここで、Ｃは単位面積当たりの電気容量，μは移動度、Ｗは素子長，Ｌは素子幅，Ｖｇはゲート電圧，Ｖthは閾値電圧である。（１）式において、両辺の平方根をとると、（２）式，すなわち、

$$Id_{SAT}{}^{1/2} = (CW\mu / 2L)^{1/2} (Vg - Vth) \cdots\cdots (2)$$

となる。（２）式を横軸Ｖｇ，縦軸$Id_{SAT}{}^{1/2}$をプロットすると、図２に示すような$\sqrt{Id}$－Ｖｇ特性が得られる。この特性において、傾きが移動度μ，横軸切片から閾値Ｖthが求まる。これに測定電流Ｉｄの一点を指定すれば、ＴＦＴ特性を記述することができる。これらのＴＦＴ特性抽出データを用いるとＴＦＴ特性の管理をすることが可能となる。

【００３９】また、液晶封じ後の内部ＴＦＴの特性検査，例えば、それをパネル化して環境試験検査をし、その後のＴＦＴ特性評価をする場合には、図１（Ｂ）において、破線Ｚの部分でＴＦＴ３，ＴＦＴ４の各引出し電極をレーザカットする。これにより、ＴＦＴ３のソース引出し電極４７，ゲート引出し電極４８及びソース引出し電極４９と、ＴＦＴ４のソース引出し電極410 ，共通機能，すなわち、内部の画素電極に直接接触せずに、当該ＴＦＴ１，ＴＦＴ２を検査することにより、内部トランジスタの良否を判定するという機能が維持される。このことで、液晶封じ前の内部ＴＦＴの特性を正確に把握することが可能となる。また、図１に示すように、当該ＴＦＴ３，ＴＦＴ４の本体部がシール１３の内側に設けられ、その各引出し電極４７～411 の一部がシール１３の外側領域に設けられる。また、各引出し電極４７～411 が、周辺短絡線１５に接続されたローカル短絡線412に電気的に接続される。

【００３６】このため、液晶表示パネルの加工時，すなわち、液晶封じ工程後において、周辺短絡線１５及びローカル短絡線412 により、静電気及びプラズマダメージ等からＴＦＴ３，ＴＦＴ４を保護することが可能となる。これにより、ＴＦＴ１，ＴＦＴ２と同様に、本来の機能が維持され、液晶封じ後の内部ＴＦＴの特性を正確に把握することが可能となる。また、このような構造を採ることにより、外部条件に左右されないＴＦＴ１～ＴＦＴ４を製造することが可能となる。

【００３７】次に、本発明の実施例に係る液晶表示パネルの特性検査方法について、当該ＴＦＴ－ＴＥＧパターンを補足しながら説明をする。例えば、液晶封じ前の内部ＴＦＴの特性を検査する場合には、ＴＥＧパターン１４のＴＦＴ１やＴＦＴ２を検査する。例えば、ドレインとゲートとが短絡されたＴＦＴ２から特性測定データが得られる。なお、ＴＦＴ２はゲート電圧Ｖｇとドレイン電圧Ｖｄとが同電位となることから、ダイオード特性を示す。例えば、図２に示すようなＴＦＴの電流$\sqrt{Id}$－電圧Ｖｇ特性が得られる。この際のＴＦＴ特性の抽出は以下のように行う。ここで、ＴＦＴの飽和電流Id_{SAT}は（１）式，すなわち、

引出し電極411 が、ローカル短絡線412 から分離される。

【００４０】その後、先のＴＦＴ１，ＴＦＴ２の場合と同様に特性測定データに基づいて内部ＴＦＴの特性検査をする。例えば、ＴＦＴ４の$\sqrt{Id}$－Ｖｇ特性において、閾値電圧Ｖthが同等な特性を示すことから、内部ＴＦＴのＯＮ，ＯＦＦ動作を検査することができる。このようにして、本発明の実施例に係る液晶表示パネルの特性検査方法によれば、ＴＦＴ１～ＴＦＴ４から得られる特性測定データに基づいて内部ＴＦＴが特性検査される。

【００４１】このため、当該特性測定データから内部ＴＦＴの特性を記述するパラメータを容易に抽出することが可能となり、ＴＦＴ特性抽出データから内部ＴＦＴ特性の管理をすることが可能となる。また、本発明によれ

BOE Ex. 1002, p. 199
BOE v. Paneltouch
IPR2025-01482

ば、内部ＴＦＴの特性検査の際に、ＴＦＴ３のソース引出し電極４７，ゲート引出し電極４８及びソース引出し電極４９と、ＴＦＴ４のソース引出し電極410，共通引出し電極411と、ローカル短絡線412との間が切断される。

【００４２】このため、温度，湿度，衝撃等の環境試験により、当該液晶表示パネルが劣化した場合等に、電気的に切り離された各引出し電極４７～411からＴＦＴ３，ＴＦＴ４の特性測定データを得ることができる。これにより、液晶表示パネル２０を分解することなく、内部ＴＦＴの特性検査をすることが可能となる。

【００４３】なお、本発明の実施例では、１組のＴＦＴ－ＴＥＧパターン１４の場合について説明したが、ＴＦＴ特性の分布等を把握する場合には、複数組のパターン１４を設けると良い。また、本発明の実施例では逆スタガ型のＴＦＴの場合について説明をしたが、これに限らず、正スタガ型のＴＦＴやＭＩＭ（Metal Insulator Metal）型等の素子構造においても、本発明と同様な効果が得られる。

【００４４】

【発明の効果】以上説明したように、本発明の特性専用測定トランジスタによれば、当該トランジスタのソース，ドレイン及びゲートの各検査端子が導電性材料により取り囲まれる。このため、液晶封じ工程前において、周辺共通線に接続された導電性材料により、静電気及びプラズマダメージ等から当該トランジスタを保護することが可能となる。

【００４５】また、本発明の他の特性専用測定トランジスタによれば、その各引出し電極が、周囲共通線に接続された局部共通線に電気的に接続される。このため、液晶封じ工程後において、周囲共通線及び局部共通線により、静電気及びプラズマダメージ等から他の特性専用測定トランジスタを保護することが可能となる。

【００４６】本発明の特性検査方法によれば、特性専用測定トランジスタの特性測定データに基づいて内部の薄膜トランジスタの特性を記述するパラメータが抽出される。このため、液晶封じ前の内部薄膜トランジスタの良否判定を正確に行うことができる。また、本発明の特性検査方法によれば、液晶封じ後の特性検査の際に、特性専用測定トランジスタの各引出し電極と、局部共通線との間が切断される。このため、ＬＣＤパネルを分解することなく、電気的に切り離された各引出し電極から、当該パネルの劣化原因を探索する特性測定データを得ることができる。

【００４７】これにより、液晶封じ前後の内部薄膜トランジスタの特性を正確に把握することが可能となる。また、高信頼度の特性専用測定トランジスタの提供に寄与するところが大きい。

【図面の簡単な説明】

【図１】本発明の実施例に係るＴＦＴ－ＴＥＧパターンの構成図である。

【図２】本発明の実施例に係るＴＦＴ－ＴＥＧパターンの補足説明図である。

【図３】従来例に係るＴＦＴ－ＴＥＧパターンの構成図である。

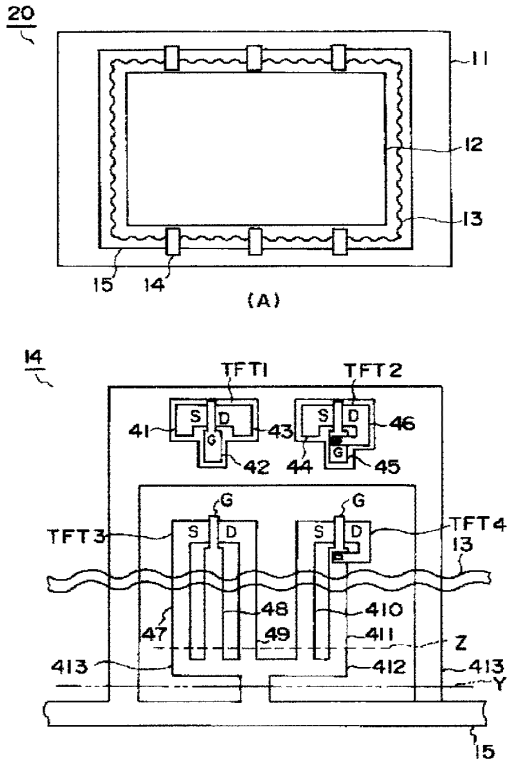
【符号の説明】

１１…ガラス基板、
１２…画像表示部、
１３…シール、
１４…ＴＦＴ－ＴＥＧパターン（特性専用測定トランジスタ）、
１５…周辺短絡線（周辺共通線）、
ＴＦＴ１～ＴＦＴ４…ダミー薄膜トランジスタ（第１，第２の特性専用測定トランジスタ）、
４１，４４…ソース検査端子、
４２，４５…ゲート検査端子、
４３，４６…ドレイン検査端子、
４７，410…ソース引出し電極、
４８…ゲート引出し電極、
４９…ドレイン引出し電極、
411…ゲート・ドレイン共通引出し電極、
412…ローカル短絡線（局部共通線）、
413…ガードリング413（導電性材料）。

BOE Ex. 1002, p. 200
BOE v. Paneltouch
IPR2025-01482

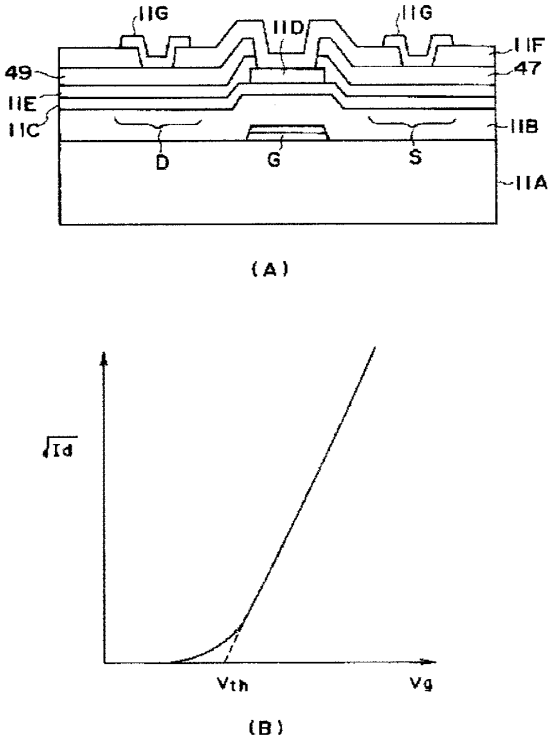
【図１】

本発明の実施例に係るＴＦＴ－ＴＥＧパターンの構成図



【図２】

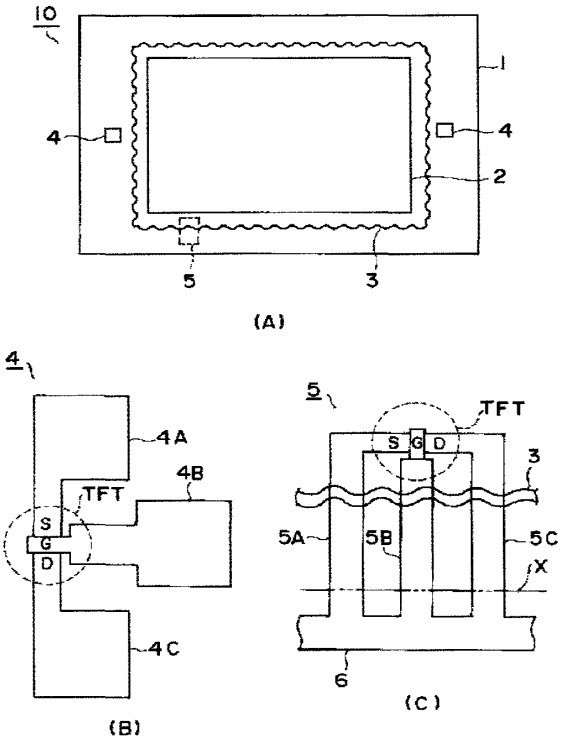
本発明の実施例に係るＴＦＴ－ＴＥＧパターンの補足説明図



BOE Ex. 1002, p. 201
BOE v. Paneltouch
IPR2025-01482

【図３】

従来例に係るＴＦＴ－ＴＥＧパターンの構成図



BOE Ex. 1002, p. 202
BOE v. Paneltouch
IPR2025-01482

Electronic Acknowledgement Receipt

EFS ID:	15284170
Application Number:	13151362
International Application Number:	
Confirmation Number:	4779
Title of Invention:	DISPLAY DEVICE
First Named Inventor/Applicant Name:	Kouichi ANNO
Customer Number:	20457
Filer:	Melvin Kraus/joy aiken
Filer Authorized By:	Melvin Kraus
Attorney Docket Number:	520.51700X00
Receipt Date:	18-MAR-2013
Filing Date:	02-JUN-2011
Time Stamp:	15:11:03
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Transmittal Letter	ids.pdf	100833 86be690abfd4a61918fe1f5967fb9ab2ab044b7b	no	2

Warnings:	
Information:	

2	Information Disclosure Statement (IDS) Form (SB08)	sb08.pdf	204274 2bebe5d1d7ae47f2548f5dc537ae21206db9cd7e	no	1
Warnings:					
Information:					
This is not an USPTO supplied IDS fillable form					
3	Foreign Reference	ref1.pdf	962109 7086a1fdd11b343dc4696b035912481276dc5098	no	9
Warnings:					
Information:					
4	Foreign Reference	ref2.pdf	3233513 3ad2f3c6723f6ecc6b9d89ad8bd4dca35921c421	no	18
Warnings:					
Information:					
			Total Files Size (in bytes):	4500729	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: ANNO, et al.

Serial No.: 13/151,362

Filed: 6/2/2011

Title: DISPLAY DEVICE

Art Unit: 2883

Conf. No.: 4779

INFORMATION DISCLOSURE STATEMENT UNDER 37 CFR 1.97 & 1.98

Mail Stop: DD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

March 18, 2013

Sir:

In the matter of the above-identified application, applicants are submitting herewith a copy and listing of the non-US documents as listed on the attached form equivalent to Form(s) PTO/SB/08A and/or PTO/SB/08B for the Examiner's consideration.

This information disclosure statement is being submitted before the mailing date of a first office action on the merits.

To the extent that the documents listed on the attached form equivalent to Form(s) PTO/SB/08A and/or PTO/SB/08B are not in the English language, the requirement of 37 CFR 1.98(a)(3) for a concise explanation of the relevance is satisfied by an English language version abstract or English language translation of the foreign patent documents.

It is respectfully requested that this information disclosure statement be considered by the Examiner.

Please charge any shortage in the fees due in connection with the filing of this

BOE Ex. 1002, p. 205
BOE v. Paneltouch
IPR2025-01482

paper, including excess claim fees, to Deposit Account No. 01-2135 (520.51700X00), and please credit any excess fees to such deposit account.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

/Melvin Kraus/ MK
Melvin Kraus
Registration No. 22,466

MK/jla
1300 North Seventeenth Street
Suite 1800
Arlington, VA 22209
Telephone: (703) 312-6600
Fax: (703) 312-6666

BOE Ex. 1002, p. 206
BOE v. Paneltouch
IPR2025-01482

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
13/151,362	06/02/2011	Kouichi ANNO	520.51700X00	4779

20457 7590 05/30/2013

ANTONELLI, TERRY, STOUT & KRAUS, LLP
1300 NORTH SEVENTEENTH STREET
SUITE 1800
ARLINGTON, VA 22209-3873

EXAMINER	
LEE JR, KENNETH B	
ART UNIT	PAPER NUMBER
2697	

MAIL DATE	DELIVERY MODE
05/30/2013	PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

BOE Ex. 1002, p. 207
BOE v. Paneltouch
IPR2025-01482

Office Action Summary	Application No. 13/151,362	Applicant(s) ANNO ET AL.	
	Examiner KENNETH B. LEE JR	Art Unit 2697	AIA (First Inventor to File) Status No

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☒ Responsive to communication(s) filed on *2 June 2011*.

☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.

2a)☐ This action is **FINAL**. 2b)☒ This action is non-final.

3)☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

4)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

5)☒ Claim(s) *1-12* is/are pending in the application.

5a) Of the above claim(s) _____ is/are withdrawn from consideration.

6)☐ Claim(s) _____ is/are allowed.

7)☒ Claim(s) *1-12* is/are rejected.

8)☐ Claim(s) _____ is/are objected to.

9)☐ Claim(s) _____ are subject to restriction and/or election requirement.

* If any claims have been determined allowable, you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to PPHfeedback@uspto.gov.

Application Papers

10)☐ The specification is objected to by the Examiner.

11)☒ The drawing(s) filed on *02 June 2011* is/are: a)☒ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

Priority under 35 U.S.C. § 119

12)☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

Certified copies:

a)☒ All b)☐ Some * c)☐ None of the:

1.☒ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Interim copies:

a)☐ All b)☐ Some c)☐ None of the: Interim copies of the priority documents have been received.

Attachment(s)

1) ☒ Notice of References Cited (PTO-892)

2) ☒ Information Disclosure Statement(s) (PTO/SB/08) Paper No(s)/Mail Date _____.

3) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date. _____ .

4) ☐ Other: _____.

BOE Ex. 1002, p. 208
BOE v. Paneltouch
IPR2025-01482

DETAILED ACTION

Claim Rejections - 35 USC § 103

1. The following is a quotation of 35 U.S.C. 103(a) which forms the basis for all obviousness rejections set forth in this Office action:

> (a) A patent may not be obtained though the invention is not identically disclosed or described as set forth in section 102 of this title, if the differences between the subject matter sought to be patented and the prior art are such that the subject matter as a whole would have been obvious at the time the invention was made to a person having ordinary skill in the art to which said subject matter pertains. Patentability shall not be negatived by the manner in which the invention was made.

2. Claims 1-12 are rejected under 35 U.S.C. 103(a) as being unpatentable over Hirayama et al. (hereinafter “Hirayama”), US Patent No. 7,034,442, in view of Sato et al. (hereinafter "Sato"), US Patent No. 7,167,154 and further in view of Chazan et al. (hereinafter “Chazan”), US Patent No. 6,262,579.

Regarding claim 1, Hirayama teaches a display device (electro-optical device 1; fig. 2) comprising: a coordinate input device including a transparent substrate having detection electrodes disposed in a detection region corresponding to a contact position (pixel region 12; fig. 2), the transparent substrate having a first signal interconnect disposed in a region outside the detection region (interconnects 30, 32, 34, 44, 46 and 48; fig. 2), the first signal interconnect having one end connected to the detection electrodes and being formed with a first electrode terminal at the other end thereof (fig. 7 and accompanying text), and a flexible interconnect substrate connected to the first electrode terminal (interconnect substrate 2; fig.1), the flexible interconnect substrate used for supplying a driving signal to the detection electrodes by way of the first signal interconnect and extracting a detection signal from the detection electrodes (col. 9, lines 39-62); and a display panel for image display based on a video signal from an external

system (display region 12; figs. 1, 2, 13 and 14); wherein the coordinate inputting device has a second interconnect disposed outside the first signal interconnect but near the peripheral edge of the transparent substrate (side interconnect 22; fig. 2).

Hirayama fails to teach wherein the second signal interconnect surrounds the area where the detection region is included and the first signal interconnect is formed.

However, in the same field of endeavor, Sato teaches an inspection circuit (see fig. 3, element CC) and an inspection terminal (see fig. 3, element CPAD) mounted on a substrate that surrounds a detection area.

Therefore, it would have been obvious to one of ordinary skill in the art at the time of the invention to combine the teachings of Sato with the teachings of Hirayama to provide a display device requiring the least number of manufacturing processes (col. 4, lines 13-15).

Hirayama and Sato fail to teach the second signal interconnect being opened at opposite ends thereof and being connected to respective electrode terminals for inspection at the open ends, and wherein the second signal interconnect is formed of a thin conductive film disposed along the peripheral edge portion of the transparent substrate.

However, in the same field of endeavor, Chazan teaches a method and structure for detecting open vias in interconnect substrates wherein the interconnects are connected to terminals for inspection (see fig. 3 and accompanying text; elements 130 and 170).

Therefore, it would have been obvious to one of ordinary skill in the art at the time of the invention to combine the teachings of Chazan with the teachings of Hirayama and Sato to provide a device and testing methods that is more accurate and less time consuming (col. 4, lines 50-52).

Regarding claim 2, Chazan teaches wherein the second signal interconnect has a colored thin film layer or a thin film layer having a transmittance at a predetermined level or less (col. 8, lines 43-63).

Regarding claim 3, Chazan teaches wherein the second signal interconnect has a thin metal film layer (fig. 2; col. 6, lines 38-56).

Regarding claim 4, Chazan teaches wherein the second signal interconnect is formed of two or more conductive thin films (fig. 2 and accompanying text).

Regarding claim 5, Chazan teaches wherein the second signal interconnect has one end connected to an identical electrode terminal for inspection and the other end connected to different electrode terminals for inspection (interconnects terminating at contact pads; figs. 5a-5b).

Regarding claim 6, Hirayama teaches wherein the flexible interconnect substrate has a third electrode terminal connected to the second signal interconnect at a position different from that of the region for forming the second electrode terminal connected with an external system (figs. 1 and 2, elements 2 and 3).

Regarding claim 7, it has similar limitations to those of claim 1 and is rejected on the same grounds presented above.

Regarding claims 8-12, they have similar limitations to those of claims 2-6 and are rejected on the same grounds.

Conclusion

Any inquiry concerning this communication or earlier communications from the examiner should be directed to KENNETH B. LEE JR whose telephone number is (571)270-3147. The examiner can normally be reached on Mon. - Fri. 7:30AM - 4:00 PM EST.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Alexander Eisen can be reached on 571-272-7687. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/KEVIN M NGUYEN/
Primary Examiner, Art Unit 2697

/KENNETH B LEE JR/
Examiner, Art Unit 2697

Notice of References Cited	Application/Control No. 13/151,362	Applicant(s)/Patent Under Reexamination ANNO ET AL.	
	Examiner KENNETH B. LEE JR	Art Unit 2697	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A	US-7,034,442	04-2006	Hirayama et al.	313/51
*	B	US-6,262,579	07-2001	Chazan et al.	324/537
*	C	US-7,167,154	01-2007	Sato et al.	345/100
	D	US-			
	E	US-			
	F	US-			
	G	US-			
	H	US-			
	I	US-			
	J	US-			
	K	US-			
	L	US-			
	M	US-			

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

BOE Ex. 1002, p. 213
BOE v. Paneltouch
IPR2025-01482

Index of Claims	Application/Control No.	Applicant(s)/Patent Under Reexamination
	13151362	ANNO ET AL.
	Examiner	**Art Unit**
	KENNETH B LEE JR	2697

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

CLAIM		DATE								
Final	Original	05/23/2013								
	1	✓								
	2	✓								
	3	✓								
	4	✓								
	5	✓								
	6	✓								
	7	✓								
	8	✓								
	9	✓								
	10	✓								
	11	✓								
	12	✓								

BOE Ex. 1002, p. 214
BOE v. Paneltouch
IPR2025-01482

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	13151362	ANNO ET AL.
	Examiner	Art Unit
	KENNETH B LEE JR	2697

CPC- SEARCHED		
Symbol	Date	Examiner

CPC COMBINATION SETS - SEARCHED		
Symbol	Date	Examiner

US CLASSIFICATION SEARCHED			
Class	Subclass	Date	Examiner
345	156,204	5/2013	KBL
EAST	keyword search	5/2013	KBL

SEARCH NOTES		
Search Notes	Date	Examiner
USPGPUB;USPAT;USOCR;EPO;JPO	5/2013	KBL

INTERFERENCE SEARCH			
US Class/ CPC Symbol	US Subclass / CPC Group	Date	Examiner

BOE Ex. 1002, p. 215
BOE v. Paneltouch
IPR2025-01482

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /KBL/

PTO/SB/08A (08-03)
Approved for use through 07/31/2006. OMB 0651-0031
U.S. Patent and Trademark Office: U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	**To be assigned** 13/151,362
Filing Date	**June 2, 2011**
First Named Inventor	**Kouichi ANNO**
Art Unit	2697
Examiner Name	/Kenneth B Lee Jr/
Attorney Docket Number	**520.51700X00**

U.S. PATENT DOCUMENTS

Examiner Initials'	Cite No.[1]	Document Number Number-Kind Code[2] *(if known)*		Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				

FOREIGN PATENT DOCUMENTS

Examiner Initials'	Cite No.[1]	Foreign Patent Document Country Code[3]–Number[4]–Kind Code[5] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T[6]
		JP 2002-350896	12/04/2002	Advanced Display Inc		Eng/tr
		JP 09-080478	03/28/1997	Sharp Corp		Eng/tr
		JP 07-152043	06/16/1995	Fujitsu Ltd		Eng/tr

Examiner Signature	/Kenneth B Lee Jr/	Date Considered	05/21/2013

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. 1 Applicant's unique citation designation number (optional). 2 See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. 3 Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4 For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5 Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. 6 Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 4779

SERIAL NUMBER	FILING or 371(c) DATE RULE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
13/151,362	06/02/2011	345	2697	520.51700X00

APPLICANTS

Kouichi ANNO, Mobara, JAPAN;
Takumi Sato, Mobara, JAPAN;
Masahiro Teramoto, Mobara, JAPAN;

**** CONTINUING DATA ***************************

**** FOREIGN APPLICATIONS ***************************

JAPAN JP 2010-126877 06/02/2010

**** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ****

06/14/2011

Foreign Priority claimed ☑ Yes ☐ No 35 USC 119(a-d) conditions met ☑ Yes ☐ No Verified and Acknowledged /KENNETH B LEE JR/ Examiner's Signature	☐ Met after Allowance KBL Initials	STATE OR COUNTRY	SHEETS DRAWINGS	TOTAL CLAIMS	INDEPENDENT CLAIMS
		JAPAN	8	12	2

ADDRESS

ANTONELLI, TERRY, STOUT & KRAUS, LLP
1300 NORTH SEVENTEENTH STREET
SUITE 1800
ARLINGTON, VA 22209-3873
UNITED STATES

TITLE

DISPLAY DEVICE

FILING FEE RECEIVED	FEES: Authority has been given in Paper	☐ All Fees
1220	No._____ to charge/credit DEPOSIT ACCOUNT	☐ 1.16 Fees (Filing)
	No._____ for following:	☐ 1.17 Fees (Processing Ext. of time)
		☐ 1.18 Fees (Issue)
		☐ Other _____
		☐ Credit

BOE Ex. 1002, p. 217
BOE v. Paneltouch
IPR2025-01482

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /KBL/

Substitute for form 1449A/PTO				Complete if Known	
INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Application Number	13/151,362
				Filing Date	6/2/2011
				First Named Inventor	Kouichi ANNO
				Art Unit	2883 2697
(use as many sheets as necessary)				Examiner Name	/Kenneth B Lee Jr/
Sheet	1	of	1	Attorney Docket Number	520.51700X00

U.S. PATENT DOCUMENTS

Examiner Initials'	Cite No.[1]	Document Number Number-Kind Code[2] (if known)		Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				

FOREIGN PATENT DOCUMENTS

Examiner Initials'	Cite No.[1]	Foreign Patent Document Country Code[3]–Number[4]–Kind Code[5] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T[6]
		KR 10-2008-0055248	6/19/2008	Samsung Electronics Co Ltd		Ab
		JP 07-056192	3/3/1995	Fujitsu Ltd		T

Examiner Signature	/Kenneth B Lee Jr/	Date Considered	05/21/2013

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. 1 Applicant's unique citation designation number (optional). 2 See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. 3 Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4 For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5 Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. 6 Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
S1	1	("20120139829").PN.	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/05/22 09:39
S2	15932	(345/156,204).CCLS.	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/05/22 10:05
S3	2	S2 and (interconnect adj2 defect)	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/05/22 11:37
S4	104	(interconnect adj2 defect)	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/05/22 11:38
S5	15	S4 and (visual adj2 inspection)	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/05/22 11:38
S6	12	S2 and (signal adj2 interconnect)	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/05/22 11:47
S7	1	S6 and (inspection)	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/05/22 11:47
S8	3632	(signal adj2 interconnect)	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/05/22 11:47
S9	181	S8 and (inspection)	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/05/22 11:48
S10	16	S9 and (liquid adj2 crystal)	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/05/22 11:48
S11	15932	(345/156,204).CCLS.	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/05/22 20:55
S12	14	(signal adj2 interconnect) same (inspection)	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/05/22 20:58
S13	35	S11 and (detect$3 same (short$1circuit))	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/05/22 21:03
S14	23	S13 and (liquid adj2 crystal)	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/05/22 21:04
S15	3632	(signal adj2 interconnect)	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/05/22 21:12
S16	3	S15 and (test same (chipping cracking))	US-PGPUB; USPAT; USOCR;	OR	OFF	2013/05/22 21:12

BOE Ex. 1002, p. 219
BOE v. Paneltouch
IPR2025-01482

			EPO; JPO			
S17	0	S11 and (pixel$1 same terminal$1 same inspection same (chipping cracking))	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/05/22 21:48
S18	0	(pixel$1 same terminal$1 same inspection same (chipping cracking))	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/05/22 21:49
S19	0	(pixel$1 same terminal$1 same inspect$3 same (chipping cracking))	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/05/22 21:50
S20	21	(detect$3 same terminal$1 same inspect$3 same (chipping cracking))	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/05/22 21:50
S21	1	S20 and (liquid adj2 crystal)	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/05/22 21:50
S22	0	S11 and (pixel adj2 region) same (terminal adj2 region)	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/05/22 23:00
S23	4	S11 and (pixel adj2 region) same (flexible adj2 printed)	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/05/22 23:01
S24	2	S11 and (pixel adj2 region) same (inspection)	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/05/22 23:04
S25	0	S11 and (inspection adj2 wiring) same (peripheral)	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/05/22 23:12
S26	14	S11 and (liquid adj2 crystal adj2 device) and (inspection adj2 (signal wiring terminal))	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/05/22 23:12

EAST Search History (Interference)

<This search history is empty>

5/23/2013 2:14:39 PM
C:\Users\klee1\Documents\EAST\Workspaces\13151362.wsp

BOE Ex. 1002, p. 220
BOE v. Paneltouch
IPR2025-01482

520.51700X00

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: ANNO et al

Serial No.: 13/151,362

Filed: June 2, 2011

For: Display Device

Art Unit: 2697

Examiner: K. Lee, Jr.

Conf. No.: 4779

AMENDMENT

Mail Stop: Amendment
Commissioner For Patents
P.O. Box 1450
Alexandria, VA 22313-1450

August 26, 2013

Sir:

The following amendments and remarks are respectfully submitted in connection with the above-identified application, in response to the Office Action dated May 30, 2013. The amendments are as listed below.

Amendments to the Specification;

Amendments to the Claims;

Amendments to the Drawings Describing Changes;

Amendments to the Abstract;

Remarks are included following the amendments; and

An Appendix including drawing figures is attached following the Remarks.

BOE Ex. 1002, p. 221
BOE v. Paneltouch
IPR2025-01482

Amendments to the Specification:

Page 16, amend the paragraph beginning on line 11 as follows.

As shown in Fig. 3, the ~~tough~~ touch panel TP of Embodiment 1 also has a third substrate SUB3 comprising a flat transparent glass substrate or plastic substrate. The ~~tough~~ touch panel TP has electrodes formed on the third substrate SUB3 on the side of the main surface thereof (liquid crystal display panel) in this embodiment. The electrodes are used to detect a position of contact with an operator's finger (not illustrated), etc. For example, first detection electrodes YSE extend in the direction X and are juxtaposed in the direction Y for detecting the coordinate position in the direction Y. Second detection electrodes XSE extend in the direction Y and are juxtaposed in the direction X for detecting the coordinate position in the direction X, with the electrodes YSE and electrodes XSE being intersected by way of an insulating film (not illustrated). In Embodiment 1, the first detection electrodes YSE and the second detections electrode XSE are formed in the transparent region TTA of the touch panel TP, thereby allowing for detection of the coordinate positions in the direction X and in the direction Y within the transparent region TTA. Since the liquid crystal display panel PNL is disposed at the back of the touch panel TP, the first detection electrodes YSE and the second detection electrodes XSE, and an unillustrated insulating film which are formed within the transparent region TTA should be formed of a transparent material so that an operator can view the display content displayed on the liquid crystal panel.

BOE Ex. 1002, p. 222
BOE v. Paneltouch
IPR2025-01482

Amendments to the Claims:

This listing of claims will replace all prior versions, and listings, of claims in the application:

Listing of Claims:

1. (currently amended) A display device comprising:

a coordinate input device including

a transparent substrate having detection electrodes disposed in a detection region corresponding to a contact position, the transparent substrate having a first signal interconnect disposed in a region outside the detection region, the first signal interconnect having one end connected to the detection electrodes and being formed with a first electrode terminal at the other end thereof, and

a flexible interconnect substrate connected to the first electrode terminal, the flexible interconnect substrate used for supplying a driving signal to the detection electrodes by way of the first signal interconnect and extracting a detection signal from the detection electrodes; and

a display panel for image display based on a video signal from an external system, the coordinate input device being disposed on the display panel at the side of a display screen;

wherein the coordinate inputting device has a second signal interconnect disposed outside the first signal interconnect but near the peripheral edge of the transparent substrate, the second signal interconnect surrounding the area where the detection region is included and the first signal interconnect is formed, the second signal interconnect being opened at opposite ends thereof and being connected to respective electrode terminals for inspection at the open ends, [[and]]

BOE Ex. 1002, p. 223
BOE v. Paneltouch
IPR2025-01482

wherein the second signal interconnect is formed of a thin conductive film disposed along the peripheral edge portion of the transparent substrate; and

wherein the second signal interconnect is disposed along the peripheral edge of three sides of the transparent substrate.

2. (original) A display device according to claim 1, wherein the second signal interconnect has a colored thin film layer or a thin film layer having a transmittance at a predetermined level or less.

3. (original) A display device according to claim 1, wherein the second signal interconnect has a thin metal film layer.

4. (original) A display device according to claim 1, wherein the second signal interconnect is formed of two or more conductive thin films.

5. (original) A display device according to claim 4, wherein the second signal interconnect has one end connected to an identical electrode terminal for inspection and the other end connected to different electrode terminals for inspection.

6. (original) A display device according to claim 1, wherein the flexible interconnect substrate has a third electrode terminal connected to the second signal interconnect at a position different from that of the region for forming the second electrode terminal connected with an external system.

7. (currently amended) A display device comprising:

BOE Ex. 1002, p. 224
BOE v. Paneltouch
IPR2025-01482

a ~~first~~ transparent substrate formed with

a plurality of video signal lines,

a plurality of scanning signal lines intersecting the video signal lines,

electrode terminals receiving a driving signal and a control signal from the video signal lines, the scanning signal lines, and an external system, and

a third signal interconnect connecting the video signal lines and the scanning signal lines with the electrode terminals; and

a flexible interconnect substrate connected to the ~~first~~ transparent substrate, the flexible interconnect substrate used for supplying the driving signal to the video signal lines and the scanning signal lines by way of the electrode terminals and the third signal interconnect;

a region surrounded by the video signal lines and the scanning signal lines being a pixel area;

a region where the pixels are formed in a matrix being a display area;

the third signal interconnect being formed in a region outside the display area; and

a fourth signal interconnect disposed outside the third signal interconnect but near the peripheral edge of the transparent substrate, the fourth signal interconnect surrounding the area where the display area is included and the third signal interconnect is formed, the fourth signal interconnect being opened at opposite ends thereof and being connected to respective electrode terminals for inspection at the open ends;

wherein the fourth signal interconnect is formed of a conductive thin film disposed along the peripheral edge portion of three sides of the transparent substrate.

8. (original) A display device according to claim 7, wherein the fourth signal interconnect has a colored thin film layer or a thin film layer having a transmittance at a

BOE Ex. 1002, p. 225
BOE v. Paneltouch
IPR2025-01482

predetermined level or less.

9. (original) A display device according to claim 7, wherein the fourth signal interconnect has a thin metal film layer.

10. (original) A display device according to claim 7, wherein the fourth signal interconnect is formed of two or more conductive thin films.

11. (original) A display device according to claim 10, wherein the fourth signal interconnect has one end connected to an identical electrode terminal for inspection and the other end connected to different electrode terminals for inspection.

12. (original) A display device according to claim 7, wherein the flexible interconnect substrate has electrode terminals connected to the fourth signal interconnect at a position different from that of the region forming the electrode terminal connected with the external system.

BOE Ex. 1002, p. 226
BOE v. Paneltouch
IPR2025-01482

Amendments to the Drawings:

The attached sheet of drawing includes changes to Fig. 3. This sheet, which includes Fig. 3, replaces the original sheet including Fig. 3, wherein Fig. 3 has been amended to correct "TTR" to be correctly identified by "TTA" and one of "YSE" has been properly identified as "XSE".

BOE Ex. 1002, p. 227
BOE v. Paneltouch
IPR2025-01482

Amendments to the Abstract:

Please delete the original Abstract and substitute therefore, the new Abstract which commences on a new sheet.

BOE Ex. 1002, p. 228
BOE v. Paneltouch
IPR2025-01482

REMARKS

By the above amendment, independent claims 1 and 7 have been amended to clarify and recite further features of the present invention as discussed below with informalities in the specification and Fig. 3 of the drawings of this application being corrected. Additionally, a new abstract in conformance with the requirements therefor has been presented. More particularly, in Fig. 3, the drawing changes include that the detection electrodes XSE have been properly indicated and the transparent region TTA of the touch panel has been properly indicated. In this regard, applicants note that as illustrated in Fig. 1, and as recited in claim 1, a coordinate input device is represented by the touch panel TP, which is a member separate from the display panel PNL.

With regard to the amendments of claim 1 and 7 to more particularly define the structural features of the present invention, as illustrated in Fig. 3, the transparent substrate is provided with a second signal interconnect SIG2 which is disposed along the peripheral edge of three sides of the transparent substrate, is opened at opposite ends thereof and connected to respective electrode terminals TRM1, for example, for inspection at the open ends. It is noted that the signal interconnect SIG2 in claim 7 is referred to as the "fourth signal interconnect", which signal interconnect disposed in the manner described is illustrated in Figs. 3 - 9 of the drawings of this application and described at page 18, lines 15 - 22, for example, noting that this portion of the specification describes that the signal interconnect SIG2 is formed outside of the signal interconnect SIG1 and is formed along the peripheral edge portion corresponding to sides (upper side and right and left sides in Fig. 3) other than one side in which the electrode terminals of the third substrate SUB3 are formed. Applicants submit that the aforementioned features now recited in

BOE Ex. 1002, p. 229
BOE v. Paneltouch
IPR2025-01482

claims 1 and 7 and therewith the dependent claims are not disclosed or taught in the cited art, as will become clear from the following discussion.

As to the rejection of claims 1 - 12 under 35 USC 103(a) as being unpatentable over Hirayama et al (hereinafter "Hirayama"), US Patent No. 7,034,442 in view of Sato (hereinafter "Sato"), US Patent No. 7,167,154 further in view of Chazan et al (hereinafter "Chazan"), US Patent No. 6,262,579, this rejection is traverse insofar as it is applicable to the present claims, and reconsideration and withdrawal of the rejection are respectfully requested.

In applying Hirayama in relation to claim 1, the Examiner at page 3 of the Office Action contends that Hirayama discloses "wherein the coordinate inputting device has a second interconnect disposed outside the first signal interconnect but near the peripheral edge of the transparent substrate (side interconnect 22; Fig. 2)". While recognizing that "Hirayama fails to teach wherein the second signal interconnect surrounds the area where the detection region is included and the first signal interconnect is formed" (emphasis added).

Irrespective of the contentions by the Examiner, applicants submit that Hirayama fails to disclose, as recited in claim 1, a coordinate input device having features as recited in addition to a display panel for image display based on a video signal from an external system, with the coordinate input device being disposed on the display panel at the side of the display screen. Further, assuming arguendo that Hirayama discloses first and second signal interconnects, although not first and second interconnects having the features as recited in claim 1, applicants submit that it is readily apparent that the side interconnect 22 in Fig. 2 of Hirayama while failing to teach, as recognized by the Examiner, "wherein the second signal interconnect surrounds the area where the detection region is included and the first signal

BOE Ex. 1002, p. 230
BOE v. Paneltouch
IPR2025-01482

interconnect is formed" only discloses the side interconnect 22 being arranged in the terminal region of the substrate. That is, as described in column 10, lines 10 - 51 of Hirayama, the substrate 10 includes a pixel region 12 (display region for example) and a plurality of external terminals 20 are formed on the substrate 10 along one side of the substrate 10, with the external terminals 20 being formed in an end region 18. As described in column 10, lines 31 - 44, "the end region 18 is a region separated from a region for the pixel region 12 by a straight line L which passes outside the pixel region 12 (see Fig. 2). The end region 18 is a part of the peripheral region of the substrate 10. ... The pixel region 12 may be the center region of the substrate 10 (region excluding the peripheral region). At least one side interconnect 22 (cathode line, for example) may be formed on the substrate 10. The side interconnect 22 may be formed in the end region 18 (end region in which the external terminals 20 are formed, for example). The side interconnect 22 may be electrically connected with at least two external terminals 20" (emphasis added). Thus, it is apparent that Hirayama, in addition to failing to disclose or teach the features of a coordinate input device and a display panel arranged in the manner set forth, specifically fails to disclose and teaches away from the recited features, as recognized by the Examiner of "wherein the signal interconnect surrounds the area where the detection region is included and the first signal interconnect is formed", as well as the newly recited feature of claim 1 of "wherein the second signal interconnect is disposed along the peripheral edge of three sides of the transparent substrate" (emphasis added), based upon the Examiner's contention regarding the substrate 10 and the side interconnect 22. In this regard, applicants note that the purpose of the present invention is to determine whether a crack or chip has occurred at the edge of the substrate by utilization of the second interconnect. Thus,

BOE Ex. 1002, p. 231
BOE v. Paneltouch
IPR2025-01482

applicants submit that claim 1 recites features which structurally and patentably distinguish in the sense of 35 USC 103 and claim 1 and the dependent claims should be considered allowable thereover.

With respect to the features of claim 7, it is noted that claim 7 does not recite the features of a coordinate input device in combination with a display panel, but recites as pointed out above, a signal interconnect in the form of "a fourth signal interconnect disposed outside the third signal interconnect but near the peripheral edge of the transparent substrate, the four signal interconnect surrounding the area where the display area is included and the third signal interconnect is formed, the fourth signal interconnect being opened at opposite ends thereof and being connected to respective electrode terminals for inspection at the open ends; wherein the fourth signal interconnect is formed of a conductive thin film disposed along the peripheral edge portion of three sides of the transparent substrate", corresponding to the aforementioned features of claim 1, as pointed out above. Thus, applicants submit that claim 7 and its dependent claims also recite features which patentably distinguish over Hirayama in the sense of 35 USC 103, such that claim 7 and its dependent claims should be considered allowable thereover.

The Examiner recognizing some deficiencies in Hirayama, although not all of the deficiencies as pointed out above, contends that the deficiencies of Hirayama are overcome by Sato contending that "Sato teaches an inspection circuit (see fig. 3, element CC) and an inspection terminal (see fig. 3, element CPAB) mounted on a substrate that surrounds a detection area".

Irrespective of the Examiner's contentions concerning Sato, applicants submit that Sato like Hirayama, fails to disclose a coordinate input device in combination with a display panel, as recited in claim 1. Additionally, the inspection circuit CC of

BOE Ex. 1002, p. 232
BOE v. Paneltouch
IPR2025-01482

Fig. 3 of Sato is for inspection for drain lines DL of the display panel, as described in column 10, lines 20 - 22 of Sato. Further, the inspection circuit CC is disposed only at one side of the substrate, as depicted in Fig. 3 of Sato, such that the inspection circuit CC if considered to be a second signal interconnect as recited in claim 1 or a fourth signal interconnect as recited in claim 7, does not surround "the area where the detection region is included", as recited in claim 1 or "where the display area is included", as recited in claim 7. Additionally, the inspection circuit CC of Sato is not "disposed along the peripheral edge of three sides of the transparent substrate" as recited in claim 1, or "disposed along the peripheral edge portion of three sides of the transparent substrate" as recited in claim 7. As noted above, the recited arrangement enables determination of a crack or chip at the edge of the substrate and the structure of Sato, like the structure of Hirayama cannot effect such detection. In addition, applicants note that CPAD of Sato represents only one terminal for an inspection circuit CC, whereas claims 1 and 7 provide that the signal interconnect is connected to respective electrode terminals for inspection at the open ends. Accordingly, applicants submit that claims 1 and 7 recite features which patentably distinguish over the proposed combination of Hirayama and Sato in the sense of 35 USC 103 and claims 1 and 7 and the dependent claims should be considered allowable thereover.

At page 3 of the Office Action, the Examiner recognizes that "Hirayama and Sato fail to teach the second signal interconnect being opened at opposite ends thereof and being connected to respective electrode terminals for inspection at the open ends, and wherein the second signal interconnect is formed of a thin conductive film disposed along the peripheral edge portion of the transparent substrate" (emphasis added). The Examiner thus refers to Chazan as overcoming

BOE Ex. 1002, p. 233
BOE v. Paneltouch
IPR2025-01482

such recognized deficiencies of Hirayama and Sato, although not all of the deficiencies as pointed out above. Thus, the Examiner contends that "Chazan teaches a method and structure for detecting open vias in interconnect substrates wherein the interconnects are connected to terminals for inspection (see fig. 3 and accompanying text; elements 130 and 170)".

Irrespective of the contentions by the Examiner, applicants submit that Chazan fails to disclose a display device as recited in claims 1 and 7 of this application. Additionally, while the Examiner refers to elements 130 and 170 of Chazan, applicants note that elements 130 and 170 in Fig. 3 of Chazan represent a visual inspection step and an electrical test step, respectively. Moreover, column 8, lines 43 - 49 of Chazan describes elements 130 as "a visual inspection (step 130) is performed to determine if the substrate includes any opens". Further, as described in column 10, lines 12 - 20 of Chazan, while the test of step 130 can accurately detect opens, it cannot not detect shorts so that "a final electrical test (step 170), must be performed to confirm that no shorts exist. Thus, irrespective of the contentions by the Examiner, applicants submit that Chazan, like Hirayama and Sato fail to disclose or teach a signal interconnect surrounding an area of a detection region or a display region, wherein the signal interconnect "is disposed along the peripheral edge of three sides of the transparent substrate" as recited in claim 1 or "disposed along the peripheral edge portion of three sides of the transparent substrate", as recited in claim 7, such that claims 1 and 7 and the dependent claims recite features which patentably distinguish over Chazan in the sense of 35 USC 103, and should be considered allowable thereover.

Applicants further submit that the proposed combination of Hirayama, Sato and Chazan, taken alone, or in any combination thereof, fail to provide the recited

BOE Ex. 1002, p. 234
BOE v. Paneltouch
IPR2025-01482

features of claims 1 and 7 and the dependent claims and all claims should be considered allowable thereover.

In view of the above amendments and remarks, applicants submit that this application should now be in condition for allowance, and issuance of an action of favorable nature is courteously solicited.

To the extent necessary, applicants petition for an extension of time under 37 CFR 1.136. Please charge any shortage in the fees due in connection with the filing of this paper, including extension of time fees, to the deposit account of Antonelli, Terry, Stout & Kraus, LLP, Deposit Account No. 01-2135 (Case: 520.51700X00), and please credit any excess fees to such deposit account.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

/Melvin Kraus/ MK
Melvin Kraus
Registration No. 22,466

MK/jla
(703) 312-6600
Attachment - Abstract
Drawing Correction

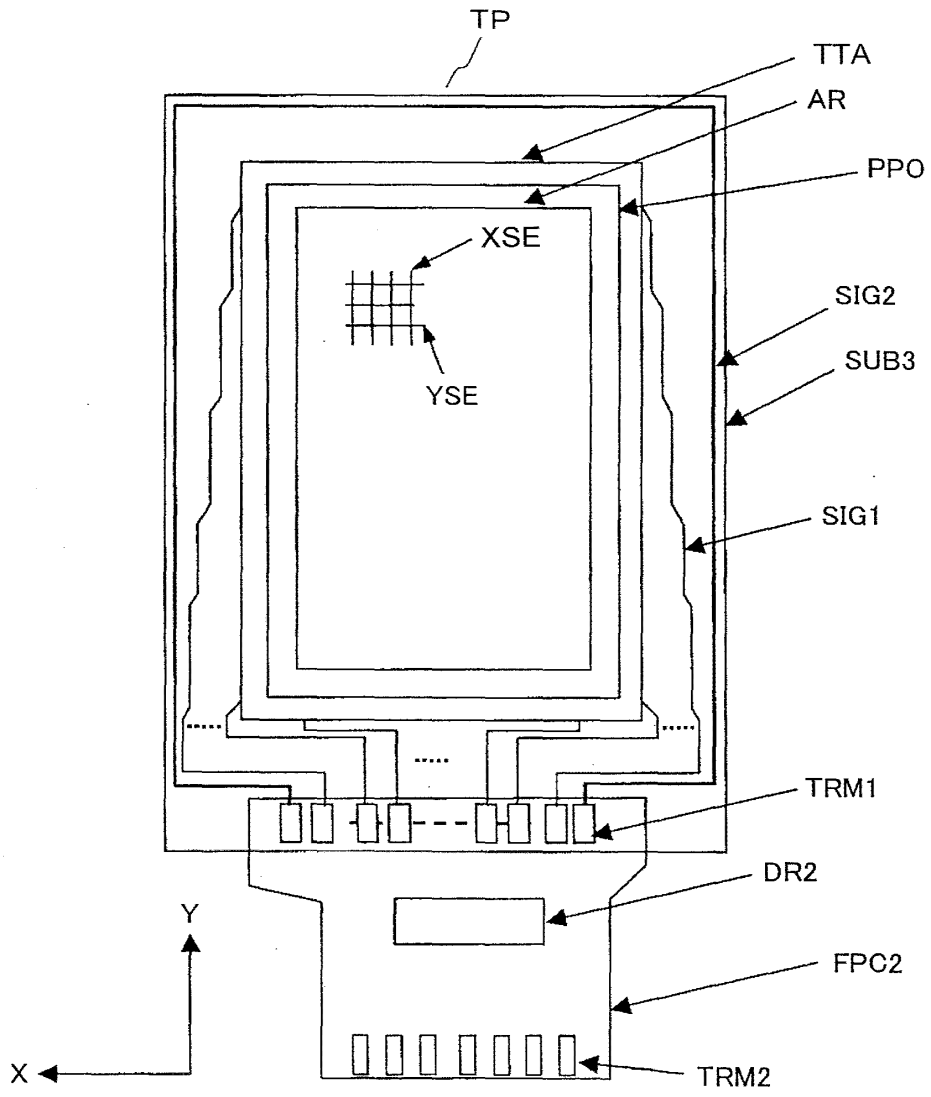
BOE Ex. 1002, p. 235
BOE v. Paneltouch
IPR2025-01482

ABSTRACT

A display device includes a coordinate input device including a transparent substrate having a first signal interconnect disposed in a region outside a detection region corresponding to a contact position, a first electrode terminal, a flexible interconnect substrate connected to the first electrode terminal, and a display panel for image display based on a video signal from an external system. The coordinate inputting device has a second signal interconnect disposed outside the first signal interconnect but near the peripheral edge of the transparent substrate, the second signal interconnect surrounding the area where the detection region is included and the first signal interconnect is formed, the second signal interconnect being opened at opposite ends thereof and being connected to respective electrode terminals for inspection at the open ends, and the second signal interconnect is disposed along the peripheral edge portion of three sides of the transparent substrate.

BOE Ex. 1002, p. 236
BOE v. Paneltouch
IPR2025-01482

FIG. 3



BOE Ex. 1002, p. 237
BOE v. Paneltouch
IPR2025-01482

Electronic Acknowledgement Receipt

EFS ID:	16684875
Application Number:	13151362
International Application Number:	
Confirmation Number:	4779
Title of Invention:	DISPLAY DEVICE
First Named Inventor/Applicant Name:	Kouichi ANNO
Customer Number:	20457
Filer:	Melvin Kraus/joy aiken
Filer Authorized By:	Melvin Kraus
Attorney Docket Number:	520.51700X00
Receipt Date:	26-AUG-2013
Filing Date:	02-JUN-2011
Time Stamp:	15:01:29
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Amendment/Req. Reconsideration-After Non-Final Reject	amd.pdf	1194629 ad91bbbcfd85e07b7eac4bc81dca49a10e825f2a	no	16

Warnings:	
Information:	

2	Drawings-only black and white line drawings	dc.pdf	45679 704063dab40dccf017aa6e002d70ad33c3bd17ff	no	1

Warnings:	
Information:	
Total Files Size (in bytes):	1240308

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PTO/SB/06 (09-11)
Approved for use through 1/31/2014. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875	Application or Docket Number 13/151,362	Filing Date 06/02/2011	☐ To be Mailed

ENTITY: ☒ LARGE ☐ SMALL ☐ MICRO

APPLICATION AS FILED – PART I

	(Column 1)	(Column 2)		
FOR	NUMBER FILED	NUMBER EXTRA	RATE ($)	FEE ($)
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A	
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A	
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A	
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*	X $ =	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X $ =	
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $310 ($155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).			
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))				
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL	

APPLICATION AS AMENDED – PART II

AMENDMENT	08/26/2013	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE ($)	ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	* 12	Minus	** 20	= 0	X $80 =	0
	Independent (37 CFR 1.16(h))	* 2	Minus	***3	= 0	X $420 =	0
	☐ Application Size Fee (37 CFR 1.16(s))						
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))						
						TOTAL ADD'L FEE	0

AMENDMENT		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE ($)	ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	*	Minus	**	=	X $ =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	X $ =	
	☐ Application Size Fee (37 CFR 1.16(s))						
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))						
						TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

LIE
/DAVID SASFAI/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

20457 7590 12/02/2013

ANTONELLI, TERRY, STOUT & KRAUS, LLP
1300 NORTH SEVENTEENTH STREET
SUITE 1800
ARLINGTON, VA 22209-3873

EXAMINER
LEE JR, KENNETH B

ART UNIT	PAPER NUMBER
2697	

DATE MAILED: 12/02/2013

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
13/151,362	06/02/2011	Kouichi ANNO	520.51700X00	4779

TITLE OF INVENTION: DISPLAY DEVICE

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$1780	$300	$0	$2080	03/03/2014

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the ENTITY STATUS shown above. If the ENTITY STATUS is shown as SMALL or MICRO, verify whether entitlement to that entity status still applies.

If the ENTITY STATUS is the same as shown above, pay the TOTAL FEE(S) DUE shown above.

If the ENTITY STATUS is changed from that shown above, on PART B - FEE(S) TRANSMITTAL, complete section number 5 titled "Change in Entity Status (from status indicated above)".

For purposes of this notice, small entity fees are 1/2 the amount of undiscounted fees, and micro entity fees are 1/2 the amount of small entity fees.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

BOE Ex. 1002, p. 241
BOE v. Paneltouch
IPR2025-01482

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: Mail **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

20457 7590 12/02/2013
ANTONELLI, TERRY, STOUT & KRAUS, LLP
1300 NORTH SEVENTEENTH STREET
SUITE 1800
ARLINGTON, VA 22209-3873

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission
I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
13/151,362	06/02/2011	Kouichi ANNO	520.51700X00	4779

TITLE OF INVENTION: DISPLAY DEVICE

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$1780	$300	$0	$2080	03/03/2014

EXAMINER	ART UNIT	CLASS-SUBCLASS
LEE JR, KENNETH B	2697	345-156000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

❑ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.

❑ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list

(1) the names of up to 3 registered patent attorneys or agents OR, alternatively,

(2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 _____

2 _____

3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent) : ❑ Individual ❑ Corporation or other private group entity ❑ Government

4a. The following fee(s) are submitted:

❑ Issue Fee

❑ Publication Fee (No small entity discount permitted)

❑ Advance Order - # of Copies _____

4b. Payment of Fee(s): **(Please first reapply any previously paid issue fee shown above)**

❑ A check is enclosed.

❑ Payment by credit card. Form PTO-2038 is attached.

❑ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number _____ (enclose an extra copy of this form).

BOE Ex. 1002, p. 242
BOE v. Paneltouch
IPR2025-01482

5. **Change in Entity Status** (from status indicated above)

❑ Applicant certifying micro entity status. See 37 CFR 1.29

NOTE: Absent a valid certification of Micro Entity Status (see form PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.

❑ Applicant asserting small entity status. See 37 CFR 1.27

NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.

❑ Applicant changing to regular undiscounted fee status.

NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature _____ Date _____

Typed or printed name _____ Registration No. _____

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

BOE Ex. 1002, p. 243
BOE v. Paneltouch
IPR2025-01482

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
13/151,362	06/02/2011	Kouichi ANNO	520.51700X00	4779

20457 7590 12/02/2013

ANTONELLI, TERRY, STOUT & KRAUS, LLP
1300 NORTH SEVENTEENTH STREET
SUITE 1800
ARLINGTON, VA 22209-3873

EXAMINER	
LEE JR, KENNETH B	

ART UNIT	PAPER NUMBER
2697	

DATE MAILED: 12/02/2013

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment to date is 301 day(s). If the issue fee is paid on the date that is three months after the mailing date of this notice and the patent issues on the Tuesday before the date that is 28 weeks (six and a half months) after the mailing date of this notice, the Patent Term Adjustment will be 301 day(s).

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

PTOL-85 (Rev. 02/11)

BOE Ex. 1002, p. 244
BOE v. Paneltouch
IPR2025-01482

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Notices of Allowance and Fee(s) Due mailed between October 1, 2013 and December 31, 2013

(Addendum to PTOL-85)

If the "Notice of Allowance and Fee(s) Due" has a mailing date on or after October 1, 2013 and before January 1, 2014, the following information is applicable to this application.

If the issue fee is being timely paid on or after January 1, 2014, the amount due is the issue fee and publication fee in effect January 1, 2014. On January 1, 2014, the issue fees set forth in 37 CFR 1.18 decrease significantly and the publication fee set forth in 37 CFR 1.18(d)(1) decreases to $0.

If an issue fee or publication fee has been previously paid in this application, applicant is not entitled to a refund of the difference between the amount paid and the amount in effect on January 1, 2014.

Notice of Allowability	Application No. 13/151,362	Applicant(s) ANNO ET AL.	
	Examiner KENNETH B. LEE JR	Art Unit 2697	AIA (First Inventor to File) Status No

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☒ This communication is responsive to *remarks filed 8/26/2013*.
   ☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on_____.
2. ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.
3. ☒ The allowed claim(s) is/are *1-12*. As a result of the allowed claim(s), you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to PPHfeedback@uspto.gov .
4. ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

   Certified copies:

   a) ☒ All b) ☐ Some *c) ☐ None of the:
   1. ☒ Certified copies of the priority documents have been received.
   2. ☐ Certified copies of the priority documents have been received in Application No. _____ .
   3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

   * Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
   ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.

   Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).
6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☒ Notice of References Cited (PTO-892)
2. ☐ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date _____
3. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material
4. ☐ Interview Summary (PTO-413), Paper No./Mail Date _____ .
5. ☐ Examiner's Amendment/Comment
6. ☒ Examiner's Statement of Reasons for Allowance
7. ☐ Other _____.

/KEVIN M NGUYEN/
Primary Examiner, Art Unit 2697

BOE Ex. 1002, p. 247
BOE v. Paneltouch
IPR2025-01482

1. The present application is being examined under the pre-AIA first to invent provisions.

DETAILED ACTION

Allowable Subject Matter

2. Claims 1-12 are allowed.

3. The following is an examiner's statement of reasons for allowance: The present invention is directed toward a technique that can determine pass/failure of signal interconnects for chipping or cracking of a substrate. None of the prior art, either singularly or in combination, teaches or fairly suggests a display device with the specific structure comprising the specific elements including: "wherein the coordinate inputting device has a second signal interconnect disposed outside the first signal interconnect but near the peripheral edge of the transparent substrate, the second signal interconnect surrounding the area where the detection region is included and the first signal interconnect is formed, the second signal interconnect being opened at opposite ends thereof and being connected to respective electrode terminals for inspection at the open ends, and wherein the second signal interconnect is formed of a thin conductive film disposed along the peripheral edge portion of the transparent substrate; and wherein the second signal interconnect is disposed along the peripheral edge of three sides of the transparent substrate. The closest prior art, Kurashima (US Patent No. 8,482,301) teaches an electronic input device including a first signal interconnect (see fig. 4, element 27) connected to the detection region (fig. 4, element 2a) and a second signal interconnect (see fig. 4, element 28) outside of the first signal interconnect and

that is disposed along three sides of the substrate; and connected to mounting terminals (fig. 4, element 24b). However, Kurashima fails to teach the quoted limitation above, specifically the second signal interconnect being connected to the electrode terminals at the open ends for inspection.

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."

Conclusion

Any inquiry concerning this communication or earlier communications from the examiner should be directed to KENNETH B. LEE JR whose telephone number is (571)270-3147. The examiner can normally be reached on Mon. - Fri. 7:30AM - 4:00 PM EST.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Alexander Eisen can be reached on 571-272-7687. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/KENNETH B LEE JR/
Examiner, Art Unit 2697

/KEVIN M NGUYEN/
Primary Examiner, Art Unit 2697

Notice of References Cited	Application/Control No. 13/151,362	Applicant(s)/Patent Under Reexamination ANNO ET AL.	
	Examiner KENNETH B. LEE JR	Art Unit 2697	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A	US-8,482,301	07-2013	Kurashima, Takashi	324/658
	B	US-			
	C	US-			
	D	US-			
	E	US-			
	F	US-			
	G	US-			
	H	US-			
	I	US-			
	J	US-			
	K	US-			
	L	US-			
	M	US-			

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

BOE Ex. 1002, p. 251
BOE v. Paneltouch
IPR2025-01482

Index of Claims	Application/Control No.	Applicant(s)/Patent Under Reexamination
	13151362	ANNO ET AL.
	Examiner	**Art Unit**
	KENNETH B LEE JR	2697

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

☒ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

CLAIM		DATE								
Final	Original	05/23/2013	11/19/2013							
	1	✓	=							
	2	✓	=							
	3	✓	=							
	4	✓	=							
	5	✓	=							
	6	✓	=							
	7	✓	=							
	8	✓	=							
	9	✓	=							
	10	✓	=							
	11	✓	=							
	12	✓	=							

BOE Ex. 1002, p. 252
BOE v. Paneltouch
IPR2025-01482

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L4	44944	(345/156-173,204).CCLS.	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/11/19 15:26
L5	4991	(substrate adj test)	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/11/19 15:26
L6	521	L5 AND ((H01L22/34 OR H01L22/32 OR H01L22/14 OR H01L22/12 OR H01L22/20 OR H01L22/30 OR H01L21/02491 OR H01L21/02527 OR H01L21/0262 OR H01L21/28 OR H01L21/324 OR H01L21/67017 OR H01L21/6719 OR H01L21/67346 OR H01L21/67748 OR H01L21/67769 OR H01L21/67775 OR H01L21/76841 OR H01L2224/0237 OR H01L2224/02372 OR H01L2224/13025 OR H01L2224/13144 OR H01L2224/13147 OR H01L2224/16146 OR H01L2224/16155 OR H01L2224/81193 OR H01L2225/06513 OR H01L2225/06517 OR H01L2225/06541 OR H01L2225/06596 OR H01L22/10 OR H01L22/26 OR H01L23/38 OR H01L23/48 OR H01L23/498 OR H01L23/522 OR H01L24/00 OR H01L24/02 OR H01L24/13 OR H01L24/16 OR H01L25/0657 OR H01L25/50 OR H01L2924/01005 OR H01L2924/01006 OR H01L2924/01029 OR H01L2924/01033 OR H01L2924/01079 OR H01L2924/014 OR H01L29/1606 OR H01L29/49 OR H01L29/66833 OR H01L29/792).CPC.)	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/11/19 15:26
L7	45464	L4 L6	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/11/19 15:26
L8	31	7 and (substrate with flexible with electrode with terminal$1)	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/11/19 15:27
L9	4	8 and (inspection test)	US-PGPUB; USPAT;	OR	OFF	2013/11/19 15:50

BOE Ex. 1002, p. 253
BOE v. Paneltouch
IPR2025-01482

			USOCR; EPO; JPO			
L10	7	7 and (electrode$1 with terminal with display with (inspection test))	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/11/19 16:15
L11	62	((KOUICHI) near2 (ANNO)).INV.	US-PGPUB; USPAT; USOCR	OR	OFF	2013/11/19 16:17
L12	32	((TAKUMI) near2 (SATO)).INV.	US-PGPUB; USPAT; USOCR	OR	OFF	2013/11/19 16:17
L13	22	((MASAHIRO) near2 (TERAMOTO)).INV.	US-PGPUB; USPAT; USOCR	OR	OFF	2013/11/19 16:17
L14	112	11 12 13	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/11/19 16:17
S27	17146	(345/156,204).CCLS.	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/11/19 13:05
S28	14	(signal adj2 interconnect) same (inspection)	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/11/19 13:05
S29	44944	(345/156-173,204).CCLS.	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/11/19 13:48
S30	4991	(substrate adj test)	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/11/19 13:51
S31	521	S30 AND ((H01L22/34 OR H01L22/32 OR H01L22/14 OR H01L22/12 OR H01L22/20 OR H01L22/30 OR H01L21/02491 OR H01L21/02527 OR H01L21/0262 OR H01L21/28 OR H01L21/324 OR H01L21/67017 OR H01L21/6719 OR H01L21/67346 OR H01L21/67748 OR H01L21/67769 OR H01L21/67775 OR H01L21/76841 OR H01L2224/0237 OR	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/11/19 13:53

BOE Ex. 1002, p. 254
BOE v. Paneltouch
IPR2025-01482

		H01L2224/02372 OR H01L2224/13025 OR H01L2224/13144 OR H01L2224/13147 OR H01L2224/16146 OR H01L2224/16155 OR H01L2224/81193 OR H01L2225/06513 OR H01L2225/06517 OR H01L2225/06541 OR H01L2225/06596 OR H01L22/10 OR H01L22/26 OR H01L23/38 OR H01L23/48 OR H01L23/498 OR H01L23/522 OR H01L24/00 OR H01L24/02 OR H01L24/13 OR H01L24/16 OR H01L25/0657 OR H01L25/50 OR H01L2924/01005 OR H01L2924/01006 OR H01L2924/01029 OR H01L2924/01033 OR H01L2924/01079 OR H01L2924/014 OR H01L29/1606 OR H01L29/49 OR H01L29/66833 OR H01L29/792).CPC.)				
S32	6	S31 and ((chip$4 crack$3) with pass$3 with fail$3)	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/11/19 13:54
S33	121	S31 and (inspection)	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/11/19 13:57
S34	55	S33 and display	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/11/19 13:58
S35	67	S31 and (inspection with substrate)	US-PGPUB; USPAT; USOCR; EPO; JPO	OR	OFF	2013/11/19 14:16

EAST Search History (Interference)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L15	30907	(345/156,204,173).CCLS.	US-PGPUB; USPAT; UPAD	OR	OFF	2013/11/19 16:36
L16	1	15 and (display and device and coordinate and input and first and second and (interconnect wire$1) and inspection and electrode$1 and terminal$1).clm.	US-PGPUB; USPAT; UPAD	OR	OFF	2013/11/19 16:37
L17	1	15 and (display and device and first and second and (interconnect wire$1) and inspection and electrode$1 and terminal$1).clm.	US-PGPUB; USPAT; UPAD	OR	OFF	2013/11/19 16:37
L18	1	15 and (first and second and (interconnect wire$1) and inspection and electrode$1 and terminal$1).clm.	US-PGPUB; USPAT; UPAD	OR	OFF	2013/11/19 16:37

BOE Ex. 1002, p. 255
BOE v. Paneltouch
IPR2025-01482

L19	1	15 and (flexible and (interconnect wire$1) and inspection and electrode$1 and terminal$1).clm.	US-PGPUB; USPAT; UPAD	OR	OFF	2013/11/19 16:38

11/19/2013 5:07:09 PM
C:\Users\klee1\Documents\EAST\Workspaces\13151362.wsp

BOE Ex. 1002, p. 256
BOE v. Paneltouch
IPR2025-01482

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	13151362	ANNO ET AL.
	Examiner	**Art Unit**
	KENNETH B LEE JR	2697

CPC		
Symbol	**Type**	**Version**

CPC Combination Sets				
Symbol	**Type**	**Set**	**Ranking**	**Version**

/KENNETH B LEE JR/ Examiner.Art Unit 2697	11/19/2013	**Total Claims Allowed:**	
(Assistant Examiner)	(Date)	12	
/KEVIN M NGUYEN/ Primary Examiner.Art Unit 2697	11/25/2013	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	3

BOE Ex. 1002, p. 257
BOE v. Paneltouch
IPR2025-01482

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	13151362	ANNO ET AL.
	Examiner	**Art Unit**
	KENNETH B LEE JR	2697

US ORIGINAL CLASSIFICATION		INTERNATIONAL CLASSIFICATION										
CLASS	SUBCLASS	CLAIMED					NON-CLAIMED					
345	156	G	0	9	G	5 / 00 (2006.0)						
CROSS REFERENCE(S)												
CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)											
345	173	204										

/KENNETH B LEE JR/ Examiner.Art Unit 2697	11/19/2013	**Total Claims Allowed:**	
(Assistant Examiner)	(Date)	12	
/KEVIN M NGUYEN/ Primary Examiner.Art Unit 2697	11/25/2013	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	3

BOE Ex. 1002, p. 258
BOE v. Paneltouch
IPR2025-01482

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	13151362	ANNO ET AL.
	Examiner	**Art Unit**
	KENNETH B LEE JR	2697

☒ **Claims renumbered in the same order as presented by applicant** ☐ **CPA** ☐ **T.D.** ☐ **R.1.47**

Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original

/KENNETH B LEE JR/ Examiner.Art Unit 2697	11/19/2013	**Total Claims Allowed:**	
(Assistant Examiner)	(Date)	12	
/KEVIN M NGUYEN/ Primary Examiner.Art Unit 2697	11/25/2013	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	3

BOE Ex. 1002, p. 259
BOE v. Paneltouch
IPR2025-01482

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	13151362	ANNO ET AL.
	Examiner	Art Unit
	KENNETH B LEE JR	2697

CPC- SEARCHED		
Symbol	Date	Examiner

CPC COMBINATION SETS - SEARCHED		
Symbol	Date	Examiner

US CLASSIFICATION SEARCHED			
Class	Subclass	Date	Examiner
345	156-173,204	11/2013	KBL
EAST	keyword search	11/2013	KBL

SEARCH NOTES		
Search Notes	Date	Examiner
USPGPUB;USPAT;USOCR;EPO;JPO	11/2013	KBL
Inventor Search (Anno, Sato, Teramoto)	11/2013	KBL

INTERFERENCE SEARCH			
US Class/ CPC Symbol	US Subclass / CPC Group	Date	Examiner
345	156,173,204	11/2013	KBL

BOE Ex. 1002, p. 260
BOE v. Paneltouch
IPR2025-01482

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(use as many sheets as necessary)

Sheet 1 of 2

Complete if Known	
Application Number	**13/151,362**
Filing Date	**6/2/2011**
First Named Inventor	**Kouichi ANNO**
Art Unit	**2697**
Examiner Name	**K. Lee Jr.**
Attorney Docket Number	**520.51700X00**

U.S. PATENT DOCUMENTS

Examiner Initials'	Cite No.[1]	Document Number Number-Kind Code[2] *(if known)*		Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US- 2010/085320		4/8/2010	Kuwajima et al	
		US- 2008/0144023		6/19/2008	Shibata et al	
		US- 2006/0038580		2/23/2006	Hasegawa et al	
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				

FOREIGN PATENT DOCUMENTS

Examiner Initials'	Cite No.[1]	Foreign Patent Document Country Code[3]–Number[4]–Kind Code[5] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T[6]
		WO 2008/136153	11/13/2008	Sharp Kabushiki Kaisha		Ab
		JP 2009-53390	3/12/2009	Epson Imaging Devices		Ab

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. 1 Applicant's unique citation designation number (optional). 2 See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. 3 Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4 For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5 Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. 6 Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(use as many sheets as necessary)

Sheet	2	of	2

Complete if Known	
Application Number	13/151,362
Filing Date	6/2/2011
First Named Inventor	Kouichi ANNO
Group Art Unit	2697
Examiner Name	K. Lee, Jr.
Attorney Docket Number	520.51700X00

NON PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T[2]
		Copy of Office Action issued in EP Application No. 11168485.8 on November 13, 2013	

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] Applicant's unique citation designation number (optional). [2] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 120 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing the this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2008 年11 月13 日 (13.11.2008)

PCT

(10) 国際公開番号
WO 2008/136153 A1

(51) 国際特許分類:
G02F 1/13 (2006.01) *G02F 1/1345* (2006.01)
G01R 31/00 (2006.01)

(21) 国際出願番号: PCT/JP2007/074013

(22) 国際出願日: 2007 年12 月13 日 (13.12.2007)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2007-115016 2007 年4 月25 日 (25.04.2007) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 木田 和寿 (KIDA, Kazutoshi).

(74) 代理人: 佐野 静夫 (SANO, Shizuo); 〒5400032 大阪府大阪市中央区天満橋京町２－６天満橋八千代ビル別館 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

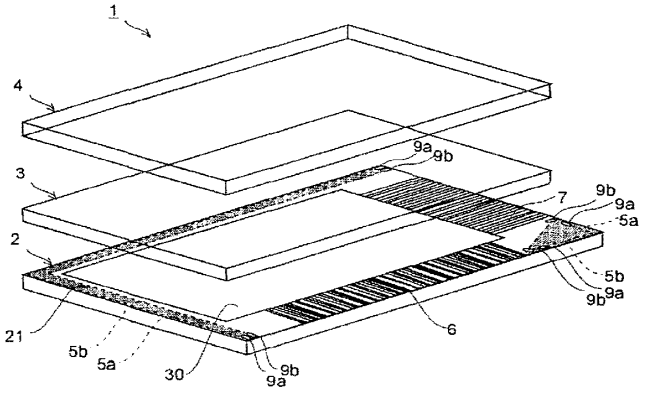
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,

/続葉有/

(54) **Title:** LIQUID CRYSTAL DISPLAY PANEL AND ITS INSPECTING METHOD

(54) **発明の名称:** 液晶表示パネル及びその検査方法

[図2]



(57) **Abstract:** It is an object to provide a liquid crystal display panel that is configured to surely detect a crack or a defect that may result in a big break later with high possibility, so that the output of a poor product can be prevented or the reduction of manufacturing costs can be promoted and, at the same time, a liquid crystal display panel with high reliability can be produced. A liquid crystal display panel (1) is provided with a pixel substrate (2) comprised of a plurality of scanning lines (6) and a plurality of data lines (7) that are disposed to intersect with each other on an insulating substrate, a counter substrate (4) provided with a counter electrode on an insulating substrate and a liquid crystal layer held between the pixel substrate (2) and the counter substrate (4), wherein the pixel substrate (2) is provided with a first inspecting wire (5a) along its outer circumference and a second inspecting wire (5b) in the inside circumference of the first inspecting wire (5a).

/続葉有/

WO 2008/136153 A1

BOE Ex. 1002, p. 263
BOE v. Paneltouch
IPR2025-01482

WO 2008/136153 A1

TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

(57) 要約: 液晶表示パネルの絶縁性基板上に発生し、後に大きなワレにつながる可能性の高いクラック又はキズを確実に検出し不良品流出の防止や生産コストの軽減を図るとともに、信頼性の高い液晶表示パネルを提供するため、絶縁性基板上に複数の走査線６と複数のデータ線７とが互いに交差して配設された画素基板２と絶縁性基板上に対向電極を備える対向基板４が液晶層を挟持してなる液晶表示パネル１において、画素基板２の外周縁に沿って第１検査配線５ａを設けるとともに、第１検査配線５ａの内周側に第２検査配線５ｂを設けた。

BOE Ex. 1002, p. 264
BOE v. Paneltouch
IPR2025-01482

明 細 書

液晶表示パネル及びその検査方法

技術分野

[0001] 本発明は、液晶表示装置に用いられる液晶表示パネルに関し、さらに、その検査方法に関するものである。

背景技術

[0002] 例えば、アクティブマトリクス方式の液晶表示パネルは、透明な絶縁性基板上に複数の走査線と複数のデータ線とが互いに交差して配設され、前記交差部ごとに、画素電極及び該画素電極を駆動するスイッチング素子が形成された画素基板と、透明な絶縁性基板上に対向電極が形成された対向基板とが液晶層を介して貼り合わされたものである。

[0003] 一般にこの液晶表示パネルは製造効率向上のため、画素基板を絶縁性基板上に複数個形成し、各所定の位置に対向基板を対向配置した後、画素基板単位で絶縁性基板を分断し、両基板間に液晶を封入して、個々の液晶表示パネルを得る方法が採用されている。

[0004] このとき、画素基板上に形成された走査線とデータ線が接続される電極端子と対向する対向基板上の領域は液晶表示パネルの表示領域から切り離され、電極端子が外部に露出し駆動用ICと電気的に接続している。

[0005] この液晶表示パネルの製造工程において貼り合わせ基板の一般的な切断方法として、絶縁性基板表面に、ホイールカッタ等の切断部材でスクライブ傷を付けた後、そのスクライブ傷の近傍に応力をかけて折り曲げたり、引き裂くようにして分断する方法が用いられる。

発明の開示

発明が解決しようとする課題

[0006] しかし、この絶縁性基板の分断時に、ガラス等からなる絶縁性基板の端縁に微細なクラックが発生することがあり、この場合、その場で絶縁性基板が割れてしまうことは殆どないが、後工程で絶縁性基板に曲げ、引っ張りまたは熱応力が加わった際に、

BOE Ex. 1002, p. 265
BOE v. Paneltouch
IPR2025-01482

このクラックを起点として基板が割れることがあった。特に、大型のガラスからなる絶縁性基板ではこの頻度が高くなる。また、絶縁性基板の端縁には大きなワレにつながらない微小なカケが発生することもあり、このカケは液晶表示パネルの品質上問題がないものである。

[0007] 従来、このクラック又はカケを検出し判定する方法として目視による光学検査が行なわれていたが、この検査方法では微細なクラックを発見するのが非常に困難であるとともに手間がかかりトータル的にコストアップを余儀なくされることになっていた。

[0008] そこで、本発明は、液晶表示パネルの絶縁性基板上に発生し、後に大きなワレにつながる可能性の高いクラックを確実に検出し不良品流出の防止や生産コストの軽減を図るとともに、信頼性の高い液晶表示パネルを提供することを目的とする。

課題を解決するための手段

[0009] 上記目的を達成するために本発明は、絶縁性基板上に複数の画素電極と前記画素電極のスイッチングを行うスイッチング素子とを備える画素基板と、絶縁性基板上に対向電極を備える対向基板が液晶層を挟持してなる液晶表示パネルにおいて、前記画素基板の外周縁に沿って第1検査配線が配設され、該第1検査配線の両端と電気的に接続された第1検査パッドを用いて前記第1検査配線の抵抗検査を行なうことにより前記画素基板外縁に発生したクラック又はカケを検出することを特徴とする。

[0010] この構成によると、画素基板の外周縁にクラック又はカケが発生した場合、第1検査配線が破断する。これにより第1検査配線の両端から電圧を印可し抵抗測定をおこなうことで、目視等の光学検査によらずクラック又はカケの発生を検出することができる。

[0011] また本発明は、上記構成の液晶表示パネルにおいて、前記画素基板の外周縁から内周側に設けられた所定幅の許容領域の内周縁に沿って第2検査配線が配設され、該第2検査配線の両端と電気的に接続された第2検査パッドを用いて前記第2検査配線の抵抗検査を行なうことにより前記画素基板外縁に発生したクラック又はカケを検出することを特徴とする。

[0012] この構成によると、画素基板の外周縁に発生した微小なカケが許容できる大きさで

BOE Ex. 1002, p. 266
BOE v. Paneltouch
IPR2025-01482

あるか否かの判断基準として基板の外縁から内周側に所定幅の許容領域を設け、第2検査配線をこの許容領域の内周縁に沿って配設することでカケが許容できない大きさのものである場合、第1検査配線とともに第2検査配線が破断する。また、画素基板の大きなワレにつながるクラックが許容領域を超えて発生した場合も第1検査配線とともに第2検査配線が破断する。したがって、第2検査配線の両端から電圧を印可し抵抗測定をおこなうことで、目視によらず、許容できないカケ又はクラックの発生が検出され、当該液晶表示パネルを不良品と判定することができる。

[0013] また、第1検査配線と第2検査配線の両方で抵抗検査を行い、第1検査配線のみ破断が確認された場合、第1検査配線の破断の原因が大きなワレにつながるクラックであるか、許容できるカケであるか判定できない。この場合、光学検査により破断の原因を確認して当該液晶表示パネルを評価することで不良品の選別を容易且つ確実に行なうことができる。

[0014] また本発明は、上記構成の液晶表示パネルにおいて、前記対向基板の外周縁に沿って第3検査配線が配設され、該第3検査配線の両端と電気的に接続された第3検査パッドを用いて前記第3検査配線の抵抗検査を行なうことにより前記対向基板外縁に発生したクラック又はカケを検出することを特徴とする。

[0015] この構成によると、対向基板の外周縁にクラックが発生した場合、第3検査配線が破断する。これにより第3検査配線の両端から電圧を印可し抵抗測定をおこなうことで、目視等の光学検査によらず、クラック又はカケの発生の有無を検出することができる。

[0016] また本発明は、上記構成の液晶表示パネルにおいて、前記第3検査パッドが前記画素基板上に設けられていることを特徴とする。

[0017] この構成によると、検査パッドを画素基板上にまとめることで抵抗検査の作業効率を高めることができる。

[0018] また本発明は、上記構成の液晶表示パネルにおいて、前記対向基板の外周縁から内周側に設けられた所定幅の許容領域の内周縁に沿って第4検査配線が配設され、該第4検査配線の両端と電気的に接続された第4検査パッドを用いて前記第4検査配線の抵抗検査を行なうことにより前記対向基板外縁に発生したクラック又はカケ

BOE Ex. 1002, p. 267
BOE v. Paneltouch
IPR2025-01482

を検出することを特徴とする。

[0019] この構成によると、対向基板の外周縁に発生した微小なカケが液晶表示パネルの品質において許容できる大きさであるかの判断基準として基板の外縁から内周側に所定幅の許容領域を設け、第4検査配線をこの許容領域の内周縁に沿って配設することで、カケが許容できない大きさのものである場合、第4検査配線が破断する。また、対向基板の大きなワレにつながるクラックが許容領域を超えて発生した場合も第4検査配線が破断する。これにより第4検査配線の両端から電圧を印可し抵抗測定をおこなうことで、目視等の光学検査によらず、許容できないカケ又はワレの発生が検出され、液晶表示パネルを不良品と判定することができる。

[0020] また、第3検査配線と第4検査配線の両方で抵抗検査を行い、第3検査配線のみ破断が確認された場合、第3検査配線の破断の原因が大きなワレにつながるクラックであるか、許容できるカケであるか判定できない。この場合、光学検査により破断の原因を確認して当該液晶表示パネルを評価することで不良品の選別を容易且つ確実に行なうことができる。

[0021] また本発明は、上記構成の液晶表示パネルにおいて、前記第4検査パッドが前記画素基板上に設けられていることを特徴とする。

[0022] この構成によると、検査パッドを画素基板上にまとめることで抵抗検査の作業効率を高めることができる。

[0023] また本発明は、分断ラインに沿って前記絶縁性基板を分断し得られる上記構成の液晶表示パネルにおいて、前記画素基板側絶縁性基板の前記分断ライン外周側に設けられた所定幅の許容領域の外周縁に沿って第5検査配線が配設されるとともに、該第5検査配線は分断ラインの交差部付近で前記第1検査配線に接続され、該第5検査配線の両端と電気的に接続された第5検査パッドが前記分断ラインより内周側に設けられ、前記5検査パッド及び前記第1検査パッドを用いて前記第5検査配線と前記第1検査配線間の抵抗検査を行なうことにより分断ラインから外周側に生じた分断のズレを検出することを特徴とする。

[0024] この構成によると、本来の分断ラインからズレて形成された分断位置が液晶表示パネルの品質において許容可能か否かの判断基準として分断ラインの外周側に設けら

BOE Ex. 1002, p. 268
BOE v. Paneltouch
IPR2025-01482

れた許容領域を超えた場合、許容領域の外周縁に沿って配設された第5検査配線は断線しない。一方、許容領域内で絶縁性基板が分断された場合、第5検査配線は断線する。これにより第5検査配線の両端から電圧を印可し抵抗測定をおこなうことで、目視によらず、許容できないズレの発生を検出することができる。

[0025] また、第5検査配線は分断ラインの交差部付近で第1検査配線と接続している。これにより、ある分断ラインで生じた分断のズレが許容領域内である場合、当該分断位置において第5検査配線と第1検査配線の接続部分は断線するが、分断のズレが許容領域を超えて生じた場合、当該分断位置において第5検査配線と第1検査配線の接続部分は断線しない。これにより、第5検査パッドと第1検査パッドの両端から第5検査配線と第1検査配線の間に電圧を印可し抵抗測定をおこなうことで、許容できないズレが生じた分断ラインを検出することができる。

[0026] また本発明は、上記構成の液晶表示パネルを検査する方法であって、少なくとも前記第1又は第2検査配線のいずれかに電圧を印加する抵抗検査工程と目視による光学検査工程と、を含み、前記抵抗検査工程において、液晶表示パネルの欠陥レベルを評価して前記光学検査工程を行なうか否かを判定することを特徴とする。

[0027] この構成によると、まず抵抗検査を行ない液晶表示パネルの良品又は不良品の評価を行った後、抵抗検査のみでは評価できない液晶表示パネルのみ光学検査を行なうことで効率よく液晶表示パネルの不良品を選別することができる。

発明の効果

[0028] 本発明は液晶表示パネルの検査工程を効率化するとともに液晶表示パネル外縁に発生したカケ又はクラックを原因とする不良品の選別をより確実に行なうことができる。

図面の簡単な説明

[0029] [図1]第1実施形態に係る液晶表示パネルの斜視図である。

[図2]第1実施形態に係る液晶表示パネルの分解斜視図である。

[図3]第1実施形態に係る液晶表示パネルの平面図である。

[図4]第1実施形態に係る液晶表示パネルにおける画素基板の表面構造を示す正面図である。

BOE Ex. 1002, p. 269
BOE v. Paneltouch
IPR2025-01482

[図5]第1実施形態に係る液晶表示パネルにおける画素基板の表面構造を示す正面図である。

[図6]第1実施形態に係る液晶表示パネルにおける画素基板の表面構造を示す正面図である。

[図7]第1実施形態に係る液晶表示パネルにおける画素基板の表面構造を示す正面図である。

[図8]第1実施形態に係る液晶表示パネルにおける画素基板の表面構造を示す正面図である。

[図9]第1実施形態に係る液晶表示パネルにおける画素基板の表面構造を示す正面図である。

[図10]第2実施形態に係る液晶表示パネルの分解斜視図である。

[図11](a) 第2実施形態に係る液晶表示パネルの画素基板の表面構造を示す平面図であり、(b) 第2実施形態に係る液晶表示パネルの対向基板の表面構造を示す平面図である。

[図12](a) 第2実施形態に係る液晶表示パネルの画素基板の表面構造を示す平面図であり、(b) 第2実施形態に係る液晶表示パネルの対向基板の表面構造を示す平面図である。

[図13](a) 第2実施形態に係る液晶表示パネルの画素基板の表面構造を示す平面図であり、(b) 第2実施形態に係る液晶表示パネルの対向基板の表面構造を示す平面図である。

[図14](a) 第2実施形態に係る液晶表示パネルの画素基板の表面構造を示す平面図であり、(b) 第2実施形態に係る液晶表示パネルの対向基板の表面構造を示す平面図である。

[図15](a) 第2実施形態に係る液晶表示パネルの画素基板の表面構造を示す平面図であり、(b) 第2実施形態に係る液晶表示パネルの対向基板の表面構造を示す平面図である。

[図16]第3実施形態に係る液晶表示パネルにおける分断前の画素基板の表面構造を示す正面図である。

BOE Ex. 1002, p. 270
BOE v. Paneltouch
IPR2025-01482

[図17](a) 第3実施形態に係る液晶表示パネルにおける分断ラインに沿って分断された画素基板の表面構造を示す平面図であり、(b) 第3実施形態に係る液晶表示パネルにおける外形許容ラインの外側で分断された画素基板の表面構造を示す平面図である。

符号の説明

[0030] 1 液晶表示パネル
2 画素基板
21 許容領域
3 液晶層
4 対向基板
41 許容領域
5a 第1検査配線
5b 第2検査配線
5c 第3検査配線
5d 第4検査配線
5e 第5検査配線
6 走査線
7 データ線
9a～9e 検査パッド
12c、d 転移電極
13 分断ライン
14 許容領域の外周縁
15 絶縁性基板
30 有効領域

発明を実施するための最良の形態

[0031] 以下、本発明の実施形態を図面を参照して説明する。

[第1実施形態]

[0032] 本実施形態に係る液晶表示パネル1は本発明に係る検査方法に適した液晶表示

BOE Ex. 1002, p. 271
BOE v. Paneltouch
IPR2025-01482

パネル1の構造として発明されたものである。図1は、本実施形態に係る液晶表示パネル1の斜視図であり、図2は該液晶表示パネル1の分解斜視図、図3は該本液晶表示パネル1の正面図である。液晶表示パネル1は、画素基板2に対向基板4を対向配置し、両基板間に液晶3を封入して構成されている。

[0033] ここで、画素基板2は、透明な絶縁性基板上に複数の走査線6と複数のデータ線7とが互いに交差する表示領域30を有する。走査線6と複数のデータ線7の各交差部ごとに、画素電極及び該画素電極を駆動するスイッチング素子であるTFTが形成され、液晶表示パネルの表示にあたっては、各画素電極に走査線6及びデータ線7から電位を選択的に書き込み、画素電極と対向電極との間の電圧差により介在する液晶を変調させ表示領域30に表示パターンを形成するものである。また、走査線6とデータ線7は電極端子(不図示)と接続し電極端子と対向する対向基板上の領域は液晶表示パネルの表示領域から切り離され、電極端子は外部に露出し駆動用IC(不図示)と電気的に接続している。

[0034] また、液晶表示パネルの製造工程において、絶縁性基板を分断する際、画素基板2の外周縁の一部にクラック又はカケ等のキズが発生することがある。以下、絶縁性基板の大きなワレにつながるものをクラックとし、絶縁性基板の大きなワレにつながらないものをカケとして説明する。

[0035] 画素基板2の透明な絶縁性基板には、その外周縁に沿って第1検査配線5aが設けられるとともに、第1検査配線5aの内周側に第2検査配線5bが設けられている。第1検査配線5a及び第2検査配線5bはクラック又はカケを検出するためのものである。

[0036] 第1検査配線5aは画素基板2の外周縁でクラック又はカケが発生した場合、容易に断線するものである。この断線により、第1検査配線5aの両端に接続された検査パッド9aに電圧を印可して抵抗検査を行なうことで発生したクラック又はカケの有無を検出することができる。

[0037] ここで、画素基板2の外周縁において発生したクラックは微小なものであっても将来絶縁性基板の大きなワレにつながる可能性があるため、クラックが発生した液晶表示パネルは不良品と判定する必要がある。一方、画素基板2の外周縁において微小なカケが発生した場合、このカケが将来絶縁性基板の大きなワレにつながる可能性の

BOE Ex. 1002, p. 272
BOE v. Paneltouch
IPR2025-01482

ないものであり、液晶表示パネルの品質を低下させることがない程度の大きさであれば当該液晶表示パネルを良品と判定することができる。

[0038] このカケが許容できるか否かの判断基準として画素基板2にはその外周縁から内周側に所定領域にわたる許容領域21(図中、斜線部分)が設けられ、この許容領域21を超える大きさのカケが発生した液晶表示パネルを不良品と判断する。ここで、本実施形態に係る画素基板2では第2検査配線5bが前記許容領域21の内周縁に沿って設けられ、この第2検査配線5bも第1検査配線5aと同様に絶縁性基板のクラック又はカケにより、容易に断線するものである。

[0039] したがって、第2検査配線5bの両端に接続された第2検査パッド9bに電圧を印可して抵抗検査を行なうことで、第2検査配線5bが断線した場合、抵抗検査により当該液晶表示パネル1に許容領域21を超える大きさのクラック又はカケが発生していると予測することができる。

[0040] 以上のことから、第1検査配線5a及び第2検査配線5bの抵抗検査の結果、第1検査配線5a及び第2検査配線5bのいずれもが断線している場合、当該液晶表示パネル1はクラック又は許容できない大きさのカケが生じていると判定し、目視検査を行なうことなく不良品であると判定することができる。また、第1検査配線5a及び第2検査配線5bのいずれも断線していない場合、画素基板2上にはクラックが発生していないと予測でき、当該液晶表示パネル1の目視検査を行なうことなく良品であると判定することができる。

[0041] また、第1検査配線5a又は第2検査配線5bのどちらか一方で断線が確認された場合、抵抗検査のみでは当該パネルの良品であるか不良品であるかの判断を確定することはできないため、目視検査を行ない断線の原因を確認した上で判断する必要がある。

[0042] なお、第1検査配線5a及び第2検査配線5bは図1～図3において画素基板2の外周縁に沿って2辺にわたって設けられているが、走査線6とデータ線7及びそれらと接続する電極端子(不図示)及び駆動用IC(不図示)の配置に応じて第1検査配線5a及び第2検査配線5bの配置を変更することは可能であり、上記配置に限定されるものではない。

BOE Ex. 1002, p. 273
BOE v. Paneltouch
IPR2025-01482

[0043] また、第1検査配線5a及び第2検査配線5bはなるだけ細いほうが好ましく、画素基板2上のデータ線7及び走査線6等の導電体形成時に第1検査パッド9a及び第2検査パッド9bとともに所定の形状にパターンニングして形成することができる。

[0044] 次に本実施形態に係る液晶表示パネルの検査方法について具体例を示しながら説明する。本発明に係る液晶表示パネルの検査方法はホイールカッタ等の切断部材で分断した後の液晶表示パネル1を検査対象とし、表面に設けられた各検査パッド9a、9bに電圧を印可して第1検査配線5a及び第2検査配線5bの断線の有無を検査する抵抗検査工程と目視による光学検査工程を組み合わせたものである。なお、以下の液晶表示パネルの検査方法は液晶を注入した後の液晶表示パネルについて検査を行なう場合に限定されるものではなく液晶注入前のものにおいても行なうことができる。

[0045] 図4は液晶表示パネル1における画素基板2の表面構造を示す正面図であり、画素基板2の外周縁にカケC1が発生し、第1検査配線5aの一部が断線している。またカケC1は許容領域21を超えるほど大きなカケではなく第2検査配線5bは断線していない。

[0046] 図4に示される液晶表示パネル1では、第1検査配線5a及び第2検査配線5bの両端に接続された検査パッド9a、9bにそれぞれ電圧を印可し行なう抵抗検査工程において第1検査配線5aの断線が確認され第2検査配線5bでは断線は確認されない。

[0047] このように、第1検査配線5a及び第2検査配線5bのうち第1検査配線5aのみに断線が確認された場合、画素基板2の外縁に将来大きなワレにつながるクラック又は許容できる程度の微小なカケの発生を予測することができる。しかし、抵抗検査のみではクラックが発生しているのかカケが発生しているのかは判断することができないため、抵抗検査の後、目視等の光学検査により断線の原因を確認した上で当該液晶表示パネル1の良品判断を行なう必要がある。そこで、目視検査により、カケC1が画素基板2の外周縁で発生した許容可能な大きさであり、その形状が後に基板の大きなワレにつながるものではないと確認できた場合、当該液晶表示パネルを良品と判定する。

[0048] 図5は液晶表示パネル1における画素基板2の表面構造を示す正面図であり、画素

BOE Ex. 1002, p. 274
BOE v. Paneltouch
IPR2025-01482

基板2の外周縁にカケC2が発生し、第1検査配線5a及び第2検査配線5bの一部が断線している。このカケC2は将来大きなワレにつながるものではないが許容領域21を超える大きさのカケである。

[0049] 図5に示される液晶表示パネル1では、第1検査配線5a及び第2検査配線5bの両端に接続された検査パッド9a、9bにそれぞれ電圧を印可し行なう抵抗検査工程において第1検査配線5a及び第2検査配線5bの断線が確認できる。これにより、許容範囲21を超えるクラック又はカケが画素基板2の外周縁に発生していると予測することができる。

[0050] このように、第1検査配線5a及び第2検査配線5bの両方に断線が確認された場合、目視検査を行なうことなく当該液晶表示パネル1を不良品であると判定する。

[0051] 図6は液晶表示パネル1における画素基板2の表面構造を示す正面図であり、画素基板2の外周縁に将来大きなワレにつながるクラックC3が発生し、第1検査配線5aの一部が断線している。また、クラックC3は許容範囲21を超えるほど大きなものではなく第2検査配線5bは断線していない。

[0052] 図6に示される液晶表示パネル1では、第1検査配線5a及び第2検査配線5bの両端に接続された検査パッド9a、9bにそれぞれ電圧を印可し行なう抵抗検査工程において第1検査配線5aの断線が確認され第2検査配線5bでは断線は確認されない。これにより、第1検査配線5aの断線の原因として将来大きなワレにつながるクラック又は許容できる程度の微小なカケの発生を予測することができる。

[0053] このように、第1検査配線5a又は第2検査配線5bのいずれか一方に断線が確認された場合、抵抗検査の後、目視検査により断線の原因を確認した上で当該液晶表示パネル1の良品判断を行なう必要がある。そこで、目視検査により、クラックC3が将来基板の大きなワレにつながるクラックであることが確認できた場合、当該液晶表示パネルを不良品と判定する。

[0054] 図7は液晶表示パネル1における画素基板2の表面構造を示す正面図であり、画素基板2の第2検査配線5bの一部がパターン不良P1により断線している。また、第1検査配線5aは断線していない。

[0055] 図7に示される液晶表示パネル1では、第1検査配線5a及び第2検査配線5bの両

BOE Ex. 1002, p. 275
BOE v. Paneltouch
IPR2025-01482

端に接続された検査パッド9a、9bにそれぞれ電圧を印可し行なう抵抗検査工程において第2検査配線5bのみの断線が確認され第1検査配線5aでは断線は確認されない。このとき、第1検査配線5aが断線していないことから、第2検査配線5bの断線の原因がヒビ、クラック、カケではないと予測することができる。

[0056] このように、第1検査配線5a又は第2検査配線5bのいずれか一方に断線が確認された場合、抵抗検査の後、目視検査により断線の原因を確認した上で当該液晶表示パネル1の良品判断を行なう必要がある。そこで、目視検査により、断線の原因がパターン不良P1によるものと確認することができれば、このパターン不良は液晶表示パネルの品質を低下させるものではないため当該液晶表示パネル1を良品と判定する。

[0057] 図8は液晶表示パネル1における画素基板2の表面構造を示す正面図であり、画素基板2の第1検査配線5aの一部がパターン不良P2により断線している。また、第2検査配線5bは断線していない。

[0058] 図8に示される液晶表示パネル1で、第1検査配線5a及び第2検査配線5bの両端に接続された検査パッド9a、9bにそれぞれ電圧を印可し行なう抵抗検査工程において第1検査配線5aのみの断線が確認され第2検査配線5bでは断線は確認されない。

[0059] このように、第1検査配線5a又は第2検査配線5bのいずれか一方に断線が確認された場合、抵抗検査の後、目視検査により断線の原因を確認した上で当該液晶表示パネル1の良品判断を行なう必要がある。そこで、目視検査により、断線の原因がパターン不良P2によるものと確認することができれば、このパターン不良は液晶表示パネルの品質を低下させるものではないため当該液晶表示パネル1を良品と判断する。

[0060] 図9は液晶表示パネル1における画素基板2の表面構造を示す正面図であり、画素基板2上にクラック及びカケは発生していない。

[0061] 図9に示される液晶表示パネル1では、第1検査配線5a及び第2検査配線5bの両端に接続された検査パッド9a、9bにそれぞれ電圧を印可し行なう抵抗検査工程においていずれの検査配線においても断線が確認されない。これにより、クラック又はカ

BOE Ex. 1002, p. 276
BOE v. Paneltouch
IPR2025-01482

ケが画素基板2の外周縁に発生していないと予測することができる。

[0062] このように、第1検査配線5a及び第2検査配線5bの両方に断線が確認されない場合、目視検査を行なうことなく当該液晶表示パネル1を良品であると判定する。

[0063] 以上より、第1及び第2検査配線に断線が確認された場合、目視検査を行なうことなく当該液晶表示パネルを不良品と判定する。また、第1及び第2検査配線のいずれにも断線が確認されなかった場合、目視検査を行なうことなく当該液晶パネルを良品と判定する。また、第1又は第2検査配線のいずれかに断線が確認された場合、目視検査を行ない断線の原因を確認して液晶表示パネルを評価する。

[0064] したがって、抵抗検査により液晶表示パネル1を一旦、不良品と良品とに選別し、抵抗検査だけでは良品判断できない液晶表示パネルについてのみ目視検査をおこなうことで、液晶表示パネルの検査効率を高めることができる。

[第2実施形態]

[0065] 次に本発明の第2実施形態に係る液晶表示パネル1を図を参照して説明する。なお、上記第1実施形態と共通する部分については同一の付号を付するとともに説明を省略する。図10は、本実施形態に係る液晶表示パネル1の分解斜視図である。本実施形態に係る液晶表示パネル1も第1実施形態に係る液晶表示パネル1と同様の構成を有し、アクティブマトリクス駆動方式の液晶表示パネルであり、画素基板2に対向基板4を対向配置し、両基板2，4間に液晶3を封入して構成されている。

[0066] 図11(a)は本実施形態に係る液晶表示パネル1の画素基板2の表面構造を示す平面図であり、画素基板2は、透明な絶縁性基板上に複数の走査線6と複数のデータ線7とが互いに交差する表示領域30を有する。ここで、走査線6と複数のデータ線7の各交差部ごとに、画素電極及び該画素電極を駆動するスイッチング素子であるTFTが形成され、液晶表示パネルの表示にあたっては、各画素電極に走査線6及びデータ線7から電位を選択的に書き込み、画素電極と対向電極との間の電圧差により介在する液晶を変調させることで表示領域30に表示パターンを形成するものである。また、走査線6とデータ線7は電極端子(不図示)と接続し電極端子と対向する対向基板上の領域は液晶表示パネルの表示領域から切り離され、電極端子は外部に露出し駆動用IC(不図示)と電気的に接続している。

BOE Ex. 1002, p. 277
BOE v. Paneltouch
IPR2025-01482

[0067] また、画素基板2の透明な絶縁性基板の外周縁に沿って第1検査配線5aが設けられるとともに、第1検査配線5aの内周側に第2検査配線5bが設けられている。第1検査配線5a及び第2検査配線5bは、画素基板単位で絶縁性基板を分断する際、発生する画素基板2の外周縁の一部にクラック又はカケを検出するためのものである。

[0068] 第1検査配線5aは画素基板2の外周縁でクラック又はカケが発生した場合、容易に断線するものである。この断線により、第1検査配線5aの両端に接続された検査パッド9aに電圧を印可して抵抗検査を行なうことで発生したクラック又はカケの有無を検出することができる。

[0069] ここで、画素基板2の外周縁において発生したクラックは微小なものであっても将来絶縁性基板の大きなワレにつながる可能性があるため、クラックが発生した液晶表示パネルは不良品と判定する必要がある。一方、画素基板2の外周縁において微小なカケが発生した場合、このカケが将来絶縁性基板の大きなワレにつながる可能性のないものであり、液晶表示パネルの品質を低下させることがない程度の大きさであれば画素基板2を良品と判定することができる。

[0070] このカケが許容できるか否かの判断基準として画素基板2にはその外周縁から内周側に所定領域にわたる許容領域21(図中、斜線部分)が設けられ、この許容領域21を超える大きさのカケが発生した液晶表示パネルを不良品と判断する。ここで、本実施形態に係る画素基板2では第2検査配線5bが前記許容領域21の内周縁に沿って設けられ、この第2検査配線5bも第1検査配線5aと同様に絶縁性基板のクラック又はカケにより、容易に断線するものである。

[0071] したがって、第2検査配線5bの両端に接続された第2検査パッド9bに電圧を印可して抵抗検査を行なうことで、第2検査配線5bが断線した場合、抵抗検査により画素基板2に許容領域21を超える大きさのクラック又はカケが発生していると予測することができる。

[0072] 以上のことから、第1検査配線5a及び第2検査配線5bの抵抗検査の結果、第1検査配線5a及び第2検査配線5bのいずれもが断線している場合、画素基板2はクラック又は許容できない大きさのカケが生じていると判定し、目視検査を行なうことなく不良品であると判断することができる。また、第1検査配線5a及び第2検査配線5bのい

BOE Ex. 1002, p. 278
BOE v. Paneltouch
IPR2025-01482

ずれも断線していない場合、画素基板2上にはクラックが発生していないと予測でき、目視検査を行なうことなく良品であると判断することができる。

[0073] また、第1検査配線5a又は第2検査配線5bのどちらか一方で断線が確認された場合、抵抗検査のみでは画素基板2の良品であるか不良品であるかの判断を確定することはできないため、目視検査を行ない断線の原因を確認した上で判断する必要がある。

[0074] また、図11(b)は本実施形態に係る液晶表示パネル1の対向基板4の表面構造を示す平面図であり、対向基板4表面には対向電極(不図示)が形成されるとともに、対向基板4の外周縁に沿って第3検査配線5c及びその内周側に第4検査配線5dが設けられている。これらは、画素基板2に設けた第1検査配線5aと第2検査配線5bと同様に、対向基板4に発生したカケ又はクラックを検出するためのものである。

[0075] また、画素基板2上に設けられた許容領域21と同様に対向基板4上に発生したカケが許容できるものであるか否かの判断基準として許容領域41(図中、斜線部分)が設けられ、第4検査配線5dはその内周縁に沿って設けられている。

[0076] この第3検査配線5c及び第4検査配線5dは基板上に発生したクラック又はカケが発生した場合、容易に断線するものであり、両端に接続された検査パッド9c、9dに電圧を印可して抵抗検査を行なうことで対向基板4上に発生したクラック又はカケの有無を検出することができる。

[0077] 以上のことから、第3検査配線5c及び第4検査配線5dの抵抗検査の結果、第3検査配線5c及び第4検査配線5dのいずれもが断線している場合、対向基板4にクラック又は許容できない大きさのカケが生じていると判定し、目視検査を行なうことなく対向基板4を不良品であると判定することができる。また、第3検査配線5c及び第4検査配線5dのいずれも断線していない場合、対向基板4上にはクラックが発生していないと予測でき、対向基板4の目視検査を行なうことなく良品であると判断することができる。

[0078] また、第3検査配線5c又は第4検査配線5dのどちらか一方で断線が確認された場合、抵抗検査のみでは当該対向基板が良品であるか不良品であるかの判断を確定することはできないため、目視検査を行ない断線の原因を確認した上で判断する必

BOE Ex. 1002, p. 279
BOE v. Paneltouch
IPR2025-01482

要がある。

[0079] これらのことから、まず第1検査配線5a、第2検査配線5b、第3検査配線5c及び第4検査配線5dの抵抗検査を行ない断線の有無を確認して画素基板2及び対向基板4の良品、不良品の判断をした後、その結果を元に目視検査を行ない、液晶表示パネル1の良品又は不良品の判定を行なう。これにより、不良品流出の防止や生産コストの軽減を図るとともに、極めて信頼性の高い液晶表示パネルを提供することが可能となる。

[0080] なお、対向基板4上に設けられた第3検査配線5c及び第4検査配線5dは図10に示すように画素基板2と対向する側の面に形成され、その各両端は画素基板2と対向基板4とを貼り合わせる際に挟み込まれた転移電極12c、12dを介して画素基板2上の検査パッド9c、9dとそれぞれ接続されている。

[0081] これにより、画素基板2上の外部に露出した部分に検査パッド9a、9b、9c、9dが配置され、抵抗検査の作業効率を高めることができる。

[0082] また、第3検査配線5c及び第4検査配線5dは絶縁性基板の一方にITO等からなる透明電極を所定の形状にパターニングすることにより形成することができる。

[0083] 次に本実施形態に係る液晶表示パネルの検査方法について説明する。本発明に係る液晶表示パネルの検査方法はホイールカッタ等の切断部材で分断した後の液晶表示パネル1を検査対象とし、画素基板2表面に設けられた各検査パッド9a、9b、9c、9dに電圧を印可して第1検査配線5a、第2検査配線5b、第3検査配線5c及び第4検査配線5dの断線の有無を検査する抵抗検査工程と目視による光学検査工程を組み合わせたものである。以下に液晶表示パネル1の検査方法について具体例を示しながら説明する。

[0084] 図12(a)は液晶表示パネル1における画素基板2の表面構造を示す正面図であり、図12(b)は液晶表示パネル1における対向基板4の表面構造を示す正面図である。画素基板2にはカケ、クラック等が発生していないが対向基板4の外周縁にカケC4が発生し、第3検査配線5cの一部が断線している。またカケC4は許容領域41を超えるほど大きなカケではなく第4検査配線5dは断線していない。

[0085] 図12に示される液晶表示パネル1では、第1検査配線5a、第2検査配線5b、第3

BOE Ex. 1002, p. 280
BOE v. Paneltouch
IPR2025-01482

検査配線5c及び第4検査配線5dの両端に接続された検査パッド9a、9b、9c、9dにそれぞれ電圧を印可し行なう抵抗検査工程において第3検査配線5cの断線が確認されそれ以外の検査配線では断線は確認されない。これにより、画素基板2はクラック等が発生しておらず良品であると判断することができるとともに、対向基板4周縁では第3検査配線5cの断線の原因として将来大きなワレにつながるクラック又は許容できる程度の微小なカケの発生を予測することができる。

[0086] このように、対向基板4において第3検査配線5c又は第4検査配線5dのいずれか一方に断線が確認された場合、抵抗検査の後、目視検査により断線の原因を確認した上で当該液晶表示パネル1の良品判断を行なう必要がある。ここで、目視検査により、カケC4が対向基板4上、許容可能な大きさであり、その形状が後に基板の大きなワレにつながるものではないと確認できた場合、当該液晶表示パネルを良品と判定する。

[0087] 図13(a)は液晶表示パネル1における画素基板2の表面構造を示す正面図であり、図13(b)は液晶表示パネル1における対向基板4の表面構造を示す正面図である。画素基板2にはカケ、クラック等が発生していないが対向基板4の外周縁にカケC5が発生し、第3検査配線5c及び第4検査配線5dの一部が断線している。このカケC5は将来大きなワレにつながるものではないが許容領域41を超える大きさのものである。

[0088] 図13に示される液晶表示パネル1では、第1検査配線5a、第2検査配線5b、第3検査配線5c及び第4検査配線5dの両端に接続された検査パッド9a、9b、9c、9dにそれぞれ電圧を印可し行なう抵抗検査工程において第3検査配線5c及び第4検査配線5dの断線が確認される。これにより、画素基板2はクラック等が発生しておらず良品であると判断することができるとともに、対向基板4外周縁では許容範囲41を超えるクラック又はカケが発生していると予測することができる。

[0089] このように、対向基板4において第3検査配線5c及び第4検査配線5dの両方に断線が確認された場合、目視検査を行なうことなく当該液晶表示パネル1を不良品と判断する。

[0090] 図14(a)は液晶表示パネル1における画素基板2の表面構造を示す正面図であり

BOE Ex. 1002, p. 281
BOE v. Paneltouch
IPR2025-01482

、図14(b)は液晶表示パネル1における対向基板4の表面構造を示す正面図である。画素基板2にはカケ、クラック等が発生していないが対向基板4の外周縁にクラックC6が発生し、第3検査配線5cの一部が断線している。またクラックC6は許容領域41を超えるほど大きなカケではなく第4検査配線5dは断線していない。

[0091] 図14に示される液晶表示パネル1では、第1検査配線5a、第2検査配線5b、第3検査配線5c及び第4検査配線5dの両端に接続された検査パッド9a、9b、9c、9dにそれぞれ電圧を印可し行なう抵抗検査工程において第3検査配線5cの断線が確認されそれ以外の検査配線では断線は確認されない。これにより、画素基板2はクラック等が発生しておらず良品であると判断することができるとともに、対向基板4上では第3検査配線5cの断線の原因として将来大きなワレにつながるクラック又は許容できる程度の微小なカケの発生を予測することができる。

[0092] このように、第3検査配線5c又は第4検査配線5dのいずれか一方に断線が確認された場合、抵抗検査の後、目視検査により断線の原因を確認した上で当該液晶表示パネル1の良品判断を行なう必要がある。ここで、目視検査により、クラックC6が後に基板の大きなワレにつながるクラックであることが確認できた場合、当該液晶表示パネルを不良品と判定する。

[0093] 図15(a)は液晶表示パネル1における画素基板2の表面構造を示す正面図であり、図15(b)は液晶表示パネル1における対向基板4の表面構造を示す正面図である。画素基板2の外周縁に将来大きなワレにつながるクラックC7が発生し、第1検査配線5aの一部が断線している。また、クラックC7は許容範囲21を超えるほど大きなものではなく第2検査配線5bは断線していない。

[0094] また、対向基板4の外周縁にカケC8が発生し、第3検査配線5cの一部が断線している。またカケC8は許容領域41を超えるほど大きなカケではなく第4検査配線5dは断線していない。

[0095] 図15に示される液晶表示パネル1では、第1検査配線5a、第2検査配線5b、第3検査配線5c及び第4検査配線5dの両端に接続された検査パッド9a、9b、9c、9dにそれぞれ電圧を印可し行なう抵抗検査工程において第1検査配線5a及び第3検査配線5cの断線が確認されそれ以外の検査配線では断線は確認されない。これにより

BOE Ex. 1002, p. 282
BOE v. Paneltouch
IPR2025-01482

、画素基板2上では第1検査配線5aの断線の原因として将来大きなワレにつながるクラック又は許容できる程度の微小なカケの発生を予測することができるとともに、対向基板4上では第3検査配線5cの断線の原因として将来大きなワレにつながるクラック又は許容できる程度の微小なカケの発生を予測することができる。

[0096] このように、画素基板2において第1検査配線5a又は第2検査配線5bのいずれか一方に断線が確認された場合、又は対向基板4において第3検査配線5c又は第4検査配線5dのいずれか一方に断線が確認された場合、抵抗検査の後、目視検査により断線の原因を確認した上で当該液晶表示パネル1の良品判断を行なう必要がある。このとき、目視検査により、カケC8が対向基板4外周縁で発生した許容可能な大きさであり、その形状が後に基板の大きなワレにつながるものではないと確認できた場合でも、画素基板2においてクラックC7が後に基板の大きなワレにつながるクラックであると確認された場合、当該液晶表示パネルを不良品と判定する。

[0097] 以上より、第1及び第2検査配線又は第3及び第4検査配線に断線が確認された場合、目視検査を行なうことなく当該液晶表示パネルを不良品と判定する。また、第1乃至第4検査配線のいずれにも断線が確認されなかった場合、目視検査を行なうことなく当該液晶パネルを良品と判定する。また、第1又は第2検査配線のいずれかに断線が確認された場合、画素基板2のみ目視検査を行ない断線の原因を確認して液晶表示パネルを評価する。また、第3又は第4検査配線のいずれかに断線が確認された場合、対向基板4のみ目視検査を行ない断線の原因を確認して液晶表示パネルを評価する。

[0098] 従って、抵抗検査により良品又は不良品と判断できる液晶表示パネル1を選別し、抵抗検査だけでは良品判断できない液晶表示パネルについてのみ目視検査をおこなうことで、液晶表示パネルの検査効率を高めることができる。

[第3実施形態]

[0099] 次に本発明の第3実施形態に係る液晶表示パネル1を図を参照して説明する。なお、上記第1実施形態及び第2実施形態と共通する部分については同一の付号を付するとともに説明を省略する。本実施形態に係る液晶表示パネル1も第1実施形態に係る液晶表示パネル1と同様の構成を有し、アクティブマトリクス駆動方式の液晶

BOE Ex. 1002, p. 283
BOE v. Paneltouch
IPR2025-01482

表示パネルであり、画素基板2に対向基板4を対向配置し、両基板2，4間に液晶3を封入して構成されている。

[0100] 図16は分断前の本実施形態に係る液晶表示パネル1における画素基板2の表面構造を示す平面図である。本実施形態に係る液晶パネルは分断ライン13に沿って絶縁性基板を分断して製造されるものであり、分断ライン13が当該液晶表示パネル1の外周縁となる。絶縁性基板15上には複数の走査線6と複数のデータ線7とが互いに交差する表示領域30が形成され、この表示領域30は走査線6と複数のデータ線7の各交差部ごとに、画素電極及び該画素電極を駆動するスイッチング素子が形成され、液晶表示パネルの表示にあたっては、各画素電極に走査線6及びデータ線7から電位を選択的に書き込み、画素電極と対向電極4との間の電圧差により介在する液晶を変調させることで表示パターンを形成するものである。また、走査線6とデータ線7は電極端子（不図示）と接続し電極端子と対向する対向基板上の領域は液晶表示パネルの表示領域から切り離され、電極端子は外部に露出し駆動用IC（不図示）と電気的に接続している。

[0101] ここで、液晶表示パネル1の製造工程において絶縁性基板15は通常、分断ライン13に沿ってホイールカッタ等の切断部材（以下、ホイールカッタという。）によりスクライブ傷を付けた後、分断されるが、この分断位置が分断ライン13から所定領域以上ズレて形成された場合、当該液晶表示パネルは不良品と判断される。この分断位置が許容できるか否かの判断基準として通常、分断ライン13より外周側に所定の許容領域が設けられている。つまり、スクライブ位置が許容領域の外周縁14を超えて形成されなければ、当該液晶表示パネルは良品と判断される。

[0102] 本実施形態に係る液晶表示パネル1は画素基板側絶縁性基板15において、第5検査配線5eが許容領域の外周縁14に沿って設けられるとともに、この第5検査配線5eは縦方向と横方向の分断ライン13が交差する交差部付近で第1検査配線と接続している。また、第5検査配線5eは分断ライン13の内周側で画素基板2上に設けられた検査パッド$9e_1$、$9e_2$と接続している。

[0103] これにより、許容領域の外周縁14を超えず、所定の分断ライン13に沿って絶縁性基板15が分断された場合、第5検査配線5eは絶縁性基板15とともに切断される。一

BOE Ex. 1002, p. 284
BOE v. Paneltouch
IPR2025-01482

方、許容領域の外周縁14を超えて絶縁性基板15が分断された場合、第5検査配線5eは切断されない。

[0104] ここで、液晶表示パネルの分断工程は、横方向及び縦方向と各方向の分断ライン13に沿って直線状にスクライブ傷を付けて行なうため、分断位置のズレは各方向の分断ライン13ごとに発生する。

[0105] 図17は分断後の本実施形態に係る液晶表示パネル1における画素基板2の表面構造を示す平面図であり、図17(a)は縦方向及び横方向とも分断ライン13に沿って分断されたものであり、図17(b)は縦方向においては分断ライン13に沿って分断されているが横方向においては許容領域の外周縁14を超えて分断されたものである。

[0106] 図16と図17(a)を比較すると明らかなように、分断ライン13に沿って分断された画素基板2では、第5検査配線5eが第5検査パッド$9e_1$、$9e_2$との接続部分及び第1検査配線5aとの接続部分において絶縁性基板15とともに切断されている。

[0107] 従って、同方向に配設された検査配線と接続していた第5検査パッド$9e_1$と第1検査パッド$9a_1$に電圧を印可して抵抗検査を行ない第5検査配線5eの断線の有無を検査した場合、断線が検出される。これにより、絶縁性基板15の横方向の分断が許容領域内で行なわれていることがわかる。同様にして、第5検査パッド$9e_2$と第1検査パッド$9a_2$に電圧を印可して抵抗検査を行なうことで、第5検査配線5eの断線が検出されるため絶縁性基板15の縦方向の分断においても許容領域内で行なわれていることがわかる。以上より、抵抗検査をおこなうことで、図17(a)に示される液晶表示パネル1は分断位置が許容領域内で形成された良品であると判断することができる。

[0108] 一方、図16と図17(b)を比較すると明らかなように、図17(b)に示す画素基板2は縦方向においては、分断ライン13に沿って分断され、第5検査配線5eは第5検査パッド$9e_2$との接続部分及び第1検査配線5aとの接続部分が絶縁性基板15とともに切断され断線している。これにより、同方向に配設された検査配線と接続していた第5検査パッド$9e_2$と第1検査パッド$9a_2$に電圧を印可して抵抗検査を行ない第5検査配線5eの断線の有無を検査した場合、断線が検出される。従って、抵抗検査により絶縁性基板15の縦方向の分断が許容領域内で行なわれていることがわかる。

[0109] また、画素基板2は横方向において分断ライン13に沿って分断されておらず、許容

BOE Ex. 1002, p. 285
BOE v. Paneltouch
IPR2025-01482

領域の外周縁14を超えて分断されているため、第5検査配線5eは第5検査パッド$9e_1$との接続部分及び第1検査配線5aとの接続部分が接続された状態で絶縁性基板15が切断されている。これにより、第5検査パッド$9e_1$と第1検査パッド$9a_1$に電圧を印可して抵抗検査を行ない第5検査配線5eの断線の有無を検査した場合、断線が検出されない。従って、抵抗検査により絶縁性基板15の横方向の分断が許容領域の外周縁14を超えて行なわれていると推測され、当該液晶表示パネルを不良品と判断することができる。

[0110] 以上のことから、第1検査パッド9a及び第5検査パッド9eに電圧を印可して抵抗検査を行ない、第5検査配線5eの断線の有無から絶縁性基板15の分断が許容領域の外周縁14を超えて行なわれているかどうかを判断し、液晶表示パネルの評価を行うことができる。

[0111] また、画素基板2の外周縁となる分断ライン13に沿って第1検査配線5aが設けられるとともに、第1検査配線5aの内周側に第2検査配線5bが設けられている。これは、上記第1実施形態で示したものと同様に液晶表示パネルの製造工程において、分断ライン13上、画素基板2の外周縁の一部にクラック又はカケが発生することがあるが、第1検査配線5a及び第2検査配線5bはこのクラック又はカケを検出するためのものである。

[0112] また、第2検査配線5bは画素基板2の外周縁に発生したカケが許容できるものであるか否かの判断基準として設けられた許容領域21(図中、斜線部分)の境界線に沿って設けられている。これにより、許容領域21を超えるカケが発生した場合、この第2検査配線5bが容易に断線し、第2検査配線5bの両端に接続された検査パッド9bに電圧を印可して抵抗検査を行なうことにより画素基板2に許容領域21を超えるクラック又はカケが発生していると推測することができる。

[0113] 以上のことから、本実施形態に係る液晶表示パネル1の検査方法はまず、分断ライン方向ごとに応じた第1検査パッド9a及び第5検査パッド9eに電圧を印可して抵抗検査を行ない、少なくともどちらか一方の分断ライン方向において第5検査配線5eの断線が確認されない場合、当該液晶表示パネルは分断位置のズレが許容範囲を超えるものであり不良品と判断する。一方、全ての分断ライン方向において第5検査配線

BOE Ex. 1002, p. 286
BOE v. Paneltouch
IPR2025-01482

5eの断線が確認された場合、当該液晶表示パネルは分断位置のズレが許容範囲内のものであると判断し、次に実施形態1の液晶表示パネルの検査方法と同様に第1検査配線5a及び第2検査配線5bの抵抗検査を行なう。この結果、第1検査配線5a及び第2検査配線5bのいずれもが断線していると検出された場合、当該画素基板2は目視検査を行なうことなく不良品であると判断することができるとともに、第1検査配線5a及び第2検査配線5bのいずれも断線していないと検出された場合、画素基板2上にはクラック又はカケ、ワレが発生していないと予測でき、目視検査を行なうことなく良品であると判断することができる。

[0114] また、第1検査配線5a又は第2検査配線5bのどちらか一方で断線が確認された場合、抵抗検査のみでは当該画素基板2の良品であるか不良品であるかの判断を確定することはできないため、目視検査を行ない断線の原因を確認した上で判断する必要がある。

[0115] なお、本実施形態に係る液晶表示パネル1において対向基板4には第3検査配線5c及び第4検査配線5dは設けられていないが、第2実施形態で示したように対向基板4上第3検査配線5c及び第4検査配線5dを設け対向基板4上のクラック又はカケ、ワレを検出する検査工程を本検査工程に加えることも可能である。

[0116] また、対向基板4の分断ラインの外周側に所定の許容領域を設け、該許容領域の外周縁に沿って検査配線を設けるとともに該検査配線を対向基板上の分断ラインより内周側に引き出し画素基板2と対向基板4とを貼り合わせる際に挟み込まれた転移電極を介して画素基板2上の検査パッドと接続することにより、上記第5検査配線5eと同様に検査パッドに電圧を印可して抵抗検査を行ない、断線の有無から対向基板4側の絶縁性基板の分断が許容領域の外周縁を超えて行なわれているかどうかを判断することができる。また、このときの検査方法は上記説明した方法と同様の手順により行なうことができる。

[0117] また、第5検査配線5e、第1検査配線5a及び第2検査配線5bはなるだけ細いほうが好ましく、画素基板2上のデータ線7及び走査線6等の導電体形成時に検査パッド9a、9b、9eとともに所定の形状にパターンニングして形成することができる。

[0118] なお、本実施形態における液晶表示パネル1は2辺にわたる分断ライン13に沿って

BOE Ex. 1002, p. 287
BOE v. Paneltouch
IPR2025-01482

絶縁性基板15を分断する場合を示したが、本発明はこれに限定されるわけではなく、1辺、3辺又は4辺にわたる分断ライン13に沿って絶縁性基板15を分断する場合も本発明の技術的範囲に含まれる。また、検査パッド$9a_3$、$9a_4$、$9b_3$、$9b_4$を用いて、液晶表示パネル1の角部におけるカケ、ワレを検出することも可能である。

[0119] なお、本発明は上述した各実施形態に限定されるものではなく、種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。例えば、上記実施例において、画素基板2又は対向基板4上に第1検査配線5a、第2検査配線5b、第3検査配線5c、第4検査配線5b又は第5検査配線5eのうち少なくとも一本が設けられていれば本発明に係る液晶表示パネルとみなすことができる。

産業上の利用可能性

[0120] 本発明は、液晶表示装置に利用することができ、これを用いた、液晶ディスプレイに用いることができる。

BOE Ex. 1002, p. 288
BOE v. Paneltouch
IPR2025-01482

請求の範囲

[1] 絶縁性基板上に複数の画素電極と前記画素電極のスイッチングを行うスイッチング素子とを備える画素基板と、絶縁性基板上に対向電極を備える対向基板が液晶層を挟持してなる液晶表示パネルにおいて、
前記画素基板の外周縁に沿って第1検査配線が配設され、
該第1検査配線の両端と電気的に接続された第1検査パッドを用いて前記第1検査配線の抵抗検査を行なうことにより前記画素基板外縁に発生したクラック又はカケを検出することを特徴とする液晶表示パネル。

[2] 前記画素基板の外周縁から内周側に設けられた所定幅の許容領域の内周縁に沿って第2検査配線が配設され、
該第2検査配線の両端と電気的に接続された第2検査パッドを用いて前記第2検査配線の抵抗検査を行なうことにより前記画素基板外縁に発生したクラック又はカケを検出することを特徴とする請求項1に記載の液晶表示パネル。

[3] 前記対向基板の外周縁に沿って第3検査配線が配設され、
該第3検査配線の両端と電気的に接続された第3検査パッドを用いて前記第3検査配線の抵抗検査を行なうことにより前記対向基板外縁に発生したクラック又はカケを検出することを特徴とする請求項1又は請求項2に記載の液晶表示パネル。

[4] 前記第3検査パッドが前記画素基板上に設けられていることを特徴とする請求項3に記載の液晶表示パネル。

[5] 前記対向基板の外周縁から内周側に設けられた所定幅の許容領域の内周縁に沿って第4検査配線が配設され、
該第4検査配線の両端と電気的に接続された第4検査パッドを用いて前記第4検査配線の抵抗検査を行なうことにより前記対向基板外縁に発生したクラック又はカケを検出することを特徴とする請求項3に記載の液晶表示パネル。

[6] 前記第4検査パッドが前記画素基板上に設けられていることを特徴とする請求項5に記載の液晶表示パネル。

[7] 分断ラインに沿って前記絶縁性基板を分断し得られる請求項1又は請求項2に記載の液晶表示パネルにおいて、

BOE Ex. 1002, p. 289
BOE v. Paneltouch
IPR2025-01482

前記画素基板側絶縁性基板の前記分断ライン外周側に設けられた所定幅の許容領域の外周縁に沿って第5検査配線が配設されるとともに、

該第5検査配線は分断ラインの交差部付近で前記第1検査配線に接続され、

該第5検査配線の両端と電気的に接続された第5検査パッドが前記分断ラインより内周側に設けられ、

前記5検査パッド及び前記第1検査パッドを用いて前記第5検査配線と前記第1検査配線間の抵抗検査を行なうことにより分断ラインから外周側に生じた分断のズレを検出することを特徴とする液晶表示パネル。

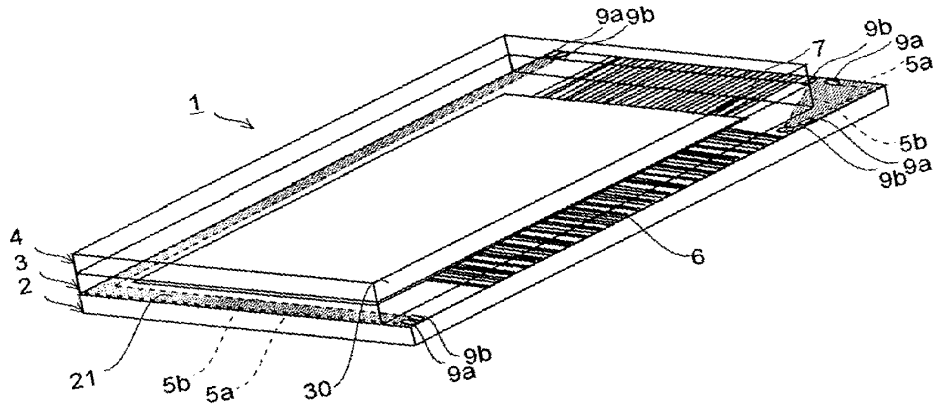
[8] 請求項1又は請求項2に記載の液晶表示パネルを検査する方法であって、

少なくとも前記第1又は第2検査配線のいずれかに電圧を印加する抵抗検査工程と目視による光学検査工程と、を含み、

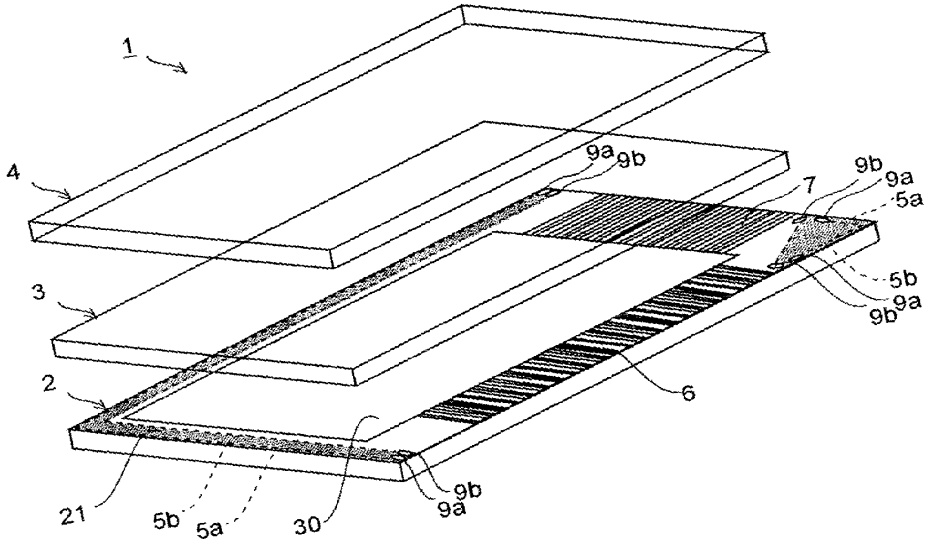
前記抵抗検査工程において、液晶表示パネルの欠陥レベルを評価して前記光学検査工程を行なうか否かを判定することを特徴とする液晶表示パネルの検査方法。

BOE Ex. 1002, p. 290
BOE v. Paneltouch
IPR2025-01482

[図1]

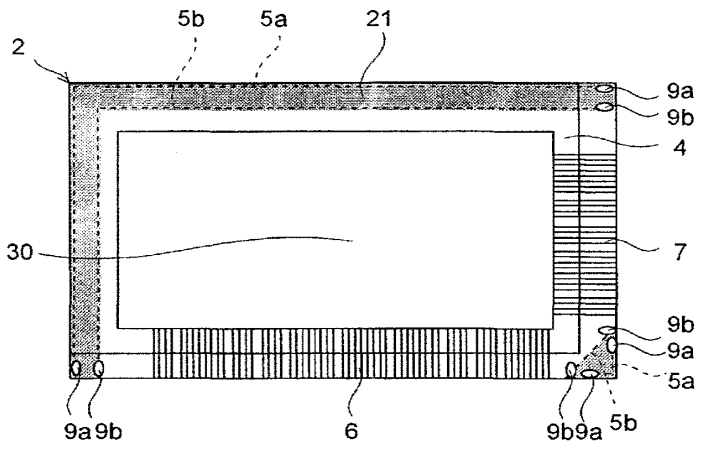


[図2]

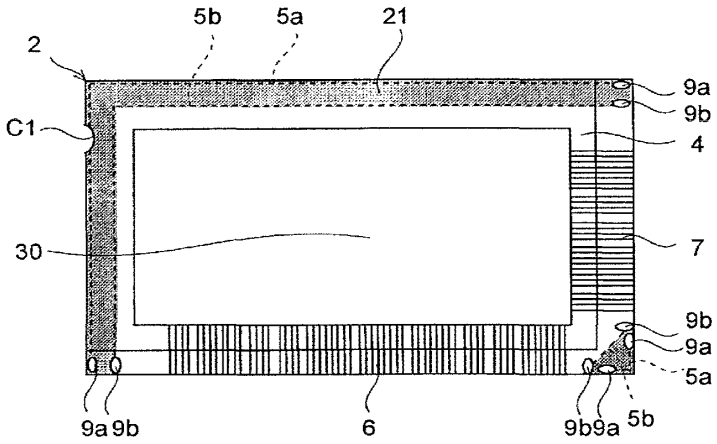


BOE Ex. 1002, p. 291
BOE v. Paneltouch
IPR2025-01482

[図3]

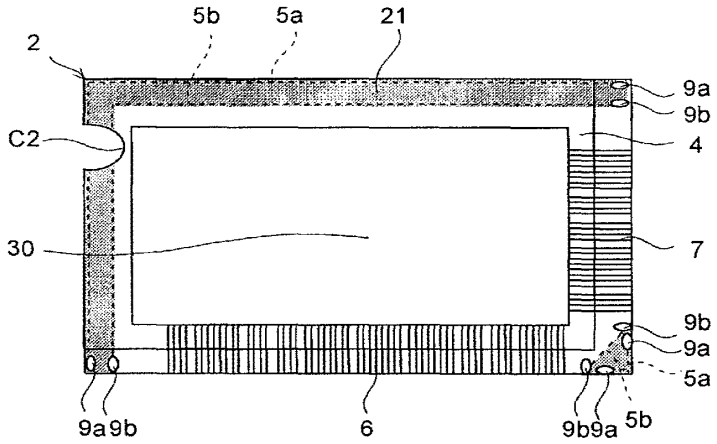


[図4]

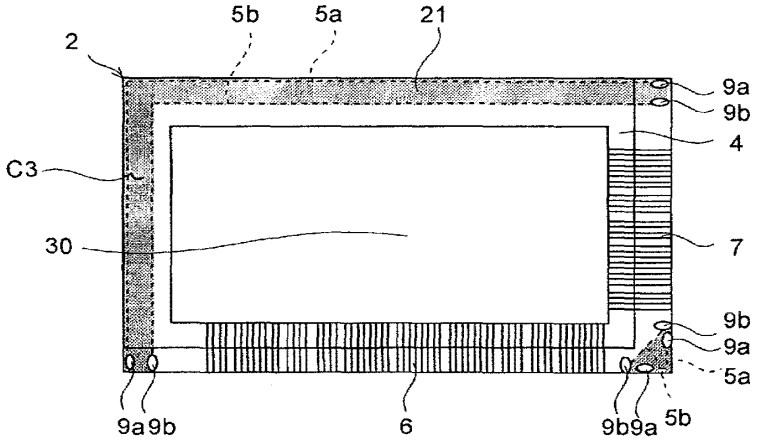


BOE Ex. 1002, p. 292
BOE v. Paneltouch
IPR2025-01482

[図5]

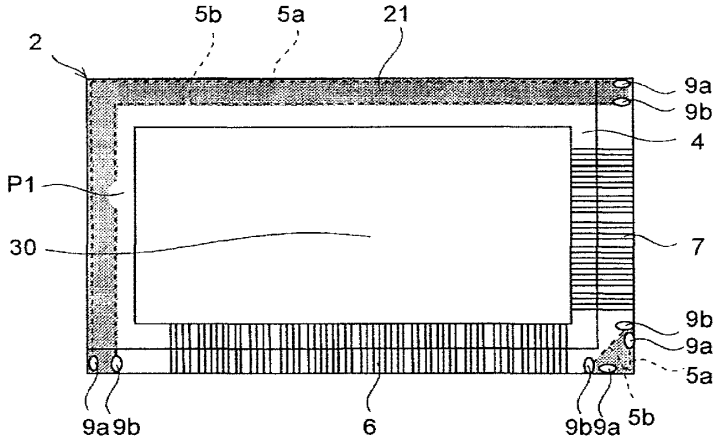


[図6]

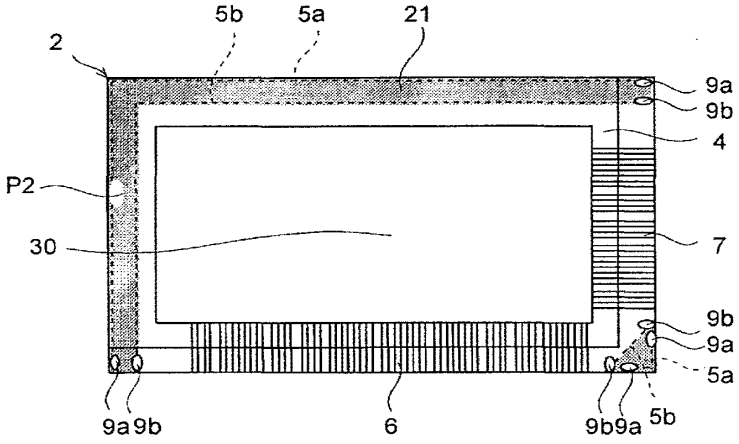


BOE Ex. 1002, p. 293
BOE v. Paneltouch
IPR2025-01482

[図7]

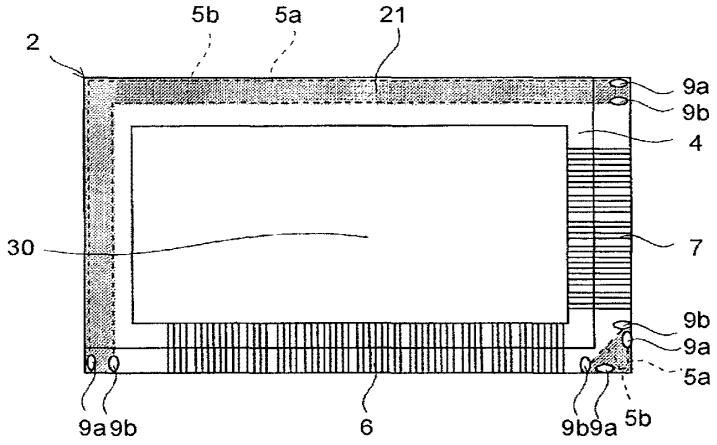


[図8]

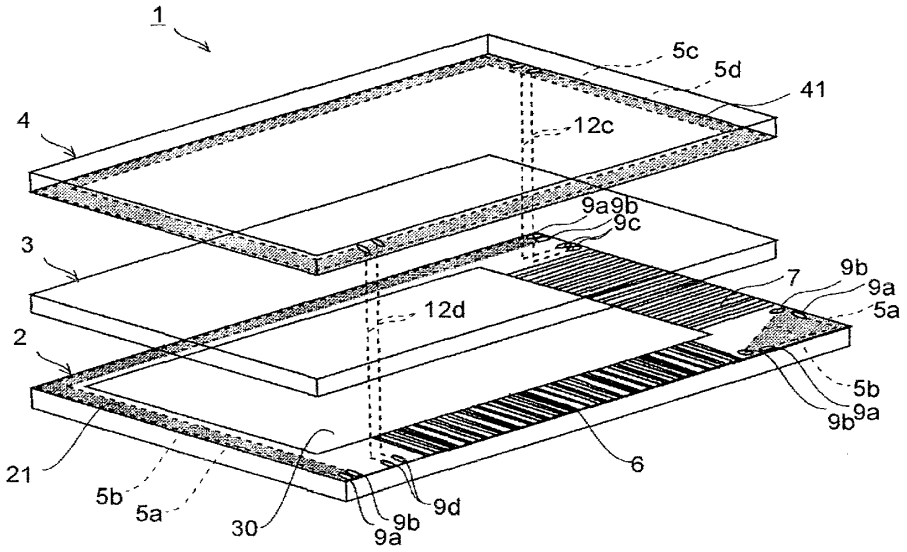


BOE Ex. 1002, p. 294
BOE v. Paneltouch
IPR2025-01482

[図9]

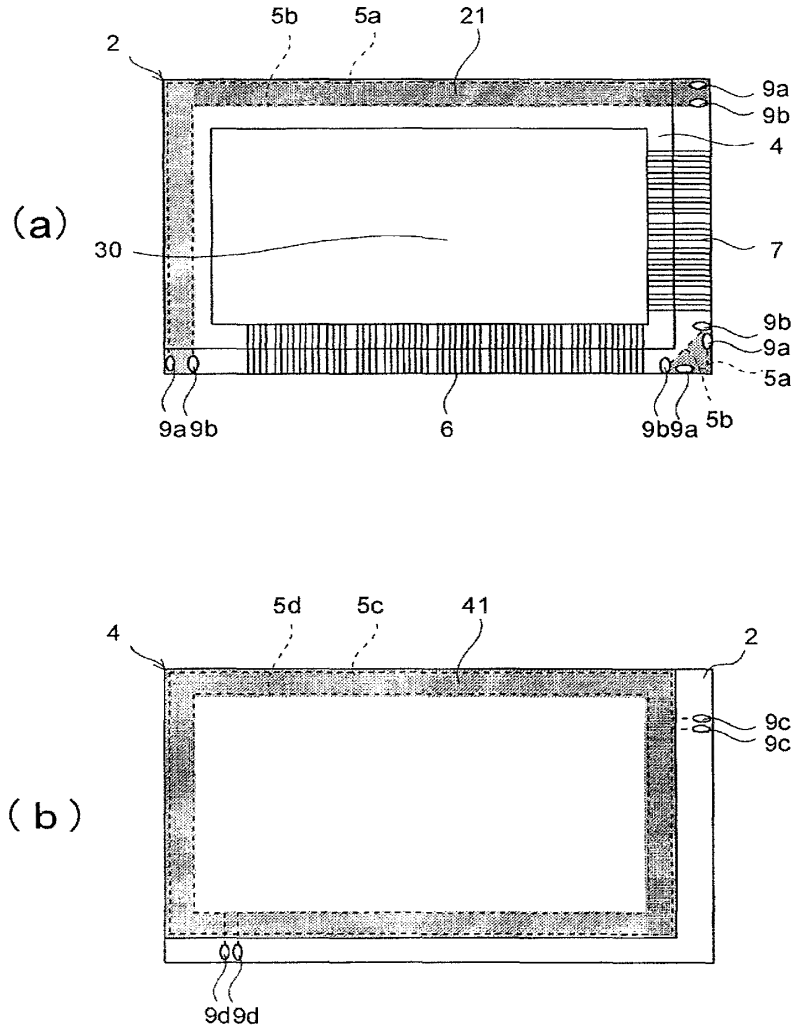


[図10]



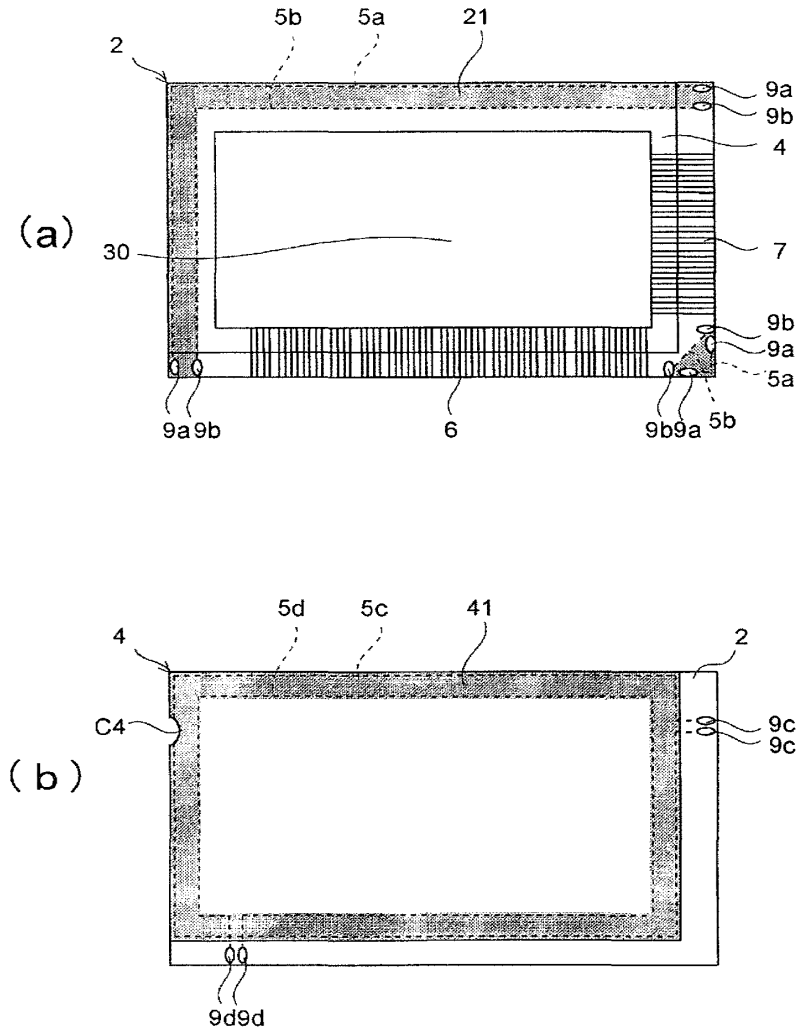
BOE Ex. 1002, p. 295
BOE v. Paneltouch
IPR2025-01482

[図11]



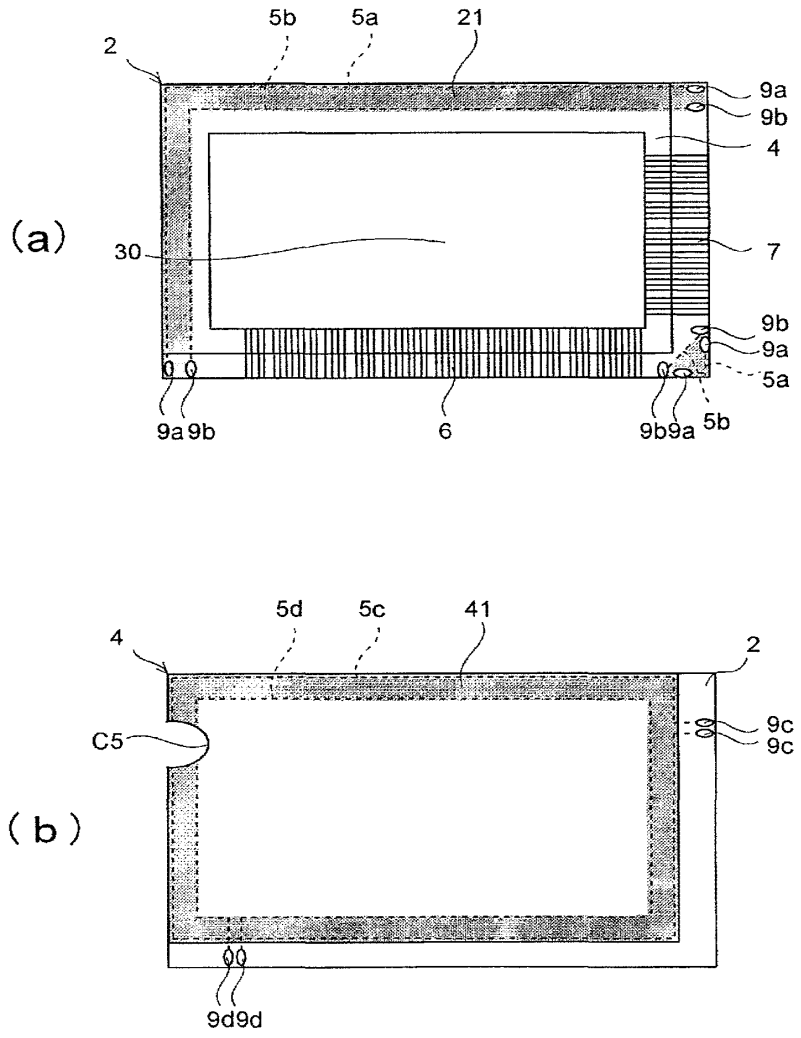
BOE Ex. 1002, p. 296
BOE v. Paneltouch
IPR2025-01482

[図12]



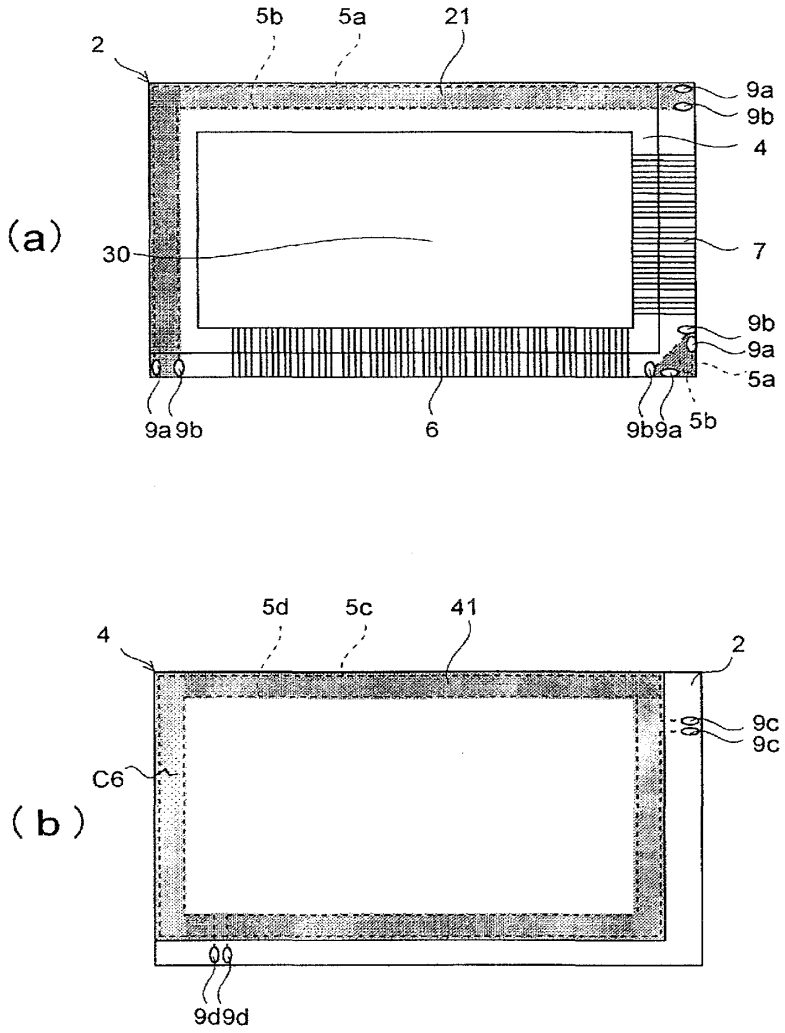
BOE Ex. 1002, p. 297
BOE v. Paneltouch
IPR2025-01482

[図13]



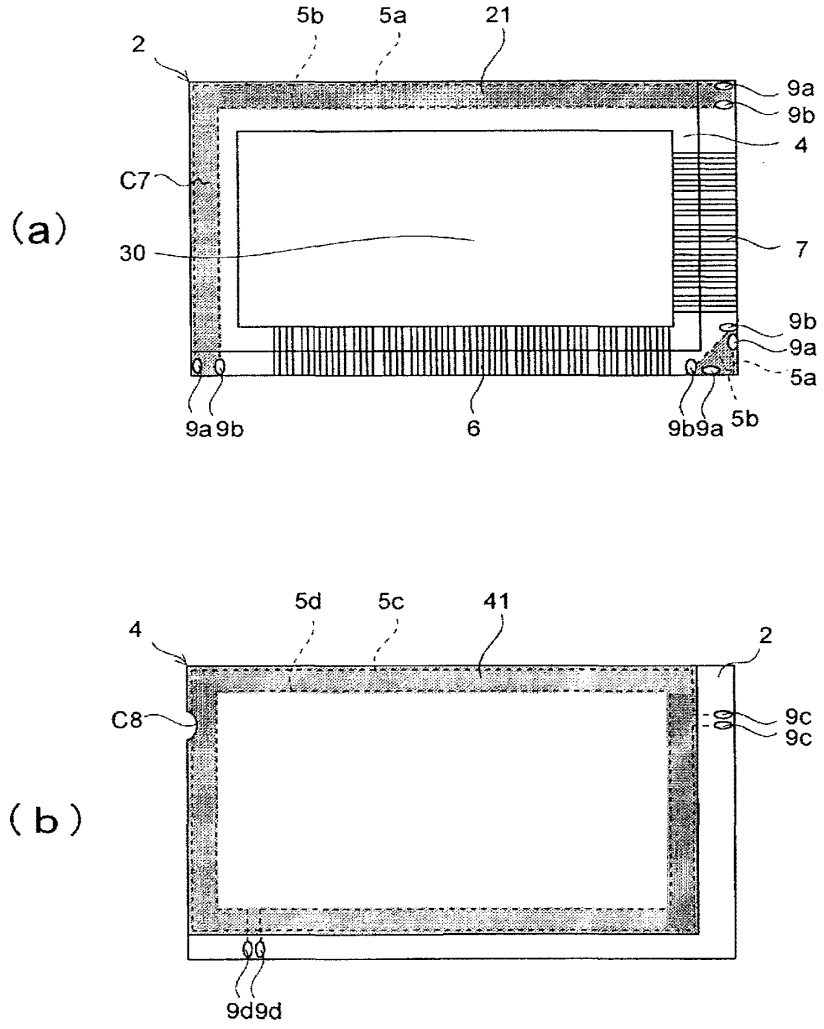
BOE Ex. 1002, p. 298
BOE v. Paneltouch
IPR2025-01482

[図14]



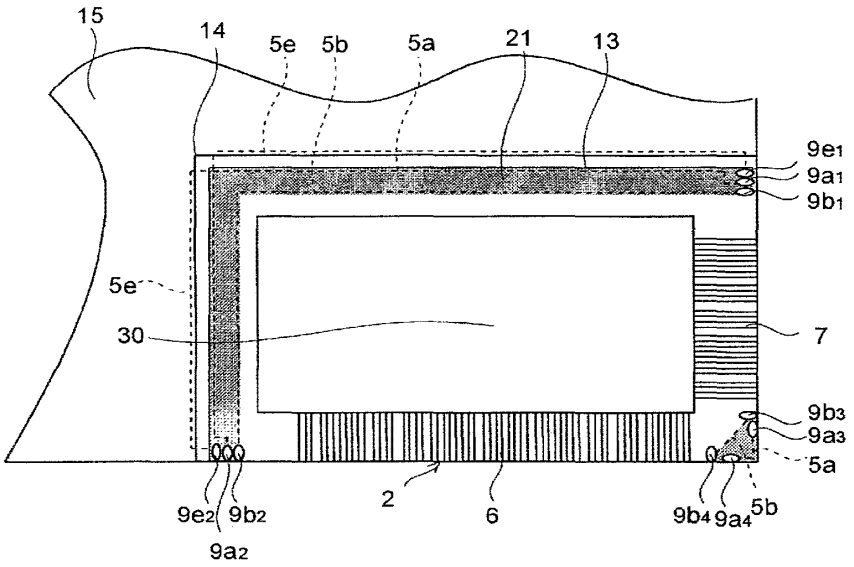
BOE Ex. 1002, p. 299
BOE v. Paneltouch
IPR2025-01482

[図15]



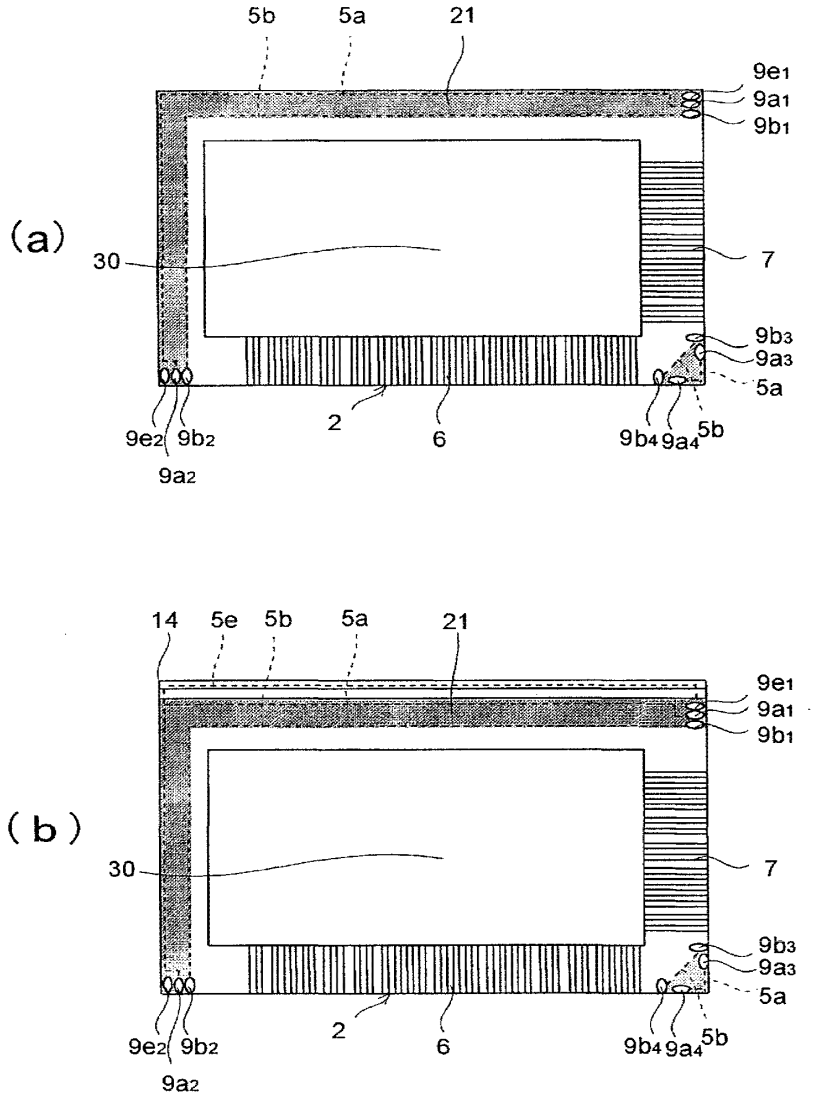
BOE Ex. 1002, p. 300
BOE v. Paneltouch
IPR2025-01482

[図16]



BOE Ex. 1002, p. 301
BOE v. Paneltouch
IPR2025-01482

[図17]



BOE Ex. 1002, p. 302
BOE v. Paneltouch
IPR2025-01482

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/074013

A. CLASSIFICATION OF SUBJECT MATTER
G02F1/13(2006.01)i, *G01R31/00*(2006.01)i, *G02F1/1345*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G02F1/13, G01R31/00, G02F1/1345

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2008
Kokai Jitsuyo Shinan Koho 1971-2008 Toroku Jitsuyo Shinan Koho 1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-131188 A (Ricoh Co., Ltd.), 08 May, 2003 (08.05.03), Full text; all drawings (Family: none)	1,2

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
06 March, 2008 (06.03.08)	18 March, 2008 (18.03.08)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

Form PCT/ISA/210 (second sheet) (April 2007)

BOE Ex. 1002, p. 303
BOE v. Paneltouch
IPR2025-01482

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/074013

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
Although "a special technical feature" of the inventions in claims [1, 2], [3, 6], 7 and 8 is "a liquid crystal display panel characterized in comprising a pixel substrate provided with a plurality of pixel electrodes and switching elements for switching the pixel electrodes on an insulating substrate, a counter substrate provided with a counter electrode on an insulating substrate and a liquid crystal layer held between the pixel substrate and the counter substrate, wherein the pixel substrate is provided with a first inspecting wire along its outer circumference and resistance inspection of the first wire is carried out by using a first inspecting pad electrically connected with both ends of the first inspecting wire, (continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1 and 2 .

Remark on Protest

the

☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.

☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

☐ No protest accompanied the payment of additional search fees.

Form PCT/ISA/210 (continuation of first sheet (2)) (April 2007)

BOE Ex. 1002, p. 304
BOE v. Paneltouch
IPR2025-01482

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/074013

Continuation of Box No.III of continuation of first sheet(2)

thereby detecting a crack or a chipped portion occurred at an outer circumference of the pixel substrate, "the special technical feature" is disclosed in the prior art document, and it is not novel. Therefore, the invention in claim 1 does not have "the special technical features" (those technical features that define a contribution which each of the claimed inventions, considered as a whole, makes over the prior art) set forth in PCT Rule 13.2 at all. Thus, there are not one or more of the same or corresponding special technical features in the inventions in claims [1, 2], [3, 6], 7 and 8, this application does not comply with the requirement of unity of invention.

BOE Ex. 1002, p. 305
BOE v. Paneltouch
IPR2025-01482

国際調査報告

国際出願番号 ＰＣＴ／ＪＰ２００７／０７４０１３

Ａ． 発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl. G02F1/13(2006.01)i, G01R31/00(2006.01)i, G02F1/1345(2006.01)i

Ｂ． 調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl. G02F1/13, G01R31/00, G02F1/1345

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００８年
日本国実用新案登録公報	１９９６－２００８年
日本国登録実用新案公報	１９９４－２００８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ． 関連すると認められる文献

引用文献のカテゴリー＊	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Ｘ	ＪＰ ２００３－１３１１８８ Ａ(株式会社リコー) ２００３．０５．０８，全文，全図 （ファミリーなし）	１、２

☐ Ｃ欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

＊ 引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０６．０３．２００８	１８．０３．２００８

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）		
日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	福島 浩司	２Ｌ	３８１２
	電話番号 ０３－３５８１－１１０１ 内線 ３２５５		

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（２００７年４月）

BOE Ex. 1002, p. 306
BOE v. Paneltouch
IPR2025-01482

国際調査報告

国際出願番号 ＰＣＴ／ＪＰ２００７／０７４０１３

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第１ページの２の続き）

法第8条第3項（ＰＣＴ17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1．☐ 請求の範囲＿＿＿＿＿＿＿＿＿＿は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

2．☐ 請求の範囲＿＿＿＿＿＿＿＿＿＿は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

3．☐ 請求の範囲＿＿＿＿＿＿＿＿＿＿は、従属請求の範囲であってＰＣＴ規則6.4(a)の第２文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。
請求の範囲[１、２]、[３－６]、７、８に係る発明に共通する「特別な技術的特徴」は、「絶縁性基板上に複数の画素電極と前記画素電極のスイッチングを行うスイッチング素子とを備える画素基板と、絶縁性基板上に対向電極を備える対向基板が液晶層を挟持してなる液晶表示パネルにおいて、前記画素基板の外周縁に沿って第１検査配線が配設され、該第１検査配線の両端と電気的に接続された第１検査パッドを用いて前記第１検査配線の抵抗検査を行なうことにより前記画素基板外縁に発生したクラック又はカケを検出することを特徴とする液晶表示パネル」であるが、この「特別な技術的特徴」は、先行技術文献に記載されているので、新規ではない。したがって、請求の範囲１に係る発明は、ＰＣＴ規則１３．２の「特別な技術的特徴」（クレームされた発明が全体として先行技術に対して行う貢献を明示する技術的特徴）を全く有しない。してみると、請求の範囲[１、２]、[３－６]、７、８に係る発明には、一又は二以上の同一の又は対応する「特別な技術的特徴」が存在しないので、この出願は発明の単一性の要件を満たしていない。

1．☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。

2．☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。

3．☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。

4．☑ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲１、２

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

様式ＰＣＴ／ＩＳＡ／２１０（第１ページの続葉（２））（２００７年４月）

BOE Ex. 1002, p. 307
BOE v. Paneltouch
IPR2025-01482

PATENT ABSTRACTS OF JAPAN

(11)Publication number : **2009-053390**

(43)Date of publication of application : **12.03.2009**

(51)Int.Cl.

G02F	*1/1345*	*(2006. 01)*
G02F	*1/13*	*(2006. 01)*
G09F	*9/00*	*(2006. 01)*
G02F	*1/1343*	*(2006. 01)*

(21)Application number : **2007-219371**

(22)Date of filing : **27.08.2007**

(71)Applicant : **EPSON IMAGING DEVICES CORP**

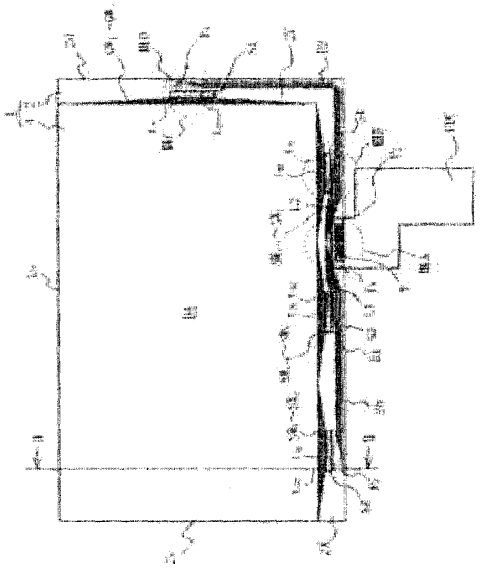
(72)Inventor : **NAKAMURA YOSHIO**

(54) ELECTRO-OPTICAL PANEL, PANEL INSPECTION METHOD, AND ELECTRONIC APPARATUS

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an electro-optical panel in which a wiring pattern arranged on a perimeter of a panel substrate can be inspected before mounting the IC chip.

SOLUTION: A liquid crystal display panel 1 for use as the electro-optical panel includes: an array substrate AR where first and second connection wirings L1 and L2 are formed in a regular wiring pattern extending along a perimeter part; and defective wiring detecting patterns D1 and D2 formed between the perimeter of the array substrate AR and the first and second connection wirings L1 and L2. The possibility of disconnection in the first and second connection wirings L1 and L2 formed in the regular wiring pattern can be determined by detecting whether the defective wiring detecting pattern is disconnected.



BOE Ex. 1002, p. 308
BOE v. Paneltouch
IPR2025-01482

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2009-53390
(P2009-53390A)
(43)公開日　平成21年3月12日(2009.3.12)

(51)Int.Cl.			F I			テーマコード（参考）
G02F	1/1345	(2006.01)	G02F	1/1345		2H088
G02F	1/13	(2006.01)	G02F	1/13	101	2H092
G09F	9/00	(2006.01)	G09F	9/00	352	5G435
G02F	1/1343	(2006.01)	G09F	9/00	348Z	
			G02F	1/1343		

審査請求 未請求　請求項の数 7　ＯＬ　（全 15 頁）

(21)出願番号　特願2007-219371 (P2007-219371)
(22)出願日　平成19年8月27日 (2007.8.27)

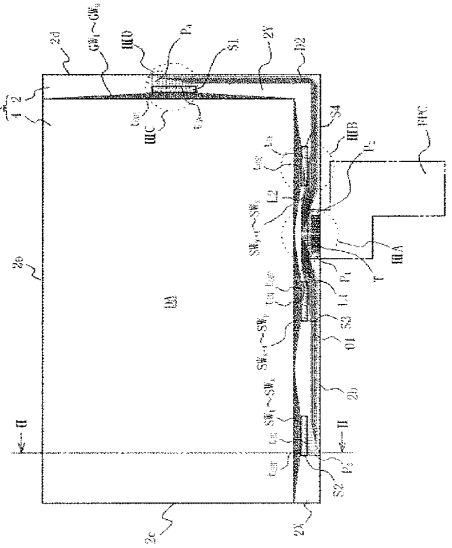
(71)出願人　304053854
エプソンイメージングデバイス株式会社
長野県安曇野市豊科田沢６９２５
(74)代理人　100095728
弁理士　上柳　雅誉
(74)代理人　100107261
弁理士　須澤　修
(74)代理人　100127661
弁理士　宮坂　一彦
(72)発明者　中村　芳夫
長野県安曇野市豊科田沢６９２５　エプソンイメージングデバイス株式会社内

Ｆターム(参考)　2H088 FA13 HA01 HA05 HA06 MA20
2H092 GA33 GA41 GA50 GA60 GA61
MA57 NA30 PA01 PA06

最終頁に続く

(54)【発明の名称】電気光学パネル、パネル検査方法及び電子機器

(57)【要約】
【課題】ＩＣチップ実装前に、パネル基板の周縁に配設された配線パターンの検査が可能
な電気光学パネルを提供すること。
【解決手段】本発明の電気光学パネルとしての液晶表示パネル１は、周縁部に沿って延在
する正規配線パターンである第１、第２接続配線Ｌ１、Ｌ２が形成されたアレイ基板ＡＲ
を有し、前記アレイ基板ＡＲの周縁と前記第１、第２接続配線Ｌ１、Ｌ２との間に不良配
線検出パターンＤ１、Ｄ２が形成されている。この不良配線検出パターンの断線の有無を
検知することにより、正規配線パターンである第１、第２接続配線Ｌ１、Ｌ２の断線の可
能性の有無を検知できる。
【選択図】図１



BOE Ex. 1002, p. 309
BOE v. Paneltouch
IPR2025-01482

【特許請求の範囲】
【請求項1】
周縁部に沿って延在する正規配線パターンが形成されたパネル基板を有する電気光学パネルであって、前記パネル基板の周縁と前記正規配線パターンとの間に不良配線検出パターンを形成したことを特徴とする電気光学パネル。
【請求項2】
前記不良配線検出パターンは、その両端に検査用端子が形成されていることを特徴とする請求項１に記載の電気光学パネル。
【請求項3】
前記不良配線検出パターンは、その一端が検査用端子に接続され、他端が前記不良配線検出パターンに近接して配設された最縁部の正規配線パターンの端子に接続されていることを特徴とする請求項１に記載の電気光学パネル。
【請求項4】
周縁部に沿って延在する正規配線パターンが形成されたパネル基板を有する電気光学パネルであって、前記正規配線パターンの最縁部の配線パターンの両端部近傍を分岐させ、当該分岐した配線パターンのそれぞれの端部に検査用端子を形成したことを特徴とする電気光学パネル。
【請求項5】
周縁部に沿って延在する正規配線パターンが形成されたパネル基板を有する電気光学パネルの検査方法において、
前記パネル基板の周縁と前記正規配線パターンとの間に不良配線検出パターンを形成し、前記不良配線検出パターンの断線の有無を導通検査により検知し、前記不良配線検出パターンの断線が検知されなかった場合には、前記正規配線パターンに断線が無いと判定することを特徴とする電気光学パネルの検査方法。
【請求項6】
前記不良配線検出パターンの断線が検知されたときは、配線パターンの像の検査により前記正規配線パターンの断線を検査することを特徴とする請求項５に記載の電気光学パネルの検査方法。
【請求項7】
請求項１～４のいずれかに記載の電気光学パネルを備えたことを特徴とする電子機器。

【発明の詳細な説明】
【技術分野】
【0001】
本発明は、パーソナルコンピュータ、携帯電話機や携帯情報端末等の電子機器の表示装置に使用される電気光学パネル、パネル検査方法及び電子機器に関するものである。
【背景技術】
【0002】
近年、パーソナルコンピュータ、携帯電話機や携帯情報端末等の電子機器の表示装置として、液晶表示装置やＥＬ（Electro Luminescence ）表示装置に代表される電気光学装置が多く使用されている。
【0003】
このうち、液晶表示装置は、画素電極及び共通電極等が形成された２枚のパネル基板間にシール枠を介在して貼り合せて、この貼り合せた両基板間に液晶を封入した液晶表示パネルを有している。この液晶表示パネルは、通常、複数枚分の小型パネルが形成できる大きさのガラス材からなる２枚の大判マザー基板を用いて製造される。一方のマザー基板には、個々のパネルごとにマトリクス状に配列した画素電極及びこの画素電極に接続したスイッチング素子等を形成し、他のマザー基板には画素電極に対向する共通電極を形成する。そして、これらのマザー基板を対向させて個々のパネルごとに間にシール枠を介在して貼り合せ、この貼り合せたマザー基板の外面にスクライブ溝を設けて押圧器具等の工具を用いて破断させて複数の空セルに分断し、この分断した空セルに液晶を封入する等の工程

BOE Ex. 1002, p. 310
BOE v. Paneltouch
IPR2025-01482

を経て製造されている（例えば、下記特許文献１参照）。

【0004】

図９Ａは従来技術の液晶表示パネル１０の平面図である。この液晶表示パネル１０は２枚のパネル基板１１、１２を有している。このうち、画素電極及びスイッチング素子が配設された一方のパネル基板１１の表示領域外の周縁部には、複数のＩＣチップ搭載領域Ｓ１～Ｓ４が設けられている。そして、このパネル基板１１の一辺１１Ｘに外部制御回路（図示せず）に接続されるフレキシブルプリント配線基板（ＦＰＣ：Flexible Printed Circuit）が接続された複数本の接続端子が配設され、これらの接続端子と各チップ搭載領域Ｓ１～Ｓ４内の実装端子との間が複数本の接続配線Ｌ１、Ｌ２で接続されている。

【0005】

また、各ＩＣチップ搭載領域Ｓ１～Ｓ４からは、液晶を駆動させるためのソース線及びデータ線が表示領域内へ導出されている。これらのソース線及びデータ線と接続配線とは、導電材からなる配線パターンで形成されている。そして、各ＩＣチップ領域Ｓ１～Ｓ４にはＬＳＩ等の半導体チップ（以下、ＩＣチップという）が実装されている。

【0006】

なお、ＥＬ表示パネルは、少なくとも１枚のパネル基板上にスイッチング素子及び発光層が配設されている以外は実質的に上述の液晶表示パネルのパネル基板１１と同様の構成を備えている。

【0007】

ところが、ソース線及びデータ線は、パネル基板１１上に導電材からなる配線パターンで形成されるので、これらの配線パターンがその製造工程で短絡或いは断線することがある。そこで、液晶表示パネルやＥＬ表示パネル等の電気光学パネルの製造工程では、通常、ＩＣチップが実装される前に配線パターンの短絡或いは断線の有無を検査する中間検査が実施されている（例えば、下記特許文献２参照）。ここで、下記特許文献２に開示されている液晶駆動用ＩＣチップの実装領域及び検査プローブについて図１０Ａ及び図１０Ｂを用いて説明する。なお、図１０Ａは下記特許文献２に開示された液晶駆動用ＩＣチップの実装領域の拡大平面図、図１０Ｂは検査プローブの平面図である。

【0008】

下記特許文献２に開示された液晶表示パネルのパネル基板のＩＣチップ搭載領域は、この領域の一辺ａから複数本の引出電極２０ｕ～２０ｚの端部が引き込まれている。これらの引出電極２０ｕ～２０ｚは、ＩＣチップ搭載領域内に入ってからの所定の長さ部分にＩＣチップの実装端子と接続されるバンプ用端子２１ｕ～２１ｚ及びこれらの端子の延長上に検査用端子２２ｕ～２２ｚが設けられている。これらの検査用端子２２ｕ～２２ｚは、チップ搭載領域の一辺ａから、その種類、例えば引出電極２０ｕ～２０ｚそれぞれが表示を行う色成分（Ｒ、Ｇ、Ｂ等）毎にそれぞれ一定の距離Ｌｒ、Ｌｇ、Ｌｂ離れた位置に形成されている。また、この検査用端子２２ｕ～２２ｚに接触される検査プローブ３０は、図１０Ｂに示すように、横長手方向に対して所定幅に導電性粒子が混入された帯状導電層３２Ｒ、３２Ｇ、３２Ｂが形成され、残余の部分が帯状絶縁層３３、３３として各帯状導電層３２Ｒ、３２Ｇ、３２Ｂの間に介在された導電ラバーで形成されている。

【0009】

液晶表示パネル１０の検査は、チップ搭載領域内に一列に並んだＲ、Ｇ、Ｂ検査用端子２２ｕ～２２ｚに、検査プローブ３０の帯状導電層３２Ｒ、３２Ｇ、３２Ｂを接触させ、不図示の検査装置から所定の信号を送って、配線パターンの断線或いは短絡等の検査が行なわれる。

【特許文献1】特開２００２－３６５６４８号公報（図１６、段落〔０００２〕～〔０００６〕）

【特許文献2】特開２００６－３７４１号公報（図３、段落〔００２１〕～〔００２８〕）

【発明の開示】

【発明が解決しようとする課題】

BOE Ex. 1002, p. 311
BOE v. Paneltouch
IPR2025-01482

【0010】
上述したとおり、液晶表示パネルやＥＬ表示パネル等の電気光学パネルはその製造工程においてマザー基板の分断、液晶封入等の工程を経た後に、パネル基板上に配設された配線パターンの断線或は短絡の有無等の検査が行なわれている。このような電気光学パネルの検査は、上記特許文献２の検査方法にみられるように、パネル基板のチップ搭載領域内に設けられた検査用端子に検査プローブを接触させることによって行われている。
【0011】
しかしながら、この検査方法は、ソース線及びデータ線の断線或は短絡、すなわちＩＣチップに対する出力側に位置する配線パターンの断線等を検出することはできるが、ＩＣチップに対する入力側、すなわちＩＣチップとこのＩＣチップに入力信号を送るＦＰＣとの間の接続配線の欠陥を検出することはできない。通常、この接続配線は、図９Ａにおいて配線パターンＬ１、Ｌ２で示されているように、パネル基板の最外縁部分を引回されており、マザー基板を複数のパネルに分断する際に欠陥が生じやすい。加えて、電気光学パネルはより高精細化及び小型化される傾向にあり、しかも大判のマザー基板からより多くの小型パネル基板を形成できるように、隣接する個々の小型パネル基板の境界領域が極めて狭くした設計になってきている。
【0012】
そのため、パネル基板の配線パターンは、図９Ａにみられるように、パネル周縁に極めて近い位置に配設されるようになってきている。一方、パネル基板の製造は、ガラス材で形成された大判のマザー基板を小型パネル基板に分断し、この分断した小型パネル基板を所定の製造装置に搬送して所定の加工を施すことによって製造されるので、分断時に周縁部に割れや欠けが生じたり、製造工程中に小型パネル基板が障害物等に衝突し、その際の衝撃力によって、小型パネル基板の周縁が大きく欠けたり（図９Ｂ参照）或いは亀裂が発生したり（図９Ｃ参照）することがある。このような欠けや亀裂が発生すると、パネル基板の周縁に近接して配設された配線パターンＬ１、Ｌ２が一部破損或いは切断されてしまうことがある。しかしながら、このような配線パターンＬ１、Ｌ２等の破損ないし切断は、上記特許文献１に開示された検査方法では検出することができず、ＩＣチップが実装され、ＦＰＣが接続され、このＦＰＣから所定の信号が加えられたときに初めて発見することができる。ところが、この段階での不良発見は、既にパネル基板上にＩＣチップ等が実装されており、また、パネル基板を分解して断線不良の補修等をすることができないため、パネル基板そのものを不良品として処理せざるを得なくなっている。この段階で廃棄処分となると、パネル基板本体、ＩＣチップ、接続ケーブル等の全ての部品が無駄になり、その損失が高額になる。特に、パネル基板に複数個のＩＣチップが実装されるＣＯＧ（Chip On Glass）型の電気光学パネルでは、ＩＣチップが他の部品に比較して高額となるために、その損害額が高額になる。
【0013】
そこで、本発明は上記の課題を解決するためになされたものであって、本発明の目的は、ＩＣチップ実装前にパネル基板の周縁に配設された配線パターンの検査が可能な電気光学パネル、この電気光学パネルのパネル検査方法及び電子機器を提供することにある。
【課題を解決するための手段】
【0014】
上記目的を達成するため、本発明の第１の態様にかかる電気光学パネルは、周縁部に沿って延在する正規配線パターンが形成されたパネル基板を有する電気光学パネルであって、前記パネル基板の周縁と前記正規配線パターンとの間に不良配線検出パターンを形成したことを特徴とする。
【0015】
本発明の第１の態様にかかる電気光学パネルによれば、パネル基板にＩＣチップを搭載する前であっても、不良配線検出パターンの断線の有無を検知することにより、少なくともこのパネル基板に配設された正規配線パターンの良否を推定することが可能になる。すなわち、不良配線検出パターンに断線が生じていなければ、基板の欠けや亀裂によって正

BOE Ex. 1002, p. 312
BOE v. Paneltouch
IPR2025-01482

規配線パターンに断線等の配線不良が生じている可能性は非常に小さい。また、不良配線検出パターンの断線が検出された場合、正規配線パターンに配線不良が生じている可能性は非常に大きいので、別途目視検査等を行うことによって正規配線パターンの配線不良の有無を検知することができる。そのため、本発明の電気光学パネルによれば、従来例では行われていなかった製造工程の早い段階でパネル不良を判定できるので、廃棄処分する際の損失を低減できる。

【0016】

なお、本発明にいう「正規配線」とは、コモン配線、グラウンド配線を含み、何等かの電気光学パネル駆動用の電気信号が流れている配線を示す。また、本発明にいう「不良配線」とは、正規配線の「断線」及び正規配線の一部が破損して抵抗値が増大するいわゆる「細肉化」を指すものである。

【0017】

また、上記態様の電気光学パネルにおいては、前記不良配線検出パターンは、その両端に検査用端子が形成されていることが好ましい。

【0018】

係る態様の電気光学パネルによれば、不良配線検出パターンの両端に検査用端子を設けたため、これらの検査端子に計測用のプローブを当接するだけで不良配線検査パターンの断線の有無を検出することができるようになる。

【0019】

また、上記態様の電気光学パネルにおいては、前記不良配線検出パターンは、その一端が検査用端子に接続され、他端が前記不良配線検出パターンに近接して配設された最縁部の正規配線パターンの端子に接続されていることが好ましい。

【0020】

係る態様の電気光学パネルによれば、不良配線検出パターンに近接して配設された正規配線パターンを一方の検査用端子として兼用できるため、検査用端子の数を少なくできる。

【0021】

また、上記目的を達成するため、本発明の第２の態様にかかる電気光学パネルは、周縁部に沿って延在する正規配線パターンが形成されたパネル基板を有する電気光学パネルであって、前記正規配線パターンの最縁部の配線パターンの両端部近傍を分岐させ、当該分岐した配線パターンのそれぞれの端部に検査用端子を形成したことを特徴とする。

【0022】

本発明の第２の態様にかかる電気光学パネルによれば、別途不良配線検出パターンを形成することなく、正規配線パターンを利用して不良配線の検査ができるようになる。

【0023】

更に、上記目的を達成するため、本発明の第３の態様にかかる電気光学パネルの検査方法は、周縁部に沿って延在する正規配線パターンが形成されたパネル基板を有する電気光学パネルの検査方法において、前記パネル基板の周縁と前記正規配線パターンとの間に不良配線検出パターンを形成し、前記不良配線検出パターンの断線の有無を導通検査により検知し、前記不良配線検出パターンの断線が検知されなかった場合には、前記正規配線パターンに断線が無いと判定することを特徴とする。

【0024】

係る態様の電気光学パネルの検査方法によれば、前記電気光学パネルの発明の効果を奏する電気光学パネルの検査方法を提供できる。

【0025】

また、上記態様の電気光学パネルの検査方法においては、前記不良配線検出パターンの断線が検知されたときは、配線パターンの像の検査により前記正規配線パターンの断線を検査することが好ましい。

【0026】

不良配線検出パターンの断線が検知されたことは、直ちに正規配線パターンが断線して

BOE Ex. 1002, p. 313
BOE v. Paneltouch
IPR2025-01482

いることを示すものではないが、正規配線パターンが断線している可能性が大きいことを示すものである。従って、係る態様の電気光学パネルの検査方法によれば、正規配線パターンが断線している可能性が大きいと判断されたものについてのみ再度正規配線パターンが断線しているか否かを検査するので、再度検査する電気光学パネルの数を少なくすることができ、検査効率が向上する。加えて、正規配線パターンが断線している可能性が大きいと判断されたものの全てを破棄する必要がなくなるから、破棄する電気光学パネルの数を減らすことができ、電気光学パネルの製造コストを大幅に低減することができるようになる。

【0027】

更にまた、上記目的を達成するため、本発明の第４の態様にかかる電子機器は、上記いずれかに記載の電気光学パネルを備えたことを特徴とする。

【0028】

係る態様の電子機器によれば、上記のような効果を奏する電気光学パネルを使用した電子機器が得られる。

【発明を実施するための最良の形態】

【0029】

以下、図面を参照して本発明の最良の実施形態を説明する。但し、以下に示す実施形態は、本発明の技術思想を具体化するための電気光学パネルとしての液晶表示パネル及びこのパネルの検査方法を例示するものであって、本発明をこれらに特定することを意図するものではなく、特許請求の範囲に含まれるその他の実施形態のものも等しく適応し得るものである。

【0030】

図１は実施例１に係る液晶表示パネルの平面図である。図２は図１のII－II線の断面図である。図３Ａは図１のIIIＡ部分の拡大平面図、図３Ｂは図１のIIIＢ部分の拡大平面図、図３Ｃは図１のIIIＣ部分の拡大平面図、図３Ｄは図１のIIIＤ部分の拡大平面図である。図４は実施例２に係る液晶表示パネルの平面図である。図５Ａは図４のＶＡ部分の拡大平面図、図５ＢはＶＢ部分の拡大平面図、図５ＣはＶＣ部分の拡大平面図、図５ＤはＶＤ部分の拡大平面図である。図６は実施例３に係る液晶表示パネルの平面図である。図７Ａは図６のVIIＡ部分の拡大平面図、図７Ｂは図６のVIIＢ部分の拡大平面図、図７Ｃは図６のVIIＣ部分の拡大平面図である。図８Ａは本発明の液晶表示パネルを搭載したパーソナルコンピュータを示す図であり、図８Ｂは本発明の液晶表示パネルを搭載した携帯電話機を示す図である。なお、この明細書における説明のために用いられた各図面においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならせて表示しており、必ずしも実際の寸法に比例して表示されているものではない。

【実施例】

【0031】

図１及び図２に示すように、本発明の実施例１に係る液晶表示パネル１は、画素電極及び薄膜トランジスタ（Thin Film Transistor：以下、ＴＦＴという）からなるスイッチング素子等が形成されたアレイ基板（以下、ＡＲ基板という）２と、このＡＲ基板２と対向する面にカラーフィルタ及び共通電極等が形成されたカラーフィルタ基板（以下、ＣＦ基板という）４と、を備え、ＡＲ基板２とＣＦ基板４とは間にシール枠６を介在して貼り合せ、両基板２、４とシール枠４とによって囲まれた領域に液晶７が封入された構成となっている。なお、図２では、ＡＲ基板２上に設けた画素電極及び各種配線が構造物３として、ＣＦ基板４上のカラーフィルタ及び共通電極等が構造物５としてそれぞれ示されている。

【0032】

この液晶表示パネル１は、複数枚分の小型パネルを形成できる大きさのガラス材からなる２枚の不図示の大判マザー基板を用いて製造される。このうち一方のマザー基板には個々のパネルごとにマトリクス状に配列した画素電極及びこの画素電極に接続したＴＦＴ等を形成して複数のＡＲ基板２を形成し、他のマザー基板にはＡＲ基板２の画素領域に合わ

BOE Ex. 1002, p. 314
BOE v. Paneltouch
IPR2025-01482

せてマトリクス状に設けたブラックマトリクスと、このブラックマトリクスで囲まれた領域に設けた例えば赤（Ｒ）、緑（Ｇ）、青（Ｂ）等のカラーフィルタと、このカラーフィルタを覆うように設けた共通（コモン）電極とを形成する。そして、これらのマザー基板の表面を対向させて個々のパネルごとにシール枠により貼り合せ、この貼り合せたマザー基板の外面にスクライブ溝を設けて押圧器具等の工具で加圧して破断させ、複数枚分の個々のパネルに分断する。また、分断されたパネルに液晶が封入されることにより液晶表示パネル１が製造される。ＴＦＴ等が形成された基板はＡＲ基板２、カラーフィルタ等が形成された基板はＣＦ基板４となっている。

【0033】

ＡＲ基板２は、対向する長辺２ａ、２ｂ及び短辺２ｃ、２ｄを有する矩形状の基板からなり、一方の長辺２ｂ及び短辺２ｄ側には、ＣＦ基板４と貼り合わせた際に外部に露出する張出し部２Ｘ、２Ｙが形成されている。これらの張出し部２Ｘ、２Ｙには、液晶駆動用のＩＣチップが実装される複数のＩＣチップ搭載領域Ｓ１～Ｓ４が設けられている。これらのＩＣチップ搭載領域Ｓ１～Ｓ４のうち、１つのＩＣチップ搭載領域Ｓ１は、短辺２ｄ側の張出し部２Ｙにあってゲートドライバ用ＩＣチップが実装され、他のＩＣチップ搭載領域Ｓ２～Ｓ４は、長辺２ｂ側の張出し部２Ｘにあってそれぞれにソースドライバ用ＩＣチップが実装されるようになっている。

【0034】

各ＩＣチップ搭載領域Ｓ１～Ｓ４内には、各ＦＰＣを介して入力される各種信号をＩＣチップに入力するための接続配線Ｌ１、Ｌ２が接続される複数個の入力側バンプ用端子t_{IN}と、表示領域ＤＡ内に配設されるソース線SW_1～SW_z及びゲート線GW_1～GW_nに接続される複数個の出力側バンプ用端子t_{OUT}が配設されている。なお、図３ＣにはＩＣチップ搭載領域Ｓ１の入力側バンプ用端子t_{IN}及び出力側バンプ用端子t_{OUT}が示されている。

【0035】

また、ＩＣチップ搭載領域Ｓ１からは、複数本のゲート線GW_1～GW_nが所定の間隔をあけて導出されて図１の行方向（ＡＲ基板２の長尺方向）に沿って配列されている。また、長辺２ｂに設けられたＩＣチップ搭載領域Ｓ２～Ｓ４からは、複数本のソース線SW_1～SW_zが互いに所定の間隔をあけて導出されて図１の列方向（ＡＲ基板２の短尺方向）に沿って配列されている。なお、図１においては、ＩＣチップ搭載領域Ｓ２からはソース線SW_1～SW_x、ＩＣチップ搭載領域Ｓ３からはソース線SW_{x+1}～SW_y、ＩＣチップ搭載領域Ｓ４からはソース線SW_{y+1}～SW_zがそれぞれ導出されている。それぞれのゲート線GW_1～GW_nとソース線SW_1～SW_zは、図示しない絶縁膜を介して互いに絶縁された状態で積層され表示領域ＤＡ内にマトリクス状に配線されている。また、ゲート線GW_1～GW_nとソース線SW_1～SW_zとで囲まれるそれぞれの領域にゲート線GW_1～GW_nに印加される走査信号によってオンするスイッチング素子としてのＴＦＴ、及び、ソース線SW_1～SW_zに印加される映像信号がＴＦＴを介して供給される画素電極が形成されている。これらのゲート線GW_1～GW_n及びソース線SW_1～SW_zは、遮光性金属材料、例えばＣｒ、Ａｌ、Ｔｉあるいはこれらを多層構造としたものからなる配線パターンで形成されている。

【0036】

ＡＲ基板２表面の長辺２ｂに近接する一部には、外部制御回路に接続されたＦＰＣを接続するための複数本の接続端子Ｔが設けられている。接続端子ＴとＩＣチップ搭載領域Ｓ１～Ｓ４内の出力側バンプ用端子t_{IN}とは、張出し部２Ｘ、２Ｙに引回された第１、第２接続配線Ｌ１、Ｌ２でそれぞれ接続されている。第１、第２接続配線Ｌ１、Ｌ２はゲート線GW_1～GW_nと同一の材料を使用し、ゲート線GW_1～GW_nを形成する工程と同一工程で形成されると好ましい。

【0037】

以下には、図１及び図３を参照して、ＡＲ基板２に配設される接続配線Ｌ１、Ｌ２の構造等について詳述する。図３Ａに示すように、接続端子Ｔは、複数本の接続端子T_1～Ｔ

BOE Ex. 1002, p. 315
BOE v. Paneltouch
IPR2025-01482

$_M$及びT_{M+1}～T_Zからなり、これらの接続端子T_1～T_Zは長辺２ｂに沿って一列に配設されている。また、これらの接続端子T_1～T_Zの両側部には、検査パットP_1、P_2がそれぞれ設けられている。更に、接続端子T_1～T_Zから最も離れたＩＣチップ搭載領域Ｓ１及びＳ２の近傍にはそれぞれ検査パッドP_3、P_4が設けられている。各検査パッドP_1～P_4は、不図示の検査プローブの接点が接触できるように比較的大きい面積を有する端子片で形成されている。

【0038】

複数本の接続端子T_1～T_M及びT_{M+1}～T_Zのうち、接続端子T_1～T_Mには複数本の第１接続配線Ｌ１が接続されており、この接続配線Ｌ１は長辺２ｂに沿って配設されてＩＣチップ搭載領域Ｓ２、Ｓ３内の各入力側バンプ用端子t_{IN}に接続されている。また、接続端子T_{M+1}～T_Zには複数本の第２接続配線Ｌ２が接続されており、この接続配線Ｌ２は長辺２ｂ及び短辺２ｄに沿って配設されてＩＣチップ搭載領域Ｓ１、Ｓ４内の各入力側バンプ用端子t_{IN}に接続されている。

【0039】

第１、第２接続配線Ｌ２は、隣接する２つの接続配線群ＬａとＬｂ及びＬｃとＬｄとから構成されている。このうち、接続配線群ＬａはＩＣチップ搭載領域Ｓ２内の入力側バンプ用端子t_{IN}に、接続配線群ＬｂはＩＣチップ搭載領域Ｓ３の入力側バンプ用端子t_{IN}に、接続配線群ＬｃはＩＣチップ搭載領域Ｓ４内の入力側バンプ用端子t_{IN}に、接続配線群ＬｄはＩＣチップ搭載領域Ｓ１の入力側バンプ用端子t_{IN}にそれぞれ接続されている。

【0040】

また、第１、第２接続配線Ｌ１、Ｌ２の外側、すなわち、パネル基板２の長辺２ｂ及び短辺２ｄの周縁部側には不良配線検出パターンＤ１、Ｄ２が配設されている。この不良配線検出パターンＤ１、Ｄ２はパネル基板２の周縁部から例えば０．０２５ｍｍだけ内側の位置（図３Ｄ参照）に位置しており、その線幅は、例えば０．０３ｍｍであって、この不良配線検出パターンＤ１、Ｄ２と接続配線Ｌｂ、Ｌｄとは、例えば０．１ｍｍ離れている。なお、接続配線Ｌ１、Ｌ２の幅長は例えば０．００５ｍｍであり、各接続配線Ｌ１、Ｌ２同士の間隔は例えば０．０３ｍｍとなっている。これらの不良配線検出パターンＤ１、Ｄ２うち、不良配線検出パターンＤ１は検査パッドＰ１、Ｐ３間、及び不良配線検出パターンＤ２は検査パッドＰ２、Ｐ４間をそれぞれ接続するものとなっている。これらの不良配線検出パターンＤ１、Ｄ２は、接続配線Ｌ１、Ｌ２と同様にゲート線GW_1～GW_nと同一の材料を使用し、ゲート線GW_1～GW_nを形成する工程と同一工程で形成されると好ましい。

【0041】

第１、第２接続配線Ｌ１、Ｌ２は、接続端子Ｔに接続されてＦＰＣからＩＣチップ搭載領域Ｓ１～Ｓ４に搭載されたＩＣチップに所定の信号を伝送する信号線となっている。これらの第１、第２接続配線Ｌ１、Ｌ２は、各種信号を伝送する配線であることから本発明における正規配線に対応する。また、この実施例における各不良配線検出パターンＤ１、Ｄ２は、検査用として追加したダミーパターンである。尚、各不良配線検出パターンＤ１、Ｄ２として、従来から普通に形成されていたシールド線等を利用することにより形成してもよい。

【0042】

上述したように、各不良配線検出パターンＤ１、Ｄ２は第１、第２接続配線Ｌ１、Ｌ２の外側（ＡＲ基板２の周縁部に最も近い位置）を囲むように配設されている（図１参照）。この位置に配設することにより、液晶表示パネル１の製造工程においてＡＲ基板２の周縁部に欠けや亀裂等が発生すると、初めに不良配線検出パターンＤ１、Ｄ２に欠陥が発生する。そして、この欠けや亀裂等が大きいとその内側にある第１、第２接続配線Ｌ１、Ｌ２まで破損あるいは切断されることになる。

【0043】

次に、これらの不良配線検出パターンＤ１、Ｄ２を用いた不良配線パターン検査方法を

BOE Ex. 1002, p. 316
BOE v. Paneltouch
IPR2025-01482

説明する。不良配線パターン検査方法のうち、断線検査は、各検査パッドＰ１、Ｐ２及びＰ３、Ｐ４間に配設した不良配線検出パターンＤ１、Ｄ２の導通検査によって行なわれる。この導通検査は、検査パッドＰ１、Ｐ３間及び検査パッドＰ２、Ｐ４間に電圧を印加して、その導通の有無を検知する単純な検査手段を用いて行われる。この検査手段は、例えば、公知の検査プローブを利用して、ＩＣチップ実装前の検査時にこの検査プローブを検査パッドに接触させて各検査接点に所定の電圧を印加して抵抗値を計測することにより、各検査パッド間に接続された不良配線検出パターンＤ１、Ｄ２の断線の有無が検出される。尚、断線していても離間せずに接触しているときは抵抗値が大きくなるものの接続は維持されるが、これも断線とみなす。

【0044】

この導通検査により、不良配線検出パターンＤ１、Ｄ２のいずれか１本でも断線していれば導通しないので、各不良配線検出パターンＤ１、Ｄ２の断線を簡単に検出できる。そして、不良配線検出パターンＤ１、Ｄ２が断線していると、これらの不良配線検出パターンＤ１、Ｄ２に僅かな間隔（例えば０．１ｍｍ）をおいて近接配置している第１、第２接続配線Ｌ１、Ｌ２からなる正規配線パターンが断線あるいは細肉化している確率が極めて高いので、不良配線検出パターンＤ１、Ｄ２の断線が検出されたものは一応不良品として処理される。この検査は、ＡＲ基板２にＩＣチップを搭載する前に実施できるので、製造工程の早い段階で不良品を発見できる。

【0045】

この検査において不良配線検出パターンＤ１、Ｄ２の断線が検出されて一応不良品と判定された場合でも、近接配置されている第１、第２接続配線Ｌ１、Ｌ２からなる正規配線パターンが断線あるいは細肉化していないもの（良品）が混入している可能性がある。このような良品を破棄してしまうことは経済的に大きな損失となるので、不良配線検出パターンＤ１、Ｄ２の断線が検出されて一応不良品と判定されたものについては全て顕微鏡等を用いた目視検査を行なう。この目視検査によって、第１、第２接続配線Ｌ１、Ｌ２の状態を調べることにより、上述のような一応不良品と判定されたものの中に混入していた良品を選別することができるので、良品を誤って不良品と判断して破棄してしまうようなことを防止できるようになる。しかも、目視検査しなければならないパネル基板２の数は不良配線検出パターンＤ１、Ｄ２の導通の有無によって選別されているので大幅に少なくなり、目視検査の導入が製造効率に与える影響は小さい。なお、この二次検査方法は目視検査に限定するものではない。例えば、正規配線パターンを撮像し、基準パターンと比較したり、パターンの連結を撮像の分析で確認したりしてもよい。

【0046】

このように、実施例１の液晶表示パネル１においては、ＡＲ基板２の張出し部分２Ｘ、２Ｙに配設される正規配線パターンである第１、第２接続配線Ｌ１、Ｌ２の最外周部に不良配線検出パターンＤ１、Ｄ２が配設されている。そして、パネル基板にＩＣチップを搭載する前であっても、これらの不良配線検出パターンＤ１、Ｄ２の断線の有無を検知することにより、少なくともこのＡＲ基板２に配設された第１、第２接続配線Ｌ１、Ｌ２の良否を推定することが可能になる。すなわち、不良配線検出パターンＤ１、Ｄ２に断線が生じていなければ、第１、第２接続配線Ｌ１、Ｌ２に断線あるいは細肉化が生じている可能性は非常に小さい。また、不良配線検出パターンＤ１、Ｄ２の断線が検出された場合、第１、第２接続配線Ｌ１、Ｌ２の断線あるいは細肉化が生じている可能性は非常に大きいので、別途目視検査等を行うことによって第１、第２接続配線Ｌ１、Ｌ２の断線あるいは細肉化の有無を検知することができる。しかも、これらの不良配線検出パターンＤ１、Ｄ２の導通を検査する工程は液晶表示パネル１の製造工程における前半の段階で行えるので、早い段階で不良品を見つけられるようになり、製造工程の後半の段階で液晶表示パネル１に取付けられる各種部品のロスも削減することが可能となる。

【実施例】

【0047】

次に、図４及び図５を参照して、本発明の実施形態２に係る液晶表示パネル及びこのパ

BOE Ex. 1002, p. 317
BOE v. Paneltouch
IPR2025-01482

ネル検査方法を説明する。本実施例２に係る液晶表示パネル１Ａは、上記液晶表示パネル１と共通の構成を多く有しているので、共通する構成要素には同じ符号を付して重複説明を省略し、異なる構成についてのみ以下に詳述する。

【0048】

上記実施例１の液晶表示パネル１は、それぞれの不良配線検出パターンＤ１、Ｄ２の両端に検査パッド$Ｐ_{1}$～$Ｐ_{4}$を設けた構成とされているが、実施例２に係る液晶表示パネル１Ａは、これらの検査パッド$Ｐ_{1}$～$Ｐ_{4}$のうち、検査パッド$Ｐ_{1}$、$Ｐ_{2}$を省き、両端に位置する接続端子$Ｔ_{1}$、$Ｔ_{Z}$で検査パッド$Ｐ_{1}$、$Ｐ_{2}$を代用したものである。

【0049】

この液晶表示パネル１Ａは、２本の不良配線検出パターンＤ３、Ｄ４のうち、一方の不良配線検出パターンＤ３は、一端が検査パッド$Ｐ_{3}$に接続され、他端が接続端子Ｔの左端部に位置する接続端子$Ｔ_{1}$に接続されている。なお、この接続端子$Ｔ_{1}$には、第１接続配線Ｌ１のうち最外部（つまり長辺２ｂに最も近接した位置）に配設される接続配線Ｄ３が接続されており、この接続配線$Ｌ１_{1}$は長辺２ｂに沿って配設されている。他の不良配線検出パターンＤ４は、一端が検査パッド$Ｐ_{4}$に接続され、他端が接続端子Ｔの右端部に位置する接続端子$Ｔ_{Z}$に接続されている。なお、この接続端子$Ｔ_{Z}$には、第１接続配線Ｌ２のうち最外部（つまり長辺２ｂ及び短辺２ｄに最も近接した位置）に配設される接続配線Ｄ４が接続されており、この接続配線$Ｌ２_{1}$は長辺２ｂ及び短辺２ｄに沿って配設されている。

【0050】

本実施例２の液晶表示パネル１Ａにおける不良配線パターン検査方法は、接続端子$Ｔ_{1}$と検査パッド$Ｐ_{3}$及び接続端子$Ｔ_{Z}$と検査パッド$Ｐ_{4}$との間で、上記実施例１において説明した検査法と同じ方法で行なわれる。

【0051】

上述した本実施例２に係る液晶表示パネル１Ａによれば、上記実施例１の液晶表示パネル１に比して検査パッド$Ｐ_{1}$、$Ｐ_{2}$を削減できるので、検査パット$Ｐ_{1}$、$Ｐ_{2}$を形成するためのスペースをＡＲ基板２上に確保する必要がなくなり、近年の液晶表示パネルの狭額縁化の要望に則した設計を行うことが可能となる。

【実施例】

【0052】

次に、図６及び図７を参照して、本発明の実施例３に係る液晶表示パネル１Ｂ及びこの液晶表示パネル１Ｂの検査方法を説明する。本実施例３に係る液晶表示パネル１Ｂは、上記実施例１及び２の液晶表示パネル１、１Ａと共通の構成を多く有しているので、共通する構成要素には同じ符号を付して重複説明を省略し、異なる構成についてのみ詳述する。

【0053】

上記実施例１の液晶表示パネル１は、不良配線検出パターンとして、正規配線パターンとは別にダミーの配線パターンを配設して、このダミーの配線パターンを用いて不良配線の検出を行うようになっていた。しかしながら、この実施例３に係る液晶表示パネル１Ｂは、ダミー配線を使用せず、正規配線パターンを不良配線検出用に兼用して正規配線パターンの断線あるいは細肉化の検出が可能となるようにしたものである。

【0054】

すなわち、本実施例３の液晶表示パネル１Ｂは、第１、第２接続配線Ｌ１、Ｌ２のうちそれぞれの最縁部に位置する接続配線$Ｌ１_{1}$、$Ｌ２_{1}$を利用して不良配線パターンを形成している。詳しくは、一方の接続配線$Ｌ１_{1}$はその両端部近傍にて配線を分岐させ、分岐した分岐配線$Ｌ１_{2}$、$Ｌ１_{3}$の端部を検査パッド$Ｐ_{1}$、$Ｐ_{3}$に、他の接続配線$Ｌ２_{1}$もその両端部近傍にて配線を分岐させ、分岐した分岐配線$Ｌ２_{2}$、$Ｌ２_{3}$の端部を検査パッド$Ｐ_{2}$、$Ｐ_{4}$にそれぞれ接続する。なお、これらの各分岐配線のうち、検査パッド$Ｐ_{3}$に接続される分岐配線$Ｌ１_{3}$については図示を省略している。

【0055】

本実施例３の液晶表示パネル１Ｂにおける不良配線パターン検査方法は、上記実施例１

BOE Ex. 1002, p. 318
BOE v. Paneltouch
IPR2025-01482

において説明した検査法と同じ方法で行なわれる。この液晶表示パネル１Ｂによると、正規配線パターンの接続配線Ｌ１、Ｌ２のうちの１本を不良配線検出パターンとして兼用できるので、別途不良配線検出パターンを形成することなく、不良配線の検査ができるようになる。ただし、ここで行われる検査の結果、断線あるいは細肉化等が見つかった場合には、目視による検査を行うまでもなく、不良品として製造途中の液晶表示パネル１Ｂの廃棄を行うことになる。

【0056】

以上、本発明の実施例１及び２として電気光学パネルとして液晶表示パネルの例を説明した。このような本発明の電気光学パネルは、パーソナルコンピュータ、携帯電話機、携帯情報端末などの電子機器に使用することができる。このうち、電気光学パネル７１をパーソナルコンピュータ７０に使用した例を図８Ａに、同じく電気光学パネル７６を携帯電話機７５に使用した例を図８Ｂに示す。ただし、これらのパーソナルコンピュータ７０及び携帯電話機７５の基本的構成は当業者に周知であるので、詳細な説明は省略する。

【図面の簡単な説明】

【0057】

【図1】実施例１に係る液晶表示パネルの平面図である。

【図2】図１のII－II線の断面図である。

【図3】図３Ａは図１のIIIＡ部分の拡大平面図、図３Ｂは図１のIIIＢ部分の拡大平面図、図３Ｃは図１のIIIＣ部分の拡大平面図、図３Ｄは図１のIIIＤ部分の拡大平面図である。

【図4】実施例２に係る液晶表示パネルの平面図である。

【図5】図５Ａは図４のＶＡ部分の拡大平面図、図５ＢはＶＢ部分の拡大平面図、図５ＣはＶＣ部分の拡大平面図、図５ＤはＶＤ部分の拡大平面図である。

【図6】実施例３に係る液晶表示パネルの平面図である。

【図7】図７Ａは図６のVIIＡ部分の拡大平面図、図７Ｂは図６のVIIＢ部分の拡大平面図、図７Ｃは図６のVIIＣ部分の拡大平面図である。

【図8】図８Ａは本発明の液晶表示パネルを搭載したパーソナルコンピュータを示す図であり、図８Ｂは本発明の液晶表示パネルを搭載した携帯電話機を示す図である。

【図9】図９Ａは従来技術の液晶表示パネルの平面図、図９Ｂは図９ＡのIXＢ部分の拡大図、図９Ｃは図９ＡのIXＣ部分の拡大図である。

【図10】図１０Ａは従来技術の液晶表示パネルの検査端子形成部分の拡大説明図、図１０Ｂは従来技術の検査プローブの平面図である。

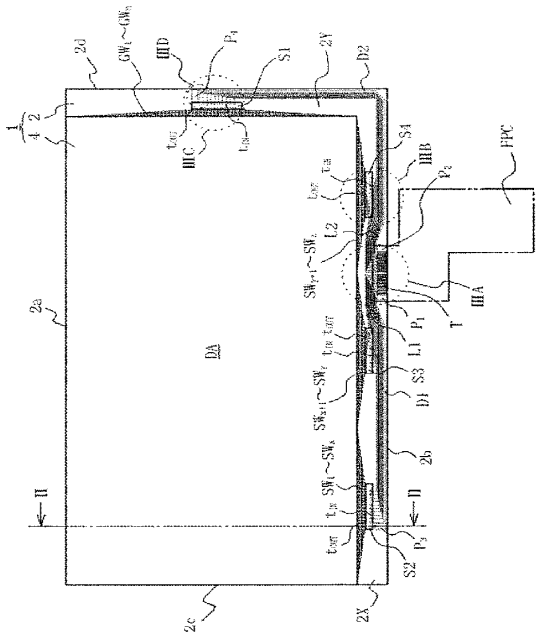
【符号の説明】

【0058】

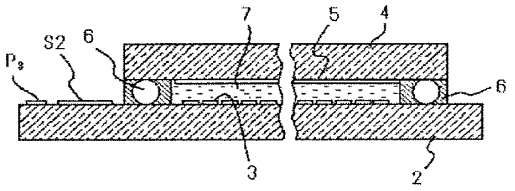
１、１Ａ、１Ｂ：液晶表示パネル　２：ＡＲ基板　２ａ～２ｄ：辺　２Ｘ、２Ｙ：張出し部　４：ＣＦ基板　６：シール枠　７：液晶　Ｄ１～Ｄ４：不良配線検査パターン　ＦＰＣ：接続ケーブル　Ｌ１、Ｌ２、$L1_1$、$L2_1$：接続配線　$L1_2$、$L1_3$、$L2_2$、$L2_3$：分岐配線　Ｌａ～Ｌｄ：接続配線群　P_1～P_4：検査パッド　Ｓ１～Ｓ４：ＩＣチップ搭載領域　GW_1～GW_n：ゲート線　SW_1～SW_z：ソース線　Ｔ、T_1～T_Z：接続端子　t_{IN}：入力側バンプ用端子　t_{OUT}：出力側バンプ用端子

BOE Ex. 1002, p. 319
BOE v. Paneltouch
IPR2025-01482

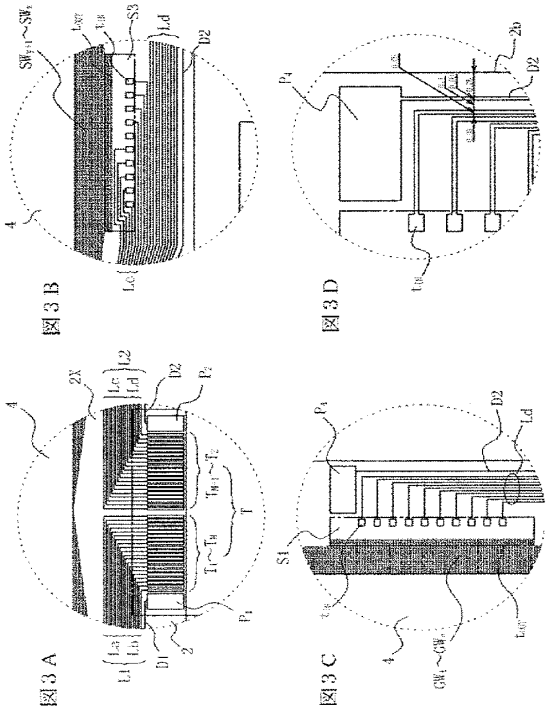
【図1】



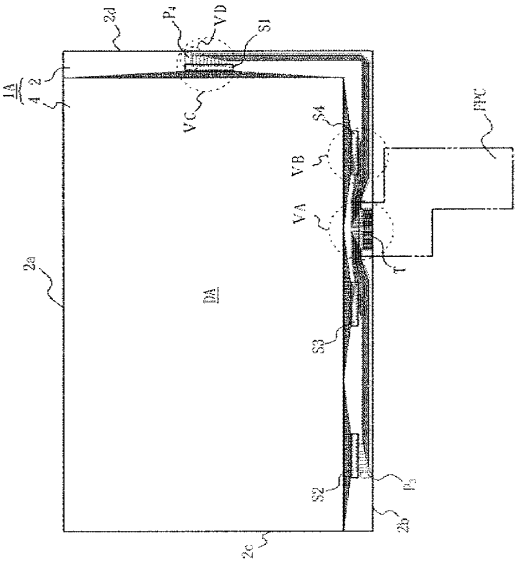
【図2】



【図3】



【図4】



BOE Ex. 1002, p. 320
BOE v. Paneltouch
IPR2025-01482

【図5】

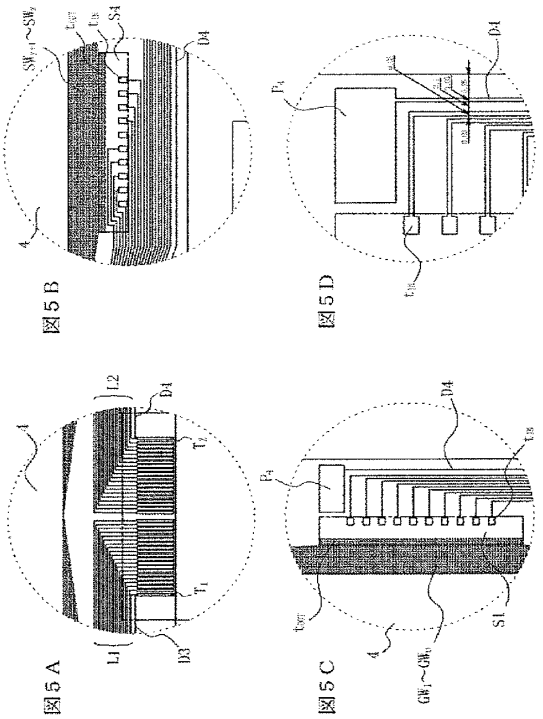


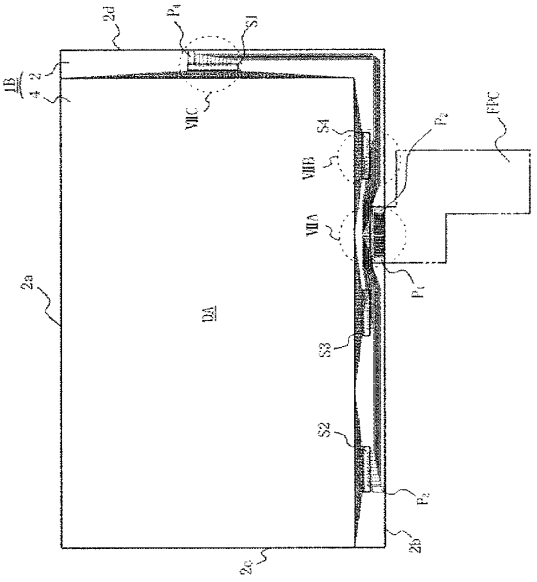
図５Ｂ

図５Ｄ

図５Ａ

図５Ｃ

【図6】



【図7】

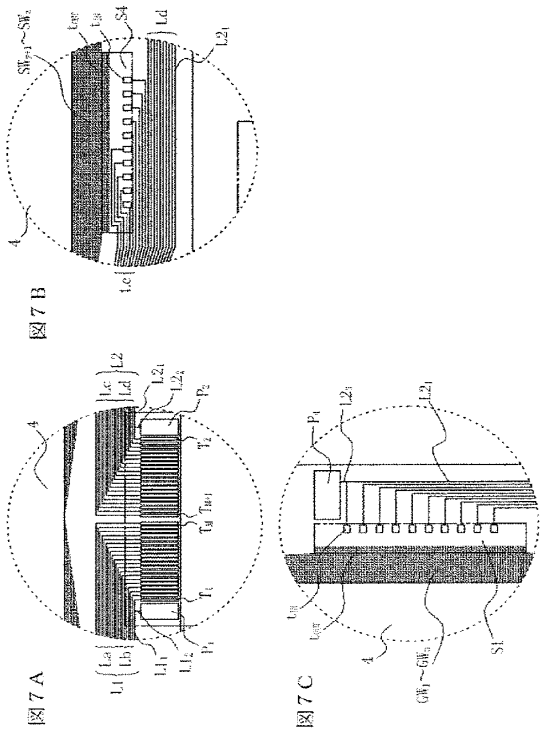


図７Ｂ

図７Ａ

図７Ｃ

【図8】

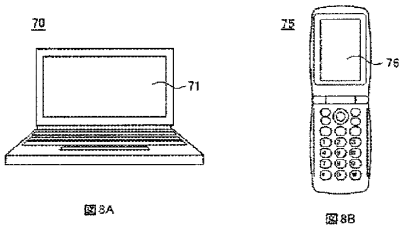


図８Ａ

図８Ｂ

BOE Ex. 1002, p. 321
BOE v. Paneltouch
IPR2025-01482

【図9】

図9A

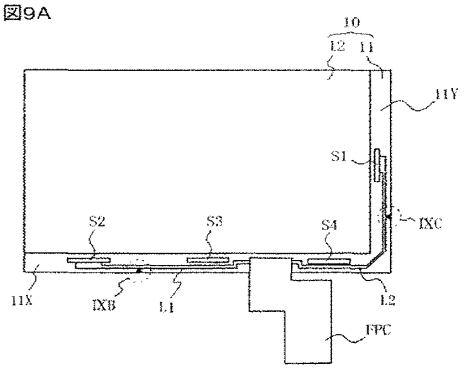


図9B

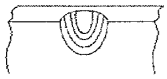


図9C



【図10】

図10A

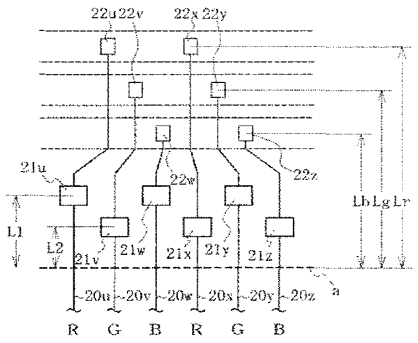
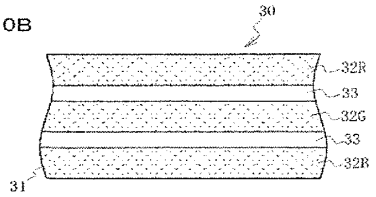


図10B



BOE Ex. 1002, p. 322
BOE v. Paneltouch
IPR2025-01482

Ｆターム(参考) 5G435 AA17 AA19 BB12 EE37 EE41 EE43 EE47 KK05 KK10

BOE Ex. 1002, p. 323
BOE v. Paneltouch
IPR2025-01482

Electronic Patent Application Fee Transmittal

Application Number:	13151362
Filing Date:	02-Jun-2011
Title of Invention:	DISPLAY DEVICE
First Named Inventor/Applicant Name:	Kouichi ANNO
Filer:	Melvin Kraus/joy aiken
Attorney Docket Number:	520.51700X00

Filed as Large Entity

Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Miscellaneous:				
Submission- Information Disclosure Stmt	1806	1	180	180
		Total in USD ($)		**180**

Electronic Acknowledgement Receipt

EFS ID:	17745797
Application Number:	13151362
International Application Number:	
Confirmation Number:	4779
Title of Invention:	DISPLAY DEVICE
First Named Inventor/Applicant Name:	Kouichi ANNO
Customer Number:	20457
Filer:	Melvin Kraus/joy aiken
Filer Authorized By:	Melvin Kraus
Attorney Docket Number:	520.51700X00
Receipt Date:	23-DEC-2013
Filing Date:	02-JUN-2011
Time Stamp:	16:34:02
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	$180
RAM confirmation Number	4281
Deposit Account	
Authorized User	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)

1	Transmittal Letter	ids.pdf	136117 3f76f1957ce0f4f655056ee5a7c807e5665ccbbc	no	2
Warnings:					
Information:					
2	Information Disclosure Statement (IDS) Form (SB08)	sb08.pdf	319219 a488f0f65a30e1b2b2dc64dfd5c414b1c1eb7c43	no	2
Warnings:					
Information:					
This is not an USPTO supplied IDS fillable form					
3	Non Patent Literature	npl.pdf	901302 9f9c44e6bf588300fa7a3cc6244a5d96fd994dd2	no	7
Warnings:					
Information:					
4	Foreign Reference	ref1.pdf	5234333 b4d30d86400bebed5106abf689854ee31e53bcbb	no	45
Warnings:					
Information:					
5	Foreign Reference	ref2.pdf	2330882 090aae1ca7e149f1b08fb0873d893c79a7614293	no	16
Warnings:					
Information:					
6	Fee Worksheet (SB06)	fee-info.pdf	30216 e25c72a5c5a52485266fa85a23e4947fc781e72e	no	2
Warnings:					
Information:					
			Total Files Size (in bytes):	8952069	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: ANNO, et al.

Serial No.: 13/151,362

Filed: 6/2/2011

Title: DISPLAY DEVICE

Art Unit: 2697

Examiner: K. Lee, Jr.

Conf. No.: 4779

INFORMATION DISCLOSURE STATEMENT UNDER 37 CFR 1.97 & 1.98

Mail Stop: DD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

December 23, 2013

Sir:

In the matter of the above-identified application, applicants are submitting herewith a copy of a communication issued in connection with a corresponding foreign application, a listing of US documents and a copy and listing of the non-US documents listed in the attached form equivalent to Form(s) PTO/SB/08A and/or PTO/SB/08B for the Examiner's consideration.

This information disclosure statement is being after the mailing date of either a final action or a notice of allowance in the application and is accompanied by the fee set forth in 37 CFR 1.17(p) and the following certification specified in 37 CFR 1.97(e).

> On information and belief, I hereby certify that each item of information contained in this information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of this statement.

BOE Ex. 1002, p. 329
BOE v. Paneltouch
IPR2025-01482

To the extent that the documents listed on the attached form equivalent to Form(s) PTO/SB/08A and/or PTO/SB/08B are not in the English language, the requirement of 37 CFR 1.98(a)(3) for a concise explanation of the relevance is satisfied by an English language version or translation of the foreign patent office report citing the documents and English language abstracts of the foreign patent documents.

It is respectfully requested that this information disclosure statement and the documents listed be considered by the Examiner.

The required fee is being submitted concurrently herewith.

Please charge any shortage in the fees due in connection with the filing of this paper, including excess claim fees, to Deposit Account No. 01-2135 (520.51700X00), and please credit any excess fees to such deposit account.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

/Melvin Kraus/ MK

Melvin Kraus
Registration No. 22,466

MK/jla
1300 North Seventeenth Street
Suite 1800
Arlington, VA 22209
Telephone: (703) 312-6600
Fax: (703) 312-6666

BOE Ex. 1002, p. 330
BOE v. Paneltouch
IPR2025-01482

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
13/151,362	06/02/2011	Kouichi ANNO	520.51700X00	4779

20457 7590 02/28/2014

ANTONELLI, TERRY, STOUT & KRAUS, LLP
1300 NORTH SEVENTEENTH STREET
SUITE 1800
ARLINGTON, VA 22209-3873

EXAMINER	
LEE JR, KENNETH B	
ART UNIT	**PAPER NUMBER**
2697	

MAIL DATE	DELIVERY MODE
02/28/2014	PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

BOE Ex. 1002, p. 331
BOE v. Paneltouch
IPR2025-01482

UNITED STATES DEPARTMENT OF COMMERCE
U.S. Patent and Trademark Office
Address : COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450

APPLICATION NO./ CONTROL NO.	FILING DATE	FIRST NAMED INVENTOR / PATENT IN REEXAMINATION	ATTORNEY DOCKET NO.
13/151,362	02 June, 2011	ANNO ET AL.	520.51700X00

ANTONELLI, TERRY, STOUT & KRAUS, LLP
1300 NORTH SEVENTEENTH STREET
SUITE 1800
ARLINGTON, VA 22209-3873

EXAMINER	
KENNETH B. LEE JR	
ART UNIT	PAPER
2697	20140225

DATE MAILED:

Please find below and/or attached an Office communication concerning this application or proceeding.

Commissioner for Patents

IDS dated 12-23-13 has been considered.

/Kevin Nguyen/ Primary Examiner, Art Unit 2697	/KENNETH B LEE JR/ Examiner Art Unit: 2697

PTO-90C (Rev.04-03)

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /KBL/

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(use as many sheets as necessary)

Sheet 1 of 2

Complete if Known	
Application Number	**13/151,362**
Filing Date	**6/2/2011**
First Named Inventor	**Kouichi ANNO**
Art Unit	**2697**
Examiner Name	**K. Lee Jr.**
Attorney Docket Number	**520.51700X00**

U.S. PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Document Number Number-Kind Code[2] *(if known)*		Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US- 2010/085320		4/8/2010	Kuwajima et al	
		US- 2008/0144023		6/19/2008	Shibata et al	
		US- 2006/0038580		2/23/2006	Hasegawa et al	
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No.[1]	Foreign Patent Document Country Code[3]–Number[4]–Kind Code[5] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T[6]
		WO 2008/136153	11/13/2008	Sharp Kabushiki Kaisha		Ab
		JP 2009-53390	3/12/2009	Epson Imaging Devices		Ab

Examiner Signature	/Kenneth B Lee Jr/	Date Considered	02/25/2014

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. 1 Applicant's unique citation designation number (optional). 2 See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. 3 Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4 For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5 Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. 6 Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /KBL/

Substitute for form 1449/PTO				Complete if Known	
INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Application Number	13/151,362
				Filing Date	6/2/2011
				First Named Inventor	Kouichi ANNO
				Group Art Unit	2697
(use as many sheets as necessary)				Examiner Name	K. Lee, Jr.
Sheet	2	of	2	Attorney Docket Number	520.51700X00

NON PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T[2]
		Copy of Office Action issued in EP Application No. 11168485.8 on November 13, 2013	

Examiner Signature	/Kenneth B Lee Jr/	Date Considered	02/25/2014

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] Applicant's unique citation designation number (optional). [2] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 120 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing the this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Substitute for form 1449A/PTO				*Complete if Known*	
INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Application Number	**13/151,362**
				Filing Date	**6/2/2011**
				First Named Inventor	**Kouichi ANNO**
				Art Unit	**2883**
(use as many sheets as necessary)				Examiner Name	
Sheet	1	of	2	Attorney Docket Number	**520.51700X00**

U.S. PATENT DOCUMENTS

Examiner Initials'	Cite No.[1]	Document Number Number-Kind Code[2] *(if known)*		Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	AA	**US- 2010/0134137**		6/3/2010	Kida	
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				

FOREIGN PATENT DOCUMENTS

Examiner Initials'	Cite No.[1]	Foreign Patent Document Country Code[3]–Number[4]–Kind Code[5] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T[6]
		WO 2008/136153	11/13/2008	Sharp Kabushiki Kaisha		Corr AA

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. 1 Applicant's unique citation designation number (optional). 2 See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. 3 Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4 For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5 Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. 6 Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(use as many sheets as necessary)

Sheet	2	of	2

Complete if Known	
Application Number	13/151,362
Filing Date	6/2/2011
First Named Inventor	Kouichi ANNO
Group Art Unit	2697
Examiner Name	K. Lee Jr.
Attorney Docket Number	520.51700X00

NON PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T[2]
		Copy of English translation of Office Action for corresponding Japanese Application No. 2010-126877, dated December 10, 2013	

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] Applicant's unique citation designation number (optional). [2] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 120 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing the this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2008 年11 月13 日 (13.11.2008)

PCT

(10) 国際公開番号
WO 2008/136153 A1

(51) 国際特許分類:
G02F 1/13 (2006.01) *G02F 1/1345* (2006.01)
G01R 31/00 (2006.01)

(21) 国際出願番号: PCT/JP2007/074013

(22) 国際出願日: 2007 年12 月13 日 (13.12.2007)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2007-115016 2007 年4 月25 日 (25.04.2007) JP

(71) 出願人 (米国を除く全ての指定国について): シャープ株式会社 (SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町２２番２２号 Osaka (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 木田 和寿 (KIDA, Kazutoshi).

(74) 代理人: 佐野 静夫 (SANO, Shizuo); 〒5400032 大阪府大阪市中央区天満橋京町２－６天満橋八千代ビル別館 Osaka (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

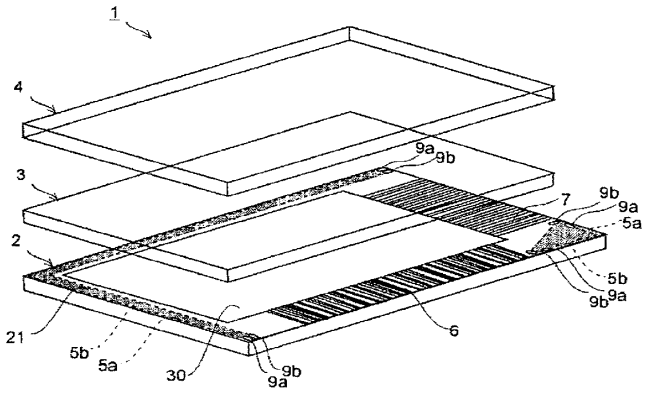
(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, PL, PT, RO, SE, SI, SK,

[続葉有]

(54) **Title:** LIQUID CRYSTAL DISPLAY PANEL AND ITS INSPECTING METHOD

(54) 発明の名称: 液晶表示パネル及びその検査方法

[図2]



(57) **Abstract:** It is an object to provide a liquid crystal display panel that is configured to surely detect a crack or a defect that may result in a big break later with high possibility, so that the output of a poor product can be prevented or the reduction of manufacturing costs can be promoted and, at the same time, a liquid crystal display panel with high reliability can be produced. A liquid crystal display panel (1) is provided with a pixel substrate (2) comprised of a plurality of scanning lines (6) and a plurality of data lines (7) that are disposed to intersect with each other on an insulating substrate, a counter substrate (4) provided with a counter electrode on an insulating substrate and a liquid crystal layer held between the pixel substrate (2) and the counter substrate (4), wherein the pixel substrate (2) is provided with a first inspecting wire (5a) along its outer circumference and a second inspecting wire (5b) in the inside circumference of the first inspecting wire (5a).

[続葉有]

WO 2008/136153 A1

BOE Ex. 1002, p. 337
BOE v. Paneltouch
IPR2025-01482

WO 2008/136153 A1

TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

(57) 要約: 液晶表示パネルの絶縁性基板上に発生し、後に大きなワレにつながる可能性の高いクラック又はキズを確実に検出し不良品流出の防止や生産コストの軽減を図るとともに、信頼性の高い液晶表示パネルを提供するため、絶縁性基板上に複数の走査線６と複数のデータ線７とが互いに交差して配設された画素基板２と絶縁性基板上に対向電極を備える対向基板４が液晶層を挟持してなる液晶表示パネル１において、画素基板２の外周縁に沿って第１検査配線５ａを設けるとともに、第１検査配線５ａの内周側に第２検査配線５ｂを設けた。

BOE Ex. 1002, p. 338
BOE v. Paneltouch
IPR2025-01482

明 細 書

液晶表示パネル及びその検査方法

技術分野

[0001] 本発明は、液晶表示装置に用いられる液晶表示パネルに関し、さらに、その検査方法に関するものである。

背景技術

[0002] 例えば、アクティブマトリクス方式の液晶表示パネルは、透明な絶縁性基板上に複数の走査線と複数のデータ線とが互いに交差して配設され、前記交差部ごとに、画素電極及び該画素電極を駆動するスイッチング素子が形成された画素基板と、透明な絶縁性基板上に対向電極が形成された対向基板とが液晶層を介して貼り合わされたものである。

[0003] 一般にこの液晶表示パネルは製造効率向上のため、画素基板を絶縁性基板上に複数個形成し、各所定の位置に対向基板を対向配置した後、画素基板単位で絶縁性基板を分断し、両基板間に液晶を封入して、個々の液晶表示パネルを得る方法が採用されている。

[0004] このとき、画素基板上に形成された走査線とデータ線が接続される電極端子と対向する対向基板上の領域は液晶表示パネルの表示領域から切り離され、電極端子が外部に露出し駆動用ICと電気的に接続している。

[0005] この液晶表示パネルの製造工程において貼り合わせ基板の一般的な切断方法として、絶縁性基板表面に、ホイールカッタ等の切断部材でスクライブ傷を付けた後、そのスクライブ傷の近傍に応力をかけて折り曲げたり、引き裂くようにして分断する方法が用いられる。

発明の開示

発明が解決しようとする課題

[0006] しかし、この絶縁性基板の分断時に、ガラス等からなる絶縁性基板の端縁に微細なクラックが発生することがあり、この場合、その場で絶縁性基板が割れてしまうことは殆どないが、後工程で絶縁性基板に曲げ、引っ張りまたは熱応力が加わった際に、

BOE Ex. 1002, p. 339
BOE v. Paneltouch
IPR2025-01482

このクラックを起点として基板が割れることがあった。特に、大型のガラスからなる絶縁性基板ではこの頻度が高くなる。また、絶縁性基板の端縁には大きなワレにつながらない微小なカケが発生することもあり、このカケは液晶表示パネルの品質上問題がないものである。

[0007] 従来、このクラック又はカケを検出し判定する方法として目視による光学検査が行なわれていたが、この検査方法では微細なクラックを発見するのが非常に困難であるとともに手間がかかりトータル的にコストアップを余儀なくされることになっていた。

[0008] そこで、本発明は、液晶表示パネルの絶縁性基板上に発生し、後に大きなワレにつながる可能性の高いクラックを確実に検出し不良品流出の防止や生産コストの軽減を図るとともに、信頼性の高い液晶表示パネルを提供することを目的とする。

課題を解決するための手段

[0009] 上記目的を達成するために本発明は、絶縁性基板上に複数の画素電極と前記画素電極のスイッチングを行うスイッチング素子とを備える画素基板と、絶縁性基板上に対向電極を備える対向基板が液晶層を挟持してなる液晶表示パネルにおいて、前記画素基板の外周縁に沿って第1検査配線が配設され、該第1検査配線の両端と電気的に接続された第1検査パッドを用いて前記第1検査配線の抵抗検査を行なうことにより前記画素基板外縁に発生したクラック又はカケを検出することを特徴とする。

[0010] この構成によると、画素基板の外周縁にクラック又はカケが発生した場合、第1検査配線が破断する。これにより第1検査配線の両端から電圧を印可し抵抗測定をおこなうことで、目視等の光学検査によらずクラック又はカケの発生を検出することができる。

[0011] また本発明は、上記構成の液晶表示パネルにおいて、前記画素基板の外周縁から内周側に設けられた所定幅の許容領域の内周縁に沿って第2検査配線が配設され、該第2検査配線の両端と電気的に接続された第2検査パッドを用いて前記第2検査配線の抵抗検査を行なうことにより前記画素基板外縁に発生したクラック又はカケを検出することを特徴とする。

[0012] この構成によると、画素基板の外周縁に発生した微小なカケが許容できる大きさで

BOE Ex. 1002, p. 340
BOE v. Paneltouch
IPR2025-01482

あるか否かの判断基準として基板の外縁から内周側に所定幅の許容領域を設け、第2検査配線をこの許容領域の内周縁に沿って配設することでカケが許容できない大きさのものである場合、第1検査配線とともに第2検査配線が破断する。また、画素基板の大きなワレにつながるクラックが許容領域を超えて発生した場合も第1検査配線とともに第2検査配線が破断する。したがって、第2検査配線の両端から電圧を印可し抵抗測定をおこなうことで、目視によらず、許容できないカケ又はクラックの発生が検出され、当該液晶表示パネルを不良品と判定することができる。

[0013] また、第1検査配線と第2検査配線の両方で抵抗検査を行い、第1検査配線のみ破断が確認された場合、第1検査配線の破断の原因が大きなワレにつながるクラックであるか、許容できるカケであるか判定できない。この場合、光学検査により破断の原因を確認して当該液晶表示パネルを評価することで不良品の選別を容易且つ確実に行なうことができる。

[0014] また本発明は、上記構成の液晶表示パネルにおいて、前記対向基板の外周縁に沿って第3検査配線が配設され、該第3検査配線の両端と電気的に接続された第3検査パッドを用いて前記第3検査配線の抵抗検査を行なうことにより前記対向基板外縁に発生したクラック又はカケを検出することを特徴とする。

[0015] この構成によると、対向基板の外周縁にクラックが発生した場合、第3検査配線が破断する。これにより第3検査配線の両端から電圧を印可し抵抗測定をおこなうことで、目視等の光学検査によらず、クラック又はカケの発生の有無を検出することができる。

[0016] また本発明は、上記構成の液晶表示パネルにおいて、前記第3検査パッドが前記画素基板上に設けられていることを特徴とする。

[0017] この構成によると、検査パッドを画素基板上にまとめることで抵抗検査の作業効率を高めることができる。

[0018] また本発明は、上記構成の液晶表示パネルにおいて、前記対向基板の外周縁から内周側に設けられた所定幅の許容領域の内周縁に沿って第4検査配線が配設され、該第4検査配線の両端と電気的に接続された第4検査パッドを用いて前記第4検査配線の抵抗検査を行なうことにより前記対向基板外縁に発生したクラック又はカケ

BOE Ex. 1002, p. 341
BOE v. Paneltouch
IPR2025-01482

を検出することを特徴とする。

[0019] この構成によると、対向基板の外周縁に発生した微小なカケが液晶表示パネルの品質において許容できる大きさであるかの判断基準として基板の外縁から内周側に所定幅の許容領域を設け、第4検査配線をこの許容領域の内周縁に沿って配設することで、カケが許容できない大きさのものである場合、第4検査配線が破断する。また、対向基板の大きなワレにつながるクラックが許容領域を超えて発生した場合も第4検査配線が破断する。これにより第4検査配線の両端から電圧を印可し抵抗測定をおこなうことで、目視等の光学検査によらず、許容できないカケ又はワレの発生が検出され、液晶表示パネルを不良品と判定することができる。

[0020] また、第3検査配線と第4検査配線の両方で抵抗検査を行い、第3検査配線のみ破断が確認された場合、第3検査配線の破断の原因が大きなワレにつながるクラックであるか、許容できるカケであるか判定できない。この場合、光学検査により破断の原因を確認して当該液晶表示パネルを評価することで不良品の選別を容易且つ確実に行なうことができる。

[0021] また本発明は、上記構成の液晶表示パネルにおいて、前記第4検査パッドが前記画素基板上に設けられていることを特徴とする。

[0022] この構成によると、検査パッドを画素基板上にまとめることで抵抗検査の作業効率を高めることができる。

[0023] また本発明は、分断ラインに沿って前記絶縁性基板を分断し得られる上記構成の液晶表示パネルにおいて、前記画素基板側絶縁性基板の前記分断ライン外周側に設けられた所定幅の許容領域の外周縁に沿って第5検査配線が配設されるとともに、該第5検査配線は分断ラインの交差部付近で前記第1検査配線に接続され、該第5検査配線の両端と電気的に接続された第5検査パッドが前記分断ラインより内周側に設けられ、前記5検査パッド及び前記第1検査パッドを用いて前記第5検査配線と前記第1検査配線間の抵抗検査を行なうことにより分断ラインから外周側に生じた分断のズレを検出することを特徴とする。

[0024] この構成によると、本来の分断ラインからズレて形成された分断位置が液晶表示パネルの品質において許容可能か否かの判断基準として分断ラインの外周側に設けら

BOE Ex. 1002, p. 342
BOE v. Paneltouch
IPR2025-01482

れた許容領域を超えた場合、許容領域の外周縁に沿って配設された第5検査配線は断線しない。一方、許容領域内で絶縁性基板が分断された場合、第5検査配線は断線する。これにより第5検査配線の両端から電圧を印可し抵抗測定をおこなうことで、目視によらず、許容できないズレの発生を検出することができる。

[0025] また、第5検査配線は分断ラインの交差部付近で第1検査配線と接続している。これにより、ある分断ラインで生じた分断のズレが許容領域内である場合、当該分断位置において第5検査配線と第1検査配線の接続部分は断線するが、分断のズレが許容領域を超えて生じた場合、当該分断位置において第5検査配線と第1検査配線の接続部分は断線しない。これにより、第5検査パッドと第1検査パッドの両端から第5検査配線と第1検査配線の間に電圧を印可し抵抗測定をおこなうことで、許容できないズレが生じた分断ラインを検出することができる。

[0026] また本発明は、上記構成の液晶表示パネルを検査する方法であって、少なくとも前記第1又は第2検査配線のいずれかに電圧を印加する抵抗検査工程と目視による光学検査工程と、を含み、前記抵抗検査工程において、液晶表示パネルの欠陥レベルを評価して前記光学検査工程を行なうか否かを判定することを特徴とする。

[0027] この構成によると、まず抵抗検査を行ない液晶表示パネルの良品又は不良品の評価を行った後、抵抗検査のみでは評価できない液晶表示パネルのみ光学検査を行なうことで効率よく液晶表示パネルの不良品を選別することができる。

発明の効果

[0028] 本発明は液晶表示パネルの検査工程を効率化するとともに液晶表示パネル外縁に発生したカケ又はクラックを原因とする不良品の選別をより確実に行なうことができる。

図面の簡単な説明

[0029] [図1]第1実施形態に係る液晶表示パネルの斜視図である。

[図2]第1実施形態に係る液晶表示パネルの分解斜視図である。

[図3]第1実施形態に係る液晶表示パネルの平面図である。

[図4]第1実施形態に係る液晶表示パネルにおける画素基板の表面構造を示す正面図である。

BOE Ex. 1002, p. 343
BOE v. Paneltouch
IPR2025-01482

[図5]第1実施形態に係る液晶表示パネルにおける画素基板の表面構造を示す正面図である。

[図6]第1実施形態に係る液晶表示パネルにおける画素基板の表面構造を示す正面図である。

[図7]第1実施形態に係る液晶表示パネルにおける画素基板の表面構造を示す正面図である。

[図8]第1実施形態に係る液晶表示パネルにおける画素基板の表面構造を示す正面図である。

[図9]第1実施形態に係る液晶表示パネルにおける画素基板の表面構造を示す正面図である。

[図10]第2実施形態に係る液晶表示パネルの分解斜視図である。

[図11](a) 第2実施形態に係る液晶表示パネルの画素基板の表面構造を示す平面図であり、(b) 第2実施形態に係る液晶表示パネルの対向基板の表面構造を示す平面図である。

[図12](a) 第2実施形態に係る液晶表示パネルの画素基板の表面構造を示す平面図であり、(b) 第2実施形態に係る液晶表示パネルの対向基板の表面構造を示す平面図である。

[図13](a) 第2実施形態に係る液晶表示パネルの画素基板の表面構造を示す平面図であり、(b) 第2実施形態に係る液晶表示パネルの対向基板の表面構造を示す平面図である。

[図14](a) 第2実施形態に係る液晶表示パネルの画素基板の表面構造を示す平面図であり、(b) 第2実施形態に係る液晶表示パネルの対向基板の表面構造を示す平面図である。

[図15](a) 第2実施形態に係る液晶表示パネルの画素基板の表面構造を示す平面図であり、(b) 第2実施形態に係る液晶表示パネルの対向基板の表面構造を示す平面図である。

[図16]第3実施形態に係る液晶表示パネルにおける分断前の画素基板の表面構造を示す正面図である。

BOE Ex. 1002, p. 344
BOE v. Paneltouch
IPR2025-01482

[図17](a) 第3実施形態に係る液晶表示パネルにおける分断ラインに沿って分断された画素基板の表面構造を示す平面図であり、(b) 第3実施形態に係る液晶表示パネルにおける外形許容ラインの外側で分断された画素基板の表面構造を示す平面図である。

符号の説明

[0030] 1 液晶表示パネル
2 画素基板
21 許容領域
3 液晶層
4 対向基板
41 許容領域
5a 第1検査配線
5b 第2検査配線
5c 第3検査配線
5d 第4検査配線
5e 第5検査配線
6 走査線
7 データ線
9a～9e 検査パッド
12c、d 転移電極
13 分断ライン
14 許容領域の外周縁
15 絶縁性基板
30 有効領域

発明を実施するための最良の形態

[0031] 以下、本発明の実施形態を図面を参照して説明する。

[第1実施形態]

[0032] 本実施形態に係る液晶表示パネル1は本発明に係る検査方法に適した液晶表示

BOE Ex. 1002, p. 345
BOE v. Paneltouch
IPR2025-01482

パネル1の構造として発明されたものである。図1は、本実施形態に係る液晶表示パネル1の斜視図であり、図2は該液晶表示パネル1の分解斜視図、図3は該本液晶表示パネル1の正面図である。液晶表示パネル1は、画素基板2に対向基板4を対向配置し、両基板間に液晶3を封入して構成されている。

[0033] ここで、画素基板2は、透明な絶縁性基板上に複数の走査線6と複数のデータ線7とが互いに交差する表示領域30を有する。走査線6と複数のデータ線7の各交差部ごとに、画素電極及び該画素電極を駆動するスイッチング素子であるTFTが形成され、液晶表示パネルの表示にあたっては、各画素電極に走査線6及びデータ線7から電位を選択的に書き込み、画素電極と対向電極との間の電圧差により介在する液晶を変調させ表示領域30に表示パターンを形成するものである。また、走査線6とデータ線7は電極端子(不図示)と接続し電極端子と対向する対向基板上の領域は液晶表示パネルの表示領域から切り離され、電極端子は外部に露出し駆動用IC(不図示)と電気的に接続している。

[0034] また、液晶表示パネルの製造工程において、絶縁性基板を分断する際、画素基板2の外周縁の一部にクラック又はカケ等のキズが発生することがある。以下、絶縁性基板の大きなワレにつながるものをクラックとし、絶縁性基板の大きなワレにつながらないものをカケとして説明する。

[0035] 画素基板2の透明な絶縁性基板には、その外周縁に沿って第1検査配線5aが設けられるとともに、第1検査配線5aの内周側に第2検査配線5bが設けられている。第1検査配線5a及び第2検査配線5bはクラック又はカケを検出するためのものである。

[0036] 第1検査配線5aは画素基板2の外周縁でクラック又はカケが発生した場合、容易に断線するものである。この断線により、第1検査配線5aの両端に接続された検査パッド9aに電圧を印可して抵抗検査を行なうことで発生したクラック又はカケの有無を検出することができる。

[0037] ここで、画素基板2の外周縁において発生したクラックは微小なものであっても将来絶縁性基板の大きなワレにつながる可能性があるため、クラックが発生した液晶表示パネルは不良品と判定する必要がある。一方、画素基板2の外周縁において微小なカケが発生した場合、このカケが将来絶縁性基板の大きなワレにつながる可能性の

BOE Ex. 1002, p. 346
BOE v. Paneltouch
IPR2025-01482

ないものであり、液晶表示パネルの品質を低下させることがない程度の大きさであれば当該液晶表示パネルを良品と判定することができる。

[0038] このカケが許容できるか否かの判断基準として画素基板2にはその外周縁から内周側に所定領域にわたる許容領域21(図中、斜線部分)が設けられ、この許容領域21を超える大きさのカケが発生した液晶表示パネルを不良品と判断する。ここで、本実施形態に係る画素基板2では第2検査配線5bが前記許容領域21の内周縁に沿って設けられ、この第2検査配線5bも第1検査配線5aと同様に絶縁性基板のクラック又はカケにより、容易に断線するものである。

[0039] したがって、第2検査配線5bの両端に接続された第2検査パッド9bに電圧を印可して抵抗検査を行なうことで、第2検査配線5bが断線した場合、抵抗検査により当該液晶表示パネル1に許容領域21を超える大きさのクラック又はカケが発生していると予測することができる。

[0040] 以上のことから、第1検査配線5a及び第2検査配線5bの抵抗検査の結果、第1検査配線5a及び第2検査配線5bのいずれもが断線している場合、当該液晶表示パネル1はクラック又は許容できない大きさのカケが生じていると判定し、目視検査を行なうことなく不良品であると判定することができる。また、第1検査配線5a及び第2検査配線5bのいずれも断線していない場合、画素基板2上にはクラックが発生していないと予測でき、当該液晶表示パネル1の目視検査を行なうことなく良品であると判定することができる。

[0041] また、第1検査配線5a又は第2検査配線5bのどちらか一方で断線が確認された場合、抵抗検査のみでは当該パネルの良品であるか不良品であるかの判断を確定することはできないため、目視検査を行ない断線の原因を確認した上で判断する必要がある。

[0042] なお、第1検査配線5a及び第2検査配線5bは図1～図3において画素基板2の外周縁に沿って2辺にわたって設けられているが、走査線6とデータ線7及びそれらと接続する電極端子(不図示)及び駆動用IC(不図示)の配置に応じて第1検査配線5a及び第2検査配線5bの配置を変更することは可能であり、上記配置に限定されるものではない。

BOE Ex. 1002, p. 347
BOE v. Paneltouch
IPR2025-01482

[0043] また、第1検査配線5a及び第2検査配線5bはなるだけ細いほうが好ましく、画素基板2上のデータ線7及び走査線6等の導電体形成時に第1検査パッド9a及び第2検査パッド9bとともに所定の形状にパターンニングして形成することができる。

[0044] 次に本実施形態に係る液晶表示パネルの検査方法について具体例を示しながら説明する。本発明に係る液晶表示パネルの検査方法はホイールカッタ等の切断部材で分断した後の液晶表示パネル1を検査対象とし、表面に設けられた各検査パッド9a、9bに電圧を印可して第1検査配線5a及び第2検査配線5bの断線の有無を検査する抵抗検査工程と目視による光学検査工程を組み合わせたものである。なお、以下の液晶表示パネルの検査方法は液晶を注入した後の液晶表示パネルについて検査を行なう場合に限定されるものではなく液晶注入前のものにおいても行なうことができる。

[0045] 図4は液晶表示パネル1における画素基板2の表面構造を示す正面図であり、画素基板2の外周縁にカケC1が発生し、第1検査配線5aの一部が断線している。またカケC1は許容領域21を超えるほど大きなカケではなく第2検査配線5bは断線していない。

[0046] 図4に示される液晶表示パネル1では、第1検査配線5a及び第2検査配線5bの両端に接続された検査パッド9a、9bにそれぞれ電圧を印可し行なう抵抗検査工程において第1検査配線5aの断線が確認され第2検査配線5bでは断線は確認されない。

[0047] このように、第1検査配線5a及び第2検査配線5bのうち第1検査配線5aのみに断線が確認された場合、画素基板2の外縁に将来大きなワレにつながるクラック又は許容できる程度の微小なカケの発生を予測することができる。しかし、抵抗検査のみではクラックが発生しているのかカケが発生しているのかは判断することができないため、抵抗検査の後、目視等の光学検査により断線の原因を確認した上で当該液晶表示パネル1の良品判断を行なう必要がある。そこで、目視検査により、カケC1が画素基板2の外周縁で発生した許容可能な大きさであり、その形状が後に基板の大きなワレにつながるものではないと確認できた場合、当該液晶表示パネルを良品と判定する。

[0048] 図5は液晶表示パネル1における画素基板2の表面構造を示す正面図であり、画素

BOE Ex. 1002, p. 348
BOE v. Paneltouch
IPR2025-01482

基板2の外周縁にカケC2が発生し、第1検査配線5a及び第2検査配線5bの一部が断線している。このカケC2は将来大きなワレにつながるものではないが許容領域21を超える大きさのカケである。

[0049] 図5に示される液晶表示パネル1では、第1検査配線5a及び第2検査配線5bの両端に接続された検査パッド9a、9bにそれぞれ電圧を印可し行なう抵抗検査工程において第1検査配線5a及び第2検査配線5bの断線が確認できる。これにより、許容範囲21を超えるクラック又はカケが画素基板2の外周縁に発生していると予測することができる。

[0050] このように、第1検査配線5a及び第2検査配線5bの両方に断線が確認された場合、目視検査を行なうことなく当該液晶表示パネル1を不良品であると判定する。

[0051] 図6は液晶表示パネル1における画素基板2の表面構造を示す正面図であり、画素基板2の外周縁に将来大きなワレにつながるクラックC3が発生し、第1検査配線5aの一部が断線している。また、クラックC3は許容範囲21を超えるほど大きなものではなく第2検査配線5bは断線していない。

[0052] 図6に示される液晶表示パネル1では、第1検査配線5a及び第2検査配線5bの両端に接続された検査パッド9a、9bにそれぞれ電圧を印可し行なう抵抗検査工程において第1検査配線5aの断線が確認され第2検査配線5bでは断線は確認されない。これにより、第1検査配線5aの断線の原因として将来大きなワレにつながるクラック又は許容できる程度の微小なカケの発生を予測することができる。

[0053] このように、第1検査配線5a又は第2検査配線5bのいずれか一方に断線が確認された場合、抵抗検査の後、目視検査により断線の原因を確認した上で当該液晶表示パネル1の良品判断を行なう必要がある。そこで、目視検査により、クラックC3が将来基板の大きなワレにつながるクラックであることが確認できた場合、当該液晶表示パネルを不良品と判定する。

[0054] 図7は液晶表示パネル1における画素基板2の表面構造を示す正面図であり、画素基板2の第2検査配線5bの一部がパターン不良P1により断線している。また、第1検査配線5aは断線していない。

[0055] 図7に示される液晶表示パネル1では、第1検査配線5a及び第2検査配線5bの両

BOE Ex. 1002, p. 349
BOE v. Paneltouch
IPR2025-01482

端に接続された検査パッド9a、9bにそれぞれ電圧を印可し行なう抵抗検査工程において第2検査配線5bのみの断線が確認され第1検査配線5aでは断線は確認されない。このとき、第1検査配線5aが断線していないことから、第2検査配線5bの断線の原因がヒビ、クラック、カケではないと予測することができる。

[0056] このように、第1検査配線5a又は第2検査配線5bのいずれか一方に断線が確認された場合、抵抗検査の後、目視検査により断線の原因を確認した上で当該液晶表示パネル1の良品判断を行なう必要がある。そこで、目視検査により、断線の原因がパターン不良P1によるものと確認することができれば、このパターン不良は液晶表示パネルの品質を低下させるものではないため当該液晶表示パネル1を良品と判定する。

[0057] 図8は液晶表示パネル1における画素基板2の表面構造を示す正面図であり、画素基板2の第1検査配線5aの一部がパターン不良P2により断線している。また、第2検査配線5bは断線していない。

[0058] 図8に示される液晶表示パネル1で、第1検査配線5a及び第2検査配線5bの両端に接続された検査パッド9a、9bにそれぞれ電圧を印可し行なう抵抗検査工程において第1検査配線5aのみの断線が確認され第2検査配線5bでは断線は確認されない。

[0059] このように、第1検査配線5a又は第2検査配線5bのいずれか一方に断線が確認された場合、抵抗検査の後、目視検査により断線の原因を確認した上で当該液晶表示パネル1の良品判断を行なう必要がある。そこで、目視検査により、断線の原因がパターン不良P2によるものと確認することができれば、このパターン不良は液晶表示パネルの品質を低下させるものではないため当該液晶表示パネル1を良品と判断する。

[0060] 図9は液晶表示パネル1における画素基板2の表面構造を示す正面図であり、画素基板2上にクラック及びカケは発生していない。

[0061] 図9に示される液晶表示パネル1では、第1検査配線5a及び第2検査配線5bの両端に接続された検査パッド9a、9bにそれぞれ電圧を印可し行なう抵抗検査工程においていずれの検査配線においても断線が確認されない。これにより、クラック又はカ

BOE Ex. 1002, p. 350
BOE v. Paneltouch
IPR2025-01482

ケが画素基板2の外周縁に発生していないと予測することができる。

[0062] このように、第1検査配線5a及び第2検査配線5bの両方に断線が確認されない場合、目視検査を行なうことなく当該液晶表示パネル1を良品であると判定する。

[0063] 以上より、第1及び第2検査配線に断線が確認された場合、目視検査を行なうことなく当該液晶表示パネルを不良品と判定する。また、第1及び第2検査配線のいずれにも断線が確認されなかった場合、目視検査を行なうことなく当該液晶パネルを良品と判定する。また、第1又は第2検査配線のいずれかに断線が確認された場合、目視検査を行ない断線の原因を確認して液晶表示パネルを評価する。

[0064] したがって、抵抗検査により液晶表示パネル1を一旦、不良品と良品とに選別し、抵抗検査だけでは良品判断できない液晶表示パネルについてのみ目視検査をおこなうことで、液晶表示パネルの検査効率を高めることができる。

[第2実施形態]

[0065] 次に本発明の第2実施形態に係る液晶表示パネル1を図を参照して説明する。なお、上記第1実施形態と共通する部分については同一の付号を付するとともに説明を省略する。図10は、本実施形態に係る液晶表示パネル1の分解斜視図である。本実施形態に係る液晶表示パネル1も第1実施形態に係る液晶表示パネル1と同様の構成を有し、アクティブマトリクス駆動方式の液晶表示パネルであり、画素基板2に対向基板4を対向配置し、両基板2，4間に液晶3を封入して構成されている。

[0066] 図11(a)は本実施形態に係る液晶表示パネル1の画素基板2の表面構造を示す平面図であり、画素基板2は、透明な絶縁性基板上に複数の走査線6と複数のデータ線7とが互いに交差する表示領域30を有する。ここで、走査線6と複数のデータ線7の各交差部ごとに、画素電極及び該画素電極を駆動するスイッチング素子であるTFTが形成され、液晶表示パネルの表示にあたっては、各画素電極に走査線6及びデータ線7から電位を選択的に書き込み、画素電極と対向電極との間の電圧差により介在する液晶を変調させることで表示領域30に表示パターンを形成するものである。また、走査線6とデータ線7は電極端子(不図示)と接続し電極端子と対向する対向基板上の領域は液晶表示パネルの表示領域から切り離され、電極端子は外部に露出し駆動用IC(不図示)と電気的に接続している。

BOE Ex. 1002, p. 351
BOE v. Paneltouch
IPR2025-01482

[0067] また、画素基板2の透明な絶縁性基板の外周縁に沿って第1検査配線5aが設けられるとともに、第1検査配線5aの内周側に第2検査配線5bが設けられている。第1検査配線5a及び第2検査配線5bは、画素基板単位で絶縁性基板を分断する際、発生する画素基板2の外周縁の一部にクラック又はカケを検出するためのものである。

[0068] 第1検査配線5aは画素基板2の外周縁でクラック又はカケが発生した場合、容易に断線するものである。この断線により、第1検査配線5aの両端に接続された検査パッド9aに電圧を印可して抵抗検査を行なうことで発生したクラック又はカケの有無を検出することができる。

[0069] ここで、画素基板2の外周縁において発生したクラックは微小なものであっても将来絶縁性基板の大きなワレにつながる可能性があるため、クラックが発生した液晶表示パネルは不良品と判定する必要がある。一方、画素基板2の外周縁において微小なカケが発生した場合、このカケが将来絶縁性基板の大きなワレにつながる可能性のないものであり、液晶表示パネルの品質を低下させることがない程度の大きさであれば画素基板2を良品と判定することができる。

[0070] このカケが許容できるか否かの判断基準として画素基板2にはその外周縁から内周側に所定領域にわたる許容領域21(図中、斜線部分)が設けられ、この許容領域21を超える大きさのカケが発生した液晶表示パネルを不良品と判断する。ここで、本実施形態に係る画素基板2では第2検査配線5bが前記許容領域21の内周縁に沿って設けられ、この第2検査配線5bも第1検査配線5aと同様に絶縁性基板のクラック又はカケにより、容易に断線するものである。

[0071] したがって、第2検査配線5bの両端に接続された第2検査パッド9bに電圧を印可して抵抗検査を行なうことで、第2検査配線5bが断線した場合、抵抗検査により画素基板2に許容領域21を超える大きさのクラック又はカケが発生していると予測することができる。

[0072] 以上のことから、第1検査配線5a及び第2検査配線5bの抵抗検査の結果、第1検査配線5a及び第2検査配線5bのいずれもが断線している場合、画素基板2はクラック又は許容できない大きさのカケが生じていると判定し、目視検査を行なうことなく不良品であると判断することができる。また、第1検査配線5a及び第2検査配線5bのい

BOE Ex. 1002, p. 352
BOE v. Paneltouch
IPR2025-01482

ずれも断線していない場合、画素基板2上にはクラックが発生していないと予測でき、目視検査を行なうことなく良品であると判断することができる。

[0073] また、第1検査配線5a又は第2検査配線5bのどちらか一方で断線が確認された場合、抵抗検査のみでは画素基板2の良品であるか不良品であるかの判断を確定することはできないため、目視検査を行ない断線の原因を確認した上で判断する必要がある。

[0074] また、図11(b)は本実施形態に係る液晶表示パネル1の対向基板4の表面構造を示す平面図であり、対向基板4表面には対向電極(不図示)が形成されるとともに、対向基板4の外周縁に沿って第3検査配線5c及びその内周側に第4検査配線5dが設けられている。これらは、画素基板2に設けた第1検査配線5aと第2検査配線5bと同様に、対向基板4に発生したカケ又はクラックを検出するためのものである。

[0075] また、画素基板2上に設けられた許容領域21と同様に対向基板4上に発生したカケが許容できるものであるか否かの判断基準として許容領域41(図中、斜線部分)が設けられ、第4検査配線5dはその内周縁に沿って設けられている。

[0076] この第3検査配線5c及び第4検査配線5dは基板上に発生したクラック又はカケが発生した場合、容易に断線するものであり、両端に接続された検査パッド9c、9dに電圧を印可して抵抗検査を行なうことで対向基板4上に発生したクラック又はカケの有無を検出することができる。

[0077] 以上のことから、第3検査配線5c及び第4検査配線5dの抵抗検査の結果、第3検査配線5c及び第4検査配線5dのいずれもが断線している場合、対向基板4にクラック又は許容できない大きさのカケが生じていると判定し、目視検査を行なうことなく対向基板4を不良品であると判定することができる。また、第3検査配線5c及び第4検査配線5dのいずれも断線していない場合、対向基板4上にはクラックが発生していないと予測でき、対向基板4の目視検査を行なうことなく良品であると判断することができる。

[0078] また、第3検査配線5c又は第4検査配線5dのどちらか一方で断線が確認された場合、抵抗検査のみでは当該対向基板が良品であるか不良品であるかの判断を確定することはできないため、目視検査を行ない断線の原因を確認した上で判断する必

BOE Ex. 1002, p. 353
BOE v. Paneltouch
IPR2025-01482

要がある。

[0079] これらのことから、まず第1検査配線5a、第2検査配線5b、第3検査配線5c及び第4検査配線5dの抵抗検査を行ない断線の有無を確認して画素基板2及び対向基板4の良品、不良品の判断をした後、その結果を元に目視検査を行ない、液晶表示パネル1の良品又は不良品の判定を行なう。これにより、不良品流出の防止や生産コストの軽減を図るとともに、極めて信頼性の高い液晶表示パネルを提供することが可能となる。

[0080] なお、対向基板4上に設けられた第3検査配線5c及び第4検査配線5dは図10に示すように画素基板2と対向する側の面に形成され、その各両端は画素基板2と対向基板4とを貼り合わせる際に挟み込まれた転移電極12c、12dを介して画素基板2上の検査パッド9c、9dとそれぞれ接続されている。

[0081] これにより、画素基板2上の外部に露出した部分に検査パッド9a、9b、9c、9dが配置され、抵抗検査の作業効率を高めることができる。

[0082] また、第3検査配線5c及び第4検査配線5dは絶縁性基板の一方にITO等からなる透明電極を所定の形状にパターニングすることにより形成することができる。

[0083] 次に本実施形態に係る液晶表示パネルの検査方法について説明する。本発明に係る液晶表示パネルの検査方法はホイールカッタ等の切断部材で分断した後の液晶表示パネル1を検査対象とし、画素基板2表面に設けられた各検査パッド9a、9b、9c、9dに電圧を印可して第1検査配線5a、第2検査配線5b、第3検査配線5c及び第4検査配線5dの断線の有無を検査する抵抗検査工程と目視による光学検査工程を組み合わせたものである。以下に液晶表示パネル1の検査方法について具体例を示しながら説明する。

[0084] 図12(a)は液晶表示パネル1における画素基板2の表面構造を示す正面図であり、図12(b)は液晶表示パネル1における対向基板4の表面構造を示す正面図である。画素基板2にはカケ、クラック等が発生していないが対向基板4の外周縁にカケC4が発生し、第3検査配線5cの一部が断線している。またカケC4は許容領域41を超えるほど大きなカケではなく第4検査配線5dは断線していない。

[0085] 図12に示される液晶表示パネル1では、第1検査配線5a、第2検査配線5b、第3

BOE Ex. 1002, p. 354
BOE v. Paneltouch
IPR2025-01482

検査配線5c及び第4検査配線5dの両端に接続された検査パッド9a、9b、9c、9dにそれぞれ電圧を印可し行なう抵抗検査工程において第3検査配線5cの断線が確認されそれ以外の検査配線では断線は確認されない。これにより、画素基板2はクラック等が発生しておらず良品であると判断することができるとともに、対向基板4周縁では第3検査配線5cの断線の原因として将来大きなワレにつながるクラック又は許容できる程度の微小なカケの発生を予測することができる。

[0086] このように、対向基板4において第3検査配線5c又は第4検査配線5dのいずれか一方に断線が確認された場合、抵抗検査の後、目視検査により断線の原因を確認した上で当該液晶表示パネル1の良品判断を行なう必要がある。ここで、目視検査により、カケC4が対向基板4上、許容可能な大きさであり、その形状が後に基板の大きなワレにつながるものではないと確認できた場合、当該液晶表示パネルを良品と判定する。

[0087] 図13(a)は液晶表示パネル1における画素基板2の表面構造を示す正面図であり、図13(b)は液晶表示パネル1における対向基板4の表面構造を示す正面図である。画素基板2にはカケ、クラック等が発生していないが対向基板4の外周縁にカケC5が発生し、第3検査配線5c及び第4検査配線5dの一部が断線している。このカケC5は将来大きなワレにつながるものではないが許容領域41を超える大きさのものである。

[0088] 図13に示される液晶表示パネル1では、第1検査配線5a、第2検査配線5b、第3検査配線5c及び第4検査配線5dの両端に接続された検査パッド9a、9b、9c、9dにそれぞれ電圧を印可し行なう抵抗検査工程において第3検査配線5c及び第4検査配線5dの断線が確認される。これにより、画素基板2はクラック等が発生しておらず良品であると判断することができるとともに、対向基板4外周縁では許容範囲41を超えるクラック又はカケが発生していると予測することができる。

[0089] このように、対向基板4において第3検査配線5c及び第4検査配線5dの両方に断線が確認された場合、目視検査を行なうことなく当該液晶表示パネル1を不良品と判断する。

[0090] 図14(a)は液晶表示パネル1における画素基板2の表面構造を示す正面図であり

BOE Ex. 1002, p. 355
BOE v. Paneltouch
IPR2025-01482

、図14(b)は液晶表示パネル1における対向基板4の表面構造を示す正面図である。画素基板2にはカケ、クラック等が発生していないが対向基板4の外周縁にクラックC6が発生し、第3検査配線5cの一部が断線している。またクラックC6は許容領域41を超えるほど大きなカケではなく第4検査配線5dは断線していない。

[0091] 図14に示される液晶表示パネル1では、第1検査配線5a、第2検査配線5b、第3検査配線5c及び第4検査配線5dの両端に接続された検査パッド9a、9b、9c、9dにそれぞれ電圧を印可し行なう抵抗検査工程において第3検査配線5cの断線が確認されそれ以外の検査配線では断線は確認されない。これにより、画素基板2はクラック等が発生しておらず良品であると判断することができるとともに、対向基板4上では第3検査配線5cの断線の原因として将来大きなワレにつながるクラック又は許容できる程度の微小なカケの発生を予測することができる。

[0092] このように、第3検査配線5c又は第4検査配線5dのいずれか一方に断線が確認された場合、抵抗検査の後、目視検査により断線の原因を確認した上で当該液晶表示パネル1の良品判断を行なう必要がある。ここで、目視検査により、クラックC6が後に基板の大きなワレにつながるクラックであることが確認できた場合、当該液晶表示パネルを不良品と判定する。

[0093] 図15(a)は液晶表示パネル1における画素基板2の表面構造を示す正面図であり、図15(b)は液晶表示パネル1における対向基板4の表面構造を示す正面図である。画素基板2の外周縁に将来大きなワレにつながるクラックC7が発生し、第1検査配線5aの一部が断線している。また、クラックC7は許容範囲21を超えるほど大きなものではなく第2検査配線5bは断線していない。

[0094] また、対向基板4の外周縁にカケC8が発生し、第3検査配線5cの一部が断線している。またカケC8は許容領域41を超えるほど大きなカケではなく第4検査配線5dは断線していない。

[0095] 図15に示される液晶表示パネル1では、第1検査配線5a、第2検査配線5b、第3検査配線5c及び第4検査配線5dの両端に接続された検査パッド9a、9b、9c、9dにそれぞれ電圧を印可し行なう抵抗検査工程において第1検査配線5a及び第3検査配線5cの断線が確認されそれ以外の検査配線では断線は確認されない。これにより

BOE Ex. 1002, p. 356
BOE v. Paneltouch
IPR2025-01482

、画素基板2上では第1検査配線5aの断線の原因として将来大きなワレにつながるクラック又は許容できる程度の微小なカケの発生を予測することができるとともに、対向基板4上では第3検査配線5cの断線の原因として将来大きなワレにつながるクラック又は許容できる程度の微小なカケの発生を予測することができる。

[0096] このように、画素基板2において第1検査配線5a又は第2検査配線5bのいずれか一方に断線が確認された場合、又は対向基板4において第3検査配線5c又は第4検査配線5dのいずれか一方に断線が確認された場合、抵抗検査の後、目視検査により断線の原因を確認した上で当該液晶表示パネル1の良品判断を行なう必要がある。このとき、目視検査により、カケC8が対向基板4外周縁で発生した許容可能な大きさであり、その形状が後に基板の大きなワレにつながるものではないと確認できた場合でも、画素基板2においてクラックC7が後に基板の大きなワレにつながるクラックであると確認された場合、当該液晶表示パネルを不良品と判定する。

[0097] 以上より、第1及び第2検査配線又は第3及び第4検査配線に断線が確認された場合、目視検査を行なうことなく当該液晶表示パネルを不良品と判定する。また、第1乃至第4検査配線のいずれにも断線が確認されなかった場合、目視検査を行なうことなく当該液晶パネルを良品と判定する。また、第1又は第2検査配線のいずれかに断線が確認された場合、画素基板2のみ目視検査を行ない断線の原因を確認して液晶表示パネルを評価する。また、第3又は第4検査配線のいずれかに断線が確認された場合、対向基板4のみ目視検査を行ない断線の原因を確認して液晶表示パネルを評価する。

[0098] 従って、抵抗検査により良品又は不良品と判断できる液晶表示パネル1を選別し、抵抗検査だけでは良品判断できない液晶表示パネルについてのみ目視検査をおこなうことで、液晶表示パネルの検査効率を高めることができる。

[第3実施形態]

[0099] 次に本発明の第3実施形態に係る液晶表示パネル1を図を参照して説明する。なお、上記第1実施形態及び第2実施形態と共通する部分については同一の付号を付するとともに説明を省略する。本実施形態に係る液晶表示パネル1も第1実施形態に係る液晶表示パネル1と同様の構成を有し、アクティブマトリクス駆動方式の液晶

BOE Ex. 1002, p. 357
BOE v. Paneltouch
IPR2025-01482

表示パネルであり、画素基板2に対向基板4を対向配置し、両基板2，4間に液晶3を封入して構成されている。

[0100] 図16は分断前の本実施形態に係る液晶表示パネル1における画素基板2の表面構造を示す平面図である。本実施形態に係る液晶パネルは分断ライン13に沿って絶縁性基板を分断して製造されるものであり、分断ライン13が当該液晶表示パネル1の外周縁となる。絶縁性基板15上には複数の走査線6と複数のデータ線7とが互いに交差する表示領域30が形成され、この表示領域30は走査線6と複数のデータ線7の各交差部ごとに、画素電極及び該画素電極を駆動するスイッチング素子が形成され、液晶表示パネルの表示にあたっては、各画素電極に走査線6及びデータ線7から電位を選択的に書き込み、画素電極と対向電極4との間の電圧差により介在する液晶を変調させることで表示パターンを形成するものである。また、走査線6とデータ線7は電極端子（不図示）と接続し電極端子と対向する対向基板上の領域は液晶表示パネルの表示領域から切り離され、電極端子は外部に露出し駆動用IC（不図示）と電気的に接続している。

[0101] ここで、液晶表示パネル1の製造工程において絶縁性基板15は通常、分断ライン13に沿ってホイールカッタ等の切断部材（以下、ホイールカッタという。）によりスクライブ傷を付けた後、分断されるが、この分断位置が分断ライン13から所定領域以上ズレて形成された場合、当該液晶表示パネルは不良品と判断される。この分断位置が許容できるか否かの判断基準として通常、分断ライン13より外周側に所定の許容領域が設けられている。つまり、スクライブ位置が許容領域の外周縁14を超えて形成されなければ、当該液晶表示パネルは良品と判断される。

[0102] 本実施形態に係る液晶表示パネル1は画素基板側絶縁性基板15において、第5検査配線5eが許容領域の外周縁14に沿って設けられるとともに、この第5検査配線5eは縦方向と横方向の分断ライン13が交差する交差部付近で第1検査配線と接続している。また、第5検査配線5eは分断ライン13の内周側で画素基板2上に設けられた検査パッド$9c_1$、$9e_2$と接続している。

[0103] これにより、許容領域の外周縁14を超えず、所定の分断ライン13に沿って絶縁性基板15が分断された場合、第5検査配線5eは絶縁性基板15とともに切断される。一

BOE Ex. 1002, p. 358
BOE v. Paneltouch
IPR2025-01482

方、許容領域の外周縁14を超えて絶縁性基板15が分断された場合、第5検査配線5eは切断されない。

[0104] ここで、液晶表示パネルの分断工程は、横方向及び縦方向と各方向の分断ライン13に沿って直線状にスクライブ傷を付けて行なうため、分断位置のズレは各方向の分断ライン13ごとに発生する。

[0105] 図17は分断後の本実施形態に係る液晶表示パネル1における画素基板2の表面構造を示す平面図であり、図17(a)は縦方向及び横方向とも分断ライン13に沿って分断されたものであり、図17(b)は縦方向においては分断ライン13に沿って分断されているが横方向においては許容領域の外周縁14を超えて分断されたものである。

[0106] 図16と図17(a)を比較すると明らかなように、分断ライン13に沿って分断された画素基板2では、第5検査配線5eが第5検査パッド$9e_1$、$9e_2$との接続部分及び第1検査配線5aとの接続部分において絶縁性基板15とともに切断されている。

[0107] 従って、同方向に配設された検査配線と接続していた第5検査パッド$9e_1$と第1検査パッド$9a_1$に電圧を印可して抵抗検査を行ない第5検査配線5eの断線の有無を検査した場合、断線が検出される。これにより、絶縁性基板15の横方向の分断が許容領域内で行なわれていることがわかる。同様にして、第5検査パッド$9e_2$と第1検査パッド$9a_2$に電圧を印可して抵抗検査を行なうことで、第5検査配線5eの断線が検出されるため絶縁性基板15の縦方向の分断においても許容領域内で行なわれていることがわかる。以上より、抵抗検査をおこなうことで、図17(a)に示される液晶表示パネル1は分断位置が許容領域内で形成された良品であると判断することができる。

[0108] 一方、図16と図17(b)を比較すると明らかなように、図17(b)に示す画素基板2は縦方向においては、分断ライン13に沿って分断され、第5検査配線5eは第5検査パッド$9e_2$との接続部分及び第1検査配線5aとの接続部分が絶縁性基板15とともに切断され断線している。これにより、同方向に配設された検査配線と接続していた第5検査パッド$9e_2$と第1検査パッド$9a_2$に電圧を印可して抵抗検査を行ない第5検査配線5eの断線の有無を検査した場合、断線が検出される。従って、抵抗検査により絶縁性基板15の縦方向の分断が許容領域内で行なわれていることがわかる。

[0109] また、画素基板2は横方向において分断ライン13に沿って分断されておらず、許容

BOE Ex. 1002, p. 359
BOE v. Paneltouch
IPR2025-01482

領域の外周縁14を超えて分断されているため、第5検査配線5eは第5検査パッド$9e_1$との接続部分及び第1検査配線5aとの接続部分が接続された状態で絶縁性基板15が切断されている。これにより、第5検査パッド$9e_1$と第1検査パッド$9a_1$に電圧を印可して抵抗検査を行ない第5検査配線5eの断線の有無を検査した場合、断線が検出されない。従って、抵抗検査により絶縁性基板15の横方向の分断が許容領域の外周縁14を超えて行なわれていると推測され、当該液晶表示パネルを不良品と判断することができる。

[0110] 以上のことから、第1検査パッド9a及び第5検査パッド9eに電圧を印可して抵抗検査を行ない、第5検査配線5eの断線の有無から絶縁性基板15の分断が許容領域の外周縁14を超えて行なわれているかどうかを判断し、液晶表示パネルの評価を行うことができる。

[0111] また、画素基板2の外周縁となる分断ライン13に沿って第1検査配線5aが設けられるとともに、第1検査配線5aの内周側に第2検査配線5bが設けられている。これは、上記第1実施形態で示したものと同様に液晶表示パネルの製造工程において、分断ライン13上、画素基板2の外周縁の一部にクラック又はカケが発生することがあるが、第1検査配線5a及び第2検査配線5bはこのクラック又はカケを検出するためのものである。

[0112] また、第2検査配線5bは画素基板2の外周縁に発生したカケが許容できるものであるか否かの判断基準として設けられた許容領域21(図中、斜線部分)の境界線に沿って設けられている。これにより、許容領域21を超えるカケが発生した場合、この第2検査配線5bが容易に断線し、第2検査配線5bの両端に接続された検査パッド9bに電圧を印可して抵抗検査を行なうことにより画素基板2に許容領域21を超えるクラック又はカケが発生していると推測することができる。

[0113] 以上のことから、本実施形態に係る液晶表示パネル1の検査方法はまず、分断ライン方向ごとに応じた第1検査パッド9a及び第5検査パッド9eに電圧を印可して抵抗検査を行ない、少なくともどちらか一方の分断ライン方向において第5検査配線5eの断線が確認されない場合、当該液晶表示パネルは分断位置のズレが許容範囲を超えるものであり不良品と判断する。一方、全ての分断ライン方向において第5検査配線

BOE Ex. 1002, p. 360
BOE v. Paneltouch
IPR2025-01482

5eの断線が確認された場合、当該液晶表示パネルは分断位置のズレが許容範囲内のものであると判断し、次に実施形態1の液晶表示パネルの検査方法と同様に第1検査配線5a及び第2検査配線5bの抵抗検査を行なう。この結果、第1検査配線5a及び第2検査配線5bのいずれもが断線していると検出された場合、当該画素基板2は目視検査を行なうことなく不良品であると判断することができるとともに、第1検査配線5a及び第2検査配線5bのいずれも断線していないと検出された場合、画素基板2上にはクラック又はカケ、ワレが発生していないと予測でき、目視検査を行なうことなく良品であると判断することができる。

[0114] また、第1検査配線5a又は第2検査配線5bのどちらか一方で断線が確認された場合、抵抗検査のみでは当該画素基板2の良品であるか不良品であるかの判断を確定することはできないため、目視検査を行ない断線の原因を確認した上で判断する必要がある。

[0115] なお、本実施形態に係る液晶表示パネル1において対向基板4には第3検査配線5c及び第4検査配線5dは設けられていないが、第2実施形態で示したように対向基板4上第3検査配線5c及び第4検査配線5dを設け対向基板4上のクラック又はカケ、ワレを検出する検査工程を本検査工程に加えることも可能である。

[0116] また、対向基板4の分断ラインの外周側に所定の許容領域を設け、該許容領域の外周縁に沿って検査配線を設けるとともに該検査配線を対向基板上の分断ラインより内周側に引き出し画素基板2と対向基板4とを貼り合わせる際に挟み込まれた転移電極を介して画素基板2上の検査パッドと接続することにより、上記第5検査配線5eと同様に検査パッドに電圧を印可して抵抗検査を行ない、断線の有無から対向基板4側の絶縁性基板の分断が許容領域の外周縁を超えて行なわれているかどうかを判断することができる。また、このときの検査方法は上記説明した方法と同様の手順により行なうことができる。

[0117] また、第5検査配線5e、第1検査配線5a及び第2検査配線5bはなるだけ細いほうが好ましく、画素基板2上のデータ線7及び走査線6等の導電体形成時に検査パッド9a、9b、9eとともに所定の形状にパターンニングして形成することができる。

[0118] なお、本実施形態における液晶表示パネル1は2辺にわたる分断ライン13に沿って

BOE Ex. 1002, p. 361
BOE v. Paneltouch
IPR2025-01482

絶縁性基板15を分断する場合を示したが、本発明はこれに限定されるわけではなく、1辺、3辺又は4辺にわたる分断ライン13に沿って絶縁性基板15を分断する場合も本発明の技術的範囲に含まれる。また、検査パッド$9a_3$、$9a_4$、$9b_3$、$9b_4$を用いて、液晶表示パネル1の角部におけるカケ、ワレを検出することも可能である。

[0119] なお、本発明は上述した各実施形態に限定されるものではなく、種々の変更が可能であり、異なる実施形態にそれぞれ開示された技術的手段を適宜組み合わせて得られる実施形態についても本発明の技術的範囲に含まれる。例えば、上記実施例において、画素基板2又は対向基板4上に第1検査配線5a、第2検査配線5b、第3検査配線5c、第4検査配線5b又は第5検査配線5eのうち少なくとも一本が設けられていれば本発明に係る液晶表示パネルとみなすことができる。

産業上の利用可能性

[0120] 本発明は、液晶表示装置に利用することができ、これを用いた、液晶ディスプレイに用いることができる。

BOE Ex. 1002, p. 362
BOE v. Paneltouch
IPR2025-01482

請求の範囲

[1] 絶縁性基板上に複数の画素電極と前記画素電極のスイッチングを行うスイッチング素子とを備える画素基板と、絶縁性基板上に対向電極を備える対向基板が液晶層を挟持してなる液晶表示パネルにおいて、
前記画素基板の外周縁に沿って第1検査配線が配設され、
該第1検査配線の両端と電気的に接続された第1検査パッドを用いて前記第1検査配線の抵抗検査を行なうことにより前記画素基板外縁に発生したクラック又はカケを検出することを特徴とする液晶表示パネル。

[2] 前記画素基板の外周縁から内周側に設けられた所定幅の許容領域の内周縁に沿って第2検査配線が配設され、
該第2検査配線の両端と電気的に接続された第2検査パッドを用いて前記第2検査配線の抵抗検査を行なうことにより前記画素基板外縁に発生したクラック又はカケを検出することを特徴とする請求項1に記載の液晶表示パネル。

[3] 前記対向基板の外周縁に沿って第3検査配線が配設され、
該第3検査配線の両端と電気的に接続された第3検査パッドを用いて前記第3検査配線の抵抗検査を行なうことにより前記対向基板外縁に発生したクラック又はカケを検出することを特徴とする請求項1又は請求項2に記載の液晶表示パネル。

[4] 前記第3検査パッドが前記画素基板上に設けられていることを特徴とする請求項3に記載の液晶表示パネル。

[5] 前記対向基板の外周縁から内周側に設けられた所定幅の許容領域の内周縁に沿って第4検査配線が配設され、
該第4検査配線の両端と電気的に接続された第4検査パッドを用いて前記第4検査配線の抵抗検査を行なうことにより前記対向基板外縁に発生したクラック又はカケを検出することを特徴とする請求項3に記載の液晶表示パネル。

[6] 前記第4検査パッドが前記画素基板上に設けられていることを特徴とする請求項5に記載の液晶表示パネル。

[7] 分断ラインに沿って前記絶縁性基板を分断し得られる請求項1又は請求項2に記載の液晶表示パネルにおいて、

BOE Ex. 1002, p. 363
BOE v. Paneltouch
IPR2025-01482

前記画素基板側絶縁性基板の前記分断ライン外周側に設けられた所定幅の許容領域の外周縁に沿って第5検査配線が配設されるとともに、

該第5検査配線は分断ラインの交差部付近で前記第1検査配線に接続され、

該第5検査配線の両端と電気的に接続された第5検査パッドが前記分断ラインより内周側に設けられ、

前記5検査パッド及び前記第1検査パッドを用いて前記第5検査配線と前記第1検査配線間の抵抗検査を行なうことにより分断ラインから外周側に生じた分断のズレを検出することを特徴とする液晶表示パネル。

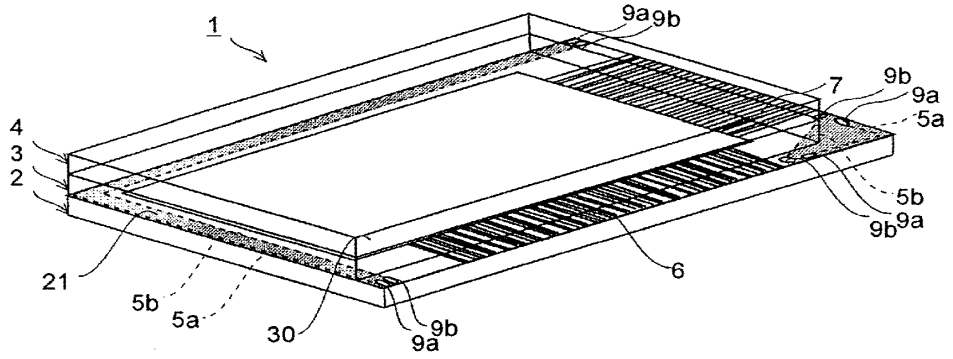
[8] 請求項1又は請求項2に記載の液晶表示パネルを検査する方法であって、

少なくとも前記第1又は第2検査配線のいずれかに電圧を印加する抵抗検査工程と目視による光学検査工程と、を含み、

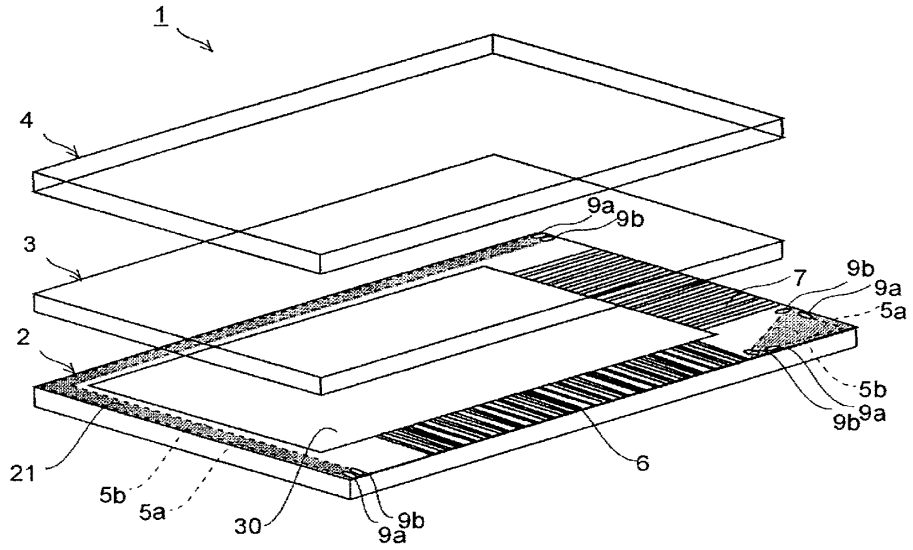
前記抵抗検査工程において、液晶表示パネルの欠陥レベルを評価して前記光学検査工程を行なうか否かを判定することを特徴とする液晶表示パネルの検査方法。

BOE Ex. 1002, p. 364
BOE v. Paneltouch
IPR2025-01482

[図1]

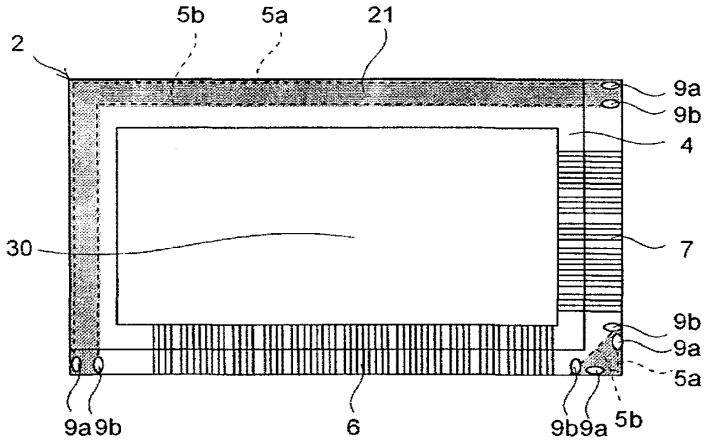


[図2]

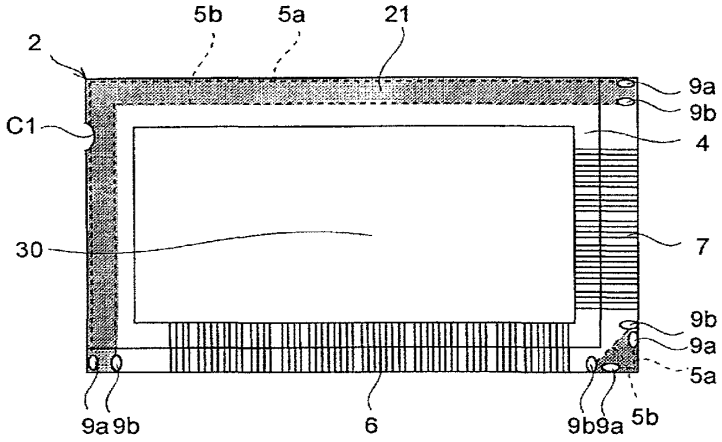


BOE Ex. 1002, p. 365
BOE v. Paneltouch
IPR2025-01482

[図3]

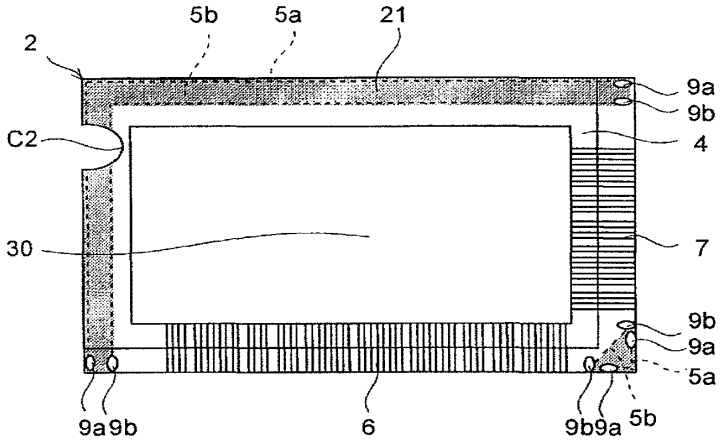


[図4]

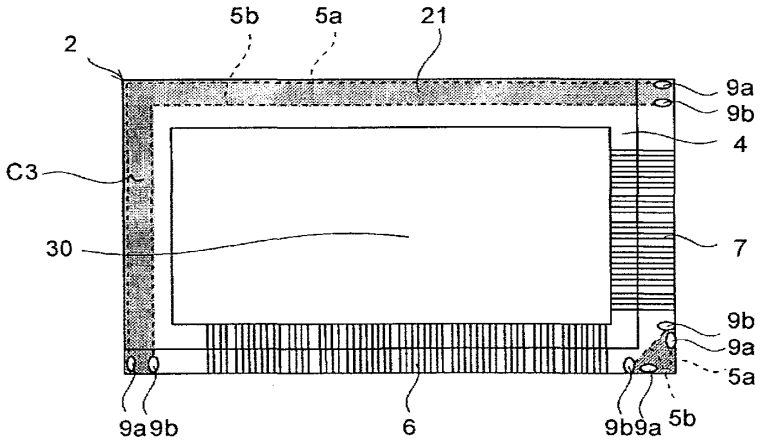


BOE Ex. 1002, p. 366
BOE v. Paneltouch
IPR2025-01482

[図5]

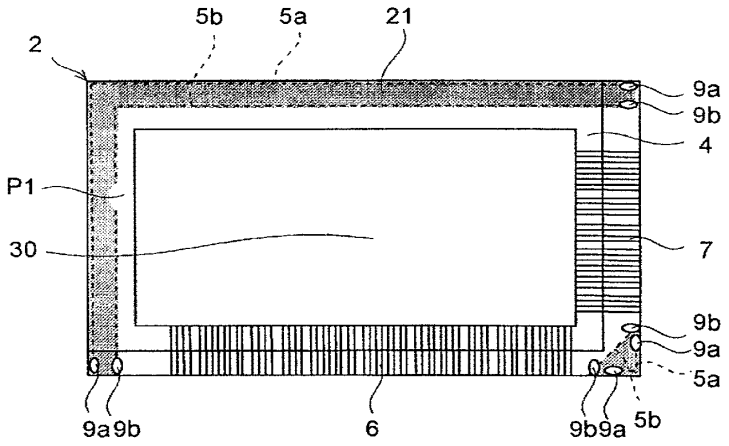


[図6]

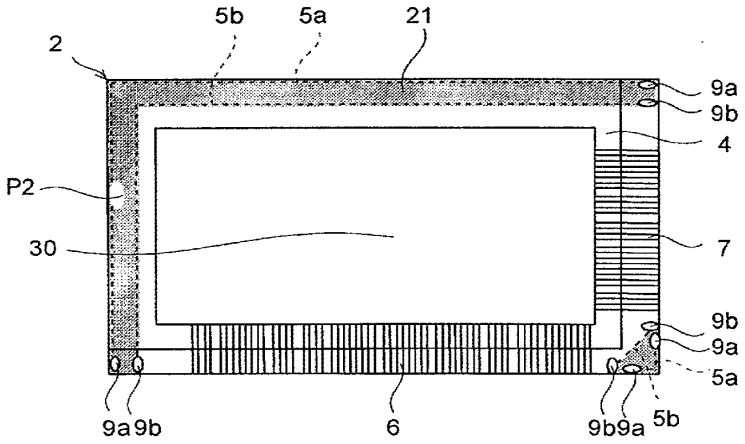


BOE Ex. 1002, p. 367
BOE v. Paneltouch
IPR2025-01482

[図7]

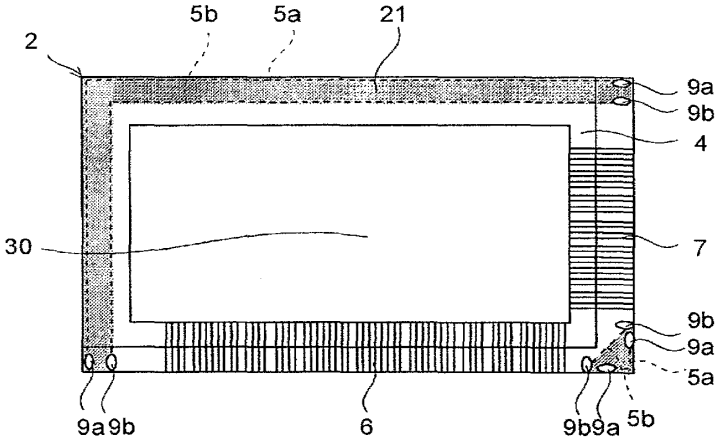


[図8]

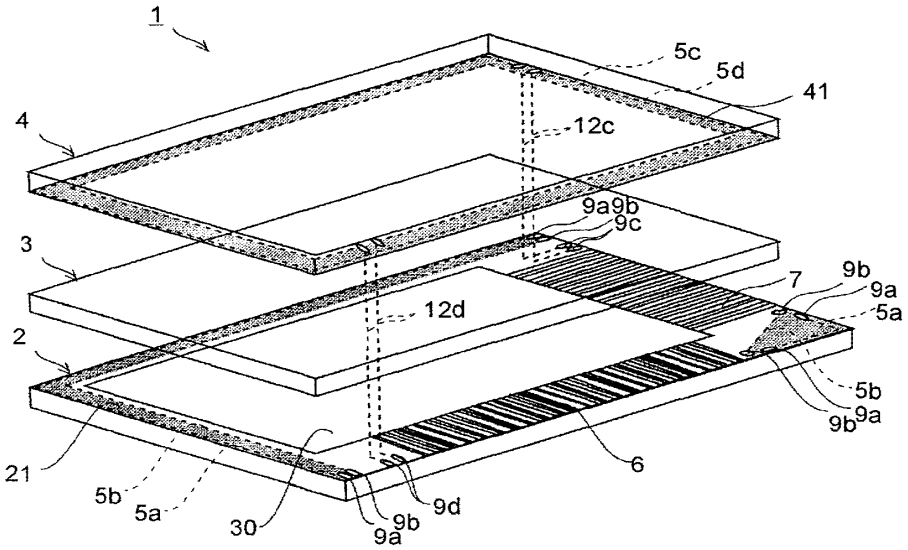


BOE Ex. 1002, p. 368
BOE v. Paneltouch
IPR2025-01482

[図9]

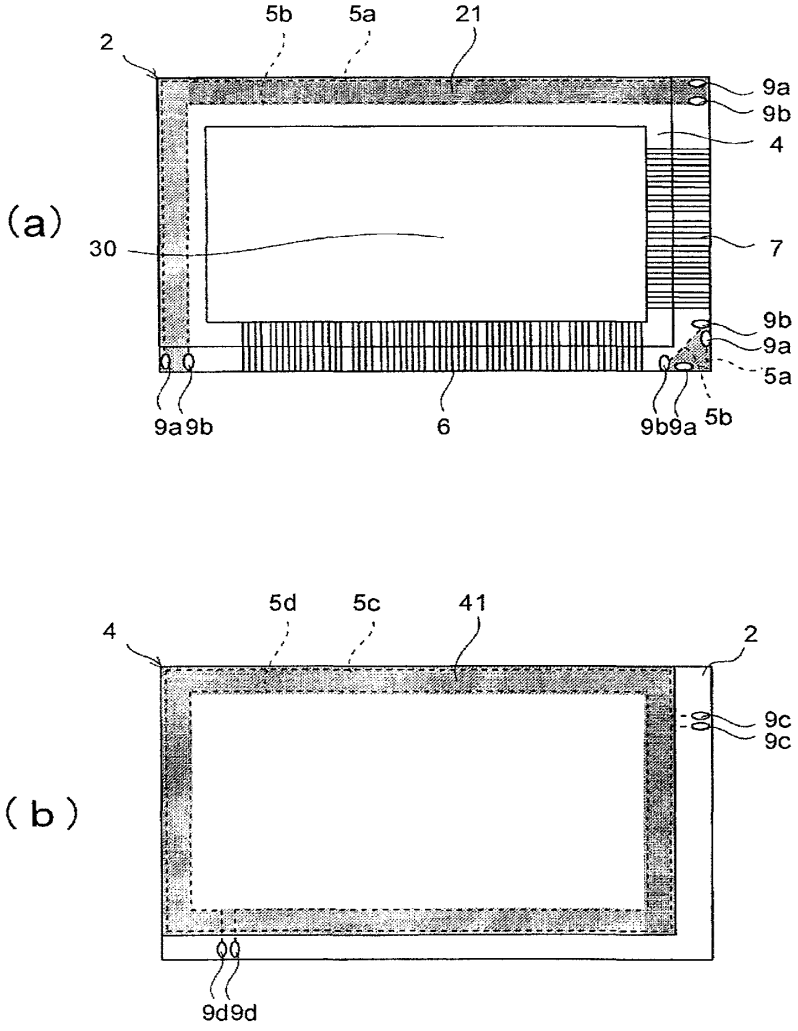


[図10]



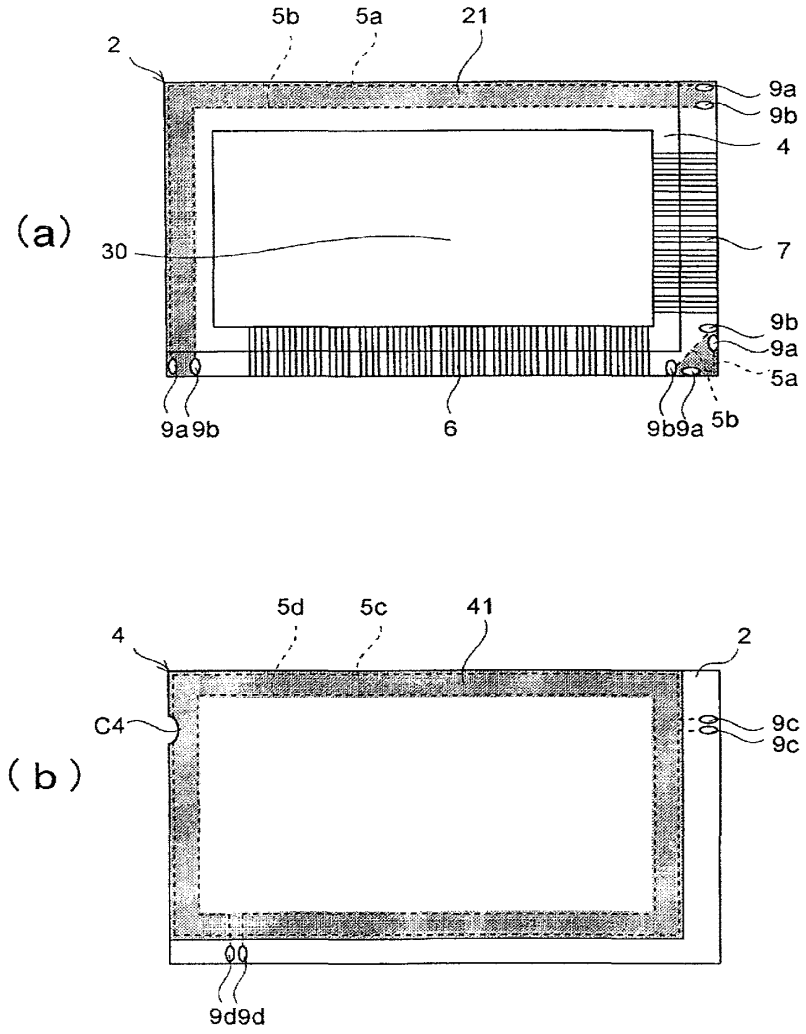
BOE Ex. 1002, p. 369
BOE v. Paneltouch
IPR2025-01482

[図11]



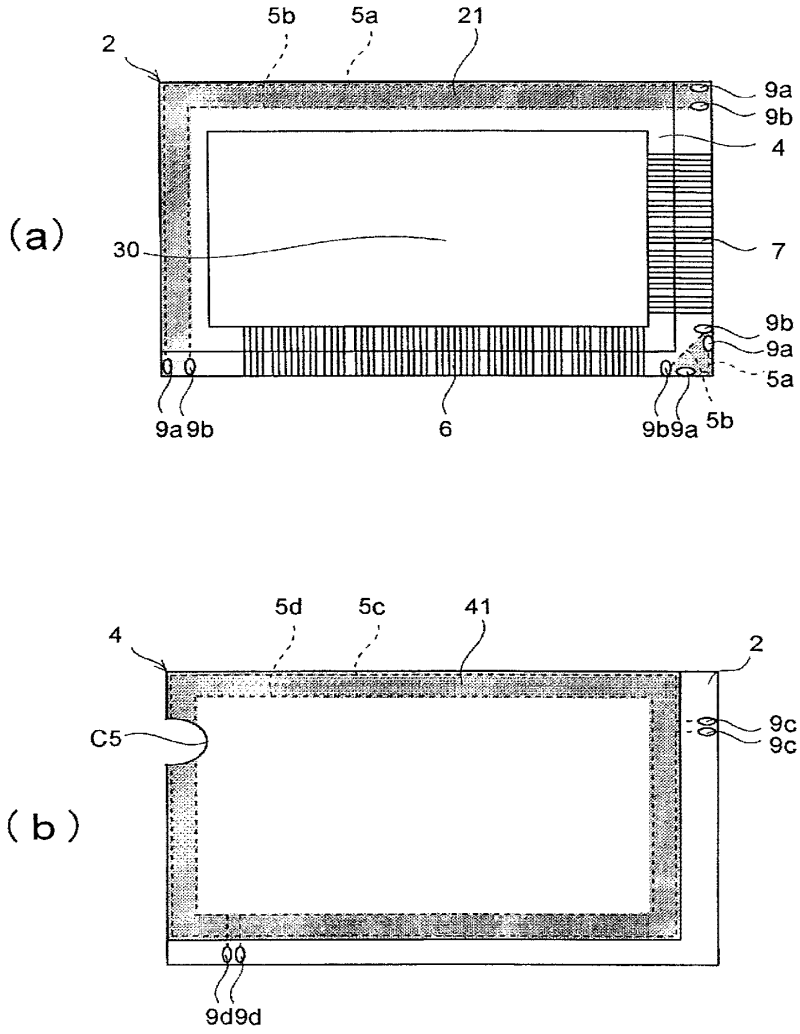
BOE Ex. 1002, p. 370
BOE v. Paneltouch
IPR2025-01482

[図12]



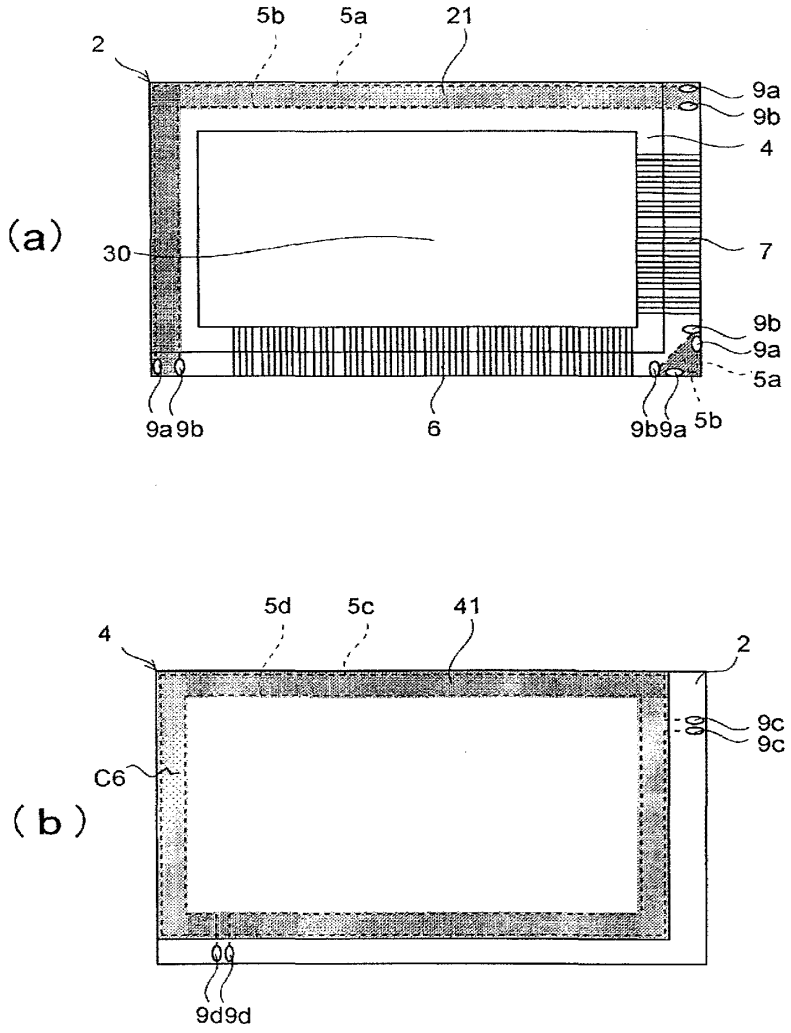
BOE Ex. 1002, p. 371
BOE v. Paneltouch
IPR2025-01482

[図13]



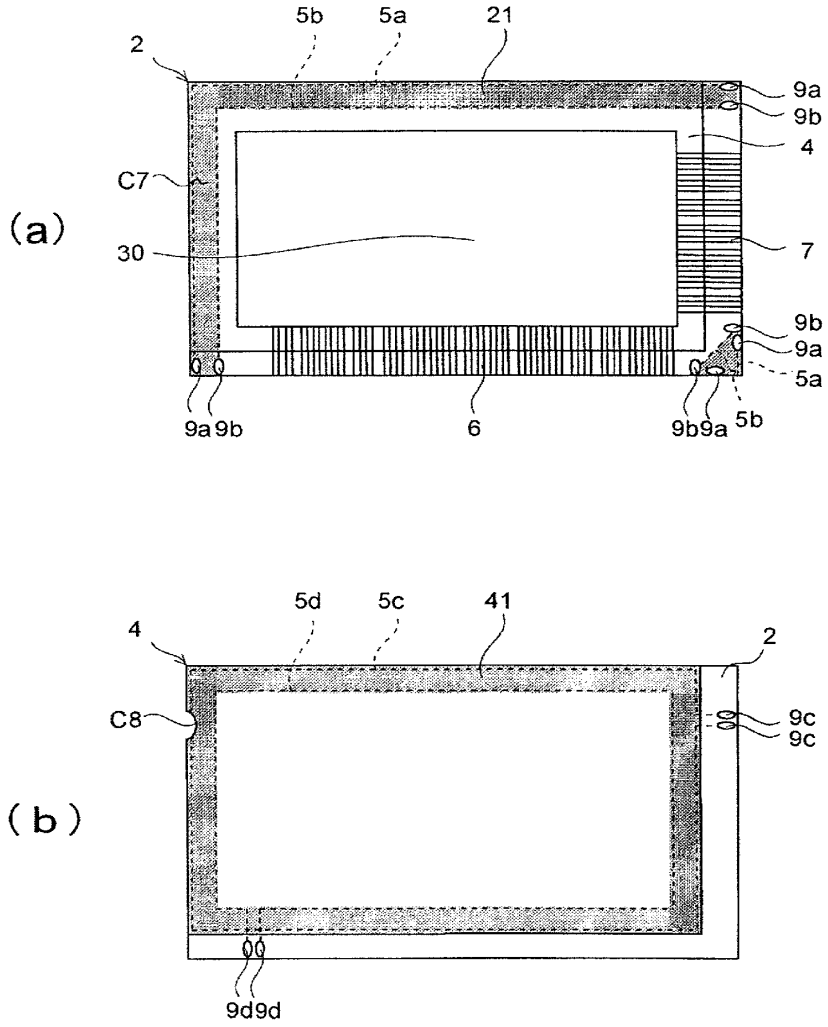
BOE Ex. 1002, p. 372
BOE v. Paneltouch
IPR2025-01482

[図14]



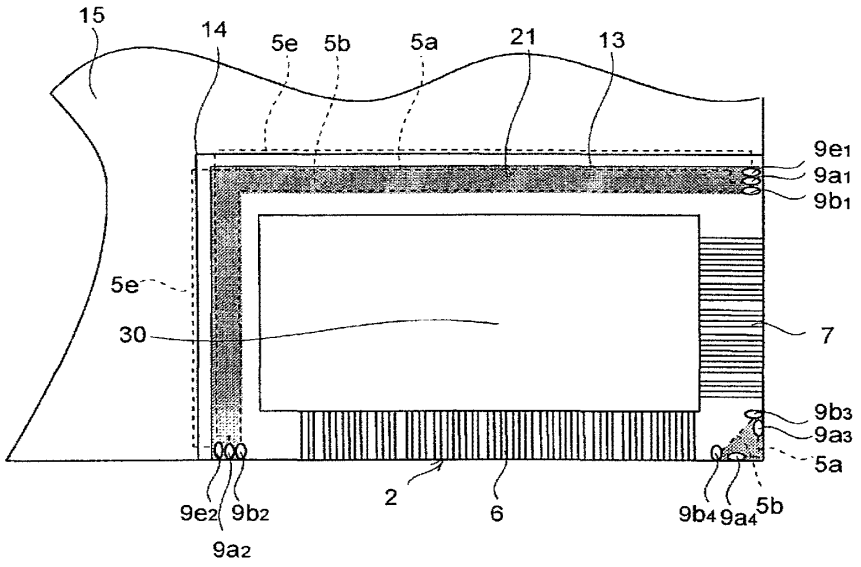
BOE Ex. 1002, p. 373
BOE v. Paneltouch
IPR2025-01482

[図15]



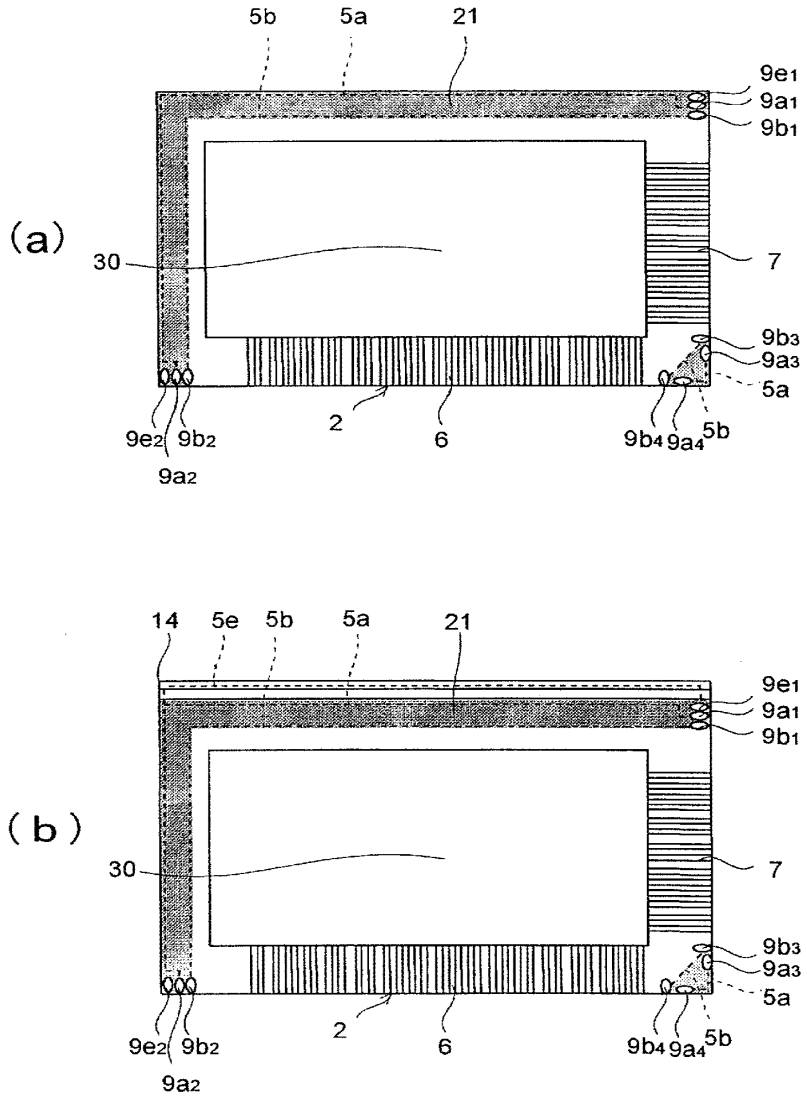
BOE Ex. 1002, p. 374
BOE v. Paneltouch
IPR2025-01482

[図16]



BOE Ex. 1002, p. 375
BOE v. Paneltouch
IPR2025-01482

[図17]



BOE Ex. 1002, p. 376
BOE v. Paneltouch
IPR2025-01482

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/074013

A. CLASSIFICATION OF SUBJECT MATTER
G02F1/13(2006.01)i, *G01R31/00*(2006.01)i, *G02F1/1345*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
G02F1/13, G01R31/00, G02F1/1345

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2008
Kokai Jitsuyo Shinan Koho	1971-2008	Toroku Jitsuyo Shinan Koho	1994-2008

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2003-131188 A (Ricoh Co., Ltd.), 08 May, 2003 (08.05.03), Full text; all drawings (Family: none)	1,2

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
06 March, 2008 (06.03.08)	18 March, 2008 (18.03.08)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

Form PCT/ISA/210 (second sheet) (April 2007)

BOE Ex. 1002, p. 377
BOE v. Paneltouch
IPR2025-01482

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/074013

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:

2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:
Although "a special technical feature" of the inventions in claims [1, 2], [3, 6], 7 and 8 is "a liquid crystal display panel characterized in comprising a pixel substrate provided with a plurality of pixel electrodes and switching elements for switching the pixel electrodes on an insulating substrate, a counter substrate provided with a counter electrode on an insulating substrate and a liquid crystal layer held between the pixel substrate and the counter substrate, wherein the pixel substrate is provided with a first inspecting wire along its outer circumference and resistance inspection of the first wire is carried out by using a first inspecting pad electrically connected with both ends of the first inspecting wire, (continued to extra sheet)

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.

2. ☐ As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.

3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:

4. ☒ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.: 1 and 2.

Remark on Protest

the

☐ The additional search fees were accompanied by the applicant's protest and, where applicable, payment of a protest fee.

☐ The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.

☐ No protest accompanied the payment of additional search fees.

Form PCT/ISA/210 (continuation of first sheet (2)) (April 2007)

BOE Ex. 1002, p. 378
BOE v. Paneltouch
IPR2025-01482

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2007/074013

Continuation of Box No.III of continuation of first sheet(2)

thereby detecting a crack or a chipped portion occurred at an outer circumference of the pixel substrate, "the special technical feature" is disclosed in the prior art document, and it is not novel. Therefore, the invention in claim 1 does not have "the special technical features" (those technical features that define a contribution which each of the claimed inventions, considered as a whole, makes over the prior art) set forth in PCT Rule 13.2 at all. Thus, there are not one or more of the same or corresponding special technical features in the inventions in claims [1, 2], [3, 6], 7 and 8, this application does not comply with the requirement of unity of invention.

BOE Ex. 1002, p. 379
BOE v. Paneltouch
IPR2025-01482

国際調査報告	国際出願番号　ＰＣＴ／ＪＰ２００７／０７４０１３

A．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　G02F1/13(2006.01)i, G01R31/00(2006.01)i, G02F1/1345(2006.01)i

B．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　G02F1/13, G01R31/00, G02F1/1345

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００８年
日本国実用新案登録公報	１９９６－２００８年
日本国登録実用新案公報	１９９４－２００８年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
X	ＪＰ　２００３－１３１１８８　Ａ(株式会社リコー) ２００３．０５．０８，全文，全図　（ファミリーなし）	１、２

☐　Ｃ欄の続きにも文献が列挙されている。　　☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
０６．０３．２００８	１８．０３．２００８

国際調査機関の名称及びあて先	特許庁審査官（権限のある職員）	２Ｌ	３８１２
日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	福島　浩司 電話番号　０３－３５８１－１１０１　内線　３２５５		

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（２００７年４月）

BOE Ex. 1002, p. 380
BOE v. Paneltouch
IPR2025-01482

国際調査報告

国際出願番号 ＰＣＴ／ＪＰ２００７／０７４０１３

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見（第１ページの２の続き）

法第8条第3項（ＰＣＴ17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1．☐ 請求の範囲＿＿＿＿＿＿＿＿は、この国際調査機関が調査をすることを要しない対象に係るものである。
つまり、

2．☐ 請求の範囲＿＿＿＿＿＿＿＿は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、

3．☐ 請求の範囲＿＿＿＿＿＿＿＿は、従属請求の範囲であってＰＣＴ規則6.4(a)の第２文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見（第１ページの３の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。
請求の範囲[１、２]、[３－６]、７、８に係る発明に共通する「特別な技術的特徴」は、「絶縁性基板上に複数の画素電極と前記画素電極のスイッチングを行うスイッチング素子とを備える画素基板と、絶縁性基板上に対向電極を備える対向基板が液晶層を挟持してなる液晶表示パネルにおいて、前記画素基板の外周縁に沿って第１検査配線が配設され、該第１検査配線の両端と電気的に接続された第１検査パッドを用いて前記第１検査配線の抵抗検査を行なうことにより前記画素基板外縁に発生したクラック又はカケを検出することを特徴とする液晶表示パネル」であるが、この「特別な技術的特徴」は、先行技術文献に記載されているので、新規ではない。したがって、請求の範囲１に係る発明は、ＰＣＴ規則１３．２の「特別な技術的特徴」（クレームされた発明が全体として先行技術に対して行う貢献を明示する技術的特徴）を全く有しない。してみると、請求の範囲[１、２]、[３－６]、７、８に係る発明には、一又は二以上の同一の又は対応する「特別な技術的特徴」が存在しないので、この出願は発明の単一性の要件を満たしていない。

1．☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。

2．☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。

3．☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。

4．☑ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

請求の範囲１、２

追加調査手数料の異議の申立てに関する注意

☐ 追加調査手数料及び、該当する場合には、異議申立手数料の納付と共に、出願人から異議申立てがあった。
☐ 追加調査手数料の納付と共に出願人から異議申立てがあったが、異議申立手数料が納付命令書に示した期間内に支払われなかった。
☐ 追加調査手数料の納付はあったが、異議申立てはなかった。

様式ＰＣＴ／ＩＳＡ／２１０（第１ページの続葉（２））（２００７年４月）

BOE Ex. 1002, p. 381
BOE v. Paneltouch
IPR2025-01482

Electronic Patent Application Fee Transmittal

Application Number:	13151362
Filing Date:	02-Jun-2011
Title of Invention:	DISPLAY DEVICE
First Named Inventor/Applicant Name:	Kouichi ANNO
Filer:	Melvin Kraus/joy aiken
Attorney Docket Number:	520.51700X00

Filed as Large Entity

Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Miscellaneous:				
Submission- Information Disclosure Stmt	1806	1	180	180
		Total in USD ($)		**180**

Electronic Acknowledgement Receipt

EFS ID:	18337307
Application Number:	13151362
International Application Number:	
Confirmation Number:	4779
Title of Invention:	DISPLAY DEVICE
First Named Inventor/Applicant Name:	Kouichi ANNO
Customer Number:	20457
Filer:	Melvin Kraus/joy aiken
Filer Authorized By:	Melvin Kraus
Attorney Docket Number:	520.51700X00
Receipt Date:	28-FEB-2014
Filing Date:	02-JUN-2011
Time Stamp:	15:04:30
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	$180
RAM confirmation Number	1657
Deposit Account	
Authorized User	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)

1	Transmittal Letter	ids.pdf	140491 7f22094868838c305c9ba75767ee0c4a75f2c2c0	no	2
Warnings:					
Information:					
2	Information Disclosure Statement (IDS) Form (SB08)	sb08.pdf	320610 b8bc1118045a8fad7390567a5e8b2f6d039e90e1	no	2
Warnings:					
Information:					
This is not an USPTO supplied IDS fillable form					
3	Non Patent Literature	npl.pdf	160094 e4a6fd18bcf8b2e3ebd809b913cc4156544b210f	no	2
Warnings:					
Information:					
4	Foreign Reference	ref1.pdf	5301489 231f010413476cf4215ac1d56b260810e0ff2e63	no	45
Warnings:					
Information:					
5	Fee Worksheet (SB06)	fee-info.pdf	30217 5f02641b59999a3bc2b7af9db7cdda880e793568	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	5952901		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

<u>New Applications Under 35 U.S.C. 111</u>
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

<u>National Stage of an International Application under 35 U.S.C. 371</u>
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

<u>New International Application Filed with the USPTO as a Receiving Office</u>
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicants: ANNO, et al

Serial No.: 13/151,362

Filed: 6/2/2011

Title: DISPLAY DEVICE

Art Unit: 2697

Examiner: K. Lee Jr.

Conf. No.: 4779

INFORMATION DISCLOSURE STATEMENT UNDER 37 CFR 1.97 & 1.98

Mail Stop: DD/Issue Fee
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

February 28, 2014

Sir:

In the matter of the above-identified application, applicants are submitting herewith a copy of an English translation of an Office Action in connection with a corresponding Japanese Application dated December 10, 2013, a listing of a US document and a copy and listing of the non-US document as listed on the attached form equivalent to Form(s) PTO/SB/08A and/or PTO/SB/08B for the Examiner's consideration.

This information disclosure statement is being submitted after the mailing date of either a final action or a notice of allowance in the application and is accompanied by the fee set forth in 37 CFR 1.17(p) and the following certification specified in 37 CFR 1.97(e).

> On information and belief, I hereby certify that each item of information contained in this information disclosure statement was first cited in any communication from a foreign patent office in a counterpart

BOE Ex. 1002, p. 386
BOE v. Paneltouch
IPR2025-01482

foreign application not more than three months prior to the filing of this statement.

To the extent that the documents listed on the attached form equivalent to Form(s) PTO/SB/08A and/or PTO/SB/08B are not in the English language, the requirement of 37 CFR 1.98(a)(3) for a concise explanation of the relevance is satisfied by an English language version or translation of the foreign patent office report citing the documents and an English language patent family member.

It is respectfully requested that this information disclosure statement and the documents listed be considered by the Examiner.

The required fee of $180.00 is being submitted concurrently herewith.

Please charge any shortage in the fees due in connection with the filing of this paper, including excess claim fees, to Deposit Account No. 01-2135 (520.51700X00), and please credit any excess fees to such deposit account.

Respectfully submitted,

ANTONELLI, TERRY, STOUT & KRAUS, LLP

/Melvin Kraus/ MK
Melvin Kraus
Registration No. 22,466

MK/jla
1300 North Seventeenth Street
Suite 1800
Arlington, VA 22209
Telephone: (703) 312-6600
Fax: (703) 312-6666

BOE Ex. 1002, p. 387
BOE v. Paneltouch
IPR2025-01482

PART B- FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
Or Fax (571) 273-2885

520.51700X00

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks I through 5 should be completed where appropriate. All Further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as Indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for Maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)
020457 7590 12/02/2013

ANTONELLI, TERRY STOUT & KRAUS, LLP
1300 NORTH SEVENTEENTH STREET
SUITE 1800
ARLINGTON, VA 22209-3873

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying Papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission
I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope Addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
13/151,362	06/02/2011	KOUICHI ANNO	520.51700X00	4779

TITLE OF INVENTION: DISPLAY DEVICE

APPL. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE (S) DUE	DATE DUE
Nonprovisional	NO	$960	$0	$0	$960	**03/03/2014**

EXAMINER	ART UNIT	CLASS-SUBCLASS
LEE JR, KENNETH B	2697	345-156000

1. Change of correspondence address or indication of "Fee Address: (37 CFR 1.363).
☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122 attached.
agents OR, alternatively,
☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. Use of Customer Number is required.

2. For printing on the patent front page, list
(1) the names of up to 3 registered patent attorneys or agents OR, alternatively, **1 ANTONELLI, TERRY, STOUT & KRAUS, LLP.**
(2) the name of single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed no name will be printed.

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE	(B) RESIDENCE: (CITY and STATE OR COUNTRY)
1) Japan Display Inc.	**1) Tokyo, Japan**
2) Panasonic Liquid Crystal Display Co., Ltd.	**2) Hyogo, Japan**

Please check the appropriate assignee category or categories (will not be printed on the patent): ☐ Individual ☒ Corporation or other private group entity ☐ Government

4a. The following fee(s) are enclosed:
☒ Issue Fee
☒ Publication Fee (No small entity discount permitted)
☒ Advance Order- # of Copies 4

4b. Payment of Fee (s):
☐ A check is enclosed.
☒ Payment by credit card. Form PTO-2038 is attached.
☒ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number **01-2135**.

5. Change in Entity Status (from status indicated above)
☐ a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27.
☐ b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

The Director of the USPTO is requested to apply the Issue Fee and Publication Fee (if any) or to re-apply any previously paid issue fee to the application identified above. NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in Interest as shown by the records of the United States patent and Trademark Office.

Authorized Signature **/Melvin Kraus/** MK Date: **March 4, 2014**

Typed or printed name **Melvin Kraus** Registration No. **22,466**

BOE Ex. 1002, p. 388
BOE v. Paneltouch
IPR2025-01482

Electronic Patent Application Fee Transmittal

Application Number:	13151362
Filing Date:	02-Jun-2011
Title of Invention:	DISPLAY DEVICE
First Named Inventor/Applicant Name:	Kouichi ANNO
Filer:	Melvin Kraus/Sharon Dickenson
Attorney Docket Number:	520.51700X00

Filed as Large Entity

Utility under 35 USC 111(a) Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Utility Appl Issue Fee	1501	1	960	960
Publ. Fee- Early, Voluntary, or Normal	1504	1	0	0

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Extension-of-Time:				
Miscellaneous:				
Printed Copy of Patent - No Color	8001	4	3	12
		Total in USD ($)		**972**

Electronic Acknowledgement Receipt

EFS ID:	18367635
Application Number:	13151362
International Application Number:	
Confirmation Number:	4779
Title of Invention:	DISPLAY DEVICE
First Named Inventor/Applicant Name:	Kouichi ANNO
Customer Number:	20457
Filer:	Melvin Kraus/Sharon Dickenson
Filer Authorized By:	Melvin Kraus
Attorney Docket Number:	520.51700X00
Receipt Date:	04-MAR-2014
Filing Date:	02-JUN-2011
Time Stamp:	17:25:25
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	$972
RAM confirmation Number	4762
Deposit Account	
Authorized User	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)

1	Issue Fee Payment (PTO-85B)	51700X00IF.pdf	192433 ef3cf8d302c156e3d47f9e166b48cae823853ace	no	1
Warnings:					
Information:					
2	Fee Worksheet (SB06)	fee-info.pdf	33603 a040a30de4674e2572cdccf587754247ec4f07c4	no	2
Warnings:					
Information:					
			Total Files Size (in bytes):	226036	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

<u>New Applications Under 35 U.S.C. 111</u>
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

<u>National Stage of an International Application under 35 U.S.C. 371</u>
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

<u>New International Application Filed with the USPTO as a Receiving Office</u>
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
13/151,362	06/02/2011	Kouichi ANNO	520.51700X00	4779

20457 7590 03/18/2014

ANTONELLI, TERRY, STOUT & KRAUS, LLP
1300 NORTH SEVENTEENTH STREET
SUITE 1800
ARLINGTON, VA 22209-3873

EXAMINER	
LEE JR, KENNETH B	
ART UNIT	**PAPER NUMBER**
2697	

MAIL DATE	DELIVERY MODE
03/18/2014	PAPER

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

BOE Ex. 1002, p. 393
BOE v. Paneltouch
IPR2025-01482

UNITED STATES DEPARTMENT OF COMMERCE
U.S. Patent and Trademark Office
Address : COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450

APPLICATION NO./ CONTROL NO.	FILING DATE	FIRST NAMED INVENTOR / PATENT IN REEXAMINATION	ATTORNEY DOCKET NO.
13/151,362	02 June, 2011	ANNO ET AL.	520.51700X00

		EXAMINER	
ANTONELLI, TERRY, STOUT & KRAUS, LLP 1300 NORTH SEVENTEENTH STREET SUITE 1800 ARLINGTON, VA 22209-3873		KENNETH B. LEE JR	
		ART UNIT	PAPER
		2697	20140312

DATE MAILED:

Please find below and/or attached an Office communication concerning this application or proceeding.

Commissioner for Patents

IDS dated 2-28-14 has been considered.

/Kevin Nguyen/ Primary Examiner, Art Unit 2697	/KENNETH B LEE JR/ Examiner Art Unit: 2697

PTO-90C (Rev.04-03)

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /KBL/

Substitute for form 1449A/PTO				*Complete if Known*	
INFORMATION DISCLOSURE STATEMENT BY APPLICANT				Application Number	**13/151,362**
				Filing Date	**6/2/2011**
				First Named Inventor	**Kouichi ANNO**
				Art Unit	**2883**
(use as many sheets as necessary)				Examiner Name	
Sheet	1	of	2	Attorney Docket Number	**520.51700X00**

U.S. PATENT DOCUMENTS

Examiner Initials'	Cite No.[1]	Document Number Number-Kind Code[2] *(if known)*		Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	AA	**US- 2010/0134137**		6/3/2010	Kida	
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				
		US-				

FOREIGN PATENT DOCUMENTS

Examiner Initials'	Cite No.[1]	Foreign Patent Document Country Code[3]–Number[4]–Kind Code[5] *(if known)*	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T[6]
		WO 2008/136153	11/13/2008	Sharp Kabushiki Kaisha		Corr AA

Examiner Signature	/Kenneth B Lee Jr/	Date Considered	03/12/2014

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. 1 Applicant's unique citation designation number (optional). 2 See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. 3 Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4 For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5 Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. 6 Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /KBL/

Substitute for form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(use as many sheets as necessary)

Sheet 2 of 2

Complete if Known	
Application Number	13/151,362
Filing Date	6/2/2011
First Named Inventor	Kouichi ANNO
Group Art Unit	2697
Examiner Name	K. Lee Jr.
Attorney Docket Number	520.51700X00

NON PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T[2]
		Copy of English translation of Office Action for corresponding Japanese Application No. 2010-126877, dated December 10, 2013	

Examiner Signature	/Kenneth B Lee Jr/	Date Considered	03/12/2014

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] Applicant's unique citation designation number (optional). [2] Applicant is to place a check mark here if English language Translation is attached.

This collection of information is required by 37 CFR 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 120 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing the this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
13/151,362	04/22/2014	8704762	520.51700X00	4779

20457 7590 04/02/2014

ANTONELLI, TERRY, STOUT & KRAUS, LLP
1300 NORTH SEVENTEENTH STREET
SUITE 1800
ARLINGTON, VA 22209-3873

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment is 231 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Data Management (ODM) at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site http://pair.uspto.gov for additional applicants):

Kouichi ANNO, Mobara, JAPAN;
Takumi Sato, Mobara, JAPAN;
Masahiro Teramoto, Mobara, JAPAN;

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The USA offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to encourage and facilitate business investment. To learn more about why the USA is the best country in the world to develop technology, manufacture products, and grow your business, visit SelectUSA.gov.

BOE Ex. 1002, p. 397
BOE v. Paneltouch
IPR2025-01482

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

REVOCATION OF POWER OF ATTORNEY AND NEW POWER OF ATTORNEY AND CHANGE OF CORRESPONDENCE ADDRESS

COMMISSIONER FOR PATENTS
PO BOX 1450
ALEXANDRIA, VA 22313-1450

SIR:

The undersigned representative of Panasonic Liquid Crystal Display Co., Ltd., the assignee of the entire right, title and interest of the patents/applications identified by appendix A by virtue of an assignment from the inventor(s), hereby revokes any and all previous Powers of Attorney, appoints the practitioners associated with the Customer Number 127271 as Assignee's attorneys with full power of substitution and revocation, to prosecute said patent applications, receive any Letters Patent(s) and to transact all business in the United States Patent and Trademark Office with regard to said patent applications and any Letters Patent(s) issuing thereon, and requests that all correspondence be sent to Customer No. 127271 or Lowe Hauptman & Ham, LLP., 2318 Mill Road, Suite 1400, Alexandria, Virginia 22314.

CERTIFICATION UNDER 37 C.F.R. 3.73(b) / 37 C.F.R. 3.73(c)

I, the undersigned, certify that I am an individual empowered to act on behalf of Panasonic Liquid Crystal Display Co., Ltd., the assignee of the entire right, title and interest of the identified patents/applications identified by appendix A by virtue of an assignment from the inventor(s).

I further declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or

BOE Ex. 1002, p. 398
BOE v. Paneltouch
IPR2025-01482

imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application or any patent issuing thereon.

Panasonic Liquid Crystal Display Co., Ltd.

Date of Signature: Jan. 21, 2015 Signature:

Name: Kazuhiko Ishimaru

Title of Signor: Manager, Intellectual Property Team, Product Development Center

BOE Ex. 1002, p. 399
BOE v. Paneltouch
IPR2025-01482

PTO/SB/96 (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

STATEMENT UNDER 37 CFR 3.73(b)

Applicant/Patent Owner: Kouichi ANNO et al.

Application No./Patent No.: 13/151,362 Filed/Issue Date: 06/02/2011

Titled: DISPLAY DEVICE

JAPAN DISPLAY INC. , a corporation

(Name of Assignee) (Type of Assignee, e.g., corporation, partnership, university, government agency, etc.

states that it is:

1. ☐ the assignee of the entire right, title, and interest in;

2. ☒ an assignee of less than the entire right, title, and interest in (The extent (by percentage) of its ownership interest is _____ %); or

3. ☐ the assignee of an undivided interest in the entirety of (a complete assignment from one of the joint inventors was made)

the patent application/patent identified above, by virtue of either:

A. ☒ An assignment from the inventor(s) of the patent application/patent identified above. The assignment was recorded in the United States Patent and Trademark Office at Reel 031997, Frame 0245, or for which a copy therefore is attached.

OR

B. ☐ A chain of title from the inventor(s), of the patent application/patent identified above, to the current assignee as follows:

1. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at

Reel _____, Frame _____, or for which a copy thereof is attached.

2. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at

Reel _____, Frame _____, or for which a copy thereof is attached.

3. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at

Reel _____, Frame _____, or for which a copy thereof is attached.

☐ Additional documents in the chain of title are listed on a supplemental sheet(s).

☒ As required by 37 CFR 3.73(b)(1)(i), the documentary evidence of the chain of title from the original owner to the assignee was, or concurrently is being, submitted for recordation pursuant to 37 CFR 3.11.

[NOTE: A separate copy (*i.e.*, a true copy of the original assignment document(s)) must be submitted to Assignment Division in accordance with 37 CFR Part 3, to record the assignment in the records of the USPTO. See MPEP 302.08]

The undersigned (whose title is supplied below) is authorized to act on behalf of the assignee.

/Arimi Yamada/ 2015-02-10

Signature Date

Arimi Yamada 70156

Printed or Typed Name Title

This collection of information is required by 37 CFR 3.73(b). The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Privacy Act Statement

The **Privacy Act of 1974 (P.L. 93-579)** requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (*i.e.*, GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

PTO/SB/96 (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

STATEMENT UNDER 37 CFR 3.73(b)

Applicant/Patent Owner: Kouichi ANNO et al.

Application No./Patent No.: 13/151,362 Filed/Issue Date: 06/02/2011

Titled: DISPLAY DEVICE

Panasonic Liquid Crystal Display Co., Ltd. , a corporation

(Name of Assignee) (Type of Assignee, e.g., corporation, partnership, university, government agency, etc.

states that it is:

1. ☐ the assignee of the entire right, title, and interest in;

2. ☒ an assignee of less than the entire right, title, and interest in (The extent (by percentage) of its ownership interest is _____ %); or

3. ☐ the assignee of an undivided interest in the entirety of (a complete assignment from one of the joint inventors was made)

the patent application/patent identified above, by virtue of either:

A. ☒ An assignment from the inventor(s) of the patent application/patent identified above. The assignment was recorded in the United States Patent and Trademark Office at Reel 026626, Frame 0830, or for which a copy therefore is attached.

OR

B. ☐ A chain of title from the inventor(s), of the patent application/patent identified above, to the current assignee as follows:

1. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at

Reel _____, Frame _____, or for which a copy thereof is attached.

2. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at

Reel _____, Frame _____, or for which a copy thereof is attached.

3. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at

Reel _____, Frame _____, or for which a copy thereof is attached.

☐ Additional documents in the chain of title are listed on a supplemental sheet(s).

☒ As required by 37 CFR 3.73(b)(1)(i), the documentary evidence of the chain of title from the original owner to the assignee was, or concurrently is being, submitted for recordation pursuant to 37 CFR 3.11.

[NOTE: A separate copy (*i.e.*, a true copy of the original assignment document(s)) must be submitted to Assignment Division in accordance with 37 CFR Part 3, to record the assignment in the records of the USPTO. See MPEP 302.08]

The undersigned (whose title is supplied below) is authorized to act on behalf of the assignee.

/Arimi Yamada/ 2015-02-10

Signature Date

Arimi Yamada 70156

Printed or Typed Name Title

This collection of information is required by 37 CFR 3.73(b). The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Privacy Act Statement

The **Privacy Act of 1974 (P.L. 93-579)** requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (*i.e.*, GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Electronic Acknowledgement Receipt

EFS ID:	21453973
Application Number:	13151362
International Application Number:	
Confirmation Number:	4779
Title of Invention:	DISPLAY DEVICE
First Named Inventor/Applicant Name:	Kouichi ANNO
Customer Number:	20457
Filer:	Arimi Yamada/Kyungmok Lee
Filer Authorized By:	Arimi Yamada
Attorney Docket Number:	520.51700X00
Receipt Date:	10-FEB-2015
Filing Date:	02-JUN-2011
Time Stamp:	16:07:03
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Power of Attorney	JAPAN_DISPLAY_INC_GPA.PDF	29113 eab5954bbf61a27bf8bfde4e0bdfaf90eca2814e	no	1

Warnings:	
Information:	

2	Power of Attorney	PLD_POA.PDF	501710 344155dce67384a8aac2d478dfa78711e724be17	no	2
Warnings:					
Information:					
3	Assignee showing of ownership per 37 CFR 3.73.	F-373b_JDI_cu.pdf	131312 735689ac3af547231b64e09776234a0394759253	no	2
Warnings:					
Information:					
4	Assignee showing of ownership per 37 CFR 3.73.	F-373b_PANASONIC_cu.pdf	132511 f1041eef8fa3512e296f038f0cb1e8038259e265	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	794646		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Post-AIA GPA

POWER OF ATTORNEY TO PROSECUTE APPLICTIONS BEFORE THE USPTO

I hereby revoke all previous powers of attorney given in the application identified in the attached statement under 37 C.F.R. §3.73(c).

I hereby appoint practitioners associated with Customer Number: **127271**

Lowe Hauptman & Ham, LLP

Telephone: +1-703-684-1111

Email: docketing@ipfirm.com

www.ipfirm.com

as attorney(s) or agent(s) to represent the undersigned before the United States Patent and Trademark Office (USPTO) in connection with any and all patent applications assigned only to the undersigned according to the USPTO assignment records or assignment documents attached to this form in accordance with 37 C.F.R. §3.73(c).

Please change the correspondence address for the application identified in the attached statement under 37 C.F.R. §3.73(c) to the address associated with Customer Number: **127271**

Legal Name and Address of Assignee:
Name: **Japan Display Inc.**
Address: 3-7-1, Nishi-shinbashi, Minato-ku, Tokyo 105-0003, Japan

Note-A copy of this form, together with a statement under 37 C.F.R. §3.73(c) is required to be filed in each application in which this form is used. The statement under 37 C.F.R. §3.73(c) may be completed by one of the practitioners appointed in this form, and must identify the application in which this Power of Attorney is to be filed.

Signature of Assignee of Record: The individual whose signature and title are supplied below is authorized to act on behalf of the assignee:	
Signature: Hiroyuki Yoshida	Date: January 16, 2015
Name: Hiroyuki YOSHIDA	Telephone: +81-3-6732-8368
Title: Senior General Manager, Intellectual Property Dept., Japan Display Inc.	

BOE Ex. 1002, p. 406
BOE v. Paneltouch
IPR2025-01482

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
13/151,362	06/02/2011	Kouichi ANNO	520.51700X00

CONFIRMATION NO. 4779

POA ACCEPTANCE LETTER

127271
Lowe Hauptman & Ham, LLP
2318 Mill Road
Suite 1400
Alexandria, VA 22314

OC000000073550521

Date Mailed: 02/25/2015

NOTICE OF ACCEPTANCE OF POWER OF ATTORNEY

This is in response to the Power of Attorney filed 02/10/2015.

The Power of Attorney in this application is accepted. Correspondence in this application will be mailed to the above address as provided by 37 CFR 1.33.

/hsarwari/

Office of Data Management, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

BOE Ex. 1002, p. 407
BOE v. Paneltouch
IPR2025-01482

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
13/151,362	06/02/2011	Kouichi ANNO	520.51700X00

CONFIRMATION NO. 4779

POWER OF ATTORNEY NOTICE

20457
ANTONELLI, TERRY, STOUT & KRAUS, LLP
1300 NORTH SEVENTEENTH STREET
SUITE 550
ARLINGTON, VA 22209-3873

OC000000073550495

Date Mailed: 02/25/2015

NOTICE REGARDING CHANGE OF POWER OF ATTORNEY

This is in response to the Power of Attorney filed 02/10/2015.

- The Power of Attorney to you in this application has been revoked by the assignee who has intervened as provided by 37 CFR 3.71. Future correspondence will be mailed to the new address of record(37 CFR 1.33).

/hsarwari/

Office of Data Management, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

BOE Ex. 1002, p. 408
BOE v. Paneltouch
IPR2025-01482

UNITED STATES
PATENT AND TRADEMARK OFFICE

P.O. Box 1450
Alexandria, VA 22313 - 1450
www.uspto.gov

ELECTRONIC ACKNOWLEDGEMENT RECEIPT

APPLICATION #	RECEIPT DATE / TIME	ATTORNEY DOCKET #
13/151,362	**05/08/2025 11:09:41 PM Z ET**	**0520-51700X00**

Title of Invention

DISPLAY DEVICE

Application Information

APPLICATION TYPE	Utility - Nonprovisional Application under 35 USC 111(a)	PATENT #	8704762
CONFIRMATION #	4779	FILED BY	Yi Lu
PATENT CENTER #	70355076	FILING DATE	06/02/2011
CUSTOMER #	127271	FIRST NAMED INVENTOR	Kouichi ANNO
CORRESPONDENCE ADDRESS	-	AUTHORIZED BY	Szymon Gurda

Documents

TOTAL DOCUMENTS: 2

DOCUMENT	PAGES	DESCRIPTION	SIZE (KB)
POA.pdf	2	Power of Attorney	932 KB
aia0096.pdf	3	Assignee showing of ownership per 37 CFR 3.73	120 KB

Digest

DOCUMENT	MESSAGE DIGEST(SHA-512)
POA.pdf	B8EF6B7E479BDC08096995B03FFDAF5A763C7C21B525FC0223351B232D12FAC5CC0B70711A55984F7BC185D1536A61292D32CF636C7F035BDAD67C78C40399F2
aia0096.pdf	6CCB4BB3E0571AD25B099B37EF6C6A965480E3820EE992929DD3B41A8FE326E86042F6B23F306A921ECF3A0FFD591F5B9E

AFACF195764F3E6784D16E368EB8A0

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PTO/AIA/81A (02-25)
Approved for use through 09/30/2025. OMB 0651-0035
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995 no persons are required to respond to a collection of information unless it displays a valid OMB control number

PATENT - POWER OF ATTORNEY OR REVOCATION OF POWER OF ATTORNEY WITH A NEW POWER OF ATTORNEY AND CHANGE OF CORRESPONDENCE ADDRESS

Patent Number	8704762
Issue Date	April 22, 2014
First Named Inventor	Kouichi ANNO
Title	DISPLAY DEVICE
Attorney Docket No.	0853-04089 US

I hereby revoke all previous powers of attorney given in the above-identified patent.

☐ A Power of Attorney is submitted herewith.

OR

☒ I hereby appoint Practitioner(s) associated with the Customer Number identified in the box at right as my/our attorney(s) or agent(s) with respect to the patent identified above, and to transact all business in the United States Patent and Trademark Office connected therewith: 27197

OR

☐ I hereby appoint Practitioner(s) named below as my/our attorney(s) or agent(s) with respect to the patent identified above, and to transact all business in the United States Patent and Trademark Office connected therewith:

Practitioner(s) Name	Registration Number

Please recognize or change the correspondence address for the above-identified patent to:

☒ The address associated with the above-identified Customer Number.

OR

☐ The address associated with the Customer Number identified in the box at right:

OR

☐ Firm or Individual Name					
Address					
City		State		Zip	
Country					
Telephone		Email			

I am the:

☐ Applicant.

OR

☒ Patent owner.

Statement under 37 CFR 3.73(c) (Form PTO/AIA/96) submitted herewith or filed on _____.

SIGNATURE of Applicant or Patent Owner

The undersigned (whose title is supplied below) is authorized to act on behalf of the applicant or patent owner if the applicant or patent owner is a juristic entity (e.g., corporation, university).

Signature	/Szymon Gurda/	Date	May 8, 2025
Name	Szymon Gurda	Telephone	
Title and Company	Authorized Signatory, Paneltouch Technologies LLC		

NOTE: Signatures of all the applicants or patent owners of the entire interest or their representative(s) are required. If more than one signature is required, submit multiple forms, check the box below, and identify the total number of forms submitted in the blank below.

☐ A total of _____ forms are submitted.

A Federal agency may not conduct or sponsor, and a person is not required to respond to, nor shall a person be subject to a penalty for failure to comply with an information collection subject to the requirements of the Paperwork Reduction Act of 1995, unless the information collection has a currently valid OMB Control Number. The OMB Control Number for this information collection is 0651-0035. Public burden for this form is estimated to average 30 minutes per response, including the time for reviewing instructions, searching existing data sources, gathering and maintaining the data needed, and completing and reviewing the information collection. Send comments regarding this burden estimate or any other aspect of this information collection, including suggestions for reducing this burden to the Chief Administrative Officer, United States Patent and Trademark Office, P.O. Box 1450, Alexandria, VA 22313-1450 or email InformationCollection@uspto.gov. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. If filing this completed form by mail, send to: **Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. The United States Patent and Trademark Office (USPTO) collects the information in this record under authority of 35 U.S.C. 2. The USPTO's system of records is used to manage all applicant and owner information including name, citizenship, residence, post office address, and other information with respect to inventors and their legal representatives pertaining to the applicant's/owner's activities in connection with the invention for which a patent is sought or has been granted. The applicable Privacy Act System of Records Notice for the information collected in this form is COMMERCE/PAT-TM-7 Patent Application Files, available in the Federal Register at 78 FR 19243 (March 29, 2013). https://www.govinfo.gov/content/pkg/FR-2013-03-29/pdf/2013-07341.pdf

Routine uses of the information in this record may include disclosure to: 1) law enforcement, in the event that the system of records indicates a violation or potential violation of law; 2) a Federal, state, local, or international agency, in response to its request; 3) a contractor of the USPTO having need for the information in order to perform a contract; 4) the Department of Justice for determination of whether the Freedom of Information Act (FOIA) requires disclosure of the record; 5) a Member of Congress submitting a request involving an individual to whom the record pertains, when the individual has requested the Member's assistance with respect to the subject matter of the record; 6) a court, magistrate, or administrative tribunal, in the course of presenting evidence, including disclosures to opposing counsel in the course of settlement negotiations; 7) the Administrator, General Services Administration (GSA), or their designee, during an inspection of records conducted by GSA under authority of 44 U.S.C. 2904 and 2906, in accordance with the GSA regulations and any other relevant (i.e., GSA or Commerce) directive, where such disclosure shall not be used to make determinations about individuals; 8) another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)); 9) the Office of Personnel Management (OPM) for personnel research purposes; and 9) the Office of Management and Budget (OMB) for legislative coordination and clearance.

If you do not furnish the information requested on this form, the USPTO may not be able to process and/or examine your submission, which may result in termination of proceedings, abandonment of the application, and/or expiration of the patent.

PTO/AIA/96 (08-12)
Approved for use through 01/31/2013. OMB 0651-0031
U.S. Patent and TrademarkOffice; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork ReductionAct of 1995, no personsare required to respond to a collection of information unless it displays a valid OMB control number.

STATEMENT UNDER 37 CFR 3.73(c)

Applicant/Patent Owner: PANELTOUCH TECHNOLOGIES LLC

Application No./Patent No.: 8704762 Filed/Issue Date: April 22, 2014

Titled: DISPLAY DEVICE

PANELTOUCH TECHNOLOGIES LLC, a corporation

(Name of Assignee) (Type of Assignee, e.g., corporation, partnership, university, government agency, etc.)

states that, for the patent application/patent identified above, it is (choose **one** of options 1, 2, 3 or 4 below):

1. ☑ The assignee of the entire right, title, and interest.

2. ☐ An assignee of less than the entire right, title, and interest (check applicable box):

☐ The extent (by percentage) of its ownership interest is _____%. Additional Statement(s) by the owners holding the balance of the interest must be submitted to account for 100% of the ownership interest.

☐ There are unspecified percentages of ownership. The other parties, including inventors, who together own the entire right, title and interest are:

Additional Statement(s) by the owner(s) holding the balance of the interest must be submitted to account for the entire right, title, and interest.

3. ☐ The assignee of an undivided interest in the entirety (a complete assignment from one of the joint inventors was made). The other parties, including inventors, who together own the entire right, title, and interest are:

Additional Statement(s) by the owner(s) holding the balance of the interest must be submitted to account for the entire right, title, and interest.

4. ☐ The recipient, via a court proceeding or the like (*e.g.*, bankruptcy, probate), of an undivided interest in the entirety (a complete transfer of ownership interest was made). The certified document(s) showing the transfer is attached.

The interest identified in option 1, 2 or 3 above (not option 4) is evidenced by either (choose **one** of options A or B below):

A. ☐ An assignment from the inventor(s) of the patent application/patent identified above. The assignment was recorded in the United States Patent and Trademark Office at Reel _____, Frame _____, or for which a copy thereof is attached.

B. ☑ A chain of title from the inventor(s), of the patent application/patent identified above, to the current assignee as follows:

1. From: the inventors To: HITACHI DISPLAYS, LTD. and PANASONIC LIQUID CRYSTAL DISPLAY CO., LTD.

The document was recorded in the United States Patent and Trademark Office at
Reel 026626, Frame 0830, or for which a copy thereof is attached.

2. From: HITACHI DISPLAYS, LTD. To: JAPAN DISPLAY EAST, INC.

The document was recorded in the United States Patent and Trademark Office at
Reel 031980, Frame 0316, or for which a copy thereof is attached.

This collectionof information is required by 37CFR 3.73(b). The informationis required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application.Confidentiality isgoverned by 35U.S.C. 122 and37 CFR 1.11and 1.14.This collection is estimated to take 12 minutes to complete, including gathering,preparing, and submitting the completed applicationform to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should besent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETEDFORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA22313-1450** .

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

PTO/AIA/96 (08-12)
Approved for use through 01/31/2013. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

STATEMENT UNDER 37 CFR 3.73(c)

3. From: JAPAN DISPLAY EAST, INC. To: JAPAN DISPLAY INC.

The document was recorded in the United States Patent and Trademark Office at
Reel 031997, Frame 0245, or for which a copy thereof is attached.

4. From: PANASONIC LIQUID CRYSTAL DISPLAY CO., LTD. To: PANASONIC INTELLECTUAL PROPERTY CORPORATION OF AMERICA

The document was recorded in the United States Patent and Trademark Office at
Reel 065615, Frame 0327, or for which a copy thereof is attached.

5. From: PANASONIC INTELLECTUAL PROPERTY CORPORATION OF AMERICA and JAPAN DISPLAY INC. To: PANELTOUCH TECHNOLOGIES LLC

The document was recorded in the United States Patent and Trademark Office at
Reel 067245, Frame 067245/0560, or for which a copy thereof is attached.

6. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at
Reel _____, Frame _____, or for which a copy thereof is attached.

☐ Additional documents in the chain of title are listed on a supplemental sheet(s).

☐ As required by 37 CFR 3.73(c)(1)(i), the documentary evidence of the chain of title from the original owner to the assignee was, or concurrently is being, submitted for recordation pursuant to 37 CFR 3.11.

[NOTE: A separate copy (i.e., a true copy of the original assignment document(s)) must be submitted to Assignment Division in accordance with 37 CFR Part 3, to record the assignment in the records of the USPTO. See MPEP 302.08]

The undersigned (whose title is supplied below) is authorized to act on behalf of the assignee.

/Szymon Gurda/	May 8, 2025
Signature	Date
Szymon Gurda	58451
Printed or Typed Name	Title or Registration Number

Privacy Act Statement

The **Privacy Act of 1974 (P.L. 93-579)** requiresthat you begiven certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirementsof the Act, please be advised that: (1)the general authority for the collectionof this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary;and (3) the principalpurpose for whichthe informationis used by the U.S. Patent and Trademark Office is to process and/or examine your submission related toa patent application or patent. If you do not furnishthe requested information, the U.S. Patent and Trademark Officemay not be able to process and/or examine yoursubmission, which may result in termination of proceedings orabandonment of the application or expiration of the patent.

Theinformation provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need forthe information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. Arecord related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (*i.e.*, GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further,a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. Arecord from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
13/151,362	06/02/2011	Kouichi ANNO	0853-04089 US

CONFIRMATION NO. 4779

27197
MICHAEL J. CHERSKOV
SZYMON M. GURDA
903 COMMERCE DR
SUITE 310
OAK BROOK, IL 60523

POA ACCEPTANCE LETTER

OC000000088971652

Date Mailed: 05/21/2025

NOTICE OF ACCEPTANCE OF POWER OF ATTORNEY

This is in response to the Power of Attorney filed 05/08/2025.

The Power of Attorney in this application is accepted. Correspondence in this application will be mailed to the above address as provided by 37 CFR 1.33.

Questions about the contents of this notice and the requirements it sets forth should be directed to the Office of Data Management, Application Assistance Unit, at **(571) 272-4000** or **(571) 272-4200** or **1-888-786-0101**.

/dtdinh/

BOE Ex. 1002, p. 416
BOE v. Paneltouch
IPR2025-01482

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
13/151,362	06/02/2011	Kouichi ANNO	0520-51700X00

CONFIRMATION NO. 4779

127271
Hauptman Ham, LLP
2318 Mill Road
Suite 1400
Alexandria, VA 22314

POWER OF ATTORNEY NOTICE

OC000000088971628

Date Mailed: 05/21/2025

NOTICE REGARDING CHANGE OF POWER OF ATTORNEY

This is in response to the Power of Attorney filed 05/08/2025.

- The Power of Attorney to you in this application has been revoked by the assignee who has intervened as provided by 37 CFR 3.71. Future correspondence will be mailed to the new address of record(37 CFR 1.33).

Questions about the contents of this notice and the requirements it sets forth should be directed to the Office of Data Management, Application Assistance Unit, at **(571) 272-4000** or **(571) 272-4200** or **1-888-786-0101**.

/dtdinh/

BOE Ex. 1002, p. 417
BOE v. Paneltouch
IPR2025-01482