

(19) Japan Patent Office (JP) (12) JAPANESE UNEXAMINED PATENT APPLICATION PUBLICATION (A) (11) Patent Application Disclosure No.

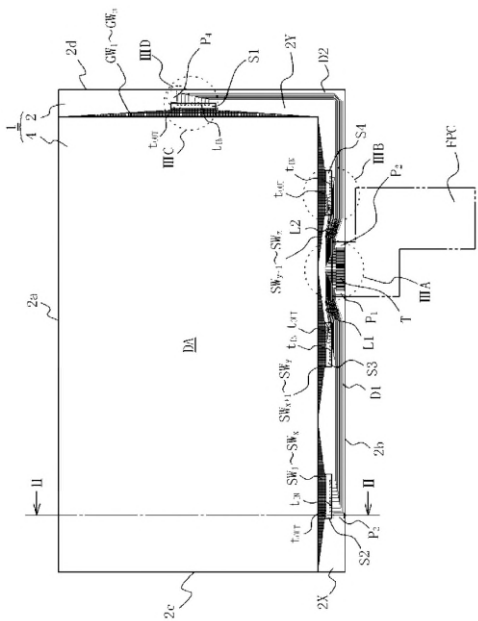
2009-53390
(P2009-53390A)

(43) Publication Date March 12, 2009 (Heisei 21)

(51) Int. Cl.		FI	Theme Code (Reference)					
G 02 F 1/1345 (2006.01)		G 02 F 1/1345	2H088					
G 02 F 1/13 (2006.01)		G 02 F 1/13 101	2H092					
G 09 F 9/00 (2006.01)		G 09 F 9/00 352	5G435					
G 02 F 1/1343 (2006.01)		G 09 F 9/00 348Z						
		G 02 F 1/1343						
		Examination Request: Not Yet	Total No. of Claims: 7 OL (Total 15 pages)					
(21) Application No.	JP 2007-219371 (P2007-219371)	(71) Applicant	304053854 EPSON IMAGING DEVICES CORPORATION 6925 Toyoshinatazawa, Azumino-shi, Nagano-ken					
(22) Date of Filing	August 27, 2007 (Heisei 19)	(74) Agent	100095728 Masataka Kamiyanagi, Attorney					
		(74) Agent	100107261 Osamu Suzawa, Attorney					
		(74) Agent	100127661 Kazuhiko Miyasaka, Attorney					
		(72) Inventor	Yoshio Nakamura c/o EPSON IMAGING DEVICES CORPORATION 6925 Toyoshinatazawa, Azumino-shi, Nagano-ken					
		F-term (Reference)	2H088	FA13	HA01	HA05	HA06	MA20
			2H092	GA33	GA41	GA50	GA60	GA61
				MA57	NA30	PA01	PA06	
			Continued on last page					

(54) [Title of Invention] ELECTRO-OPTICAL PANEL, PANEL INSPECTION METHOD, AND ELECTRONIC APPARATUS

(57) [Abstract]
[Problem] To provide an electro-optical panel for which a wiring pattern disposed on the peripheral edge of a panel substrate can be inspected prior to the mounting of an IC chip.
[Resolution Means] A liquid crystal display panel 1 serving as the electro-optical panel of the present invention has an array substrate AR, on which first and second connection lines L1 and L2, which are normal wiring patterns, extend along a peripheral edge portion, wherein defective line detection patterns D1 and D2 are formed between a peripheral edge of the array substrate AR and the first and second connection lines L1 and L2. By detecting the presence or absence of a disconnection in the defective line detection pattern, the presence or absence of the possibility of a disconnection in the first and second connection lines L1 and L2, which are normal wiring patterns, can be detected.



[Selected Drawing] FIG. 1

[Scope of Patent Claims]

[Claim 1]

An electro-optical panel, comprising a panel substrate on which a normal wiring pattern is formed that extends along a peripheral edge portion, wherein a defective line detection pattern is formed between a peripheral edge of the panel substrate and the normal wiring pattern.

[Claim 2]

The electro-optical panel according to claim 1, wherein the defective line detection pattern has an inspection terminal formed on both ends thereof.

[Claim 3]

The electro-optical panel according to claim 1, wherein, in the defective line detection pattern, one terminal thereof is connected to an inspection terminal, and the other terminal is connected to a terminal of the normal wiring pattern at a farthest edge portion disposed adjacent to the defective line detection pattern.

[Claim 4]

An electro-optical panel, comprising a panel substrate on which a normal wiring pattern is formed that extends along a peripheral edge portion, wherein the farthest edge portion of the normal wiring pattern is caused to branch in the vicinity of both terminal portions of the wiring pattern, with inspection terminals being formed at the respective terminals of the branched wiring pattern.

[Claim 5]

An inspection method for an electro-optical panel comprising a panel substrate on which a normal wiring pattern is formed that extends along a peripheral edge portion, the inspection method for the electro-optical panel comprising:

forming a defective line detection pattern between a peripheral edge of the panel substrate and the normal wiring pattern;

detecting the presence or absence of a disconnection of the defective wiring pattern by a continuity inspection; and

determining there to be no disconnection in the normal wiring pattern when no disconnection of the defective wiring pattern is detected.

[Claim 6]

The inspection method of the electro-optical panel according to claim 5, further comprising inspecting a disconnection of the normal wiring pattern via an inspection of an image of the wiring pattern when a disconnection of the defective line detection pattern is detected.

[Claim 7]

An electronic apparatus, comprising the electro-optical panel according to any one of claims 1 to 4.

[Detailed Description of Invention]

[Technical Field]

[0001]

The present invention relates to an electro-optical panel—as used in display devices of electronic apparatuses such as personal computers, mobile phones, and portable information terminals—as well as a panel inspection method, and an electronic apparatus.

[Background Art]

[0002]

In recent years, electro-optical devices, of which liquid crystal display devices and EL (electro luminescence) display devices are representative, have been widely used as display devices for electronic apparatuses such as personal computers, mobile phones, and portable information terminals.

[0003]

Of these, the liquid crystal display device has a liquid crystal display panel that is formed by performing bonding, with a sealing frame interposed between two panel substrates on which a pixel electrode, a common electrode, and the like are formed, and by sealing a liquid crystal between both of these bonded substrates. This liquid

crystal display panel is typically manufactured using two large mother substrates composed of a glass material, wherefrom a plurality of small panels can be formed. A pixel electrode arranged in a matrix for each individual panel, a switching element connected to this pixel electrode, and the like are formed on one mother substrate, and a common electrode that faces the pixel electrode is formed on another mother substrate. Furthermore, manufacturing is conducted through processes such as: causing these mother substrates to face each other, interposing the sealing frame between each of the individual panels, performing bonding, providing a scribe groove on the outer surface of this bonded mother substrate, using a tool such as a pressing instrument to break and divide into a plurality of empty cells, and sealing a liquid crystal in these divided empty cells (for example, see patent document 1 listed below).

[0004]

FIG. 9A is a plan view of a liquid crystal display panel 10 of conventional art. This liquid crystal display panel 10 has two panel substrates 11 and 12. A plurality of IC chip mounting regions S1 to S4 is provided among these at a peripheral edge portion outside of a display region of the one panel substrate 11, on which a pixel electrode and a switching element are disposed. Furthermore, a plurality of connection terminals, to which is connected a flexible printed circuit board (FPC) that is connected to an external control circuit (not illustrated), is disposed on one side 11X of this panel substrate 11, and a plurality of the connection lines L1 and L2 are connected between these connection terminals and mounting terminals within the respective chip mounting regions S1 to S4.

[0005]

In addition, source lines and data lines for driving the liquid crystal are led into the display region from the respective IC chip mounting regions S1 to S4. These source lines, data lines, and connection lines are formed by wiring patterns composed of a conductive material. Furthermore, the respective IC chip regions S1 to S4 have a semiconductor chip such as an LSI chip (hereinafter referred to as an IC chip) mounted thereon.

[0006]

Note that the EL display panel is provided with a configuration that is substantially the same as that of the panel substrate 11 of the liquid crystal display panel described above, except that the switching element and a light-emitting layer are disposed on at least one panel substrate.

[0007]

However, since the source lines and data lines are formed by wiring patterns composed of a conductive material on the panel substrate 11, these wiring patterns may short-circuit or disconnect during the manufacturing process. Therefore, in the manufacturing process of electro-optical panels such as liquid crystal display panels and EL display panels, an intermediate inspection is typically implemented to inspect for short circuits or disconnections in the wiring patterns before the IC chips are mounted (for example, see patent document 2 listed below). Here, the mounting region of IC chips for driving liquid crystal and an inspection probe disclosed in patent document 2 listed below are described using FIG. 10A and 10B. Note that FIG. 10A is an enlarged plan view of the mounting region of IC chips for driving liquid crystal disclosed in patent document 2 listed below, and FIG. 10B is a plan view of the inspection probe.

[0008]

In the IC chip mounting region of the panel substrate of the liquid crystal display panel disclosed in patent document 2 listed below, an end portion of a plurality of extraction electrodes 20u to 20z is pulled in from one side a of this region. These extraction electrodes 20u to 20z are provided with bump terminals 21u to 21z, which are connected to a mounting terminal of an IC chip at a part a predetermined length from an entry into the IC chip mounting region, and the inspection terminals 22u to 22z are provided on an extension of these terminals. These inspection terminals 22u to 22z are respectively formed at locations Lr, Lg, and Lb that are separated by a fixed distance from the one side a of the chip mounting region by type, for example, by a color component (R, G, B, and the like) whereby the respective extraction electrodes 20u to 20z perform display. In addition, an inspection probe 30, which is in contact with the inspection terminals 22u to 22z, has, as illustrated in FIG. 10B, strip-shaped conductive layers 32R, 32G, and 32B, in which conductive particles are mixed, formed at a predetermined width in the horizontal direction, and the remaining parts are formed of a conductive rubber interposed between the respective strip-shaped conductive layers 32R, 32G, and 32B as strip-shaped insulating layers 33 and 33.

[0009]

Inspection of the liquid crystal display panel 10 is performed by causing the strip-shaped conductive layers

32R, 32G, and 32B of the inspection probe 30 to make contact with the R, G, and B inspection terminals 22u to 22z, which are arranged in a row in the chip mounting region, and sending a predetermined signal from an inspection device (not illustrated), whereby the inspection of disconnections, short circuits, or the like in the wiring patterns is performed.

[Patent Document 1] JP 2002-365648 A (FIG. 16, paragraphs [0002] to [0006])

[Patent Document 2] JP 2006-3741 A (FIG. 3, paragraphs [0021] to [0028])

[Disclosure of Invention]

[Problem to Be Solved by Invention]

[0010]

As described above, electro-optical panels such as liquid crystal display panels and EL display panels undergo an inspection for the presence, absence, or the like of disconnections or short circuits in wiring patterns disposed on the panel substrate after processes such as the division of the mother substrate, the sealing of a liquid crystal, or the like have been performed. Such inspections of electro-optical panels are performed by causing the inspection probe to make contact with inspection terminals provided in a chip mounting region of the panel substrate, as seen in the inspection method of patent document 2 listed above.

[0011]

However, this inspection method can detect disconnections or short circuits in source lines and data lines, that is, disconnections or the like in a wiring pattern located on the output side of the IC chip, but cannot detect defects in a connection line on the input side of the IC chip, that is, between the IC chip and an FPC that sends an input signal to this IC chip. Typically, this connection line is routed through an outermost edge part of the panel substrate, as illustrated by the wiring patterns L1 and L2 in FIG. 9A, and defects readily arise when the mother substrate is divided into a plurality of panels. In addition, electro-optical panels tend to be made with higher definition and smaller size, and a boundary region of adjacent individual small panel substrates is designed to be extremely narrow so as to allow for the formation of more small panel substrates from the large mother substrate.

[0012]

Therefore, the wiring pattern of the panel substrate is disposed at a position that is extremely close to the peripheral edge of the panel, as seen in FIG. 9A. On the other hand, manufacturing of the panel substrate involves dividing a large mother substrate formed of a glass material into small panel substrates, transporting these divided small panel substrates to a designated manufacturing device, and administering designated processing, therefore, during this division, cracks or chips may occur at the peripheral edge portions, and during the manufacturing process, the small panel substrates may collide with an obstacle or the like, and significant chipping (see FIG. 9B) or fracturing (see FIG. 9C) of the peripheral edge of the small panel substrates may arise due to the impact force. When such chipping or fracturing occurs, the wiring patterns L1 and L2, which are disposed adjacent to the peripheral edge of the panel substrate, may be partially damaged or cut. However, such damage or cutting of the wiring patterns L1, L2, and the like cannot be detected by the inspection method disclosed in patent document 1 listed above, and can only begin to be discovered when the IC chip is mounted, the FPC is connected, and a designated signal is applied from this FPC. However, the discovery of defects at this stage means that the IC chip and the like are already mounted on the panel substrate, and it is not possible to disassemble the panel substrate for the repair or the like of disconnection defects, resulting in the panel substrate itself necessarily being treated as defective. When discarded as waste at this stage, all of the components including the panel substrate main body, IC chip, connection cables, and the like are wasted, with the loss thereof being costly. In particular, in COG (chip on glass)-type electro-optical panels where a plurality of IC chips are mounted on a panel substrate, the IC chips are more expensive compared to other components, and loss thereof is costly.

[0013]

Therefore, the present invention was made to solve the problems described above, and an object thereof is to provide an electro-optical panel for which a wiring pattern disposed at the peripheral edge of a panel substrate can be inspected prior to the mounting of an IC chip, as well as a panel inspection method and an electronic apparatus for this electro-optical panel.

[Means for Solving Problem]

[0014]

An electro-optical panel, for achieving the object described above, according to a first aspect of the present invention, the electro-optical panel having a panel substrate on which a normal wiring pattern is formed that extends along a peripheral edge portion, wherein a defective line detection pattern is formed between a peripheral edge of the panel substrate and the normal wiring pattern.

[0015]

According to the electro-optical panel of the first aspect of the present invention, it is possible to estimate the absence of a defect for at least the normal wiring pattern disposed on this panel substrate, even prior to the mounting of the IC chip on the panel substrate, by detecting the presence or absence of a disconnection in the defective line detection pattern. That is, if no disconnection in the defective line detection pattern arises, the possibility of a line defect such as a disconnection in the normal wiring pattern arising due to a chip or fracture of the substrate is extremely low. In addition, if a disconnection in the defective line detection pattern is detected, the possibility of a line defect in the normal wiring pattern arising is extremely high, allowing for the detection of the presence or absence of a line defect in the normal wiring pattern through the performance of a separate visual inspection or the like. Therefore it is possible, according to the electro-optical panel of the present invention, to determine a panel defect at an early stage of the manufacturing process, which is not performed in conventional examples, thereby reducing loss when discarding waste.

[0016]

Note that the term “normal line” as used in the present invention refers to a line that includes a common line and a ground line, through which some electrical signals for driving the electro-optical panel flow. In addition, the term “defective line” as used in the present invention refers to a “disconnection” of the normal line, and to so-called “thinning” where a part of the normal line is damaged and a resistance value increases.

[0017]

Moreover, in the electro-optical panel of the above aspect, it is preferable that the defective line detection pattern has an inspection terminal formed at both ends thereof.

[0018]

According to the electro-optical panel of the aspect in question, by providing the inspection terminal at both ends of the defective line detection pattern, it becomes possible to detect the presence or absence of a disconnection in the defective line detection pattern by simply bringing a measurement probe into contact with these inspection terminals.

[0019]

In addition, in the electro-optical panel according to the above aspect, the defective line detection pattern preferably has one end thereof connected to an inspection terminal, and the other terminal connected to a terminal of the normal wiring pattern at a farthest edge portion disposed adjacent to the defective line detection pattern.

[0020]

According to the electro-optical panel of the aspect in question, since the normal wiring pattern disposed adjacent to the defective line detection pattern can have multi-use as one of the inspection terminals, the number of inspection terminals can be reduced.

[0021]

In addition, in order to achieve the above object, in the electro-optical panel according to the second aspect of the present invention, the electro-optical panel has a panel substrate on which a normal wiring pattern is formed that extends along a peripheral edge portion, wherein the farthest edge portion of the normal wiring pattern is caused to branch in the vicinity of both terminal portions of the wiring pattern, with inspection terminals being formed at the respective terminals of the branched wiring pattern.

[0022]

According to the electro-optical panel of the second aspect of the present invention, inspection of a defective line can be performed using a normal wiring pattern without forming a separate defective line detection pattern.

[0023]

Furthermore, in order to achieve the above object, in an inspection method for the electro-optical panel according to the third aspect of the present invention, the inspection method for the electro-optical panel, which has a panel substrate on which a normal wiring pattern is formed that extends along a peripheral edge portion, includes:

forming a defective line detection pattern between a peripheral edge of the panel substrate and the normal wiring pattern; detecting the presence or absence of a disconnection of the defective line detection pattern by a continuity inspection; and determining there to be no disconnection in the normal wiring pattern when no disconnection of the defective line detection pattern is detected.

[0024]

According to the inspection method for the electro-optical panel of the aspect in question, it is possible to provide an inspection method whereby the effects of the invention of the electro-optical panel are exhibited.

[0025]

In addition, in the inspection method for the electro-optical panel of the aspect in question, a disconnection of the normal wiring pattern is preferably inspected via an inspection of an image of the wiring pattern when a disconnection of the defective line detection pattern is detected.

[0026]

The detection of a disconnection in the defective line detection pattern does not immediately indicate that the normal wiring pattern is disconnected, but indicates a high possibility of the normal wiring pattern being disconnected. Therefore, according to the inspection method for the electro-optical panel of the aspect in question, because only normal wiring patterns determined to have a high possibility of being disconnected are re-inspected for disconnection, the number of electro-optical panels to be re-inspected can be reduced, improving inspection efficiency. In addition, due to it no longer being necessary to discard all normal wiring patterns determined to have a high possibility of being disconnected, the number of electro-optical panels to be discarded can be reduced, significantly lowering the manufacturing cost of the electro-optical panels.

[0027]

Furthermore, in order to achieve the above object, the electronic apparatus according to the fourth aspect of the present invention is provided with the electro-optical panel as described in any of the above.

[0028]

According to the electronic apparatus of the aspect in question, an electronic apparatus, which uses the electro-optical panel exhibiting effects such as described above, can be obtained.

[Best Mode for Carrying Out Invention]

[0029]

Optimal embodiments of the present invention will be described below with reference to the drawings. However, the embodiments given hereinafter provide examples of a liquid crystal display panel serving as the electro-optical panel, as well as the inspection method for this panel, and the present invention is not intended to be defined by these, with other embodiments thereof which are included within the scope of patent claims being equally capable of being applied.

[0030]

FIG. 1 is a plan view of the liquid crystal display panel according to example 1. FIG. 2 is a cross-sectional view along the line II-II in FIG. 1. FIG. 3A is an enlarged plan view of the part IIIA in FIG. 1, FIG. 3B is an enlarged plan view of the part IIIB in FIG. 1, FIG. 3C is an enlarged plan view of the part IIIC in FIG. 1, and FIG. 3D is an enlarged plan view of the part IIID in FIG. 1. FIG. 4 is a plan view of the liquid crystal display panel according to example 2. FIG. 5A is an enlarged plan view of the part VA in FIG. 4, FIG. 5B is an enlarged plan view of the part VB, FIG. 5C is an enlarged plan view of the part VC, and FIG. 5D is an enlarged plan view of the part VD. FIG. 6 is a plan view of the liquid crystal display panel according to example 3. FIG. 7A is an enlarged plan view of the part VIIA in FIG. 6, FIG. 7B is an enlarged plan view of the part VIIB in FIG. 6, and FIG. 7C is an enlarged plan view of the part VIIC in FIG. 6. FIG. 8A is a diagram illustrating a personal computer equipped with the liquid crystal display panel of the present invention, and FIG. 8B is a diagram illustrating a mobile phone equipped with the liquid crystal display panel of the present invention. Note that in the respective drawings used for description in the present specification, each layer and each member is illustrated in the drawings at a substantially distinguishable size, with the scale different for each layer and each member displayed, and which are not necessarily displayed in proportion when compared to the actual dimensions.

[Example 1]

[0031]

As illustrated in FIGS. 1 and 2, the liquid crystal display panel 1 according to example 1 of the present invention is provided with: an array substrate (hereinafter referred to as AR substrate) 2 on which a pixel electrode, a switching element composed of a thin film transistor (hereinafter referred to as TFT), and the like are formed, as well as a color filter substrate (hereinafter referred to as CF substrate) 4 on which a color filter, a common electrode, and the like are formed on the surface facing this AR substrate 2, with the AR substrate 2 and the CF substrate 4 having a sealing frame 6 interposed and bonded therebetween, forming a configuration in which a liquid crystal 7 is sealed in a region enclosed by both of the substrates 2 and 4 and the sealing frame 4. Note that, in FIG. 2, the pixel electrode and various wiring provided on the AR substrate 2 are illustrated as a structure 3, and the color filters, common electrodes, and the like on the CF substrate 4 are illustrated as a structure 5, respectively.

[0032]

This liquid crystal display panel 1 is typically manufactured using two large mother substrates (not illustrated) composed of a glass material, wherefrom a plurality of small panels can be formed. Of these, pixel electrodes arranged in a matrix for each individual panel, a TFT connected to these pixel electrodes, and the like are formed on one of the mother substrates to form a plurality of the AR substrate 2, and on the other mother substrate are formed: a black matrix, which is provided in a matrix corresponding to a pixel region of the AR substrate 2, a color filter such as, for example, red (R), green (G), and blue (B), provided in the region enclosed by this black matrix, as well as a shared (common) electrode, which is provided so as to cover this color filter. Furthermore, the surfaces of these mother substrates are caused to face each other and are bonded together by a sealing frame for each individual panel, a scribe groove is provided on the outer surface of this bonded mother substrate, and a tool such as a pressing instrument is used to apply pressure, break, and divide the substrate into a plurality of individual panels. In addition, the liquid crystal display panel 1 is manufactured by a liquid crystal being sealed in the divided panels. The substrate on which the TFT and the like are formed is the AR substrate 2, and the substrate on which the color filter and the like are formed is the CF substrate 4.

[0033]

The AR substrate 2 is composed of a rectangular substrate having opposing long sides 2a and 2b and short sides 2c and 2d, and protruding portions 2X and 2Y are formed on the long side 2b and the short side 2d and are exposed to the outside when bonded to the CF substrate 4. These protruding portions 2X and 2Y are provided with a plurality of IC chip mounting regions S1 to S4 where IC chips for driving liquid crystal are mounted. Among these IC chip mounting regions S1 to S4, the single IC chip mounting region S1 is on the protruding portion 2Y on the short side 2d, and has a gate driver IC chip mounted thereon, while the other IC chip mounting regions S2 to S4 are on the protruding portion 2X on the long side 2b and have source driver IC chips mounted thereon, respectively.

[0034]

Each IC chip mounting region S1 to S4 is provided with: a plurality of input-side bump terminals t_{IN} connected by the connection lines L1 and L2 for inputting various signals input through each FPC to the IC chip, and a plurality of output-side bump terminals t_{OUT} are disposed which are connected by source wiring SW_1 to SW_z and gate wiring GW_1 to GW_n disposed within the display area DA. Note that the input-side bump terminal t_{IN} and output-side bump terminal t_{OUT} of the IC chip mounting region S1 are illustrated in FIG. 3C.

[0035]

In addition, from the IC chip mounting region S1, a plurality of gate wirings GW_1 to GW_n is led out at a predetermined interval and arranged in the row direction (the long direction of the AR substrate 2) in FIG. 1. Moreover, from the IC chip mounting regions S2 to S4 provided on the long side 2b, the plurality of source wirings SW_1 to SW_z is led out at a predetermined interval and arranged in the column direction (the short direction of the AR substrate 2) in FIG. 1. Note that in FIG. 1, the source wirings SW_1 to SW_x are led out from the IC chip mounting region S2, the source wirings SW_{x+1} to SW_y are led out from the IC chip mounting region S3, and the source wirings SW_{y+1} to SW_z are led out from the IC chip mounting region S4, respectively. The respective gate wirings GW_1 to GW_n and source wirings SW_1 to SW_z are laminated in a state insulated from each other through an insulating film (not illustrated), and are wired in a matrix shape in the display area DA. In addition, in each region enclosed by the gate wirings GW_1 to GW_n and the source wirings SW_1 to SW_z are formed: a TFT serving as a switching element that turns on according to a scanning signal applied to the gate wirings GW_1 to GW_n , and a pixel electrode to which a video signal applied to the source wirings SW_1 to SW_z is supplied. These gate wirings GW_1 to GW_n and source

wirings SW_1 to SW_z are formed of wiring patterns composed of a light-shielding metal material, for example, Cr, Al, and Ti, or a multilayer structure thereof.

[0036]

A plurality of connection terminals T for connecting an FPC connected to an external control circuit are provided at a part adjacent to the long side 2b of the surface of the AR substrate 2. The connection terminals T and the output-side bump terminals t_{IN} in the IC chip mounting regions S1 to S4 are respectively connected by the first and second connection lines L1 and L2, which are led to the protruding portions 2X and 2Y. The first and second connection lines L1 and L2 preferably use the same material as the gate wirings GW_1 to GW_n and are formed by the same process as that whereby the gate wirings GW_1 to GW_n are formed.

[0037]

Hereinafter, the structure and the like of the connection lines L1 and L2 disposed on the AR substrate 2 will be described in detail while referencing FIGS. 1 and 3. As illustrated in FIG. 3A, a connection terminal T is composed of a plurality of connection terminals T_1 to T_M and T_{M+1} to T_Z , and these connection terminals T_1 to T_Z are disposed in a row along the long side 2b. In addition, inspection pads P_1 and P_2 are respectively provided on both side portions of these connection terminals T_1 to T_Z . Furthermore, inspection pads P_3 and P_4 are respectively provided near the IC chip mounting regions S1 and S2, which are most distant from the connection terminals T_1 to T_Z . The respective inspection pads P_1 to P_4 are formed of terminal pieces having a relatively large surface area that allows a point of contact of an inspection probe (not illustrated) to make contact.

[0038]

Among the plurality of connection terminals T_1 to T_M and T_{M+1} to T_Z , a plurality of the first connection line L1 is connected to the connection terminals T_1 to T_M , and this connection line L1 is disposed along the long side 2b and connected to each input side bump terminal t_{IN} in the IC chip mounting regions S2 and S3. In addition, a plurality of the second connection line L2 is connected to the connection terminals T_{M+1} to T_Z , where this connection line L2 is disposed along the long side 2b and the short side 2d and is connected to each input side bump terminal t_{IN} in the IC chip mounting regions S1 and S4.

[0039]

The first and second connection lines L2 are configured from two connection line groups La and Lb, and Lc and Ld, which are adjacent. Of these, the connection line group La is connected to the input side bump terminal t_{IN} in the IC chip mounting region S2, the connection line group Lb is connected to the input side bump terminal t_{IN} in the IC chip mounting region S3, the connection line group Lc is connected to the input side bump terminal t_{IN} in the IC chip mounting region S4, and the connection line group Ld is connected to the input side bump terminal t_{IN} in the IC chip mounting region S1, respectively.

[0040]

In addition, defective line detection patterns D1 and D2 are disposed on the outside of the first and second connection lines L1 and L2, that is, on the peripheral edge portion side of the long side 2b and the short side 2d of a panel substrate 2. These defective line detection patterns D1 and D2 are positioned, for example, exactly 0.025 mm inside from the peripheral edge portion of the panel substrate 2 (see FIG. 3D), the line width thereof is, for example, 0.03 mm, and these defective line detection patterns D1, D2 and the connection lines Lb and Ld are separated, for example, by 0.1 mm. Note that the width of the connection lines L1 and L2 is, for example, 0.005 mm, and the interval between the respective connection lines L1 and L2 is, for example, 0.03 mm. Of these defective line detection patterns D1 and D2, the defective line detection pattern D1 is that which serves to connect between the inspection pads P_1 and P_3 , and the defective line detection pattern D2 is that which serves to connect between the inspection pads P_2 and P_4 , respectively. These defective line detection patterns D1 and D2, similarly to the connection lines L1 and L2, preferably use the same material as the gate wirings GW_1 to GW_n and are formed by the same process as that by which the gate wirings GW_1 to GW_n are formed.

[0041]

The first and second connection lines L1 and L2 are signal lines connected to the connection terminal T that transmit a predetermined signal from the FPC to the IC chips mounted in the IC chip mounting regions S1 to S4. Being lines that transmit various signals, these first and second connection lines L1 and L2 correspond to the normal lines in the present invention. In addition, each defective line detection pattern D1 and D2 in this example is a dummy

pattern added for inspection. Note that each defective line detection patterns D1 and D2 may be formed using a conventional shield line and the like as typically formed.

[0042]

As described above, the respective defective line detection patterns D1 and D2 are disposed so as to enclose the outside of the first and second connection lines L1 and L2 (the position closest to the peripheral edge portion of the AR substrate 2) (see FIG. 1). Through disposal in this position, a defect first arises in the defective line detection patterns D1 and D2 when a chip, fracture, or the like arises at a peripheral edge portion of the AR substrate 2 in the manufacturing process of the liquid crystal display panel 1. Furthermore, when this chip, fracture, or the like is large, the first and second connection lines L1 and L2 on the inside thereof are damaged or cut.

[0043]

Next, the defective wiring pattern inspection method using these defective line detection patterns D1 and D2 will be described. Of the defective line detection pattern inspection methods, a disconnection inspection is performed by a continuity inspection of the defective line detection patterns D1 and D2 disposed between the respective inspection pads P₁ and P₂, and P₃ and P₄. This continuity inspection is performed using simple inspection means that apply a voltage between the inspection pads P₁ and P₃ and between the inspection pads P₂ and P₄ to detect the presence or absence of continuity thereof. This inspection means uses, for example, a well-known inspection probe to make contact with an inspection pad during inspection prior to the mounting of an IC chip, to apply a predetermined voltage to each inspection contact point, and to measure the resistance value, thereby detecting the presence or absence of a disconnection in the defective line detection patterns D1 and D2 connected between each inspection pad. Note that even when, despite there being a disconnection, contact ensues without a separation occurring, with a connection thereof being maintained with a high resistance value, this too is regarded as a disconnection.

[0044]

If any one of the defective line detection patterns D1 or D2 is disconnected, there is no continuity according to this continuity inspection, allowing for easy detection of a disconnection in the respective defective line detection patterns D1 and D2. Furthermore, when the defective line detection patterns D1 and D2 are disconnected, the probability is extremely high that the normal wiring pattern—composed of the first and second connection lines L1 and L2, which are adjacently disposed at slight intervals (for example, 0.1 mm) from the defective line detection patterns D1 and D2—is also disconnected or thinned, so a disconnection in the defective line detection patterns D1 and D2 is tentatively treated as a defective product. This inspection can be implemented before mounting the IC chip on the AR substrate 2, which allows defective product to be discovered at an early stage in the manufacturing process.

[0045]

In this examination, even when a disconnection in the defective line detection patterns D1 and D2 is detected and tentatively determined to be defective product, there is a possibility of product (good product) being mixed in, wherein the normal wiring pattern composed of the adjacently disposed first and second connection lines L1 and L2 has no disconnection or thinning. Discarding good product as such leads to a large economic loss, so all product in which a disconnection in the defective line detection patterns D1 and D2 is detected, which is tentatively determined to be defective, is subjected to a visual inspection using a microscope or the like. Through this visual inspection, by examining the condition of the first and second connection lines L1 and L2, it is possible to sort out good product that is mixed in with the product tentatively determined to be defective, thus allowing for the accidental determination of a good product as a defective product as well as disposal thereof to be prevented. Moreover, the number of the panel substrate 2 that needs to be visually inspected is significantly reduced due to being sorted according to the presence or absence of continuity in the defective line detection patterns D1 and D2, so introducing a visual inspection has little impact on manufacturing efficiency. Note that this secondary inspection method is not limited to visual inspection. For example, the normal wiring pattern may be imaged and compared with a reference pattern, or the pattern coupling may be confirmed via imaging analysis.

[0046]

Thus, in the liquid crystal display panel 1 of example 1, the defective line detection patterns D1 and D2 are disposed at the outermost peripheral portion of the first and second connection lines L1 and L2, which are normal wiring patterns disposed on the protruding parts 2X and 2Y of the AR substrate 2. Furthermore, it is possible to estimate the absence of a defect for at least the first and second connection lines L1 and L2 disposed on this AR

substrate 2, even prior to the mounting of the IC chip on the panel substrate, by detecting the presence or absence of a disconnection in these defective line detection patterns D1 and D2. That is, if no disconnection in the defective line detection patterns D1 and D2 arises, the possibility of a disconnection or of thinning of the first and second connection lines L1 and L2 arising is extremely low. In addition, if a disconnection in the defective line detection patterns D1 and D2 is detected, the possibility of a disconnection or of thinning of the first and second connection lines L1 and L2 arising is extremely high, allowing for the detection of the presence or absence of a disconnection or of thinning of the first and second connection lines L1 and L2 through the performance of a separate visual inspection or the like. Moreover, the process of inspecting the continuity of these defective line detection patterns D1 and D2 can be performed in the early stages of the manufacturing process of the liquid crystal display panel 1, allowing for defective product to be found at an early stage and also for the loss of various components attached to the liquid crystal display panel 1 in the later stages of the manufacturing process to be reduced.

[Example 2]

[0047]

Next, the liquid crystal display panel according to embodiment 2 of the present invention and the panel inspection method therefore will be explained with reference to FIGS. 4 and 5. The liquid crystal display panel 1A according to the present example 2 has many constituent elements in common with the liquid crystal display panel 1 described above, so the same reference numerals are assigned to the elements in common, and duplicate description thereof is omitted, with only different configurations being described hereinafter.

[0048]

The liquid crystal display panel 1 of the above example 1 is configured having the inspection pads P₁ to P₄ provided at both ends of the respective defective line detection patterns D1 and D2, whereas the liquid crystal display panel 1A according to example 2 omits, among these inspection pads P₁ to P₄, the inspection pads P₁ and P₂, substituting connection terminals T₁ and T_Z positioned at both ends in place of the inspection pads P₁ and P₂.

[0049]

In this liquid crystal display panel 1A, of two defective line detection patterns D3 and D4, the single defective line detection pattern D3 is connected at one end to the inspection pad P₃ and at the other end to the connection terminal T₁ positioned at a left end portion of the connection terminal T. Note that this connection terminal T₁ is connected by the connection line D3, which is disposed at the outermost portion of the first connection line L1 (that is, the position closest to the long side 2b), and this connection line L1₁ is disposed along the long side 2b. The other defective line detection pattern D4 is connected at one end to the inspection pad P₄ and at the other end to the connection terminal T_Z positioned at a right end portion of the connection terminal T. Note that the connection terminal T_Z is connected by the connection line D4, which is disposed at the outermost portion of the first connection line L2 (that is, the position closest to the long side 2b and the short side 2d), and this connection line L2₁ is disposed along the long side 2b and the short side 2d.

[0050]

The defective wiring pattern inspection method for the liquid crystal display panel 1A of the present example 2 is performed, by the same method as the inspection method described in embodiment 1 above, between the connection terminal T₁ and the inspection pad P₃, and the connection terminal T_Z and the inspection pad P₄.

[0051]

According to the liquid crystal display panel 1A according to the present example 2 described above, since the inspection pads P₁ and P₂ can be reduced compared to the liquid crystal display panel 1 of example 1 above, it is no longer necessary to ensure space on the AR substrate 2 for forming the inspection pads P₁ and P₂, which allows for a design that meets the recent demand for a narrower frame for liquid crystal display panels.

[Example 3]

[0052]

Next, a liquid crystal display panel 1B according to example 3 of the present invention and the inspection method for this liquid crystal display panel 1B will be described with reference to FIGS. 6 and 7. The liquid crystal display panel 1B according to the present example 3 has many constituent elements in common with the liquid crystal display panels 1 and 1A of examples 1 and 2 above, so the same reference numerals are assigned to the elements in common, and description thereof is omitted, with only different configurations being described.

[0053]

The liquid crystal display panel 1 of example 1 above has a dummy wiring pattern disposed separately from the normal wiring pattern as a defective line detection pattern, and is such that detection of a defective line is performed using this dummy wiring pattern. However, the liquid crystal display panel 1B according to this example 3 does not use a dummy wiring pattern, and the normal wiring pattern has multi-use for defective line detection, enabling the detection of a disconnection or of thinning of the normal wiring pattern.

[0054]

That is, the liquid crystal display panel 1B of the present example 3 forms a defective wiring pattern using the connection lines L1₁ and L2₁ positioned at the respective farthest edge portions of the first and second connection lines L1 and L2. Specifically, the line of the single connection line L1₁ is caused to branch near both ends thereof, and end portions of branched lines L1₂ and L1₃ are connected to the inspection pads P₁ and P₃; the line of the other connection line L2₁ is also caused to branch near both ends, and end portions of branched lines L2₂ and L2₃ are connected to the inspection pads P₂ and P₄, respectively. Note that of these respective branched lines, illustration of the branched line L1₃ connected to the inspection pad P₃ is omitted.

[0055]

The defective wiring pattern inspection method for the liquid crystal display panel 1B of the present example 3 is performed by the same method as the inspection method described in example 1 above. According to this liquid crystal display panel 1B, because one of the connection lines L1 and L2 of the normal wiring pattern can have multi-use as a defective line detection pattern, an inspection of a defective line is able to be performed without forming a separate defective line detection pattern. However, when a disconnection, thinning, or the like is found as a result of the inspection performed here, the liquid crystal display panel 1B under manufacture is discarded as defective product, without going so far as to perform a visual inspection.

[0056]

Examples of the liquid crystal display panel as an electro-optical panel have been described above as examples 1 and 2 of the present invention. The electro-optical panel of the present invention as such can be used in electronic apparatuses such as personal computers, mobile phones, and portable information terminals. Among these, an example using an electro-optical panel 71 in a personal computer 70 is illustrated in FIG. 8A, and similarly, an example using an electro-optical panel 76 in a mobile phone 75 is illustrated in FIG. 8B. However, since the basic configurations of the personal computer 70 and the mobile phone 75 are well known to a person skilled in the art, detailed description thereof is omitted.

[Brief Description of Drawings]

[0057]

[FIG. 1] A plan view of the liquid crystal display panel according to example 1.

[FIG. 2] A cross-sectional view along the line II-II in FIG. 1.

[FIG. 3] FIG. 3A is an enlarged plan view of the part IIIA in FIG. 1, FIG. 3B is an enlarged plan view of the part IIIB in FIG. 1, FIG. 3C is an enlarged plan view of the part IIIC in FIG. 1, and FIG. 3D is an enlarged plan view of the part IIID in FIG. 1.

[FIG. 4] A plan view of the liquid crystal display panel according to example 2.

[FIG. 5] FIG. 5A is an enlarged plan view of the part VA in FIG. 4, FIG. 5B is an enlarged plan view of the part VB, FIG. 5C is an enlarged plan view of the part VC, and FIG. 5D is an enlarged plan view of the part VD.

[FIG. 6] A plan view of the liquid crystal display panel according to example 3.

[FIG. 7] FIG. 7A is an enlarged plan view of the part VIIA in FIG. 6, FIG. 7B is an enlarged plan view of the part VIIB in FIG. 6, and FIG. 7C is an enlarged plan view of the part VIIC in FIG. 6.

[FIG. 8] FIG. 8A is a diagram illustrating a personal computer equipped with the liquid crystal display panel of the present invention, and FIG. 8B is a diagram illustrating a mobile phone equipped with the liquid crystal display panel of the present invention.

[FIG. 9] FIG. 9A is a plan view of a liquid crystal display panel of conventional art, FIG. 9B is an enlarged view of the IXB part of FIG. 9A, and FIG. 9C is an enlarged view of the IXC part of FIG. 9A.

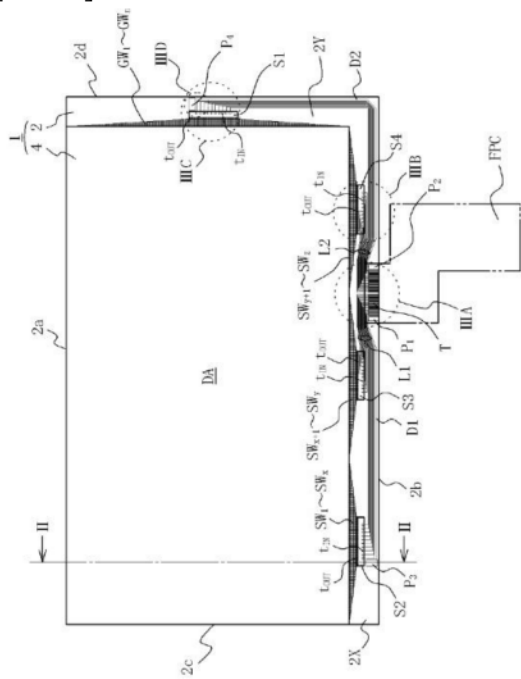
[FIG. 10] FIG. 10A is an enlarged explanatory view of an inspection terminal formation part of the liquid crystal display panel of conventional art, and FIG. 10B is a plan view of the inspection probe of conventional art.

[Description of Reference Numerals]

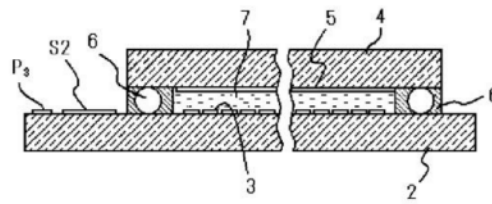
[0058]

1, 1A, 1B: Liquid crystal display panel, 2: AR substrate, 2a to 2d: sides, 2X, 2Y: protruding parts, 4: CF substrate, 6: sealing frame, 7: liquid crystal, D1 to D4: defective line inspection patterns, FPC: connection cable, L1, L2, L1₁, L2₁: connection lines, L1₂, L1₃, L2₂, L2₃: branching lines, La to Ld: connection line groups, P₁ to P₄: inspection pads, S1 to S4: IC chip mounting regions, GW₁ to GW_n: gate wiring, SW₁ to SW_z: source wiring, T, T₁ to T_z: connection terminals, t_{IN}: input-side bump terminal, t_{OUT} output-side bump terminal

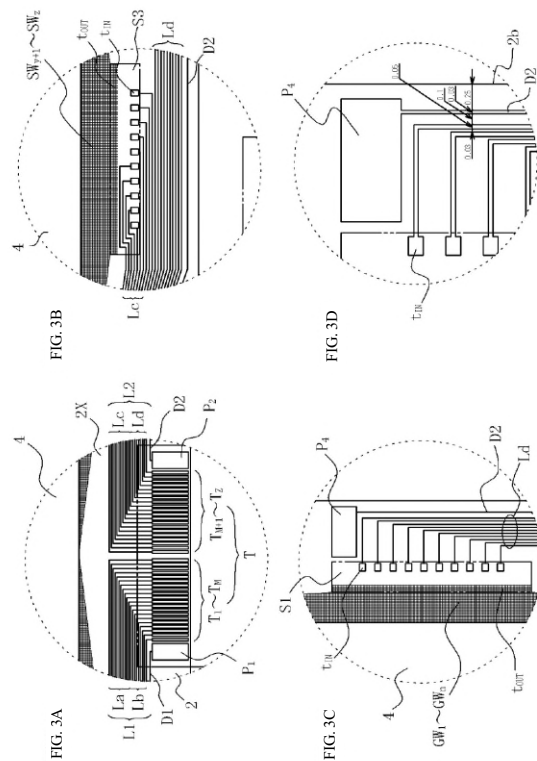
[FIG. 1]



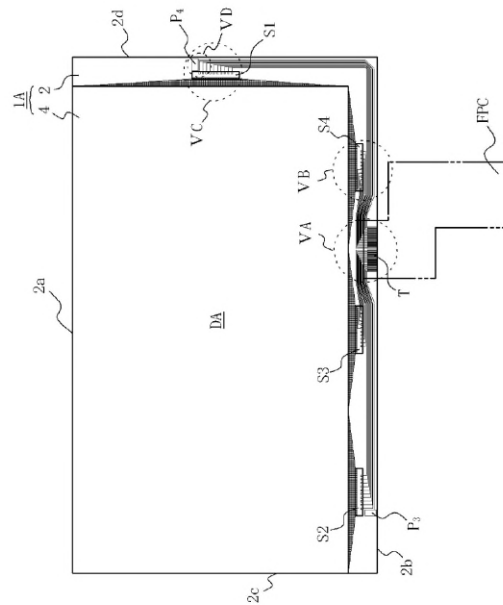
[FIG. 2]



[FIG. 3]



[FIG. 4]



[FIG. 5]

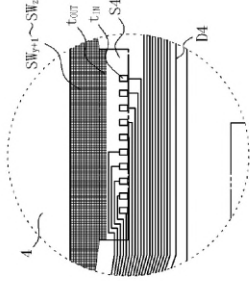


FIG. 5B

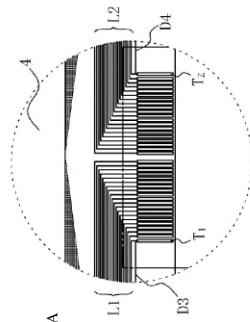


FIG. 5A

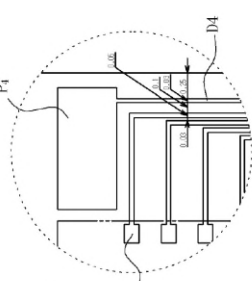


FIG. 5D

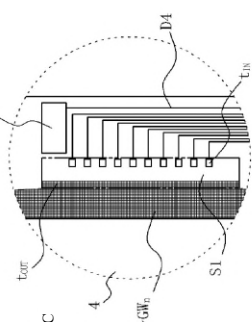


FIG. 5C

[FIG. 7]

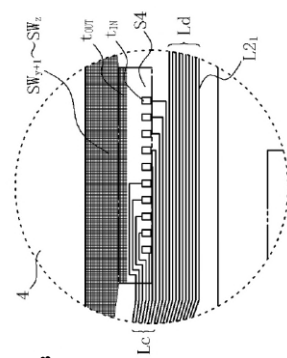


FIG. 7B

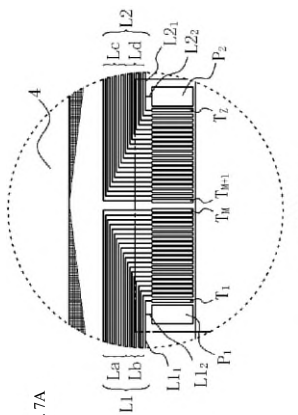


FIG. 7A

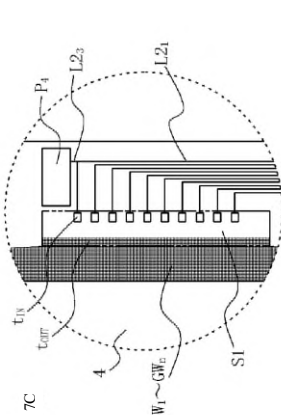
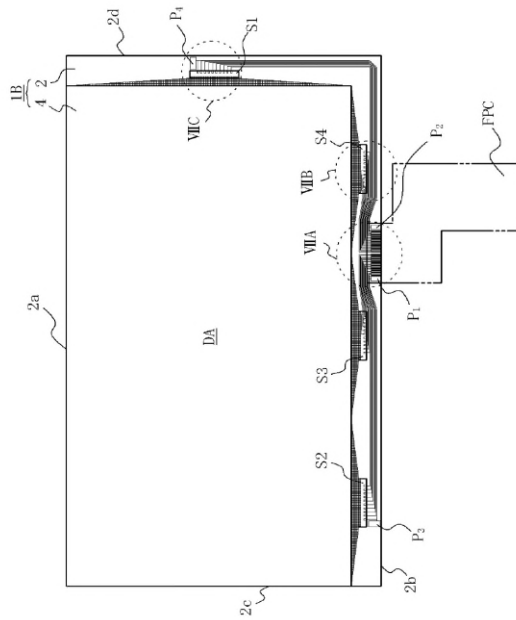


FIG. 7C

(14)
[FIG. 6]



[FIG. 8]

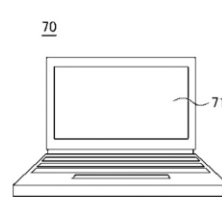


FIG. 8A

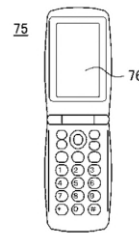


FIG. 8B

FIG. 9A

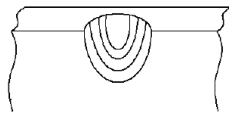
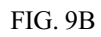
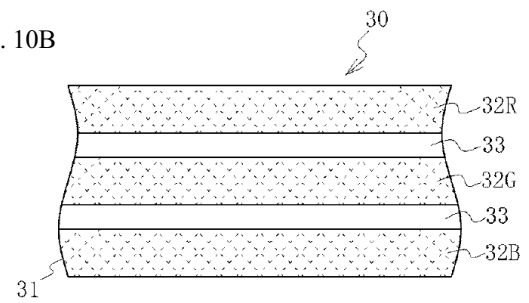
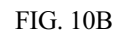


FIG. 10A



Continued from front page

F-term (Reference) 5G435 AA17 AA19 BB12 EE37 EE41 EE43 EE47 KK05 KK10

CERTIFICATE OF ACCURACY

This is to certify that Nicholas Abraham, a linguist fluent in the Japanese and English languages, do solemnly and sincerely declare that the following is, to the best of my knowledge and belief, a true and correct translation of the document listed below in a form that reflects the intention and meaning of the original text.

Nicholas Abraham has 6 years of experience in translating Japanese into English.

File: JP2009053390A

Date: May 12, 2025

A handwritten signature in black ink that reads "Nicholas Abraham". The signature is written in a cursive, flowing style and is positioned above a horizontal line.

Nicholas Abraham

Your
legal
translation
partner

A stylized graphic of a curved arrow pointing downwards and to the right, located at the bottom right of the "Your legal translation partner" text block.

【特許請求の範囲】

【請求項 1】

周縁部に沿って延在する正規配線パターンが形成されたパネル基板を有する電気光学パネルであって、前記パネル基板の周縁と前記正規配線パターンとの間に不良配線検出パターンを形成したことを特徴とする電気光学パネル。

【請求項 2】

前記不良配線検出パターンは、その両端に検査用端子が形成されていることを特徴とする請求項 1 に記載の電気光学パネル。

【請求項 3】

前記不良配線検出パターンは、その一端が検査用端子に接続され、他端が前記不良配線検出パターンに近接して配設された最縁部の正規配線パターンの端子に接続されていることを特徴とする請求項 1 に記載の電気光学パネル。

10

【請求項 4】

周縁部に沿って延在する正規配線パターンが形成されたパネル基板を有する電気光学パネルであって、前記正規配線パターンの最縁部の配線パターンの両端部近傍を分岐させ、当該分岐した配線パターンのそれぞれの端部に検査用端子を形成したことを特徴とする電気光学パネル。

【請求項 5】

周縁部に沿って延在する正規配線パターンが形成されたパネル基板を有する電気光学パネルの検査方法において、

20

前記パネル基板の周縁と前記正規配線パターンとの間に不良配線検出パターンを形成し、前記不良配線検出パターンの断線の有無を導通検査により検知し、前記不良配線検出パターンの断線が検知されなかった場合には、前記正規配線パターンに断線が無いと判定することを特徴とする電気光学パネルの検査方法。

【請求項 6】

前記不良配線検出パターンの断線が検知されたときは、配線パターンの像の検査により前記正規配線パターンの断線を検査することを特徴とする請求項 5 に記載の電気光学パネルの検査方法。

【請求項 7】

請求項 1 ～ 4 のいずれかに記載の電気光学パネルを備えたことを特徴とする電子機器。

30

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、パーソナルコンピュータ、携帯電話機や携帯情報端末等の電子機器の表示装置に使用される電気光学パネル、パネル検査方法及び電子機器に関するものである。

【背景技術】

【0002】

近年、パーソナルコンピュータ、携帯電話機や携帯情報端末等の電子機器の表示装置として、液晶表示装置や EL (Electro Luminescence) 表示装置に代表される電気光学装置が多く使用されている。

40

【0003】

このうち、液晶表示装置は、画素電極及び共通電極等が形成された 2 枚のパネル基板間にシール枠を介在して貼り合せて、この貼り合せた両基板間に液晶を封入した液晶表示パネルを有している。この液晶表示パネルは、通常、複数枚分の小型パネルが形成できる大きさのガラス材からなる 2 枚の大判マザー基板を用いて製造される。一方のマザー基板には、個々のパネルごとにマトリクス状に配列した画素電極及びこの画素電極に接続したスイッチング素子等を形成し、他のマザー基板には画素電極に対向する共通電極を形成する。そして、これらのマザー基板を対向させて個々のパネルごとに間にシール枠を介在して貼り合せ、この貼り合せたマザー基板の外面にスクライブ溝を設けて押圧器具等の工具を用いて破断させて複数の空セルに分断し、この分断した空セルに液晶を封入する等の工程

50

を経て製造されている（例えば、下記特許文献 1 参照）。

【 0 0 0 4 】

図 9 A は従来技術の液晶表示パネル 1 0 の平面図である。この液晶表示パネル 1 0 は 2 枚のパネル基板 1 1、1 2 を有している。このうち、画素電極及びスイッチング素子が配設された一方のパネル基板 1 1 の表示領域外の周縁部には、複数の I C チップ搭載領域 S 1 ～ S 4 が設けられている。そして、このパネル基板 1 1 の一辺 1 1 X に外部制御回路（図示せず）に接続されるフレキシブルプリント配線基板（F P C : F l e x i b l e P r i n t e d C i r c u i t）が接続された複数本の接続端子が配設され、これらの接続端子と各チップ搭載領域 S 1 ～ S 4 内の実装端子との間が複数本の接続配線 L 1、L 2 で接続されている。

【 0 0 0 5 】

また、各 I C チップ搭載領域 S 1 ～ S 4 からは、液晶を駆動させるためのソース線及びデータ線が表示領域内へ導出されている。これらのソース線及びデータ線と接続配線とは、導電材からなる配線パターンで形成されている。そして、各 I C チップ領域 S 1 ～ S 4 には L S I 等の半導体チップ（以下、I C チップという）が実装されている。

【 0 0 0 6 】

なお、E L 表示パネルは、少なくとも 1 枚のパネル基板上にスイッチング素子及び発光層が配設されている以外は実質的に上述の液晶表示パネルのパネル基板 1 1 と同様の構成を備えている。

【 0 0 0 7 】

ところが、ソース線及びデータ線は、パネル基板 1 1 上に導電材からなる配線パターンで形成されるので、これらの配線パターンがその製造工程で短絡或いは断線することがある。そこで、液晶表示パネルや E L 表示パネル等の電気光学パネルの製造工程では、通常、I C チップが実装される前に配線パターンの短絡或いは断線の有無を検査する中間検査が実施されている（例えば、下記特許文献 2 参照）。ここで、下記特許文献 2 に開示されている液晶駆動用 I C チップの実装領域及び検査プローブについて図 1 0 A 及び図 1 0 B を用いて説明する。なお、図 1 0 A は下記特許文献 2 に開示された液晶駆動用 I C チップの実装領域の拡大平面図、図 1 0 B は検査プローブの平面図である。

【 0 0 0 8 】

下記特許文献 2 に開示された液晶表示パネルのパネル基板の I C チップ搭載領域は、この領域の一辺 a から複数本の引出電極 2 0 u ～ 2 0 z の端部が引き込まれている。これらの引出電極 2 0 u ～ 2 0 z は、I C チップ搭載領域内に入ってから所定の長さ部分に I C チップの実装端子と接続されるバンプ用端子 2 1 u ～ 2 1 z 及びこれらの端子の延長上に検査用端子 2 2 u ～ 2 2 z が設けられている。これらの検査用端子 2 2 u ～ 2 2 z は、チップ搭載領域の一辺 a から、その種類、例えば引出電極 2 0 u ～ 2 0 z それぞれが表示を行う色成分（R、G、B 等）毎にそれぞれ一定の距離 L r、L g、L b 離れた位置に形成されている。また、この検査用端子 2 2 u ～ 2 2 z に接触される検査プローブ 3 0 は、図 1 0 B に示すように、横長手方向に対して所定幅に導電性粒子が混入された帯状導電層 3 2 R、3 2 G、3 2 B が形成され、残余の部分が帯状絶縁層 3 3、3 3 として各帯状導電層 3 2 R、3 2 G、3 2 B の間に介在された導電ラバーで形成されている。

【 0 0 0 9 】

液晶表示パネル 1 0 の検査は、チップ搭載領域内に一列に並んだ R、G、B 検査用端子 2 2 u ～ 2 2 z に、検査プローブ 3 0 の帯状導電層 3 2 R、3 2 G、3 2 B を接触させ、不図示の検査装置から所定の信号を送って、配線パターンの断線或いは短絡等の検査が行なわれる。

【特許文献 1】特開 2 0 0 2 - 3 6 5 6 4 8 号公報（図 1 6、段落〔 0 0 0 2 〕～〔 0 0 0 6 〕）

【特許文献 2】特開 2 0 0 6 - 3 7 4 1 号公報（図 3、段落〔 0 0 2 1 〕～〔 0 0 2 8 〕）

【 発 明 の 開 示 】

【 発 明 が 解 決 し よ う と す る 課 題 】

【００１０】

上述したとおり、液晶表示パネルやＥＬ表示パネル等の電気光学パネルはその製造工程においてマザー基板の分断、液晶封入等の工程を経た後に、パネル基板上に配設された配線パターンの断線或は短絡の有無等の検査が行なわれている。このような電気光学パネルの検査は、上記特許文献２の検査方法にみられるように、パネル基板のチップ搭載領域内に設けられた検査用端子に検査プローブを接触させることによって行われている。

【００１１】

しかしながら、この検査方法は、ソース線及びデータ線の断線或は短絡、すなわちＩＣチップに対する出力側に位置する配線パターンの断線等を検出することはできるが、ＩＣチップに対する入力側、すなわちＩＣチップとこのＩＣチップに入力信号を送るＦＰＣとの間の接続配線の欠陥を検出することはできない。通常、この接続配線は、図９Ａにおいて配線パターンＬ１、Ｌ２で示されているように、パネル基板の最外縁部分を引回されており、マザー基板を複数のパネルに分断する際に欠陥が生じやすい。加えて、電気光学パネルはより高精細化及び小型化される傾向にあり、しかも大判のマザー基板からより多くの小型パネル基板を形成できるように、隣接する個々の小型パネル基板の境界領域が極めて狭くした設計になってきている。

【００１２】

そのため、パネル基板の配線パターンは、図９Ａにみられるように、パネル周縁に極めて近い位置に配設されるようになってきている。一方、パネル基板の製造は、ガラス材で形成された大判のマザー基板を小型パネル基板に分断し、この分断した小型パネル基板を所定の製造装置に搬送して所定の加工を施すことによって製造されるので、分断時に周縁部に割れや欠けが生じたり、製造工程中に小型パネル基板が障害物等に衝突し、その際の衝撃力によって、小型パネル基板の周縁が大きく欠けたり（図９Ｂ参照）或いは亀裂が発生したり（図９Ｃ参照）することがある。このような欠けや亀裂が発生すると、パネル基板の周縁に近接して配設された配線パターンＬ１、Ｌ２が一部破損或いは切断されてしまうことがある。しかしながら、このような配線パターンＬ１、Ｌ２等の破損ないし切断は、上記特許文献１に開示された検査方法では検出することができず、ＩＣチップが実装され、ＦＰＣが接続され、このＦＰＣから所定の信号が加えられたときに初めて発見することができる。ところが、この段階での不良発見は、既にパネル基板上にＩＣチップ等が実装されており、また、パネル基板を分解して断線不良の補修等を行うことができないため、パネル基板そのものを不良品として処理せざるを得なくなっている。この段階で廃棄処分となると、パネル基板本体、ＩＣチップ、接続ケーブル等の全ての部品が無駄になり、その損失が高額になる。特に、パネル基板に複数個のＩＣチップが実装されるＣＯＧ（Chip On Glass）型の電気光学パネルでは、ＩＣチップが他の部品に比較して高額となるために、その損害額が高額になる。

【００１３】

そこで、本発明は上記の課題を解決するためになされたものであって、本発明の目的は、ＩＣチップ実装前にパネル基板の周縁に配設された配線パターンの検査が可能な電気光学パネル、この電気光学パネルのパネル検査方法及び電子機器を提供することにある。

【課題を解決するための手段】

【００１４】

上記目的を達成するため、本発明の第１の態様にかかる電気光学パネルは、周縁部に沿って延在する正規配線パターンが形成されたパネル基板を有する電気光学パネルであって、前記パネル基板の周縁と前記正規配線パターンとの間に不良配線検出パターンを形成したことを特徴とする。

【００１５】

本発明の第１の態様にかかる電気光学パネルによれば、パネル基板にＩＣチップを搭載する前であっても、不良配線検出パターンの断線の有無を検知することにより、少なくともこのパネル基板に配設された正規配線パターンの良否を推定することが可能になる。すなわち、不良配線検出パターンに断線が生じていなければ、基板の欠けや亀裂によって正

規配線パターンに断線等の配線不良が生じている可能性は非常に小さい。また、不良配線検出パターンの断線が検出された場合、正規配線パターンに配線不良が生じている可能性は非常に大きいので、別途目視検査等を行うことによって正規配線パターンの配線不良の有無を検知することができる。そのため、本発明の電気光学パネルによれば、従来例では行われていなかった製造工程の早い段階でパネル不良を判定できるので、廃棄処分する際の損失を低減できる。

【００１６】

なお、本発明にいう「正規配線」とは、コモン配線、グラウンド配線を含み、何等かの電気光学パネル駆動用の電気信号が流れている配線を示す。また、本発明にいう「不良配線」とは、正規配線の「断線」及び正規配線の一部が破損して抵抗値が増大するいわゆる「細肉化」を指すものである。

10

【００１７】

また、上記態様の電気光学パネルにおいては、前記不良配線検出パターンは、その両端に検査用端子が形成されていることが好ましい。

【００１８】

係る態様の電気光学パネルによれば、不良配線検出パターンの両端に検査用端子を設けたため、これらの検査端子に計測用のプローブを当接するだけで不良配線検査パターンの断線の有無を検出することができるようになる。

【００１９】

また、上記態様の電気光学パネルにおいては、前記不良配線検出パターンは、その一端が検査用端子に接続され、他端が前記不良配線検出パターンに近接して配設された最縁部の正規配線パターンの端子に接続されていることが好ましい。

20

【００２０】

係る態様の電気光学パネルによれば、不良配線検出パターンに近接して配設された正規配線パターンを一方の検査用端子として兼用できるため、検査用端子の数を少なくできる。

【００２１】

また、上記目的を達成するため、本発明の第２の態様にかかる電気光学パネルは、周縁部に沿って延在する正規配線パターンが形成されたパネル基板を有する電気光学パネルであって、前記正規配線パターンの最縁部の配線パターンの両端部近傍を分岐させ、当該分岐した配線パターンのそれぞれの端部に検査用端子を形成したことを特徴とする。

30

【００２２】

本発明の第２の態様にかかる電気光学パネルによれば、別途不良配線検出パターンを形成することなく、正規配線パターンを利用して不良配線の検査ができるようになる。

【００２３】

更に、上記目的を達成するため、本発明の第３の態様にかかる電気光学パネルの検査方法は、周縁部に沿って延在する正規配線パターンが形成されたパネル基板を有する電気光学パネルの検査方法において、前記パネル基板の周縁と前記正規配線パターンとの間に不良配線検出パターンを形成し、前記不良配線検出パターンの断線の有無を導通検査により検知し、前記不良配線検出パターンの断線が検知されなかった場合には、前記正規配線パターンに断線が無いと判定することを特徴とする。

40

【００２４】

係る態様の電気光学パネルの検査方法によれば、前記電気光学パネルの発明の効果を奏する電気光学パネルの検査方法を提供できる。

【００２５】

また、上記態様の電気光学パネルの検査方法においては、前記不良配線検出パターンの断線が検知されたときは、配線パターンの像の検査により前記正規配線パターンの断線を検査することが好ましい。

【００２６】

不良配線検出パターンの断線が検知されたことは、直ちに正規配線パターンが断線して

50

いることを示すものではないが、正規配線パターンが断線している可能性が大きいことを示すものである。従って、係る態様の電気光学パネルの検査方法によれば、正規配線パターンが断線している可能性が大きいと判断されたものについてのみ再度正規配線パターンが断線しているか否かを検査するので、再度検査する電気光学パネルの数を少なくすることができ、検査効率が向上する。加えて、正規配線パターンが断線している可能性が大きいと判断されたものの全てを破棄する必要がなくなるから、破棄する電気光学パネルの数を減らすことができ、電気光学パネルの製造コストを大幅に低減することができるようになる。

【0027】

更にまた、上記目的を達成するため、本発明の第4の態様にかかる電子機器は、上記いずれかに記載の電気光学パネルを備えたことを特徴とする。

10

【0028】

係る態様の電子機器によれば、上記のような効果を奏する電気光学パネルを使用した電子機器が得られる。

【発明を実施するための最良の形態】

【0029】

以下、図面を参照して本発明の最良の実施形態を説明する。但し、以下に示す実施形態は、本発明の技術思想を具体化するための電気光学パネルとしての液晶表示パネル及びこのパネルの検査方法を例示するものであって、本発明をこれらに特定することを意図するものではなく、特許請求の範囲に含まれるその他の実施形態のものも等しく適応し得るものである。

20

【0030】

図1は実施例1に係る液晶表示パネルの平面図である。図2は図1のII-II線の断面図である。図3Aは図1のIII A部分の拡大平面図、図3Bは図1のIII B部分の拡大平面図、図3Cは図1のIII C部分の拡大平面図、図3Dは図1のIII D部分の拡大平面図である。図4は実施例2に係る液晶表示パネルの平面図である。図5Aは図4のV A部分の拡大平面図、図5BはV B部分の拡大平面図、図5CはV C部分の拡大平面図、図5DはV D部分の拡大平面図である。図6は実施例3に係る液晶表示パネルの平面図である。図7Aは図6のVII A部分の拡大平面図、図7Bは図6のVII B部分の拡大平面図、図7Cは図6のVII C部分の拡大平面図である。図8Aは本発明の液晶表示パネルを搭載したパーソナルコンピュータを示す図であり、図8Bは本発明の液晶表示パネルを搭載した携帯電話機を示す図である。なお、この明細書における説明のために用いられた各図面においては、各層や各部材を図面上で認識可能な程度の大きさとするため、各層や各部材毎に縮尺を異ならせて表示しており、必ずしも実際の寸法に比例して表示されているものではない。

30

【実施例1】

【0031】

図1及び図2に示すように、本発明の実施例1に係る液晶表示パネル1は、画素電極及び薄膜トランジスタ（Thin Film Transistor：以下、TFTという）からなるスイッチング素子等が形成されたアレイ基板（以下、AR基板という）2と、このAR基板2と対向する面にカラーフィルタ及び共通電極等が形成されたカラーフィルタ基板（以下、CF基板という）4と、を備え、AR基板2とCF基板4とは間にシール枠6を介在して貼り合せ、両基板2、4とシール枠4とによって囲まれた領域に液晶7が封入された構成となっている。なお、図2では、AR基板2上に設けた画素電極及び各種配線が構造物3として、CF基板4上のカラーフィルタ及び共通電極等が構造物5としてそれぞれ示されている。

40

【0032】

この液晶表示パネル1は、複数枚分の小型パネルを形成できる大きさのガラス材からなる2枚の不図示の大判マザー基板を用いて製造される。このうち一方のマザー基板には個々のパネルごとにマトリクス状に配列した画素電極及びこの画素電極に接続したTFT等を形成して複数のAR基板2を形成し、他のマザー基板にはAR基板2の画素領域に合わ

50

せてマトリクス状に設けたブラックマトリクスと、このブラックマトリクスで囲まれた領域に設けた例えば赤（Ｒ）、緑（Ｇ）、青（Ｂ）等のカラーフィルタと、このカラーフィルタを覆うように設けた共通（コモン）電極とを形成する。そして、これらのマザー基板の表面を対向させて個々のパネルごとにシール枠により貼り合せ、この貼り合せたマザー基板の外面にスクライブ溝を設けて押圧器具等の工具で加圧して破断させ、複数枚分の個々のパネルに分断する。また、分断されたパネルに液晶が封入されることにより液晶表示パネル１が製造される。ＴＦＴ等が形成された基板はＡＲ基板２、カラーフィルタ等が形成された基板はＣＦ基板４となっている。

【００３３】

ＡＲ基板２は、対向する長辺２ａ、２ｂ及び短辺２ｃ、２ｄを有する矩形状の基板となり、一方の長辺２ｂ及び短辺２ｄ側には、ＣＦ基板４と貼り合わせた際に外部に露出する張出し部２Ｘ、２Ｙが形成されている。これらの張出し部２Ｘ、２Ｙには、液晶駆動用のＩＣチップが実装される複数のＩＣチップ搭載領域Ｓ１～Ｓ４が設けられている。これらのＩＣチップ搭載領域Ｓ１～Ｓ４のうち、１つのＩＣチップ搭載領域Ｓ１は、短辺２ｄ側の張出し部２Ｙにあってゲートドライバ用ＩＣチップが実装され、他のＩＣチップ搭載領域Ｓ２～Ｓ４は、長辺２ｂ側の張出し部２Ｘにあってそれぞれにソースドライバ用ＩＣチップが実装されるようになっている。

【００３４】

各ＩＣチップ搭載領域Ｓ１～Ｓ４内には、各ＦＰＣを介して入力される各種信号をＩＣチップに入力するための接続配線Ｌ１、Ｌ２が接続される複数の入力側パンプ用端子 t_{IN} と、表示領域ＤＡ内に配設されるソース線 $SW_1 \sim SW_z$ 及びゲート線 $GW_1 \sim GW_n$ に接続される複数の出力側パンプ用端子 t_{OUT} が配設されている。なお、図３ＣにはＩＣチップ搭載領域Ｓ１の入力側パンプ用端子 t_{IN} 及び出力側パンプ用端子 t_{OUT} が示されている。

【００３５】

また、ＩＣチップ搭載領域Ｓ１からは、複数本のゲート線 $GW_1 \sim GW_n$ が所定の間隔をあけて導出されて図１の行方向（ＡＲ基板２の長尺方向）に沿って配列されている。また、長辺２ｂに設けられたＩＣチップ搭載領域Ｓ２～Ｓ４からは、複数本のソース線 $SW_1 \sim SW_z$ が互いに所定の間隔をあけて導出されて図１の列方向（ＡＲ基板２の短尺方向）に沿って配列されている。なお、図１においては、ＩＣチップ搭載領域Ｓ２からはソース線 $SW_1 \sim SW_x$ 、ＩＣチップ搭載領域Ｓ３からはソース線 $SW_{x+1} \sim SW_y$ 、ＩＣチップ搭載領域Ｓ４からはソース線 $SW_{y+1} \sim SW_z$ がそれぞれ導出されている。それぞれのゲート線 $GW_1 \sim GW_n$ とソース線 $SW_1 \sim SW_z$ は、図示しない絶縁膜を介して互いに絶縁された状態で積層され表示領域ＤＡ内にマトリクス状に配線されている。また、ゲート線 $GW_1 \sim GW_n$ とソース線 $SW_1 \sim SW_z$ とで囲まれるそれぞれの領域にゲート線 $GW_1 \sim GW_n$ に印加される走査信号によってオンするスイッチング素子としてのＴＦＴ、及び、ソース線 $SW_1 \sim SW_z$ に印加される映像信号がＴＦＴを介して供給される画素電極が形成されている。これらのゲート線 $GW_1 \sim GW_n$ 及びソース線 $SW_1 \sim SW_z$ は、遮光性金属材料、例えばＣｒ、Ａｌ、Ｔｉあるいはこれらを多層構造としたものからなる配線パターンで形成されている。

【００３６】

ＡＲ基板２表面の長辺２ｂに近接する一部には、外部制御回路に接続されたＦＰＣを接続するための複数本の接続端子Ｔが設けられている。接続端子ＴとＩＣチップ搭載領域Ｓ１～Ｓ４内の出力側パンプ用端子 t_{IN} とは、張出し部２Ｘ、２Ｙに引回された第１、第２接続配線Ｌ１、Ｌ２でそれぞれ接続されている。第１、第２接続配線Ｌ１、Ｌ２はゲート線 $GW_1 \sim GW_n$ と同一の材料を使用し、ゲート線 $GW_1 \sim GW_n$ を形成する工程と同一工程で形成されると好ましい。

【００３７】

以下には、図１及び図３を参照して、ＡＲ基板２に配設される接続配線Ｌ１、Ｌ２の構造等について詳述する。図３Ａに示すように、接続端子Ｔは、複数本の接続端子 $T_1 \sim T$

M 及び $T_{M+1} \sim T_Z$ からなり、これらの接続端子 $T_1 \sim T_Z$ は長辺 $2b$ に沿って一列に配設されている。また、これらの接続端子 $T_1 \sim T_Z$ の両側部には、検査パッド P_1 、 P_2 がそれぞれ設けられている。更に、接続端子 $T_1 \sim T_Z$ から最も離れた IC チップ 搭載領域 S_1 及び S_2 の近傍にはそれぞれ検査パッド P_3 、 P_4 が設けられている。各検査パッド $P_1 \sim P_4$ は、不図示の検査プローブの接点が接触できるように比較的大きい面積を有する端子片で形成されている。

【0038】

複数本の接続端子 $T_1 \sim T_M$ 及び $T_{M+1} \sim T_Z$ のうち、接続端子 $T_1 \sim T_M$ には複数本の第1接続配線 L_1 が接続されており、この接続配線 L_1 は長辺 $2b$ に沿って配設されて IC チップ 搭載領域 S_2 、 S_3 内の各入力側バンプ用端子 t_{1N} に接続されている。また、接続端子 $T_{M+1} \sim T_Z$ には複数本の第2接続配線 L_2 が接続されており、この接続配線 L_2 は長辺 $2b$ 及び短辺 $2d$ に沿って配設されて IC チップ 搭載領域 S_1 、 S_4 内の各入力側バンプ用端子 t_{1N} に接続されている。

【0039】

第1、第2接続配線 L_2 は、隣接する2つの接続配線群 L_a と L_b 及び L_c と L_d とから構成されている。このうち、接続配線群 L_a は IC チップ 搭載領域 S_2 内の入力側バンプ用端子 t_{1N} に、接続配線群 L_b は IC チップ 搭載領域 S_3 の入力側バンプ用端子 t_{1N} に、接続配線群 L_c は IC チップ 搭載領域 S_4 内の入力側バンプ用端子 t_{1N} に、接続配線群 L_d は IC チップ 搭載領域 S_1 の入力側バンプ用端子 t_{1N} にそれぞれ接続されている。

【0040】

また、第1、第2接続配線 L_1 、 L_2 の外側、すなわち、パネル基板2の長辺 $2b$ 及び短辺 $2d$ の周縁部側には不良配線検出パターン D_1 、 D_2 が配設されている。この不良配線検出パターン D_1 、 D_2 はパネル基板2の周縁部から例えば 0.025 mm だけ内側の位置（図3D参照）に位置しており、その線幅は、例えば 0.03 mm であって、この不良配線検出パターン D_1 、 D_2 と接続配線 L_b 、 L_d とは、例えば 0.1 mm 離れている。なお、接続配線 L_1 、 L_2 の幅長は例えば 0.005 mm であり、各接続配線 L_1 、 L_2 同士の間隔は例えば 0.03 mm となっている。これらの不良配線検出パターン D_1 、 D_2 うち、不良配線検出パターン D_1 は検査パッド P_1 、 P_3 間、及び不良配線検出パターン D_2 は検査パッド P_2 、 P_4 間をそれぞれ接続するものとなっている。これらの不良配線検出パターン D_1 、 D_2 は、接続配線 L_1 、 L_2 と同様にゲート線 $GW_1 \sim GW_n$ と同一の材料を使用し、ゲート線 $GW_1 \sim GW_n$ を形成する工程と同一工程で形成されると好ましい。

【0041】

第1、第2接続配線 L_1 、 L_2 は、接続端子 T に接続されて FPC から IC チップ 搭載領域 $S_1 \sim S_4$ に搭載された IC チップ に所定の信号を送送する信号線となっている。これらの第1、第2接続配線 L_1 、 L_2 は、各種信号を送送する配線であることから本発明における正規配線に対応する。また、この実施例における各不良配線検出パターン D_1 、 D_2 は、検査用として追加したダミーパターンである。尚、各不良配線検出パターン D_1 、 D_2 として、従来から普通に形成されていたシールド線等を利用することにより形成してもよい。

【0042】

上述したように、各不良配線検出パターン D_1 、 D_2 は第1、第2接続配線 L_1 、 L_2 の外側（AR基板2の周縁部に最も近い位置）を囲むように配設されている（図1参照）。この位置に配設することにより、液晶表示パネル1の製造工程においてAR基板2の周縁部に欠けや亀裂等が発生すると、初めに不良配線検出パターン D_1 、 D_2 に欠陥が発生する。そして、この欠けや亀裂等が大きいと内側にある第1、第2接続配線 L_1 、 L_2 まで破損あるいは切断されることになる。

【0043】

次に、これらの不良配線検出パターン D_1 、 D_2 を用いた不良配線パターン検査方法を

説明する。不良配線パターン検査方法のうち、断線検査は、各検査パッドP1、P2及びP3、P4間に配設した不良配線検出パターンD1、D2の導通検査によって行なわれる。この導通検査は、検査パッドP1、P3間及び検査パッドP2、P4間に電圧を印加して、その導通の有無を検知する単純な検査手段を用いて行われる。この検査手段は、例えば、公知の検査プローブを利用して、ICチップ実装前の検査時にこの検査プローブを検査パッドに接触させて各検査接点に所定の電圧を印加して抵抗値を計測することにより、各検査パッド間に接続された不良配線検出パターンD1、D2の断線の有無が検出される。尚、断線していても離間せずに接触しているときは抵抗値が大きくなるものの接続は維持されるが、これも断線とみなす。

【0044】

この導通検査により、不良配線検出パターンD1、D2のいずれか1本でも断線していれば導通しないので、各不良配線検出パターンD1、D2の断線を簡単に検出できる。そして、不良配線検出パターンD1、D2が断線していると、これらの不良配線検出パターンD1、D2に僅かな間隔（例えば0.1mm）をおいて近接配置している第1、第2接続配線L1、L2からなる正規配線パターンが断線あるいは細肉化している確率が極めて高いので、不良配線検出パターンD1、D2の断線が検出されたものは一応不良品として処理される。この検査は、AR基板2にICチップを搭載する前に実施できるので、製造工程の早い段階で不良品を発見できる。

【0045】

この検査において不良配線検出パターンD1、D2の断線が検出されて一応不良品と判定された場合でも、近接配置されている第1、第2接続配線L1、L2からなる正規配線パターンが断線あるいは細肉化していないもの（良品）が混入している可能性がある。このような良品を破棄してしまうことは経済的に大きな損失となるので、不良配線検出パターンD1、D2の断線が検出されて一応不良品と判定されたものについては全て顕微鏡等を用いた目視検査を行なう。この目視検査によって、第1、第2接続配線L1、L2の状態を調べることにより、上述のような一応不良品と判定されたものの中に混入していた良品を選別することができるので、良品を誤って不良品と判断して破棄してしまうようなことを防止できるようになる。しかも、目視検査しなければならないパネル基板2の数は不良配線検出パターンD1、D2の導通の有無によって選別されているので大幅に少なくなり、目視検査の導入が製造効率に与える影響は小さい。なお、この二次検査方法は目視検査に限定するものではない。例えば、正規配線パターンを撮像し、基準パターンと比較したり、パターンの連結を撮像の分析で確認したりしてもよい。

【0046】

このように、実施例1の液晶表示パネル1においては、AR基板2の張出し部分2X、2Yに配設される正規配線パターンである第1、第2接続配線L1、L2の最外周部に不良配線検出パターンD1、D2が配設されている。そして、パネル基板にICチップを搭載する前であっても、これらの不良配線検出パターンD1、D2の断線の有無を検知することにより、少なくともこのAR基板2に配設された第1、第2接続配線L1、L2の良否を推定することが可能になる。すなわち、不良配線検出パターンD1、D2に断線が生じていなければ、第1、第2接続配線L1、L2に断線あるいは細肉化が生じている可能性は非常に小さい。また、不良配線検出パターンD1、D2の断線が検出された場合、第1、第2接続配線L1、L2の断線あるいは細肉化が生じている可能性は非常に大きいので、別途目視検査等を行うことによって第1、第2接続配線L1、L2の断線あるいは細肉化の有無を検知することができる。しかも、これらの不良配線検出パターンD1、D2の導通を検査する工程は液晶表示パネル1の製造工程における前半の段階で行えるので、早い段階で不良品を見つけられるようになり、製造工程の後半の段階で液晶表示パネル1に取付けられる各種部品のロスも削減することが可能となる。

【実施例2】

【0047】

次に、図4及び図5を参照して、本発明の実施形態2に係る液晶表示パネル及びこのパ

ネル検査方法を説明する。本実施例 2 に係る液晶表示パネル 1 A は、上記液晶表示パネル 1 と共通の構成を多く有しているので、共通する構成要素には同じ符号を付して重複説明を省略し、異なる構成についてのみ以下に詳述する。

【0048】

上記実施例 1 の液晶表示パネル 1 は、それぞれの不良配線検出パターン D 1、D 2 の両端に検査パッド P₁ ~ P₄ を設けた構成とされているが、実施例 2 に係る液晶表示パネル 1 A は、これらの検査パッド P₁ ~ P₄ のうち、検査パッド P₁、P₂ を省き、両端に位置する接続端子 T₁、T₂ で検査パッド P₁、P₂ を代用したものである。

【0049】

この液晶表示パネル 1 A は、2 本の不良配線検出パターン D 3、D 4 のうち、一方の不良配線検出パターン D 3 は、一端が検査パッド P₃ に接続され、他端が接続端子 T の左端部に位置する接続端子 T₁ に接続されている。なお、この接続端子 T₁ には、第 1 接続配線 L 1 のうち最外部（つまり長辺 2 b に最も近接した位置）に配設される接続配線 D 3 が接続されており、この接続配線 L 1₁ は長辺 2 b に沿って配設されている。他の不良配線検出パターン D 4 は、一端が検査パッド P₄ に接続され、他端が接続端子 T の右端部に位置する接続端子 T₂ に接続されている。なお、この接続端子 T₂ には、第 1 接続配線 L 2 のうち最外部（つまり長辺 2 b 及び短辺 2 d に最も近接した位置）に配設される接続配線 D 4 が接続されており、この接続配線 L 2₁ は長辺 2 b 及び短辺 2 d に沿って配設されている。

【0050】

本実施例 2 の液晶表示パネル 1 A における不良配線パターン検査方法は、接続端子 T₁ と検査パッド P₃ 及び接続端子 T₂ と検査パッド P₄ との間で、上記実施例 1 において説明した検査法と同じ方法で行なわれる。

【0051】

上述した本実施例 2 に係る液晶表示パネル 1 A によれば、上記実施例 1 の液晶表示パネル 1 に比して検査パッド P₁、P₂ を削減できるので、検査パッド P₁、P₂ を形成するためのスペースを AR 基板 2 上に確保する必要がなくなり、近年の液晶表示パネルの狭額縁化の要望に則した設計を行うことが可能となる。

【実施例 3】

【0052】

次に、図 6 及び図 7 を参照して、本発明の実施例 3 に係る液晶表示パネル 1 B 及びこの液晶表示パネル 1 B の検査方法を説明する。本実施例 3 に係る液晶表示パネル 1 B は、上記実施例 1 及び 2 の液晶表示パネル 1、1 A と共通の構成を多く有しているので、共通する構成要素には同じ符号を付して重複説明を省略し、異なる構成についてのみ詳述する。

【0053】

上記実施例 1 の液晶表示パネル 1 は、不良配線検出パターンとして、正規配線パターンとは別にダミーの配線パターンを配設して、このダミーの配線パターンを用いて不良配線の検出を行うようになっていた。しかしながら、この実施例 3 に係る液晶表示パネル 1 B は、ダミー配線を使用せず、正規配線パターンを不良配線検出用に兼用して正規配線パターンの断線あるいは細肉化の検出が可能となるようにしたものである。

【0054】

すなわち、本実施例 3 の液晶表示パネル 1 B は、第 1、第 2 接続配線 L 1、L 2 のうちそれぞれの最縁部に位置する接続配線 L 1₁、L 2₁ を利用して不良配線パターンを形成している。詳しくは、一方の接続配線 L 1₁ はその両端部近傍にて配線を分岐させ、分岐した分岐配線 L 1₂、L 1₃ の端部を検査パッド P₁、P₃ に、他の接続配線 L 2₁ もその両端部近傍にて配線を分岐させ、分岐した分岐配線 L 2₂、L 2₃ の端部を検査パッド P₂、P₄ にそれぞれ接続する。なお、これらの各分岐配線のうち、検査パッド P₃ に接続される分岐配線 L 1₃ については図示を省略している。

【0055】

本実施例 3 の液晶表示パネル 1 B における不良配線パターン検査方法は、上記実施例 1

において説明した検査法と同じ方法で行なわれる。この液晶表示パネル 1 B によると、正規配線パターンの接続配線 L 1、L 2 のうちの 1 本を不良配線検出パターンとして兼用できるので、別途不良配線検出パターンを形成することなく、不良配線の検査ができるようになる。ただし、ここで行われる検査の結果、断線あるいは細肉化等が見つかった場合には、目視による検査を行うまでもなく、不良品として製造途中の液晶表示パネル 1 B の廃棄を行うことになる。

【0056】

以上、本発明の実施例 1 及び 2 として電気光学パネルとして液晶表示パネルの例を説明した。このような本発明の電気光学パネルは、パーソナルコンピュータ、携帯電話機、携帯情報端末などの電子機器に使用することができる。このうち、電気光学パネル 7 1 をパーソナルコンピュータ 7 0 に使用した例を図 8 A に、同じく電気光学パネル 7 6 を携帯電話機 7 5 に使用した例を図 8 B に示す。ただし、これらのパーソナルコンピュータ 7 0 及び携帯電話機 7 5 の基本的構成は当業者に周知であるので、詳細な説明は省略する。

【図面の簡単な説明】

【0057】

【図 1】実施例 1 に係る液晶表示パネルの平面図である。

【図 2】図 1 の II-II 線の断面図である。

【図 3】図 3 A は図 1 の III A 部分の拡大平面図、図 3 B は図 1 の III B 部分の拡大平面図、図 3 C は図 1 の III C 部分の拡大平面図、図 3 D は図 1 の III D 部分の拡大平面図である。

【図 4】実施例 2 に係る液晶表示パネルの平面図である。

【図 5】図 5 A は図 4 の V A 部分の拡大平面図、図 5 B は V B 部分の拡大平面図、図 5 C は V C 部分の拡大平面図、図 5 D は V D 部分の拡大平面図である。

【図 6】実施例 3 に係る液晶表示パネルの平面図である。

【図 7】図 7 A は図 6 の VII A 部分の拡大平面図、図 7 B は図 6 の VII B 部分の拡大平面図、図 7 C は図 6 の VII C 部分の拡大平面図である。

【図 8】図 8 A は本発明の液晶表示パネルを搭載したパーソナルコンピュータを示す図であり、図 8 B は本発明の液晶表示パネルを搭載した携帯電話機を示す図である。

【図 9】図 9 A は従来技術の液晶表示パネルの平面図、図 9 B は図 9 A の IX B 部分の拡大図、図 9 C は図 9 A の IX C 部分の拡大図である。

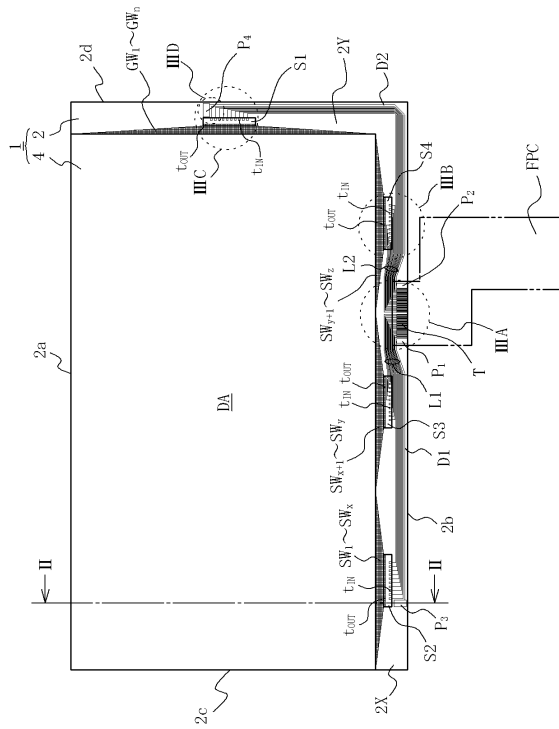
【図 10】図 10 A は従来技術の液晶表示パネルの検査端子形成部分の拡大説明図、図 10 B は従来技術の検査プローブの平面図である。

【符号の説明】

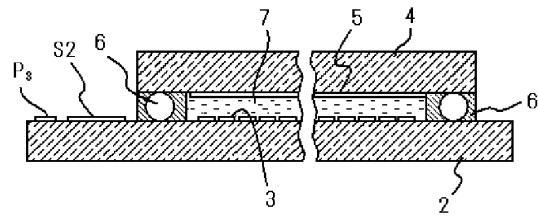
【0058】

1、1 A、1 B：液晶表示パネル 2：AR 基板 2 a～2 d：辺 2 X、2 Y：張出し部 4：CF 基板 6：シール枠 7：液晶 D 1～D 4：不良配線検出パターン F P C：接続ケーブル L 1、L 2、L 1₁、L 2₁：接続配線 L 1₂、L 1₃、L 2₂、L 2₃：分岐配線 L a～L d：接続配線群 P₁～P₄：検査パッド S 1～S 4：IC チップ搭載領域 G W₁～G W_n：ゲート線 S W₁～S W_z：ソース線 T、T₁～T_z：接続端子 t_{I N}：入力側パンプ用端子 t_{O U T}：出力側パンプ用端子

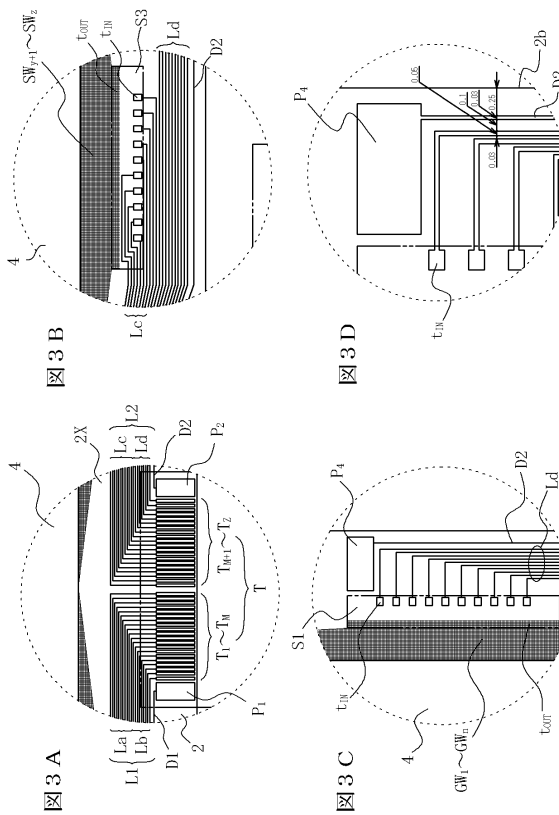
【図 1】



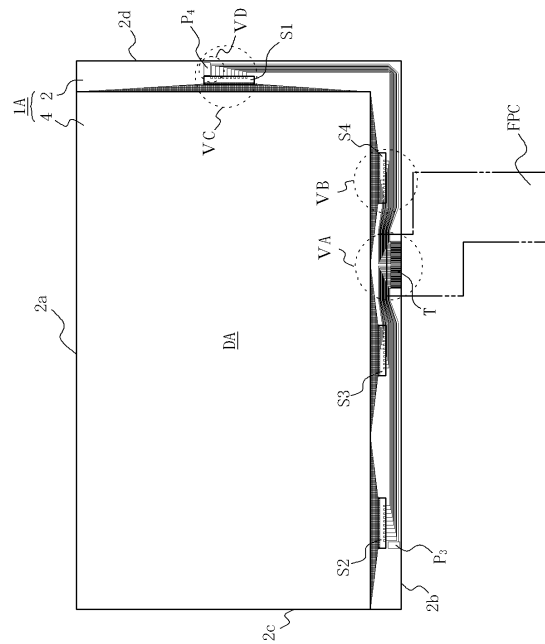
【図 2】



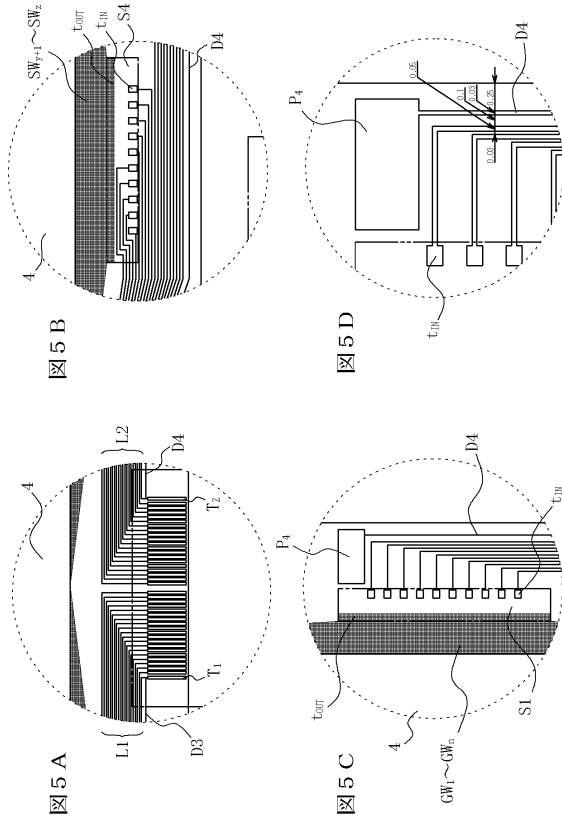
【図 3】



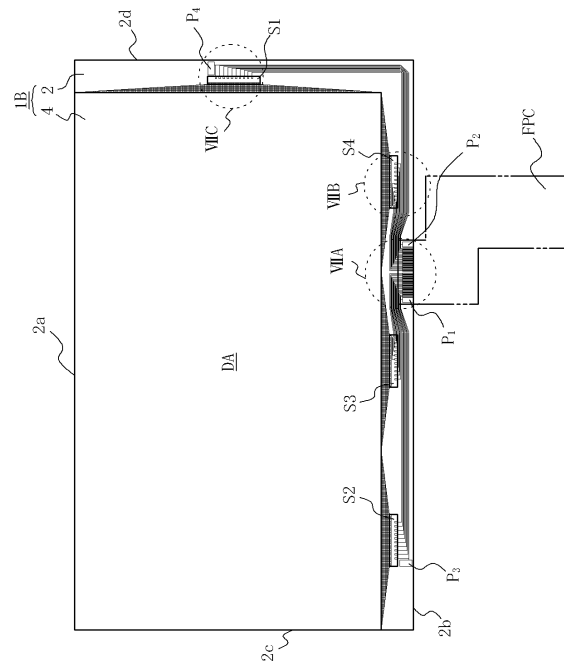
【図 4】



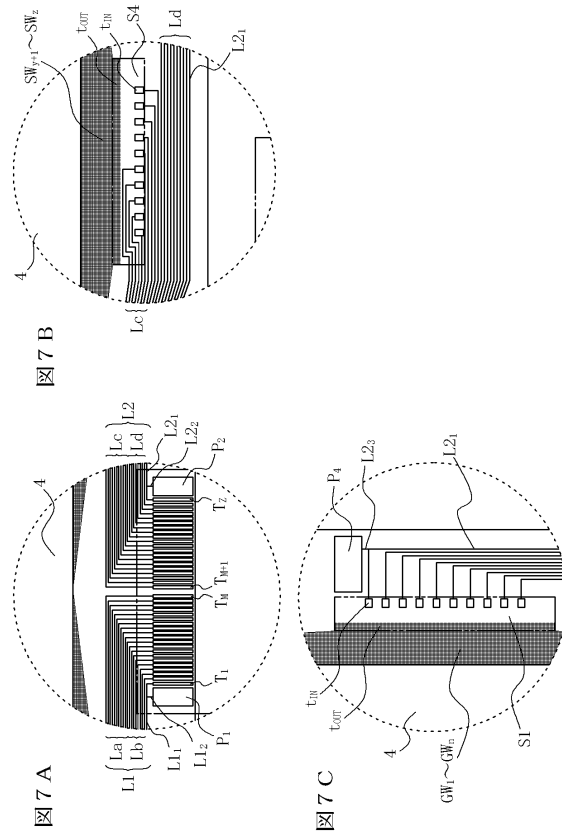
【図 5】



【図 6】



【図 7】



【図 9】

図9A

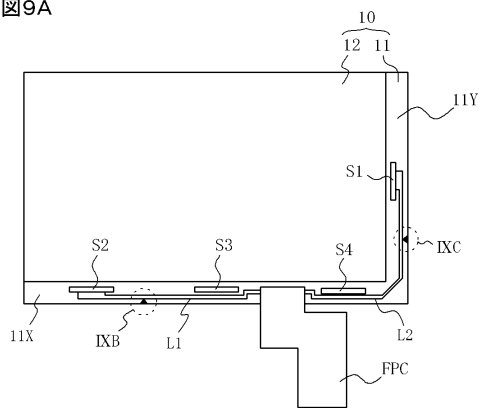


図9B

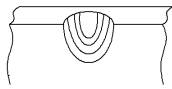
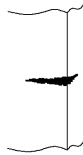


図9C



【図 10】

図10A

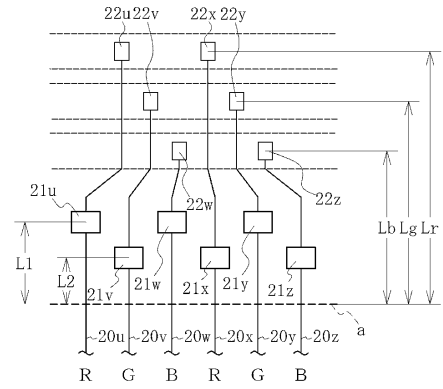
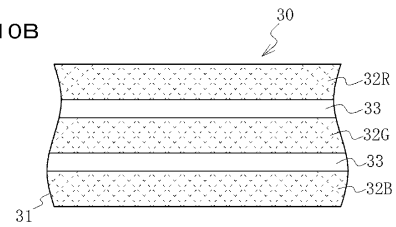


図10B



フロントページの続き

Fターム(参考) 5G435 AA17 AA19 BB12 EE37 EE41 EE43 EE47 KK05 KK10