

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-369622

(43) 公開日 平成4年(1992)12月22日

(51) Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 0 2 F	1/1345	9018-2K		
	1/133	5 5 0	7820-2K	

審査請求 未請求 請求項の数 5 (全 12 頁)

(21) 出願番号 特願平3-147084

(22) 出願日 平成3年(1991)6月19日

(71) 出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72) 発明者 山本 英明

千葉県茂原市早野3300番地 株式会社日立
製作所茂原工場内

(72) 発明者 小下 敏之

千葉県茂原市早野3300番地 株式会社日立
製作所茂原工場内

(72) 発明者 田部 貴雄

千葉県茂原市早野3300番地 株式会社日立
製作所茂原工場内

(74) 代理人 弁理士 中村 純之助 (外1名)

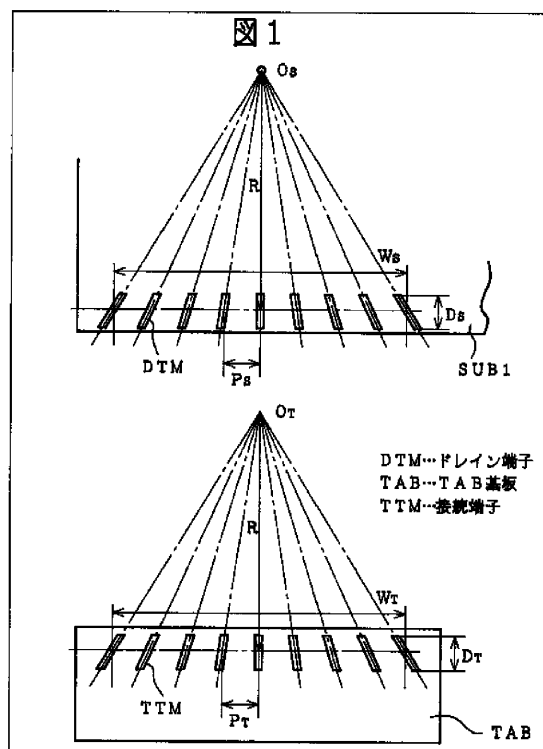
最終頁に続く

(54) 【発明の名称】 液晶表示基板、液晶表示パネルおよび液晶表示装置

(57) 【要約】

【目的】 TAB 基板の接続端子と信号線端子との接続不良が発生するのを防止する。

【構成】 ドレイン端子 DTM を複数のドレイン端子 DTM 群に分け、ドレイン端子 DTM 群のそれぞれのドレイン端子 DTM の延長線を一点 O_s に収束し、TAB 基板 TAB に形成されかつドレイン端子 DTM 群と接続される接続端子 TTM 群のそれぞれの接続端子 TTM の延長線を一点 O_T に収束する。



【特許請求の範囲】

【請求項1】 信号線端子群のそれぞれの信号線端子の延長線が一点に収束したことを特徴とする液晶表示基板。

【請求項2】 信号線端子群のそれぞれの信号線端子の延長線が一点に収束した液晶表示基板を有することを特徴とする液晶表示パネル。

【請求項3】 信号線端子群のそれぞれの信号線端子の延長線が一点に収束した液晶表示基板を有する液晶表示パネルと、上記液晶表示パネルに映像信号を与えるための映像信号駆動回路と、上記液晶表示パネルに走査信号を与えるための走査回路と、上記映像信号駆動回路、上記走査回路に上記液晶表示パネル用の情報を与えるための制御回路とを具備することを特徴とする液晶表示装置。

【請求項4】 上記映像信号駆動回路、上記走査回路の回路素子が回路基板に実装され、上記回路基板に形成されかつ上記信号線端子群と接続された接続端子群のそれぞれの接続端子の延長線が一点に収束したことを特徴とする請求項3に記載の液晶表示装置。

【請求項5】 上記接続端子の長さを上記信号線端子の長さよりも短くしたことを特徴とする請求項4に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は液晶表示基板、液晶表示パネルおよび液晶表示装置、特に薄膜トランジスタ等を使用したアクティブ・マトリクス方式の液晶表示基板、液晶表示パネルおよび液晶表示装置に関する。

【0002】

【従来の技術】 アクティブ・マトリクス方式の液晶表示装置は、マトリクス状に配列された複数の画素電極のそれぞれに対応して非線形素子（スイッチング素子）を設けたものである。各画素における液晶は理論的には常時駆動（デューティ比1.0）されているので、時分割駆動方式を採用している、いわゆる単純マトリクス方式と比べてアクティブ方式はコントラストが良く、特にカラー液晶表示装置では欠かせない技術となりつつある。スイッチング素子として代表的なものとしては薄膜トランジスタ（TFT）がある。

【0003】 図15は従来のアクティブ・マトリクス方式の液晶表示装置（日経エレクトロニクス495号（1990年）122～136頁）を示す概略分解図である。図において、SUB1は下部透明ガラス基板、GLは下部透明ガラス基板SUB1に形成された走査信号線、DLは走査信号線GL上に絶縁膜を介して形成された映像信号線、GTM1は走査信号線GLに接続されたゲート端子、DTM1は映像信号線DLに接続されたドレイン端子、TABはTAB基板、DCEはTAB基板TABに実装された駆動回路素子、CTMは駆動回路素子DCEに接続された接続端子、TTM1は駆動回路素子DCEに接続された接続端子で、接続端子TTM1の

ピッチ P_T 、長さ D_T はドレイン端子DTM1のピッチ P_s 、長さ D_s に等しく、ピッチ P_T 、 P_s は0.2mmであり、長さ D_T 、 D_s は2～3mmであり、また接続端子TTM1の数は160であり、両端の接続端子TTM1間の距離 W_T は32mmである。そして、接続端子TTM1は異方性導電膜を介してドレイン端子DTM1に接続される。

【0004】

【発明が解決しようとする課題】 このような液晶表示装置においては、TAB基板TABはポリイミド樹脂フィルム等の有機フィルムからなるから、TAB基板TABの製造工程において伸縮しやすく、距離 W_T の誤差が±0.1mm以上にもなるから、接続端子TTM1とドレイン端子DTM1とのピッチが合わなくなり、接続端子TTM1とドレイン端子DTM1との接続不良が発生する。

【0005】 この発明は上述の課題を解決するためになされたもので、回路基板の接続端子と信号線端子との接続不良が発生することがない液晶表示基板、液晶表示パネルおよび液晶表示装置を提供することを目的とする。

【0006】

【課題を解決するための手段】 この目的を達成するため、この発明においては、液晶表示基板において、信号線端子群のそれぞれの信号線端子の延長線を一点に収束する。

【0007】 また、液晶表示パネルにおいて、信号線端子群のそれぞれの信号線端子の延長線が一点に収束した液晶表示基板を設ける。

【0008】 また、液晶表示装置において、信号線端子群のそれぞれの信号線端子の延長線が一点に収束した液晶表示基板を有する液晶表示パネルと、上記液晶表示パネルに映像信号を与えるための映像信号駆動回路と、上記液晶表示パネルに走査信号を与えるための走査回路と、上記映像信号駆動回路、上記走査回路に上記液晶表示パネル用の情報を与えるための制御回路とを設ける。

【0009】 この場合、上記映像信号駆動回路、上記走査回路の回路素子を回路基板に実装し、上記回路基板に形成されかつ上記信号線端子群と接続された接続端子群のそれぞれの接続端子の延長線を一点に収束する。

【0010】 この場合、上記接続端子の長さを上記信号線端子の長さよりも短くする。

【0011】

【作用】 この液晶表示基板、液晶表示パネルおよび液晶表示装置においては、両端の接続端子間の距離の誤差が生じたとしても、信号線端子と接続端子とを接続するときに、回路基板を信号線端子に接続された信号線の方向にずらせば、全ての接続端子を信号線端子上に位置させることができる。

【0012】 また、接続端子の長さを信号線端子の長さよりも短くすれば、回路基板を信号線側にずらしたとし

ても、回路基板の端部が保護膜上に乗り上げることがない。

【0013】

【実施例】以下、この発明の構成について、アクティブ・マトリクス方式のカラー液晶表示装置の液晶表示基板、液晶表示パネルにこの発明を適用した実施例とともに説明する。

【0014】なお、実施例を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

【0015】図2はこの発明が適用されるアクティブ・マトリクス方式カラー液晶表示装置の一画素とその周辺を示す平面図、図3は図2の3-3切断線における断面と表示パネルのシール部付近の断面を示す図、図4は図2の4-4切断線における断面図である。また、図7(要部平面図)には図2に示す画素を複数配置したときの平面図を示す。

【0016】(画素配置)図2に示すように、各画素は隣接する2本の走査信号線(ゲート信号線または水平信号線)GLと、隣接する2本の映像信号線(ドレイン信号線または垂直信号線)DLとの交差領域内(4本の信号線で囲まれた領域内)に配置されている。各画素は薄膜トランジスタTFT、透明画素電極ITO1および保持容量素子Caddを含む。走査信号線GLは列方向に延在し、行方向に複数本配置されている。映像信号線DLは行方向に延在し、列方向に複数本配置されている。

【0017】(表示部断面全体構造)図3に示すように、液晶LCを基準に下部透明ガラス基板SUB1側には薄膜トランジスタTFTおよび透明画素電極ITO1が形成され、上部透明ガラス基板SUB2側にはカラーフィルタFIL、遮光用ブラックマトリクスパターンを形成する遮光膜BMが形成されている。下部透明ガラス基板SUB1はたとえば1.1mm程度の厚さで構成されている。また、透明ガラス基板SUB1、SUB2の両面にはディップ処理等によって形成された酸化シリコン膜SIOが設けられている。このため、透明ガラス基板SUB1、SUB2の表面に鋭い傷があったとしても、鋭い傷を酸化シリコン膜SIOで覆うことができるので、走査信号線GL、カラーフィルタFILが損傷するのを有効に防止することができる。

【0018】図3の中央部は一画素部分の断面を示しているが、左側は透明ガラス基板SUB1、SUB2の左側縁部分で外部引出配線の存在する部分の断面を示しており、右側は透明ガラス基板SUB1、SUB2の右側縁部分で外部引出配線の存在しない部分の断面を示している。

【0019】図3の左側、右側のそれぞれに示すシール材SLは液晶LCを封止するように構成されており、液晶封入口(図示せず)を除く透明ガラス基板SUB1、SUB2の縁周囲全体に沿って形成されている。シール

材SLはたとえばエポキシ樹脂で形成されている。

【0020】上部透明ガラス基板SUB2側の共通透明画素電極ITO2は、少なくとも一個所において、銀ペースト材SILによって下部透明ガラス基板SUB1側に形成された外部引出配線に接続されている。この外部引出配線はゲート電極GT、ソース電極SD1、ドレイン電極SD2のそれぞれと同一製造工程で形成される。

【0021】配向膜ORI1、ORI2、透明画素電極ITO1、共通透明画素電極ITO2、保護膜PSV1、PSV2、絶縁膜GIのそれぞれの層は、シール材SLの内側に形成される。偏光板POL1、POL2はそれぞれ下部透明ガラス基板SUB1、上部透明ガラス基板SUB2の外側の表面に形成されている。

【0022】液晶LCは液晶分子の向きを設定する下部配向膜ORI1と上部配向膜ORI2との間に封入され、シール部SLによってシールされている。

【0023】下部配向膜ORI1は下部透明ガラス基板SUB1側の保護膜PSV1の上部に形成される。

【0024】上部透明ガラス基板SUB2の内側(液晶LC側)の表面には、遮光膜BM、カラーフィルタFIL、保護膜PSV2、共通透明画素電極ITO2(COM)および上部配向膜ORI2が順次積層して設けられている。

【0025】この液晶表示装置は下部透明ガラス基板SUB1側、上部透明ガラス基板SUB2側のそれぞれの層を別々に形成し、その後上下透明ガラス基板SUB1、SUB2を重ね合わせ、両者間に液晶LCを封入することによって組み立てられる。

【0026】(薄膜トランジスタTFT)薄膜トランジスタTFTは、ゲート電極GTに正のバイアスを印加すると、ソース・ドレイン間のチャネル抵抗が小さくなり、バイアスを零にすると、チャネル抵抗は大きくなるように動作する。

【0027】各画素の薄膜トランジスタTFTは、画素内において2つ(複数)に分割され、薄膜トランジスタ(分割薄膜トランジスタ)TFT1およびTFT2で構成されている。薄膜トランジスタTFT1、TFT2のそれぞれは実質的に同一サイズ(チャネル長、幅が同じ)で構成されている。この分割された薄膜トランジスタTFT1、TFT2のそれぞれは、主にゲート電極GT、ゲート絶縁膜GI、i型(真性、intrinsic、導電型決定不純物がドーピングされていない)非晶質シリコン(Si)からなるi型半導体層AS、一対のソース電極SD1、ドレイン電極SD2で構成されている。なお、ソース・ドレインは本来その間のバイアス極性によって決まり、この液晶表示装置の回路ではその極性は動作中反転するので、ソース・ドレインは動作中入れ替わると理解されたい。しかし、以下の説明でも、便宜上一方をソース、他方をドレインと固定して表現する。

【0028】(ゲート電極GT)ゲート電極GTは図8

(図2の第2導電膜g2およびi型半導体層ASのみを描いた平面図)に詳細に示すように、走査信号線GLから垂直方向(図2および図8において上方向)に突出する形状で構成されている(T字形状に分岐されている)。ゲート電極GTは薄膜トランジスタTFT1、TFT2のそれぞれの形成領域まで突出するように構成されている。薄膜トランジスタTFT1、TFT2のそれぞれのゲート電極GTは、一体に(共通ゲート電極として)構成されており、走査信号線GLに連続して形成されている。ゲート電極GTは、単層の第2導電膜g2で構成する。第2導電膜g2はたとえばスパッタで形成されたアルミニウム膜を用い、1000~5500Å程度の膜厚で形成する。また、ゲート電極GT上にはアルミニウムの陽極酸化膜AOFが設けられている。

【0029】このゲート電極GTは図2、図3および図8に示されているように、i型半導体層ASを完全に覆うよう(下方からみて)それより大き目に形成される。したがって、下部透明ガラス基板SUB1の下方に蛍光灯等のバックライトBLを取り付けた場合、この不透明なアルミニウムからなるゲート電極GTが影となって、i型半導体層ASにはバックライト光が当たらず、光照射による導電現象すなわち薄膜トランジスタTFTのオフ特性劣化は起きにくくなる。なお、ゲート電極GTの本来の大きさは、ソース電極SD1とドレイン電極SD2との間をまたがるに最低限必要な(ゲート電極GTとソース電極SD1、ドレイン電極SD2との位置合わせ余裕分も含めて)幅を持ち、チャネル幅Wを決めるその奥行き長さはソース電極SD1とドレイン電極SD2との間の距離(チャネル長)Lとの比、すなわち相互コンダクタンスgmを決定するファクタW/Lをいくつにするかによって決められる。

【0030】この液晶表示装置におけるゲート電極GTの大きさはもちろん、上述した本来の大きさよりも大きくされる。

【0031】(走査信号線GL) 走査信号線GLは第2導電膜g2で構成されている。この走査信号線GLの第2導電膜g2はゲート電極GTの第2導電膜g2と同一製造工程で形成され、かつ一体に構成されている。また、走査信号線GL上にはアルミニウムの陽極酸化膜AOFが設けられている。

【0032】(絶縁膜GI) 絶縁膜GIは薄膜トランジスタTFT1、TFT2のそれぞれのゲート絶縁膜として使用される。絶縁膜GIはゲート電極GTおよび走査信号線GLの上層に形成されている。絶縁膜GIはたとえばプラズマCVDで形成された窒化シリコン膜を用い、3000Å程度の膜厚で形成する。

【0033】(i型半導体層AS) i型半導体層ASは、図8に示すように、複数に分割された薄膜トランジスタTFT1、TFT2のそれぞれのチャネル形成領域として使用される。i型半導体層ASは非晶質シリコン

膜または多結晶シリコン膜で形成し、約1800Å程度の膜厚で形成する。

【0034】このi型半導体層ASは、供給ガスの成分を変えてSi₃N₄からなるゲート絶縁膜として使用される絶縁膜GIの形成に連続して、同じプラズマCVD装置で、しかもそのプラズマCVD装置から外部に露出することなく形成される。また、オーミックコンタクト用のリン(P)を2.5%ドーピングしたN(+)型半導体層d0(図3)も同様に連続して約400Åの厚さに形成される。しかる後、下部透明ガラス基板SUB1はCVD装置から外に取り出され、写真処理技術によりN(+)型半導体層d0およびi型半導体層ASは図2、図3および図8に示すように独立した島状にパターニングされる。

【0035】i型半導体層ASは、図2および図8に詳細に示すように、走査信号線GLと映像信号線DLとの交差部(クロスオーバー部)の両者間にも設けられている。この交差部のi型半導体層ASは交差部における走査信号線GLと映像信号線DLとの短絡を低減するように構成されている。

【0036】(ソース電極SD1、ドレイン電極SD2) 複数に分割された薄膜トランジスタTFT1、TFT2のそれぞれのソース電極SD1とドレイン電極SD2とは、図2、図3および図9(図2の第1~第3導電膜d1~d3のみを描いた平面図)で詳細に示すように、i型半導体層AS上にそれぞれ離隔して設けられている。

【0037】ソース電極SD1、ドレイン電極SD2のそれぞれは、N(+)型半導体層d0に接触する下層側から、第1導電膜d1、第2導電膜d2、第3導電膜d3を順次重ね合わせて構成されている。ソース電極SD1の第1導電膜d1、第2導電膜d2および第3導電膜d3は、ドレイン電極SD2の第1導電膜d1、第2導電膜d2および第3導電膜d3と同一製造工程で形成される。

【0038】第1導電膜d1はスパッタで形成したクロム膜を用い、500~1000Åの膜厚(この液晶表示装置では、600Å程度の膜厚)で形成する。クロム膜は膜厚を厚く形成するとストレスが大きくなるので、2000Å程度の膜厚を越えない範囲で形成する。クロム膜はN(+)型半導体層d0との接触が良好である。クロム膜は後述する第2導電膜d2のアルミニウムがN(+)型半導体層d0に拡散することを防止するいわゆるバリア層を構成する。第1導電膜d1としては、クロム膜の他に高融点金属(Mo、Ti、Ta、W)膜、高融点金属シリサイド(MoSi₂、TiSi₂、TaSi₂、WSi₂)膜で形成してもよい。

【0039】第1導電膜d1を写真処理でパターニングした後、同じ写真処理用マスクを用いて、あるいは第1導電膜d1をマスクとして、N(+)型半導体層d0が除

去される。つまり、i型半導体層AS上に残っていたN(+)型半導体層d0は第1導電膜d1以外の部分がセルフアラインで除去される。このとき、N(+)型半導体層d0はその厚さは全て除去されるようエッチされるので、i型半導体層ASも若干その表面部分でエッチされるが、その程度はエッチ時間で制御すればよい。

【0040】しかる後、第2導電膜d2がアルミニウムのスパッタリングで3000~5500Åの膜厚（この液晶表示装置では、3500Å程度の膜厚）に形成される。アルミニウム膜はクロム膜に比べてストレスが小さく、厚い膜厚に形成することが可能で、ソース電極SD1、ドレイン電極SD2および映像信号線DLの抵抗値を低減するように構成されている。第2導電膜d2としてはアルミニウム膜の他にシリコンや銅(Cu)を添加物として含有させたアルミニウム膜で形成してもよい。

【0041】第2導電膜d2の写真処理技術によるパターンニング後、第3導電膜d3が形成される。この第3導電膜d3はスパッタリングで形成された透明導電膜(Indium-Tin-Oxide ITO:ネサ膜)からなり、1000~2000Åの膜厚（この液晶表示装置では、1200Å程度の膜厚）で形成される。この第3導電膜d3はソ

ース電極SD1、ドレイン電極SD2および映像信号線DLを構成するとともに、透明画素電極ITO1を構成するようになっている。

【0042】ソース電極SD1の第1導電膜d1、ドレイン電極SD2の第1導電膜d1のそれぞれは、上層の第2導電膜d2および第3導電膜d3に比べて内側に（チャンネル領域内に）大きく入り込んでいる。つまり、これらの部分における第1導電膜d1は第2導電膜d2、第3導電膜d3とは無関係に薄膜トランジスタTF

Tのチャンネル長Lを規定できるように構成されている。

【0043】ソース電極SD1は透明画素電極ITO1に接続されている。ソース電極SD1は、i型半導体層ASの段差形状（第1導電膜g1の膜厚、N(+)型半導体層d0の膜厚およびi型半導体層ASの膜厚を加算した膜厚に相当する段差）に沿って構成されている。具体的には、ソース電極SD1は、i型半導体層ASの段差形状に沿って形成された第1導電膜d1と、この第1導電膜d1の上部にそれに比べて透明画素電極ITO1と接続される側を小さいサイズで形成した第2導電膜d2と、この第2導電膜d2から露出する第1導電膜d1に接続された第3導電膜d3とで構成されている。ソース電極SD1の第2導電膜d2は第1導電膜d1のクロム膜がストレスの増大から厚く形成できず、i型半導体層ASの段差形状を乗り越えられないので、このi型半導体層ASを乗り越えるために構成されている。つまり、第2導電膜d2は厚く形成することでステップカバレッジを向上している。第2導電膜d2は厚く形成できるので、ソース電極SD1の抵抗値（ドレイン電極SD2や映像信号線DLについても同様）の低減に大きく寄与し

ている。第3導電膜d3は第2導電膜d2のi型半導体層ASに起因する段差形状を乗り越えることができないので、第2導電膜d2のサイズを小さくすることで、露出する第1導電膜d1に接続するように構成されている。第1導電膜d1と第3導電膜d3とは接着性が良好であるばかりか、両者間の接続部の段差形状が小さいので、ソース電極SD1と透明画素電極ITO1とを確実に接続することができる。

【0044】（透明画素電極ITO1）透明画素電極ITO1は液晶表示部の画素電極の一方を構成する。

【0045】透明画素電極ITO1は薄膜トランジスタTFT1のソース電極SD1および薄膜トランジスタTFT2のソース電極SD1に接続されている。このため、薄膜トランジスタTFT1、TFT2のうちの1つたとえば薄膜トランジスタTFT1に欠陥が発生したときには、製造工程においてレーザ光等によって、薄膜トランジスタTFT1と映像信号線DLとを切り離すとともに、薄膜トランジスタTFT1と透明画素電極ITO1とを切り離せば、点欠陥、線欠陥にはならず、しかも2つの薄膜トランジスタTFT1、TFT2に同時に欠陥が発生することはほとんどないから、点欠陥が発生する確率を極めて小さくすることができる。

【0046】（保護膜PSV1）薄膜トランジスタTFTおよび透明画素電極ITO1上には保護膜PSV1が設けられている。保護膜PSV1は主に薄膜トランジスタTFTを湿気等から保護するために形成されており、透明性が高くしかも耐湿性の良いものを使用する。保護膜PSV1はたとえばプラズマCVD装置で形成した酸化シリコン膜や窒化シリコン膜で形成されており、8000Å程度の膜厚で形成する。

【0047】（ゲート端子GTM、ドレイン端子DTM）図5に示すように、ゲート端子GTMは第1導電膜g1と第3導電膜d3とで構成されている。

【0048】また、図6に示すように、ドレイン端子DTMは第1導電膜g1と第3導電膜d3とで構成されている。

【0049】第1導電膜g1はたとえばスパッタで形成されたクロム(Cr)膜を用い、1000Å程度の膜厚で形成する。

【0050】図1、図14に示すように、ゲート端子GTM、ドレイン端子DTMが複数の信号線端子群に分けられ、たとえばドレイン端子DTM群のそれぞれのドレイン端子DTMの延長線が一点Osに収束している。また、TAB基板TABに形成されかつドレイン端子DTM群と接続される接続端子TTM群のそれぞれの接続端子TTMの延長線は一点Otに収束している。したがって、両端の接続端子TTM間の距離Wtの誤差が生じたとしても、ドレイン端子DTMと接続端子TTMとを接続するときに、TAB基板TABをドレイン端子DTMに接続された映像信号線DLの方向にずらせば、全ての

接続端子TTMをドレイン端子DTM上に位置させることができるから、接続端子TTMとドレイン端子DTMとの接続不良が発生することがない。ここで、ドレイン端子DTM郡の両端のドレイン端子DTM間の距離を W_s 、点 O_s 、 O_T とドレイン端子DTM郡、接続端子TTM郡の中央部のドレイン端子DTM、接続端子TTMの中央との距離を R としたとき、 W_T/W_s が次式で示す範囲内であれば、TAB基板TABをずらすことにより、全ての接続端子TTMをドレイン端子DTM上に位置させることができる。

$$【0051】 1 - (D_s - D_T) / 2R < W_T / W_s < 1 + (D_s - D_T) / 2R$$

たとえば、長さ D_T が2mm、長さ D_s が3mm、距離 R が10cm、距離 W_s が32mmのときには、距離 W_T の誤差が ± 0.16 mm以内であれば、TAB基板TABをずらすことにより、全ての接続端子TTMをドレイン端子DTM上に位置させることができる。

【0052】また、長さ D_T は長さ D_s よりも短いから、TAB基板TABを映像信号線DL側にずらしたとしても、TAB基板TABの端部が保護膜PSV1上に乗り上げることがないから、ドレイン端子DTMと接続端子TTMとを確実に接続することができる。

【0053】なお、他のドレイン端子DTM郡部、ゲート端子GTM郡部の構成も上述したドレイン端子DTM郡部の構成と同様である。(遮光膜BM) 上部透明ガラス基板SUB2側には、外部光(図3では上方からの光)がチャネル形成領域として使用されるi型半導体層ASに入射されないように、遮光膜BMが設けられ、遮光膜BMは図10のハッチングに示すようなパターンとされている。なお、図10は図2におけるITO膜からなる第3導電膜d3、カラーフィルタFILおよび遮光膜BMのみを描いた平面図である。遮光膜BMは光に対する遮蔽性が高いたとえばアルミニウム膜やクロム膜等で形成されており、この液晶表示装置ではクロム膜がスパッタリングで1300Å程度の膜厚に形成される。

【0054】したがって、薄膜トランジスタTFT1、TFT2のi型半導体層ASは上下にある遮光膜BMおよび大き目のゲート電極GTによってサンドイッチにされ、その部分は外部の自然光やバックライト光が当たらなくなる。遮光膜BMは図10のハッチング部分で示すように、画素の周囲に形成され、つまり遮光膜BMは格子状に形成され(ブラックマトリクス)、この格子で1画素の有効表示領域が仕切られている。したがって、各画素の輪郭が遮光膜BMによってはっきりとし、コントラストが向上する。つまり、遮光膜BMはi型半導体層ASに対する遮光とブラックマトリクスとの2つの機能をもつ。

【0055】また、透明画素電極ITO1のラビング方向の根本側のエッジ部に対向する部分(図2右下部分)が遮光膜BMによって遮光されているから、上記部分に

ドメインが発生したとしても、ドメインが見えないので、表示特性が劣化することはない。

【0056】なお、バックライトを上部透明ガラス基板SUB2側に取り付け、下部透明ガラス基板SUB1を観察側(外部露出側)とすることもできる。

【0057】(共通透明画素電極ITO2) 共通透明画素電極ITO2は、下部透明ガラス基板SUB1側に画素ごとに設けられた透明画素電極ITO1に対向し、液晶LCの光学的な状態は各画素電極ITO1と共通透明画素電極ITO2との間の電位差(電界)にตอบสนองして変化する。この共通透明画素電極ITO2にはコモン電圧 V_{com} が印加されるように構成されている。コモン電圧 V_{com} は映像信号線DLに印加されるロウレベルの駆動電圧 V_{dmin} とハイレベルの駆動電圧 V_{dmax} との中間電位である。

【0058】(カラーフィルタFIL) カラーフィルタFILはアクリル樹脂等の樹脂材料で形成される染色基材に染料を着色して構成されている。カラーフィルタFILは画素に対向する位置にストライプ状に形成される(図11)、染め分けられている(図11は図7の第3導電膜層d3、遮光膜BMおよびカラーフィルタFILのみを描いたもので、B、R、Gの各カラーフィルタFILはそれぞれ、 45° 、 135° 、クロスのハッチを施してある)。カラーフィルタFILは図10に示すように透明画素電極ITO1の全てを覆うように大き目に形成され、遮光膜BMはカラーフィルタFILおよび透明画素電極ITO1のエッジ部分と重なるよう透明画素電極ITO1の周縁部より内側に形成されている。

【0059】カラーフィルタFILは次のように形成することができる。まず、上部透明ガラス基板SUB2の表面に染色基材を形成し、フォトリソグラフィ技術で赤色フィルタ形成領域以外の染色基材を除去する。この後、染色基材を赤色染料で染め、固着処理を施し、赤色フィルタRを形成する。つぎに、同様な工程を施すことによって、緑色フィルタG、青色フィルタBを順次形成する。

【0060】(保護膜PSV2) 保護膜PSV2はカラーフィルタFILを異なる色に染め分けた染料が液晶LCに漏れることを防止するために設けられている。保護膜PSV2はたとえばアクリル樹脂、エポキシ樹脂等の透明樹脂材料で形成されている。

【0061】(表示装置全体等価回路) 表示マトリクス部の等価回路とその周辺回路の結線図を図12に示す。同図は回路図ではあるが、実際の幾何学的配置に対応して描かれている。ARは複数の画素を二次元状に配列したマトリクス・アレイである。

【0062】図中、Xは映像信号線DLを意味し、添字G、BおよびRがそれぞれ緑、青および赤画素に対応して付加されている。Yは走査信号線GLを意味し、添字1、2、3、…、endは走査タイミングの順序に従って

付加されている。

【0063】映像信号線X（添字省略）は交互に上側（または奇数）映像信号駆動回路He、下側（または偶数）映像信号駆動回路Hoに接続されている。

【0064】走査信号線Y（添字省略）は垂直走査回路Vに接続されている。

【0065】SUPは1つの電圧源から複数の分圧した安定化された電圧源を得るための電源回路やホスト（上位演算処理装置）からのCRT（陰極線管）用の情報をTFT液晶表示装置用の情報に交換する回路を含む回路である。

【0066】（保持容量素子Caddの構造）透明画素電極ITO1は、薄膜トランジスタTFTと接続される端部と反対側の端部において、隣りの走査信号線GLと重なるように形成されている。この重ね合わせは、図4からも明らかなように、透明画素電極ITO1を一方の電極PL2とし、隣りの走査信号線GLを他方の電極PL1とする保持容量素子（静電容量素子）Caddを構成する。この保持容量素子Caddの誘電体膜は、薄膜トランジスタTFTのゲート絶縁膜として使用される絶縁膜GIおよび陽極酸化膜AOFで構成されている。

【0067】保持容量素子Caddは、図8からも明らかなように、走査信号線GLの第2導電膜g2の幅を広げた部分に形成されている。なお、映像信号線DLと交差する部分の第2導電膜g2は映像信号線DLとの短絡の確率を小さくするため細くされている。

【0068】保持容量素子Caddを構成するために重ね合わされる透明画素電極ITO1と電極PL1との間の一部には、ソース電極SD1と同様に、段差形状を乗り越える際に透明画素電極ITO1が断線しないように、第1導電膜d1および第2導電膜d2で構成された島領域が設けられている。この島領域は、透明画素電極ITO1の面積（開口率）を低下しないように、できる限り小さく構成する。（保持容量素子Caddの等価回路とその動作）図2に示される画素の等価回路を図13に示す。図13において、Cgsは薄膜トランジスタTFTのゲート電極GTとソース電極SD1との間に形成される寄生容量である。寄生容量Cgsの誘電体膜は絶縁膜GIである。Cpixは透明画素電極ITO1（PIX）と共通透明画素電極ITO2（COM）との間に形成される液晶容量である。液晶容量Cpixの誘電体膜は液晶LC、保護膜PSV1および配向膜ORI1、ORI2である。Vlcは中点電位である。

【0069】保持容量素子Caddは、薄膜トランジスタTFTがスイッチングするとき、中点電位（画素電極電位）Vlcに対するゲート電位変化ΔVgの影響を低減するように働く。この様子を式で表すと、次式のようになる。

【0070】

$$\Delta V_{lc} = \{C_{gs} / (C_{gs} + C_{add} + C_{pix})\} \times \Delta V_g$$

ここで、ΔVlcはΔVgによる中点電位の変化分を表わす。この変化分ΔVlcは液晶LCに加わる直流成分の原因となるが、保持容量Caddを大きくすればする程、その値を小さくすることができる。また、保持容量素子Caddは放電時間を長くする作用もあり、薄膜トランジスタTFTがオフした後の映像情報を長く蓄積する。液晶LCに印加される直流成分の低減は、液晶LCの寿命を向上し、液晶表示画面の切り替え時に前の画像が残るいわゆる焼き付きを低減することができる。

【0071】前述したように、ゲート電極GTはi型半導体層ASを完全に覆うよう大きくされている分、ソース電極SD1、ドレイン電極SD2とのオーバーラップ面積が増え、したがって寄生容量Cgsが大きくなり、中点電位Vlcはゲート（走査）信号Vgの影響を受け易くなるという逆効果が生じる。しかし、保持容量素子Caddを設けることによりこのデメリットも解消することができる。

【0072】保持容量素子Caddの保持容量は、画素の書込特性から、液晶容量Cpixに対して4～8倍（4・Cpix<Cadd<8・Cpix）、寄生容量Cgsに対して8～32倍（8・Cgs<Cadd<32・Cgs）程度の値に設定する。

【0073】（保持容量素子Cadd電極線の結線方法）保持容量電極線としてのみ使用される初段の走査信号線GL（Y0）は、図12に示すように、共通透明画素電極ITO2（Vcom）に接続する。共通透明画素電極ITO2は、図3に示すように、液晶表示装置の周縁部において銀ペースト材SLによって外部引出配線に接続されている。しかも、この外部引出配線の一部の導電膜（g1およびg2）は走査信号線GLと同一製造工程で構成されている。この結果、最終段の保持容量電極線GLは、共通透明画素電極ITO2に簡単に接続することができる。

【0074】初段の保持容量電極線Y0は最終段の走査信号線Yendに接続、Vcom以外の直流電位点（交流接地点）に接続するかまたは垂直走査回路Vから1つ余分に走査パルスY0を受けように接続してもよい。

【0075】つぎに、この発明に係る液晶表示装置の製造方法について説明する。まず、7059ガラス（商品名）からなる下部透明ガラス基板SUB1の両面に酸化シリコン膜SIOをディップ処理により設けたのち、500℃、60分間のベークを行なう。つぎに、下部透明ガラス基板SUB1上に膜厚が1100Åのクロムからなる第1導電膜g1をスパッタリングにより設ける。つぎに、エッチング液として硝酸第2セリウムアンモニウム溶液を使用した写真蝕刻技術で第1導電膜g1を選択的にエッチングすることによって、ゲート端子GTMおよびドレイン端子DTMを形成するとともに、ゲート端子GTMを接続する陽極酸化バスライン（図示せず）、陽極酸化バスラインに接続された陽極酸化パッド（図示

せず)を形成する。つぎに、レジストを剥離液S502(商品名)で除去したのち、O₂アッシャーを1分間行なう。つぎに、膜厚が2800Åのアルミニウム-パラジウム、アルミニウム-シリコン、アルミニウム-シリコン-チタン、アルミニウム-シリコン-銅等からなる第2導電膜g2をスパッタリングにより設ける。つぎに、エッチング液としてリン酸と硝酸と酢酸との混酸を使用した写真蝕刻技術で第2導電膜g2を選択的にエッチングすることにより、走査信号線GL、ゲート電極GTおよび保持容量素子Caddの電極PL1を形成する。つぎに、ドライエッチング装置にSF₆ガスを導入して、シリコン等の残渣を除去したのち、レジストを除去する。つぎに、陽極酸化用のレジストを設ける。つぎに、3%酒石酸をアンモニアによりpH7.0±0.5に調整した溶液をエチレングリコール液で1:9に稀釈した液からなる陽極酸化液中に下部透明ガラス基板SUB1の陽極酸化すべき部分を浸漬し、陽極酸化パッドに陽極酸化電圧を印加することにより、第2導電膜g2を陽極酸化して、走査信号線GL上およびゲート電極GT上に膜厚が約1800Åの陽極酸化膜AOFを設ける。つぎに、プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が2000Åの窒化シリコン膜を設け、プラズマCVD装置にシランガス、水素ガスを導入して、膜厚が2000Åのi型非晶質シリコン膜を設けたのち、プラズマCVD装置に水素ガス、ホスフィンガスを導入して、膜厚が300ÅのN(+)型非晶質シリコン膜を設ける。つぎに、ドライエッチングガスとしてSF₆、CCl₄を使用した写真蝕刻技術でN(+)型非晶質シリコン膜、i型非晶質シリコン膜を選択的にエッチングすることにより、i型半導体層ASを形成する。つぎに、レジストを除去したのち、ドライエッチングガスとしてSF₆を使用した写真蝕刻技術で、窒化シリコン膜を選択的にエッチングすることによって、絶縁膜GIを形成する。つぎに、レジストを除去したのち、膜厚が1000Åのクロムからなる第1導電膜d1をスパッタリングにより設ける。つぎに、写真蝕刻技術で第1導電膜d1を選択的にエッチングすることにより、映像信号線DL、ソース電極SD1、ドレイン電極SD2の第1層を形成する。つぎに、レジストを除去する前に、ドライエッチング装置にCCl₄、SF₆を導入して、N(+)型非晶質シリコン膜を選択的にエッチングすることにより、N(+)型半導体層d0を形成する。つぎに、レジストを除去したのち、O₂アッシャーを1分間行なう。つぎに、膜厚が3500Åのアルミニウム-パラジウム、アルミニウム-シリコン、アルミニウム-シリコン-チタン、アルミニウム-シリコン-銅等からなる第2導電膜d2をスパッタリングにより設ける。つぎに、写真蝕刻技術で第2導電膜d2を選択的にエッチングすることにより、映像信号線DL、ソース電極SD1、ドレイン電極SD2の第2層を形成する。つぎに、

レジストを除去したのち、O₂アッシャーを1分間行なう。つぎに、膜厚が1000ÅのITO膜からなる第3導電膜d3をスパッタリングにより設ける。つぎに、エッチング液として塩酸と硝酸との混酸を使用した写真蝕刻技術で第3導電膜d3を選択的にエッチングすることにより、映像信号線DL、ソース電極SD1、ドレイン電極SD2の第3層、ゲート端子GTM、ドレイン端子DTMの最上層および透明画素電極ITO1を形成する。つぎに、レジストを除去したのち、プラズマCVD装置にアンモニアガス、シランガス、窒素ガスを導入して、膜厚が1μmの窒化シリコン膜を設ける。つぎに、ドライエッチングガスとしてSF₆を使用した写真蝕刻技術で窒化シリコン膜を選択的にエッチングすることによって、保護膜PSV1を形成する。

【0076】以上、本発明者によってなされた発明を、前記実施例に基づき具体的に説明したが、この発明は、前記実施例に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

【0077】たとえば、上述実施例においては、ゲート電極形成→ゲート絶縁膜形成→半導体層形成→ソース・ドレイン電極形成の逆スタガ構造を示したが、上下関係または作る順番がそれと逆のスタガ構造でもこの発明は有効である。また、上述実施例においては、クロム、アルミニウムからなる第1、第2導電膜d1、d2を形成したのちにITOからなる第3導電膜d3を形成したが、ITO膜を形成したのちにクロム膜、アルミニウム膜を形成してもよい。

【0078】

【発明の効果】以上説明したように、この発明に係る液晶表示基板、液晶表示パネルおよび液晶表示装置においては、両端の接続端子間の距離の誤差が生じたとしても、全ての接続端子を信号線端子上に位置させることができるから、回路基板の接続端子と信号線端子との接続不良が発生することがない。

【0079】また、接続端子の長さを信号線端子の長さよりも短くすれば、回路基板を信号線側にずらしたとしても、回路基板の端部が保護膜上に乗り上げることがないから、信号線端子と接続端子とを確実に接続することができる。

【0080】このように、この発明の効果は顕著である。

【図面の簡単な説明】

【図1】図2に示す液晶表示装置のドレイン端子部を示す概略図である。

【図2】この発明が適用されるアクティブ・マトリックス方式のカラー液晶表示装置の液晶表示部の一画素を示す要部平面図である。

【図3】図2の3-3切断線で切った部分とシール部周辺部の断面図である。

【図4】図2の4-4切断線における断面図である。

【図5】図2に示す液晶表示装置のゲート端子部を示す断面図である。

【図6】図2に示す液晶表示装置のド레인端子部を示す断面図である。

【図7】図2に示す画素を複数配置した液晶表示部の要部平面図である。

【図8】図2に示す画素の所定の層のみを描いた平面図である。

【図9】図2に示す画素の所定の層のみを描いた平面図 10 である。

【図10】図2に示す画素の所定の層のみを描いた平面図である。

【図11】図7に示す画素電極層、遮光膜およびカラーフィルタ層のみを描いた要部平面図である。

【図12】アクティブ・マトリクス方式のカラー液晶表示装置の液晶表示部を示す等価回路図である。

【図13】図2に示す画素の等価回路図である。

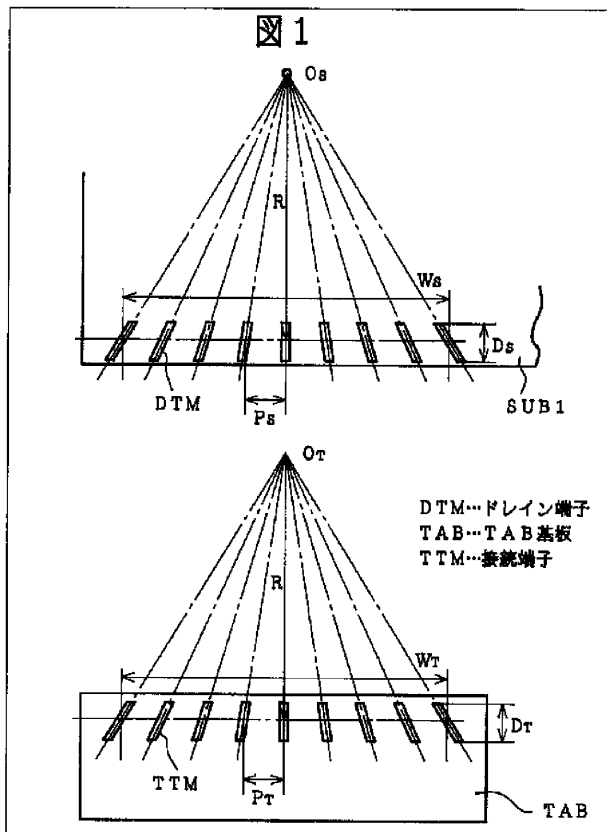
【図14】図2に示す液晶表示装置の液晶表示基板を示す概略図である。

【図15】従来のアクティブ・マトリクス方式の液晶表示装置の一部を示す概略分解図である。

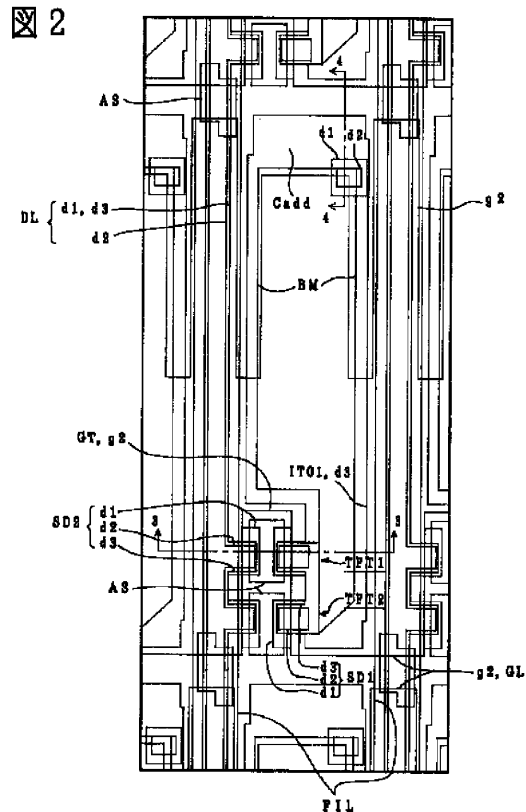
【符号の説明】

SUB…透明ガラス基板
GL…走査信号線
DL…映像信号線
GI…絶縁膜
GT…ゲート電極
AS…i型半導体層
SD…ソース電極またはド레인電極
PSV…保護膜
BM…遮光膜
LC…液晶
TFT…薄膜トランジスタ
ITO…透明画素電極
g、d…導電膜
Cadd…保持容量素子
Cgs…寄生容量
Cpix…液晶容量
AOF…陽極酸化膜
GTM…ゲート端子
DTM…ド레인端子
TAB…TAB基板
TTM…接続端子

【図1】

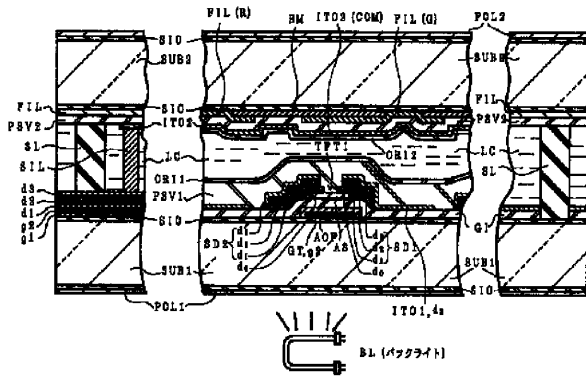


【図2】



【図3】

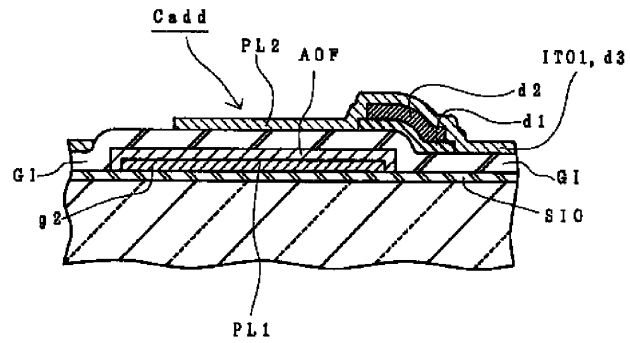
図3



POL1, POL2...偏光板
 SUB2...上部ガラス基板
 FIL...カラーフィルタ
 PSV2...カラーフィルタの保護膜
 ITO2...共通透明画素電極
 ORI2...上部配向膜
 LC...液晶
 ORI1...下部配向膜
 BM...ブラックマトリクス
 PSV1...TFTの保護膜
 IT01 (層d3)...透明画素電極
 SD...ソース・ドレイン電極 (層d1~d3)
 AS...i型半導体層
 GI...ゲート絶縁膜
 GT...ゲート電極 (層g1, g2)
 SUB1...下部ガラス基板
 BL...バックライト
 SIO...酸化シリコン膜

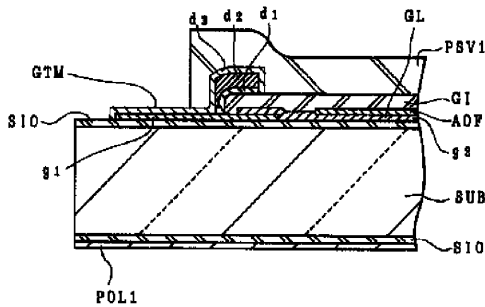
【図4】

図4



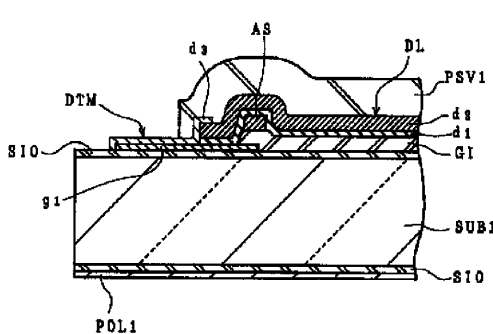
【図5】

図5



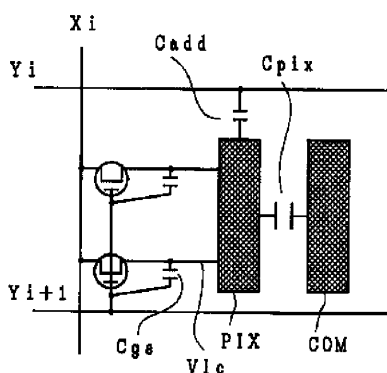
【図6】

図6



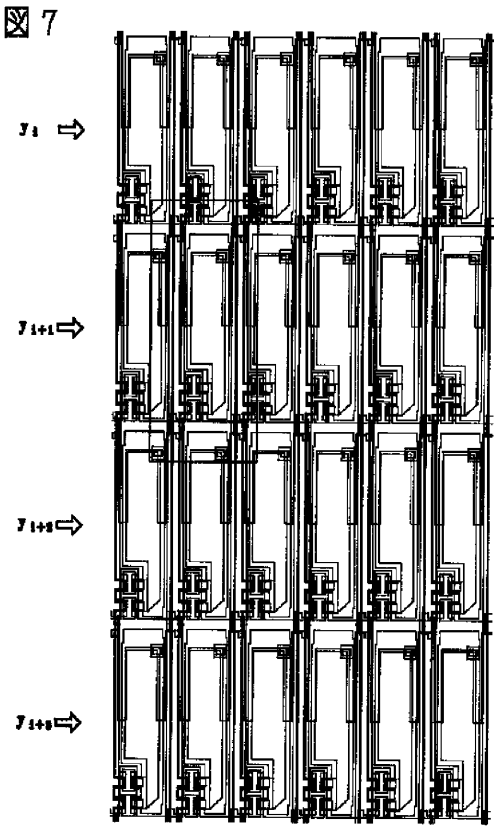
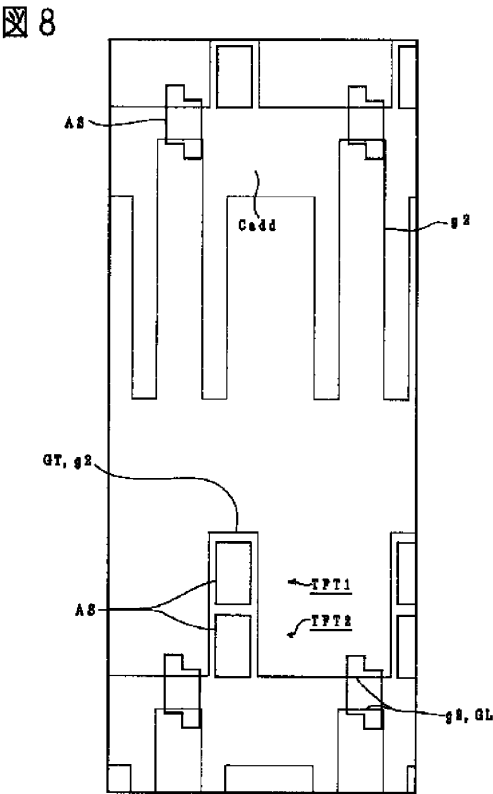
【図13】

図13



【図7】

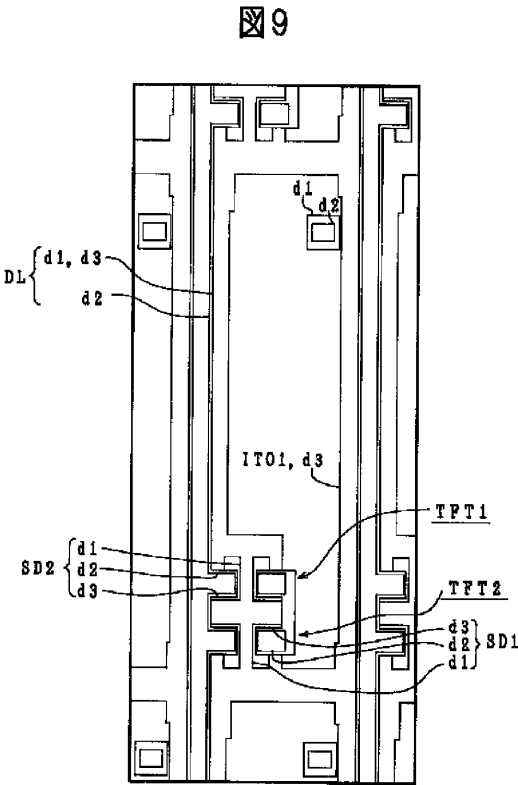
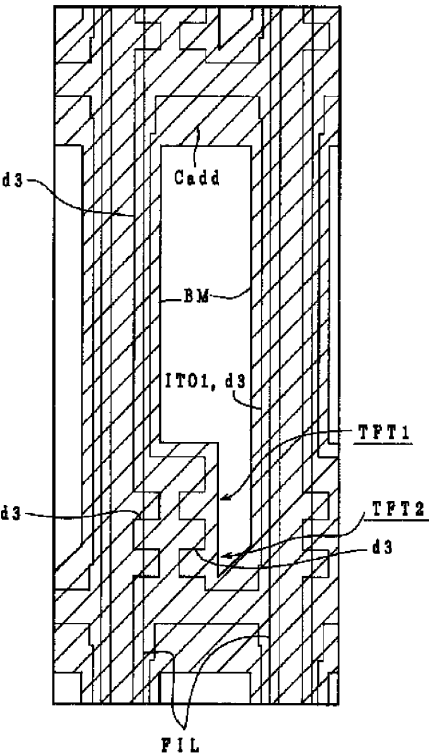
【図8】



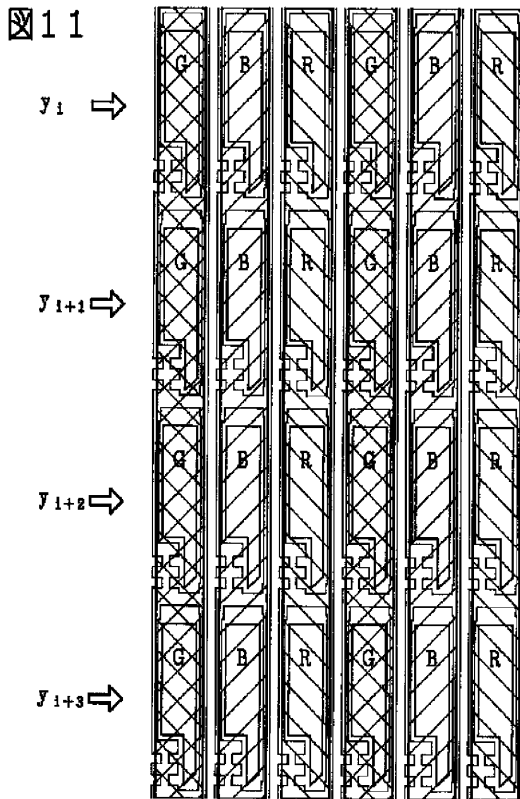
【図9】

【図10】

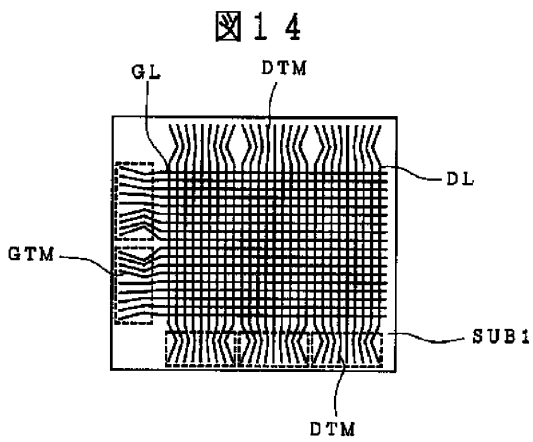
図10



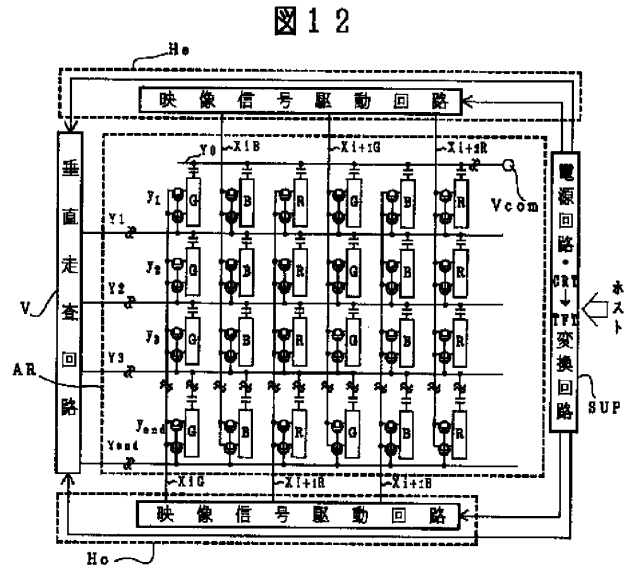
【図11】



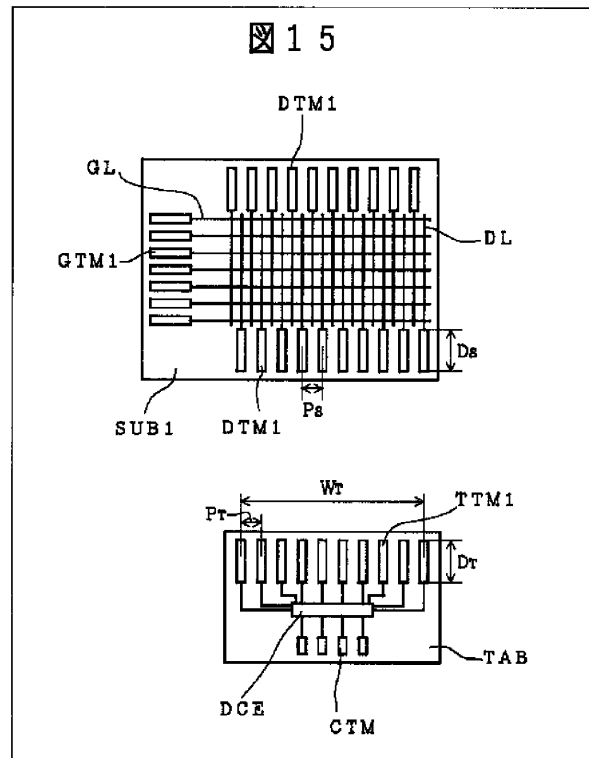
【図14】



【図12】



【図15】



フロントページの続き

(72)発明者 二見 利男
千葉県茂原市早野3300番地 株式会社日立
製作所茂原工場内