



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
15/707,884	07/21/2020	10720483	145709/411598-02973	6428

23363 7590 06/30/2020
Lewis Roca Rothgerber Christie LLP
PO BOX 29001
Glendale, CA 91209-9001

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b) (application filed on or after May 29, 2000)

The Patent Term Adjustment is 88 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (<http://pair.uspto.gov>).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Data Management (ODM) at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site <http://pair.uspto.gov> for additional applicants):

Won-Se Lee, Yongin-si, KOREA, REPUBLIC OF;
Samsung Display Co., Ltd., Yongin-si, KOREA, REPUBLIC OF;
Won-Kyu Kwak, Yongin-si, KOREA, REPUBLIC OF;
Se-Ho Kim, Yongin-si, KOREA, REPUBLIC OF;

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The USA offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to encourage and facilitate business investment. To learn more about why the USA is the best country in the world to develop technology, manufacture products, and grow your business, visit SelectUSA.gov.

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), by mail or fax, or via EFS-Web.

By mail, send to: Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

By fax, send to: (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

23363 7590 03/10/2020
Lewis Roca Rothgerber Christie LLP
PO BOX 29001
Glendale, CA 91209-9001

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being transmitted to the USPTO via EFS-Web or by facsimile to (571) 273-2885, on the date below.

Si Vuong	(Typed or printed name)
/Si Vuong/	(Signature)
June 10, 2020 (E-filed)	(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
15/707,884	09/18/2017	Won-Se Lee	145709/411598	6428

TITLE OF INVENTION: THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC LIGHT-EMITTING DIODE DISPLAY

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	\$1000	\$0.00	\$0.00	\$1000	06/10/2020

EXAMINER	ART UNIT	CLASS-SUBCLASS
PRENTY, MARK V	2814	257-040000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.

☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-09 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list

(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 Lewis Roca Rothgerber
Christie LLP

2

3

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document must have been previously recorded, or filed for recordation, as set forth in 37 CFR 3.11 and 37 CFR 3.81(a). Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE

(B) RESIDENCE: (CITY and STATE OR COUNTRY)

Samsung Display Co., Ltd.

Yongin-si, Republic of Korea

Please check the appropriate assignee category or categories (will not be printed on the patent): ☐ Individual ☒ Corporation or other private group entity ☐ Government

4a. Fees submitted: ☒ Issue Fee ☐ Publication Fee (if required) ☐ Advance Order - # of Copies 0

4b. Method of Payment: (Please first reapply any previously paid fee shown above)

☒ Electronic Payment via EFS-Web ☐ Enclosed check ☐ Non-electronic payment by credit card (Attach form PTO-2038)

☒ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment to Deposit Account No. 03-1728

5. Change in Entity Status (from status indicated above)

☐ Applicant certifying micro entity status. See 37 CFR 1.29

☐ Applicant asserting small entity status. See 37 CFR 1.27

☐ Applicant changing to regular undiscounted fee status.

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.

NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.

NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature /Jun-Young E. Jeon/

Date June 10, 2020

Typed or printed name Jun-Young E. Jeon

Registration No. 43,693

Electronic Patent Application Fee Transmittal				
Application Number:		15707884		
Filing Date:		18-Sep-2017		
Title of Invention:		THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC LIGHT-EMITTING DIODE DISPLAY		
First Named Inventor/Applicant Name:		Won-Se Lee		
Filer:		Jun-Young E. Jeon/Si Vuong		
Attorney Docket Number:		145709/411598-02973		
Filed as Large Entity				
Filing Fees for Utility under 35 USC 111(a)				
Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
UTILITY APPL ISSUE FEE	1501	1	1000	1000

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Extension-of-Time:				
Miscellaneous:				
Total in USD (\$)				1000

Electronic Acknowledgement Receipt	
EFS ID:	39685839
Application Number:	15707884
International Application Number:	
Confirmation Number:	6428
Title of Invention:	THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC LIGHT-EMITTING DIODE DISPLAY
First Named Inventor/Applicant Name:	Won-Se Lee
Customer Number:	23363
Filer:	Jun-Young E. Jeon/Si Vuong
Filer Authorized By:	Jun-Young E. Jeon
Attorney Docket Number:	145709/411598-02973
Receipt Date:	10-JUN-2020
Filing Date:	18-SEP-2017
Time Stamp:	19:16:33
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	CARD
Payment was successfully received in RAM	\$1000
RAM confirmation Number	E202060J16472287
Deposit Account	
Authorized User	
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:	

File Listing:					
Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Issue Fee Payment (PTO-85B)	145709_IssueFeeTransmittal.pdf	187861	no	1
			b71a0f6cee20c6b5b64e4d5952d53f60a531f d688		
Warnings:					
Information:					
2	Fee Worksheet (SB06)	fee-info.pdf	30390	no	2
			f1e45d23ae881c60a63b9073f5de284bfb66 3129		
Warnings:					
Information:					
Total Files Size (in bytes):			218251		
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>					



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
15/707,884	09/18/2017	Won-Se Lee	145709/411598-02973	6428
23363	7590	05/21/2020	EXAMINER	
Lewis Roca Rothgerber Christie LLP			PRENTY, MARK V	
PO BOX 29001				
Glendale, CA 91209-9001				
			ART UNIT	PAPER NUMBER
			2814	
			NOTIFICATION DATE	DELIVERY MODE
			05/21/2020	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

pair_cph@firsttofile.com
pto@lrrc.com

Response to Rule 312 Communication	Application No. 15/707,884	Applicant(s) Lee et al.	
	Examiner MARK V PRENTY	Art Unit 2814	AIA (FITF) Status No
<p align="center">-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --</p> <p>1. ☒ The amendment filed on <u>15 May 2020</u> under 37 CFR 1.312 has been considered, and has been:</p> <p>a) ☐ entered.</p> <p>b) ☒ entered as directed to matters of form not affecting the scope of the invention.</p> <p>c) ☐ disapproved because the amendment was filed after the payment of the issue fee. Any amendment filed after the date the issue fee is paid must be accompanied by a petition under 37 CFR 1.313(c)(1) and the required fee to withdraw the application from issue.</p> <p>d) ☐ disapproved. See explanation below.</p> <p>e) ☐ entered in part. See explanation below.</p> <p>_____</p>			
/MARK V PRENTY/ Primary Examiner, Art Unit 2814			

PATENT

Date of Notice
of Allowance : March 10, 2020

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

I hereby certify that this correspondence is being EFS-Web transmitted to the United States Patent and Trademark Office on May 15, 2020 at or before 11:59 p.m. Pacific Time under the Rules of 37 CFR § 1.8.

/Sherlin Yaghoubzadeh/
Sherlin Yaghoubzadeh

Inventor : Won-Se Lee, et al. Confirmation No. 6428
Application No. : 15/707,884
Filed : September 18, 2017
Title : THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC
LIGHT-EMITTING DIODE DISPLAY

Grp./Div. : 2814
Examiner : Mark V. Prenty

Docket No. : 145709

AMENDMENT UNDER 37 CFR § 1.312

Mail Stop Issue Fee
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Post Office Box 29001
Glendale, CA 91209-9001
May 15, 2020

Commissioner:

This paper is in response to the Notice of Allowance of March 10, 2020, which sets a deadline for response of June 20, 2020. As such, this response is timely filed. Please amend the above-identified application as follows:

Amendments to the Claims are reflected in the listing of claims which begins on page 2 of this paper.

Remarks/Arguments begin on page 8 of this paper.

PATENT

Date of Notice
of Allowance : March 10, 2020

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

I hereby certify that this correspondence is being EFS-Web transmitted to the United States Patent and Trademark Office on May 15, 2020 at or before 11:59 p.m. Pacific Time under the Rules of 37 CFR § 1.8.

/Sherlin Yaghoubzadeh/
Sherlin Yaghoubzadeh

Inventor : Won-Se Lee, et al. Confirmation No. 6428
Application No. : 15/707,884
Filed : September 18, 2017
Title : THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC
LIGHT-EMITTING DIODE DISPLAY

Grp./Div. : 2814
Examiner : Mark V. Prenty

Docket No. : 145709

AMENDMENT UNDER 37 CFR § 1.312

Mail Stop Issue Fee
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Post Office Box 29001
Glendale, CA 91209-9001
May 15, 2020

Commissioner:

This paper is in response to the Notice of Allowance of March 10, 2020, which sets a deadline for response of June 20, 2020. As such, this response is timely filed. Please amend the above-identified application as follows:

Amendments to the Claims are reflected in the listing of claims which begins on page 2 of this paper.

Remarks/Arguments begin on page 8 of this paper.

Amendments to the Claims:

This listing of claims will replace all prior versions, and listings, of claims in the application:

Listing of Claims:

1. (Currently Amended) A thin film transistor (TFT) array substrate comprising:

a substrate;

a first thin film transistor including a first channel region and a first gate electrode overlapping the first channel region, the first gate electrode and the first channel region being spaced apart from each other with a first insulating layer therebetween;

a second thin film transistor including a second channel region and a second gate electrode overlapping the second channel region, the second gate electrode and the second channel region being spaced apart from each other with the first insulating layer therebetween;

a second insulating layer disposed on the first and second gate electrode;

a first metal pattern overlapping the first gate electrode, the first metal pattern and the first gate electrode ~~[[are]]~~being spaced apart from each other with the second insulating layer therebetween;

a third insulating layer disposed on the first metal pattern; and

a connection member disposed on the third insulating layer and electrically connecting the first gate electrode and the second thin film transistor.

2. (Original) The TFT array substrate of claim 1, wherein the first metal pattern includes an opening, and a portion of the connection member overlaps the opening in a plan view.

3. (Original) The TFT array substrate of claim 2, wherein at least one of the second and third insulating layers includes a node contact hole overlapping the opening, and the portion of the connection member is connected with the first gate electrode through the node contact hole.

4. (Currently Amended) The TFT array substrate of claim 3, wherein a size of the opening is greater ~~[[that]]~~than a size of the node contact hole in the plan view.

5. (Original) The TFT array substrate of claim 4, wherein the second and third insulating layers contact each other in a region between the first metal pattern and the portion of the connection member in a cross-sectional view.

6. (Previously Presented) The TFT array substrate of claim 2, wherein an entire area of the opening overlaps the first gate electrode in the plan view.

7. (Original) The TFT array substrate of claim 1, wherein the first channel region includes a bent portion.

8. (Original) The TFT array substrate of claim 7, wherein the first channel region includes at least two bent portions.

9. (Currently Amended) The TFT array substrate of claim 7, wherein the first channel region is curved in ~~[[a "S "]]~~an "S" shape.

10. (Currently Amended) The TFT array substrate of claim 7, wherein the first channel region is curved in a zigzag shape.

11. (Currently Amended) The TFT array substrate of claim 1, further ~~comprises~~comprising a driving voltage line on the third insulating layer, wherein the

driving voltage line is connected to the first metal pattern through a first contact hole of the third insulating layer.

12. (Original) The TFT array substrate of claim 11, wherein the first contact hole includes a plurality of first-sub contact holes.

13. (Original) The TFT array substrate of claim 12, wherein at least one of the plurality of first-sub contact holes overlaps the first channel region in a plan view.

14. (Currently Amended) The TFT array substrate of claim 1, further ~~comprises~~comprising a first gate line electrically connected to the second gate electrode.

15. (Original) The TFT array substrate of claim 14, wherein the second thin film transistor further comprises a first region adjacent to a side of the second channel region and a second region adjacent to another side of the second channel region, and the first region is electrically connected to the first gate electrode via the connection member.

16. (Original) The TFT array substrate of claim 15, wherein the first thin film transistor further comprises a third region adjacent to a side of the first channel region and a fourth region adjacent to another side of the first channel region, and the second region is electrically connected to the fourth region.

17. (Currently Amended) The TFT array substrate of claim 14, further ~~comprises~~comprising a second gate line, and a third thin film transistor, the third thin film transistor including a third gate electrode and a third channel region overlapping the third gate electrode, the third gate electrode and the third channel region being spaced apart from each other with the first insulating layer therebetween, and wherein the second gate line is electrically connected to the third gate electrode.

18. (Currently Amended) The TFT array substrate of claim 17, further ~~comprises~~comprising an initialization voltage line, wherein the third thin film transistor

further comprises a fifth region adjacent to a side of the third channel region and a sixth region adjacent to another side of the third channel region, and the sixth region is electrically connected to the initialization voltage line.

19. (Original) The TFT array substrate of claim 18, wherein the fifth region is electrically connected to the first gate electrode via the connection member.

20. (Currently Amended) The TFT array substrate of claim 18, wherein the initialization voltage line extends in the same direction as the first gate line.

21. (Original) The TFT array substrate of claim 18, wherein the initialization voltage line is formed of a different layer from the first gate line.

22-40. (Canceled)

41. (Currently Amended) A thin film transistor (TFT) array substrate comprising:
a substrate;

a first thin film transistor including a first channel region and a first gate electrode overlapping the first channel region, the first gate electrode and the first channel region being spaced apart from each other with a first insulating layer therebetween;

a second thin film transistor including a second channel region and a second gate electrode overlapping the second channel region, the second gate electrode and the second channel region being spaced apart from each other with the first insulating layer therebetween;

a second insulating layer disposed on the first and second gate electrode;

a first metal pattern overlapping the first gate electrode, the first metal pattern and the first gate electrode ~~[[are]]~~being spaced apart from each other with the second insulating layer therebetween;

a third insulating layer disposed on the first metal pattern; and
a connection member disposed on the third insulating layer and electrically connecting the first gate electrode and the second thin film transistor, the connection member overlapping a portion of the first channel region in a plan view.

42. (Previously Presented) The TFT array substrate of claim 41, wherein the first metal pattern includes an opening, and a portion of the connection member overlaps the opening in the plan view.

43. (Previously Presented) The TFT array substrate of claim 42, wherein at least one of the second and third insulating layers includes a node contact hole overlapping the opening, and the portion of the connection member is connected with the first gate electrode through the node contact hole.

44. (Previously Presented) The TFT array substrate of claim 41, wherein the first channel region includes a bent portion.

45. (Currently Amended) The TFT array substrate of claim 44, wherein the first channel region is curved in a zigzag shape.

46. (Currently Amended) The TFT array substrate of claim 41, further ~~comprises~~comprising a driving voltage line on the third insulating layer, the driving voltage line is connected to the first metal pattern through a first contact hole of the third insulating layer.

47. (Previously Presented) The TFT array substrate of claim 46, wherein the first contact hole includes a plurality of first-sub contact holes.

Appln No. 15/707,884
Amdt date May 15, 2020

48. (Previously Presented) The TFT array substrate of claim 47, wherein at least one of the plurality of first-sub contact holes overlaps the first channel region in the plan view.

Appln No. 15/707,884
Amdt date May 15, 2020

REMARKS/ARGUMENTS

Claims 1-21 and 41-48 have been allowed. Withdrawn claims 22-40 were canceled by the Examiner. Claims 1, 4, 9-11, 14, 17, 18, 20, 41, 45 and 46 are amended herein for clarity. No new matter has been entered. Accordingly, Applicant respectfully requests entry of the above amendments.

If there are any remaining issues that can be addressed over the telephone, the Examiner is cordially invited to call the Applicant's attorney at the number listed below.

Payment of any fee required to enter and process this amendment is provided. The Director is authorized to charge any underpayment of fees or credit any overpayment of fees to Deposit Account No. 03-1728.

Respectfully submitted,

LEWIS ROCA ROTHGERBER CHRISTIE LLP

By Justin O. Ehresmann/

Justin O. Ehresmann, Ph.D.

Reg. No. 73,867

626/795-9900

JOE/sy

Electronic Acknowledgement Receipt

EFS ID:	39453065
Application Number:	15707884
International Application Number:	
Confirmation Number:	6428
Title of Invention:	THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC LIGHT-EMITTING DIODE DISPLAY
First Named Inventor/Applicant Name:	Won-Se Lee
Customer Number:	23363
Filer:	Justin O. Ehresmann/Sherlin Yaghoubzadeh
Filer Authorized By:	Justin O. Ehresmann
Attorney Docket Number:	145709/411598-02973
Receipt Date:	15-MAY-2020
Filing Date:	18-SEP-2017
Time Stamp:	14:50:48
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no
------------------------	----

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		145709_312_Amendment.pdf	149135	yes	8
			273fe991a85c704bc469b1c05d6215e633e86389		

	Multipart Description/PDF files in .zip description		
	Document Description	Start	End
	Amendment after Notice of Allowance (Rule 312)	1	1
	Claims	2	7
	Applicant Arguments/Remarks Made in an Amendment	8	8
Warnings:			
Information:			
Total Files Size (in bytes):		149135	
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>			



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

23363 7590 03/10/2020
Lewis Roca Rothgerber Christie LLP
PO BOX 29001
Glendale, CA 91209-9001

EXAMINER

PRENTY, MARK V

ART UNIT

PAPER NUMBER

2814

DATE MAILED: 03/10/2020

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
15/707,884	09/18/2017	Won-Se Lee	145709/411598	6428

TITLE OF INVENTION: THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC LIGHT-EMITTING DIODE DISPLAY

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	\$1000	\$0.00	\$0.00	\$1000	06/10/2020

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the ENTITY STATUS shown above. If the ENTITY STATUS is shown as SMALL or MICRO, verify whether entitlement to that entity status still applies.

If the ENTITY STATUS is the same as shown above, pay the TOTAL FEE(S) DUE shown above.

If the ENTITY STATUS is changed from that shown above, on PART B - FEE(S) TRANSMITTAL, complete section number 5 titled "Change in Entity Status (from status indicated above)".

For purposes of this notice, small entity fees are 1/2 the amount of undiscounted fees, and micro entity fees are 1/2 the amount of small entity fees.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Maintenance fees are due in utility patents issuing on applications filed on or after Dec. 12, 1980. It is patentee's responsibility to ensure timely payment of maintenance fees when due. More information is available at www.uspto.gov/PatentMaintenanceFees.

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), by mail or fax, or via EFS-Web.

By mail, send to: Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

By fax, send to: (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

23363 7590 03/10/2020
Lewis Roca Rothgerber Christie LLP
PO BOX 29001
Glendale, CA 91209-9001

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being transmitted to the USPTO via EFS-Web or by facsimile to (571) 273-2885, on the date below.

(Typed or printed name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
15/707,884	09/18/2017	Won-Se Lee	145709/411598	6428

TITLE OF INVENTION: THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC LIGHT-EMITTING DIODE DISPLAY

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	\$1000	\$0.00	\$0.00	\$1000	06/10/2020

EXAMINER	ART UNIT	CLASS-SUBCLASS
PRENTY, MARK V	2814	257-040000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.

☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-09 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list

(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,

(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 _____

2 _____

3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document must have been previously recorded, or filed for recordation, as set forth in 37 CFR 3.11 and 37 CFR 3.81(a). Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE

(B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent): ☐ Individual ☐ Corporation or other private group entity ☐ Government

4a. Fees submitted: ☐ Issue Fee ☐ Publication Fee (if required) ☐ Advance Order - # of Copies _____

4b. Method of Payment: (Please first reapply any previously paid fee shown above)

☐ Electronic Payment via EFS-Web ☐ Enclosed check ☐ Non-electronic payment by credit card (Attach form PTO-2038)

☐ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment to Deposit Account No. _____

5. Change in Entity Status (from status indicated above)

☐ Applicant certifying micro entity status. See 37 CFR 1.29

☐ Applicant asserting small entity status. See 37 CFR 1.27

☐ Applicant changing to regular undiscounted fee status.

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.

NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.

NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature _____

Date _____

Typed or printed name _____

Registration No. _____



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
15/707,884	09/18/2017	Won-Se Lee	145709/411598	6428
23363	7590	03/10/2020	EXAMINER	
Lewis Roca Rothgerber Christie LLP			PRENTY, MARK V	
PO BOX 29001			ART UNIT	
Glendale, CA 91209-9001			PAPER NUMBER	
			2814	
DATE MAILED: 03/10/2020				

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b) (Applications filed on or after May 29, 2000)

The Office has discontinued providing a Patent Term Adjustment (PTA) calculation with the Notice of Allowance.

Section 1(h)(2) of the AIA Technical Corrections Act amended 35 U.S.C. 154(b)(3)(B)(i) to eliminate the requirement that the Office provide a patent term adjustment determination with the notice of allowance. See Revisions to Patent Term Adjustment, 78 Fed. Reg. 19416, 19417 (Apr. 1, 2013). Therefore, the Office is no longer providing an initial patent term adjustment determination with the notice of allowance. The Office will continue to provide a patent term adjustment determination with the Issue Notification Letter that is mailed to applicant approximately three weeks prior to the issue date of the patent, and will include the patent term adjustment on the patent. Any request for reconsideration of the patent term adjustment determination (or reinstatement of patent term adjustment) should follow the process outlined in 37 CFR 1.705.

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

OMB Clearance and PRA Burden Statement for PTOL-85 Part B

The Paperwork Reduction Act (PRA) of 1995 requires Federal agencies to obtain Office of Management and Budget approval before requesting most types of information from the public. When OMB approves an agency request to collect information from the public, OMB (i) provides a valid OMB Control Number and expiration date for the agency to display on the instrument that will be used to collect the information and (ii) requires the agency to inform the public about the OMB Control Number's legal significance in accordance with 5 CFR 1320.5(b).

The information collected by PTOL-85 Part B is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 30 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. **DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.** Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Notice of Allowability	Application No. 15/707,884	Applicant(s) Lee et al.	
	Examiner MARK V PRENTY	Art Unit 2814	AIA (FITF) Status No

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☒ This communication is responsive to the amendment filed on January 9, 2020.
☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.

2. ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

3. ☒ The allowed claim(s) is/are 1-21 and 41-48. As a result of the allowed claim(s), you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to **PPHfeedback@uspto.gov**.

4. ☐ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

Certified copies:
a) ☐ All b) ☐ Some *c) ☐ None of the:
1. ☐ Certified copies of the priority documents have been received.
2. ☐ Certified copies of the priority documents have been received in Application No. _____.
3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

* Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.

Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).

6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☐ Notice of References Cited (PTO-892)	5. ☒ Examiner's Amendment/Comment
2. ☐ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date _____.	6. ☐ Examiner's Statement of Reasons for Allowance
3. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material _____.	7. ☐ Other _____.
4. ☐ Interview Summary (PTO-413), Paper No./Mail Date. _____.	

/MARK V PRENTY/ Primary Examiner, Art Unit 2814	
--	--

Examiner's Amendment/Comment

An examiner's amendment to the record appears below. Should the changes and/or additions be unacceptable to applicant, an amendment may be filed as provided by 37 CFR 1.312. To ensure consideration of such an amendment, it MUST be submitted no later than the payment of the issue fee.

Cancel claims 22-40.

This examiner's amendment cancels the claims non-elected without traverse.

Registered practitioners can telephone the examiner at (571) 272-1843. Any voicemail message left for the examiner should include the registration number of the registered practitioner calling. The examiner's supervisor is Wael Fahmy, whose telephone number is (571) 272-1705.

/MARK V PRENTY/
Primary Examiner, Art Unit 2814

<i>Search Notes</i> 	Application/Control No. 15/707,884	Applicant(s)/Patent Under Reexamination Lee et al.
	Examiner MARK V PRENTY	Art Unit 2814

CPC - Searched*		
Symbol	Date	Examiner
update	03/05/2020	mp

CPC Combination Sets - Searched*		
Symbol	Date	Examiner

US Classification - Searched*			
Class	Subclass	Date	Examiner

* See search history printout included with this form or the SEARCH NOTES box below to determine the scope of the search.

Search Notes		
Search Notes	Date	Examiner
update	03/05/2020	mp

Interference Search			
US Class/CPC Symbol	US Subclass/CPC Group	Date	Examiner
H01L	27/3265	03/05/2020	mp

--	--

Issue Classification 	Application/Control No. 15/707,884	Applicant(s)/Patent Under Reexamination Lee et al.
	Examiner MARK V PRENTY	Art Unit 2814

CPC						
Symbol					Type	Version
H01L	/	27	/	3265	F	2013-01-01
H01L	/	27	/	1255	I	2013-01-01
H01L	/	51	/	50	I	2013-01-01
H01L	/	27	/	3262	I	2013-01-01
H01L	/	27	/	3276	I	2013-01-01
H01L	/	28	/	40	A	2013-01-01

CPC Combination Sets					
Symbol		Type	Set	Ranking	Version
	/				

NONE		Total Claims Allowed:	
(Assistant Examiner)	(Date)	29	
/MARK V PRENTY/ Primary Examiner, Art Unit 2814	05 March 2020	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	5

Issue Classification 	Application/Control No. 15/707,884	Applicant(s)/Patent Under Reexamination Lee et al.
	Examiner MARK V PRENTY	Art Unit 2814

INTERNATIONAL CLASSIFICATION			
CLAIMED			
H01L		27	32

NON-CLAIMED			

US ORIGINAL CLASSIFICATION	
CLASS	SUBCLASS

CROSS REFERENCES(S)						
CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)					

NONE		Total Claims Allowed:	
(Assistant Examiner)	(Date)	29	
/MARK V PRENTY/ Primary Examiner, Art Unit 2814	05 March 2020	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	5

U.S. Patent and Trademark Office

Part of Paper No.: 20200305

Issue Classification 	Application/Control No. 15/707,884	Applicant(s)/Patent Under Reexamination Lee et al.
	Examiner MARK V PRENTY	Art Unit 2814

☒ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47															
CLAIMS															
Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original

NONE (Assistant Examiner) _____ (Date) _____		Total Claims Allowed: 29	
/MARK V PRENTY/ Primary Examiner, Art Unit 2814 (Primary Examiner) _____ (Date) 05 March 2020		O.G. Print Claim(s) 1	O.G. Print Figure 5

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875				Application or Docket Number 15/707,884		Filing Date 09/18/2017		☐ To be Mailed		
ENTITY: ☒ LARGE ☐ SMALL ☐ MICRO										
APPLICATION AS FILED - PART I										
		(Column 1)	(Column 2)							
FOR		NUMBER FILED	NUMBER EXTRA	RATE (\$)		FEE (\$)				
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))		N/A	N/A	N/A						
☐ SEARCH FEE (37 CFR 1.16(k), (l), or (m))		N/A	N/A	N/A						
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))		N/A	N/A	N/A						
TOTAL CLAIMS (37 CFR 1.16(j))		minus 20 =	*	x \$80 =						
INDEPENDENT CLAIMS (37 CFR 1.16(h))		minus 3 =	*	x \$420 =						
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))		If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$310 (\$155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).								
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))										
* If the difference in column 1 is less than zero, enter "0" in column 2.				TOTAL						
APPLICATION AS AMENDED - PART II										
		(Column 1)	(Column 2)	(Column 3)						
AMENDMENT	01/09/2020	CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)		ADDITIONAL FEE (\$)			
	Total (37 CFR 1.16(i))	* 48	Minus	** 40	= 8	x \$100 =		800		
	Independent (37 CFR 1.16(h))	* 3	Minus	*** 3	= 0	x \$460 =		0		
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))									
					TOTAL ADD'L FEE		800			
AMENDMENT		CLAIMS REMAINING AFTER AMENDMENT	HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE (\$)		ADDITIONAL FEE (\$)			
	Total (37 CFR 1.16(i))	*	Minus	**	=	x \$0 =				
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x \$0 =				
	☐ Application Size Fee (37 CFR 1.16(s))									
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))									
					TOTAL ADD'L FEE					
* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.					LIE					
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".					/THERESA D DAWKINS/					
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".										
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.										

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

I hereby certify that this correspondence is being EFS-Web transmitted to the United States Patent and Trademark Office on January 9, 2020 at or before 11:59 p.m. Pacific Time under the Rules of 37 CFR § 1.8.

/Sherlin Yaghoubzadeh/
Sherlin Yaghoubzadeh

Appl No. : 15/707,884 Confirmation No. 6428
Inventor : Won-Se Lee, et al.
Filed : September 18, 2017
Title : THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC
LIGHT-EMITTING DIODE DISPLAY

TC/A.U. : 2814
Examiner : Mark V. Prenty

Docket No. : 145709
Customer No. : 23363

AMENDMENT

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Post Office Box 29001
Glendale, CA 91209-9001
January 9, 2020

Commissioner:

This paper is in response to the Office action of October 17, 2019, which set an initial period for reply to expire on January 17, 2020. Any extension of time fee required by this paper is paid concurrently herewith. As such, this response is timely filed. Please amend the above-identified application as follows:

Amendments to the Claims are reflected in the listing of claims which begins on page 2 of this paper.

Remarks/Arguments begin on page 11 of this paper.

Electronic Patent Application Fee Transmittal				
Application Number:		15707884		
Filing Date:		18-Sep-2017		
Title of Invention:		THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC LIGHT-EMITTING DIODE DISPLAY		
First Named Inventor/Applicant Name:		Won-Se Lee		
Filer:		Justin O. Ehresmann/Sherlin Yaghoubzadeh		
Attorney Docket Number:		145709/411598		
Filed as Large Entity				
Filing Fees for Utility under 35 USC 111(a)				
Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Pages:				
Claims:				
CLAIMS IN EXCESS OF 20	1202	8	100	800
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Extension-of-Time:				
Miscellaneous:				
Total in USD (\$)				800

Electronic Acknowledgement Receipt	
EFS ID:	38252301
Application Number:	15707884
International Application Number:	
Confirmation Number:	6428
Title of Invention:	THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC LIGHT-EMITTING DIODE DISPLAY
First Named Inventor/Applicant Name:	Won-Se Lee
Customer Number:	23363
Filer:	Justin O. Ehresmann/Sherlin Yaghoubzadeh
Filer Authorized By:	Justin O. Ehresmann
Attorney Docket Number:	145709/411598
Receipt Date:	09-JAN-2020
Filing Date:	18-SEP-2017
Time Stamp:	15:20:03
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	CARD
Payment was successfully received in RAM	\$800
RAM confirmation Number	E202019F20373305
Deposit Account	
Authorized User	
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:	

File Listing:					
Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		145709_Amendment_OA_10172019.pdf	162725	yes	12
			0f5c918ed1985dbf5a95c92d0ac3c003695edfe6		
	Multipart Description/PDF files in .zip description				
	Document Description		Start	End	
	Applicant Arguments/Remarks Made in an Amendment		11	12	
	Claims		2	10	
	Amendment/Req. Reconsideration-After Non-Final Reject		1	1	
Warnings:					
Information:					
2	Fee Worksheet (SB06)	fee-info.pdf	30796	no	2
			8d8ec48c82f859667f92d1af5bfefbbad7626ad0b		
Warnings:					
Information:					
Total Files Size (in bytes):			193521		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Appln No. 15/707,884
Amdt date January 9, 2020
Reply to Office action of October 17, 2019

REMARKS/ARGUMENTS

Claims 1-48 are now pending in the present application, of which claims 1, 22, and 48 are now independent. Claims 22-40 have been withdrawn pursuant to the Restriction Requirement by the Examiner. Claim 1 is amended herein. Claims 4 and 6 are amended herein for clarity. New claims 41-48 are added herein and find full support throughout the present application as originally filed. No new matter has been added. Applicant respectfully requests reconsideration and allowance of claims 1-21, and the consideration and allowance of new claims 41-48.

Objection to the claims

In objecting to claim 1, the Office action states, “[i]ndependent claim 1 is objected to because ‘the second electrode’ (line 8) should be ‘the second gate electrode.’” Office action, page 2. In the interest of advancing prosecution of the present application, claim 1 is amended herein such that “second gate electrode” is recited in place of “second electrode.” Accordingly, Applicant submits that this objection is moot and requests that it be withdrawn.

Rejection of Claims 1-21 under 35 U.S.C. § 112(a)

Claims 1-21 were rejected under 35 U.S.C. § 112(a), for allegedly failing to comply with the written description requirement. In making this rejection, page 2 of the Office action states, “the specification does not describe independent claim 1 as whole, including ‘a first thin film transistor including a first gate electrode and a first channel region overlapping the first gate electrode’ and ‘a second thin film transistor including a second gate electrode and a second channel region overlapping the second [gate] electrode.’” Pages 2 and 3 of the Office action further states “[s]uch should read ‘a first thin transistor including a first channel region and a first gate electrode overlapping the first channel region’ and ‘a second thin film transistor including a second channel region and a second gate electrode overlapping the second channel region.’”

Appln No. 15/707,884
Amdt date January 9, 2020
Reply to Office action of October 17, 2019

In the interest of advancing prosecution of the present application, and without conceding any issues, claim 1 is amended as outlined in the Office action. Accordingly, Applicant submits that this rejection is now moot and requests that it be withdrawn. Therefore, Applicant requests that claim 1, and all claims dependent therefrom, including claims 2-21, be allowed.

New Claims 41-48

New claims 41-48 are added herein. Applicant believes that new claims are allowable for substantially the same reasons as claims 1-21. Accordingly, Applicant requests that new claims 41-48 be considered and allowed.

Concluding Remarks

In view of the foregoing amendments and remarks, Applicant earnestly solicits a timely issuance of a Notice of Allowance. If there are any remaining issues that can be addressed over the telephone, the Examiner is cordially invited to call Applicant's attorney at the number listed below.

Payment of any fee required to enter and process this amendment is provided. The Director is authorized to charge any underpayment of fees or credit any overpayment of fees to Deposit Account No. 03-1728.

Respectfully submitted,
LEWIS ROCA ROTHGERBER CHRISTIE LLP

By Justin O. Ehresmann/
Justin O. Ehresmann, Ph.D.
Reg. No. 73,867
626/795-9900

JOE/joe

Amendments to the Claims:

This listing of claims will replace all prior versions, and listings, of claims in the application:

Listing of Claims:

1. (Currently Amended) A thin film transistor (TFT) array substrate comprising:

a substrate;

a first thin film transistor including ~~a first gate electrode and a first channel region~~ and a first gate electrode overlapping the first channel region ~~overlapping the first gate electrode~~, the first gate electrode and the first channel region being spaced apart from each other with a first insulating layer therebetween;

a second thin film transistor including ~~a second gate electrode and a second channel region~~ and a second gate electrode overlapping the second channel region ~~overlapping the second electrode~~, the second gate electrode and the second channel region being spaced apart from each other with the first insulating layer therebetween;

a second insulating layer disposed on the first and second gate electrode;

a first metal pattern overlapping the first gate electrode, the first metal pattern and the first gate electrode are spaced apart from each other with the second insulating layer therebetween;

a third insulating layer disposed on the first metal pattern; and

a connection member disposed on the third insulating layer and electrically connecting the first gate electrode and the second thin film transistor.

Appln No. 15/707,884
Amdt date January 9, 2020
Reply to Office action of October 17, 2019

2. (Original) The TFT array substrate of claim 1, wherein the first metal pattern includes an opening, and a portion of the connection member overlaps the opening in a plan view.

3. (Original) The TFT array substrate of claim 2, wherein at least one of the second and third insulating layers includes a node contact hole overlapping the opening, and the portion of the connection member is connected with the first gate electrode through the node contact hole.

4. (Currently Amended) The TFT array substrate of claim 3, wherein a size of the opening is greater than a size of the node contact hole in ~~[[a]]~~the plan view.

5. (Original) The TFT array substrate of claim 4, wherein the second and third insulating layers contact each other in a region between the first metal pattern and the portion of the connection member in a cross-sectional view.

6. (Currently Amended) The TFT array substrate of claim 2, wherein an entire area of the opening overlaps the first gate electrode in ~~[[a]]~~the plan view.

7. (Original) The TFT array substrate of claim 1, wherein the first channel region includes a bent portion.

8. (Original) The TFT array substrate of claim 7, wherein the first channel region includes at least two bent portions.

9. (Original) The TFT array substrate of claim 7, wherein the first channel region is curved in a "S" shape.

10. (Original) The TFT array substrate of claim 7, wherein the first channel region curved in a zigzag shape.

11. (Original) The TFT array substrate of claim 1, further comprises a driving voltage line on the third insulating layer, the driving voltage line is connected to the first metal pattern through a first contact hole of the third insulating layer.

12. (Original) The TFT array substrate of claim 11, wherein the first contact hole includes a plurality of first-sub contact holes.

13. (Original) The TFT array substrate of claim 12, wherein at least one of the plurality of first-sub contact holes overlaps the first channel region in a plan view.

14. (Original) The TFT array substrate of claim 1, further comprises a first gate line electrically connected to the second gate electrode.

15. (Original) The TFT array substrate of claim 14, wherein the second thin film transistor further comprises a first region adjacent to a side of the second channel region and a second region adjacent to another side of the second channel region, and the first region is electrically connected to the first gate electrode via the connection member.

16. (Original) The TFT array substrate of claim 15, wherein the first thin film transistor further comprises a third region adjacent to a side of the first channel region and a fourth region adjacent to another side of the first channel region, and the second region is electrically connected to the fourth region.

17. (Original) The TFT array substrate of claim 14, further comprises a second gate line, and a third thin film transistor, the third thin film transistor including a third gate electrode and a third channel region overlapping the third electrode, the third

gate electrode and the third channel region being spaced apart from each other with the first insulating layer therebetween, and wherein the second gate line is electrically connected to the third gate electrode.

18. (Original) The TFT array substrate of claim 17, further comprises a initialization voltage line, wherein the third thin film transistor further comprises a fifth region adjacent to a side of the third channel region and a sixth region adjacent to another side of the third channel region, and the sixth region is electrically connected to the initialization voltage line.

19. (Original) The TFT array substrate of claim 18, wherein the fifth region is electrically connected to the first gate electrode via the connection member.

20. (Original) The TFT array substrate of claim 18, wherein the initialization voltage line extends in same direction as the first gate line.

21. (Original) The TFT array substrate of claim 18, wherein the initialization voltage line is formed of a different layer from the first gate line.

22. (Withdrawn) A display device comprising:
- a substrate;
 - a first scan line disposed on the substrate;
 - a data line crossing the first scan line;
 - a driving voltage line crossing the first scan line;
 - a pixel circuit electrically connected to the first scan line, the data line and the driving voltage line; and
 - an organic light emitting diode (OLED) electrically connected to the pixel circuit, the OLED including a first electrode, organic light-emitting layer and a second electrode,

wherein the pixel circuit comprises:

a first thin film transistor including a first channel region, a first drain region adjacent to a side of the first channel region, a first source region adjacent to another side of the first channel region, and a first gate electrode;

a second thin film transistor including a second channel region, a second drain region adjacent to a side of the second channel region, a second source region adjacent to another side of the second channel region, and a second gate electrode overlapping the second channel region, wherein the second gate electrode and the second channel region is spaced apart from each other with a first insulating layer therebetween and the second gate electrode being electrically connected to the first scan line;

a storage capacitor including a first metal pattern and a second metal pattern overlapping with a second insulating layer therebetween, wherein the first metal pattern overlaps the first channel region and spaced apart from the first channel region being with the first insulating layer therebetween; and

a connection member connecting the first metal pattern and the second drain region, the connection member and the second metal pattern being apart from each other with a third insulating layer therebetween,

wherein the first metal pattern is configured to operate as the first gate electrode.

23. (Withdrawn) The display device of claim 22, wherein the second metal pattern) includes an opening overlaps the first metal pattern in a plan view.

24. (Withdrawn) The display device of claim 23, wherein at least one of the second and third insulating layers includes a node contact hole overlapping the opening, and a portion of the connection member is connected with the first metal pattern through the node contact hole.

Appln No. 15/707,884
Amdt date January 9, 2020
Reply to Office action of October 17, 2019

25. (Withdrawn) The display device of claim 24, wherein a size of the opening is greater than a size of the node contact hole in a plan view.

26. (Withdrawn) The display device of claim 25, wherein the second and third insulating layers contact each other in a region between the second metal pattern and the portion of the connection member in a cross-sectional view.

27. (Withdrawn) The display device of claim 22, wherein the first channel region has a serpentine shape.

28. (Withdrawn) The display device of claim 27, wherein the first channel region includes at least one bent portion.

29. (Withdrawn) The display device of claim 22, wherein the driving voltage line extends along in same direction as the data line.

30. (Withdrawn) The display device of claim 22, the second metal pattern and the driving voltage line have the same voltage level.

31. (Withdrawn) The display device of claim 22, wherein the connection member includes the same material as the driving voltage line.

32. (Withdrawn) The display device of claim 22, wherein the driving voltage line is disposed on the third insulating layer, and connected to the second metal pattern through a first contact hole of the third insulating layer.

33. (Withdrawn) The display device of claim 32, wherein at least a portion of the first contact hole overlaps the first channel region in a plan view

Appln No. 15/707,884
Amdt date January 9, 2020
Reply to Office action of October 17, 2019

34. (Withdrawn) The display device of claim 22, wherein the first electrode of the OLED overlaps the storage capacitor.

35. (Withdrawn) The display device of claim 22, further comprises a second scan line and a third thin film transistor, wherein the third thin film transistor including a third gate electrode electrically connected the second gate line, a third channel region overlapping the third electrode with the first insulating layer therebetween, a third drain region adjacent to a side of the third channel region, and a third source region adjacent to another side of the third channel region.

36. (Withdrawn) The display device of claim 35, wherein one of the third drain and source regions is connected to the second drain region.

37. (Withdrawn) The display device of claim 36, the first metal pattern is electrically connected to one of the third drain and source regions via the connection member.

38. (Withdrawn) The display device of claim 36, further comprises a initialization voltage line, wherein the other of the third drain and source regions is connected to the initialization voltage line.

39. (Withdrawn) The display device of claim 38, wherein the initialization voltage line extends in same direction as the first gate line.

40. (Withdrawn) The display device of claim 22, the data line is adjacent to a side of the driving voltage line and the connection member is adjacent to another side of the driving voltage line, in a plan view.

41. (New) A thin film transistor (TFT) array substrate comprising:

a substrate;

a first thin film transistor including a first channel region and a first gate electrode overlapping the first channel region, the first gate electrode and the first channel region being spaced apart from each other with a first insulating layer therebetween;

a second thin film transistor including a second channel region and a second gate electrode overlapping the second channel region, the second gate electrode and the second channel region being spaced apart from each other with the first insulating layer therebetween;

a second insulating layer disposed on the first and second gate electrode;

a first metal pattern overlapping the first gate electrode, the first metal pattern and the first gate electrode are spaced apart from each other with the second insulating layer therebetween;

a third insulating layer disposed on the first metal pattern; and

a connection member disposed on the third insulating layer and electrically connecting the first gate electrode and the second thin film transistor, the connection member overlapping a portion of the first channel region in a plan view.

42. (New) The TFT array substrate of claim 41, wherein the first metal pattern includes an opening, and a portion of the connection member overlaps the opening in the plan view.

43. (New) The TFT array substrate of claim 42, wherein at least one of the second and third insulating layers includes a node contact hole overlapping the opening, and the portion of the connection member is connected with the first gate electrode through the node contact hole.

44. (New) The TFT array substrate of claim 41, wherein the first channel region includes a bent portion.

45. (New) The TFT array substrate of claim 44, wherein the first channel region curved in a zigzag shape.

46. (New) The TFT array substrate of claim 41, further comprises a driving voltage line on the third insulating layer, the driving voltage line is connected to the first metal pattern through a first contact hole of the third insulating layer.

47. (New) The TFT array substrate of claim 46, wherein the first contact hole includes a plurality of first-sub contact holes.

48. (New) The TFT array substrate of claim 47, wherein at least one of the plurality of first-sub contact holes overlaps the first channel region in the plan view.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
15/707,884	09/18/2017	Won-Se Lee	145709/411598	6428
23363	7590	10/17/2019	EXAMINER	
Lewis Roca Rothgerber Christie LLP			PRENTY, MARK V	
PO BOX 29001			ART UNIT	
Glendale, CA 91209-9001			PAPER NUMBER	
			2814	
			NOTIFICATION DATE	
			DELIVERY MODE	
			10/17/2019	
			ELECTRONIC	

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

pair_cph@firsttofile.com
pto@lrrc.com

Office Action Summary	Application No. 15/707,884	Applicant(s) Lee et al.	
	Examiner MARK V PRENTY	Art Unit 2814	AIA (FITF) Status No

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 3 MONTHS FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1) ☒ Responsive to communication(s) filed on August 5, 2019.
☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on ____.

2a) ☐ This action is **FINAL**. 2b) ☒ This action is non-final.

3) ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on ____; the restriction requirement and election have been incorporated into this action.

4) ☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims*

5) ☒ Claim(s) 1-40 is/are pending in the application.
5a) Of the above claim(s) 22-40 is/are withdrawn from consideration.

6) ☐ Claim(s) ____ is/are allowed.

7) ☒ Claim(s) 1-21 is/are rejected.

8) ☒ Claim(s) 1-21 is/are objected to.

9) ☐ Claim(s) ____ are subject to restriction and/or election requirement

* If any claims have been determined allowable, you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to PPHfeedback@uspto.gov.

Application Papers

10) ☐ The specification is objected to by the Examiner.

11) ☒ The drawing(s) filed on September 18, 2017 is/are: a) ☒ accepted or b) ☐ objected to by the Examiner.
Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).
Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

Priority under 35 U.S.C. § 119

12) ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
Certified copies:
a) ☒ All b) ☐ Some** c) ☐ None of the:
1. ☒ Certified copies of the priority documents have been received.
2. ☐ Certified copies of the priority documents have been received in Application No. ____.
3. ☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

** See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☒ Notice of References Cited (PTO-892)

2) ☒ Information Disclosure Statement(s) (PTO/SB/08a and/or PTO/SB/08b)
Paper No(s)/Mail Date 9/18/2017, 9/20/2018, 3/22/2019.

3) ☐ Interview Summary (PTO-413)
Paper No(s)/Mail Date ____.

4) ☐ Other: ____.

This Office Action is in response to the response filed on August 5, 2019.

Applicant's election of Group I (claims 1-21) is acknowledged. Because applicant did not distinctly and specifically point out the supposed errors in the restriction requirement, the election has been treated as an election without traverse (MPEP § 818.01(a)). Claims 22-40 are withdrawn from further consideration pursuant to 37 CFR 1.142(b) as being drawn to a nonelected invention.

Independent claim 1 is objected to because "the second electrode" (line 8) should be "the second gate electrode." Claims 2-21 depend on claim 1 and are thus similarly objected to.

Claims 1-21 are rejected under 35 U.S.C. 112(a) or 35 U.S.C. 112 (pre-AIA), first paragraph, as failing to comply with the written description requirement. The claims contain subject matter which was not described in the specification in such a way as to reasonably convey to one skilled in the relevant art that the inventor or a joint inventor, or for pre-AIA the inventor(s), at the time the application was filed, had possession of the claimed invention. Specifically, the specification does not describe independent claim 1 as a whole, including "a first thin film transistor including a first gate electrode and a first channel region overlapping the first gate electrode" and "a second thin film transistor including a second gate electrode and a second channel region overlapping the second [gate] electrode." Such should read "a first thin transistor including a first channel region and a first gate electrode overlapping the first channel region" and "a second thin film

Application/Control Number: 15/707,884
Art Unit: 2814

Page 3

transistor including a second channel region and a second gate electrode overlapping the second channel region,” respectively (see the Figs. 4-5 disclosure). Claims 2-21 depend on claim 1 and are thus similarly rejected.

United States Patent 9,768,241 is related to this application.

Registered practitioners can telephone the examiner at (571) 272-1843. Any voicemail message left for the examiner should include the registration number of the registered practitioner calling. The examiner's supervisor is Wael Fahmy, whose telephone number is (571) 272-1705.

/MARK V PRENTY/
Primary Examiner, Art Unit 2814

<i>Notice of References Cited</i>	Application/Control No. 15/707,884		Applicant(s)/Patent Under Reexamination Lee et al.	
	Examiner MARK V PRENTY		Art Unit 2814	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	CPC Classification	US Classification
*	A	US-9768241-B2	09-2017	Lee; Won-Se	H01L27/3262	1/1
	B					
	C					
	D					
	E					
	F					
	G					
	H					
	I					
	J					
	K					
	L					
	M					

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	CPC Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

<i>Search Notes</i> 	Application/Control No. 15/707,884	Applicant(s)/Patent Under Reexamination Lee et al.
	Examiner MARK V PRENTY	Art Unit 2814

CPC - Searched*		
Symbol	Date	Examiner
H01L 27/3265, 1255	10/11/2019	mp

CPC Combination Sets - Searched*		
Symbol	Date	Examiner

US Classification - Searched*			
Class	Subclass	Date	Examiner

* See search history printout included with this form or the SEARCH NOTES box below to determine the scope of the search.

Search Notes		
Search Notes	Date	Examiner
reviewed parent applications/patents	10/11/2019	mp

Interference Search			
US Class/CPC Symbol	US Subclass/CPC Group	Date	Examiner

--	--

Bibliographic Data

Application No: 15/707,884

Foreign Priority claimed: ☒ Yes ☐ No

35 USC 119 (a-d) conditions met: ☒ Yes ☐ No ☐ Met After Allowance

Verified and Acknowledged: /MARK V PRENTY/

Examiner's Signature

Initials

Title:

THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC
LIGHT-EMITTING DIODE DISPLAY

FILING or 371(c) DATE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
09/18/2017	257	2814	145709/411598
RULE			

APPLICANTS

Samsung Display Co., Ltd., Yongin-si, KOREA, REPUBLIC OF

INVENTORS

Won-Se Lee Yongin-si, KOREA, REPUBLIC OF

Won-Kyu Kwak Yongin-si, KOREA, REPUBLIC OF

Se-Ho Kim Yongin-si, KOREA, REPUBLIC OF

CONTINUING DATA

This application is a CON of 15064526 03/08/2016 PAT 9768241

15064526 is a CON of 13801937 03/13/2013 PAT 9299730

FOREIGN APPLICATIONS

KOREA, REPUBLIC OF 10-2012-0104215 09/19/2012

IF REQUIRED, FOREIGN LICENSE GRANTED**

09/27/2017

STATE OR COUNTRY

KOREA, REPUBLIC OF

ADDRESS

Lewis Roca Rothgerber Christie LLP

PO BOX 29001

Glendale, CA 91209-9001

UNITED STATES

FILING FEE RECEIVED

\$3,200

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (use as many sheets as necessary)	Attorney Docket Number	145709
	Application Number	15/707,884
	Filing Date	September 18, 2017
	Inventor(s)	Won-Se Lee, et al.
	Group Art Unit	2814
	Examiner Name	PRENTY, MARK V

U.S. PATENT DOCUMENTS				
EXAMINER INITIALS	Cite No. ¹	DOCUMENT NUMBER Number - Kind Code ² (If Known)	PUBLICATION DATE OR ISSUE DATE MM-DD-YYYY	NAME OF PATENTEE

FOREIGN PATENT DOCUMENTS					
EXAMINER INITIALS	Cite No. ¹	Foreign Patent Document Country Code ³ - Number ⁴ - Kind Code ⁵ (If Known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	T ⁶ (✓)
		KR 10-2012-0066491 A	06-22-2012	Lee et al.	Corresponds to U.S. Publication 2012/0146004 A1 previously filed

OTHER DOCUMENTS		
EXAMINER INITIALS	Cite No. ¹	Include name of the author (in CAPITAL LETTERS), title of the article, title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.

YAG 107626938.1-*03/22/2019 9:04 AM

EXAMINER SIGNATURE	/MARK V PRENTY/	DATE CONSIDERED	10/11/2019
EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. ¹ Applicant's unique citation designation number (optional). ² See Kinds Codes of USPTO Patent Documents at www.pto.gov or MPEP 901.4. ³ Enter Office that issued the document, by the two-letter code (WIPO standard ST.3). ⁴ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁶ Applicant is to place a check mark here if English Language Translation is attached.			

PCH/yav

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /M.V.P/Sheet 1 of 1

FORM PTO/SB/08A/B (10-01) Substitute for PTO-1449A/B INFORMATION DISCLOSURE STATEMENT BY APPLICANT (use as many sheets as necessary)	Attorney Docket Number	145709
	Application Number	To Be Determined
	Filing Date	September 18, 2017
	Inventor(s)	Won-Se Lee et al.
	Group Art Unit	To Be Determined
	Examiner Name	To Be Determined

U.S. PATENT DOCUMENTS				
EXAMINER INITIALS	Cite No. ¹	DOCUMENT NUMBER Number - Kind Code ² (If Known)	PUBLICATION DATE MM-DD-YYYY	NAME OF PATENTEE
		6,664,569 B2	12-16-2003	Moon
		7,858,974 B2	12-28-2010	Yoon et al.
		9,299,730 B2	03-29-2016	Lee et al.
		2008/0079005 A1	04-03-2008	Tseng
		2012/0146004 A1	06-14-2012	Lee et al.
		2013/0063330 A1	03-14-2013	Eom

FOREIGN PATENT DOCUMENTS					
EXAMINER INITIALS	Cite No. ¹	Foreign Patent Document Country Code ³ - Number ⁴ - Kind Code ⁵ (If Known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	T ⁶ (✓)
		KR 10-2008-0001106 A	01-03-2008	Kim et al.	Korean Patent Abstracts
		KR 10-2008-0050704 A	06-10-2008	Kim et al.	Korean Patent Abstracts
		KR 10-2008-0085411	09-24-2008	Yoon et al.	Corresponds to US 7,858,974 B2 listed above
		KR 2001-0111328	12-17-2001	Moon	Corresponds to US 6,664,569 B2 listed above

OTHER DOCUMENTS		
EXAMINER INITIALS	Cite No. ¹	Include name of the author (in CAPITAL LETTERS), title of the article, title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.

LFLUHR 102358118.1*-09/18/2017 12:05 PM

EXAMINER SIGNATURE	/MARK V PRENTY/	DATE CONSIDERED	10/11/2019
EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. ¹ Applicant's unique citation designation number (optional). ² See Kinds Codes of USPTO Patent Documents at www.pto.gov or MPEP 901.4. ³ Enter Office that issued the document, by the two-letter code (WIPO standard ST.3). ⁴ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁶ Applicant is to place a check mark here if English Language Translation is attached.			

Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

JEJ/ldf

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /M.V.P. Sheet 1 of 1

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (use as many sheets as necessary)	Attorney Docket Number	145709
	Application Number	15/707,884
	Filing Date	September 18, 2017
	Inventor(s)	Won-Se Lee, et al.
	Group Art Unit	2814
	Examiner Name	Wael M. Fahmy

U.S. PATENT DOCUMENTS				
EXAMINER INITIALS	Cite No. ¹	DOCUMENT NUMBER Number - Kind Code ² (If Known)	PUBLICATION DATE OR ISSUE DATE MM-DD-YYYY	NAME OF PATENTEE
		2011/0025585 A1	02-03-2011	Kim et al.
		2012/0105388 A1	05-03-2012	Han et al.

FOREIGN PATENT DOCUMENTS					
EXAMINER INITIALS	Cite No. ¹	Foreign Patent Document Country Code ³ - Number ⁴ - Kind Code ⁵ (If Known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	T ⁶ (✓)
		KR 10-2011-0012710	02-09-2011	Kim et al.	Corresponds to U.S. Publication 2011/0025585 A1, listed above
		KR 10-2011-0113040	10-14-2011	Choi et al.	Abstract and Translation of Relevant Part
		KR 10-2012-0044657	05-08-2012	Han et al.	Corresponds to U.S. Publication 2012/0105388 A1, listed above

OTHER DOCUMENTS		
EXAMINER INITIALS	Cite No. ¹	Include name of the author (in CAPITAL LETTERS), title of the article, title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.

EG 106071913.1 *-09/19/2018 2:52 PM

EXAMINER SIGNATURE	/MARK V PRENTY/	DATE CONSIDERED	10/11/2019
EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. ¹ Applicant's unique citation designation number (optional). ² See Kinds Codes of USPTO Patent Documents at www.pto.gov or MPEP 901.4. ³ Enter Office that issued the document, by the two-letter code (WIPO standard ST.3). ⁴ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁶ Applicant is to place a check mark here if English Language Translation is attached.			

JEJ/eg

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /M.V.P/ Sheet 1 of 1

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

I hereby certify that this correspondence is being EFS-Web transmitted to the United States Patent and Trademark Office on August 5, 2019 at or before 11:59 p.m. Pacific Time under the Rules of 37 CFR § 1.8.

/Sherlin Yaghoubzadeh/
Sherlin Yaghoubzadeh

Appl No. : 15/707,884 Confirmation No. 6428
Inventor : Won-Se Lee, et al.
Filed : September 18, 2017
Title : THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC
LIGHT-EMITTING DIODE DISPLAY
TC/A.U. : 2814
Examiner : Marv V. Prenty
Docket No. : 145709
Customer No. : 23363

Commissioner:

RESPONSE TO RESTRICTION REQUIREMENT

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Post Office Box 29001
Glendale, CA 91209-9001
August 5, 2019

Commissioner:

In response to the Office action dated July 10, 2019, Applicant hereby elects claim Group I, namely, claims 1-21 drawn to a thin film transistor (TFT) array substrate.

Applicant reserves the right to pursue the non-elected (withdrawn) claims in a divisional application.

Respectfully submitted,
LEWIS ROCA ROTHGERBER CHRISTIE LLP

By /Justin O. Ehresmann/
Justin O. Ehresmann, Ph.D.
Reg. No. 73,867
626/795-9900

JOE/sy

-1-

SYAGHOUBZADEH 108888034.1

Electronic Acknowledgement Receipt	
EFS ID:	36783511
Application Number:	15707884
International Application Number:	
Confirmation Number:	6428
Title of Invention:	THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC LIGHT-EMITTING DIODE DISPLAY
First Named Inventor/Applicant Name:	Won-Se Lee
Customer Number:	23363
Filer:	Justin O. Ehresmann/Sherlin Yaghoubzadeh
Filer Authorized By:	Justin O. Ehresmann
Attorney Docket Number:	145709/411598
Receipt Date:	05-AUG-2019
Filing Date:	18-SEP-2017
Time Stamp:	15:13:08
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no
------------------------	----

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Response to Election / Restriction Filed	145709_Response_RR_07102019.pdf	20070 66488a89e9f4f03909d632608819ccdd48970089	no	1

Warnings:

Information:	
Total Files Size (in bytes):	20070
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>	



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
15/707,884	09/18/2017	Won-Se Lee	145709/411598	6428
23363	7590	07/10/2019	EXAMINER	
Lewis Roca Rothgerber Christie LLP			PRENTY, MARK V	
PO BOX 29001				
Glendale, CA 91209-9001				
			ART UNIT	PAPER NUMBER
			2814	
			NOTIFICATION DATE	DELIVERY MODE
			07/10/2019	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

pair_cph@firsttofile.com
pto@lrrc.com

This Office Action is in response to the response filed on April 16, 2019.

Restriction to one of the following inventions is required under 35 U.S.C. 121:

- I. Claims 1-21, drawn to a thin film transistor (TFT) array substrate, classified in CPC H01L 27/32.
- II. Claims 22-40, drawn to a display device, classified in CPC H01L 51/50.

The inventions are distinct, each from the other because:

Inventions II and I are related as combination and subcombination. Inventions in this relationship are distinct if it can be shown that (1) the combination as claimed does not require the particulars of the subcombination as claimed **for patentability**, and (2) that the subcombination has utility by itself or in other combinations (MPEP § 806.05(c)). In the instant case, *the combination as claimed does not require the particulars of the subcombination as claimed **for patentability** because it also includes display device particulars such as a pixel circuit, an organic light emitting diode and a storage capacitor.* The subcombination has separate utility such as a logic device.

Because these inventions are distinct for the reasons given above and have acquired a separate status in the art as shown by their different classifications, restriction for examination purposes as indicated is proper.

Applicant is reminded that upon the cancellation of claims to a non-elected invention, the inventorship must be corrected in compliance with 37 CFR 1.48(a) if one or more of the currently named inventors is no longer an inventor of at least one claim remaining in the application. A request to correct inventorship under 37 CFR 1.48(a) must be accompanied by an application data sheet in accordance with 37 CFR 1.76 that

identifies each inventor by his or her legal name and by the processing fee required under 37 CFR 1.17(i).

Applicant is advised that the reply to this requirement to be complete must include an election of the invention to be examined even though the requirement be traversed (37 CFR 1.143).

The applicant's argument that the combination as claimed "does" (emphasis in original) require the particulars of the subcombination is incorrect. The combination does not require the particulars of the subcombination as claimed for patentability, as explained still further in the amended restriction above.

The applicant's remark, "the examiner is adopting a particular standard for patentability in this case, in terms of the election/restriction requirement," is unclear. Specifically, it is unclear what "particular standard for patentability" the applicant thinks the examiner is adopting and how the election/restriction requirement is even relevant to, let alone indicative of, the perceived "particular standard for patentability."

The applicant's remark that it "will expect that the same test be used throughout the prosecution of this application" is unclear. Specifically, not only is the applicant's perceived "test" again unclear, it is also unclear how such a test in the restriction context carries over to the rest of the prosecution of the application.

In any event, the applicant can expect that the same correct standard exhibited by the restriction requirement will continue throughout the examination of the application.

Registered practitioners can telephone the examiner at (571) 272-1843. Any voicemail message left for the examiner should include the registration number of the registered practitioner calling. The examiner's supervisor is Wael Fahmy, whose telephone number is (571) 272-1705.

/MARK V PRENTY/
Primary Examiner, Art Unit 2814

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

I hereby certify that this correspondence is being EFS-Web transmitted to the United States Patent and Trademark Office on April 16, 2019 at or before 11:59 p.m. Pacific Time under the Rules of 37 CFR § 1.8.

/Sherlin Yaghoubzadeh/
Sherlin Yaghoubzadeh

Appl No. : 15/707,884 Confirmation No. 6428
Inventor : Won-Se Lee, et al.
Filed : September 18, 2017
Title : THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC
LIGHT-EMITTING DIODE DISPLAY

TC/A.U. : 2814
Examiner : Marv V. Prenty

Docket No. : 145709
Customer No. : 23363

Commissioner:

RESPONSE TO RESTRICTION REQUIREMENT

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Post Office Box 29001
Glendale, CA 91209-9001
April 16, 2019

Commissioner:

In response to the Office action dated February 21, 2019, Applicant hereby elects claim Group I, namely, claims 1-21.

Applicant traverses the restriction requirement based on MPEP 806.05(c), because the combination as claimed **does** require the particulars of the subcombination as claimed in the instant case.

For example, the technical features of a first and second transistor, a metal pattern [a second metal layer] overlapping the first gate electrode [or the first metal pattern as the first gate electrode], and connection member recited in claim 1 are also recited in claim 22. Therefore, Applicant submits that claims 1 and 22, and all claims dependent therefrom, should not be subject to a restriction requirement.

Appln No. 15/707,884
Amdt date April 16, 2019
Reply to Office action of

The traversal of the restriction requirement and the remarks regarding the traversal are being submitted without prejudice. Neither the traversal of the restriction requirement, nor the remarks regarding the traversal shall be interpreted as disputing the Examiner's finding that inventions are patentably distinct.

Additionally, the Applicant expects the Examiner to use a consistent test with respect to what matters are obvious and what matters are unobvious throughout the prosecution of this application. Because the Examiner is adopting a particular standard for patentability in this case, in terms of the election/restriction requirement, the Applicant will expect that the same test be used throughout the prosecution of this application if the Examiner does not withdraw the election/restriction requirement made in the official action.

Consideration and allowance of this application is respectfully requested.

Applicant reserves the right to pursue the non-elected (withdrawn) claims in a divisional application.

Payment of any fee required to enter and process this response is provided. The Director is authorized to charge any underpayment of fees or credit any overpayment of fees to Deposit Account No. 03-1728.

Respectfully submitted,

LEWIS ROCA ROTHGERBER CHRISTIE LLP

By Justin O. Ehresmann/

Justin O. Ehresmann, Ph.D.

Reg. No. 73,867

626/795-9900

JOE/sy

Electronic Acknowledgement Receipt	
EFS ID:	35744080
Application Number:	15707884
International Application Number:	
Confirmation Number:	6428
Title of Invention:	THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC LIGHT-EMITTING DIODE DISPLAY
First Named Inventor/Applicant Name:	Won-Se Lee
Customer Number:	23363
Filer:	Justin O. Ehresmann/Sherlin Yaghoubzadeh
Filer Authorized By:	Justin O. Ehresmann
Attorney Docket Number:	145709/411598
Receipt Date:	16-APR-2019
Filing Date:	18-SEP-2017
Time Stamp:	17:11:58
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no
------------------------	----

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Response to Election / Restriction Filed	145709_Response_RR.pdf	27166	no	2
			c36e2f4ba9a2f6b132d9991fa523fc03d68f6a29		

Warnings:

Information:	
Total Files Size (in bytes):	27166
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>	

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (use as many sheets as necessary)	Attorney Docket Number	145709
	Application Number	15/707,884
	Filing Date	September 18, 2017
	Inventor(s)	Won-Se Lee, et al.
	Group Art Unit	2814
	Examiner Name	PRENTY, MARK V

U.S. PATENT DOCUMENTS				
EXAMINER INITIALS	Cite No. ¹	DOCUMENT NUMBER Number - Kind Code ² (If Known)	PUBLICATION DATE OR ISSUE DATE MM-DD-YYYY	NAME OF PATENTEE

FOREIGN PATENT DOCUMENTS					
EXAMINER INITIALS	Cite No. ¹	Foreign Patent Document Country Code ³ - Number ⁴ - Kind Code ⁵ (If Known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	T ⁶ (✓)
		KR 10-2012-0066491 A	06-22-2012	Lee et al.	Corresponds to U.S. Publication 2012/0146004 A1 previously filed

OTHER DOCUMENTS		
EXAMINER INITIALS	Cite No. ¹	Include name of the author (in CAPITAL LETTERS), title of the article, title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.

YAG 107626938.1-*03/22/2019 9:04 AM

EXAMINER SIGNATURE		DATE CONSIDERED	
-----------------------	--	--------------------	--

EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. ¹Applicant's unique citation designation number (optional). ²See Kinds Codes of USPTO Patent Documents at www.pto.gov or MPEP 901.4. ³Enter Office that issued the document, by the two-letter code (WIPO standard ST.3). ⁴For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁶Applicant is to place a check mark here if English Language Translation is attached.

PCH/yav

Sheet 1 of 1

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

I hereby certify that this correspondence is being EFS-Web transmitted to the United States Patent and Trademark Office on March 22, 2019 at or before 11:59 p.m. Pacific Time under the Rules of 37 CFR § 1.8.


Yanira Vanegas

Inventor(s) : Won-Se Lee, et al. Confirmation No. 6428
Application No. : 15/707,884
Filed : September 18, 2017
Title : THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC
LIGHT-EMITTING DIODE DISPLAY

Grp./Div. : 2814
Examiner : PRENTY, MARK V

Docket No. : 145709

**SUPPLEMENTAL INFORMATION DISCLOSURE STATEMENT
37 CFR § 1.97(b)**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Post Office Box 29001
Glendale, CA 91209-9001
March 22, 2019

Commissioner:

In compliance with the duty of disclosure under 37 CFR §§ 1.56, 1.97 and 1.98, and in accordance with the provisions in the Manual of Patent Examining Procedure §§ 609 and 707.05(b), enclosed is an information disclosure statement listing the references that are known to applicant. A copy of the listed Foreign Patent reference is enclosed. This filing is timely because it is made during one of the periods described in 37 CFR § 1.97(b).

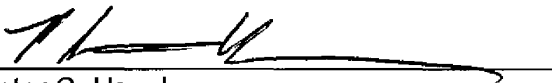
It is respectfully requested that the listed references be considered in the examination of this application and identified on the list of references cited on the patent issuing for this application. Applicant also requests that an initialed copy of the information disclosure statement be entered in the application file and returned to applicant with the next communication from the Office in accordance with MPEP § 609.

Application No.: 15/707,884

The Commissioner is hereby authorized to charge any fees which may be required by this paper to Deposit Account No. 03-1728. Please show our docket number with any Deposit Account transaction.

Respectfully submitted,

LEWIS ROCA ROTHGERBER CHRISTIE LLP

By 

Peter C. Hsueh
Reg. No. 45,574
626/795-9900

PCH/yav

Enclosures: Information Disclosure Statement, w/references

YAG 107624612.1-03/22/2019 9:03 AM

	(19) 대한민국특허청(KR)	(11) 공개번호 10-2012-0066491
	(12) 공개특허공보(A)	(43) 공개일자 2012년06월22일
(51) 국제특허분류(Int. Cl.) H01L 51/52 (2006.01) H01L 27/02 (2006.01) H01L 51/56 (2006.01) (21) 출원번호 10-2010-0127856 (22) 출원일자 2010년12월14일 심사청구일자 없음		(71) 출원인 삼성모바일디스플레이주식회사 경기도 용인시 기흥구 삼성2로 95 (농서동) (72) 발명자 이윤규 경기도 용인시 기흥구 삼성2로 95 (농서동) 유춘기 경기도 용인시 기흥구 삼성2로 95 (농서동) (뒷면에 계속) (74) 대리인 리엔목특허법인

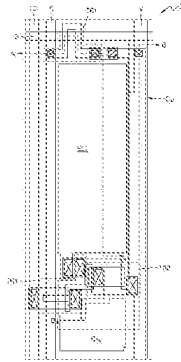
전체 청구항 수 : 총 21 항

(54) 발명의 명칭 유기 발광 표시 장치 및 그 제조 방법

(57) 요약

본 발명의 일 측면에 의하면, 반도체층, 게이트 전극, 및 소스 및 드레인 전극이 구비된 적어도 하나 이상의 트랜지스터; 상기 반도체층과 동일층에 형성된 제1전극, 상기 게이트 전극과 동일층에 형성된 제2전극, 및 상기 소스 및 드레인 전극과 동일층에 형성된 제3전극이 구비된 제1커패시터; 상기 반도체층과 동일층에 형성되고 도핑된 이온 불순물을 포함하는 제1전극, 및 상기 게이트 전극과 동일층에 형성된 제2전극이 구비된 제2커패시터; 상기 게이트 전극과 동일층에 형성되고, 상기 트랜지스터에 전기적으로 연결된 화소 전극; 상기 화소 전극 상에 위치하는 발광층; 및 상기 발광층을 사이에 두고 상기 화소 전극에 대향 배치되는 대향 전극;을 포함하는 유기 발광 표시 장치를 제공한다.

도면도 - 도1



(72) 발명자

박선

경기도 용인시 기흥구 삼성2로 95 (농서동)

박종현

경기도 용인시 기흥구 삼성2로 95 (농서동)

문상호

경기도 용인시 기흥구 삼성2로 95 (농서동)

김나영

경기도 용인시 기흥구 삼성2로 95 (농서동)

특허청구의 범위

청구항 1

반도체층, 게이트 전극, 및 소스 및 드레인 전극이 구비된 적어도 하나 이상의 트랜지스터;

상기 반도체층과 동일층에 형성된 제1전극, 상기 게이트 전극과 동일층에 형성된 제2전극, 및 상기 소스 및 드레인 전극과 동일층에 형성된 제3전극이 구비된 제1커패시터;

상기 반도체층과 동일층에 형성되고 도핑된 이온 불순물을 포함하는 제1전극, 및 상기 게이트 전극과 동일층에 형성된 제2전극이 구비된 제2커패시터;

상기 게이트 전극과 동일층에 형성되고, 상기 트랜지스터에 전기적으로 연결된 화소 전극;

상기 화소 전극 상에 위치하는 발광층; 및

상기 발광층을 사이에 두고 상기 화소 전극에 대향 배치되는 대향 전극;을 포함하는 유기 발광 표시 장치.

청구항 2

제 1 항에 있어서,

상기 제1커패시터는 상기 적어도 하나의 트랜지스터에 전원 전압을 공급하는 전원 전압 공급선과 연결되고, 상기 전원 전압 공급선과 중첩되도록 위치하는 유기 발광 표시 장치.

청구항 3

제 2 항에 있어서,

상기 적어도 하나의 트랜지스터는 구동 트랜지스터이고, 상기 제1커패시터는 상기 구동 트랜지스터에 전압을 인가하는 저장 커패시터인 유기 발광 표시 장치.

청구항 4

제 1 항에 있어서,

상기 제1커패시터의 제1전극은 이온 불순물이 도핑되지 않은 반도체를 포함하는 유기 발광 표시 장치.

청구항 5

제 1 항에 있어서,

상기 제1커패시터의 제1전극과 제3전극은 접속홀을 통하여 연결된 유기 발광 표시 장치.

청구항 6

제 5 항에 있어서,

상기 제1커패시터는 상기 제1전극과 상기 제2전극 사이에 형성된 제1정전용량, 및 상기 제2전극과 상기 제3전극 사이에 형성된 제2정전용량이 병렬 연결된 유기 발광 표시 장치.

청구항 7

제 1 항에 있어서,

상기 제1커패시터의 제2전극은 상기 게이트 전극과 동일한 물질을 포함하는 유기 발광 표시 장치.

청구항 8

제 1 항에 있어서,

상기 제1커패시터의 제3전극은 상기 소스 및 드레인 전극과 동일한 물질을 포함하는 유기 발광 표시 장치.

청구항 9

제 8 항에 있어서,

상기 제1커패시터의 제3전극은 상기 적어도 하나의 트랜지스터에 전원 전압을 공급하는 전원 전압 공급선을 포함하는 유기 발광 표시 장치.

청구항 10

제 1 항에 있어서,

상기 제2커패시터는 구동 트랜지스터의 게이트 단자에 연결된 보상 커패시터인 유기 발광 표시 장치.

청구항 11

제 1 항에 있어서,

상기 제2커패시터의 제2전극은 투명도전물인 유기 발광 표시 장치.

청구항 12

제 1 항에 있어서,

상기 게이트 전극은 투명도전물을 포함하는 제1층, 및 금속을 포함하는 제2층으로 구비된 유기 발광 표시 장치.

청구항 13

제 1 항에 있어서,

상기 화소 전극은 상기 게이트 전극의 투명도전물로 구비된 유기 발광 표시 장치.

청구항 14

제 1 항에 있어서,

상기 반도체층은 비정질 실리콘 또는 결정질 실리콘인 유기 발광 표시 장치.

청구항 15

제 1 항에 있어서,

상기 대향 전극은 상기 발광층에서 방출된 광을 반사하는 반사 전극인 유기 발광 표시 장치.

청구항 16

기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 트랜지스터의 반도체층, 제1 및 제2커패시터의 제1전극을 형성하는 제1마스크 공정;

제1마스크 공정의 결과물 상에 제1절연층을 형성하고, 상기 제1절연층 상에 투명도전물 및 제1금속을 차례로 형성하고 이를 패터닝하여, 트랜지스터의 게이트 전극, 화소 전극, 제1 및 제2커패시터의 제2전극을 형성하는 제2마스크 공정;

제2마스크 공정의 결과물 상에 제2절연층을 형성하고, 상기 반도체층의 소스 및 드레인 영역, 상기 화소 전극, 상기 제1커패시터의 제1전극 일부, 및 상기 제2커패시터의 제2전극을 노출시키는 콘택홀들을 형성하는 제3마스크 공정;

제3마스크 공정의 결과물 상에 제2금속을 형성하고, 상기 제2금속을 패터닝하여 상기 소스 및 드레인 영역과 접속하는 소스 및 드레인 전극, 및 상기 제1커패시터의 제3전극을 형성하는 제4마스크 공정; 및

제4마스크 공정의 결과물 상에 제3절연층을 형성하고, 상기 화소 전극의 투명도전물이 노출되도록 제3절연층을 개구시키는 제5마스크 공정;을 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 17

제 16 항에 있어서,

상기 제2마스크 공정 후, 상기 소스 및 드레인 영역에 이온 불순물을 도핑하는 유기 발광 표시 장치의 제조 방법.

청구항 18

제 16 항에 있어서,

상기 제4마스크 공정은, 상기 화소 전극 및 제2커패시터의 제2전극 상에 적층된 상기 제2금속을 제거하는 제1 식각 공정, 상기 화소 전극 및 제2커패시터의 투명도전층 상에 형성된 상기 제1금속을 제거하는 제2식각 공정을 포함하는 유기 발광 표시 장치의 제조 방법.

청구항 19

제 16 항에 있어서,

상기 제4마스크 공정에서, 상기 제2금속은 상기 제1금속과 동일 재료로 형성되고, 상기 제1금속 및 제2금속을 동시에 식각하는 유기 발광 표시 장치의 제조 방법.

청구항 20

제 16 항에 있어서,

상기 제4마스크 공정 후, 상기 제2커패시터의 제1전극에 이온 불순물을 도핑하는 유기 발광 표시 장치의 제조 방법.

청구항 21

제 16 항에 있어서,

상기 제5마스크 공정 후, 상기 화소 전극 상부에 발광층, 및 대향 전극을 더 형성하는 유기 발광 표시 장치의 제조 방법.

명 세 서

기술 분야

[0001] 본 발명은 유기 발광 표시 장치 및 그 제조 방법에 관한 것이다.

배 경 기 술

[0002] 유기 발광 표시 장치는 경량 박형이 가능할 뿐만 아니라, 넓은 시야각, 빠른 응답속도 및 적은 소비 전력 등의 장점으로 인하여 차세대 표시 장치로서 주목 받고 있다.

발명의 내용

해결하려는 과제

[0003] 본 발명은 제조 공정이 단순하고, 개구율이 우수한 유기 발광 표시 장치 및 그 제조 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0004] 본 발명의 일 측면에 의하면, 반도체층, 게이트 전극, 및 소스 및 드레인 전극이 구비된 적어도 하나 이상의 트랜지스터; 상기 반도체층과 동일층에 형성된 제1전극, 상기 게이트 전극과 동일층에 형성된 제2전극, 및 상기 소스 및 드레인 전극과 동일층에 형성된 제3전극이 구비된 제1커패시터; 상기 반도체층과 동일층에 형성되고 도핑된 이온 불순물을 포함하는 제1전극, 및 상기 게이트 전극과 동일층에 형성된 제2전극이 구비된 제2커패시터; 상기 게이트 전극과 동일층에 형성되고, 상기 트랜지스터에 전기적으로 연결된 화소 전극; 상기 화소 전극 상에 위치하는 발광층; 및 상기 발광층을 사이에 두고 상기 화소 전극에 대향 배치되는 대향 전극;을 포함하는 유기 발광 표시 장치를 제공한다.

공개특허 10-2012-0066491

[0005] 본 발명의 다른 특징에 의하면, 상기 제1커패시터는 상기 적어도 하나의 트랜지스터에 전원 전압을 공급하는 전원 전압 공급선과 연결되고, 상기 전원 전압 공급선과 중첩되도록 위치할 수 있다.

[0006] 본 발명의 또 다른 특징에 의하면, 상기 적어도 하나의 트랜지스터는 구동 트랜지스터이고, 상기 제1커패시터는 상기 구동 트랜지스터에 전압을 인가하는 저장 커패시터일 수 있다.

[0007] 본 발명의 또 다른 특징에 의하면, 상기 제1커패시터의 제1전극은 이온 불순물이 도핑되지 않은 반도체를 포함할 수 있다.

[0008] 본 발명의 또 다른 특징에 의하면, 상기 제1커패시터의 제1전극과 제3전극은 접속홀을 통하여 연결될 수 있다.

[0009] 본 발명의 또 다른 특징에 의하면, 상기 제1커패시터는 상기 제1전극과 상기 제2전극 사이에 형성된 제1정전 용량, 및 상기 제2전극과 상기 제3전극 사이에 형성된 제2정전용량이 병렬 연결될 수 있다.

[0010] 본 발명의 또 다른 특징에 의하면, 상기 제1커패시터의 제2전극은 상기 게이트 전극과 동일한 물질을 포함할 수 있다.

[0011] 본 발명의 또 다른 특징에 의하면, 상기 제1커패시터의 제3전극은 상기 소스 및 드레인 전극과 동일한 물질을 포함할 수 있다.

[0012] 본 발명의 또 다른 특징에 의하면, 상기 제1커패시터의 제3전극은 상기 적어도 하나의 트랜지스터에 전원 전압을 공급하는 전원 전압 공급선을 포함할 수 있다.

[0013] 본 발명의 또 다른 특징에 의하면, 상기 제2커패시터는 구동 트랜지스터의 게이트 단자에 연결된 보상 커패시터일 수 있다.

[0014] 본 발명의 또 다른 특징에 의하면, 상기 제2커패시터의 제2전극은 투명도전물질로 구성될 수 있다.

[0015] 본 발명의 또 다른 특징에 의하면, 상기 게이트 전극은 투명도전물질을 포함하는 제1층, 및 금속층을 포함하는 제2층을 구비할 수 있다.

[0016] 본 발명의 또 다른 특징에 의하면, 상기 화소 전극은 상기 게이트 전극의 투명도전물질로 구비될 수 있다.

[0017] 본 발명의 또 다른 특징에 의하면, 상기 반도체층은 비정질 실리콘 또는 결정질 실리콘일 수 있다.

[0018] 본 발명의 또 다른 특징에 의하면, 상기 방향 전극은 상기 발광층에서 방출된 광을 반사하는 반사 전극일 수 있다.

[0019] 본 발명의 다른 측면에 의하면, 기판 상에 반도체층을 형성하고, 상기 반도체층을 패터닝하여 트랜지스터의 반도체층, 제1 및 제2커패시터의 제1전극을 형성하는 제1막층 공정; 제1막층 공정의 결과물 상에 제1절연층을 형성하고, 상기 제1절연층 상에 투명도전물질 및 제1금속층을 차례로 형성하고 이를 패터닝하여, 트랜지스터의 게이트 전극, 화소 전극, 상기 제1커패시터의 제1전극 일부, 및 상기 제2커패시터의 제2전극을 노출시키는 콘택홀들을 형성하는 제3막층 공정; 제3막층 공정의 결과물 상에 제3절연층을 형성하고, 상기 화소 전극의 제4막층 공정 후, 상기 소스 및 드레인 영역에 이온 불순물을 도핑할 수 있다.

[0020] 본 발명의 다른 특징에 의하면, 상기 제2막층 공정 후, 상기 소스 및 드레인 영역에 이온 불순물을 도핑할 수 있다.

[0021] 본 발명의 또 다른 특징에 의하면, 상기 화소 전극 및 제2커패시터의 투명도전층 상에 형성된 상기 제1금속층을 제거하는 제1식각 공정, 상기 화소 전극 및 제2커패시터의 투명도전층 상에 형성된 상기 제1금속층을 제거하는 제2식각 공정을 포함할 수 있다.

[0022] 본 발명의 또 다른 특징에 의하면, 상기 제4막층 공정에서, 상기 제2금속층은 상기 제1금속층과 동일한 재료로 형성되고, 상기 제1금속층 및 제2금속층을 동시에 식각할 수 있다.

[0023] 본 발명의 또 다른 특징에 의하면, 상기 제4막층 공정 후, 상기 제2커패시터의 제1전극에 이온 불순물을 도

평할 수 있다.

[0024] 본 발명의 또 다른 특징에 의하면, 상기 제5마스크 공정 후, 상기 화소 전극 상부에 발광층, 및 대향 전극을 더 형성할 수 있다.

발명의 효과

[0025] 상기와 같은 본 발명에 따른 유기 발광 표시 장치 및 그 제조 방법에 따르면 다음과 같은 효과를 제공한다.

[0026] 첫째, 저장 커패시터를 전원전압공급 라인에 중첩하여 형성함으로써, 발광 영역의 면적 증가에 따른 개구율을 향상시킬 수 있다.

[0027] 둘째, 저장 커패시터를 병렬 연결함으로써 정전용량을 향상시킬 수 있다.

[0028] 셋째, 보상 커패시터를 MIM CAP 구조로 형성함으로써 회로의 전압 설계 마진을 향상시킬 수 있다.

[0029] 넷째, 5마스크 공정으로 상기와 같은 유기 발광 표시 장치를 제조할 수 있다.

도면의 간단한 설명

[0030] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치에 포함된 하나의 픽셀을 개략적으로 도시한 평면도이다.

도 2는 도 1의 회로도이다.

도 3a는 도 1의 A-A를 따라 취한 단면도이다.

도 3b는 도 1의 B-B를 따라 취한 단면도이다.

도 4는 본 발명의 비교예에 따른 유기 발광 표시 장치에 포함된 하나의 픽셀을 개략적으로 도시한 평면도이다.

도 5는 도 4의 회로도이다.

도 6a는 도 4의 A'-A'를 따라 취한 단면도이다.

도 6b는 도 4의 B'-B'를 따라 취한 단면도이다.

도 7a 내지 도 11b는 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 제조 방법을 개략적으로 도시한 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0031] 이하, 첨부된 도면들에 도시된 본 발명의 바람직한 실시예를 참조하여 본 발명을 보다 상세히 설명한다.

[0032] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)에 포함된 하나의 픽셀을 개략적으로 도시한 평면도, 도 2는 도 1의 회로도, 도 3a는 도 1의 A-A를 따라 취한 단면도, 도 3b는 도 1의 B-B를 따라 취한 단면도,

[0033] 도 1을 참조하면, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 픽셀 내부에는 스캔 라인(S), 데이터 라인(D), 전원전압공급 라인(V), 보상제어신호 라인(CC)과 같은 복수의 도전 라인들과, 발광 영역(EL1)을 포함하는 픽셀부(PXL1), 제1 내지 제3박막 트랜지스터(TR1, TR2, TR3), 및 제1커패시터(Cst) 및 제2커패시터(Cvth)가 구비된다.

[0034] 도 1은 본 발명을 설명하기 위한 일 예이며, 본 발명은 이에 한정되는 것은 아니다. 즉, 도 1에 도시된 도전 라인들 외에 다른 도전 라인들이 더 구비될 수 있으며, 보상제어신호 라인(CC)과 같은 일부 도전 라인들은 모든 픽셀마다 구비되지 않을 수 있으며, 이웃하는 픽셀에 공통으로 사용될 수 있다. 또한, 박막 트랜지스터 및 커패시터의 개수도 반드시 도시된 실시예에 한정되는 것은 아니며, 화소 회로부에 따라 3 이상의 박막 트랜지스터, 2 이상의 커패시터가 조합될 수 있다.

[0035] 도 2를 참조하면, 제1박막 트랜지스터(TR1)의 게이트 전극은 스캔 라인(S)에 연결되고, 제1박막 트랜지스터(TR1)의 제1전극은 데이터 라인(D)에 연결된다. 제2박막 트랜지스터(TR2)의 게이트 전극은 제2커패시터(Cvth)를 통하여 제1박막 트랜지스터(TR1)의 제2전극과 연결되고, 제2박막 트랜지스터(TR2)의 제1전극은 전원전압

공급 라인(V)에 연결되고, 제2전극은 OLED의 애노드에 연결된다. 제3박막 트랜지스터(TR3)의 게이트 전극은 보상제어 신호 라인(CC)에 연결되고, 제3박막 트랜지스터(TR3)의 제1전극은 제2박막 트랜지스터(TR2)의 게이트 전극에 연결되고, 제2전극은 제2박막 트랜지스터(TR2)의 제2전극에 연결된다. 이때, 제1박막 트랜지스터(TR1)는 스위칭 트랜지스터가 되고, 제2박막 트랜지스터(TR2)는 구동 트랜지스터가 되고, 제3박막 트랜지스터(TR3)는 문턱 전압(V_{th})을 보상하기 위한 보상 트랜지스터가 된다. 도 3에서 제1박막 트랜지스터(TR1), 제2박막 트랜지스터(TR2), 제3박막 트랜지스터(TR3)는 P형으로 도시되어 있으나, 반드시 이에 한정되는 것은 아니며 적어도 하나가 N형으로 형성될 수도 있다.

- [0036] 제1커패시터(Cst)는 제1박막 트랜지스터(TR1)의 제2전극과 전원전압공급 라인(V) 사이에 연결된다. 제1커패시터(Cst)는 병렬된 연결된 2개의 커패시터(Cst1, Cst2)를 포함한다. 제2커패시터(Cvth)는 제1박막 트랜지스터(TR1)의 제2전극과 제2박막 트랜지스터(TR2)의 게이트 전극 사이에 연결된다. 제1커패시터(Cst)는 제1박막 트랜지스터(TR1)에 데이터 신호가 인가되는 동안 데이터 신호를 저장하는 저장 커패시터이고, 제2커패시터(Cvth)는 문턱 전압(V_{th})의 불균일을 보상하기 위한 보상 커패시터가 된다.
- [0037] 도 3a를 참조하면, 제1박막 트랜지스터(TR1)는 기판(10) 상에 구비된 반도체층(211), 게이트 전극(213, 214), 소스 및 드레인 전극(216)을 포함한다. 상기 도면에는 제1박막 트랜지스터(TR1)의 단면 형상만 도시되어 있으나, 제2박막 트랜지스터(TR2)와 제3박막 트랜지스터(TR3)는 제1박막 트랜지스터(TR1)와 동일한 단면을 가진다.
- [0038] 기판(10) 글라스재 또는 플라스틱재와 같은 다양한 재료로 형성될 수 있다. 단, 기판(10) 측으로 화상이 구현되는 배면 발광형의 경우, 기판(10)은 투명재료로 구비되는 것이 바람직하다.
- [0039] 상기 도면에는 도시되어 있지 않으나, 기판(10)의 상부에 평활한 면을 형성하고 기판(10) 상부로 불순 원소가 침투하는 것을 차단하기 위하여 기판(10)의 상부에 버퍼층(미도시)을 더 형성할 수 있다. 버퍼층은 SiO_2 및/또는 SiNx 등으로 형성할 수 있다.
- [0040] 반도체층(211)은 비정질 실리콘 또는 결정질 실리콘을 포함할 수 있으며, 채널 영역(211c)과, 채널 영역(211c) 외측에 이온 불순물이 도핑된 소스 및 드레인 영역(211a)을 포함한다. 소스 및 드레인 영역(211a)은 3족 원소로 도핑하여 p-type, 5족 원소로 도핑하여 n-type 반도체로 형성할 수 있다.
- [0041] 반도체층(211) 상에는 게이트 절연막인 제1절연층(12)을 사이에 두고 반도체층(211)의 채널 영역(211c)에 대응되는 위치에 제1게이트 전극(213), 및 제2게이트 전극(214)이 차례로 형성된다.
- [0042] 제1절연층(12)은 반도체층(211)과 제1 및 제2 게이트 전극(213, 214)을 절연하는 것으로 SiNx 및/또는 SiO_2 와 같은 무기막으로 형성할 수 있다.
- [0043] 제1게이트 전극(213)과 제2게이트 전극(214)은 에칭 선택비가 서로 다른 도전물로 구비될 수 있다. 예를 들어, 제1 및 제2 게이트 전극(213, 214)은, ITO와 같은 투명도전물, Ti, Mo, Al, Ag, Cu 및 이들의 합금에서 선택된 하나 이상의 에칭 선택비가 다른 물질로 선택될 수 있다. 본 실시예에서 제1게이트 전극(213)으로 투명도전물인 ITO가 사용되었고, 제2게이트 전극(214)으로 삼중층의 Mo/Al/Mo이 사용되었다. 한편, 제1게이트 전극(213)의 투명도전물로는 ITO 이외에도 IZO, ZnO 및 In₂O₃로 이루어지는 군으로부터 선택될 수 있다.
- [0044] 제1 및 제2 게이트 전극(213, 214) 상에는 제2절연층(15)이 구비된다. 제2절연층(15)은 제1 및 제2게이트 전극(213, 214)과 소스 및 드레인 전극(216)을 절연하는 층간 절연막으로 기능한다.
- [0045] 제2절연층(15)은 다양한 절연 물질로 형성할 수 있다. 예를 들어 산화물, 질화물과 같은 무기물로도 형성이 가능하고 유기물로도 형성이 가능하다. 제2절연층(15)을 형성하는 무기 절연막으로는 SiO_2 , SiNx , SiON , Al_2O_3 , TiO_2 , Ta_2O_5 , HfO_2 , ZrO_2 , BST, PZT 등이 포함될 수 있고, 유기 절연막으로는 일반 범용고분자(PMMA, PS), phenol그룹을 갖는 고분자 유도체, 아크릴계 고분자, 이미드계 고분자, 아릴에테르계 고분자, 아미드계 고분자, 불소계고분자, p-자일렌계 고분자, 비닐알콜계 고분자 및 이들의 블렌드 등이 포함될 수 있다. 또한, 제2절연층(15)은 무기 절연막과 유기 절연막의 복합 적층체로도 형성될 수 있다.
- [0046] 소스 및 드레인 전극(216)이 반도체층(211)의 소스 및 드레인 영역(211a)에 접속한다. 상기 도면에는 소스 및 드레인 전극(216)이 하나의 층으로 도시되어 있으나, 본 발명은 이에 한정되지 않으며 소스 및 드레인 전극(216)은 복수의 층으로 형성될 수 있다.
- [0047] 도 3a를 참조하면, 기판(10) 상에 픽셀부(PXL1)가 구비된다. 픽셀부(PXL1)는 제1화소 전극(113), 발광층(118), 및 대향 전극(119)을 포함한다.

- [0048] 제1화소 전극(113)은 제1게이트 전극(213)과 동일층에 형성되고, 제1게이트 전극(213)과 동일한 투명도전물로 형성된다. 투명도전물로는 인듐틴옥사이드(indium tin oxide: ITO), 인듐징크옥사이드(indium zink oxide: IZO), 징크옥사이드(zink oxide: ZnO), 인듐옥사이드(indium oxide: In₂O₃), 인듐갈륨옥사이드(indium galium oxide: IGO), 및 알루미늄징크옥사이드(aluminium zink oxide: AZO)를 포함하는 그룹에서 선택된 적어도 하나 이상을 포함할 수 있다.
- [0049] 제1화소 전극(113) 상에는 발광층(118)이 형성되고, 발광층(118)에서 방출된 광은 투명도전물로 형성된 제1화소 전극(113)을 통하여 기판(10) 측으로 방출된다.
- [0050] 제1절연층(12) 및 제1화소 전극(113) 상부에 제3절연층(17)이 형성되고, 제3절연층(17)에는 화소 전극(114) 상부를 노출시키는 개구(C5)가 형성된다. 상기 개구(C5) 내부에 발광층(118)이 구비된다. 발광층(118)은 발광 영역(EL1)을 결정한다.
- [0051] 발광층(118)은 저분자 유기물 또는 고분자 유기물일 수 있다. 발광층(118)이 저분자 유기물일 경우, 발광층(118)을 중심으로 홀 수송층(hole transport layer: HTL), 홀 주입층(hole injection layer: HIL), 전자 수송층(electron transport layer: ETL) 및 전자 주입층(electron injection layer: EIL) 등이 적층될 수 있다. 이외에도 필요에 따라 다양한 층들이 적층될 수 있다. 이때, 사용 가능한 유기 재료로 구리 프탈로시아닌(CuPc: copper phthalocyanine), N'-디(나프탈렌-1-일)-N(N'-Di(naphthalene-1-yl)-N), N'-디페닐-벤지딘(N'-diphenyl-benzidine: NPB), 트리스-8-하이드록시퀴놀린 알루미늄(tris-8-hydroxyquinoline aluminum)(Alq3) 등을 비롯하여 다양하게 적용 가능하다.
- [0052] 한편, 발광층(118)이 고분자 유기물일 경우, 발광층(118) 외에 홀 수송층(HTL)이 포함될 수 있다. 홀 수송층은 폴리에틸렌 디히드록시티오펜 (PEDOT: poly-(2,4)-ethylene-dihydroxy thiophene)이나, 폴리아닐린(PANI: polyaniline) 등을 사용할 수 있다. 이때, 사용 가능한 유기 재료로 PPV(Poly-Phenylenevinylene)계 및 폴리플루오렌(Polyfluorene)계 등의 고분자 유기물을 사용할 수 있다.
- [0053] 발광층(118) 상에는 공통 전극으로 대향 전극(119)이 증착된다. 본 실시예에 따른 유기 발광 표시 장치(1)의 경우, 제1화소 전극(113)은 애노드로 사용되고, 대향 전극(119)은 캐소드로 사용된다. 물론 전극의 극성은 반대로 적용될 수 있음은 물론이다.
- [0054] 대향 전극(119)은 반사 물질을 포함하는 반사 전극으로 구성될 수 있다. 이때 상기 대향 전극(119)은 Al, Mg, Li, Ca, LiF/Ca, 및 LiF/Al에서 선택된 하나 이상의 물질을 포함할 수 있다. 대향 전극(119)이 반사 전극으로 구비됨으로써, 발광층(118)에서 방출된 빛은 대향 전극(119)에 반사되어 투명도전물로 구성된 제1화소 전극(113)을 투과하여 기판(10) 측으로 방출된다.
- [0055] 도 3b를 참조하면, 기판(10) 상에 제1커패시터(Cst)가 구비된다. 제1커패시터(Cst)는 반도체층(211)과 동일층에 형성된 제1전극(311c), 게이트 전극(213, 214)과 동일층에 형성된 제2전극(313, 314), 및 소스 및 드레인 전극(216)과 동일층에 형성된 제3전극(316)을 포함한다.
- [0056] 제1커패시터(Cst)는 회로적으로 전원전압공급 라인(V, 도 1 참조)에 연결되고, 구조적으로 상기 전원전압공급 라인(V)과 중첩되도록 구비된다.
- [0057] 제1커패시터(Cst)의 제1전극(311c)는 전원전압공급 라인(V)을 따라 그 하부에 위치하고, 반도체층(211)의 채널영역(211c)과 동일한 비정질 반도체 또는 결정질 반도체로 형성된다. 제1커패시터(Cst)의 제1전극(311c)을 구성하는 반도체는 이온 불순물을 포함하지 않는다.
- [0058] 제1커패시터(Cst)의 제1전극(311c) 상에 제1절연층(12)이 형성되고, 제1절연층(12) 상에 게이트 전극(213, 214)과 동일한 물질인 제2전극(313, 314)이 구비된다. 제2전극의 제1층(313)은 제1게이트 전극(213)과 동일한 투명도전물로 구비되고, 제2전극의 제2층(314)은 제2게이트 전극(214)과 동일한 금속으로 구비된다. 제1커패시터(Cst)의 제2전극(313, 314)도 전술한 전원전압공급 라인(V)을 따라 그 하부에 위치하도록 구비된다.
- [0059] 제1커패시터(Cst)의 제2전극(313, 314) 상에 제2절연층(15)이 형성되고, 제2절연층(15) 상에 소스 및 드레인 전극(216)과 동일한 물질을 포함하는 제1커패시터(Cst)의 제3전극(316)이 구비된다. 제3전극(316)은 전원전압공급 라인(V)을 따라 형성된다. 이때, 제3전극(316)은 접속홀(C4)을 통하여 제1전극(311c)과 접속된다. 이로써, 제1커패시터(Cst)는 제1전극(311c)과 제2전극(313, 314) 사이에 형성되는 제1정전용량, 및 제2전극(313, 314)과 제3전극(316) 사이에 형성되는 제2정전용량을 가지는 두 개의 커패시터(Cst1, Cst2, 도 3 참조)가 병렬 연결된다. 따라서, 제1커패시터(Cst)의 정전용량이 증가될 수 있다.

- [0060] 전원전압공급 라인(V)은 일반적으로 스캔 라인(S)이나 데이터 라인(D)에 비하여 상대적으로 넓은 폭을 구비하도록 형성되며, 반사율이 높은, 또는 투과율이 낮은 금속으로 형성된다. 본 실시예에 따른 유기 발광 표시 장치(1)의 경우, 제1커패시터(Cst)를 투과율이 낮은 전원전압공급 라인(V)과 중첩되도록 위치시킴으로써, 제1커패시터(Cst)를 전원전압공급 라인(V)에 중첩되지 않는 픽셀 내부의 별도의 영역에 형성하는 경우에 비하여, 유기 발광 표시 장치의 개구율을 향상시킬 수 있다.
- [0061] 도 3b를 참조하면, 기판(10) 상에 제2커패시터(Cvth)가 구비된다. 제2커패시터(Cvth)는 반도체층(211)과 동일층에 형성된 제1전극(411a)과, 제1게이트 전극(213)과 동일층에 형성된 제2전극(413)을 포함한다.
- [0062] 제2커패시터(Cvth)의 제1전극(411a)은 박막 트랜지스터의 반도체층(211)과 동일한 물질을 포함한다. 제2커패시터(Cvth)의 제2전극(413)은 제1게이트 전극(213)과 동일한 투명도전물로 형성된다. 특히, 제1전극(411a)은 이온 불순물이 도핑된 반도체물질로 구성됨으로써, 제2전극(413)과 함께 MIM(metal-insulator-metal) CAP 구조를 형성한다.
- [0063] MIM CAP 구조는 일반적으로 MOS(Metal Oxide Semiconductor) CAP 구조에 비하여 폭넓은 전압 범위에서 일정한 정전용량을 유지할 수 있다. 따라서, 회로 설계시 전압 설계 마진을 향상시킬 수 있다.
- [0064] 제1커패시터(Cst)의 제3전극(316) 및 제2커패시터(Cvth)의 제2전극(142) 상에 제3절연층(17)이 형성되고, 제3절연층(170) 상에는 공통 전극인 대향 전극(119)이 구비된다.
- [0065] 도 4는 본 발명의 비교예에 따른 유기 발광 표시 장치(2)에 포함된 하나의 픽셀을 개략적으로 도시한 평면도로서, 제1커패시터(Cst')가 전원전압공급(V') 라인에 중첩되지 않는 픽셀 내부의 별도 영역에 형성된 경우를 도시한 것이다. 도 5는 도 4의 회로도이고, 도 6a는 도 4의 A'-A'를 따라 취한 단면도이고, 도 6b는 도 4의 B'-B'를 따라 취한 단면도이다.
- [0066] 도 4를 참조하면, 본 비교예에 따른 유기 발광 표시 장치(2)의 픽셀 내부에는 스캔 라인(S), 데이터 라인(D), 전원전압공급 라인(V'), 보상제어신호 라인(CC)과 같은 복수의 도선 라인들과, 발광 영역(EL2)을 포함하는 픽셀부(PXL2), 제1 내지 제3박막 트랜지스터(TR1, TR2, TR3), 및 제1커패시터(Cst') 및 제2커패시터(Cvth)가 구비된다.
- [0067] 도 5를 참조하면, 본 비교예에 따른 유기 발광 표시 장치(2)는 저장 커패시터인 제1커패시터(Cst')가 병렬이 아닌 단독으로 구비된다는 점에서, 전술한 본 실시예에 따른 유기 발광 표시 장치(1)와 회로적으로 구별된다.
- [0068] 도 6a를 참조하면, 기판(10) 상에 제1박막 트랜지스터(TR1), 제1커패시터(Cst'), 픽셀부(PXL2)가 구비된다. 제1박막 트랜지스터(TR1)는 반도체층(21), 게이트 전극(23, 24), 소스 및 드레인 전극(26)을 포함한다. 픽셀부(PXL2)는 화소 전극(13), 발광층(18), 및 대향 전극(19)을 포함한다.
- [0069] 화소 전극(13)은 제1게이트 전극(23)과 동일층에 형성되고, 제1게이트 전극(23)과 동일한 투명도전물로 형성된다. 화소 전극(13) 상에는 발광층(18)이 형성되고, 발광층(18)에서 방출된 광은 투명도전물로 형성된 제1화소 전극(13)을 통하여 기판(10) 측으로 방출된다.
- [0070] 픽셀부(PXL2)와 제1박막 트랜지스터(TR1) 사이에 저장 커패시터인 제1커패시터(Cst')가 구비된다. 비교예의 제1커패시터(Cst')는 반도체층(21)과 동일층에 형성된 제1전극(51a)과, 게이트 전극(23, 24)과 동일층에 형성된 제2전극(53)을 포함한다. 이때, 제1전극(51a)은 이온 불순물이 도핑된 반도체물질로 구성됨으로써, 제2전극(53)과 함께 MIM CAP 구조가 된다. 이와 같은 MIM CAP 구조는 전체적으로 투과율이 낮아 발광층(18)에서 방출된 빛이 투과되기 어렵다. 따라서, 발광층(18)에 의해 결정되는 발광영역(EL2)이 전술한 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 발광영역(EL1)보다 좁아진다. 결과적으로 개구율이 저하된다.
- [0071] 도 6b를 참조하면, 기판(10) 상에 전원전압공급 라인(V)과 제2커패시터(Cvth)가 구비된다.
- [0072] 전원전압공급 라인(V')은 제1절연층(12) 상에 제1게이트 전극(13)과 동일한 물질로 형성된 제1층(33), 및 제2게이트 전극(14)과 동일한 물질로 형성된 제2층(34)을 포함한다. 제1층(33) 및 제2층(34) 상에 제2절연층(15)이 구비되고, 제2절연층(15) 상에 소스 및 드레인 전극(26)과 동일한 물질로 형성된 제3층(36)을 포함한다.
- [0073] 제2커패시터(Cvth)는 반도체층(21)과 동일층에 형성된 제1전극(41a)과, 제1게이트 전극(23)과 동일층에 형성된 제2전극(43)을 포함한다. 제2커패시터(Cvth)의 제1전극(41a)은 박막 트랜지스터의 반도체층(21)과 동일한 물질을 포함한다. 제2커패시터(Cvth)의 제2전극(43)은 제1게이트 전극(23)과 동일한 투명도전물로 형성된다. 특히, 제1전극(41a)은 이온 불순물이 도핑된 반도체물질로 구성됨으로써, 제2전극(43)과 함께 MIM CAP 구조를

형성한다.

- [0074] 따라서, 본 비교예에 따른 유기 발광 표시 장치(2)는 제1커패시터(Cst')가 전원전압공급 라인(V')과 중첩되지 않는 픽셀 내부의 별도 영역에 형성되기 때문에, 발광층(18)에 의해 결정되는 발광 영역(EL2)이 형성되는 면적이 좁다. 따라서 개구율이 낮아진다.
- [0075] 이하, 도 7a 내지 도 11b를 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 제조 방법을 설명한다.
- [0076] 도 7a 및 7b는 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 제1마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0077] 도 7a를 참조하면, 기판(10) 상에 제1박막 트랜지스터의 반도체층(211)이 형성되고, 도 7b를 참조하면 기판(10) 상에 제1커패시터(Cst)의 제1전극(311c) 및 제2커패시터(Cvth)의 제1전극(411c)이 형성된다.
- [0078] 상기 도면에는 도시되어 있지 않지만, 기판(10) 상에는 반도체층 형성 물질(미도시)이 증착되고, 반도체층 형성 물질(미도시) 상에 포토레지스터(미도시)가 도포된다. 제1포토마스크(미도시)를 이용한 포토리소그래피 공정에 의해 반도체층 형성 물질(미도시)이 패터닝되어, 제1박막 트랜지스터(TR1)의 반도체층(211), 및 제1커패시터(Cst)의 제1전극(311c) 및 제2커패시터(Cvth)의 제1전극(411c)이 동시에 형성된다. 상기 도면에는 도시되어 있지만, 제2박막 트랜지스터(TR2), 및 제3박막 트랜지스터(TR3)도 제1박막 트랜지스터(TR1)와 동일하게 형성된다.
- [0079] 포토리소그래피에 의한 제1마스크 공정은 제1포토마스크(미도시)에 노광장치(미도시)로 노광 후, 현상(developing), 식각(etching), 및 스트립핑(stripping) 또는 에싱(ashing) 등과 같은 일련의 공정을 거쳐 진행된다.
- [0080] 반도체층(211)은 비정질 실리콘(amorphous silicon) 또는 결정질 실리콘(poly silicon)으로 구비될 수 있다. 이때, 결정질 실리콘은 비정질 실리콘을 결정화하여 형성될 수도 있다. 비정질 실리콘을 결정화하는 방법은 RTA(rapid thermal annealing)법, SPC(solid phase crystallization)법, ELA(excimer laser annealing)법, MIC(metal induced crystallization)법, MILC(metal induced lateral crystallization)법, SLS(sequential lateral solidification)법 등 다양한 방법에 의해 결정화될 수 있다.]
- [0081] 도 8a 및 8b는 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 제2마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0082] 도 8a를 참조하면, 도 7a의 제1마스크 공정의 결과물 상에 제1절연층(12)이 적층되고, 제1절연층(12) 상에 제1게이트 전극(213) 및 제2게이트 전극(214)이 순차로 적층되고, 픽셀부(PXL1)에 제1화소 전극(113) 및 제2화소 전극(114)이 순차로 적층된다.
- [0083] 도 8b를 참조하면, 도 7b의 제1마스크 공정의 결과물 상에 제1절연층(12)이 형성되고, 제1절연층(12) 상에 제1커패시터(Cst)의 제2전극의 제1층(313) 및 제2층(314)이 순차로 적층되고, 제2커패시터(Cvth)의 제2전극의 제1층(413) 및 제2층(414)이 순차로 적층된다.
- [0084] 제1게이트 전극(213), 제1화소 전극(113), 제1커패시터(Cst)의 제2전극의 제1층(313) 및 제2커패시터(Cvth)의 제2전극의 제1층(413)은 동일층에 동시에 형성되고, ITO, IZO, ZnO 및 In₂O₃로 이루어지는 균으로부터 선택될 수 있는 동일한 투명도전물로 형성된다.
- [0085] 제2게이트 전극(214), 제2화소 전극(114), 제1커패시터(Cst)의 제2전극의 제2층(314) 및 제2커패시터(Cvth)의 제2전극의 제2층(414)은 동일층에 동시에 형성되고, Ti, Mo, Al, Ag, Cu 및 이들의 합금에서 선택된 하나 이상의 재료로 형성될 수 있다.
- [0086] 상기와 같은 구조물 위에 이온 불순물을 도핑(D1)한다. 이온 불순물은 전술한 바와 같이 3족 또는 5족의 이온으로 도핑할 수 있으며, 1×10^{15} atoms/cm² 이상의 농도로 박막 트랜지스터의 반도체층(211)을 다겟으로 하여 도핑한다.
- [0087] 이때, 제1 및 제2게이트 전극(213, 214)을 셀프 얼라인(self align) 마스크로 사용하여 반도체층(211)에 이온 불순물을 도핑함으로써 반도체층(211)은 이온 불순물이 도핑된 소스 및 드레인 영역(212a)과, 그 사이에 채널 영역(212c)을 구비하게 된다. 즉, 제1 및 제2게이트 전극(213, 214)을 셀프 얼라인 마스크로 사용함으로써

써, 별도의 포토 마스크를 추가하지 않고 소스 및 드레인 영역(212a)을 형성할 수 있다.

- [0088] 도 9a 및 9b는 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 제3마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0089] 도 9a 및 9b를 참조하면, 도 8a 및 8b의 제2마스크 공정의 결과물 상에 제2절연층(15)이 적층되고, 제2절연층(15)을 패터닝하여 제2화소 전극(114)의 상부를 노출시키는 제1콘택홀(C1), 반도체층(211)의 소스 및 드레인 영역(211a)의 일부를 노출시키는 제2콘택홀(C2), 제2커패시터(Cvth)의 제2전극의 제2층(314)의 상부를 노출시키는 제3콘택홀(C3), 및 제1커패시터(Cst)의 제1전극(311c)의 일부를 노출시키는 제4콘택홀(C4)이 형성된다.
- [0090] 도 10a 및 10b는 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 제4마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0091] 도 10a를 참조하면, 도 9a의 제3마스크 공정의 결과물 상에, 소스 및 드레인 영역(211a)에 각각 접속하는 소스 및 드레인 전극(216)이 형성되고, 픽셀부(PXL1)의 제2화소 전극(114)이 제거된다.
- [0092] 도 10b를 참조하면, 도 9b의 제3마스크 공정의 결과물 상에, 제1커패시터(Cst)의 제1전극(311c)에 접속하는 제1커패시터(Cst)의 제3전극(316)이 형성되고, 제2커패시터(Cvth)의 제2전극의 제2층(414)이 제거된다.
- [0093] 상기 제4마스크 공정은 제2화소 전극(114) 및 제2커패시터(Cvth)의 제2전극의 제2층(414) 상에 적층된 소스 및 드레인 전극(216)을 형성하는 도전물을 식각하는 제1식각 공정과, 제1식각 공정 후 제2화소 전극(114) 및 제2커패시터(Cvth)의 제2전극의 제2층(414)을 제거하는 제2식각 공정을 포함할 수 있다. 식각 공정의 분리는 제2화소 전극(114) 및 제2커패시터(Cvth)의 제2전극의 제2층(414)을 형성하는 재료와 소스 및 드레인 전극(216)의 재료가 이종 일 때 바람직하며, 만약 제2화소 전극(114) 및 제2커패시터(Cvth)의 제2전극의 제2층(414)을 형성하는 재료와 소스 및 드레인 전극(216)의 재료가 동종인 경우에는 한번의 식각 공정이 가능함은 물론이다.
- [0094] 제4마스크 공정 후, 상기와 같은 구조물 위에 이온 불순물을 도핑(D2)한다. 이온 불순물은 전술한 바와 같이 3족 또는 5족의 이온으로 도핑할 수 있으며, 1×10^{15} atoms/cm² 이상의 농도로 제2커패시터(Cvth)의 제1전극(411c)을 타겟으로 하여 도핑한다.
- [0095] 제2커패시터(Cvth)의 제2전극의 제1층(413)은 두께가 1000Å 이하로 얇게 형성되기 때문에 이온 불순물은 제1층(413)을 통과하여 제1전극(411c)에 도핑된다. 그 결과 이온 불순물이 도핑된 제1전극(411a)은 제2커패시터(Cvth)의 제2전극의 제2층(413)과 함께 MIM CAP 구조를 형성하므로 회로 설계시 전압 설계 마진을 향상시킬 수 있다.
- [0096] 한편, 제1커패시터(Cst)의 제1전극(311c)은, 제1전극(311c) 상부에 상당한 두께로 형성된 제2전극의 제2층(314) 및 제3전극(316)이 차단막으로 기능하여 이온 불순물이 도핑되지 않는다.
- [0097] 도 11a 및 11b는 본 발명의 일 실시예에 따른 유기 발광 표시 장치(1)의 제5마스크 공정의 결과를 개략적으로 도시한 단면도이다.
- [0098] 도 11a 및 11b를 참조하면, 도 10a 및 10b의 제4마스크 공정의 결과물 상에 제3절연층(17)을 형성하고, 제1화소 전극(113)의 상면을 노출시키는 개구(C5)를 형성한다.
- [0099] 개구(C5) 내부에 전술한 발광층(118, 도 3a 참조)이 구비됨으로써, 제1화소 전극(113) 및 대향 전극(119, 도 3a 참조)의 전압 인가에 의해 발광층(118)이 발광한다. 따라서, 발광 영역(EL1)이 확대되어 개구율을 증가시킬 수 있다.
- [0100] 본 발명은 도면에 도시된 실시 예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시 예가 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

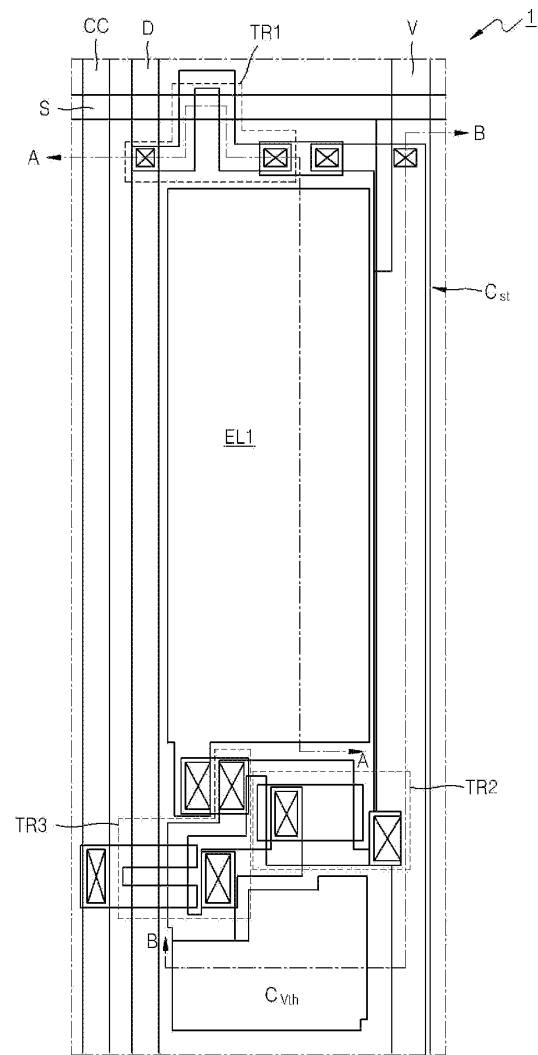
[0101] 1: 유기 발광 표시 장치

10: 기판

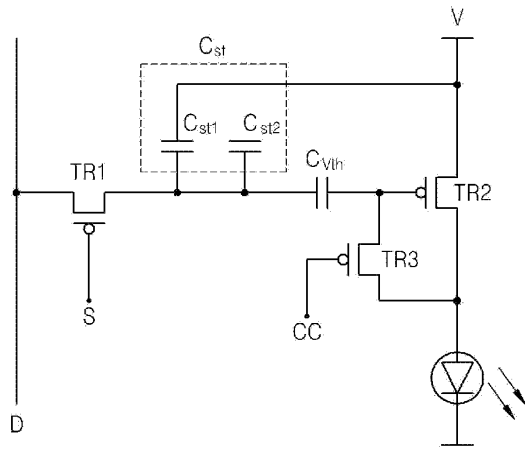
12: 제1절연층

15: 제2절연층	17: 제3절연층
113: 제1화소 전극	114: 제2화소 전극
118: 발광층	119: 대향 전극
211: 반도체층	211a: 소스 및 드레인 영역
211c: 채널 영역	213: 제1게이트 전극
214: 제2게이트 전극	216: 소스 및 드레인 전극
311a: 제1커패시터의 제1전극	
313: 제1커패시터의 제2전극 제1층	
314: 제1커패시터의 제2전극 제2층	
316: 제1커패시터의 제3전극	
411a: 제2커패시터의 제1전극	
413: 제2커패시터의 제2전극 제1층	
414: 제2커패시터의 제2전극 제2층	
S: 스캔 라인	D: 데이터 라인
V: 전원전압공급 라인	CC: 보상제어신호 라인
PXL1: 픽셀부	TR1~TR3: 박막 트랜지스터
Cst: 제1커패시터	Cvth: 제2커패시터
C1~C5: 콘택홀	

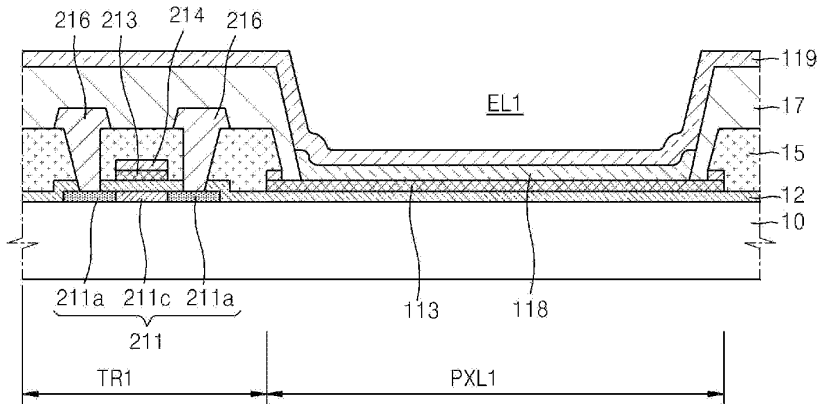
도면



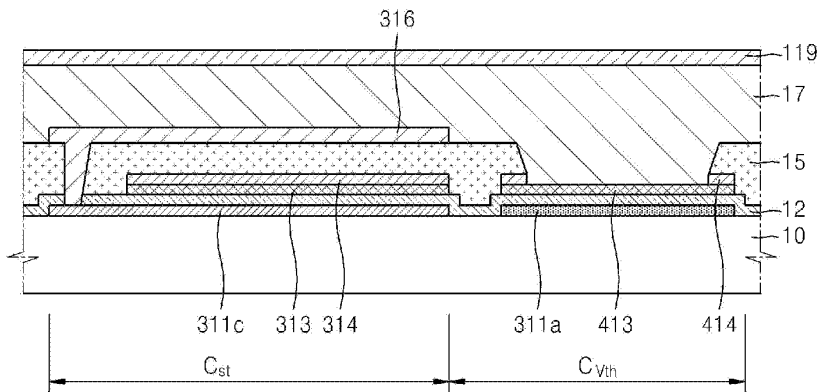
도면2



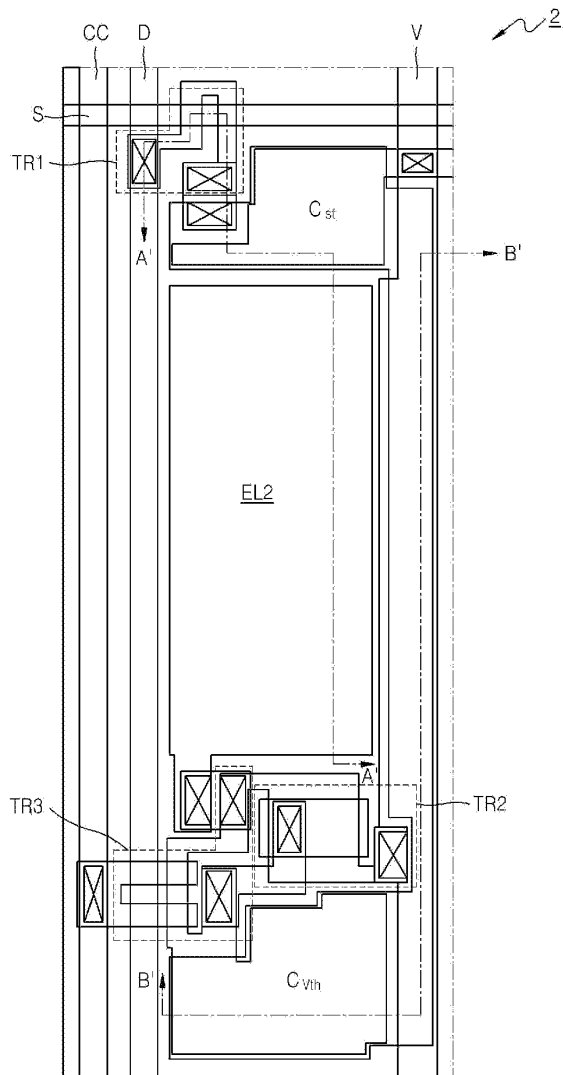
도면3a



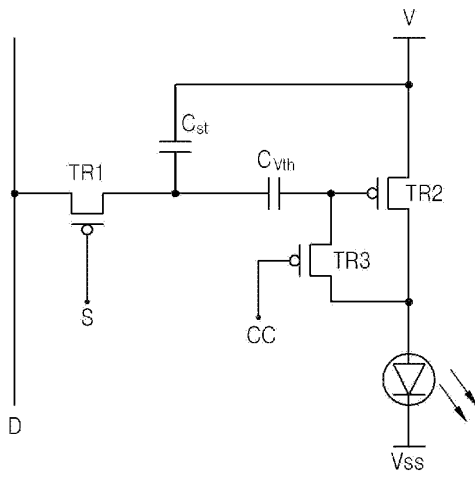
도면3b



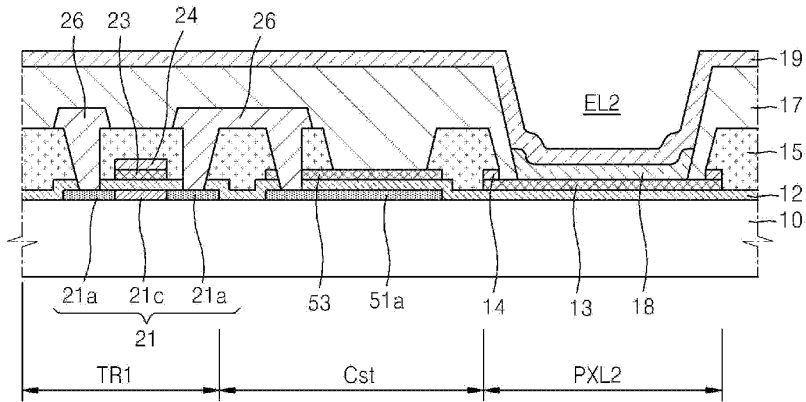
도 24



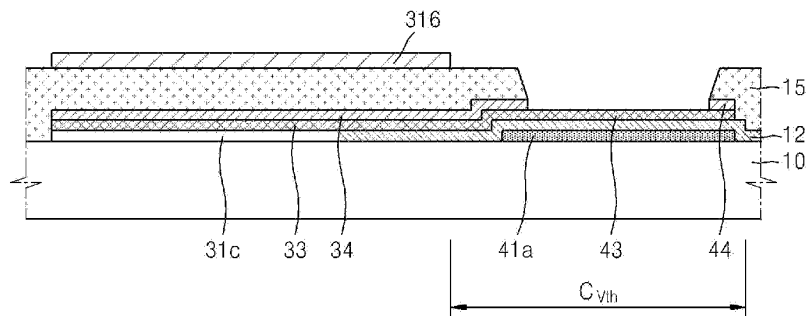
도면5



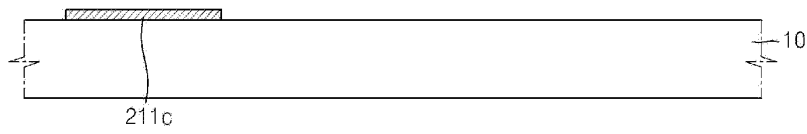
도면6a



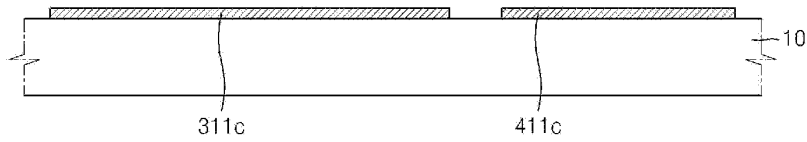
도면6b



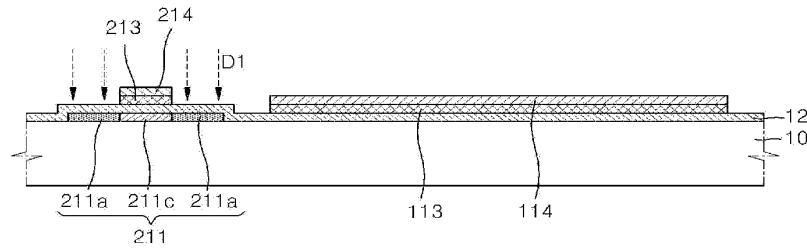
도면7a



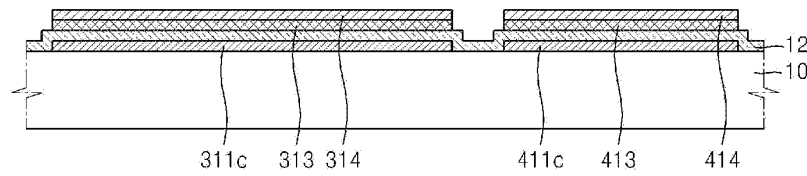
도면7b



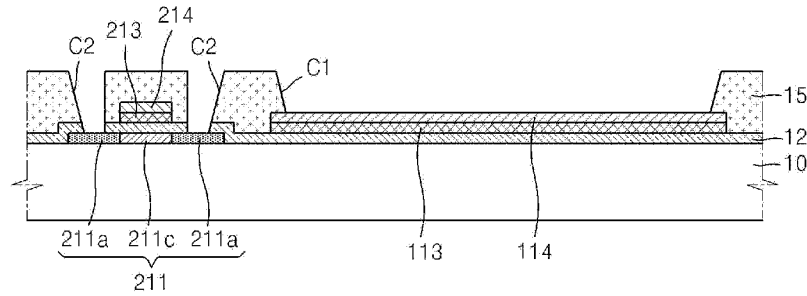
도면8a



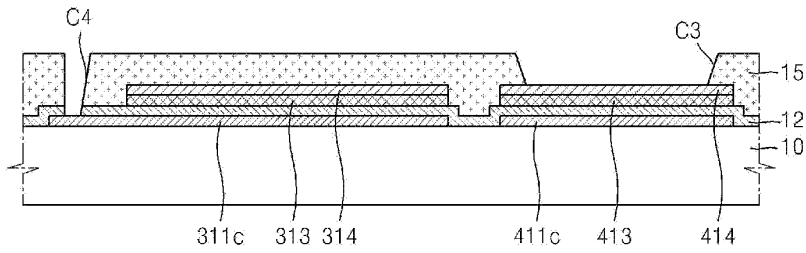
도면8b



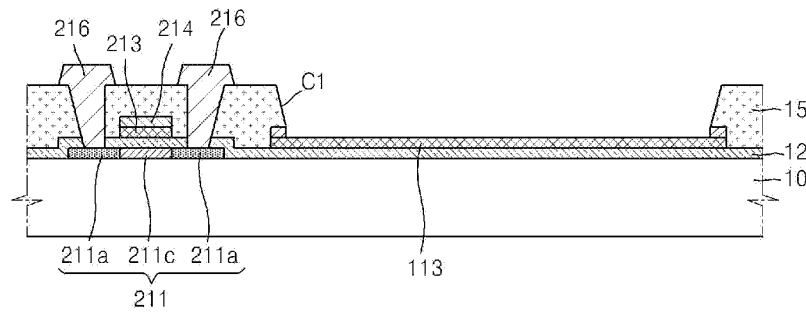
도면9a



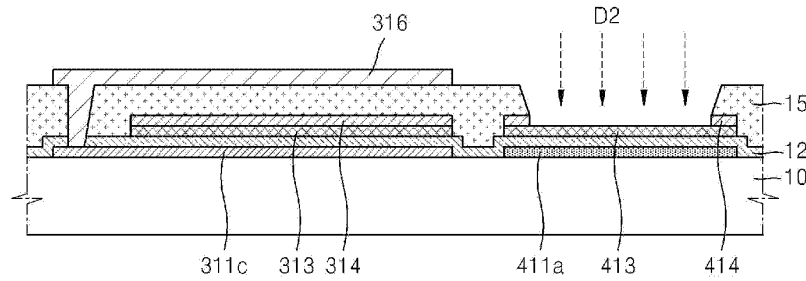
도면9b



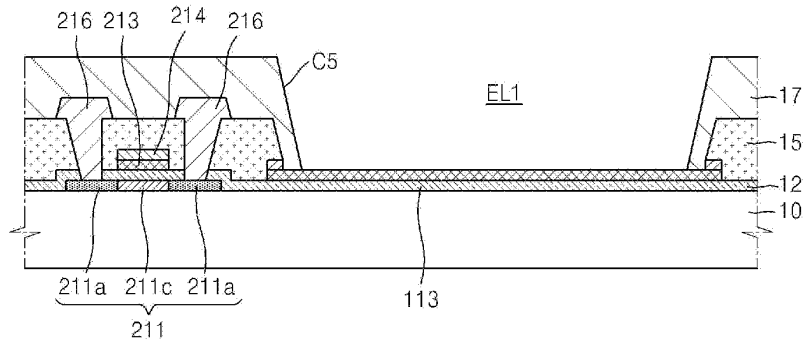
도면10a



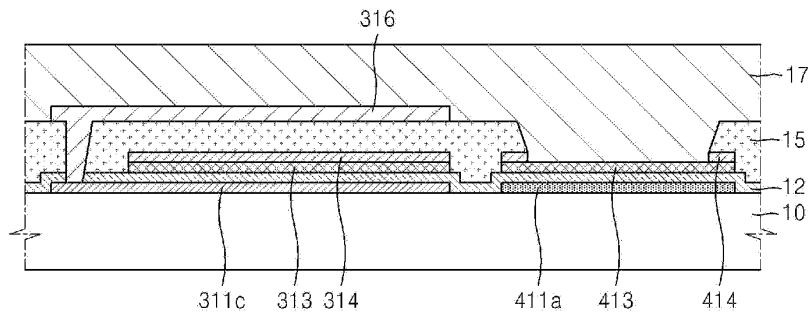
도면10b



도면11a



도면11b



Electronic Acknowledgement Receipt	
EFS ID:	35503821
Application Number:	15707884
International Application Number:	
Confirmation Number:	6428
Title of Invention:	THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC LIGHT-EMITTING DIODE DISPLAY
First Named Inventor/Applicant Name:	Won-Se Lee
Customer Number:	23363
Filer:	Peter C. Hsueh/Yanira Vanegas
Filer Authorized By:	Peter C. Hsueh
Attorney Docket Number:	145709/411598
Receipt Date:	22-MAR-2019
Filing Date:	18-SEP-2017
Time Stamp:	14:09:39
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no
------------------------	----

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		145709_IDS.pdf	32832	yes	3
			849754d4ae796852706c8b5ee4a9c6b01bd5a1d9		

	Multipart Description/PDF files in .zip description								
	Document Description		Start	End					
	Information Disclosure Statement (IDS) Form (SB08)		3	3					
	Transmittal Letter		1	2					
Warnings:									
Information:									
2	Foreign Reference	KR_10_2012_0066491_A.pdf	4825176	no	20				
			f54ad8618e0822125b55e6de384e4d55a88afe13						
Warnings:									
Information:									
Total Files Size (in bytes):			4858008						
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>									



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
15/707,884	09/18/2017	Won-Se Lee	145709/411598	6428
23363	7590	02/21/2019	EXAMINER	
Lewis Roca Rothgerber Christie LLP			PRENTY, MARK V	
PO BOX 29001				
Glendale, CA 91209-9001				
		ART UNIT	PAPER NUMBER	
		2814		
		NOTIFICATION DATE	DELIVERY MODE	
		02/21/2019	ELECTRONIC	

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

pair_cph@firsttofile.com
pto@lrrc.com

Office Action Summary	Application No. 15/707,884	Applicant(s) Lee et al.	
	Examiner MARK V PRENTY	Art Unit 2814	AIA Status No

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE 2 MONTHS FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1) ☒ Responsive to communication(s) filed on September 18, 2017.
☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on ____.

2a) ☐ This action is **FINAL**. 2b) ☐ This action is non-final.

3) ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on ____; the restriction requirement and election have been incorporated into this action.

4) ☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims*

5) ☒ Claim(s) 1-40 is/are pending in the application.
5a) Of the above claim(s) ____ is/are withdrawn from consideration.

6) ☐ Claim(s) ____ is/are allowed.

7) ☐ Claim(s) ____ is/are rejected.

8) ☐ Claim(s) ____ is/are objected to.

9) ☒ Claim(s) 1-40 are subject to restriction and/or election requirement

* If any claims have been determined allowable, you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to PPHfeedback@uspto.gov.

Application Papers

10) ☐ The specification is objected to by the Examiner.

11) ☐ The drawing(s) filed on ____ is/are: a) ☐ accepted or b) ☐ objected to by the Examiner.
Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).
Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

Priority under 35 U.S.C. § 119

12) ☐ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
Certified copies:
a) ☐ All b) ☐ Some** c) ☐ None of the:
1. ☐ Certified copies of the priority documents have been received.
2. ☐ Certified copies of the priority documents have been received in Application No. ____.
3. ☐ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

** See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☐ Notice of References Cited (PTO-892)

2) ☐ Information Disclosure Statement(s) (PTO/SB/08a and/or PTO/SB/08b)
Paper No(s)/Mail Date ____.

3) ☐ Interview Summary (PTO-413)
Paper No(s)/Mail Date ____.

4) ☐ Other: ____.

This Office Action is in response to the papers filed on September 18, 2017.

Restriction to one of the following inventions is required under 35 U.S.C. 121:

- I. Claims 1-21, drawn to a thin film transistor (TFT) array substrate, classified in CPC H01L 27/32.
- II. Claims 22-40, drawn to a display device, classified in CPC H01L 51/50.

The inventions are distinct, each from the other because:

Inventions II and I are related as combination and subcombination. Inventions in this relationship are distinct if it can be shown that (1) the combination as claimed does not require the particulars of the subcombination as claimed for patentability, and (2) that the subcombination has utility by itself or in other combinations (MPEP § 806.05(c)). In the instant case, the combination as claimed does not require the particulars of the subcombination as claimed because it includes display device particulars. The subcombination has separate utility such as a logic device.

Because these inventions are distinct for the reasons given above and have acquired a separate status in the art as shown by their different classifications, restriction for examination purposes as indicated is proper.

Applicant is reminded that upon the cancellation of claims to a non-elected invention, the inventorship must be corrected in compliance with 37 CFR 1.48(a) if one or more of the currently named inventors is no longer an inventor of at least one claim remaining in the application. A request to correct inventorship under 37 CFR 1.48(a) must be accompanied by an application data sheet in accordance with 37 CFR 1.76 that

identifies each inventor by his or her legal name and by the processing fee required under 37 CFR 1.17(i).

Applicant is advised that the reply to this requirement to be complete must include an election of the invention to be examined even though the requirement be traversed (37 CFR 1.143).

Registered practitioners can telephone the examiner at (571) 272-1843. Any voicemail message left for the examiner should include the registration number of the registered practitioner calling. The examiner's supervisor is Wael Fahmy, whose telephone number is (571) 272-1705.

/MARK V PRENTY/
Primary Examiner, Art Unit 2814

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (use as many sheets as necessary)	Attorney Docket Number	145709
	Application Number	15/707,884
	Filing Date	September 18, 2017
	Inventor(s)	Won-Se Lee, et al.
	Group Art Unit	2814
	Examiner Name	Wael M. Fahmy

U.S. Patent Documents				
EXAMINER INITIALS	Cite No. ¹	DOCUMENT NUMBER Number - Kind Code ² (If Known)	PUBLICATION DATE OR ISSUE DATE MM-DD-YYYY	NAME OF PATENTEE
		2011/0025585 A1	02-03-2011	Kim et al.
		2012/0105388 A1	05-03-2012	Han et al.

Foreign Patent Documents					
EXAMINER INITIALS	Cite No. ¹	Foreign Patent Document Country Code ³ - Number ⁴ - Kind Code ⁵ (If Known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	T ⁶ (✓)
		KR 10-2011-0012710	02-09-2011	Kim et al.	Corresponds to U.S. Publication 2011/0025585 A1, listed above
		KR 10-2011-0113040	10-14-2011	Choi et al.	Abstract and Translation of Relevant Part
		KR 10-2012-0044657	05-08-2012	Han et al.	Corresponds to U.S. Publication 2012/0105388 A1, listed above

Other Documents		
EXAMINER INITIALS	Cite No. ¹	Include name of the author (in CAPITAL LETTERS), title of the article, title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.

EG 106071913.1 *-09/19/2018 2:52 PM

EXAMINER SIGNATURE	DATE CONSIDERED
EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. ¹ Applicant's unique citation designation number (optional). ² See Kinds Codes of USPTO Patent Documents at www.pto.gov or MPEP 901.4. ³ Enter Office that issued the document, by the two-letter code (WIPO standard ST.3). ⁴ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁶ Applicant is to place a check mark here if English Language Translation is attached.	

JEJ/eg

Sheet 1 of 1



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0012710
(43) 공개일자 2011년02월09일

(51) Int. Cl.

H01L 51/52 (2006.01) G09G 3/30 (2006.01)
H05B 33/26 (2006.01)

(21) 출원번호 10-2009-0070545

(22) 출원일자 2009년07월31일

심사청구일자 2009년07월31일

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 농서동 산24번지

(72) 발명자

김창엽

충청남도 천안시 서북구 성성동 508번지

엄기명

충청남도 천안시 서북구 성성동 508번지

(뒷면에 계속)

(74) 대리인

신영무

전체 청구항 수 : 총 12 항

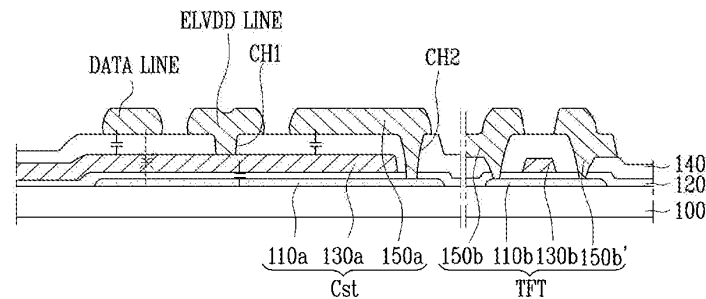
(54) 화소 및 이를 구비한 유기전계발광 표시장치

(57) 요약

본 발명은, 스토리지 커패시터의 용량을 충분히 확보하면서 스토리지 커패시터에 저장된 데이터신호의 전압을 안정적으로 유지할 수 있도록 한 화소에 관한 것이다.

본 발명에 의한 화소는, 제1 전원과 제2 전원 사이에 접속되는 유기 발광 다이오드와, 상기 제1 전원과 상기 유기 발광 다이오드 사이에 접속되며 게이트 전극이 제1 노드에 연결되는 제1 트랜지스터와, 상기 제1 노드와 데이터선 사이에 접속되며 게이트 전극이 주사선에 접속되는 제2 트랜지스터와, 제1 전극이 상기 제1 노드에 접속되고 제2 전극이 상기 제1 전원과 접속되는 스토리지 커패시터를 포함하며, 상기 스토리지 커패시터는, 상기 데이터선과 상이한 레이어에 위치되며 상기 데이터선과 중첩되는 영역까지 확장 형성되며 상기 제1 전극을 구성하는 반도체층과, 상기 반도체층 상에 형성된 제1 절연막과, 상기 제1 절연막 상에 형성되며 상기 제2 전극을 구성하는 제1 도체층과, 상기 제1 도체층 상에 형성된 제2 절연막과, 상기 제2 절연막 상에 형성되며 상기 반도체층과 더불어 상기 제1 전극을 구성하는 제2 도체층을 포함하되, 상기 제1 도체층은, 상기 반도체층의 상기 데이터선과 중첩되는 영역 상부를 커버하도록 상기 데이터선과 상기 반도체층 사이에 위치됨을 특징으로 한다.

도 1은 본 발명의 일 실시예에 따른 화소의 구조를 보여주는 단면도이다.



(72) 발명자

곽원규

충청남도 천안시 서북구 정성동 508번지

김광민

충청남도 천안시 서북구 정성동 508번지

특허청구의 범위

청구항 1

제1 전원과 제2 전원 사이에 접속되는 유기 발광 다이오드와,

상기 제1 전원과 상기 유기 발광 다이오드 사이에 접속되며, 게이트 전극이 제1 노드에 연결되는 제1 트랜지스터와,

상기 제1 노드와 데이터선 사이에 접속되며, 게이트 전극이 주사선에 접속되는 제2 트랜지스터와,

제1 전극이 상기 제1 노드에 접속되고 제2 전극이 상기 제1 전원과 접속되는 스토리지 커패시터를 포함하며,

상기 스토리지 커패시터는, 상기 데이터선과 상이한 레이어에 위치되며 상기 데이터선과 중첩되는 영역까지 확장 형성되며 상기 제1 전극을 구성하는 반도체층과, 상기 반도체층 상에 형성된 제1 절연막과, 상기 제1 절연막 상에 형성되며 상기 제2 전극을 구성하는 제1 도체층과, 상기 제1 도체층 상에 형성된 제2 절연막과, 상기 제2 절연막 상에 형성되며 상기 반도체층과 더불어 상기 제1 전극을 구성하는 제2 도체층을 포함하되,

상기 제1 도체층은, 상기 반도체층의 상기 데이터선과 중첩되는 영역 상부를 커버하도록 상기 데이터선과 상기 반도체층 사이에 위치됨을 특징으로 하는 화소.

청구항 2

제1항에 있어서,

상기 반도체층은 상기 제1 및 제2 트랜지스터의 활성층과 동일한 물질로 동일한 레이어에 형성되고,

상기 제1 도체층은 상기 제1 및 제2 트랜지스터의 게이트 전극과 동일한 물질로 동일한 레이어에 형성되며,

상기 제2 도체층은 상기 제1 및 제2 트랜지스터의 소스 및 드레인 전극과 동일한 물질로 동일한 레이어에 형성되는 화소.

청구항 3

제1항에 있어서,

상기 반도체층과 상기 제2 도체층은 상기 제1 절연막 및 상기 제2 절연막을 관통하는 콘택홀을 통해 연결되는 화소.

청구항 4

제1항에 있어서,

상기 데이터선은 상기 제2 절연막 상부에 위치되는 화소.

청구항 5

제4항에 있어서,

상기 데이터선은 상기 제2 도체층과 동일한 물질로 동일한 레이어에 형성된 화소.

청구항 6

제1항에 있어서,

상기 제1 전원을 공급하기 위한 제1 전원 공급선은 상기 제2 절연막 상부에 위치되며, 상기 제2 절연막을 관통하는 콘택홀을 통해 상기 제1 도체층과 연결되는 화소.

청구항 7

제1항에 있어서,

상기 제1 전원은 고전위 화소전원을 공급하는 정전압원인 화소.

청구항 8

주사선들 및 데이터선들의 교차부에 위치되는 다수의 화소들을 구비하며,
 상기 화소들 각각은,
 제1 전원과 제2 전원 사이에 접속되는 유기 발광 다이오드와,
 상기 제1 전원과 상기 유기 발광 다이오드 사이에 접속되며, 게이트 전극이 제1 노드에 연결되는 제1 트랜지스터와,
 상기 제1 노드와 데이터선 사이에 접속되며, 게이트 전극이 주사선에 접속되는 제2 트랜지스터와,
 제1 전극이 상기 제1 노드에 접속되고 제2 전극이 상기 제1 전원에 접속되는 스토리지 커패시터를 포함하며,
 상기 스토리지 커패시터는, 상기 데이터선과 상이한 레이어에 위치되며 상기 데이터선과 중첩되는 영역까지 확장 형성되며 상기 제1 전극을 구성하는 반도체층과, 상기 반도체층 상에 형성된 제1 절연막과, 상기 제1 절연막 상에 형성되며 상기 제2 전극을 구성하는 제1 도체층과, 상기 제1 도체층 상에 형성된 제2 절연막과, 상기 제2 절연막 상에 형성되며 상기 반도체층과 더불어 상기 제1 전극을 구성하는 제2 도체층을 포함하되,
 상기 제1 도체층은, 상기 반도체층의 상기 데이터선과 중첩되는 영역 상부를 커버하도록 상기 데이터선과 상기 반도체층 사이에 위치됨을 특징으로 하는 유기전계발광 표시장치.

청구항 9

제8항에 있어서,
 상기 반도체층은 상기 제1 및 제2 트랜지스터의 활성층과 동일한 물질로 동일한 레이어에 형성되고,
 상기 제1 도체층은 상기 제1 및 제2 트랜지스터의 게이트 전극과 동일한 물질로 동일한 레이어에 형성되며,
 상기 제2 도체층은 상기 제1 및 제2 트랜지스터의 소스 및 드레인 전극과 동일한 물질로 동일한 레이어에 형성되는 유기전계발광 표시장치.

청구항 10

제8항에 있어서,
 상기 반도체층과 상기 제2 도체층은 상기 제1 절연막 및 상기 제2 절연막을 관통하는 전벽들을 통해 연결되는 유기전계발광 표시장치.

청구항 11

제8항에 있어서,
 상기 데이터선은 상기 제2 도체층과 동일한 물질로 동일한 레이어에 형성된 유기전계발광 표시장치.

청구항 12

제8항에 있어서,
 상기 제1 전원은 고전위 화소전원을 공급하는 정전압원인 유기전계발광 표시장치.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 화소 및 이를 구비한 유기전계발광 표시장치에 관한 것으로, 특히 스토리지 커패시터의 용량을 충분히 확보하면서 스토리지 커패시터에 저장된 데이터신호의 전압을 안정적으로 유지할 수 있도록 한 화소 및 이를 구비한 유기전계발광 표시장치에 관한 것이다.

공개특허 10-2011-0012710

배경 기술

[0002] 최근, 유기전광과 비교하여 무게가 가볍고 부피가 작을 각종 평판 표시장치(Flat Panel Display Device)들이 개발되고 있다.

[0003] 평판 표시장치를 중, 특히 유기전계발광 표시장치(Organic Light Emitting Display Device)는 자발광소자인 유기 발광 다이오드를 이용하여 영상을 표시함으로써, 휘도 및 색순도가 뛰어나 차세대 표시장치로 주목받고 있다.

[0004] 이와 같은 유기전계발광 표시장치는 유기 발광 다이오드를 구동하는 방식에 따라, 수동형(Passive Matrix) 유기전계발광 표시장치와, 능동형(Active Matrix) 유기전계발광 표시장치로 나뉜다.

[0005] 이 중 능동형 유기전계발광 표시장치는 주사선들 및 데이터선들의 교차부에 위치한 다수의 화소들을 포함하며, 각 화소는 유기 발광 다이오드와, 이를 구동하기 위한 화소회로를 포함한다. 이와 같은 능동형 유기전계발광 표시장치는 수동형 유기전계발광 표시장치에 비해 소비전력이 작고 고해상도 및 대면적화에 유리하다는 이점을 가진다.

[0006] 일반적인 능동형 유기전계발광 표시장치의 화소회로는, 주사신호가 공급될 때 데이터선으로부터의 데이터 신호를 화소 내부로 전달하기 위한 스위칭 트랜지스터와, 화소 내부로 전달된 데이터 신호를 저장하기 위한 스토리지 캐패시터와, 데이터 신호에 대응되는 구동전류를 유기 발광 다이오드로 공급하기 위한 드라이빙 트랜지스터를 포함한다.

[0007] 이때, 유기 발광 다이오드는 드라이빙 트랜지스터로부터의 구동전류에 대응하는 휘도로 발광하게 되는데, 각 프레임의 발광기간 동안 유기 발광 다이오드가 균일한 휘도로 발광하기 위해서는 화소 각각의 스토리지 캐패시터에 저장된 데이터 신호가 해당 프레임의 발광기간 동안 일정한 값으로 안정적으로 유지되어야 한다.

[0008] 하지만, 최근 유기전계발광 표시장치가 점점 고해상도화됨에 따라, 화소회로를 형성하기 위한 설계공간을 충분히 확보하기 어려워지고 있다.

[0009] 이에 따라, 한정된 설계공간을 효과적으로 활용하는 방안이 고안되어야 할 필요성이 증대되고 있다.

[0010] 또한, 화소의 정상적인 발광을 위해서는 주어진 공간을 효율적으로 활용하여 스토리지 캐패시터의 용량을 충분히 확보함과 아울러, 스토리지 캐패시터에 저장되는 데이터 신호의 전압을 안정적으로 유지할 필요가 있다.

발명의 내용

해결하고자 하는 과제

[0011] 따라서, 본 발명의 목적은 스토리지 캐패시터의 용량을 충분히 확보하면서 스토리지 캐패시터에 저장된 데이터 신호의 전압을 안정적으로 유지할 수 있도록 한 화소 및 이를 구비한 유기전계발광 표시장치를 제공하는 것이다.

과제 해결 수단

[0012] 이와 같은 목적을 달성하기 위하여 본 발명의 제1 측면은 제1 전원과 제2 전원 사이에 접속되는 유기 발광 다이오드와, 상기 제1 전원과 상기 유기 발광 다이오드 사이에 접속되며 게이트 전극이 제1 노드에 연결되는 제1 트랜지스터와, 상기 제1 노드와 데이터선 사이에 접속되며 제이트 전극이 주사선에 접속되는 제2 트랜지스터와, 상기 제1 노드에 접속되고 제2 전극이 상기 제1 전원에 접속되는 스토리지 캐패시터를 포함하며, 상기 스토리지 캐패시터는, 상기 데이터선과 상이한 레이어에 위치되되 상기 데이터선과 중첩되는 영역까지 확장 형성되며 상기 제1 전극을 구성하는 반도체층과, 상기 반도체층 상에 형성된 제1 절연막과, 상기 제1 절연막 상에 형성되며 상기 제2 전극을 구성하는 반도체층과, 상기 제1 도체층과, 상기 제1 절연막과, 상기 제2 절연막 상에 형성되며 상기 제1 전극을 구성하는 제2 도체층을 포함하며, 상기 제1 도체층은, 상기 반도체층의 상기 반도체층의 상부층을 커버하도록 상기 데이터선과 상기 반도체층 사이에

에 위치됨을 특징으로 하는 화소를 제공한다.

- [0013] 여기서, 상기 반도체층은 상기 제1 및 제2 트랜지스터의 활성층과 동일한 물질로 동일한 레이어에 형성되고, 상기 제1 도체층은 상기 제1 및 제2 트랜지스터의 게이트 전극과 동일한 물질로 동일한 레이어에 형성되며, 상기 제2 도체층은 상기 제1 및 제2 트랜지스터의 소스 및 드레인 전극과 동일한 물질로 동일한 레이어에 형성될 수 있다.
- [0014] 또한, 상기 반도체층과 상기 제2 도전층은 상기 제1 절연막 및 상기 제2 절연막을 관통하는 콘택홀을 통해 연결될 수 있다.
- [0015] 또한, 상기 데이터선은 상기 제2 절연막 상부에 위치될 수 있다.
- [0016] 또한, 상기 제1 전원을 공급하기 위한 제1 전원 공급선은 상기 제2 절연막 상부에 위치되며, 상기 제2 절연막을 관통하는 콘택홀을 통해 상기 제1 도체층과 연결될 수 있다.
- [0017] 본 발명의 제2 측면은, 주사선들 및 데이터선들의 교차부에 위치되는 다수의 화소들을 구비하며, 상기 화소들 각각은, 제1 전원과 제2 전원 사이에 접속되는 유기 발광 다이오드와, 상기 제1 전원과 상기 유기 발광 다이오드 사이에 접속되며 게이트 전극이 제1 노드에 연결되는 제1 트랜지스터와, 상기 제1 노드와 데이터선 사이에 접속되며 게이트 전극이 주사선에 접속되는 제2 트랜지스터와, 제1 전극이 상기 제1 노드에 접속되고 제2 전극이 상기 제1 전원과 접속되는 스토리지 커패시터를 포함하며, 상기 스토리지 커패시터는, 상기 데이터선과 상이한 레이어에 위치되며 상기 데이터선과 중첩되는 영역까지 확장 형성되며 상기 제1 전극을 구성하는 반도체층과, 상기 반도체층 상에 형성된 제1 절연막과, 상기 제1 절연막 상에 형성되며 상기 제2 전극을 구성하는 제1 도체층과, 상기 제1 도체층 상에 형성된 제2 절연막과, 상기 제2 절연막 상에 형성되며 상기 반도체층과 더불어 상기 제1 전극을 구성하는 제2 도체층을 포함하되, 상기 제1 도체층은, 상기 반도체층의 상기 데이터선과 중첩되는 영역 상부를 커버하도록 상기 데이터선과 상기 반도체층 사이에 위치됨을 특징으로 하는 유기전계 발광 표시장치를 제공한다.

효 율

- [0018] 이와 같은 본 발명에 의하면, 스토리지 커패시터의 일 전극을 구성하는 반도체층이 데이터선과 중첩되는 영역까지 확장되도록 형성함으로써, 주어진 공간을 효율적으로 활용하여 스토리지 커패시터의 용량을 충분히 확보할 수 있다.
- [0019] 또한, 스토리지 커패시터의 다른 전극을 구성하되 제1 전원과 연결되는 제1 도체층이 데이터선과 반도체층 사이에서 데이터선과 중첩되는 영역의 반도체층 상부를 커버하도록 함으로써, 데이터신호의 전압을 안정적으로 유지할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0020] 이하, 첨부된 도면을 참조하여 본 발명의 실시예를 보다 상세히 설명하기로 한다.
- [0021] 도 1은 본 발명의 실시예에 의한 유기전계발광 표시장치의 구성을 나타내는 블록도이다.
- [0022] 도 1을 참조하면, 본 발명의 실시예에 의한 유기전계발광 표시장치는 화소부(10), 주사 구동부(20) 및 데이터 구동부(30)를 포함한다.
- [0023] 화소부(10)는 주사선들(S1 내지 Sn) 및 데이터선들(D1 내지 Dm)의 교차부에 매트릭스 형태로 배열되는 다수의 화소들(15)을 포함하며, 외부(예컨대, 전원 공급부)로부터 제1 전원(ELVDD) 및 제2 전원(ELVSS)을 공급받아 구동된다. 여기서, 제1 전원(ELVDD)은 고전위 화소전원을 공급하는 정전압원으로 설정되고, 제2 전원(ELVSS)은 저전위 화소전원을 공급하는 정전압원으로 설정된다.
- [0024] 화소부(10)를 구성하는 각각의 화소들(15)은 자신과 접속된 주사선(S)으로부터 주사신호가 공급될 때 자신과 접속된 데이터선(D)으로부터 공급되는 데이터신호를 저장하고, 이에 대응하는 휘도로 발광한다. 이에 의해, 화소부(10)에는 데이터신호에 대응하는 영상이 표시된다.

- [0025] 주사 구동부(20)는 외부(예컨대, 타이밍 제어부)로부터 공급되는 주사 제어신호에 대응하여 순차적으로 주사신호를 생성한다. 주사 구동부(20)에서 생성된 주사신호는 주사선들(S1 내지 Sn)을 통해 화소들(15)로 공급된다.
- [0026] 데이터 구동부(30)는 외부(예컨대, 타이밍 제어부)로부터 공급되는 데이터 및 데이터 제어신호에 대응하여 데이터신호를 생성한다. 데이터 구동부(30)에서 생성된 데이터신호는 데이터선들(D1 내지 Dm)을 통해 주사신호와 동기되도록 화소들(15)로 공급된다.
- [0027] 도 2는 도 1에 도시된 화소의 일례를 나타내는 회로도이다. 편의상, 도 2에서는 제n 주사선(Sn) 및 제m 데이터선(Dm)에 연결된 화소를 도시하기로 한다.
- [0028] 단, 도 2는 능동형 유기전계발광 표시장치의 화소에 채용될 수 있는 다양한 구조의 화소들 중 기본적인 화소의 일례를 도시한 것으로, 본 발명이 이에 한정되는 것은 아니다. 또한, 보다 명확한 설명을 위하여 이하에서는 제1 및 제2 트랜지스터(M1, M2)의 소스 및 드레인 전극을 구분하여 기재하기로 하나, 소스 및 드레인 전극은 트랜지스터의 타입, 전류방향, 인가되는 전압의 상대적인 크기 등에 의해 달라질 수 있을은 물론이다.
- [0029] 도 2를 참조하면, 화소(15)는, 제1 전원(ELVDD)과 제2 전원(ELVSS) 사이에 접속되는 유기 발광 다이오드(OLED)와, 제1 전원(ELVDD)과 유기 발광 다이오드(OLED) 사이에 접속되며 게이트 전극이 제1 노드(Q)에 연결되는 제1 트랜지스터(M1)와, 제1 노드(Q)와 데이터선(Dm) 사이에 접속되며 게이트 전극이 주사선(Sn)에 접속되는 제2 트랜지스터(M2)와, 제1 노드(Q)와 제1 전원(ELVDD) 사이에 접속되는 스토리지 커패시터(Cst)를 포함한다.
- [0030] 보다 구체적으로, 유기 발광 다이오드(OLED)의 애노드 전극은 제1 트랜지스터(M1)의 드레인 전극에 연결되고, 캐소드 전극은 제2 전원(ELVSS)에 연결된다. 이와 같은 유기 발광 다이오드(OLED)는 제1 트랜지스터(M1)로부터 공급되는 구동전류에 대응하는 휘도로 발광한다.
- [0031] 제1 트랜지스터(M1)의 소스 전극은 제1 전원(ELVDD)에 연결되고, 드레인 전극은 유기 발광 다이오드(OLED)의 애노드 전극에 연결되며, 게이트 전극은 제1 노드(Q)에 연결된다. 이와 같은 제1 트랜지스터(M1)는 자신의 게이트 전극과 소스 전극 사이의 전압(Vgs)에 대응하는 크기의 구동전류를 유기 발광 다이오드(OLED)로 공급한다. 즉, 제1 트랜지스터(M1)는 화소(15)의 드라이빙 트랜지스터로 기능한다.
- [0032] 제2 트랜지스터(M2)의 소스 전극은 데이터선(Dm)에 연결되고, 드레인 전극은 제1 노드(Q)에 연결되며, 게이트 전극은 주사선(Sn)에 연결된다. 이와 같은 제2 트랜지스터(M2)는 주사선(Sn)으로부터 로우레벨의 주사신호가 공급될 때 턴-온되어, 데이터선(Dm)으로부터의 데이터신호를 제1 노드(Q)로 전달한다. 즉, 제2 트랜지스터(M2)는 화소(15)의 스위칭 트랜지스터로 기능한다.
- [0033] 스토리지 커패시터(Cst)의 제1 전극은 제1 노드(Q)에 접속되고, 제2 전극은 제1 전원(ELVDD) 및 제1 트랜지스터(M1)의 소스전극에 접속된다. 이와 같은 스토리지 커패시터(Cst)는 데이터선(Dm)으로부터 제2 트랜지스터(M2)를 경유하여 공급되는 데이터 신호에 대응하는 전압을 저장하고, 이를 해당 프레임 동안 유지한다.
- [0034] 전술한 바와 같은 화소(15)의 동작을 설명하면, 우선 주사선(Sn)으로부터 로우레벨의 주사신호가 공급되면, 제2 트랜지스터(M2)가 턴-온된다.
- [0035] 이에 따라, 데이터선(Dm)으로부터의 데이터신호가 제1 노드(Q)로 공급된다. 이때, 스토리지 커패시터(Cst)에는 데이터신호에 대응되는 전압, 즉, 제1 전원(ELVDD)의 전압과 데이터신호의 전압의 차전압이 저장된다.
- [0036] 여기서, 제1 전원(ELVDD)의 전압은 고정된 값으로 유지되므로, 실제로 스토리지 커패시터(Cst)에 저장되는 전압은 제1 노드(Q)로 공급되는 데이터신호에 따라 가변된다.
- [0037] 그러면, 제1 트랜지스터(M1)는 데이터신호에 대응하는 전압, 즉, 제1 노드(Q)의 전압에 대응하는 크기의 구동전류를 발생시킨다.
- [0038] 이때, 구동전류는 제1 전원(ELVDD)으로부터 제1 트랜지스터(M1) 및 유기 발광 다이오드(OLED)를 경유하여 제2 전원(ELVSS)으로 흐르게 되고, 유기 발광 다이오드(OLED)는 구동전류에 대응하는 휘도로 발광한다.
- [0039] 전술한 바와 같은 화소(15)에서, 각 프레임의 발광기간 동안 유기 발광 다이오드(OLED)가 균일한 휘도로 발광하기 위해서는 스토리지 커패시터(Cst)에 저장된 데이터 신호가 해당 프레임의 발광기간 동안 일정한 값으로 안정적으로 유지되어야 한다.
- [0040] 하지만, 최근 유기전계발광 표시장치가 점점 고해상도화됨에 따라, 각각의 화소(15)를 설계하기 위한 설계공간

이 감소되고 있다.

- [0041] 이에 따라, 스토리지 커패시터(Cst)를 설계하기 위한 공간도 감소되고 있는데, 스토리지 커패시터(Cst)의 용량이 충분히 확보되지 않으면 화소(15) 내부로 데이터 신호가 공급되는 기간 동안 데이터 신호에 대응되는 전압을 충분히 저장하지 못할 수 있다.
- [0042] 이 경우, 원하는 휘도를 얻을 수 없기 때문에 한정된 설계공간을 효과적으로 활용하여 스토리지 커패시터(Cst)의 용량을 확보하여야 한다. 이를 위하여, 스토리지 커패시터(Cst)의 일 전극은 자신과 상이한 레이어에 형성되는 신호선과 중첩 배치되도록 형성영역이 확장되어 설계될 수 있다.
- [0043] 예컨대, 제1 노드(Q)에 접속되는 스토리지 커패시터(Cst)의 제1 전극이 데이터선(Dm)과 중첩되도록 배치할 수 있다. 하지만, 이 경우 제1 노드(Q)와 데이터선(Dm) 사이에 생성된 기생용량(Cp)에 의해 크로스토크 현상이 발생하면서, 한 프레임의 발광기간이 지속되는 동안에도 스토리지 커패시터(Cst)에 저장된 데이터 신호에 전압변동이 발생할 수 있다.
- [0044] 이는 이웃한 행에 연속배치되며 데이터선(Dm)을 공유하는 두 화소로 공급되는 데이터신호의 전압차가 큰 경우에 특히 심화될 수 있다.
- [0045] 예컨대, 이전 행에 위치한 제1 화소가 화이트를 표시하기 위한 제1 데이터신호를 공급받고 다음 행에 배치되며 제1 화소와 데이터선을 공유하는 제2 화소가 블랙을 표시하기 위한 제2 데이터신호를 공급받는 경우, 제1 화소의 제1 노드(Q)와 데이터선(Dm) 사이에 생성된 기생커패시터(Cp)에 의해 크로스토크 현상이 발생하게 된다. 이 경우, 데이터선으로 제2 데이터 신호가 공급될 때 플로우팅 상태인 제1 화소의 제1 노드(Q) 전압이 증가하면서 제1 화소의 휘도가 저하되며 제1 화소가 온전한 화이트를 표시하지 못할 수 있다.
- [0046] 이에 대한 보다 상세한 설명은 이하에서 도 3a 내지 도 4를 참조하여 보다 상세히 설명하기로 한다.
- [0047] 도 3a 내지 도 3b는 본 발명이 해결하고자 하는 과제인 크로스토크 현상을 설명하기 위한 것으로, 동일한 데이터선에 접속되는 화소들이 영역별로 휘도차이가 큰 영상을 표시하는 실시예들을 개략적으로 나타내는 요부 평면도이다. 그리고, 도 4는 도 3b에 도시된 바와 같은 영상을 표시할 때 데이터선으로 입력되는 데이터 신호를 나타내는 파형도이다.
- [0048] 우선, 도 3a에 도시된 바와 같이, 동일한 데이터선(Dm)에 접속되며 각 수평라인에 순차적으로 배치되는 다수의 화소들 중 상위 수평라인들 및 하위 수평라인들에 위치한 화소들은 화이트를 표시하고, 중간 수평라인들에 위치한 화소들은 블랙을 표시하는 경우를 예로 들기로 한다.
- [0049] 여기서, 상위 수평라인들에 위치되어 화이트 데이터, 즉 화이트 계조의 데이터신호를 인가받는 화소들을 제1 화소들이라 하고 제1 화소들에 의해 화이트를 표시하는 영역을 제1 화이트 표시영역이라 하기로 한다. 또한, 중간 수평라인들에 위치되어 블랙 데이터, 즉, 블랙 계조의 데이터신호를 인가받는 화소들을 제2 화소들이라 하고, 제2 화소들에 의해 블랙을 표시하는 영역을 블랙 표시영역이라 하기로 한다. 그리고, 하위 수평라인들에 위치되어 화이트 데이터를 인가받는 화소들을 제3 화소들이라 하고 제3 화소들에 의해 화이트를 표시하는 영역을 제2 화이트 표시영역이라 하기로 한다.
- [0050] 이 경우, 제2 화소들이 선택되어 데이터선(Dm)에 제2 화소들의 데이터 신호가 인가되는 시점부터 제1 화소들의 제1 노드(Q)와 데이터선(Dm) 사이에 생성된 기생커패시터에 의해 크로스토크 현상이 발생하면서 제1 화소들의 제1 노드(Q) 전압이 상승하여 제1 화소들의 휘도가 저하될 수 있다. 즉, 제1 화소들은 화이트만을 표시하는 다른 열의 화소들과 비교할 때 상대적으로 낮은 휘도로 발광하면서 온전한 화이트를 표시하지 못할 수 있다.
- [0051] 또한, 제3 화소들이 선택되어 데이터선(Dm)에 제3 화소들의 데이터 신호가 인가되는 시점부터 제1 화소들은 다시 온전한 화이트를 표시하되, 제2 화소들은 크로스토크 현상에 의해 제1 노드(Q) 전압이 하강하여 휘도가 상승할 수 있다. 즉, 제3 화소들로 화이트 데이터가 인가되는 기간 동안 제2 화소들은 블랙만을 표시하는 다른 열의 화소들과 비교하여 상대적으로 높은 휘도로 발광하면서 온전히 블랙을 표시하지 못할 수 있다.
- [0052] 또한, 도 3b에 도시된 바와 같이 동일한 데이터선(Dm)에 접속되는 다수의 화소들 중 상위 수평라인들 및 하위 수평라인들에 위치한 화소들은 블랙을 표시하고, 중간 수평라인들에 위치한 화소들은 화이트를 표시하는 경우를 다른 예로 들기로 한다.
- [0053] 이 경우에는 화이트 표시영역에 위치한 제2 화소들로 화이트 데이터가 인가되는 시점부터 제1 블랙 표시영역에

위치된 제1 화소들의 블랙 휘도가 상승한다. 그리고, 제2 블랙 표시영역에 위치한 제3 화소들로 블랙 데이터가 인가되는 시점부터 제1 화소들은 다시 온전한 블랙을 표시하며, 제2 화소들은 화이트 휘도가 저하되어 온전한 화이트를 표시하지 못하게 된다.

- [0054] 보다 구체적으로, 도 3b에 도시된 바와 같은 영상을 표시하는 경우, 데이터선(Dm)으로는 도 4에 도시된 바와 같이 제1 블랙 표시영역의 제1 화소들이 선택되는 제1 블랙 표시구간 동안 블랙 데이터가 인가되고, 화이트 표시영역의 제2 화소들이 선택되는 화이트 표시구간 동안에는 화이트 데이터가 인가되며, 제2 블랙 표시영역의 제3 화소들이 선택되는 제2 블랙 표시구간에는 다시 블랙 데이터가 인가된다.
- [0055] 여기서, 블랙 데이터는 도 2에 도시된 제1 트랜지스터(M1)의 게이트 전극과 소스 전극 간 전압 V_{gs} 가 작아지도록 하이레벨 전위의 블랙 게조 데이터 신호로 설정되고, 화이트 데이터는 제1 트랜지스터(M1)의 게이트 전극과 소스 전극 간 전압 V_{gs} 가 커지도록 로우레벨 전위의 화이트 게조 데이터 신호로 설정된다. 편의상, 이하에서는 블랙 데이터가 공급될 때의 제1 노드전압 V_q 를 B라 하고, 화이트 데이터가 공급될 때의 제1 노드전압 V_q 를 W라 하기로 한다.
- [0056] 이때, 제1 화소들의 제1 노드전압 V_q 를 기준으로 보면, 제1 블랙 표시구간 동안에는 B로 유지되다가 화이트 표시구간 동안에는 제1 화소들의 제1 노드전압 V_q 가 기존의 B에 크로스토크 현상에 의한 전압변동값이 더해지면서 기생 커패시터의 커패시턴스 C_p 와 화소의 총 커패시턴스 C_{total} 에 의한 전압분배량만큼 전압이 변동된다. 이에 따라, 제1 화소들의 제1 노드전압 V_q 이 하강하면서 블랙휘도가 상승하게 된다.
- [0057] 이후, 제2 블랙 표시구간 동안 데이터선(Dm)으로 블랙 데이터가 공급되면 제1 화소들의 제1 노드전압 V_q 은 다시 B로 상승하면서 블랙휘도가 하강하여 온전한 블랙을 표시할 수 있게 된다.
- [0058] 즉, 제1 화소들은 제2 화소들로 화이트 데이터가 인가되는 화이트 표시구간 동안 정상적인 블랙보다 휘도가 높은 비정상 블랙을 표시하게 되며, 제1 화소들이 비정상 블랙을 표시하는 기간은 화이트 표시구간이 증가함에 따라 동반하여 증가하게 된다.
- [0059] 전술한 바와 같이, 화소들은 스토리지 커패시터(C_{st})와 데이터선(Dm)이 중첩됨에 따라 생성되는 기생 커패시터(C_p)에 의해 크로스토크 현상이 발생하면서 제1 노드(Q)가 플로우팅되는 발광기간 동안 데이터선(Dm)의 전압변동에 의해 영향을 받아 비정상적으로 발광할 수 있다.
- [0060] 따라서, 본 발명에서는 크로스토크 현상을 방지하기 위한 방안을 제시하기로 하며, 이에 대한 보다 상세한 설명은 도 5를 참조하여 후술하기로 한다.
- [0061] 도 5는 본 발명의 실시예에 의한 화소의 요부 단면도이다.
- [0062] 편의상, 도 5에서는 제1 및 제2 트랜지스터 중 하나의 트랜지스터만을 도시하기로 하며, 이들의 기본적인 구조는 동일하게 설계될 수 있으므로 통칭하여 TFT라 지칭하기로 한다. 그리고, TFT와 화소 내의 다른 구성요소와의 연결부분 및 TFT의 상부(유기 발광 다이오드 등)는 도서를 생략하기로 한다.
- [0063] 도 5를 참조하면, 스토리지 커패시터(C_{st})는 기판(100) 상에 순차적으로 적층된 반도체층(110a), 제1 도체층(130a) 및 제2 도체층(150a)을 포함한다. 여기서, 반도체층(110a)과 제1 도체층(130a) 사이에는 제1 절연막(120)이 개재되고, 제1 도체층(130a)과 제2 도체층(150a) 사이에는 제2 절연막(140)이 개재되며, 반도체층(110a)과 제2 도체층(150a)은 제1 및 제2 절연막(120, 140)을 관통하는 전택홀(CH2)을 통해 서로 연결된다.
- [0064] 한편, 도 5에서 제1 및 제2 절연막(120, 140)은 스토리지 커패시터(C_{st})의 구성요소에서 제외된 것처럼 도시되었지만, 이들은 반도체층(110a)과 제1 도체층(130a) 사이 및 제1 도체층(130a)과 제2 도체층(150a) 사이에 필수적으로 개재되므로 스토리지 커패시터(C_{st})의 구성요소로도 간주되어도 무방하다.
- [0065] 보다 구체적으로, 스토리지 커패시터(C_{st})는 기판(100) 상에 형성된 반도체층(110a)과, 반도체층(110a) 상에 형성된 제1 절연막(120)과, 제1 절연막(120) 상에 형성된 제1 도체층(130a)과, 제1 도체층(130a) 상에 형성된 제2 절연막(140)과, 제2 절연막(140) 상에 형성된 제2 도체층(150a)을 포함한다.
- [0066] 반도체층(110a)은 TFT의 활성층(110b)과 동일한 물질로 동일한 레이어에 형성될 수 있다. 이와 같은 반도체층(110a)은 스토리지 커패시터(C_{st})의 제1 전극을 구성하는 것으로, 도 5에서 나타나지는 않았지만 도 2의 제1 노

드(Q)에 연결된다.

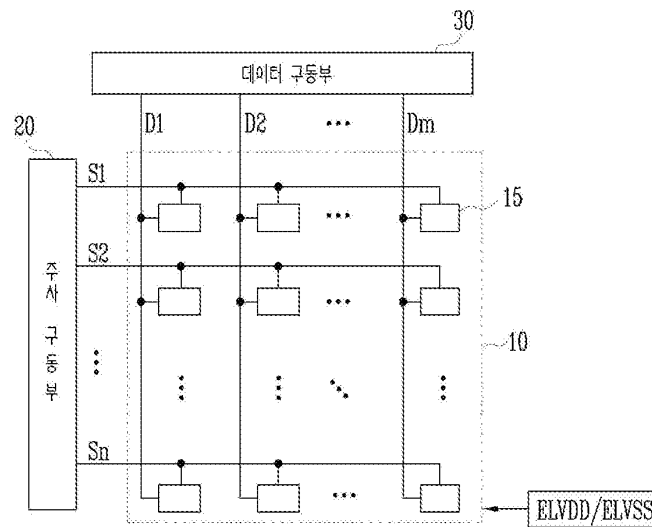
- [0067] 제1 절연막(120)은 스토리지 커패시터(Cst)의 반도체층(110a)과 제1 도체층(130a) 사이에 개재된다. 이와 같은 제1 절연막(120)은 화소부 전반적으로 공통적으로 형성될 수 있는 것으로, TFT의 활성층(110b)과 게이트 전극(130b)을 절연시키는 제어트 절연막으로도 기능한다.
- [0068] 제1 도체층(130a)은 TFT의 게이트 전극(130b)과 동일한 물질로 동일한 레이어에 형성될 수 있다. 이와 같은 제1 도체층(130a)은 스토리지 커패시터(Cst)의 제2 전극을 구성하는 것으로, 제2 절연막(140)을 관통하는 콘택홀(CH1)을 통해 제1 전원 공급선과 연결된다. 여기서, 제1 전원 공급선은 제1 전원(ELVDD)을 공급하기 위한 것으로, TFT의 소스 및 드레인 전극(150b, 150b')과 동일한 물질로 동일한 레이어(즉, 제2 절연막(140) 상부)에 위치될 수 있다.
- [0069] 제2 절연막(140)은 스토리지 커패시터(Cst)의 제1 도체층(130a)과 제2 도체층(150a) 사이에 개재된다. 이와 같은 제2 절연막(140)은 화소부 전반적으로 공통적으로 형성될 수 있는 것으로, TFT의 게이트 전극(130b)과 소스 및 드레인 전극(150b, 150b')을 절연시키는 층간 절연막으로도 기능한다.
- [0070] 제2 도체층(150a)은 TFT의 소스 및 드레인 전극(150b, 150b')과 동일한 물질로 동일한 레이어에 형성될 수 있다. 이와 같은 제2 도체층(150a)은 제1 및 제2 절연막(120, 140)을 관통하는 콘택홀(CH2)을 통해 반도체층(110a)과 연결되는 것으로, 반도체층(110a)과 더불어 스토리지 커패시터(Cst)의 제1 전극을 구성한다.
- [0071] 단, 본 발명에서 반도체층(110a)은 데이터선과 상이한 레이어에 위치되되 데이터선과 중첩되는 영역까지 확장되어 형성된다. 그리고, 제1 도체층(130a)은 반도체층(110a)의 일 영역, 특히 데이터선과 중첩되는 영역의 반도체층(110a) 상부를 커버하도록 데이터선과 반도체층(110a) 사이에 위치된다.
- [0072] 여기서, 데이터선은 반도체층(110a) 및 제1 도체층(130a)과 상이한 레이어에 형성되는 것으로, 예컨대 제2 절연막(140) 상부에 위치될 수 있다. 이 경우, 데이터선은 스토리지 커패시터의 제2 도체층(150a) 및 TFT의 소스 및 드레인 전극(150b, 150b')과 동일한 물질로 동일한 레이어에 형성될 수 있다.
- [0073] 전술한 바와 같은 본 발명에 의하면, 스토리지 커패시터(Cst)의 일 전극(제1 전극)을 구성하는 반도체층(110a)이 데이터선과 중첩되는 영역까지 확장되도록 형성함으로써, 주어진 공간을 효율적으로 활용하여 스토리지 커패시터(Cst)의 용량을 충분히 확보할 수 있다.
- [0074] 특히, 본 발명에서는 스토리지 커패시터(Cst)의 다른 전극(제2 전극)을 구성하되 정전압원인 제1 전원(ELVDD)과 연결되는 제1 도체층(130a)이 데이터선과 반도체층(110a) 사이에서 데이터선과 중첩되는 영역의 반도체층 상부를 커버하도록 한다. 이에 의해, 다른 수평라인의 화소들로 데이터선호가 공급될 때 데이터선의 전압 변동이 반도체층(110a)과 연결된 제1 노드(Q)의 전압에 영향을 미치는 것이 차단된다. 이에 따라, 제1 노드(Q)로 공급된 데이터신호의 전압을 안정적으로 유지할 수 있다.
- [0075] 본 발명의 기술 사상은 상기 바람직한 실시예에 따라 구체적으로 기술되었으나, 상기한 실시예는 그 설명을 위한 것이며 그 제한을 위한 것이 아님을 주의하여야 한다. 또한, 본 발명의 기술 분야의 통상의 지식을 가진 자라면 본 발명의 기술 사상의 범위 내에서 다양한 변형예가 가능함을 이해할 수 있을 것이다.

도면의 간단한 설명

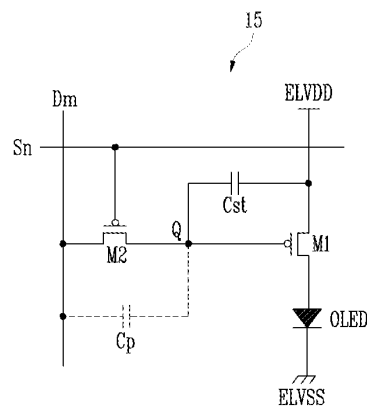
- [0076] 도 1은 본 발명의 실시예에 의한 유기전계발광 표시장치의 구성을 나타내는 블록도이다.
- [0077] 도 2는 도 1에 도시된 화소의 일례를 나타내는 회로도이다.
- [0078] 도 3a 내지 도 3b는 본 발명이 해결하고자 하는 과제인 크로스토크 현상을 설명하기 위한 평면도이다.
- [0079] 도 4는 도 3b에 도시된 바와 같은 영상을 표시할 때 데이터선으로 입력되는 데이터 신호를 나타내는 파형도이다.
- [0080] 도 5는 본 발명의 실시예에 의한 화소의 요부 단면도이다.
- [0081] <도면의 주요 부분에 대한 부호의 설명>

[0082]	Cst : 스토리지 캐패시터	TFT : 박막 트랜지스터
[0083]	CH: 전택층	110a: Cst의 반도체층
[0084]	110b: TFT의 활성층	120: 제1 절연막
[0085]	130a: Cst의 제1 도체층	130b: TFT의 게이트 전극
[0086]	140 : 제2 절연막	150a: Cst의 제2 도체층
[0087]	150b, 150b': TFT의 소스 및 드레인 전극	

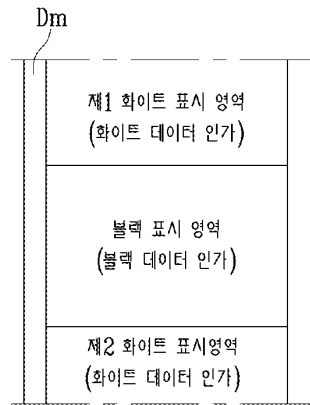
END



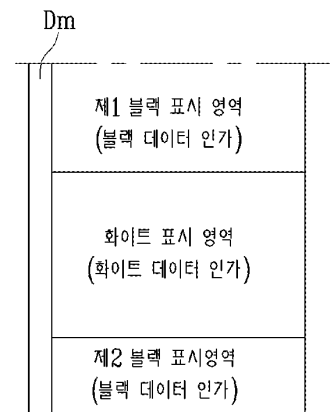
439



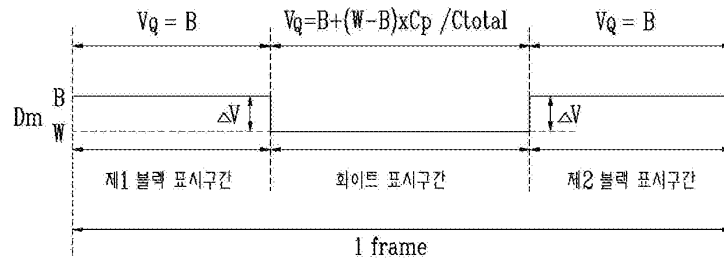
도면3a



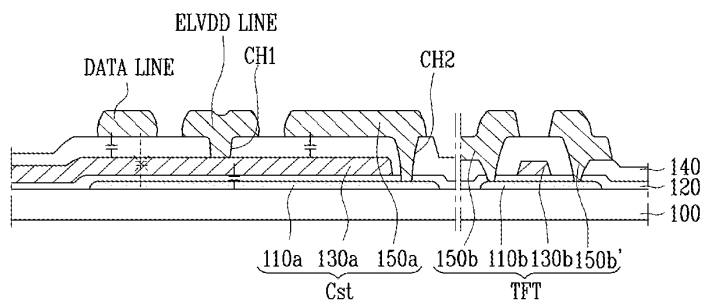
도면3b



도면4



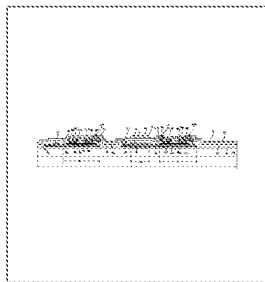
도 10



ARRAY BOARD CAPABLE OF INCREASING THE CAPACITY OF A STORAGE CAPACITOR BY INCLUDING A THIN FILM TRANSISTOR

(11) Publication No.	1020110113540 A
(40) Publication Date	14.10.2011
(21) Application No.	1020100032958
(22) Application Date	08.04.2010
(51) Int. Cl.	G02F 1/136(01.01.2006); H01L 51/50 (01.01.2006)
(52) CPC No.	H01L27/3262(01.01.2013); G02F1/136277 (01.01.2013)
(71) Applicant	LG DISPLAY CO., LTD.
(72) Inventor	CHOI, HEE DONG SEO, SEONG MOH FANG, MIN HYUNG

Rep. Drawing



Zoom Q

PURPOSE: An array board is provided to offer the characteristic of a thin film transistor through a gate wiring by reducing a connection resistance between gate wiring and a gate electrode. **CONSTITUTION:** A first and a second gate electrode(105a, 105b) are created on an array board(101). The array board includes a pixel area(P), a switching area(SA), a driving area, and a storage area(Stpa). A gate insulation film(103) is created on the first and the second gate electrode. The gate insulation film is exposed at the one end of the first and the second electrode. The first and second active layer(115a, 115b) are formed in the edge of the gate insulation film corresponding to the first and second electrode. A gate assistance pattern(120) is created by etching a gate wiring(113) to connect to the second electrode. **ADVANTAGE:** KIPRIS 2012

[0044] FIG. 4 is a cross-sectional view of a pixel area in an array substrate forming an organic light-emitting diode, according to a first embodiment of the present disclosure. For convenience of explanation, in the pixel area P, an area in which a switching thin film transistor is formed is referred to as a switching area SA, an area in which the driving thin film transistor DTr is formed is referred to as a driving area DA, and an area in which a storage capacitor is formed is referred to as a storage area StgA.

[0045] As it is shown in FIG. 4, a buffer layer 102 including an insulating material, for example, silicon oxide (SiO_2) or silicon nitride (SiN_x), is formed on a front surface of the array substrate 101. Due to characteristics of the present disclosure, a crystallization process with respect to the buffer layer 102 is performed in following processes. A high temperature atmosphere from about 600 °C to about 800 °C is required for the crystallization process. In this case, as the substrate 101 is exposed to the high temperature atmosphere, alkali ions eluted from the surface of the substrate 101 result in degradation of characteristic of components formed of polysilicon, and the buffer layer 102 is formed to prevent the above-mentioned problems.

[0046] On the buffer layer 102, a first gate electrode 105a and a second gate electrode 105b, which are respectively formed from one of molybdenum (Mo), a molybdenum alloy including moly-titanium (MoTi), copper (Cu), a copper alloy, titanium (Ti), tantalum (Ta), tungsten (W) and have thicknesses of from about 100Å to about 1000Å, are formed in the form of islands in the switching area SA and the driving area DA. In this case, the first gate electrodes 105a formed on a same line along a gate wiring 145 are connected to one another by extending to an area in which the gate wiring 145 is formed. Such configuration is due to a manufacturing method: the first electrodes 105a are patterned together with the gate wiring 145.

[0047] In addition, gate insulating layers 109 including an insulating material, which corresponds to each of the first gate electrode 105a and the second gate electrode 105b, are respectively formed on each of the first gate electrode 105a and the second gate electrode 105b. The gate insulating layers 109 are formed in the form of islands respectively overlapping the first gate electrode 105a and the second gate electrode 105b and exposing an end of the first gate electrode 105a and an end of the second gate electrode 105b.

[0048] A first active layer 115a and a second active layer 115b formed of pure polysilicon to correspond to the first gate electrode 105a and the second gate electrode 105b, which entirely overlap the gate insulating layers 109 and have flat widths smaller than each of the gate insulating layers 109 and are respectively placed in the switching area SA and the driving area DA, are formed on each of the gate insulating layers 109 having the form of islands.

[0049] In addition, the gate wiring 119, which contacts the first gate electrode 105a that is exposed toward outside of the gate insulating layer 109 and having an end on the gate insulating layer that is exposed toward outside of the first active layer 115a, is formed at a boundary of the pixel area P. In addition, a gate assistant pattern 120, which is formed of the same metal material included in the gate wiring 119 and functions as a first storage electrode 121 by contacting the second gate electrode 105b, is formed in the storage area StgA.

[0050] Meanwhile, on the first active layer 115a, the second active layer 115b, the gate wiring 119, and the gate assistant pattern 120, an interlayer insulating layer 122 including a first active contact hole 123a and a second contact hole 123b that expose the first active layer 115a and a third active contact hole 123c and a fourth contact hole 123d that expose the second active layer 115b are formed at two sides of each of the first active layer 115a and the second active layer 115b are formed on an entire surface of the substrate 101, having centers of the first active layer 115a and the second active layer 115b as references.

[0051] In addition, above the interlayer insulating layer 122, a pair of first ohmic contact layers 127a formed of impurity amorphous silicon, which contact the first active layer 115a through the first active contact hole 123a and the second active contact hole 123b and are placed apart from one another, are formed on the interlayer insulating layer 112 to correspond to the switching area SA, and a first source electrode 133a and a first drain electrode 136a are formed away from one another on the first ohmic contact layer 127a.

[0052] In addition, above the interlayer insulating layer 122, a pair of second ohmic contact layers 127b formed of impurity amorphous silicon, which contact the second active layer 115b through the third contact hole 123c and the fourth contact hole 123d and are placed apart from one another, are formed to correspond to the driving area DA, and a second source electrode 133b and a second drain electrode 136b are formed away from one another on the second ohmic contact layer 127. In this case, the second source electrode 133b extends to the storage area StgA to form a second storage electrode 137.

[0053] In this case, the first storage electrode 121, the gate insulating layer 109, the interlayer insulating layer 122, and the second storage electrode 137, which are sequentially stacked in the storage area StgA, together form a storage capacitor StgC.



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0113040
(43) 공개일자 2011년10월14일

(51) Int. Cl.

G02F 1/136 (2006.01) H01L 51/50 (2006.01)

(21) 출원번호 10-2010-0032358

(22) 출원일자 2010년04월08일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 용산구 한강로3가 65-228

(72) 발명자

최희동

충남 서산시 읍안면 탑곡리 3구 178번지

서성모

경기도 수원시 영통구 영통동 황골마을벽산아파트 224-701

강민형

부산광역시 사하구 다대1동 자유아파트 101동 1402호

(74) 대리인

특허법인네이트

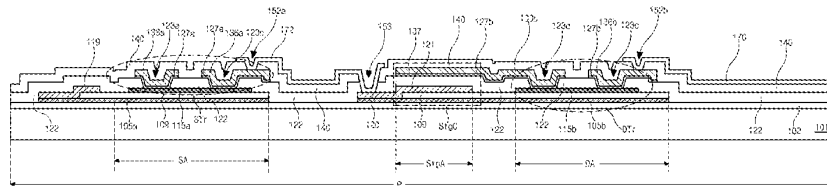
전체 청구항 수 : 총 14 항

(54) 어레이 기판

(57) 요약

본 발명은, 화소영역과 상기 화소영역 내에 스위칭 영역과 구동 영역 및 스토리지 영역이 정의(定義)된 기판 상의 상기 스위칭 영역과 구동영역에 아일랜드 형태로 고융융점 금속물질로 형성된 제 1 및 제 2 게이트 전극과; 상기 제 1 및 제 2 게이트 전극 상부에 아일랜드 형태로 각각 상기 제 1 및 제 2 게이트 전극 각각의 일 끝단을 노출시키며 형성된 게이트 절연막과; 상기 제 1 및 제 2 게이트 전극에 대응하여 상기 게이트 절연막 상부로 상기 각 게이트 절연막의 가장자리를 노출시키며 각각 형성된 순수 폴리실리콘의 제 1 및 제 2 액티브층과; 상기 게이트 절연막 외측으로 노출된 상기 제 1 게이트 전극과 접촉하며 화소영역의 경계에 형성된 게이트 배선 및 상기 제 2 게이트 전극과 접촉하며 형성된 게이트 보조패턴과; 상기 제 1 액티브층을 노출시키며 서로 이격하는 제 1 및 제 2 액티브 콘택홀과, 상기 제 2 액티브층을 노출시키며 서로 이격하는 제 3 및 제 4 액티브 콘택홀을 가지며, 상기 제 1 및 제 2 액티브층 각각의 중앙부에 대해서는 애저스토퍼의 역할을 하며 상기 기판 전면에 형성된 층간절연막과; 상기 스위칭 영역에 상기 층간절연막 위로 각각 상기 제 1 및 제 2 액티브 콘택홀을 통해 상기 제 1 액티브층과 접촉하며 이격하는 불순물 비정질 실리콘의 제 1 오믹콘택층과, 상기 구동 영역에 상기 층간절연막 위로 각각 상기 제 3 및 제 4 액티브 콘택홀을 통해 상기 제 2 액티브층과 접촉하며 이격하며 불순물 비정질 실리콘의 제 2 오믹콘택층과; 상기 이격하는 상기 제 1 오믹콘택층 위로 각각 이격하며 형성된 제 1 소스 및 드레인 전극과, 상기 이격하는 상기 제 2 오믹콘택층 위로 각각 이격하며 형성된 제 2 소스 및 드레인 전극과; 상기 층간절연막 위로 상기 화소영역의 경계에 상기 제 1 소스 전극과 연결되며 형성된 타이타 배선과; 상기 타이타 배선 위로 상기 기판 전면에 상기 제 1 및 제 2 드레인 전극을 각각 노출시키는 제 1 및 제 2 드레인 콘택홀과 상기 게이트 보조패턴을 노출시키는 게이트 콘택홀을 가지며 형성된 보호층과; 상기 보호층 위로 상기 각 화소영역에 상기 제 2 드레인 콘택홀을 통해 상기 제 2 드레인 전극과 접촉하며 형성된 화소전극과; 상기 제 1 드레인 콘택홀 및 상기 게이트 콘택홀을 통해 상기 제 1 드레인 전극 및 게이트 보조패턴과 동시에 접촉하며 형성된 연결패턴을 포함하는 어레이 기판을 제공한다.

도 1 - 도 4



특허청구의 범위

청구항 1

화소영역과 상기 화소영역 내에 스위칭 영역과 구동 영역 및 스토리지 영역이 정의(定義)된 기판 상의 상기 스위칭 영역과 구동영역에 아일랜드 형태로 고용융접 금속물질로 형성된 제 1 및 제 2 게이트 전극과;

상기 제 1 및 제 2 게이트 전극 상부에 아일랜드 형태로 각각 상기 제 1 및 제 2 게이트 전극 각각의 일 끝단을 노출시키며 형성된 게이트 절연막과;

상기 제 1 및 제 2 게이트 전극에 대응하여 상기 게이트 절연막 상부로 상기 각 게이트 절연막의 가장자리를 노출시키며 각각 형성된 순수 폴리실리콘의 제 1 및 제 2 액티브층과;

상기 게이트 절연막 외측으로 노출된 상기 제 1 게이트 전극과 접촉하며 화소영역의 경계에 형성된 게이트 배선 및 상기 제 2 게이트 전극과 접촉하며 형성된 게이트 보조패턴과;

상기 제 1 액티브층을 노출시키며 서로 이격하는 제 1 및 제 2 액티브 콘택홀과, 상기 제 2 액티브층을 노출시키며 서로 이격하는 제 3 및 제 4 액티브 콘택홀을 가지며, 상기 제 1 및 제 2 액티브층 각각의 중앙부에 대해서는 애치스트퍼의 역할을 하며 상기 기판 전면에 형성된 중간절연막과;

상기 스위칭 영역에 상기 중간절연막 위로 각각 상기 제 1 및 제 2 액티브 콘택홀을 통해 상기 제 1 액티브층과 접촉하며 이격하는 불순물 비정질 실리콘의 제 1 오믹콘택층과, 상기 구동 영역에 상기 중간절연막 위로 각각 상기 제 3 및 제 4 액티브 콘택홀을 통해 상기 제 2 액티브층과 접촉하며 이격하며 불순물 비정질 실리콘의 제 2 오믹콘택층과;

상기 이격하는 상기 제 1 오믹콘택층 위로 각각 이격하며 형성된 제 1 소스 및 드레인 전극과, 상기 이격하는 상기 제 2 오믹콘택층 위로 각각 이격하며 형성된 제 2 소스 및 드레인 전극과;

상기 중간절연막 위로 상기 화소영역의 경계에 상기 제 1 소스 전극과 연결되며 형성된 데이터 배선과;

상기 데이터 배선 위로 상기 기판 전면에 상기 제 1 및 제 2 드레인 전극을 각각 노출시키는 제 1 및 제 2 드레인 콘택홀과 상기 게이트 보조패턴을 노출시키는 게이트 콘택홀을 가지며 형성된 보호층과;

상기 보호층 위로 상기 각 화소영역에 상기 제 2 드레인 콘택홀을 통해 상기 제 2 드레인 전극과 접촉하며 형성된 화소전극과;

상기 제 1 드레인 콘택홀 및 상기 게이트 콘택홀을 통해 상기 제 1 드레인 전극 및 게이트 보조패턴과 동시에 접촉하며 형성된 연결패턴

을 포함하는 어레이 기판.

청구항 2

제 1 항에 있어서,

상기 스토리지 영역에는 상기 게이트 보조패턴이 연장된 제 1 스토리지 전극과 상기 제 2 소스전극이 연장된 제 2 스토리지 전극 및 이들 제 1 및 제 2 스토리지 전극 사이에 개재된 중간절연막으로 이루어진 제 1 스토리지 커패시터가 구비된 어레이 기판.

청구항 3

제 2 항에 있어서,

상기 스토리지 영역에는 상기 연결패턴이 연장된 제 3 스토리지 전극이 구비되며, 상기 제 2 스토리지 전극과 상기 제 3 스토리지 전극 및 이들 두 전극 사이에 개재된 상기 보호층으로 이루어진 제 2 스토리지 커패시터가 구비된 어레이 기판.

공개특허 10-2011-0113040

장구항 4

제 1 항에 있어서,

상기 스트리지 영역에는 상기 제이트 보조패턴이 연장된 제 1 스트리지 전류가 구비되며,

상기 보조층에 상기 제 2 소스 전류를 노출시키는 소스 권박층이 구비되며,

상기 보조층 위로 상기 소스 권박층을 통해 상기 제 2 소스 전류와 접촉하며 상기 스트리지 영역까지 연장하는 제 2 스트리지 전류가 구비되며,

상기 제 1 스트리지 전류와 중간절연막과 보조층과 제 2 스트리지 전류는 스트리지 커패시터를 이루는 것이 특징인 아래이 기판.

장구항 5

제 1 항에 있어서,

상기 스트리지 영역에 구비된 상기 제 2 제이트 전류는 제 1 스트리지 전류를 이루며,

상기 스트리지 영역의 상기 제이트 절연막 상에 상기 제 1 및 제 2 액티브층을 이루는 동일한 물질을 이루는 스트리지 보조패턴이 아인랜드 형태로 구비되며,

상기 중간절연막에는 상기 스트리지 보조패턴을 노출시키는 스트리지 권박층이 구비되며,

상기 제 2 소스전류는 상기 스트리지 영역까지 연장 형성되어 상기 스트리지 권박층을 통해 상기 스트리지 보조패턴과 접촉하도록 구성됨으로써 제 2 스트리지 전류를 이루며,

상기 제 1 스트리지 전류와 제이트 절연막과 스트리지 보조패턴 및 제 2 스트리지 전류는 제 1 스트리지 커패시터를 이루는 아래이 기판.

장구항 6

제 5 항에 있어서,

상기 스트리지 영역에는 상기 연결패턴이 연장된 제 3 스트리지 전류가 구비되며, 상기 제 2 스트리지 전류와 상기 제 3 스트리지 전류 및 이들 두 전류 사이에 개재된 상기 보조층으로 이루어진 제 2 스트리지 커패시터가 구비된 아래이 기판.

장구항 7

제 1 항에 있어서,

상기 스트리지 영역에 구비된 상기 제 2 제이트 전류는 제 1 스트리지 전류를 이루며,

상기 스트리지 영역에 대응하여 상기 중간절연막에는 상기 제이트 절연막을 노출시키는 스트리지 권박층이 구비되며,

상기 보조층에 상기 제 2 소스 전류를 노출시키는 소스 권박층이 구비되며,

상기 보조층 위로 상기 소스 권박층을 통해 상기 제 2 소스 전류와 접촉하며 상기 스트리지 영역까지 연장하는 제 2 스트리지 전류가 구비되며,

상기 제 1 스트리지 전류와 제이트 절연막과 보조층과 제 2 스트리지 전류는 스트리지 커패시터를 이루는 것이 특징인 아래이 기판.

청구항 8

제 7 항에 있어서,

상기 스토리지 영역의 상기 스토리지 콘택홀을 통해 노출된 상기 게이트 절연막 상에는 상기 제 1 및 제 2 액티브층을 이루는 동일한 물질로 이루어진 스토리지 보조패턴이 아일랜드 형태로 구비된 것이 특징인 어레이 기판.

청구항 9

화소영역과 상기 화소영역 내에 스위칭 영역과 구동 영역 및 스토리지 영역이 정의(定義)된 기판 상의 상기 스위칭 영역과 구동영역에 아일랜드 형태로 고용융점 금속물질로 형성된 제 1 및 제 2 게이트 전극과;

상기 제 1 및 제 2 게이트 전극 상부에 아일랜드 형태로 각각 상기 제 1 및 제 2 게이트 전극 각각의 일 끝단을 노출시키며 형성된 게이트 절연막과;

상기 제 1 및 제 2 게이트 전극에 대응하여 상기 게이트 절연막 상부로 상기 각 게이트 절연막의 가장자리를 노출시키며 각각 형성된 순수 폴리실리콘의 제 1 및 제 2 액티브층과;

상기 게이트 절연막 외측으로 노출된 상기 제 1 게이트 전극과 접촉하며 화소영역의 경계에 형성된 게이트 배선 및 상기 제 2 게이트 전극과 접촉하며 형성된 게이트 보조패턴과;

상기 제 1 액티브층을 노출시키며 서로 이격하는 제 1 및 제 2 액티브 콘택홀과, 상기 제 2 액티브층을 노출시키며 서로 이격하는 제 3 및 제 4 액티브 콘택홀 및 상기 게이트 보조패턴을 노출시키는 게이트 콘택홀을 가지며, 상기 제 1 및 제 2 액티브층 각각의 중앙부에 대해서는 애지스트퍼의 역할을 하며 상기 기판 전면에 형성된 중간절연막과;

상기 스위칭 영역에 상기 중간절연막 위로 각각 상기 제 1 및 제 2 액티브 콘택홀을 통해 상기 제 1 액티브층과 접촉하며 이격하는 불순물 비정질 실리콘의 제 1 오믹콘택층과, 상기 구동 영역에 상기 중간절연막 위로 각각 상기 제 3 및 제 4 액티브 콘택홀을 통해 상기 제 2 액티브층과 접촉하며 이격하며 불순물 비정질 실리콘의 제 2 오믹콘택층과;

상기 이격하는 상기 제 1 오믹콘택층 위로 각각 이격하며 형성된 제 1 소스 및 드레인 전극과, 상기 이격하는 상기 제 2 오믹콘택층 위로 각각 이격하며 형성된 제 2 소스 및 드레인 전극과;

상기 중간절연막 위로 상기 화소영역의 경계에 상기 제 1 소스 전극과 연결되며 형성된 데이터 배선과;

상기 각 화소영역에 상기 중간절연막 위로 상기 제 2 드레인 전극과 접촉하며 형성된 화소전극과;

상기 중간절연막 위로 상기 제 1 드레인 전극과 상기 게이트 콘택홀을 통해 상기 게이트 보조패턴과 동시에 접촉하며 형성된 연결패턴

을 포함하는 어레이 기판.

청구항 10

제 9 항에 있어서,

상기 스토리지 영역에는 상기 게이트 보조패턴이 연장된 제 1 스토리지 전극과 상기 제 2 소스 전극이 연장된 제 2 스토리지 전극 및 이들 제 1 및 제 2 스토리지 전극 사이에 개재된 중간절연막으로 이루어진 스토리지 커패시터가 구비된 어레이 기판.

청구항 11

제 9 항에 있어서,

상기 스토리지 영역에는 상기 게이트 보조패턴이 연장된 제 1 스토리지 전극이 구비되며,

상기 스토리지 영역의 상기 중간절연막 상에는 상기 제 2 소스 전극의 집속하며 상기 화소전극을 이루는 동일한 물질로 이루어진 제 2 스토리지 전극이 구비되며,

상기 제 1 및 제 2 스토리지 전극과 이들 제 1 및 제 2 스토리지 전극 사이에 개재된 중간절연막은 스토리지 커패시터를 이루는 것이 특징인 어레이 기판.

청구항 12

제 9 항에 있어서,

상기 스토리지 영역에 구비된 상기 제 2 게이트 전극은 제 1 스토리지 전극을 이루며,

상기 스토리지 영역의 상기 게이트 절연막 상에 상기 제 1 및 제 2 액티브층을 이루는 동일한 물질로 이루어진 스토리지 보조패턴이 아일랜드 형태로 구비되며,

상기 중간절연막에는 상기 스토리지 보조패턴을 노출시키는 스토리지 콘택홀이 구비되며,

상기 제 2 소스전극은 상기 스토리지 영역까지 연장 형성되어 상기 스토리지 콘택홀을 통해 상기 스토리지 보조패턴과 접촉하도록 구성됨으로써 제 2 스토리지 전극을 이루며,

상기 제 1 스토리지 전극과 게이트 절연막과 스토리지 보조패턴 및 제 2 스토리지 전극은 스토리지 커패시터를 이루는 어레이 기판.

청구항 13

제 9 항에 있어서,

상기 스토리지 영역에 구비된 상기 제 2 게이트 전극은 제 1 스토리지 전극을 이루며,

상기 스토리지 영역에 대응하는 상기 중간절연막에는 상기 게이트 절연막을 노출시키는 스토리지 콘택홀이 구비되며,

상기 스토리지 영역의 상기 스토리지 콘택홀을 통해 노출된 상기 게이트 절연막 상에는 상기 제 2 소스 전극의 집속하며 상기 화소전극을 이루는 동일한 물질로 이루어진 제 2 스토리지 전극이 구비되며,

상기 제 1 스토리지 전극과 게이트 절연막과 제 2 스토리지 전극은 스토리지 커패시터를 이루는 어레이 기판.

청구항 14

제 13 항에 있어서,

상기 스토리지 영역의 상기 스토리지 콘택홀을 통해 노출된 상기 게이트 절연막 상에는 상기 제 1 및 제 2 액티브층을 이루는 동일한 물질로 이루어진 스토리지 보조패턴이 아일랜드 형태로 구비된 것이 특징인 어레이 기판.

명세서

기술분야

[0001] 본 발명은 어레이 기판에 관한 것이며, 특히 건식식각 진행에 의해 액티브층의 표면 손상 발생을 원천적으로 억제하며 이동도 특성이 우수한 액티브층을 갖는 박막트랜지스터를 구비하며, 나아가 스토리지 커패시터 용량을 향상시킬 수 있는 어레이 기판에 관한 것이다.

배경기술

[0002] 근래에 들어 사회가 본격적인 정보화 시대로 접어들어 따라 대량의 정보를 처리 및 표시하는 디스플레이(display) 분야가 급속도로 발전해 왔고, 최근에는 특히 박형화, 경량화, 저소비전력화의 우수한 성능을 지닌

평판표시장치로서 액정표시장치 또는 유기전계 발광소자가 개발되어 기존의 브라운관(Cathode Ray Tube : CRT)을 대체하고 있다.

- [0003] 액정표시장치 중에서는 각 화소(pixel)별로 전압의 온(on)/오프(off)를 조절할 수 있는 스위칭 소자인 박막트랜지스터가 구비된 어레이 기판을 포함하는 액티브 매트릭스형 액정표시장치가 해상도 및 동영상 구현능력이 뛰어나 가장 주목받고 있다.
- [0004] 또한, 유기전계 발광소자는 높은 휘도와 낮은 동작 전압 특성을 가지며, 스스로 빛을 내는 자체발광형이기 때문에 명암대비(contrast ratio)가 크고, 초박형 디스플레이의 구현이 가능하며, 응답시간이 수 마이크로초(μs) 정도로 동화상 구현이 쉽고, 시야각의 제한이 없으며 저온에서도 안정적이고, 직류 5 내지 15V의 낮은 전압으로 구동하므로 구동회로의 제작 및 설계가 용이하므로 최근 평판표시장치로서 주목 받고 있다.
- [0005] 이러한 액정표시장치와 유기전계 발광소자에 있어서 공통적으로 화소영역 각각을 온(on)/오프(off) 제어하기 위해서 필수적으로 스위칭 소자인 박막트랜지스터를 구비한 어레이 기판이 구비되고 있으며, 나아가 상기 유기전계 발광소자에 있어서는 상기 스위칭 박막트랜지스터 이외에 유기전계 발광 다이오드 구동을 위한 구동 박막트랜지스터를 상기 어레이 기판의 각 화소영역에 구비하고 있다.
- [0006] 도 1은 유기전계 발광소자를 구성하는 종래의 어레이 기판에 있어 하나의 화소영역을 구동 박막트랜지스터를 포함하여 필단한 단면을 도시한 것이다. 이때 설명의 편의를 위한 상기 구동 박막트랜지스터가 형성된 영역을 구동영역이라 정의한다.
- [0007] 도시한 바와 같이, 어레이 기판(11)에 있어 다수의 게이트 배선(미도시)과 데이터 배선(33)이 교차하여 정의되는 다수의 화소영역(P) 내의 구동영역(TrA)에는 게이트 전극(15)이 형성되어 있으며, 상기 게이트 전극(15) 상부로 전면에 게이트 절연막(18)이 형성되어 있으며, 그 위에 순차적으로 순수 비정질 실리콘의 액티브층(22)과 불순물 비정질 실리콘의 오믹콘택층(26)으로 구성된 반도체층(28)이 형성되어 있다. 상기 오믹콘택층(26) 위로 는 상기 게이트 전극(15)에 대응하여 서로 이격하며 소스 전극(36)과 드레인 전극(38)이 형성되어 있다. 이때 순차 적층 형성된 게이트 전극(15)과 게이트 절연막(18)과 반도체층(28)과 소스 및 드레인 전극(36, 38)은 구동 박막트랜지스터(Tr)를 이룬다. 이때 도면에 나타내지 않았지만, 상기 화소영역에는 상기 구동 박막트랜지스터(Tr)와 동일한 형태를 가지며, 상기 구동 박막트랜지스터(Tr) 및 상기 게이트 배선(미도시)과 데이터 배선(33)과 연결되며 스위칭 박막트랜지스터(미도시)가 형성되고 있다.
- [0008] 또한, 상기 소스 및 드레인 전극(36, 38)과 노출된 액티브층(22) 위로 전면에 상기 드레인 전극(38)을 노출시키는 드레인 콘택홀(45)을 포함하는 보호층(42)이 형성되어 있으며, 상기 보호층(42) 상부에는 각 화소영역(P)별로 독립되며, 상기 드레인 콘택홀(45)을 통해 상기 드레인 전극(38)과 접촉하는 화소전극(50)이 형성되어 있다. 이때, 상기 데이터 배선(33) 하부에는 상기 오믹콘택층(26)과 액티브층(22)을 이루는 동일한 물질로 제 1 패턴(27)과 제 2 패턴(23)의 이중층 구조를 갖는 반도체 패턴(29)이 형성되어 있다.
- [0009] 전술한 구조를 갖는 종래의 어레이 기판(11)에 있어서 상기 구동 영역(TrA)에 구성된 박막트랜지스터(Tr)의 반도체층(28)을 살펴보면, 순수 비정질 실리콘의 액티브층(22)은 그 상부로 서로 이격하는 오믹콘택층(26)이 형성된 부분의 제 2 두께(t_2)와 상기 오믹콘택층(26)이 제거되어 노출된 된 부분의 제 1 두께(t_1)가 달리 형성됨을 알 수 있다. 이러한 액티브층(22)의 두께 차이($t_1 \neq t_2$)는 제조 방법에 기인한 것이며, 상기 액티브층(22)의 두께 차이($t_1 \neq t_2$)에 의해 상기 박막트랜지스터(Tr)의 특성 저하가 발생하고 있다.
- [0010] 도 2는 종래의 어레이 기판의 제조 단계 중 반도체층과 소스 및 드레인 전극을 형성하는 단계를 도시한 단면도이다. 도면에 있어서는 설명의 편의를 위해 게이트 전극과 게이트 절연막은 생략하였다.
- [0011] 도시한 바와 같이, 기판(11) 상에 순수 비정질 실리콘층(미도시)을 형성하고 그 상부로 불순물 비정질 실리콘층(미도시)과 금속층(미도시)을 순차적으로 형성하고, 이들을 패터닝함으로써 최상부에 금속물질로서 소스 드레인 패턴(미도시)을 형성하고, 그 하부로 불순물 비정질 실리콘 패턴(미도시)과, 액티브층(미도시)을 형성한다.
- [0012] 이후, 상기 소스 드레인 패턴의 중앙부를 식각하여 제거함으로써 서로 이격하는 소스 및 드레인 전극(36, 38)을 형성한다. 이때 상기 소스 및 드레인 전극(36, 38) 사이로 상기 불순물 비정질 실리콘 패턴(미도시)이 노출되게 된다.
- [0013] 다음, 상기 소스 및 드레인 전극(36, 38) 사이의 이격영역에 노출된 상기 불순물 비정질 실리콘 패턴(미도시)에 대해 건식식각을 실시함으로써 상기 소스 및 드레인 전극(36, 38) 사이로 노출된 상기 불순물 비정질 실리콘 패턴(미도시)을 제거함으로써 서로 이격하는 오믹콘택층(26)을 상기 소스 및 드레인 전극(36, 38) 하부에 형성한

다.

- [0014] 이때, 상기 건식식각은 상기 소스 및 드레인 전극(36, 38) 사이로 노출된 불순물 비정질 실리콘 패턴(미도시)을 완전히 없애기 위해 충분히 오랜 시간 지속되며, 이러한 과정에서 상기 불순물 비정질 실리콘 패턴(미도시) 하부에 위치한 액티브층(22)까지도 상기 불순물 비정질 실리콘 패턴(미도시)이 제거되는 부분에 대해서는 소정 두께 식각이 발생하게 된다. 따라서 액티브층(22)에 있어 그 상부에 오믹콘택층(26)이 형성된 부분과 노출된 부분에 있어 두께($t_1 \neq t_2$) 차이가 발생하게 된다. 상기 건식식각을 충분히 오랜시간 실시하지 않으면, 소스 및 드레인 전극(36, 38) 간의 이격영역에 있어 제거되어야 할 상기 불순물 비정질 실리콘 패턴(미도시)이 상기 액티브층(22) 상부에 남아 박막트랜지스터의 특성이 저하되므로 이를 방지하기 위함이다.
- [0015] 따라서 전술한 종래의 어레이 기판(11)의 제조 방법에 있어서는 필연적으로 액티브층(22)의 두께 차이가 발생하게 되며, 이로 인해 박막트랜지스터(도 1의 Tr)의 특성 저하가 발생하게 된다.
- [0016] 또한, 액티브층(22)이 오믹콘택층(26) 형성을 위한 건식식각 진행 시 식각되어 제거되는 두께까지 고려하여 충분히 두껍게 상기 액티브층(22)을 이루는 순수 비정질 실리콘층(미도시)을 1000 Å 이상의 두께를 갖도록 증착해야 하는 바, 증착시간이 늘어나 생산성을 떨어뜨리는 결과를 초래하고 있다.
- [0017] 한편, 어레이 기판에 있어서 가장 중요한 구성요소로는 각 화소영역별로 형성되며, 게이트 배선과 데이터 배선 및 화소전극과 동시에 연결됨으로써 선택적, 주기적으로 신호전압을 상기 화소전극에 인가시키는 역할을 하는 박막트랜지스터를 들 수 있다.
- [0018] 하지만, 종래의 어레이 기판에서 일반적으로 구성하는 박막트랜지스터의 경우, 상기 액티브층은 비정질 실리콘을 이용하고 있음을 알 수 있다. 이러한 비정질 실리콘을 이용하여 액티브층을 형성할 경우, 상기 비정질 실리콘은 원자 배열이 무질서하기 때문에 빛 조사나 전기장 인가 시 준 안정 상태로 변화되어 박막트랜지스터 소자로 활용 시 안정성에 문제가 되고 있으며, 채널 내부에서 캐리어의 이동도가 $0.1\text{cm}^2/\text{V} \cdot \text{s} \sim 1.0\text{cm}^2/\text{V} \cdot \text{s}$ 로 낮아 이를 구동회로용 소자로 사용하는 데는 어려움이 있다.
- [0019] 이러한 문제를 해결하고자 레이저 강화를 이용한 결정화 공정 진행에 의해 비정질 실리콘의 반도체층을 폴리실리콘의 반도체층으로 결정화함으로써 폴리실리콘을 액티브층으로 이용한 박막트랜지스터를 제조하는 방법이 제안되고 있다.
- [0020] 하지만 종래의 폴리실리콘을 반도체층으로 하는 박막트랜지스터를 구비한 어레이 기판에 있어 상기 박막트랜지스터를 포함하는 하나의 화소영역에 대한 단면도인 도 3을 참조하면, 레이저 결정화 공정을 통한 폴리실리콘을 반도체층(55)으로 이용하는 박막트랜지스터(Tr)를 포함하는 어레이 기판(51) 제조에는 상기 폴리실리콘으로 이루어진 반도체층(55) 내에 제 1 영역(55a)의 양측으로 고농도의 불순물을 포함하는 n+영역(55b) 또는 p+영역(미도시)의 형성을 필요로 한다. 따라서, 이들 n+ 영역(55b) 또는 p+ 형성을 위한 도핑 공정이 요구되며, 이러한 도핑공정 진행을 위해 아온 인플란트 장비가 추가적으로 필요하다. 이 경우, 제조비용 상승을 초래하며, 신규 장비 추가에 의한 어레이 기판(51) 제조를 위해 제조 라인을 새롭게 구성해야 하는 문제가 발생하고 있다.
- [0021] 또한, 최근에는 고화질, 고해상도의 표시장치가 요구되고 있으며, 고해상도의 요구에 부응하고자 화소영역의 크기를 작게 형성하고 있는 실정이며, 이 경우 화소영역의 개구를 저하없는 스토리지 커패시터 용량 확보가 중요한 이슈가 되고 있다.

발명의 내용

해결하려는 과제

- [0022] 본 발명은 전술한 문제를 해결하기 위한 것으로, 액티브층이 건식식각에 노출되지 않음으로써 그 표면에 손상이 발생하지 않아 박막트랜지스터의 특성이 향상되는 어레이 기판을 제공하는 것을 그 목적으로 한다.
- [0023] 또한, 반도체층을 폴리실리콘으로 형성하면서도 도핑 공정을 필요로 하지 않으며, 이동도 특성을 향상시킬 수 있는 박막트랜지스터를 구비한 어레이 기판을 제공하는 것을 또 다른 목적으로 한다.
- [0024] 또한, 화소영역의 개구를 저하없이 충분한 용량의 스토리지 커패시터를 구비할 수 있는 구성을 갖는 어레이 기판을 제공하는 것을 또 다른 목적으로 한다.

파제의 해결 수단

- [0025] 상기 목적을 달성하기 위한 본 발명의 일 실시예에 따른 어레이 기판은, 화소영역과 상기 화소영역 내에 스위칭 영역과 구동 영역 및 스토리지 영역이 정의(定義)된 기판 상의 상기 스위칭 영역과 구동영역에 아일랜드 형태로 고용융점 금속물질로 형성된 제 1 및 제 2 게이트 전극과; 상기 제 1 및 제 2 게이트 전극 상부에 아일랜드 형태로 각각 상기 제 1 및 제 2 게이트 전극 각각의 일 끝단을 노출시키며 형성된 게이트 절연막과; 상기 제 1 및 제 2 게이트 전극에 대응하여 상기 게이트 절연막 상부로 상기 각 게이트 절연막의 가장자리를 노출시키며 각각 형성된 순수 폴리실리콘의 제 1 및 제 2 액티브층과; 상기 게이트 절연막 외측으로 노출된 상기 제 1 게이트 전극과 접촉하며 화소영역의 경계에 형성된 게이트 배선 및 상기 제 2 게이트 전극과 접촉하며 형성된 게이트 보조패턴과; 상기 제 1 액티브층을 노출시키며 서로 이격하는 제 1 및 제 2 액티브 콘택홀과, 상기 제 2 액티브층을 노출시키며 서로 이격하는 제 3 및 제 4 액티브 콘택홀을 가지며, 상기 제 1 및 제 2 액티브층 각각의 중앙부에 대해서는 에치스트퍼의 역할을 하며 상기 기판 전면에 형성된 중간절연막과; 상기 스위칭 영역에 상기 중간절연막 위로 각각 상기 제 1 및 제 2 액티브 콘택홀을 통해 상기 제 1 액티브층과 접촉하며 이격하는 불순물 비정질 실리콘의 제 1 오믹콘택층과, 상기 구동 영역에 상기 중간절연막 위로 각각 상기 제 3 및 제 4 액티브 콘택홀을 통해 상기 제 2 액티브층과 접촉하며 이격하며 불순물 비정질 실리콘의 제 2 오믹콘택층과; 상기 이격하는 상기 제 1 오믹콘택층 위로 각각 이격하며 형성된 제 1 소스 및 드레인 전극과, 상기 이격하는 상기 제 2 오믹콘택층 위로 각각 이격하며 형성된 제 2 소스 및 드레인 전극과; 상기 중간절연막 위로 상기 화소영역의 경계에 상기 제 1 소스 전극과 연결되며 형성된 데이터 배선과; 상기 데이터 배선 위로 상기 기판 전면에 상기 제 1 및 제 2 드레인 전극을 각각 노출시키는 제 1 및 제 2 드레인 콘택홀과 상기 게이트 보조패턴을 노출시키는 게이트 콘택홀을 가지며 형성된 보호층과; 상기 보호층 위로 상기 각 화소영역에 상기 제 2 드레인 콘택홀을 통해 상기 제 2 드레인 전극과 접촉하며 형성된 화소전극과; 상기 제 1 드레인 콘택홀 및 상기 게이트 콘택홀을 통해 상기 제 1 드레인 전극 및 게이트 보조패턴과 동시에 접촉하며 형성된 연결패턴을 포함한다.
- [0026] 상기 스토리지 영역에는 상기 게이트 보조패턴이 연장된 제 1 스토리지 전극과 상기 제 2 소스전극이 연장된 제 2 스토리지 전극 및 이들 제 1 및 제 2 스토리지 전극 사이에 개재된 중간절연막으로 이루어진 제 1 스토리지 커패시터가 구비될 수 있다.
- [0027] 또한, 상기 스토리지 영역에는 상기 연결패턴이 연장된 제 3 스토리지 전극이 구비되며, 상기 제 2 스토리지 전극과 상기 제 3 스토리지 전극 및 이들 두 전극 사이에 개재된 상기 보호층으로 이루어진 제 2 스토리지 커패시터가 구비될 수 있다.
- [0028] 또한, 상기 스토리지 영역에는 상기 게이트 보조패턴이 연장된 제 1 스토리지 전극이 구비되며, 상기 보호층에 상기 제 2 소스 전극을 노출시키는 소스 콘택홀이 구비되며, 상기 보호층 위로 상기 소스 콘택홀을 통해 상기 제 2 소스 전극과 접촉하며 상기 스토리지 영역까지 연장하는 제 2 스토리지 전극이 구비되며, 상기 제 1 스토리지 전극과 중간절연막과 보호층과 제 2 스토리지 전극은 스토리지 커패시터를 이루는 것이 특징이다.
- [0029] 또한, 상기 스토리지 영역에 구비된 상기 제 2 게이트 전극은 제 1 스토리지 전극을 이루며, 상기 스토리지 영역의 상기 게이트 절연막 상에 상기 제 1 및 제 2 액티브층을 이루는 동일한 물질로 이루어진 스토리지 보조패턴이 아일랜드 형태로 구비되며, 상기 중간절연막에는 상기 스토리지 보조패턴을 노출시키는 스토리지 콘택홀이 구비되며, 상기 제 2 소스전극은 상기 스토리지 영역까지 연장 형성되어 상기 스토리지 콘택홀을 통해 상기 스토리지 보조패턴과 접촉하도록 구성됨으로써 제 2 스토리지 전극을 이루며, 상기 제 1 스토리지 전극과 게이트 절연막과 스토리지 보조패턴 및 제 2 스토리지 전극은 제 1 스토리지 커패시터를 이룬다. 이때, 상기 스토리지 영역에는 상기 연결패턴이 연장된 제 3 스토리지 전극이 구비되며, 상기 제 2 스토리지 전극과 상기 제 3 스토리지 전극 및 이들 두 전극 사이에 개재된 상기 보호층으로 이루어진 제 2 스토리지 커패시터가 구비된다.
- [0030] 또한, 상기 스토리지 영역에 구비된 상기 제 2 게이트 전극은 제 1 스토리지 전극을 이루며, 상기 스토리지 영역에 대응하여 상기 중간절연막에는 상기 게이트 절연막을 노출시키는 스토리지 콘택홀이 구비되며, 상기 보호층에 상기 제 2 소스 전극을 노출시키는 소스 콘택홀이 구비되며, 상기 보호층 위로 상기 소스 콘택홀을 통해 상기 제 2 소스 전극과 접촉하며 상기 스토리지 영역까지 연장하는 제 2 스토리지 전극이 구비되며, 상기 제 1 스토리지 전극과 게이트 절연막과 보호층과 제 2 스토리지 전극은 스토리지 커패시터를 이루는 것이 특징이다. 이때, 상기 스토리지 영역의 상기 스토리지 콘택홀을 통해 노출된 상기 게이트 절연막 상에는 상기 제 1 및 제 2 액티브층을 이루는 동일한 물질로 이루어진 스토리지 보조패턴이 아일랜드 형태로 구비된 것이 특징이다.

- [0031] 본 발명의 또 다른 실시예에 따른 어레이 기판은, 화소영역과 상기 화소영역 내에 스위칭 영역과 구동 영역 및 스토리지 영역이 정의(定義)된 기판 상의 상기 스위칭 영역과 구동영역에 아일랜드 형태로 고융융점 금속물질로 형성된 제 1 및 제 2 게이트 전극과; 상기 제 1 및 제 2 게이트 전극 상부에 아일랜드 형태로 각각 상기 제 1 및 제 2 게이트 전극 각각의 일 끝단을 노출시키며 형성된 게이트 절연막과; 상기 제 1 및 제 2 게이트 전극에 대응하여 상기 게이트 절연막 상부로 상기 각 게이트 절연막의 가장자리를 노출시키며 각각 형성된 순수 폴리실리콘의 제 1 및 제 2 액티브층과; 상기 게이트 절연막 외측으로 노출된 상기 제 1 게이트 전극과 접촉하며 화소 영역의 경계에 형성된 게이트 배선 및 상기 제 2 게이트 전극과 접촉하며 형성된 게이트 보조패턴과; 상기 제 1 액티브층을 노출시키며 서로 이격하는 제 1 및 제 2 액티브 콘택홀과, 상기 제 2 액티브층을 노출시키며 서로 이격하는 제 3 및 제 4 액티브 콘택홀 및 상기 게이트 보조패턴을 노출시키는 게이트 콘택홀을 가지며, 상기 제 1 및 제 2 액티브층 각각의 중앙부에 대해서는 에치스토퍼의 역할을 하며 상기 기판 전면에 형성된 중간절연막과; 상기 스위칭 영역에 상기 중간절연막 위로 각각 상기 제 1 및 제 2 액티브 콘택홀을 통해 상기 제 1 액티브층과 접촉하며 이격하는 불순물 비정질 실리콘의 제 1 오믹콘택층과, 상기 구동 영역에 상기 중간절연막 위로 각각 상기 제 3 및 제 4 액티브 콘택홀을 통해 상기 제 2 액티브층과 접촉하며 이격하며 불순물 비정질 실리콘의 제 2 오믹콘택층과; 상기 이격하는 상기 제 1 오믹콘택층 위로 각각 이격하며 형성된 제 1 소스 및 드레인 전극과, 상기 이격하는 상기 제 2 오믹콘택층 위로 각각 이격하며 형성된 제 2 소스 및 드레인 전극과; 상기 중간절연막 위로 상기 화소영역의 경계에 상기 제 1 소스 전극과 연결되며 형성된 데이터 배선과; 상기 각 화소영역에 상기 중간절연막 위로 상기 제 2 드레인 전극과 접촉하며 형성된 화소전극과; 상기 중간절연막 위로 상기 제 1 드레인 전극과 상기 게이트 콘택홀을 통해 상기 게이트 보조패턴과 동시에 접촉하며 형성된 연결패턴을 포함한다.
- [0032] 이때, 상기 스토리지 영역에는 상기 게이트 보조패턴이 연장된 제 1 스토리지 전극과 상기 제 2 소스 전극이 연장된 제 2 스토리지 전극 및 이들 제 1 및 제 2 스토리지 전극 사이에 개재된 중간절연막으로 이루어진 스토리지 커패시터가 구비된 것이 특징이다.
- [0033] 또한, 상기 스토리지 영역에는 상기 게이트 보조패턴이 연장된 제 1 스토리지 전극이 구비되며, 상기 스토리지 영역의 상기 중간절연막 상에는 상기 제 2 소스 전극의 접촉하며 상기 화소전극을 이루는 동일한 물질로 이루어진 제 2 스토리지 전극이 구비되며, 상기 제 1 및 제 2 스토리지 전극과 이들 제 1 및 제 2 스토리지 전극 사이에 개재된 중간절연막은 스토리지 커패시터를 이루는 것이 특징이다.
- [0034] 또한, 상기 스토리지 영역에 구비된 상기 제 2 게이트 전극은 제 1 스토리지 전극을 이루며, 상기 스토리지 영역의 상기 게이트 절연막 상에 상기 제 1 및 제 2 액티브층을 이루는 동일한 물질로 이루어진 스토리지 보조패턴이 아일랜드 형태로 구비되며, 상기 중간절연막에는 상기 스토리지 보조패턴을 노출시키는 스토리지 콘택홀이 구비되며, 상기 제 2 소스전극은 상기 스토리지 영역까지 연장 형성되어 상기 스토리지 콘택홀을 통해 상기 스토리지 보조패턴과 접촉하도록 구성됨으로써 제 2 스토리지 전극을 이루며, 상기 제 1 스토리지 전극과 게이트 절연막과 스토리지 보조패턴 및 제 2 스토리지 전극은 스토리지 커패시터를 이룬다.
- [0035] 또한, 상기 스토리지 영역에 구비된 상기 제 2 게이트 전극은 제 1 스토리지 전극을 이루며, 상기 스토리지 영역에 대응하는 상기 중간절연막에는 상기 게이트 절연막을 노출시키는 스토리지 콘택홀이 구비되며, 상기 스토리지 영역의 상기 스토리지 콘택홀을 통해 노출된 상기 게이트 절연막 상에는 상기 제 2 소스 전극의 접촉하며 상기 화소전극을 이루는 동일한 물질로 이루어진 제 2 스토리지 전극이 구비되며, 상기 제 1 스토리지 전극과 게이트 절연막과 제 2 스토리지 전극은 스토리지 커패시터를 이루며, 이때, 상기 스토리지 영역의 상기 스토리지 콘택홀을 통해 노출된 상기 게이트 절연막 상에는 상기 제 1 및 제 2 액티브층을 이루는 동일한 물질로 이루어진 스토리지 보조패턴이 아일랜드 형태로 구비된 것이 특징이다.

발명의 효과

- [0036] 본 발명에 따른 어레이 기판은, 반도체 물질로 이루어진 게이트 전극과 금속물질로 이루어진 게이트 배선간의 접촉저항을 낮춤으로써 상기 게이트 배선을 통해 박막트랜지스터의 온 전압 인가시 안정적인 박막트랜지스터 특성을 갖도록 하는 효과가 있다.
- [0037] 또한, 에치스토퍼의 역할을 하는 중간절연막이 구비되어 액티브층이 건식식각에 노출되지 않음으로써 그 표면 손상이 발생하지 않아 박막트랜지스터 특성이 저하되는 것을 방지하는 효과가 있다.
- [0038] 액티브층이 건식식각에 영향을 받지 않게 되므로 식각되어 없어지는 두께를 고려하지 않아도 되므로 상기 액티

브층의 두께를 줄임으로써 증착 시간을 단축시켜 생산성을 향상시키는 효과가 있다.

- [0039] 본 발명에 따른 어레이 기판은 비정질 실리콘층을 결정화 공정에 의해 폴리실리콘층으로 결정화하고 이를 반도체층으로 하여 박막트랜지스터를 구성함으로써 비정질 실리콘층의 반도체층을 포함하는 박막트랜지스터를 구비한 어레이 기판 대비 이동도 특성을 수십 내지 수 백배 향상시키는 효과가 있다.
- [0040] 폴리실리콘의 액티브층을 박막트랜지스터의 반도체층으로 이용하면서도 불순물의 도핑은 필요로 하지 않으므로 도핑 공정 진행을 위한 신규 장비 투자를 실시하지 않아도 되므로 초기 투자비용을 절감할 수 있는 장점이 있다.
- [0041] 또한, 화소영역의 개구율 저하없이 스토리지 커패시터의 용량을 향상시키는 효과가 있다.

도면의 간단한 설명

- [0042] 도 1은 액정표시장치 또는 유기전계 발광소자를 구성하는 종래의 어레이 기판에 있어 하나의 화소영역을 박막트랜지스터를 포함하여 절단한 단면을 도시한 도면.
- 도 2는 종래의 어레이 기판의 제조 단계 중 반도체층과 소스 및 드레인 전극을 형성하는 단계를 도시한 공정 단면도.
- 도 3은 종래의 폴리실리콘을 반도체층으로 하는 박막트랜지스터를 구비한 어레이 기판에 있어 상기 박막트랜지스터를 포함하는 하나의 화소영역에 대한 단면도.
- 도 4는 유기전계 발광소자를 구성하는 본 발명의 제 1 실시예에 따른 어레이 기판에 있어 하나의 화소영역에 대한 평면도
- 도 5는 본 발명의 제 1 실시예의 제 1 변형예에 따른 어레이 기판의 하나의 화소영역에 대한 단면도.
- 도 6은 본 발명의 제 1 실시예의 제 2 변형예에 따른 어레이 기판의 하나의 화소영역에 대한 단면도.
- 도 7은 본 발명의 제 1 실시예의 제 3 변형예에 따른 어레이 기판의 하나의 화소영역에 대한 단면도.
- 도 8은 본 발명의 제 1 실시예의 제 4 변형예에 따른 어레이 기판의 하나의 화소영역에 대한 단면도.
- 도 9는 본 발명의 제 1 실시예의 제 5 변형예에 따른 어레이 기판의 하나의 화소영역에 대한 단면도.
- 도 10은 유기전계 발광소자를 구성하는 본 발명의 제 2 실시예에 따른 어레이 기판에 있어 하나의 화소영역에 대한 단면도.
- 도 11은 본 발명의 제 2 실시예의 제 1 변형예에 따른 어레이 기판의 하나의 화소영역에 대한 단면도.
- 도 12는 본 발명의 제 2 실시예의 제 2 변형예에 따른 어레이 기판의 하나의 화소영역에 대한 단면도.
- 도 13은 본 발명의 제 2 실시예의 제 3 변형예에 따른 어레이 기판의 하나의 화소영역에 대한 단면도.
- 도 14a 내지 14j는 유기전계 발광소자를 구성하는 본 발명의 제 1 실시예에 따른 어레이 기판에 있어 하나의 화소영역에 대한 제조 단계별 공정 단면도.
- 도 15a 내지 15b는 유기전계 발광소자를 구성하는 본 발명의 제 2 실시예에 따른 어레이 기판에 있어 하나의 화소영역에 대한 제조 단계별 공정 단면도.

발명을 실시하기 위한 구체적인 내용

- [0043] 이하, 본 발명에 따른 바람직한 실시예를 도면을 참조하여 설명한다.
- [0044] 도 4는 유기전계 발광소자를 구성하는 본 발명의 제 1 실시예에 따른 어레이 기판에 있어 하나의 화소영역에 대한 단면도이다. 설명의 편의를 위해 화소영역(P) 내에 스위칭 박막트랜지스터(ST)가 형성되는 영역을 스위칭 영역(SA), 구동 박막트랜지스터(DTr)가 형성되는 영역을 구동영역(DA), 스토리지 커패시터가 형성되는 영역을 스토리지 영역(StgA)이라 정의한다.
- [0045] 도시한 바와 같이, 본 발명의 실시예에 따른 어레이 기판(101)은 전면에 절연물질 예를 들면 산화실리콘(SiO_2) 또는 질화실리콘(Si_3N_4)으로 이루어진 버퍼층(102)이 형성되어 있다. 이러한 버퍼층(102)은 본 발명의 특성 상

후후 공정에서 결정화 공정을 진행하는데, 이러한 결정화 공정은 600℃ 내지 800℃의 고온의 분위기가 요구되고 있으며, 이 경우 상기 기판(101)이 고온의 분위기에 노출됨으로써 기판(101)의 표면으로부터 알칼리 이온이 용출되어 폴리실리콘으로 이루어진 구성요소의 특성을 저하시킬 수 있으며, 따라서 이러한 문제를 방지하기 위해 형성하고 있는 것이다.

- [0046] 상기 버퍼층(102) 위로 스위칭 영역(SA) 및 구동영역에 각각 800℃ 이상의 용융점을 갖는 금속물질 예를 들면 몰리브덴(Mo), 몰리 티타늄(MoTi)을 포함하는 몰리브덴 합금(Mo alloy), 구리(Cu), 구리 합금(Cu Alloy), 티타늄(Ti), 탄탈륨(Ta) 및 텅스텐(W) 중 어느 하나로 이루어지며 100Å 내지 1000Å 정도의 두께를 갖는 제 1 게이트 전극(105a) 및 제 2 게이트 전극이 아일랜드 형태로 형성되어 있다. 이때, 게이트 배선을 따라 동일한 라인에 형성된 상기 각 제 1 게이트 전극(105a)은 상기 게이트 배선(145)이 형성될 부분까지 연장 형성됨으로써 서로 연결된 형태를 이루는 것이 특징이다. 이러한 구성을 갖는 것은 제조 방법에 기인한 것으로 상기 게이트 배선(145)과 함께 패터닝 되었기 때문이다.
- [0047] 또한, 상기 제 1 및 제 2 게이트 전극(105a, 105b) 각각에 대응하여 그 위로는 절연물질로써 이루어진 게이트 절연막(109)이 형성되어 있다. 이때, 상기 게이트 절연막(109)은 상기 각 제 1 및 제 2 게이트 전극(105a, 105b)에 대응하여 완전 중첩하며 아일랜드 형태로 형성되고 있으며, 상기 제 1 및 제 2 게이트 전극(105a, 105b) 각각의 일 끝단을 노출시키며 형성되고 있는 것이 특징이다.
- [0048] 상기 아일랜드 형태의 각 게이트 절연막(109) 위로 이와 완전 중첩하며 상기 각 게이트 절연막(109)보다 작은 평면적을 가지며 상기 스위칭 영역(SA) 및 구동 영역(DA)에 위치한 상기 제 1 및 제 2 게이트 전극(105a, 105b) 각각에 대응하여 순수 폴리실리콘의 제 1 액티브층(115a)과 제 2 액티브층(115b)이 각각 형성되고 있다.
- [0049] 또한, 상기 게이트 절연막(109) 외부로 노출된 상기 제 1 게이트 전극(105a)과 접촉하며 상기 제 1 액티브층(115a) 외부로 노출된 상기 게이트 절연막 상부에 그 끝단이 위치하며 화소영역(P)의 경계에 게이트 배선(119)이 형성되어 있다. 또한, 상기 스토리지 영역(StgC)에는 상기 게이트 배선(119)을 형성한 동일한 금속물질로 이루어지며 상기 각 제 2 게이트 전극(105b)과 접촉하며 제 1 스토리지 전극(121)의 역할을 하는 게이트 보조 패턴(120)이 형성되어 있다.
- [0050] 한편, 상기 제 1 및 제 2 액티브층(115a, 115b)과 상기 게이트 배선(119) 및 게이트 보조 패턴(120) 위로 상기 기판(101) 전면에 상기 제 1 및 제 2 액티브층(115a, 115b) 각각의 중앙부를 기준으로 그 양측으로 각각 상기 제 1 및 제 2 액티브층(115a, 115b)을 노출시키는 제 1, 2, 3, 4 액티브 콘택홀(123a, 123b, 123c, 123d)을 갖는 증간절연막(122)이 형성되어 있다.
- [0051] 또한, 상기 증간절연막(122) 위로 상기 스위칭 영역(SA)에 대응하여 상기 제 1, 2 액티브 콘택홀(123a, 123b)을 통해 상기 제 1 액티브층(115a)과 접촉하며 서로 이격하는 불순물 비정질 실리콘의 제 1 오믹콘택층(127a)이 형성되어 있으며, 이의 상부에 서로 이격하며 제 1 소스 및 드레인 전극(133a, 136a)이 형성되어 있다.
- [0052] 또한, 상기 증간절연막(122) 위로 상기 구동영역(DA)에 대응하여 상기 제 3, 4 액티브 콘택홀(123c, 123d)을 통해 상기 제 2 액티브층(115b)과 접촉하며 서로 이격하는 불순물 비정질 실리콘의 제 2 오믹콘택층(127b)이 형성되어 있으며, 이의 상부에 서로 이격하며 제 2 소스 및 드레인 전극(133b, 136b)이 형성되어 있다. 이때, 상기 제 2 소스 전극(133b)은 상기 스토리지 영역(StgA)까지 연장되어 제 2 스토리지 전극(137)을 이루고 있다.
- [0053] 이때, 스토리지 영역(StgA)에 순차 적층되어 형성된 상기 제 1 스토리지 전극(121)과 게이트 절연막(109)과 증간절연막(122)과 상기 제 2 스토리지 전극(137)은 스토리지 커패시터(StgC)를 이룬다.
- [0054] 또한, 상기 스위칭 영역(SA)에 순차 적층된 상기 제 1 게이트 전극(105a)과, 게이트 절연막(109)과 순수 비정질 실리콘의 제 1 액티브층(115a)과 제 1 및 제 2 액티브 콘택홀(123a, 123b)을 갖는 증간절연막(122)과 서로 이격하는 불순물 비정질 실리콘의 제 1 오믹콘택층(127a)과 서로 이격하는 제 1 소스 및 드레인 전극(133a, 136a)은 스위칭 박막트랜지스터(STr)를 이룬다.
- [0055] 또한, 상기 구동 영역(DA)에 순차 적층된 상기 제 2 게이트 전극(105b)과, 게이트 절연막(109)과 순수 비정질 실리콘의 제 2 액티브층(115b)과 제 3 및 제 4 액티브 콘택홀(123c, 123d)을 갖는 증간절연막(122)과 서로 이격하는 불순물 비정질 실리콘의 제 2 오믹콘택층(127b)과 서로 이격하는 제 2 소스 및 드레인 전극(133b, 136b)은 구동 박막트랜지스터(DTr)를 이룬다.
- [0056] 또한, 도면에 나타나지 않았지만, 상기 증간절연막(122) 위로 상기 스위칭 박막트랜지스터(STr)의 제 1 소스 전극(133a)과 연결되며 상기 게이트 배선(119)과 교차하여 화소영역(P)을 정의하며 데이터 배선(미도시)이 형성되

고 있으며, 상기 게이트 배선(미도시)과 이격하며 상기 제 2 소스 전극(136b)과 연결되며 전원배선(미도시)이 형성되고 있다.

[0057] 다음, 상기 제 1 소스 및 드레인 전극(133a, 136a)과 제 2 소스 및 드레인 전극(133b, 136b) 위로 전면에 절연 물질로 이루어진 보호층(140)이 형성되어 있다. 이때, 상기 보호층(140)과 그 하부의 중간절연막(122)은 패터닝됨으로써 상기 제 2 게이트 전극(105b) 더욱 정확히는 상기 제 2 게이트 전극(105b)과 중첩하는 상기 게이트 보조 패턴(120)을 노출시키는 게이트 콘택홀(153)이 구비되고 있으며, 상기 보호층(140)에는 상기 제 1 및 제 2 드레인 전극(136a, 136b) 각각을 노출시키는 제 1 및 제 2 드레인 콘택홀(152a, 152b)과 상기 전원전극(미도시)을 노출시키는 전원 콘택홀(미도시)이 구비되고 있다.

[0058] 다음, 상기 보호층(140) 위로는 각 화소영역(P)에 투명 도전성 물질로써 상기 제 2 드레인 콘택홀(152b)을 통해 상기 제 2 드레인 전극(136b)과 접촉하며 화소전극(170)이 형성되어 있으며, 상기 제 1 드레인 콘택홀(152a)과 상기 게이트 콘택홀(153) 통해 상기 제 1 드레인 전극(136a)과 상기 게이트 보조 패턴(120)과 동시에 접촉하는 연결전극(172)이 형성되고 있다.

[0059] 한편, 전술한 구성을 갖는 본 발명의 제 1 실시예에 따른 어레이 기판(101)은 순수 폴리실리콘의 제 1 및 제 2 액티브층(115a, 115b)이 형성됨으로써 종래 대비 이동도 특성이 향상될 수 있다.

[0060] 또한, 상기 채널 영역이 형성되는 제 1 및 제 2 액티브층(115a, 115b)의 중앙부에 대해서는 중간절연막(122)이 에치스트로퍼의 역할을 함으로써 그 두께 변화가 발생하지 않으므로 액티브층의 채널 영역의 두께 변화에 따른 박막트랜지스터의 특성 저하를 방지할 수 있는 것이 특징이다.

[0061] 한편, 도면에 나타내지 않았지만, 상기 화소전극(170) 및 게이트 연결전극(172)과 상기 제 2 보호층(150) 위로는 각 화소영역(P)의 경계와 상기 화소영역(P) 내부 일부(스위칭 영역(SA) 및 구동영역(DA))에 대해 상기 각 화소전극(170)의 테두리부와 중첩하며 절연물질로서 बैं크(미도시)가 형성되어 있으며, 상기 बैं크(미도시)로 둘러싸인 각 화소영역(P)의 내부에는 상기 화소전극(170) 위로 적, 녹, 청색을 각각 발광하는 유기 발광층(미도시)이 표시영역에서 순차 반복적으로 형성되어 있으며, 상기 बैं크(미도시)와 상기 유기 발광층(미도시)을 덮으며 표시영역 전면에 기준전극(미도시)이 형성되어 있다. 이때, 상기 각 화소영역(P) 내에 순차 적층된 상기 화소전극(170)과 유기 발광층(미도시)과 기준전극(미도시)은 유기전계 발광 다이오드(미도시)를 이룬다.

[0062] 한편, 이러한 구성을 갖는 본 발명의 제 1 실시예에 따른 어레이 기판(101)에 있어 스토리지 영역(StgA)을 살펴 보면, 스토리지 커패시터(StgC)는 제 2 게이트 전극(105b)과 접촉하며 형성된 게이트 보조 패턴(120)의 연장된 부분이 제 1 스토리지 전극(121)을 이루며 제 2 소스 전극(133b)이 연장 형성됨으로써 제 2 스토리지 전극(137)을 이루며, 이들 두 전극(121, 137) 사이에 개재된 중간절연막(122)이 유전체층을 이루고 있음을 알 수 있다. 이 경우 상기 스토리지 커패시터(StgC)는 중간절연막(122)의 단일층이 유전체층을 이루므로써 상대적으로 큰 스토리지 용량을 확보할 수 있는 것이 특징이다.

[0063] 전술한 구조를 갖는 본 발명의 제 1 실시예에 따른 어레이 기판(101)은 특히, 스토리지 영역(StgA)에 있어 다양한 변형예를 가질 수 있으며, 이후에는 본 발명의 제 1 실시예에 따른 제 1 내지 제 5 변형예의 단면구조에 대해 설명한다. 이때, 제 1 실시예의 제 1 내지 제 5 변형예에 있어서 제 1 실시예와 동일한 구성요소에 대해서는 동일한 도면부호를 부여하였으며, 그 단면구조는 스토리지 커패시터를 제외하고는 제 1 실시예와 동일하므로 차별점이 있는 부분을 위주로 설명한다.

[0064] 도 5는 본 발명의 제 1 실시예의 제 1 변형예에 따른 어레이 기판의 하나의 화소영역에 대한 단면도이다.

[0065] 본 발명의 제 1 실시예의 제 1 변형예에 따른 어레이 기판(101)의 경우, 제 1 실시예와 비교하여 차별점이 있는 부분은, 제 2 소스 전극(133b)이 스토리지 영역(StgA)까지 연장된 것이 상기 보호층(140) 내에 상기 제 2 소스 전극(133b)을 노출시키는 소스 콘택홀(144)이 구비되며, 상기 보호층(140) 상부로 상기 소스 콘택홀(144)을 통해 상기 제 2 소스 전극(133b)과 접촉하며 상기 화소전극(170)을 이루는 동일한 물질로 제 2 스토리지 전극(173)이 형성되고 있는 것이 특징이다. 따라서 상기 제 2 게이트 전극(105b)과 접촉하는 게이트 보조 패턴(120)의 연장부분이 제 1 스토리지 전극(121)을 이루며, 이와 중첩하는 상기 제 2 스토리지 전극(173)과 이들 두 전극(121, 173) 사이에 개재된 중간절연막(122)과 보호층(140)을 유전체층으로 하여 스토리지 커패시터(StgC)가 형성되고 있는 것이 특징이다.

[0066] 도 6은 본 발명의 제 1 실시예의 제 2 변형예에 따른 어레이 기판의 하나의 화소영역에 대한 단면도이다.

[0067] 제 1 실시예와 비교하여 차별점이 있는 부분은, 제 1 드레인 콘택홀(152a)과 상기 게이트 콘택홀(153) 통해 상

기 제 1 드레인 전극(136a) 및 상기 게이트 보조패턴(120)과 동시에 접촉하는 연결전극(172)이 스토리지 영역(SigA)까지 연장 형성 됨으로써 제 3 스토리지 전극(174)을 이루고 있는 것이다. 따라서 제 1 실시예의 제 2 변형예의 경우 게이트 보조패턴(120)이 연장되어 이루어진 제 1 스토리지 전극(121)과 상기 제 2 소스 전극(133b)이 연장되어 이루어진 제 2 스토리지 전극(137)과 이들 두 전극(121, 137) 사이에 개재된 층간절연막(122)을 유전체층으로 한 제 1 스토리지 커패시터(StgC1)와, 상기 제 2 스토리지 전극(137)과 보호층(140) 및 상기 제 3 스토리지 전극(174)을 구성요소로 한 제 2 스토리지 커패시터(StgC2)로 이루어진 이중의 스토리지 커패시터(StgC1, StgC2)를 구성하고 있는 것이 특징이다. 이러한 제 2 변형예의 경우 이중으로 스토리지 커패시터(StgC1, StgC2)를 형성함으로써 스토리지 용량을 향상시키는 효과가 있다.

- [0068] 도 7은 본 발명의 제 1 실시예의 제 3 변형예에 따른 어레이 기판의 하나의 화소영역에 대한 단면도이다.
- [0069] 제 1 실시예와 비교하여 차별점이 있는 부분은, 스토리지 영역(StgA)의 구성에 있다. 제 3 변형예에 있어서는 특징적인 구성으로서 상기 스토리지 영역(StgA)에 대응하여 상기 게이트 절연막(109) 위로 상기 제 1 및 제 2 액티브층(115a, 115b)을 이루는 동일한 물질로 스토리지 보조패턴(116)이 형성되어 있으며, 층간절연막(122)에는 상기 스토리지 보조패턴(116)을 노출시키는 스토리지 콘택홀(124)이 형성되어 있다. 이때 상기 제 2 소스 전극(133b)이 상기 스토리지 영역(StgA)에 구비된 상기 스토리지 콘택홀(124)까지 연장 형성되어 상기 스토리지 보조패턴(116)과 접촉하며 형성됨으로써 제 2 스토리지 전극(137)을 이루는 것이 특징이다.
- [0070] 따라서 상기 스토리지 영역(StgA)에는 상기 제 2 게이트 전극(105b)의 연장부가 제 1 스토리지 전극(106)을 이루며, 이와 중첩하는 상기 제 2 스토리지 전극(137) 및 이들 두 전극(106, 137) 사이에 개재된 게이트 절연막(109)과 상기 스토리지 보조패턴(116)을 유전체층으로 한 스토리지 커패시터가 구성되고 있는 것이 특징이다.
- [0071] 도 8은 본 발명의 제 1 실시예의 제 4 변형예에 따른 어레이 기판의 하나의 화소영역에 대한 단면도이다.
- [0072] 제 1 실시예의 제 4 변형예는 제 3 변형예의 구성에서 상기 제 1 드레인 콘택홀(152a)과 상기 게이트 콘택홀(153)을 통해 상기 제 1 드레인 전극(136a)과 상기 게이트 보조패턴(120)을 전기적으로 연결시키는 연결패턴(172)이 스토리지 영역(StgA)까지 연장 형성되어 제 3 스토리지 전극(174)을 이루고 있는 것이 특징이다.
- [0073] 따라서 스토리지 영역(StgA)에는 제 2 게이트 전극(105b)의 연장부인 제 1 스토리지 전극(106)과 게이트 절연막(109)과 스토리지 보조패턴(116)과 제 2 소스 전극(133b)의 연장부인 제 2 스토리지 전극(137)을 구성요소로 하여 제 1 스토리지 커패시터(StgC1)가 구성되고 있으며, 상기 제 2 스토리지 전극(137)과 보호층(140)과 상기 연결패턴(172)의 연장부인 제 3 스토리지 전극(174)을 구성요소로 하여 제 2 스토리지 커패시터(StgC2)가 구성됨으로써 이중 구조의 스토리지 커패시터(StgC1, StgC2)를 이루고 있는 것이 특징이다.
- [0074] 도 9는 본 발명의 제 1 실시예의 제 5 변형예에 따른 어레이 기판의 하나의 화소영역에 대한 단면도이다.
- [0075] 제 5 변형예의 경우 제 3 변형예의 스토리지 영역(StgA)을 변형한 것으로, 제 2 소스 전극(133b)이 스토리지 콘택홀(124)이 구비된 스토리지 영역(StgA)까지 연장되지 않고, 보호층(140)에 상기 제 2 소스 전극(133b)을 노출시키는 소스 콘택홀(144)이 구비되고 있으며, 상기 화소전극(170)을 이루는 동일한 물질로서 상기 소스 콘택홀(144)을 통해 상기 제 2 소스 전극(133b)과 접촉하며 제 2 스토리지 전극(173)이 형성되고 있는 것이 특징이다.
- [0076] 따라서 스토리지 영역(StgA)에는 상기 제 2 게이트 전극(105b)의 연장부가 제 1 스토리지 전극(106)을 이루며, 이와 중첩하며 적층된 상기 게이트 절연막(109)과 스토리지 보조패턴(116) 및 보호층(140)이 유전체층을 이루며, 상기 제 2 스토리지 전극(173)이 구성됨으로써 이들을 구성요소로 하여 스토리지 커패시터(StgC)가 구비되고 있는 것이 특징이다.
- [0077] 이때, 상기 스토리지 보조패턴(116)은 생략될 수도 있다. 이 경우, 제 1 및 제 2 스토리지 전극(106, 173) 사이에는 게이트 절연막(109)과 보호층(140)만이 구성됨으로써 제 1 및 제 2 스토리지 전극(106, 173)과 게이트 절연막(109) 및 보호층(140)으로 이루어진 스토리지 커패시터(미도시)가 구성되게 된다.
- [0078] 도 10은 유기전계 발광소자를 구성하는 본 발명의 제 2 실시예에 따른 어레이 기판에 있어 하나의 화소영역에 대한 단면도이다. 설명의 편의를 위해 화소영역(P) 내에 스위칭 박막트랜지스터(ST)가 형성되는 영역을 스위칭 영역(SA), 구동 박막트랜지스터(DTr)가 형성되는 영역을 구동영역(DA), 스토리지 커패시터가 형성되는 영역을 스토리지 영역(StgA)이라 정의하였으며, 제 1 실시예와 동일한 구성요소에 대해서는 100을 더하여 도면부호를 부여하였다. 이때, 제 2 실시예의 경우 제 1 실시예와 유사한 구성을 가지므로 차별점이 있는 부분 위주로 설명

한다.

- [0079] 본 발명의 제 2 실시예에 있어서 제 1 실시예와 가장 차별점이 있는 구성을 보호층이 생략되고 있다는 것이다. 따라서 각 화소영역(P)에 있어서는 증간절연막(222) 위로 제 2 드레인 전극(236b)의 일 끝단과 접촉하며 화소전극(270)이 형성되고 있으며, 제 1 드레인 전극(236a)과 게이트 보조패턴(220)을 전기적으로 연결시키기 위한 연결전극(272) 또는 상기 제 1 드레인 전극(236a)의 일 끝단과 직접 접촉하며 동시에 상기 증간절연막(222)에 구비된 게이트 콘택홀(253)을 통해 상기 게이트 보조패턴(220)과 동시에 접촉하며 상기 증간절연막(222) 상에 형성되고 있는 것이 특징이다. 그 외의 구성요소의 경우 전술한 제 1 실시예와 동일한 구조를 이루고 있으므로 그 설명은 생략한다.
- [0080] 한편, 전술한 구성을 갖는 본 발명의 제 2 실시예에 따른 어레이 기판(201)의 스토리지 영역(StgA)을 살펴보면, 제 2 게이트 전극(205b)과 접촉하며 형성된 게이트 보조패턴(220)에서 연장된 부분이 제 1 스토리지 전극(221)을 이루고 있으며, 상기 제 2 소스 전극(233b)에서 연장된 부분이 상기 제 1 스토리지 전극(221)과 중첩하여 제 2 스토리지 전극(237)을 이루고 있으며, 이들 두 전극(221, 237) 사이에 증간절연막(222)이 개재됨으로써 유전체층을 이루고 있으며, 이들을 구성요소로 하여 스토리지 커패시터(StgC)가 구성되고 있다.
- [0081] 전술한 구조를 갖는 본 발명의 제 2 실시예에 따른 어레이 기판(201)은 특히, 스토리지 영역(StgA)에 있어 다양한 변형예를 가질 수 있으며, 이후에는 본 발명의 제 2 실시예에 따른 제 1 내지 제 3 변형예의 단면구조에 대해 설명한다. 이때, 제 2 실시예의 제 1 내지 제 3 변형예에 있어서 제 2 실시예와 동일한 구성요소에 대해서는 동일한 도면부호를 부여하였으며, 그 단면구조는 스토리지 커패시터를 제외하고는 제 2 실시예와 동일하므로 차별점이 있는 부분을 위주로 설명한다.
- [0082] 도 11은 본 발명의 제 2 실시예의 제 1 변형예에 따른 어레이 기판의 하나의 화소영역에 대한 단면도이다.
- [0083] 제 2 실시예와 비교하여 차별점이 있는 부분은 제 2 스토리지 전극에 있다. 제 2 실시예의 경우 제 2 소스 전극의 연장부가 제 2 스토리지 전극을 이루고 있었지만, 제 2 실시예의 제 1 변형예의 경우, 증간절연막(222) 상에 제 2 소스 전극(233b)의 일 끝단과 직접 접촉하며 화소전극(270)을 이루는 동일한 물질로 이루어진 제 2 스토리지 전극(273)이 구성되고 있는 것이 특징이다.
- [0084] 따라서 스토리지 영역(StgA)에는 상기 게이트 보조패턴(220)의 연장부인 제 1 스토리지 전극(221), 증간절연막(222) 및 상기 제 2 소스 전극(233b)과 접촉하는 제 2 스토리지 전극(273)을 구성요소로 하여 스토리지 커패시터(StgC)가 구성되고 있는 것이 특징이다.
- [0085] 도 12는 본 발명의 제 2 실시예의 제 2 변형예에 따른 어레이 기판의 하나의 화소영역에 대한 단면도이다.
- [0086] 제 2 실시예의 제 2 변형예에 있어서는 특징적인 구성으로서 상기 스토리지 영역(StgA)에 대응하며 상기 게이트 절연막(309) 위로 상기 제 1 및 제 2 액티브층(215a, 215b)을 이루는 동일한 물질로 스토리지 보조패턴(216)이 형성되어 있으며, 증간절연막(122)에는 상기 스토리지 보조패턴(216)을 노출시키는 스토리지 콘택홀(224)이 형성되어 있다. 이때, 상기 제 2 소스 전극(233b)이 상기 스토리지 영역(StgA)에 구비된 상기 스토리지 콘택홀(224)까지 연장 형성되어 상기 스토리지 보조패턴(216)과 접촉하며 형성됨으로써 제 2 스토리지 전극(237)을 이루는 것이 특징이다.
- [0087] 따라서 상기 스토리지 영역(StgA)에는 상기 제 2 게이트 전극(205b)의 연장부가 제 1 스토리지 전극(206)을 이루며, 이와 중첩하는 상기 제 2 스토리지 전극(237) 및 이들 두 전극(206, 237) 사이에 개재된 게이트 절연막(209)과 상기 스토리지 보조패턴(216)을 유전체층으로 한 스토리지 커패시터(StgC)가 구성되고 있는 것이 특징이다.
- [0088] 도 13은 본 발명의 제 2 실시예의 제 3 변형예에 따른 어레이 기판의 하나의 화소영역에 대한 단면도이다.
- [0089] 제 2 실시예의 제 3 변형예의 경우, 제 2 변형예의 스토리지 영역(StgA)을 변형한 것으로, 제 2 소스 전극(233b)이 스토리지 콘택홀(224)이 구비된 스토리지 영역(StgA)까지 연장되지 않고, 상기 제 2 소스 전극(233b)의 일 끝단과 접촉하며 상기 화소전극(270)을 이루는 동일한 물질로서 상기 제 2 소스 전극(233b)과 접촉하며 제 2 스토리지 전극(273)이 형성되고 있는 것이 특징이다.
- [0090] 따라서 스토리지 영역(StgA)에는 상기 제 2 게이트 전극(205b)의 연장부가 제 1 스토리지 전극(206)을 이루며, 이와 중첩하며 적층된 상기 게이트 절연막(209)과 스토리지 보조패턴(216) 및 보호층(240)이 유전체층을 이루며, 상기 제 2 스토리지 전극(273)이 구성됨으로써 이들을 구성요소로 하여 스토리지 커패시터(StgC)가 구

비되고 있는 것이 특징이다.

- [0091] 이때, 상기 스토리지 보조패턴(216)은 생략될 수도 있다. 이 경우, 제 1 및 제 2 스토리지 전극(206, 273) 사이에는 게이트 절연막(209)만이 구성됨으로써 제 1 및 제 2 스토리지 전극(206, 273)과 게이트 절연막(209)으로 이루어진 스토리지 커패시터(미도시)가 구성되게 된다.
- [0092] 이후에는 본 발명의 제 1 실시예에 따른 어레이 기판의 제조 방법에 대해 설명한다.
- [0093] 도 14a 내지 14j는 유기전계 발광소자를 구성하는 본 발명의 제 1 실시예에 따른 어레이 기판에 있어 하나의 화소영역에 대한 제조 단계별 공정 단면도이다. 설명의 편의를 위해 화소영역(P) 내에 스위칭 박막트랜지스터(S_T)가 형성되는 영역을 스위칭 영역(SA), 구동 박막트랜지스터(D_{Tr})가 형성되는 영역을 구동영역(DA), 스토리지 커패시터가 형성되는 영역을 스토리지 영역(S_{tgA})이라 정의한다.
- [0094] 우선, 도 14a에 도시한 바와 같이, 투명한 절연기판(101) 예를들면 유리기판 상에 절연물질 예를들면 무기절연물질인 산화실리콘(SiO₂) 또는 질화실리콘(SiN_x)을 증착하거나 또는 유기절연물질 예를 들면 벤조사이클로부텐(BCB) 또는 포토아크릴(photo acryl)을 도포함으로써 전면에 버퍼층(102)을 형성한다. 이는 본 발명의 특정 상주후 공정에서 결정화 공정을 진행하는데, 이러한 결정화(SPC) 공정은 600℃ 이상의 고온의 분위기가 요구되고 있으며, 이 경우 상기 기판(101)이 고온의 분위기에 노출됨으로써 기판(101)의 표면으로부터 알칼리 이온이 용출되어 폴리실리콘으로 이루어진 구성요소의 특성을 저하시킬 수 있다. 따라서, 이러한 문제를 방지하기 위해 상기 버퍼층(102)을 형성하는 것이다.
- [0095] 다음, 상기 버퍼층(102) 위로 800℃ 이상의 고 용융점을 갖는 금속물질 예를 들면 몰리브덴(Mo), 몰리 티타늄(MoTi)을 포함하는 몰리브덴 합금(Mo alloy), 구리(Cu), 구리 합금(Cu Alloy), 티타늄(Ti), 탄탈륨(Ta) 및 텅스텐(W) 중 어느 하나를 증착하여 100Å 내지 1000Å 정도의 두께를 갖는 게이트 금속층(103)을 형성 한다. 몰리브덴(Mo) 및 이를 포함하는 몰리브덴 합금(MoTi)과 구리(Cu) 및 구리합금, 티타늄(Ti), 탄탈륨(Ta) 및 텅스텐(W)의 경우 저저항 금속물질보다 단위 면적당 저항값을 높지만, 결정화 온도보다 높고 용융점 이하의 온도 범위 내에서는 그 변형의 정도가 매우 작고, 그 내부에 공공 등이 발생하지 않고, 급격한 온도 변화에 대해 팽창 및 수축의 정도가 상대적으로 작은 것을 실험을 통해 알 수 있었다.
- [0096] 이후, 상기 게이트 금속층(104) 위로 순차적으로 절연물질과 순수 비정질 실리콘을 연속하여 증착 또는 도포함으로써 제 1 절연층(108)과, 순수 비정질 실리콘층(111)을 형성 한다.
- [0097] 이때, 상기 순수 비정질 실리콘층(111)은 채널이 형성되는 부분인, 종래의 경우 서로 이격하는 오믹콘택층 형성을 위해 진행하는 건식식각에 노출됨으로써 식각되어 그 표면으로부터 일부 두께가 제거되는 것을 고려하여 1000Å 이상의 두께로 형성하였지만, 본 발명의 제 1 실시예의 경우, 상기 순수 비정질 실리콘층(111)을 통해 최종적으로 구현되는 순수 폴리실리콘의 제 1 및 제 2 액티브층(도 14c의 115a, 115b)의 채널이 형성되는 영역은 에치스트퍼의 역할을 하는 중간절연막(도 14j의 122)에 의해 건식식각에 노출되지 않으므로 상기 건식식각에 의해 그 두께가 얇아지게 되는 등의 문제는 발생하지 않으므로 추후 액티브층으로서의 역할을 할 수 있는 두께인 300Å 내지 1000Å로 형성 한다.
- [0098] 이때, 상기 제 1 절연층(108)은 무기절연물질 예를 들면 산화실리콘(SiO₂) 또는 질화실리콘(SiN_x)으로 이루어지거나 또는 유기절연물질 예를 들면 벤조사이클로부텐(BCB) 또는 포토아크릴(photo acryl)로 이루어질 수도 있다.
- [0099] 다음, 도 14b에 도시한 바와 같이, 상기 순수 비정질 실리콘층(미도시)의 이동도 특성 등을 향상시키기 위해 결정화 공정을 진행함으로써 상기 순수 비정질 실리콘층(미도시)이 결정화되어 순수 폴리실리콘층(112)을 이루도록 한다.
- [0100] 이때, 상기 결정화 공정은, 고상 결정화(Solid Phase Crystallization : SPC)이거나 또는 레이저를 이용한 결정화 공정인 것이 바람직하다.
- [0101] 상기 고상 결정화(SPC) 공정은 일례로 600℃ 내지 800℃의 분위기에서 열처리를 통한 열적 결정화(Thermal Crystallization) 또는 교번자장 결정화 장치를 이용한 600℃ 내지 700℃의 온도 분위기에서의 교번자장 결정화(Alternating Magnetic Field Crystallization) 공정인 것이 바람직하며, 레이저를 이용한 결정화는 일례로 ELA(Excimer Laser Annealing)인 것이 바람직하다.

- [0102] 다음, 도 14c에 도시한 바와 같이, 상기 절정화 공정 진행에 의해 절정화된 순수 폴리실리콘층(112) 위로 포토 레지스트를 도포하여 포토레지스트층(미도시)을 형성하고, 상기 포토레지스트층(미도시)에 대해 빛의 투과영역과 차단영역(미도시), 그리고 슬릿형태로 구성되거나, 또는 다중의 코팅막을 더욱 구비하여 통과되는 빛량을 조절함으로써 그 빛 투과도가 상기 투과영역(미도시)보다는 작고 상기 차단영역(미도시)보다는 큰 반투과영역(미도시)으로 구성된 노광 마스크(미도시)를 이용하여 회절노광 또는 하프톤 노광을 실시한다.
- [0103] 이후, 노광된 포토레지스트층(미도시)을 현상함으로써 상기 순수 폴리실리콘(112) 위로 상기 스위칭 영역(SA) 및 구동영역(DA)에 대응하여 제 1 및 제 2 게이트 전극(도 14j의 105a, 105b)이 형성되어야 할 부분 중 일부(후 후 형성되는 순수 폴리실리콘의 제 1 및 제 2 액티브층(도 14j의 115a, 115b)과 중첩하지 않는 부분)에 대응해서는 제 1 두께를 갖는 제 1 포토레지스트 패턴(191a)을 형성하고, 상기 제 1 및 제 2 게이트 전극(도 14j의 105a, 105b)이 형성되어야 할 부분 중 제 1 및 제 2 액티브층(도 14j의 115a, 115b)이 형성되어야 할 부분에 대응해서는 상기 제 1 두께보다 더 두꺼운 제 2 두께를 갖는 제 2 포토레지스트 패턴(191b)을 형성 한다.
- [0104] 따라서 제 1 및 제 2 게이트 전극(도 14j의 105a, 105b)이 형성될 부분 중 상기 제 1 및 제 2 액티브층(도 14j의 115a, 115b)과 중첩하며 형성되는 부분에 대응해서는 제 2 두께의 제 2 포토레지스트 패턴(191b)이 형성되고, 상기 제 1 및 제 2 게이트 전극(도 14j의 105a, 105b)이 형성될 부분 중 제 1 및 제 2 액티브층(도 14j의 115a, 115b)이 형성되지 않는 영역은 상기 제 1 두께의 제 1 포토레지스트 패턴(191a)이 형성되며, 상기 제 1 및 제 2 게이트 전극(도 14j의 105a, 105b)이 형성되지 않는 기판(101)상의 모든 영역에 대해서는 상기 포토레지스트층(미도시)이 제거됨으로써 상기 순수 폴리실리콘층(도 14b의 112)을 노출시킨 상태를 이룬다.
- [0105] 다음, 상기 제 1 및 제 2 포토레지스트 패턴(191a, 191b) 외부로 노출된 상기 순수 폴리실리콘층(도 14c의 112)과 상기 제 1 절연층(도 14c의 108)을 순차적으로 식각하여 제거함으로써 상기 스위칭 영역(SA) 및 구동영역(DA)에 상기 게이트 금속층(104) 위로 아일랜드 형태로서 순차적으로 게이트 절연막(109)과 제 1 및 제 2 순수 폴리실리콘 패턴(113a, 113b)을 형성 한다.
- [0106] 다음, 도 14d에 도시한 바와 같이, 상기 제 1 및 제 2 순수 폴리실리콘 패턴(도 14c의 113a, 113b) 및 게이트 절연막(109)이 형성된 기판(101)에 대해 애싱(ashing)을 진행하여 상기 제 1 두께를 갖는 제 1 포토레지스트 패턴(도 14c의 191a)을 제거함으로써 상기 스위칭 영역(SA) 및 구동영역(DA)에 있어 상기 제 2 포토레지스트 패턴(191b) 외측으로 각각 상기 제 1 및 제 2 순수 폴리실리콘 패턴(도 14c의 113a, 113b)의 일측 표면을 노출시킨다. 이때, 상기 애싱(ashing) 진행에 의해 상기 제 2 포토레지스트 패턴(191b) 또한 그 두께가 줄어들지만 여전히 상기 순수 폴리실리콘 패턴(113) 상부에 남아있게 된다.
- [0107] 다음, 상기 제 2 포토레지스트 패턴(191b) 외부로 노출된 상기 제 1 및 제 2 순수 폴리실리콘 패턴(도 14c의 113a, 113b)을 건식식각을 진행하여 제거함으로써 상기 제 2 포토레지스트 패턴(191b)에 가려진 부분은 각각 순수 폴리실리콘의 제 1 및 제 2 액티브층(115a, 115b)을 형성하도록 하며, 동시에 순수 폴리실리콘의 제 1 및 제 2 액티브층(115a, 115b) 각각의 외측으로 상기 게이트 절연막(109)의 테두리부를 노출시킨다.
- [0108] 이때, 제 1 실시예의 일부 변형예의 경우 상기 스토리지 영역(StgA)에 상기 제 1 및 제 2 액티브층(115a, 115b)을 이루는 동일한 물질로 스토리지 보조패턴(미도시)을 더욱 형성할 수도 있다.
- [0109] 이후 스트립 공정을 진행하여 상기 제 2 포토레지스트 패턴(119b)을 제거함으로써 상기 제 1 및 제 2 액티브층(115a, 115b)을 노출시킨다.
- [0110] 다음, 도 14e에 도시한 바와 같이, 상기 제 1 및 제 2 액티브층(115a, 115b) 위로 상기 기판(101) 전면에서 저저항 특성을 갖는 금속물질 예를들면 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금, 몰리브덴(Mo) 및 크롬(Cr) 중 어느 하나 또는 2개 이상을 연속 증착하여 제 1 금속층(118)을 형성한다.
- [0111] 이후, 상기 제 1 금속층(118) 위로 포토레지스트를 도포하고 이를 패터닝함으로써 게이트 배선(도 14f의 119)과 게이트 보조패턴(도 14f의 120)이 형성되어야 할 부분에 대응하여 제 3 포토레지스트 패턴(193)을 형성 한다.
- [0112] 다음, 도 14f에 도시한 바와 같이, 상기 제 3 포토레지스트 패턴 외부로 노출된 상기 제 1 금속층(도 14e의 118)과 그 하부에 위치한 게이트 금속층(도 14e의 104)을 동시 또는 연속하여 식각함으로써 상기 각 스위칭 영역(SA)에 있어 제 1 게이트 전극(105a)을 형성하고 상기 각 구동영역(DA)에 있어 제 2 게이트 전극(105b)을 형성하고, 동시에 각 화소영역(P)에 경계에 상기 제 1 게이트 전극(105a)과 접촉하는 게이트 배선(119)을 형성하고, 상기 제 2 게이트 전극(105b)과 접촉하는 게이트 보조패턴(120)을 형성 한다. 이때, 상기 게이트 보조패턴(120)은 상기 스토리지 영역(StgA)까지 연장 형성함으로써 제 1 스토리지 전극(121)을 이루도록 할 수 있으며,

또는 제 1 실시예의 일부 변형예에서와 같이 상기 게이트 보조패턴(120)은 스토리지 영역(SiGA)까지 연장되지 않도록 형성할 수도 있다.

[0113] 이때, 상기 게이트 배선(119)과 게이트 보조패턴(120)은 전술한 금속물질 중 하나의 금속물질만으로 이루어져 단일층 구조를 이룰 수도 있으며, 또는 서로 다른 2개 이상의 금속물질을 증착함으로써 이중층 또는 3중층 구조를 이룰 수도 있다. 일례로 이중층 구조의 경우 알루미늄 합금(AlNd)/몰리브덴(Mo)로 이루어질 수 있으며, 3중층의 경우 몰리브덴(Mo)/알루미늄 합금(AlNd)/몰리브덴(Mo)로 이루어질 수 있다. 도면에 있어서는 편의상 단일층 구조의 게이트 배선(119)과 게이트 보조패턴(120)을 도시하였다.

[0114] 이후, 스트림 공정을 진행하여 상기 제 3 포토레지스트 패턴(도 14e의 193)을 제거한다.

[0115] 다음, 도 14g에 도시한 바와 같이, 상기 순수 폴리실리콘의 제 1 및 제 2 액티브층(115a, 115b)과 상기 게이트 배선(119) 및 게이트 보조패턴(120) 위로 상기 기판 전면(101)에 절연물질 예를 들면 무기절연물질로서 산화실리콘(SiO_2) 또는 질화실리콘(SiNx) 중 하나를 증착하거나 또는 유기절연물질로서 포토아크릴 또는 벤조사이클로부텐 중 하나를 도포함으로써 제 2 절연층(미도시)을 형성한다.

[0116] 이후, 상기 기판(101) 전면에 형성된 상기 제 2 절연층(미도시)을 마스크 공정을 진행하여 패터닝함으로써 상기 스위칭영역(SA) 및 구동영역(DA)에 있어서는 상기 각 순수 폴리실리콘의 제 1 및 제 2 액티브층(115a, 115b)의 중앙부를 기준으로 이의 양측으로 각각 상기 폴리실리콘의 제 1 및 제 2 액티브층(115a, 115b)을 노출시키는 제 1, 2, 3, 4 액티브 콘택홀(123a, 123b, 123c, 123d)을 구비한 중간절연막(122)을 형성 한다.

[0117] 한편, 전술한 바와 같은 형태를 갖도록 형성된 상기 중간절연막(122)은 상기 순수 폴리실리콘의 제 1 및 제 2 액티브층(115a, 115b)의 중앙부(채널영역)에 대응해서는 상기 순수 폴리실리콘의 제 1 및 제 2 액티브층(115a, 115b)을 덮어 에치스토퍼(etch stopper)로서의 역할을 하며, 그 외의 영역에 대응해서는 절연막의 역할을 하는 것이 특징이다. 이러한 중간절연막(122)의 구조에 의해 상기 순수 폴리실리콘의 제 1 및 제 2 액티브층(115a, 115b) 내에서 채널이 형성되는 부분은 상기 제 1, 2, 3, 4 액티브 콘택홀(123a, 123b, 123c, 123d) 형성 시 상기 중간절연막(122)에 의해 보호됨으로써 종래의 액티브층이 특히 건식식각 등에 의해 손상되는 문제는 발생하지 않는 것이 특징이다. 이때, 상기 제 1, 2, 3, 4 액티브 콘택홀(123a, 123b, 123c, 123d)이 형성되는 부분은 실질적으로 채널이 형성되는 부분이 아니므로 문제되지 않는다.

[0118] 다음, 도 14h에 도시한 바와 같이, 상기 순수 폴리실리콘의 제 1 및 제 2 액티브층(115a, 115b)에 대응하여 이를 노출시키는 제 1, 2, 3, 4 액티브 콘택홀(123a, 123b, 123c, 123d)을 가지며, 상기 순수 폴리실리콘의 제 1 및 제 2 액티브층(115a, 115b)의 중앙부에 대해서는 에치스토퍼의 역할을 하는 상기 중간절연막(122) 위로 전면 에 불순물 비정질 실리콘을 증착하여 100Å 내지 300Å 정도의 두께를 갖는 제 2 불순물 비정질 실리콘층(미도시)을 형성한다.

[0119] 이때, 상기 중간절연막(122) 위로 상기 제 2 불순물 비정질 실리콘층(미도시)을 형성하기 전에 BOE(buffered oxide etchant) 세정을 실시할 수도 있다. 이는 상기 제 1, 2, 3, 4 액티브 콘택홀(123a, 123b, 123c, 123d)을 통해 노출된 상기 순수 폴리실리콘의 액티브층(115) 표면이 공기 중에 노출됨으로서 형성될 수 있는 자연 산화막(미도시)을 완전히 제거하기 위함이다.

[0120] 한편, 상기 제 1, 2, 3, 4 액티브 콘택홀(123a, 123b, 123c, 123d)을 갖는 상기 중간절연막(122) 위로 상기 제 2 불순물 비정질 실리콘층(미도시)을 형성하기 전에 상기 기판(101) 전면에 순수 비정질 실리콘을 우선적으로 증착하여 50Å 내지 300Å 정도 두께의 배리어층(미도시)을 더욱 형성할 수도 있다. 이때, 순수 비정질 실리콘으로 이루어진 배리어층(미도시)을 형성하는 이유는 상기 배리어층(미도시)이 상기 순수 폴리실리콘의 액티브층(115)과 상기 제 2 불순물 비정질 실리콘층(미도시)의 사이에 개재됨으로써 이들 두 층(115, 미도시)간의 결합력을 향상시키기 위함이다. 즉, 상기 순수 폴리실리콘의 제 1 및 제 2 액티브층(115a, 115b)과의 결합력은 불순물 비정질 실리콘보다는 순수 비정질 실리콘이 더욱 우수하기 때문이다. 하지만, 상기 순수 비정질 실리콘으로 이루어진 배리어층(미도시)은 반드시 형성할 필요는 없으며 생략할 수 있다.

[0121] 다음, 상기 제 2 불순물 비정질 실리콘층(미도시) 위로 제 2 금속물질 예를 들면, 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금, 크롬(Cr), 몰리브덴(Mo) 또는 몰리브덴(MoTi)을 포함하는 몰리브덴 합금 중 어느 하나 또는 둘 이상을 연속하여 증착함으로써 단일층 또는 이중층 이상의 구조를 갖는 제 2 금속층(미도시)을 형성한다. 도면에 있어서는 편의상 상기 제 2 금속층(미도시)이 단일층 구조를 갖는 것을 도시하였다.

[0122] 다음, 상기 제 2 금속층(미도시)과 그 하부에 위치한 제 2 불순물 비정질 실리콘층(미도시)을 마스크 공정을 진

행하여 패터닝함으로써 상기 중간절연막(122) 위로 각 화소영역(P)의 경계에 데이터 배선(미도시) 및 이와 이격하여 전원배선(미도시)을 형성한다.

- [0123] 동시에 상기 스위칭 영역(SA)에 있어서는 상기 중간절연막(122) 상부에 서로 이격하는 제 1 소스 및 드레인 전극(133a, 136a)을 형성하고, 상기 제 1 소스 및 드레인 전극(133a, 136a)의 하부에 불순물 비정질 실리콘으로 이루어진 제 1 오믹콘택층(127a)을 형성한다. 이때, 상기 제 1 오믹콘택층(127a)은 각각 상기 제 1 및 제 2 액티브 콘택홀(123a, 123b)을 통해 상기 순수 폴리실리콘의 제 1 액티브층(115a)과 접촉하도록 한다.
- [0124] 또한, 상기 구동영역(DA)에 있어서는 상기 중간절연막(122) 상부에 서로 이격하는 제 2 소스 및 드레인 전극(133b, 136b)을 형성하고, 상기 제 2 소스 및 드레인 전극(133b, 136b)의 하부에 불순물 비정질 실리콘으로 이루어진 제 2 오믹콘택층(127b)을 형성한다. 이때, 상기 제 2 오믹콘택층(127b)은 각각 상기 제 3 및 제 4 액티브 콘택홀(123c, 123d)을 통해 상기 순수 폴리실리콘의 제 2 액티브층(115b)과 접촉하도록 한다.
- [0125] 이때, 상기 제 2 소스 전극(133b)은 스토리지 영역(StgC)까지 연장하도록 형성함으로써 제 2 스토리지 전극(137)을 이루도록 한다. 이 경우 상기 스토리지 영역(StgC)에 순차 적층된 상기 제 1 스토리지 전극(121)과 중간절연막(122)과 제 2 스토리지 전극(137)은 스토리지 커패시터(StgC)를 이룬다.
- [0126] 한편, 순수 비정질 실리콘으로 이루어진 상기 배리어층(미도시)을 형성한 경우는 상기 서로 이격하는 제 1 오믹콘택층(127a)과 상기 순수 폴리실리콘의 제 1 액티브층(115a) 사이 및 상기 서로 이격하는 제 2 오믹콘택층(127b)과 상기 순수 폴리실리콘의 제 2 액티브층(115b) 사이에 상기 제 1 및 제 2 오믹콘택층(127a, 127b) 각각과 동일한 평면적을 가지며 완전 중첩된 형태로 배리어층(미도시)이 형성되게 된다.
- [0127] 상기 스위칭 영역(SA)에 형성된 상기 제 1 소스 전극(133a)과 상기 데이터 배선(미도시)은 서로 연결되도록 형성하며, 서로 이격하는 상기 소스 및 드레인 전극(133, 136) 각각의 하부에 형성되는 상기 오믹콘택층(127)은 상기 소스 및 드레인 전극(133, 136) 각각과 동일한 평면형태 및 평면적을 가지고 완전 중첩하며 형성되는 것이 특징이다.
- [0128] 전술한 바와 같은 공정 진행에 의해 상기 데이터 배선(미도시)의 하부에는 불순물 비정질 실리콘으로 이루어진 터미널층(미도시)이 형성되는 것이 특징이다.
- [0129] 한편, 본 발명의 제 1 실시예의 경우, 상기 데이터 배선(미도시)과 제 1, 2 소스 및 드레인 전극((133a, 136a), (133b, 136b))과 제 1 및 제 2 오믹콘택층(127a, 127b)을 형성하는 과정에서 박막트랜지스터(도 14j)의 DTr, STr)의 온(on) 상태에서 채널이 형성되는 순수 폴리실리콘의 제 1 및 제 2 액티브층(115a, 115b)의 중앙부에 대응해서는 애치스트로퍼로서 역할을 하는 상기 중간절연막(122)이 형성되어 있으므로 상기 제 1, 2 소스 및 드레인 전극((133a, 136a), (133b, 136b)) 형성 후, 상기 제 1 및 제 2 오믹콘택층(127a, 127b)의 패터닝을 위한 건식식각 진행 시 상기 순수 폴리실리콘의 제 1 및 제 2 액티브층(115a, 115b)은 전혀 영향을 받지 않게 되는 것이 특징이다.
- [0130] 따라서 종래기술에서 언급한 문제점인 오믹콘택층 패터닝을 위한 건식식각 진행에 의한 채널이 형성되는 부분의 액티브층의 표면 손상 등은 발생하지 않음을 알 수 있다.
- [0131] 한편, 전술한 단계까지의 공정 진행에 의해 상기 스위칭 영역(TrA)에 순차 적층된 상기 제 1 게이트 전극(105a)과, 게이트 절연막(109)과, 순수 폴리실리콘의 제 1 액티브층(115a)과, 중간절연막(122)과, 불순물 비정질 실리콘의 제 1 오믹콘택층(127a)과, 제 1 소스 및 드레인 전극(133a, 136a)은 스위칭 박막트랜지스터(STr)를 이루며, 상기 구동영역(SA)에 순차 적층된 상기 제 2 게이트 전극(105b)과, 게이트 절연막(109)과, 순수 폴리실리콘의 제 2 액티브층(115b)과, 중간절연막(122)과, 불순물 비정질 실리콘의 제 2 오믹콘택층(127b)과, 제 2 소스 및 드레인 전극(133b, 136b)은 구동 박막트랜지스터(DTr)를 이룬다.
- [0132] 이때, 상기 제 1 및 제 2 오믹콘택층(127a, 127b) 각각과 순수 폴리실리콘의 제 1 및 제 2 액티브층(115a, 115b) 사이에 배리어층(미도시)까지 함께 형성되는 경우, 상기 배리어층(미도시)까지 더불어 상기 스위칭 및 구동 박막트랜지스터(STr, DTr)를 이루게 된다.
- [0133] 다음, 도 14i에 도시한 바와 같이, 상기 데이터 배선(미도시) 및 전원배선(미도시)과 스위칭 및 구동 박막트랜지스터(STr, DTr)가 형성된 기판(101)에 대해 상기 제 1, 2 소스 및 드레인 전극((133a, 136a), (133b, 136b)) 위로 절연물질 일례로 산화실리콘(SiO_2) 또는 질화실리콘(SiN_x) 등의 무기절연물질을 증착하거나 또는 벤조사이클로부텐(BCB) 또는 포토아크릴(photo acryl) 등의 유기절연물질을 도포함으로써 상기 기판(101) 전면에 보호층(140)을 형성 한다.

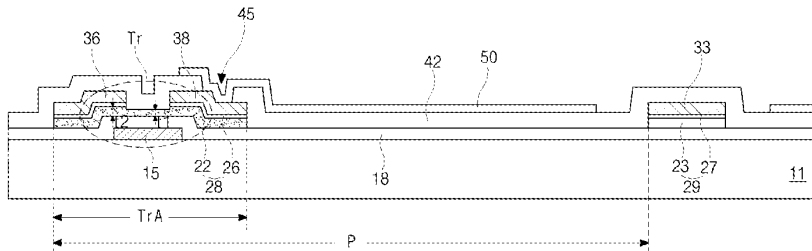
- [0134] 이후, 상기 보호층(140)에 대해 마스크 공정을 진행함으로써 이를 패터닝하여 상기 제 1 및 제 2 드레인 전극(136a, 136b) 각각을 노출시키는 제 1 및 제 2 드레인 콘택홀(152a, 152b)을 형성하고, 동시에 상기 보호층(140) 및 중간절연막(122)을 동시에 패터닝함으로써 상기 게이트 보조패턴(120)을 노출시키는 게이트 콘택홀(153)을 형성 한다.
- [0135] 다음, 도 14j에 도시한 바와 같이, 상기 보호층(140) 위로 도전성 물질 예를 들면 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO) 등의 투명 도전성 물질을 증착하거나 또는 금속물질 일례로 몰리브다늄(MoTi) 등의 몰리브덴 합금(Mo Alloy)을 증착함으로써 도전성 물질층(미도시)을 형성하고, 이에 대해 마스크 공정을 진행함으로써 각 화소영역(P) 내에 상기 제 2 드레인 콘택홀(152b)을 통해 상기 제 2 드레인 전극(136b)과 접촉하는 화소전극(170)을 형성하고, 동시에 상기 보호층(140) 위로 상기 제 1 드레인 콘택홀(152a)과 상기 게이트 콘택홀(153)을 통해 각각 상기 제 1 드레인 전극(136a)과 상기 게이트 보조패턴(120)과 접촉하는 연결패턴(172)을 형성함으로써 본 발명의 제 1 실시예에 따른 어레이 기판(101)을 완성한다.
- [0136] 도 15a 내지 15b는 유기전계 발광소자를 구성하는 본 발명의 제 2 실시예에 따른 어레이 기판에 있어 하나의 화소영역에 대한 제조 단계별 공정 단면도이다. 설명의 편의를 위해 화소영역(P) 내에 스위칭 박막트랜지스터(S_T)가 형성되는 영역을 스위칭 영역(SA), 구동 박막트랜지스터(D_{Tr})가 형성되는 영역을 구동영역(DA), 스토리지 커패시터가 형성되는 영역을 스토리지 영역(StGA)이라 정의한다.
- [0137] 본 발명의 제 2 실시예에 따른 어레이 기판의 제조 방법은 데이터 배선, 전원배선과 제 1, 2 소스 및 드레인 전극을 형성하는 단계까지는 제 1 실시예와 거의 동일하므로 상기 데이터 배선, 전원배선과 제 1, 2 소스 및 드레인 전극을 형성하는 단계까지는 차별점이 있는 부분에 대해 간단히 설명하고, 마스크 공정 차이가 발생하는 상기 데이터 배선, 전원배선과 제 1, 2 소스 및 드레인 전극을 형성한 이후의 단계를 위주로 하여 설명한다. 편의를 위해 제 1 실시예와 동일한 구성요소에 대해서는 100을 더하여 도면부호를 부여하였다.
- [0138] 도 15a에 도시한 바와 같이, 제 1 실시예에 제시된 도 14a 내지 도 14h까지의 단계를 동일하게 진행하여 상기 제 1, 2 소스 및 드레인 전극((233a, 236a), (233b, 236b))과 데이터 배선(미도시)과 전원배선(미도시)을 형성한다.
- [0139] 이때, 제 2 실시예가 제 1 실시예와 차별점이 있는 부분은 중간절연막(222)을 형성하는 단계에 있다. 즉, 제 1 실시예에 있어서는 중간절연막(222)을 형성하는 단계에서 상기 순수 폴리실리콘의 제 1, 2 액티브층(215a, 215b)을 각각 노출시키는 제 1, 2, 3, 4 액티브 콘택홀(223a, 223b, 223c, 223d)만을 형성하고 있지만, 제 2 실시예의 경우 상기 중간절연막(222)을 패터닝하는 단계에서 상기 제 1, 2, 3, 4 액티브 콘택홀(223a, 223b, 223c, 223d)을 형성함과 동시에 상기 게이트 보조패턴(220)을 노출시키는 게이트 콘택홀(253)을 형성하는 것이 특징이다. 어떻게 중간절연막(122)에 상기 제 1, 2, 3, 4 액티브 콘택홀(223a, 223b, 223c, 223d)을 형성함과 동시에 상기 게이트 콘택홀(253)을 형성하는 것은 본 발명의 제 2 실시예의 특성 상 이후 단계에서 보호층을 형성하지 않기 때문이다.
- [0140] 다음, 도 15b에 도시한 바와 같이, 상기 제 1, 2 소스 및 드레인 전극((233a, 236a), (233b, 236b))과 데이터 배선(미도시) 및 전원배선(미도시) 위로 도전성 물질 예를 들면 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO) 등의 투명 도전성 물질을 증착하거나 또는 상기 제 1, 2 소스 및 드레인 전극((233a, 236a), (233b, 236b))을 이루는 금속물질과 선택비가 매우 차이가 있어 상기 제 1, 2 소스 및 드레인 전극((233a, 236a), (233b, 236b))에 별 영향없이 식각될 수 있는 금속물질을 증착하여 도전성 물질층(미도시)을 형성 한다. 일례로 상기 제 1, 2 소스 및 드레인 전극((233a, 236a), (233b, 236b))이 알루미늄(Al) 또는 알루미늄 합금(AlN_d)으로 이루어진 경우, 습식식각 진행 시 그 식각액 성분이 전혀 다르며 건식식각으로 진행될 수도 있는 몰리브덴(Mo) 또는 몰리브다늄(MoTi)으로 상기 도전성 물질층(미도시)을 얻을 수 있다.
- [0141] 이후, 상기 도전성 물질층(미도시)에 대해 마스크 공정을 실시하여 패터닝하여 각 화소영역(P) 별로 상기 제 2 드레인 전극(236b)의 일 끝단과 직접 접촉하는 화소전극(270)을 형성하고, 동시에 상기 제 1 드레인 전극(236a)의 일 끝단 및 상기 게이트 콘택홀(253)을 통해 상기 게이트 보조패턴(220)과 접촉하는 연결패턴(272)을 형성함으로써 본 발명의 제 2 실시예에 따른 어레이 기판(201)을 완성할 수 있다.
- [0142] 이러한 제 2 실시예의 경우, 제 1 실시예 대비 보호층을 형성하는 단계와 상기 보호층 내에 제 1 및 제 2 드레인 콘택홀을 형성하기 위한 1회의 마스크 공정이 생략될 수 있으므로 제 1 실시예 대비 1회의 마스크 공정을 저감할 수 있는 것이 특징이다.

부호의 설명

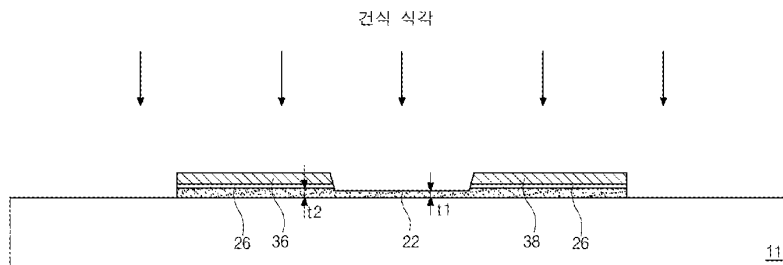
[0143]	101 : 어레이 기판	105a, 105b : 제 1 및 제 2 게이트 전극
	109 : 게이트 절연막	115a, 115b : 제 1 및 제 2 액티브층
	119 : 게이트 배선	120 : 게이트 보조패턴
	121 : 제 1 스토리지 전극	122 : 중간절연막
	123a, 123b, 123c, 123d : 제 1, 2, 3, 4 액티브 콘택홀	
	127a, 127b : 제 1 및 제 2 오믹콘택층	
	133a, 133b : 제 1 및 제 2 소스 전극	
	136a, 136b : 제 1 및 제 2 드레인 전극	
	137 : 제 2 스토리지 전극	140 : 보호층
	152a, 152b : 제 1 및 제 2 드레인 콘택홀	
	153 : 게이트 콘택홀	170 : 화소전극
	172 : 연결전극	
	DTr : 구동 박막트랜지스터	DA : 구동영역
	SA : 스위칭 영역	StgA : 스토리지 영역
	StgC : 스토리지 커패시터	
	STr : 스위칭 박막트랜지스터	

도면

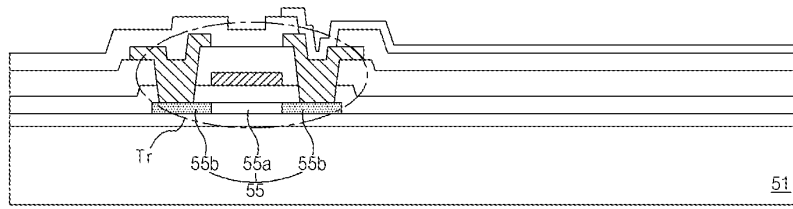
도면1



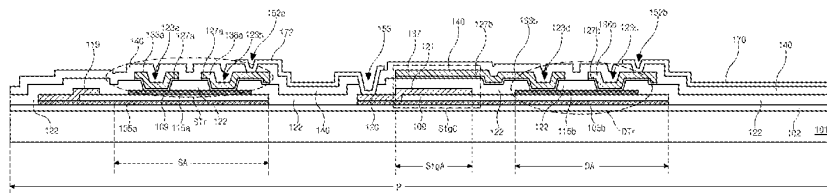
도면2



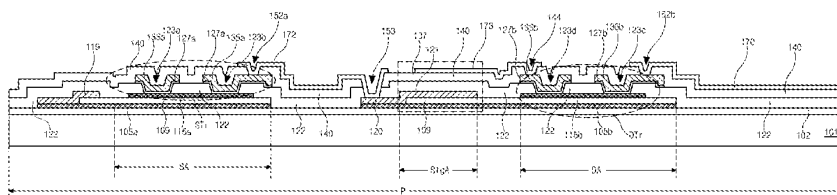
도면3



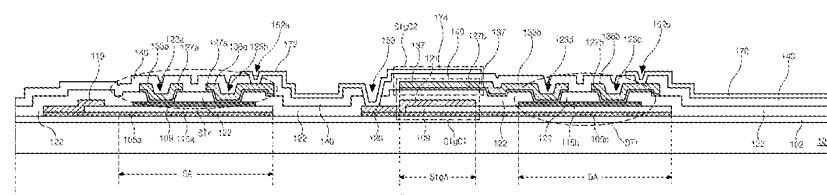
도면4



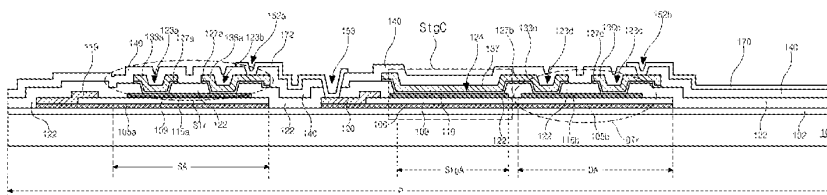
도면5



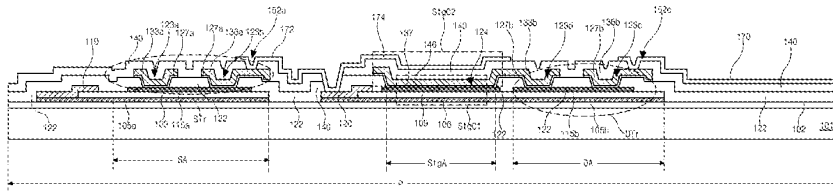
도면6



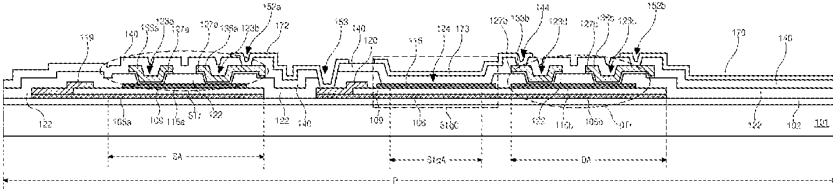
도면7



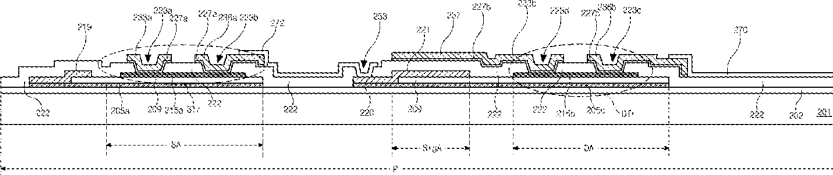
도면8



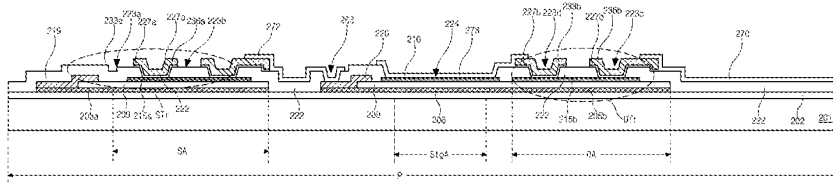
도면9



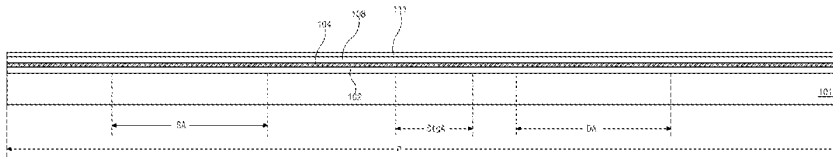
도면10



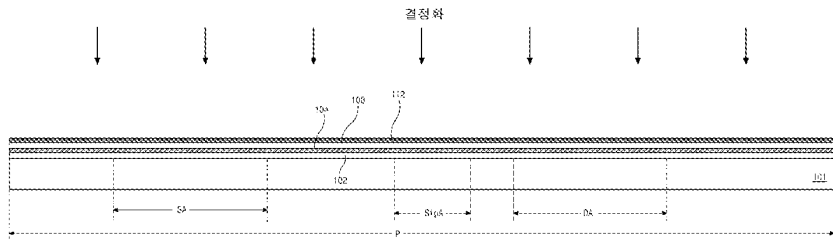
도면13



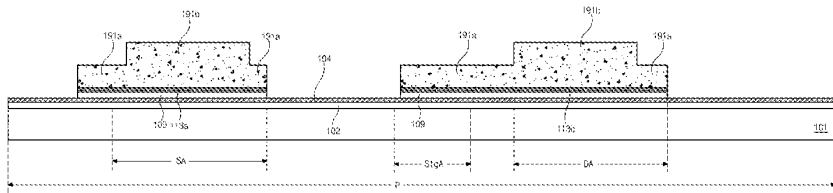
도면14a



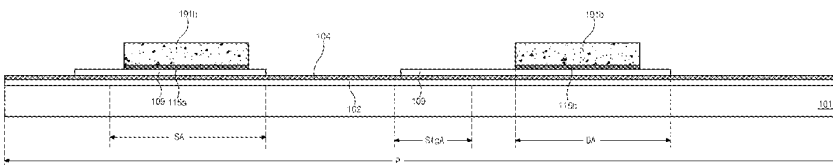
도면14b



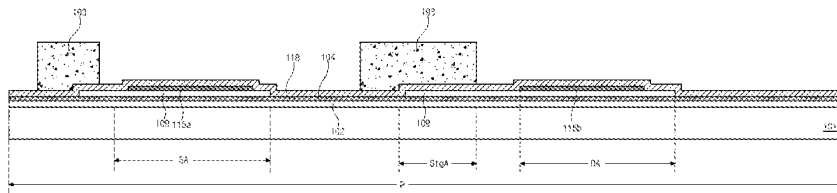
도면14c



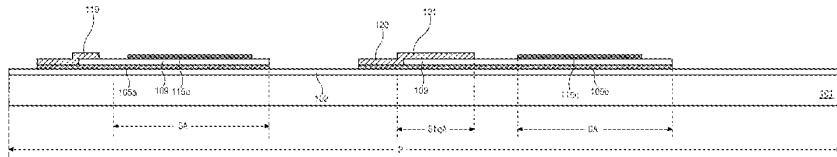
도면14d



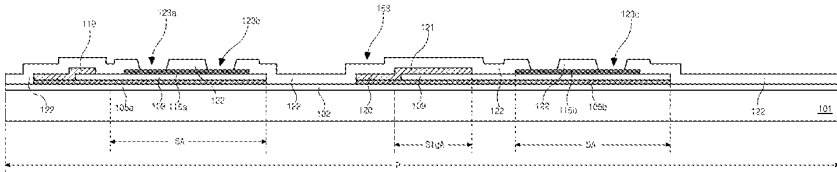
도면14e



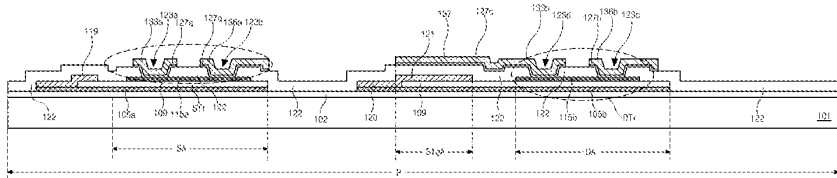
도면14f



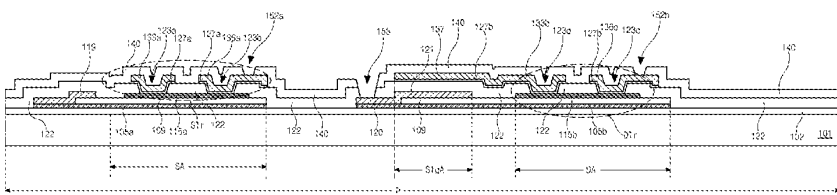
도면14g



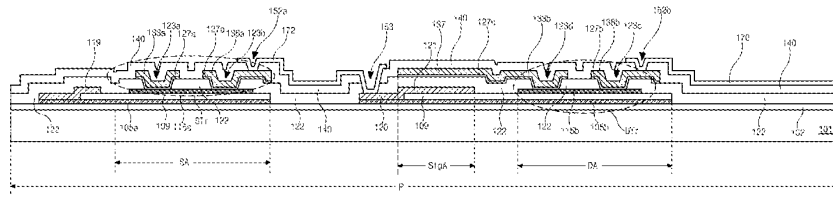
도면14h



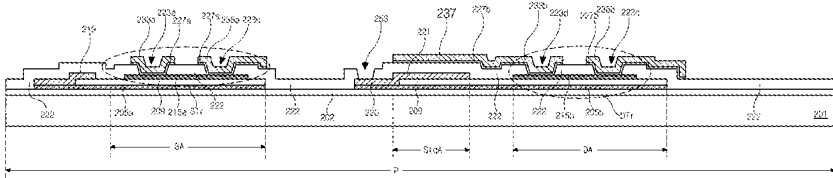
도면14i



도면14j



도면15a





(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0044657
(43) 공개일자 2012년05월08일

(51) 국제특허분류(Int. Cl.)

H01L 51/52 (2006.01)

(21) 출원번호 10-2010-0106075

(22) 출원일자 2010년10월28일

심사청구일자 없음

(71) 출원인

삼성모바일디스플레이주식회사

경기도 용인시 기흥구 삼성로 95 (농서동)

(72) 발명자

한삼일

경기도 용인시 기흥구 삼성로 95 (농서동)

가지현

충남 천안시 서북구 두정동 1849번지 505호

(74) 대리인

팬코리아특허법인

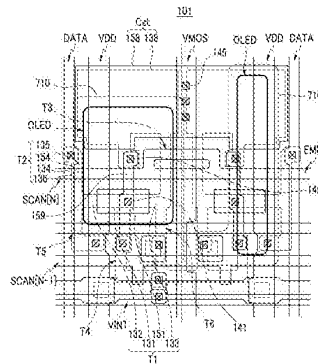
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 유기 발광 표시 장치

(57) 요약

본 발명의 실시예에 따른 유기 발광 표시 장치는 스위칭 게이트 전극, 스위칭 액티브층, 스위칭 소스 전극, 및 스위칭 드레인 전극을 포함하는 스위칭 박막 트랜지스터와, 구동 게이트 전극, 구동 액티브층, 구동 소스 전극, 및 구동 드레인 전극을 포함하는 구동 박막 트랜지스터와, 제1 캐패시터 전극 및 제2 캐패시터 전극을 포함하는 캐패시터와, 상기 스위칭 박막 트랜지스터의 상기 스위칭 게이트 전극과 연결된 스캔 라인과, 상기 스캔 라인과 교차하며, 상기 스위칭 박막 트랜지스터의 상기 스위칭 소스 전극과 연결된 데이터 라인과, 상기 데이터 라인과 평행하며, 상기 구동 박막 트랜지스터의 상기 구동 소스 전극과 연결된 제1 전원 라인과, 상기 데이터 라인과 평행하게 이격되며, 상기 캐패시터의 상기 제2 캐패시터 전극과 연결된 제2 전원 라인, 그리고 상기 구동 박막 트랜지스터의 상기 구동 드레인 전극과 연결된 유기 발광 소자를 포함한다.

도 1



특허청구의 범위

청구항 1

스위칭 게이트 전극, 스위칭 액티브층, 스위칭 소스 전극, 및 스위칭 드레인 전극을 포함하는 스위칭 박막 트랜지스터;

구동 게이트 전극, 구동 액티브층, 구동 소스 전극, 및 구동 드레인 전극을 포함하는 구동 박막 트랜지스터;

제1 캐패시터 전극 및 제2 캐패시터 전극을 포함하는 캐패시터;

상기 스위칭 박막 트랜지스터의 상기 스위칭 게이트 전극과 연결된 스캔 라인;

상기 스캔 라인과 교차하며, 상기 스위칭 박막 트랜지스터의 상기 스위칭 소스 전극과 연결된 데이터 라인;

상기 데이터 라인과 평행하며, 상기 구동 박막 트랜지스터의 상기 구동 소스 전극과 연결된 제1 전원 라인;

상기 데이터 라인과 평행하게 이격되며, 상기 캐패시터의 상기 제2 캐패시터 전극과 연결된 제2 전원 라인; 및

상기 구동 박막 트랜지스터의 상기 구동 드레인 전극과 연결된 유기 발광 소자

를 포함하는 유기 발광 표시 장치.

청구항 2

제1항에서,

상기 제2 캐패시터 전극은 상기 제2 전원 라인의 일부와 중첩되고 상기 데이터 라인과 중첩되지 않는 유기 발광 표시 장치.

청구항 3

제2항에서,

상기 스위칭 박막 트랜지스터의 상기 스위칭 드레인 전극은 상기 구동 박막 트랜지스터의 상기 구동 소스 전극 및 상기 제1 전원 라인과 연결되며,

상기 구동 박막 트랜지스터의 상기 구동 게이트 전극은 상기 캐패시터의 상기 제1 캐패시터 전극과 연결된 유기 발광 표시 장치.

청구항 4

제2항에서,

상기 스위칭 액티브층, 상기 구동 액티브층, 및 상기 제1 캐패시터 전극은 서로 동일한 층에 형성된 유기 발광 표시 장치.

청구항 5

제4항에서,

상기 스위칭 소스 전극, 상기 스위칭 드레인 전극, 상기 구동 소스 전극, 및 상기 구동 드레인 전극은 상기 스위칭 액티브층과 서로 동일한 층에 형성되며, 다결정 규소를 사용하여 만들어진 유기 발광 표시 장치.

청구항 6

제4항에서,

상기 스위칭 게이트 전극, 상기 구동 게이트 전극, 상기 스캔 라인, 및 상기 제2 캐패시터 전극은 서로 동일한 층에 형성되며, 절연막을 사이에 두고 상기 스위칭 액티브층, 상기 구동 액티브층, 및 상기 제1 캐패시터 전극 상에 형성된 유기 발광 표시 장치.

청구항 7

제6항에서,

상기 데이터 라인, 상기 제1 전원 라인, 및 상기 제2 전원 라인은 서로 동일한 층에 형성되며, 절연막을 사이에 두고 상기 스위칭 게이트 전극, 상기 구동 게이트 전극, 상기 스캔 라인, 및 상기 제2 캐패시터 전극 상에 형성된 유기 발광 표시 장치.

청구항 8

제7항에서,

상기 제2 캐패시터 전극과 상기 제2 전원 라인이 중첩된 영역에 형성된 접촉 구멍을 통해 상기 제2 캐패시터 전극과 상기 제2 전원 라인은 서로 연결된 유기 발광 표시 장치.

청구항 9

제1항 내지 제8항 중 어느 한 항에서,

복수의 추가 박막 트랜지스터들을 더 포함하는 유기 발광 표시 장치.

청구항 10

제9항에서,

상기 복수의 추가 박막 트랜지스터들 중 일부와 연결되며, 상기 스캔 라인과 동일한 층에 평행하게 형성된 제어 라인을 더 포함하는 유기 발광 표시 장치.

청구항 11

제9항에서,

상기 복수의 추가 박막 트랜지스터들 중 일부와 연결되며, 상기 스캔 라인과 동일한 층에 평행하게 형성된 추가의 스캔 라인을 더 포함하는 유기 발광 표시 장치.

청구항 12

제9항에서,

상기 복수의 추가 박막 트랜지스터들 중 일부와 연결되며, 상기 스캔 라인과 동일한 층에 평행하게 형성된 내부 전압 라인을 더 포함하는 유기 발광 표시 장치.

발명

기술분야

[0001] 본 발명의 실시예는 유기 발광 표시 장치에 관한 것으로, 보다 상세하게는 기생 용량의 발생을 억제한 유기 발광 표시 장치에 관한 것이다.

배경기술

[0002] 유기 발광 표시 장치(organic light emitting diode display)는 각 화소마다 유기 발광 소자를 구동시키기 위하여 복수의 박막 트랜지스터들, 캐패시터, 스캔 라인, 데이터 라인, 및 하나 이상의 전원 라인 등을 포함한다.

[0003] 하지만, 캐패시터의 일 전극 또는 캐패시터의 일 전극과 연결된 전원 라인이 데이터 라인과 중첩되면, 불필요한 기생 용량(parasitic capacitance)이 발생하여 불량률의 원인이 되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명의 실시예는 데이터 라인과 캐패시터 사이에 불필요한 기생 용량의 발생을 방지한 유기 발광 표시 장치

를 제공한다.

과제의 해결 수단

- [0005] 본 발명의 실시예에 따르면, 유기 발광 표시 장치는 스위칭 게이트 전극, 스위칭 액티브층, 스위칭 소스 전극, 및 스위칭 드레인 전극을 포함하는 스위칭 박막 트랜지스터와, 구동 게이트 전극, 구동 액티브층, 구동 소스 전극, 및 구동 드레인 전극을 포함하는 구동 박막 트랜지스터와, 제1 캐패시터 전극 및 제2 캐패시터 전극을 포함하는 캐패시터와, 상기 스위칭 박막 트랜지스터의 상기 스위칭 게이트 전극과 연결된 스캔 라인과, 상기 스캔 라인과 교차하며, 상기 스위칭 박막 트랜지스터의 상기 스위칭 소스 전극과 연결된 데이터 라인과, 상기 데이터 라인과 평행하게 이격되며, 상기 캐패시터의 상기 제2 캐패시터 전극과 연결된 제2 전원 라인, 그리고 상기 구동 박막 트랜지스터의 상기 구동 드레인 전극과 연결된 유기 발광 소자를 포함한다.
- [0006] 상기 제2 캐패시터 전극은 상기 제2 전원 라인의 일부와 중첩되고 상기 데이터 라인과 중첩되지 않을 수 있다.
- [0007] 상기 스위칭 박막 트랜지스터의 상기 스위칭 드레인 전극은 상기 구동 박막 트랜지스터의 상기 구동 소스 전극 및 상기 제1 전원 라인과 연결될 수 있다. 그리고 상기 구동 박막 트랜지스터의 상기 구동 게이트 전극은 상기 캐패시터의 상기 제1 캐패시터 전극과 연결될 수 있다.
- [0008] 상기 스위칭 액티브층, 상기 구동 액티브층, 및 상기 제1 캐패시터 전극은 서로 동일한 층에 형성될 수 있다.
- [0009] 상기 스위칭 소스 전극, 상기 스위칭 드레인 전극, 상기 구동 소스 전극, 및 상기 구동 드레인 전극은 상기 스위칭 액티브층과 서로 동일한 층에 형성되며, 다결정 규소를 사용하여 만들어질 수 있다.
- [0010] 상기 스위칭 게이트 전극, 상기 구동 게이트 전극, 상기 스캔 라인, 및 상기 제2 캐패시터 전극은 서로 동일한 층에 형성되며, 절연막을 사이에 두고 상기 스위칭 액티브층, 상기 구동 액티브층, 및 상기 제1 캐패시터 전극 상에 형성될 수 있다.
- [0011] 상기 데이터 라인, 상기 제1 전원 라인, 및 상기 제2 전원 라인은 서로 동일한 층에 형성되며, 절연막을 사이에 두고 상기 스위칭 게이트 전극, 상기 구동 게이트 전극, 상기 스캔 라인, 및 상기 제2 캐패시터 전극 상에 형성될 수 있다.
- [0012] 상기 제2 캐패시터 전극과 상기 제2 전원 라인이 중첩된 영역에 형성된 접촉 구멍을 통해 상기 제2 캐패시터 전극과 상기 제2 전원 라인은 서로 연결될 수 있다.
- [0013] 상기한 유기 발광 표시 장치는 복수의 추가 박막 트랜지스터들을 더 포함할 수 있다.
- [0014] 상기 복수의 추가 박막 트랜지스터들 중 일부와 연결되며, 상기 스캔 라인과 동일한 층에 평행하게 형성된 제어 라인을 더 포함할 수 있다.
- [0015] 상기 복수의 추가 박막 트랜지스터들 중 일부와 연결되며, 상기 스캔 라인과 동일한 층에 평행하게 형성된 추가의 스캔 라인을 더 포함할 수 있다.
- [0016] 상기 복수의 추가 박막 트랜지스터들 중 일부와 연결되며, 상기 스캔 라인과 동일한 층에 평행하게 형성된 내부 전압 라인을 더 포함할 수 있다.

발명의 효과

- [0017] 본 발명의 실시예에 따르면, 유기 발광 표시 장치는 데이터 라인과 캐패시터 사이에 불필요한 기생 용량의 발생을 방지할 수 있다.

도면의 간단한 설명

- [0018] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 화소 배치도이다.
 도 2는 도 1의 화소 등가 회로도이다.
 도 3 내지 도 5는 유기 발광 표시 장치의 적층 순서별 레이아웃(layout)을 나타낸 배치도들이다.

발명을 실시하기 위한 구체적인 내용

- [0019] 이하, 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0020] 또한, 명세서 전체를 통하여 동일 또는 유사한 구성 요소에 대해서는 동일한 참조 부호를 붙여도록 한다.
- [0021] 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도식된 바에 한정되지 않는다.
- [0022] 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- [0023] 이하, 도 1 및 도 2를 참조하여 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(101)를 설명한다.
- [0024] 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치(101)가 갖는 화소의 배치를 나타낸다. 여기서, 하나의 화소는 유기 발광 표시 장치(101)가 화상을 표시하는 최소 단위를 말한다. 도 1에는 대체로 서로 대향된 구조를 갖는 한 쌍의 화소들이 도시되었다. 도 1에서 점선은 한 쌍의 화소들 간의 경계를 나타낸다. 도 2는 도 1의 일 화소의 등가 회로를 나타낸다.
- [0025] 도 1 및 도 2에 도시한 바와 같이, 본 발명의 제1 실시예에 따른 유기 발광 표시 장치(101)는 각 화소마다 형성된 구동 박막 트랜지스터(T1), 스위칭 박막 트랜지스터(T2), 캐패시터(Cst), 스캔 라인(SCAN[N]), 데이터 라인(DATA), 제1 전원 라인(VDD), 제2 전원 라인(VMO), 및 유기 발광 소자(OLED)를 포함한다.
- [0026] 구동 박막 트랜지스터(T1)는 구동 게이트 전극(151), 구동 액티브층(131), 구동 소스 전극(132), 및 구동 드레인 전극(133)을 포함한다. 스위칭 박막 트랜지스터(T2)는 스위칭 게이트 전극(154), 스위칭 액티브층(134), 스위칭 소스 전극(135), 및 스위칭 드레인 전극(136)을 포함한다. 캐패시터(Cst)는 제1 캐패시터 전극(138) 및 제2 캐패시터 전극(158)을 포함한다.
- [0027] 스위칭 박막 트랜지스터(T2)의 스위칭 게이트 전극(154)은 스캔 라인(SCAN[N])과 연결된다. 스위칭 박막 트랜지스터(T2)의 스위칭 소스 전극(135)은 데이터 라인(DATA)과 연결된다. 스캔 라인(SCAN[N])과 데이터 라인(DATA)은 서로 교차하는 방향으로 형성된다. 스위칭 박막 트랜지스터(T2)의 스위칭 드레인 전극(136)은 구동 박막 트랜지스터(T1)의 구동 소스 전극(132) 및 제1 전원 라인(VDD)과 연결된다. 따라서, 구동 박막 트랜지스터(T1)의 구동 소스 전극(132)은 제1 전원 라인(VDD)과 연결된다. 구동 박막 트랜지스터(T1)의 구동 게이트 전극(151)은 캐패시터(Cst)의 제1 캐패시터 전극(138)과 연결된다. 그리고 캐패시터(Cst)의 제2 캐패시터 전극(158)은 제2 전원 라인(VMO)과 연결된다. 제1 전원 라인(VDD) 및 제2 전원 라인(VMO)은 각각 데이터 라인(DATA)과 평행하게 형성된다. 구동 박막 트랜지스터(T1)의 구동 드레인 전극(133)은 유기 발광 소자(OLED)와 연결된다. 유기 발광 소자(OLED)는 구동 박막 트랜지스터(T1)로부터 전달받은 신호에 따라 발광한다.
- [0028] 본 발명의 일 실시예에서, 데이터 라인(DATA)과 제2 전원 라인(VMO)은 평행하게 형성되며, 서로 겹치지 않는다. 또한, 제2 전원 라인(VMO)과 연결된 제2 캐패시터 전극(158)을 포함하는 캐패시터(Cst)도 데이터 라인(DATA)과 겹치지 않는다.
- [0029] 따라서, 본 발명의 일 실시예에 따르면, 데이터 라인(DATA)과 캐패시터(Cst)의 제1 캐패시터 전극(138) 또는 제1 캐패시터 전극(138)과 연결된 제2 전원 라인(VMO) 사이에서 불필요한 기생 용량(parasitic capacitance)이 발생하는 것을 방지할 수 있다.
- [0030] 한편, 전술한 구성들이 본 발명의 일 실시예에 따른 유기 발광 표시 장치(101)에서 필수적인 구성들이다. 하지만, 본 발명의 일 실시예가 전술한 바에 한정되는 것은 아니다. 따라서, 유기 발광 표시 장치(101)는 복수의 추가 박막 트랜지스터들(T3, T4, T5, T6), 제어 라인(EN[N]), 내부 전압 라인(VINT), 및 추가의 스캔 라인(SCAN[N-1]) 등을 더 포함할 수 있다.
- [0031] 제어 라인(EN[N]), 내부 전압 라인(VINT), 추가의 스캔 라인(SCAN[N-1]) 등은 각각 복수의 추가 박막 트랜지스터들(T3, T4, T5, T6) 중 일부와 연결되며, 스캔 라인(SCAN[N])과 평행하게 형성된다.
- [0032] 또한, 유기 발광 표시 장치(101)는 유기 발광 소자(OLED)가 형성되는 층을 제외하고 크게 3개의 도전막 패턴이 적층된 구조를 갖는다.
- [0033] 이하, 도 3 내지 도 5를 참조하여 유기 발광 표시 장치(101)를 적층 순서별로 구분하여 상세히 설명한다.

- [0034] 도 3에 도시한 바와 같이, 구동 액티브층(131), 스위칭 액티브층(134), 및 제1 캐패시터 전극(138)이 형성된다. 즉, 구동 액티브층(131), 스위칭 액티브층(134), 및 제1 캐패시터 전극(138)은 동일한 층에 동일한 소재를 사용하여 형성된다. 또한, 본 발명의 일 실시예에서는, 구동 소스 전극(132), 구동 드레인 전극(133), 스위칭 소스 전극(135), 스위칭 드레인 전극(136)도 구동 액티브층(131), 스위칭 액티브층(134), 및 제1 캐패시터 전극(138)과 서로 동일한 층에 동일한 소재를 사용하여 형성된다. 이하, 구동 액티브층(131), 구동 소스 전극(132), 구동 드레인 전극(133), 스위칭 액티브층(134), 스위칭 소스 전극(135), 스위칭 드레인 전극(136), 및 제1 캐패시터 전극(138)을 반도체층 패턴이라 한다.
- [0035] 반도체층 패턴은 다결정 규소막을 패터닝하여 만들어진다. 그런데 반도체층 패턴 중에서, 구동 소스 전극(132), 구동 드레인 전극(133), 스위칭 소스 전극(135), 스위칭 드레인 전극(136)에는 불순물이 도핑되며, 이들은 도체가 된다. 이때, 구동 액티브층(131) 및 스위칭 액티브층(134) 위에 각각 형성된 구동 게이트 전극(151) 및 스위칭 게이트 전극(154)은 구동 액티브층(131) 및 스위칭 액티브층(134)에 불순물이 도핑되어 도체가 되는 것을 방지한다.
- [0036] 불순물은 알루미늄, $\circ$ 붕소, $\circ$ 갈륨, 및 $\circ$ 인 등 원소를 포함하는 P형 불순물일 수 있다. 하지만, 본 발명의 일 실시예가 이에 한정되는 것은 아니며, 경우에 따라 N형 불순물이 도핑될 수도 있다.
- [0037] 도 4에 도시한 바와 같이, 반도체층 패턴 상에는 절연막을 사이에 두고 구동 게이트 전극(151), 스위칭 게이트 전극(154), 스캔 라인(SCAN[N]), 및 제2 캐패시터 전극(158)이 형성된다. 즉, 구동 게이트 전극(151), 스위칭 게이트 전극(154), 스캔 라인(SCAN[N]), 및 제2 캐패시터 전극(158)은 동일한 층에 동일한 소재를 사용하여 형성된다. 이하, 구동 게이트 전극(151), 스위칭 게이트 전극(154), 스캔 라인(SCAN[N]), 및 제2 캐패시터 전극(158)은 게이트 배선이라 한다. 또한, 게이트 배선은 제어 라인(EN[N]), 내부 전압 라인(VINT), 추가의 스캔 라인(SCAN[N-1]) 등을 더 포함할 수 있다. 게이트 배선은 금속막을 패터닝하여 만들어진다.
- [0038] 금속막은 몰리브덴(Mo), 크롬(Cr), 알루미늄(Al), 은(Ag), 티타늄(Ti), 탄탈(Ta), 및 텅스텐(W) 등과 같이 해당 기술 분야의 종사자에게 공지된 다양한 금속 물질 중 하나 이상을 포함하여 형성된다.
- [0039] 절연막은 테트라에톡시실란(tetra ethyl ortho silicate, TEOS), 질화규소(SiNx), 및 산화규소(SiO₂) 등과 같은 무기막 또는 다양한 유기막을 포함하는 해당 기술 분야의 종사자에게 공지된 다양한 절연 물질 중 하나 이상을 포함하여 형성된다.
- [0040] 구동 게이트 전극(151)은 구동 액티브층(131)과 중첩되고, 스위칭 게이트 전극(154)은 스위칭 액티브층(134)과 중첩된다. 그리고 제2 캐패시터 전극(158)은 제1 캐패시터 전극(138)과 중첩된다. 제2 캐패시터 전극(158)과 제1 캐패시터 전극(138) 사이의 절연막은 유전체가 된다.
- [0041] 도 5에 도시한 바와 같이, 게이트 배선 상에는 절연막을 사이에 두고 데이터 라인(DATA), 제1 전원 라인(VDD), 및 제2 전원 라인(VMOS)이 형성된다. 즉, 데이터 라인(DATA), 제1 전원 라인(VDD), 및 제2 전원 라인(VMOS)은 동일한 층에 동일한 소재를 사용하여 형성된다. 이하, 데이터 라인(DATA), 제1 전원 라인(VDD), 및 제2 전원 라인(VMOS)은 데이터 배선이라 한다. 또한, 데이터 배선은 제1 캐패시터 전극(138)과 구동 게이트 전극(151)을 연결하는 연결 라인(159) 등을 더 포함할 수 있다. 데이터 배선도 금속막을 패터닝하여 만들어진다.
- [0042] 제2 전원 라인(VMOS)의 일부는 제2 캐패시터 전극(158)과 중첩된다. 제2 전원 라인(VMOS)과 데이터 라인(DAT A)은 서로 이격되며, 데이터 라인(DATA)은 제2 캐패시터 전극(158)과 중첩되지 않는다. 제2 전원 라인(VMOS)과 제2 캐패시터 전극(158)이 중첩된 영역에는 접촉 구멍(145)이 형성된다. 이 접촉 구멍(145)을 통해 제2 전원 라인(VMOS)과 제2 캐패시터 전극(158)은 서로 연결된다. 또한, 연결 라인(159)이 제1 캐패시터 전극(138) 및 구동 게이트 전극(151)과 각각 연결되기 위한 접촉 구멍들(141, 148)도 형성된다. 이러한 접촉 구멍들(141, 145, 148)은 데이터 배선이 형성되기 전에 먼저 형성된다.
- [0043] 앞서, 도 1에 도시한 바와 같이, 데이터 배선 위에는 유기 발광 소자(OLED)가 형성된다. 유기 발광 소자(OLED)의 일 전극(710)은 구동 드레인 전극(133)과 연결된다.
- [0044] 유기 발광 소자(OLED)의 일 전극(710)은 투명 도전막으로 형성되며, 유기 발광 표시 장치(101)는 유기 발광 소자(OLED)의 일 전극(710)과 동일한 층에 동일한 소재로 형성된 기타 배선을 더 포함할 수 있다.
- [0045] 투명 도전막은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ZITO (Zinc Indium Tin Oxide), GITO(Gallium Indium Tin Oxide), In₂O₃(Indium Oxide), ZnO(Zinc Oxide), GIZO(Gallium Indium Zinc Oxide),

GZO(Gallium Zinc Oxide), FTO(Fluorine Tin Oxide), 및 AZO(Aluminum-Doped Zinc Oxide) 중 하나 이상을 포함한다.

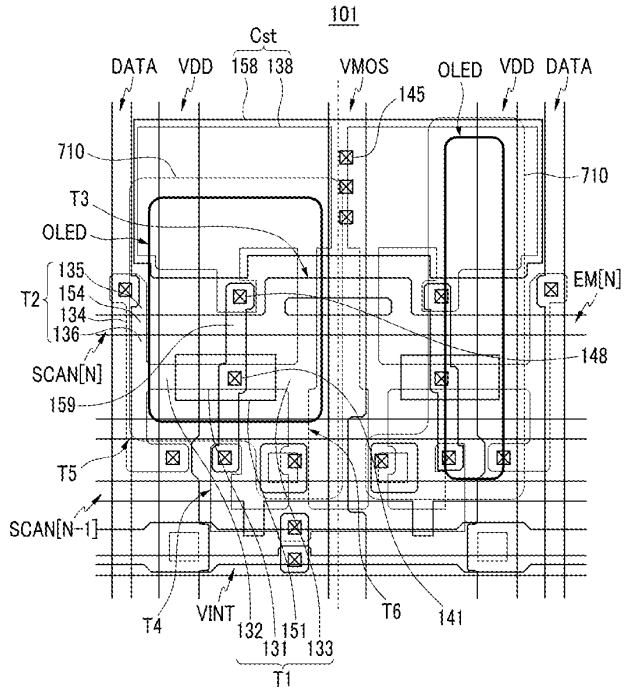
- [0046] 유기 발광 소자(OLED)는 정공을 주입하는 전극과 전자를 주입하는 전극, 그리고 양 전극 사이에 배치된 유기 발광층을 포함한다. 유기 발광층에 정공과 전자가 주입되고, 주입된 정공과 전자가 결합한 엑시톤(exiton)이 여기 상태에서 기저 상태로 떨어질 때 발광이 이루어진다.
- [0047] 또한, 스위칭 박막 트랜지스터(T2)는 발광시키고자 하는 화소를 선택하고, 구동 박막 트랜지스터(T1)는 선택된 화소 내의 유기 발광 소자(OLED)를 발광시키기 위한 구동 신호를 유기 발광 소자(OLED)에 인가한다.
- [0048] 이와 같은 구성에 의하여, 본 발명의 일 실시예에 따른 유기 발광 표시 장치(101)는 제1 전원 라인(VDD)과 제2 전원 라인(VMOS)이 분리된 구조에서 데이터 라인(DATA)과 캐패시터(Cst) 사이에 불필요한 기생 용량의 발생을 방지할 수 있다.
- [0049] 본 발명을 앞서 기재한 바에 따라 바람직한 실시예를 통해 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

부호의 설명

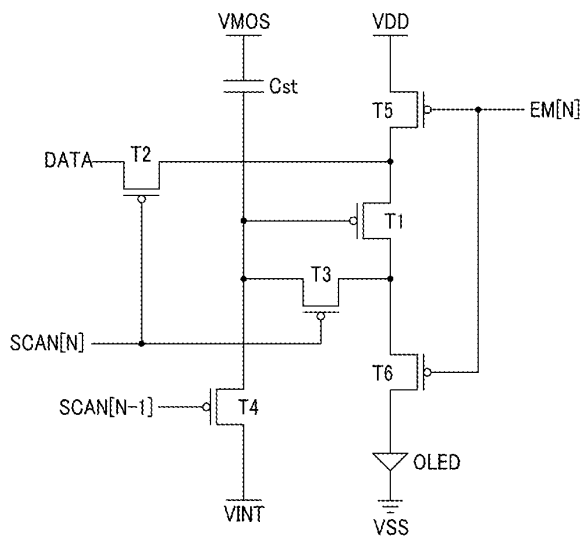
- | | | |
|--------|-----------------------------|------------------|
| [0050] | 101: 유기 발광 표시 장치 | 131: 구동 액티브층 |
| | 132: 구동 소스 전극 | 133: 구동 드레인 전극 |
| | 134: 스위칭 액티브층 | 135: 스위칭 소스 전극 |
| | 136: 스위칭 드레인 전극 | 138: 제1 캐패시터 전극 |
| | 141, 145, 148: 접촉 구멍 | 151: 구동 게이트 전극 |
| | 154: 스위칭 게이트 전극 | 158: 제2 캐패시터 전극 |
| | 159: 연결 라인 | Cst: 캐패시터 |
| | DATA: 데이터 라인 | EN[N]: 제어 라인 |
| | OLED: 유기 발광 소자 | SCAN[N]: 스캔 라인 |
| | T1: 구동 박막 트랜지스터 | T2: 스위칭 박막 트랜지스터 |
| | T3, T4, T5, T6: 추가 박막 트랜지스터 | |
| | VDD: 제1 전원 라인 | VMOS: 제2 전원 라인 |
| | VINT: 내부 전압 라인 | |

도면

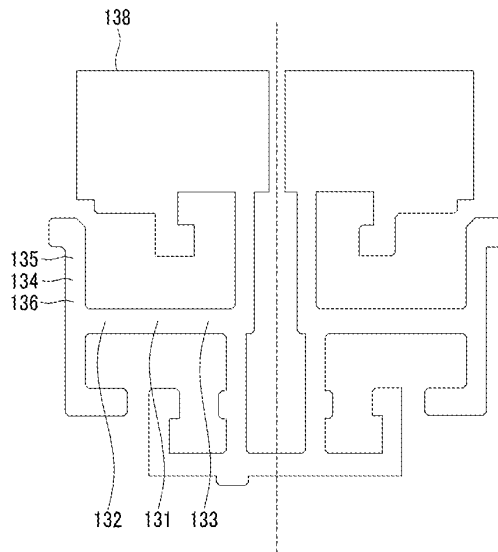
도면1



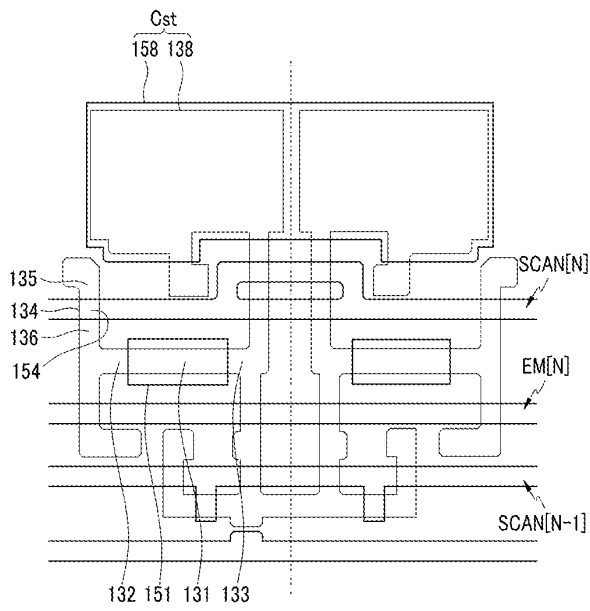
도면2



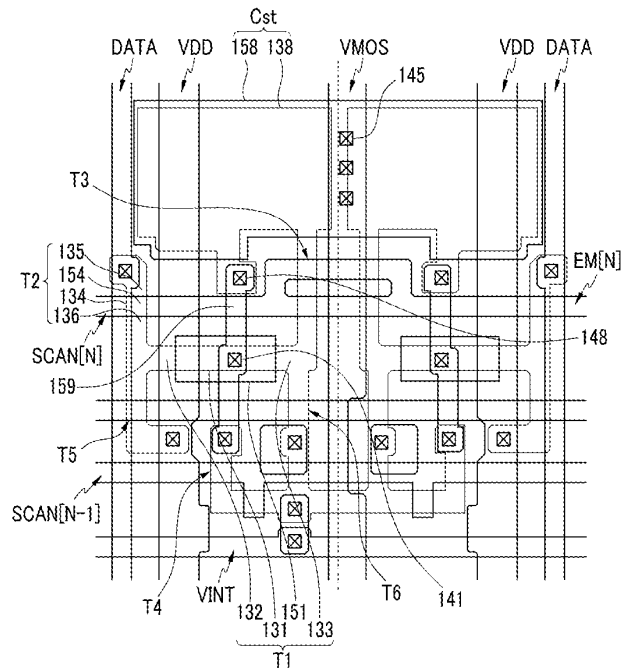
도면3



도면4



595



Electronic Acknowledgement Receipt	
EFS ID:	33781556
Application Number:	15707884
International Application Number:	
Confirmation Number:	6428
Title of Invention:	THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC LIGHT-EMITTING DIODE DISPLAY
First Named Inventor/Applicant Name:	Won-Se Lee
Customer Number:	23363
Filer:	Jun-Young E. Jeon/Elizabeth Gomez
Filer Authorized By:	Jun-Young E. Jeon
Attorney Docket Number:	145709/411598
Receipt Date:	20-SEP-2018
Filing Date:	18-SEP-2017
Time Stamp:	15:26:46
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no
------------------------	----

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		145709_IDS.PDF	127706	yes	3
			71e8ea101642bfc50e8588813bb653c3ef3966bc		

Multipart Description/PDF files in .zip description					
Document Description			Start	End	
Transmittal Letter			1	2	
Information Disclosure Statement (IDS) Form (SB08)			3	3	
Warnings:					
Information:					
2	Foreign Reference	KR_20110012710.pdf	5196387	no	13
			f6566f3c9b0df29d09e452b5398e9a3f3879e85c		
Warnings:					
Information:					
3	Foreign Reference	KR_20110113040_WithAbsTransRelPart.pdf	14016447	no	28
			6c1c720c239d8d105ac59dba2deec009c66145f6		
Warnings:					
Information:					
4	Foreign Reference	KR_20120044657.pdf	3644794	no	10
			4be062e71e745673a28e3439fd8ca5cc4704c713		
Warnings:					
Information:					
Total Files Size (in bytes):			22985334		
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>					

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

I hereby certify that this correspondence is being EFS-Web transmitted to the United States Patent and Trademark Office on September 20, 2018 at or before 11:59 p.m. Pacific Time under the Rules of 37 CFR § 1.8.



Elizabeth Gomez

Inventor(s) : Won-Se Lee, et al. Confirmation No. 6428
Application No. : 15/707,884
Filed : September 18, 2017
Title : THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC
LIGHT-EMITTING DIODE DISPLAY

Grp./Div. : 2814
Examiner : WAEL M. FAHMY

Docket No. : 145709

**SUPPLEMENTAL INFORMATION DISCLOSURE STATEMENT
37 CFR § 1.97(b)**

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Post Office Box 29001
Glendale, CA 91209-9001
September 20, 2018

Commissioner:

In compliance with the duty of disclosure under 37 CFR §§ 1.56, 1.97 and 1.98, and in accordance with the provisions in the Manual of Patent Examining Procedure §§ 609 and 707.05(b), enclosed is an information disclosure statement listing the references that are known to applicant. Copies of each of the listed Foreign Patent Documents references are enclosed. This filing is timely because it is made during one of the periods described in 37 CFR § 1.97(b).

It is respectfully requested that the listed references be considered in the examination of this application and identified on the list of references cited on the patent issuing for this application. Applicant also requests that an initialed copy of the information disclosure statement be entered in the application file and returned to applicant with the next communication from the Office in accordance with MPEP § 609.

Application No.: 15/707,884

The Commissioner is hereby authorized to charge any fees which may be required by this paper to Deposit Account No. 03-1728. Please show our docket number with any Deposit Account transaction.

Respectfully submitted,

LEWIS ROCA ROTHGERBER CHRISTIE LLP

By 
Jun-Young E. Jeon
Reg. No. 43,693
626/795-9900

JEJ/eg

Enclosures: Information Disclosure Statement, w/references

EG 106071691.1-* -09/19/2018 2:43 PM



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

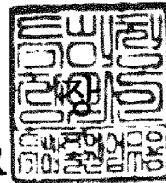
출 원 번 호 : 10-2012-0104215
Application Number

출 원 년 월 일 : 2012년 09월 19일
Filing Date 9월 . 19, 2012

출 원 인 : 삼성디스플레이 주식회사
Applicant(s) Samsung Display Co., Ltd.

2018년 02월 15일

특 허 청
COMMISSIONER



제출 일자 : 2012-09-19

【서지사항】

【서류명】 특허출원서

【참조번호】 6

【출원구분】 특허출원

【출원인】

【명칭】 삼성디스플레이 주식회사

【특허고객번호】 1-2012-016455-2

【대리인】

【명칭】 리앤목 특허법인

【대리인번호】 9-2005-100002-8

【지정된변리사】 이영필, 이해영, 하수영, 박이주, 류주연

【포괄위임등록번호】 2012-055549-3

【발명의 국문명칭】 박막 트랜지스터 어레이 기판 및 유기 발광 표시 장치

【발명의 영문명칭】 SUBSTRATE FORMED THIN FILM TRANSISTOR ARRAY AND ORGANIC LIGHT EMITTING DIODE DISPLAY

【발명자】

【성명】 이원세

【성명의 영문표기】 LEE, Won Se

【주민등록번호】 840112-1XXXXXX

【우편번호】 446-711

【주소】 경기도 용인시 기흥구 삼성2로 95 (농서동)

【국적】 KR

【발명자】

【성명】 곽원규

【성명의 영문표기】 KWAK, Won Kyu

【주민등록번호】 721108-1XXXXXX

제출 일자 : 2012-09-19

【우편번호】 446-711
【주소】 경기도 용인시 기흥구 삼성2로 95 (농서동)
【국적】 KR
【발명자】
【성명】 김세호
【성명의 영문표기】 KIM, Se Ho
【주민등록번호】 790607-1XXXXXX
【우편번호】 446-711
【주소】 경기도 용인시 기흥구 삼성2로 95 (농서동)
【국적】 KR
【취지】 위와 같이 특허청장에게 제출합니다.

대리인 리앤목 특허법인 (서명 또는 인)

【수수료】
【출원료】 0 면 38,000 원
【가산출원료】 39 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 0 항 0 원
【합계】 38,000 원

【발명의 설명】

【발명의 명칭】

박막 트랜지스터 어레이 기판 및 유기 발광 표시 장치{SUBSTRATE FORMED THIN FILM TRANSISTOR ARRAY AND ORGANIC LIGHT EMITTING DIODE DISPLAY}

【기술분야】

- <1> 본 발명은 적어도 하나의 박막 트랜지스터 및 스토리지 커패시터를 포함하는 박막 트랜지스터 어레이 기판 및 이를 채용한 유기 발광 표시 장치에 관한 것이다.

【배경기술】

- <2> 유기 발광 표시 장치는 두 개의 전극과 그 사이에 위치하는 유기 발광층을 포함하며, 하나의 전극으로부터 주입된 전자(electron)와 다른 전극으로부터 주입된 정공(hole)이 유기 발광층에서 결합하여 여기자(exciton)를 형성하고, 여기자가 에너지를 방출하면서 발광한다.
- <3> 이러한 유기 발광 표시 장치는 자발광 소자인 유기 발광 소자를 포함하는 복수개의 화소를 포함하며, 각 화소에는 유기 발광 소자를 구동하기 위한 복수개의 박막 트랜지스터(thin film transistor) 및 커패시터(Capacitor)가 형성되어 있다.
- <4> 커패시터는 하부 전극과 상부 전극 및 그 사이에 개재된 유전체로 구성된다. 각 전극은 기판 전면에서 도전층을 형성한 후 포토 리소그래피(photo lithography) 공정을 통해 패터닝 된다. 그런데, 패널이 대형화되고 대량의 패널을 동시에 생산하는 시스템에서는 패터닝 공정 중에 공정 장비의 오차 범위 내에서 기판과 마스크

또는 노광기 사이에 미스 얼라인(miss align)이 발생할 수 있다. 이러한 미스 얼라인(miss align)으로 인하여 설계시 의도했던 바와 다르게 커패시터의 양 전극 사이에 오버레이(overlay) 편차가 발생할 수 있다. 이러한 오버레이 편차로 인해 커패시턴스(capacitance)가 설계값과 다르게 발현되어 저계조 얼룩, 색 이상과 같은 문제점이 발생하게 된다.

【발명의 내용】

【해결하려는 과제】

<5> 본 발명은 상술한 문제점을 해결하기 위한 것으로서, 오버레이 편차가 발생하더라도 커패시턴스를 일정하게 유지하는 스토리지 커패시터 구조를 포함하는 박막 트랜지스터 어레이 기판 및 이를 채용한 유기 발광 표시 장치에 관한 것이다.

【과제의 해결 수단】

<6> 본 발명의 일 실시예에 따르면, 기판; 상기 기판 상에 구비된 제1절연층; 상기 제1절연층 상에 구비된 하부 전극, 및 제2절연층에 의해 상기 하부 전극과 절연되고 상기 하부 전극 전체와 중첩되도록 배치되며 개구부를 구비하는 상부 전극을 포함하는 커패시터; 상기 커패시터를 덮는 층간 절연막; 상기 개구부를 관통하도록 상기 층간 절연막 및 상기 제2절연층에 구비된 노드 콘택홀; 및 상기 층간 절연막 상에 구비되며 상기 노드 콘택홀을 통해 상기 하부 전극과 적어도 하나의 박막 트랜지스터를 전기적으로 연결하는 연결 노드; 를 포함하는 박막 트랜지스터 어레이 기판을 제공한다.

- <7> 상기 개구부는 상기 하부 전극과 중첩하도록 구비된다.
- <8> 상기 상부 전극은 상기 연결 노드와 동일한 층에 형성된 상기 구동 전압선으로부터 구동 전압을 인가받는다.
- <9> 상기 구동 전압선은 상기 층간 절연막에 구비된 다른 컨택홀을 통해 상기 상부 전극과 연결된다.
- <10> 상기 커패시터와 중첩되도록 배치되는 구동 박막 트랜지스터를 더 포함하며, 상기 구동 박막 트랜지스터의 구동 게이트 전극은 상기 하부 전극을 포함하는 것을 특징으로 한다.
- <11> 상기 박막 트랜지스터는 상기 구동 박막 트랜지스터의 문턱 전압을 보상하며 상기 구동 박막 트랜지스터에 연결되어 있는 보상 박막 트랜지스터이고, 상기 보상 박막 트랜지스터는 상기 연결 노드를 통해 상기 하부 전극과 전기적으로 연결된다.
- <12> 상기 보상 박막 트랜지스터의 보상 게이트 전극은 상기 하부 전극과 동일층에 형성된 것을 특징으로 한다.
- <13> 상기 박막 트랜지스터는 이전 스캔 신호에 따라 턴온되어 초기화 전압을 상기 구동 박막 트랜지스터의 상기 구동 게이트 전극에 전달하는 초기화 박막 트랜지스터이고, 상기 초기화 박막 트랜지스터는 상기 연결 노드를 통해 상기 하부 전극과 전기적으로 연결된다.
- <14> 상기 초기화 박막 트랜지스터의 초기화 게이트 전극은 상기 하부 전극과 동일층에 형성된 것을 특징으로 한다.

<15> 본 발명의 다른 실시예에 따르면, 기판; 상기 기판 상에 구비된 제1절연층; 상기 제1절연층 상에 구비되며 스캔 신호를 전달하는 스캔선; 제2절연층 및 층간 절연막에 의해 절연되고 상기 스캔선과 교차하며 데이터 신호 및 구동 전압을 전달하는 데이터선 및 구동 전압선; 상기 스캔선 및 상기 데이터선과 연결되며 적어도 하나의 박막 트랜지스터 및 커패시터를 포함하는 화소 회로; 및 상기 화소 회로를 통해 상기 구동 전압을 전달받아 발광하는 유기 발광 소자;를 포함하며, 상기 커패시터는 상기 제1절연층 상에 구비된 하부 전극, 및 상기 제2절연층에 의해 상기 하부 전극과 절연되고 상기 하부 전극 전체와 중첩되도록 배치되며 개구부를 구비하는 상부 전극을 포함하고, 상기 개구부를 관통하도록 상기 층간 절연막 및 상기 제2절연층에 구비된 노드 콘택홀; 및 상기 층간 절연막 상에 구비되며 상기 노드 콘택홀을 통해 상기 하부 전극과 적어도 하나의 상기 박막 트랜지스터를 전기적으로 연결하는 연결 노드;를 더 포함하는 유기 발광 표시 장치를 제공한다.

【발명의 효과】

<16> 본 발명에 일 실시예에 따르면, 스토리지 커패시터의 하부 전극 전체와 상부 전극이 서로 중첩되며, 하부 전극과 중첩되도록 상부 전극에 개구부가 형성되어, 양 전극 간에 오버레이 편차가 발생하더라도 항상 일정한 커패시턴스를 유지할 수 있는 특징이 있다. 따라서, 커패시턴스 변화에 의한 저계조 얼룩 및 색 이상이 발생하는 문제를 해소할 수 있다.

【도면의 간단한 설명】

<17> 도 1은 본 발명의 일실시예에 따른 유기 발광 표시 장치의 하나의 화소의 등가 회로도이다.

도 2는 도 1에 도시된 유기발광 표시장치의 하나의 화소를 나타낸 개략적인 평면도이다.

도 3은 도 2의 유기 발광 표시 장치를 III-III을 따라 자른 단면도이다.

도 4는 도 2의 유기 발광 표시 장치를 IV-IV선을 따라 자른 단면도이다.

도 5는 도 2의 유기 발광 표시 장치를 V-V선을 따라 자른 단면도이다.

도 6은 도 2의 유기 발광 표시 장치의 스토리지 커패시터의 중첩되는 면적을 개략적으로 나타낸 평면도이다.

도 7은 도 2의 유기 발광 표시 장치의 스토리지 커패시터의 양 전극 사이에 오버레이 편차가 발생한 경우를 나타낸 평면도이다.

【발명을 실시하기 위한 구체적인 내용】

<18> 이하, 첨부한 도면을 참고로 하여 본 발명의 여러 실시예들에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예들에 한정되지 않는다.

<19> 본 발명을 명확하게 설명하기 위해서 설명과 관계없는 부분은 생략하였으며, 명세서 전체를 통하여 동일 또는 유사한 구성요소에 대해서는 동일한 참조 부호를

불이도록 한다.

<20> 또한, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.

<21> 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 그리고 도면에서, 설명의 편의를 위해, 일부 층 및 영역의 두께를 과장되게 나타내었다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 또는 "상에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.

<22> 또한, 명세서 전체에서, 어떤 부분이 어떤 구성요소를 "포함" 한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 포함할 수 있는 것을 의미한다. 또한, 명세서 전체에서, "-상에" 라 함은 대상 부분의 위 또는 아래에 위치함을 의미하는 것이며, 반드시 중력 방향을 기준으로 상 측에 위치하는 것을 의미하는 것은 아니다.

<23> 이하 도 1 내지 도 5를 참조하여 본 발명의 일 실시예에 따른 유기 발광 표시 장치에 대해 상세히 알아본다.

<24> 도 1은 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소의 등가 회로도이다.

<25> 도 1에 도시한 바와 같이, 본 발명의 일 실시예에 따른 유기 발광 표시 장치의 하나의 화소는 복수의 신호선(14,24,34,16,26,20), 복수의 신호선에 연결되며

복수개의 박막 트랜지스터(T1, T2, T3, T4, T5, T6), 및 스토리지 캐패시터(storage capacitor, Cst)를 포함하는 화소 회로를 포함한다. 또한 화소는 화소 회로를 통해 구동 전압을 전달받아 발광하는 유기 발광 소자(organic light emitting diode, OLED)를 포함한다.

<26> 박막 트랜지스터는 구동 박막 트랜지스터(driving thin film transistor)(T1), 스위칭 박막 트랜지스터(switching thin film transistor)(T2), 보상 박막 트랜지스터(T3), 초기화 박막 트랜지스터(T4), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)를 포함한다.

<27> 신호선은 스캔 신호(Sn)를 전달하는 스캔선(24), 초기화 박막 트랜지스터(T4)에 이전 스캔 신호(Sn-1)를 전달하는 이전 스캔선(14), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)에 발광 제어 신호(En)를 전달하는 발광 제어선(34), 스캔선(24)과 교차하며 데이터 신호(Dm)를 전달하는 데이터선(16), 구동 전압(ELVDD)을 전달하며 데이터선(16)과 거의 평행하게 형성되어 있는 구동 전압선(26), 구동 박막 트랜지스터(T1)를 초기화하는 초기화 전압(Vint)을 전달하는 초기화 전압선(20)을 포함한다.

<28> 구동 박막 트랜지스터(T1)의 게이트 전극(G1)은 스토리지 커패시터(Cst)의 일단(Cst1)과 연결되어 있고, 구동 박막 트랜지스터(T1)의 소스 전극(S1)은 동작 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(26)과 연결되어 있으며, 구동 박막 트랜지스터(T1)의 드레인 전극(D1)은 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드(anode)와 전기적으로 연결되어 있다. 구동 박

막 트랜지스터(T1)는 스위칭 박막 트랜지스터(T2)의 스위칭 동작에 따라 데이터 신호(Dm)를 전달받아 유기 발광 소자(OLED)에 구동 전류(Id)를 공급한다.

<29> 스위칭 박막 트랜지스터(T2)의 게이트 전극(G2)은 스캔선(24)과 연결되어 있고, 스위칭 박막 트랜지스터(T2)의 소스 전극(S2)은 데이터선(16)과 연결되어 있으며, 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)은 구동 박막 트랜지스터(T1)의 소스 전극(S1)과 연결되어 있으면서 동작 제어 박막 트랜지스터(T5)를 경유하여 구동 전압선(26)과 연결되어 있다. 이러한 스위칭 박막 트랜지스터(T2)는 스캔선(24)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되어 데이터선(16)으로 전달된 데이터 신호(Dm)를 구동 박막 트랜지스터(T1)의 소스 전극으로 전달하는 스위칭 동작을 수행한다.

<30> 보상 박막 트랜지스터(T3)의 게이트 전극(G3)은 스캔선(24)에 연결되어 있고, 보상 박막 트랜지스터(T3)의 소스 전극(S3)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1)과 연결되어 있으면서 발광 제어 박막 트랜지스터(T6)를 경유하여 유기 발광 소자(OLED)의 애노드(anode)와 연결되어 있으며, 보상 박막 트랜지스터(T3)의 드레인 전극(D3)은 스토리지 커패시터(Cst)의 일단(Cst1), 초기화 박막 트랜지스터(T4)의 드레인 전극(D4) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있다. 이러한 보상 박막 트랜지스터(T3)는 스캔선(24)을 통해 전달받은 스캔 신호(Sn)에 따라 턴 온되어 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 드레인 전극(D1)을 서로 연결하여 구동 박막 트랜지스터(T1)를 다이오드 연결시킨다.

<31> 초기화 박막 트랜지스터(T4)의 게이트 전극(G4)은 이전 스캔선(14)과 연결되어 있고, 초기화 박막 트랜지스터(T4)의 소스 전극(S4)은 초기화 전압선(20)과 연결되어 있으며, 초기화 박막 트랜지스터(T4)의 드레인 전극(D4)은 스토리지 커패시터(Cst)의 일단(Cst1), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및 구동 박막 트랜지스터(T1)의 게이트 전극(G1)과 함께 연결되어 있다. 이러한 초기화 박막 트랜지스터(T4)는 이전 스캔선(14)을 통해 전달받은 이전 스캔 신호(Sn-1)에 따라 턴 온되어 초기화 전압(Vint)을 구동 박막 트랜지스터(T1)의 게이트 전극(G1)에 전달하여 구동 박막 트랜지스터(T1)의 게이트 전극(G1)의 전압을 초기화시키는 초기화 동작을 수행한다.

<32> 동작 제어 박막 트랜지스터(T5)의 게이트 전극(G5)은 발광 제어선(34)과 연결되어 있으며, 동작 제어 박막 트랜지스터(T5)의 소스 전극(S5)은 구동 전압선(26)과 연결되어 있고, 동작 제어 박막 트랜지스터(T5)의 드레인 전극(D5)은 구동 박막 트랜지스터(T1)의 소스 전극(S1) 및 스위칭 박막 트랜지스터(T2)의 드레인 전극(D2)과 연결되어 있다.

<33> 발광 제어 박막 트랜지스터(T6)의 게이트 전극(G6)은 발광 제어선(34)과 연결되어 있으며, 발광 제어 박막 트랜지스터(T6)의 소스 전극(S6)은 구동 박막 트랜지스터(T1)의 드레인 전극(D1) 및 보상 박막 트랜지스터(T3)의 소스 전극(S3)과 연결되어 있고, 발광 제어 박막 트랜지스터(T6)의 드레인 전극(D6)은 유기 발광 소자(OLED)의 애노드(anode)와 전기적으로 연결되어 있다. 이러한 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)는 발광 제어선(34)을 통해 전달받

은 발광 제어 신호(En)에 따라 동시에 턴 온되어 구동 전압(ELVDD)이 유기 발광 소자(OLED)에 전달되어 유기 발광 소자(OLED)에 구동 전류(Id)가 흐르게 된다.

<34> 스토리지 커패시터(Cst)의 타단(Cst2)은 구동 전압선(26)과 연결되어 있다. 스토리지 커패시터(Cst)의 일단(Cst1)은 연결 노드를 통해 구동 박막 트랜지스터(T1)의 게이트 전극(G1), 보상 박막 트랜지스터(T3)의 드레인 전극(D3) 및, 초기화 박막 트랜지스터(T4)의 드레인 전극(D4)에 함께 연결되어 있다.

<35> 유기 발광 소자(OLED)의 캐소드(cathode)는 공통 전압(ELVSS)과 연결되어 있다. 이에 따라, 유기 발광 소자(OLED)는 구동 박막 트랜지스터(T1)로부터 구동 전류(Id)를 전달받아 발광함으로써 화상을 표시한다.

<36> 이하에서 본 발명의 도 1에 도시된 유기 발광 표시 장치의 한 화소의 구체적인 동작 과정을 상세히 설명한다.

<37> 우선, 초기화 기간 동안 이전 스캔선(14)을 통해 로우 레벨(low level)의 이전 스캔 신호(Sn-1)가 공급된다. 그러면, 로우 레벨의 이전 스캔 신호(Sn-1)에 대응하여 초기화 박막 트랜지스터(T4)가 턴 온(Turn on)되며, 초기화 전압선(20)으로부터 초기화 박막 트랜지스터(T4)를 통해 초기화 전압(Vint)이 구동 박막 트랜지스터(T1)의 게이트 전극에 연결되고, 초기화 전압(Vint)에 의해 구동 박막 트랜지스터(T1)가 초기화된다.

<38> 이 후, 데이터 프로그래밍 기간 중 스캔선(24)을 통해 로우 레벨의 스캔 신호(Sn)가 공급된다. 그러면, 로우 레벨의 스캔 신호(Sn)에 대응하여 스위칭 박막

트랜지스터(T2) 및 보상 박막 트랜지스터(T3)가 턴 온된다.

<39> 이 때, 구동 박막 트랜지스터(T1)는 턴 온된 보상 박막 트랜지스터(T3)에 의해 다이오드 연결되고, 순방향으로 바이어스 된다.

<40> 그러면, 데이터선(16)으로부터 공급된 데이터 신호(Dm)에서 구동 박막 트랜지스터(T1)의 문턱 전압(Threshold voltage, V_{th})만큼 감소한 보상 전압($Dm+V_{th}$, V_{th} 는 (-)의 값)이 구동 박막 트랜지스터(T1)의 게이트 전극에 인가된다.

<41> 스토리지 커패시터(Cst)의 양단에는 구동 전압(ELVDD)과 보상 전압($Dm+V_{th}$)이 인가되고, 스토리지 커패시터(Cst)에는 양단 전압 차에 대응하는 전하가 저장된다. 이 후, 발광 기간 동안 발광 제어선(34)으로부터 공급되는 발광 제어 신호(E_n)가 하이 레벨에서 로우 레벨로 변경된다. 그러면, 발광 기간 동안 로우 레벨의 발광 제어 신호(E_n)에 의해 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)가 턴 온된다.

<42> 그러면, 구동 박막 트랜지스터(T1)의 게이트 전극의 전압과 구동 전압(ELVDD) 간의 전압차에 따르는 구동 전류(I_d)가 발생하고, 발광 제어 박막 트랜지스터(T6)를 통해 구동 전류(I_d)가 유기 발광 소자(OLED)에 공급된다. 발광 기간 동안 스토리지 커패시터(Cst)에 의해 구동 박막 트랜지스터(T1)의 게이트-소스 전압(V_{gs})은 $(Dm+V_{th})-ELVDD$ 로 유지되고, 구동 박막 트랜지스터(T1)의 전류-전압 관계에 따르면, 구동 전류(I_d)는 소스-게이트 전압에서 문턱 전압을 차감한 값의 제곱($Dm-ELVDD$)²에 비례한다. 따라서 구동 전류(I_d)는 구동 박막 트랜지스터(T1)의 문턱

전압(V_{th})에 관계 없이 결정된다.

<43> 그러면 도 1에 도시한 유기 발광 표시 장치의 화소의 상세 구조에 대하여 도 2 내지 도 5를 도 1과 함께 참고하여 상세하게 설명한다.

<44> 도 2는 도 1에 도시된 유기발광 표시장치의 하나의 화소를 나타낸 개략적인 평면도이다. 도 3은 도 2의 유기 발광 표시 장치를 III-III을 따라 자른 단면도이다. 도 4는 도 2의 유기 발광 표시 장치를 IV-IV선을 따라 자른 단면도이다. 도 5는 도 2의 유기 발광 표시 장치를 V-V선을 따라 자른 단면도이다.

<45> 도 2 내지 도 5에 도시한 바와 같이, 본 발명의 일실시예에 따른 유기 발광 표시 장치의 화소는 스캔 신호(S_n), 이전 스캔 신호(S_{n-1}), 발광 제어 신호(E_n) 및 초기화 전압(V_{int})을 각각 인가하며 행 방향을 따라 형성되어 있는 스캔선(24), 이전 스캔선(14), 발광 제어선(34) 및 초기화 전압선(20)을 포함하고, 스캔선(24), 이전 스캔선(14), 발광 제어선(34) 및 초기화 전압선(20) 모두와 교차하고 있으며 화소에 데이터 신호(D_m) 및 구동 전압($ELVDD$)을 각각 인가하는 데이터선(16) 및 구동 전압선(26)을 포함한다.

<46> 또한, 화소에는 구동 박막 트랜지스터(T_1), 스위칭 박막 트랜지스터(T_2), 보상 박막 트랜지스터(T_3), 초기화 박막 트랜지스터(T_4), 동작 제어 박막 트랜지스터(T_5), 발광 제어 박막 트랜지스터(T_6), 스토리지 커패시터(C_{st}), 그리고 유기 발광 소자(OLED)가 형성되어 있다.

<47> 구동 박막 트랜지스터(T_1), 스위칭 박막 트랜지스터(T_2), 보상 박막 트랜지

스터(T3), 초기화 박막 트랜지스터(T4), 동작 제어 박막 트랜지스터(T5) 및 발광 제어 박막 트랜지스터(T6)는 반도체층(112, 122, 132, 142, 152, 162)을 따라 형성되어 있으며, 반도체층(112, 122, 132, 142, 152, 162)은 다양한 형상으로 굴곡되어 형성되어 있다. 이러한 반도체층(112, 122, 132, 142, 152, 162)은 폴리 실리콘으로 이루어지며, 불순물이 도핑되지 않은 채널 영역과, 채널 영역의 양 옆으로 불순물이 도핑되어 형성된 소스 영역 및 드레인 영역을 포함한다. 여기서, 이러한 불순물은 박막 트랜지스터의 종류에 따라 달라지며, N형 불순물 또는 P형 불순물이 가능하다. 이러한 반도체층은 구동 박막 트랜지스터(T1)에 형성되는 구동 반도체층(112), 스위칭 박막 트랜지스터(T2)에 형성되는 스위칭 반도체층(122), 보상 박막 트랜지스터(T3)에 형성되는 보상 반도체층(132), 초기화 박막 트랜지스터(T4)에 형성되는 초기화 반도체층(142), 동작 제어 박막 트랜지스터(T5)에 형성되는 동작 제어 반도체층(152) 및 발광 제어 박막 트랜지스터(T6)에 형성되는 발광 제어 반도체층(162)을 포함한다.

<48> 구동 박막 트랜지스터(T1)는 구동 반도체층(112), 구동 게이트 전극(1141), 구동 소스 전극(116s) 및 구동 드레인 전극(116d)을 포함한다. 구동 반도체층(112)은 굴곡되어 있다. 한편, 구동 소스 전극(116s)은 구동 반도체층(112)에서 불순물이 도핑된 구동 소스 영역(116s)에 해당하고, 구동 드레인 전극(116d)은 구동 반도체층(112)에서 불순물이 도핑된 구동 드레인 영역(116d)에 해당한다. 구동 박막 트랜지스터(T1)와 중첩되도록 위에 스토리지 커패시터(Cst)가 형성되어 있다.

<49> 스토리지 커패시터(Cst)는 제2 게이트 절연막(1032)을 사이에 두고 배치되는

제출 일자 : 2012-09-19

하부 전극(1141)과 상부 전극(1142)을 포함한다. 여기서, 구동 게이트 전극(1141)은 하부 전극(1141)의 역할도 동시에 한다. 즉, 구동 게이트 전극(1141)은 하부 전극(1141)을 포함한다. 제2 게이트 절연막(1032)은 유전체가 되며, 스토리지 커패시터(Cst)에서 축전된 전하와 양 전극(1141,1142) 사이의 전압에 의해 스토리지 캐패시턴스(Storage Capacitance)가 결정된다.

<50> 하부 전극(1141)은 아일랜드 형상으로 된 플로팅(floating) 전극으로 형성되어 있으며, 스캔선(24), 이전 스캔선(14), 발광 제어선(34), 스위칭 게이트 전극(124), 보상 게이트 전극(134), 초기화 게이트 전극(144), 동작 제어 게이트 전극(154), 발광 제어 게이트 전극(164)과 동일한 물질로 동일한 층에 형성되어 있다.

<51> 상부 전극은 (1142)은 아일랜드 형상으로 된 플로팅(floating) 전극으로 형성되어 있으며, 제2 게이트 절연막(1032) 상에 형성되어 있다. 상부 전극(1142)은 하부 전극(1141) 전체와 중첩되도록 배치되며, 스토리지 개구부(420)를 구비한다. 스토리지 개구부(420)는 하부 전극과 중첩되도록 구비된다. 스토리지 개구부(420)는 상부 전극(1142)을 관통하는 단일폐곡선(closed curve)의 형태를 가질 수 있다. 여기서 단일폐곡선이란, 다각형, 원 등과 같이 직선이나 곡선 위에 한 점을 찍었을 때 시작점과 끝점이 같은 닫힌 도형을 의미한다. 이러한 스토리지 개구부(420)를 구비한 상부 전극(1142)은 마치 도넛 형태를 가질 수 있다.

<52> 본 발명의 일 실시예에 의하면, 하부 전극(1141) 전체와 중첩하며, 단일폐곡선(closed curve)의 스토리지 개구부(420)를 구비하는 상부 전극(1142)을 포함하는 스토리지 커패시터(Cst)를 통해, 유기 발광 표시 장치의 제조 공정 중에 하부 전극

(1141)과 상부 전극(1142) 사이에 오버레이(overlay) 편차가 발생하더라도 스토리지 커패시터(Cst)가 항상 일정한 커패시턴스(capacitance)를 유지하는 특징이 있다. 이와 관련해서는 이후 도 6 및 도 7에서 상세히 후술하기로 한다.

<53> 스위칭 박막 트랜지스터(T2)는 스위칭 반도체층(122), 스위칭 게이트 전극(124), 스위칭 소스 전극(126s) 및 스위칭 드레인 전극(126d)을 포함한다. 스위칭 소스 전극(126s)은 데이터선(16)에서 돌출된 부분이며, 스위칭 드레인 전극(126d)은 스위칭 반도체층(122)에서 불순물이 도핑된 스위칭 드레인 영역(126d)에 해당한다.

<54> 보상 박막 트랜지스터(T3)는 보상 반도체층(132), 보상 게이트 전극(134), 보상 소스 전극(136s) 및 보상 드레인 전극(136d)을 포함하고, 보상 소스 전극(136s)은 보상 반도체층(132)에서 불순물이 도핑된 보상 소스 영역(136s)에 해당하고, 보상 드레인 전극(136d)은 보상 반도체층(132)에서 불순물이 도핑된 보상 드레인 영역(136d)에 해당한다. 보상 드레인 전극(136d)은 연결 노드(36)를 통해 하부 전극(1141)과 연결될 수 있다. 보상 게이트 전극(134)는 별도의 듀얼 게이트 전극을 형성하여 누설 전류(leakage current)를 방지한다.

<55> 초기화 박막 트랜지스터(T4)는 초기화 반도체층(142), 초기화 게이트 전극(144), 초기화 소스 전극(146s) 및 초기화 드레인 전극(146d)을 포함한다. 초기화 드레인 전극(146d)은 초기화 반도체층(142)에서 불순물이 도핑된 초기화 드레인 영역(146d)에 해당한다. 초기화 드레인 전극(146d)은 연결 노드(36)를 통해 하부 전극(1141)과 연결될 수 있다. 초기화 소스 전극(146s)은 연결 부재를 통해 초기화

전압선(20)와 연결될 수 있다.

<56> 동작 제어 박막 트랜지스터(T5)는 동작 제어 반도체층(152), 동작 제어 게이트 전극(154), 동작 제어 소스 전극(156s) 및 동작 제어 드레인 전극(156d)을 포함한다. 동작 제어 소스 전극(156s)은 구동 전압선(26)의 일부분이고, 동작 제어 드레인 전극(156d)은 동작 제어 반도체층(152)에서 불순물이 도핑된 동작 제어 드레인 영역(156d)에 해당한다.

<57> 발광 제어 박막 트랜지스터(T6)는 발광 제어 반도체층(162), 발광 제어 게이트 전극(164), 발광 제어 소스 전극(166s) 및 발광 제어 드레인 전극(166d)을 포함한다. 발광 제어 소스 전극(166s)은 발광 제어 반도체층(162)에서 불순물이 도핑된 발광 제어 소스 영역(166s)에 해당하고, 발광 제어 드레인 전극(166d)은 연결 부재를 통해 화소 전극(200)과 연결된다.

<58> 구동 박막 트랜지스터(T1)의 구동 반도체층(112)의 일단은 스위칭 반도체층(122) 및 동작 제어 반도체층(152)과 연결되어 있으며, 구동 반도체층(112)의 타단은 보상 반도체층(132) 및 발광 제어 반도체층(162)과 연결되어 있다. 따라서, 구동 소스 전극(116s)은 스위칭 드레인 전극(126d) 및 동작 제어 드레인 전극(156d)과 연결되고, 구동 드레인 전극(116d)은 보상 소스 전극(136s) 및 발광 제어 소스 전극(166s)과 연결된다.

<59> 스토리지 커패시터(Cst)의 하부 전극(1141)은 연결 노드(36)를 통해 보상 박막 트랜지스터(T3) 및 초기화 박막 트랜지스터(T4)와 함께 연결되어 있다. 이러한 연결 노드(36)는 데이터선(16)과 동일한 층에 형성되어 있다. 연결 노드(36)의 일

단은 제2 게이트 절연막(1032) 및 층간 절연막(105)에 형성된 제1 노드 콘택홀(361)을 통해 하부 전극(1141)과 연결된다. 여기서, 제1 노드 콘택홀(361)은 상부 전극의 스토리지 개구부(420)를 관통하도록 구비된다. 연결 노드(36)의 타단은 제1 게이트 절연막(1031), 제2 게이트 절연막(1032) 및 층간 절연막(105)에 형성된 제2 노드 콘택홀(362)을 통해 보상 드레인 전극(136d) 및 초기화 드레인 전극(146d)과 함께 연결되어 있다.

<60> 스토리지 커패시터(Cst)의 상부 전극(1142)은 층간 절연막(105)에 형성된 구동 전압선 콘택홀(261)을 통해 구동 전압선(26)과 연결되어, 구동 전압선(26)으로부터 구동 전압(ELVDD)을 인가받는다.

<61> 한편, 스위칭 박막 트랜지스터(T2)는 발광시키고자 하는 화소를 선택하는 스위칭 소자로 사용된다. 스위칭 게이트 전극(124)은 스캔선(24)에 연결되어 있고, 스위칭 소스 전극(126s)은 데이터선(16)에 연결되어 있으며, 스위칭 드레인 전극(126d)은 구동 박막 트랜지스터(T1) 및 동작 제어 박막 트랜지스터(T5)와 연결되어 있다.

<62> 그리고, 발광 제어 박막 트랜지스터(T6)의 발광 제어 드레인 전극(166d)은 보호막(107)에 형성된 비아홀(181)를 통해 유기 발광 소자(OLED)의 화소 전극(200)과 직접 연결되어 있다.

<63> 이하, 도 3, 도 4 및 도 5를 참조하여 본 발명의 일실시예에 따른 유기 발광

표시 장치의 구조에 대해 적층 순서에 따라 구체적으로 설명한다. 도 3 내지 도 5에서는 설명의 편의를 위하여 기판(100)에서부터 화소 전극(200)까지의 레이어만 도시하였다. 한편, 도 3 내지 도 5에서는 구동 박막 트랜지스터(T1), 보상 박막 트랜지스터(T3) 및 초기화 박막 트랜지스터(T4)를 중심으로 박막 트랜지스터의 구조에 대해 설명한다. 이 때, 스토리지 커패시터에 대해서도 함께 설명한다. 그리고 나머지 박막 트랜지스터(T2, T5, T6)는 구동 박막 트랜지스터(T1), 보상 박막 트랜지스터(T3) 및 초기화 박막 트랜지스터(T4)의 적층 구조와 대부분 동일하므로 상세한 설명은 생략한다.

<64> 기판(100) 위에는 버퍼층(101)이 형성되어 있고, 기판(100)은 유리, 석영, 세라믹, 플라스틱 등으로 이루어진 절연성 기판으로 형성되어 있다.

<65> 버퍼층(101) 위에는 구동 반도체층(112), 보상 반도체층(132), 초기화 반도체층(142)이 형성되어 있다. 도시되지 않았으나, 구동 반도체층(112)은 구동 채널 영역 및 구동 채널 영역을 사이에 두고 서로 마주보는 구동 소스 영역 및 구동 드레인 영역을 포함한다. 보상 반도체층(132)도 보상 채널 영역(132c) 및 보상 채널 영역(132c)을 사이에 두고 서로 마주보는 보상 소스 영역(132s) 및 보상 드레인 영역(132d)을 포함하며, 초기화 박막 트랜지스터(T4)도 초기화 채널 영역(142c), 초기화 소스 영역(142s) 및 초기화 드레인 영역(142d)을 포함한다.

<66> 구동 반도체층(112), 보상 반도체층(132), 초기화 반도체층(142) 위에는 질화 규소(SiNx) 또는 산화 규소(SiO₂) 따위로 형성된 제1 게이트 절연막(1031)이 형성되어 있다.

<67> 제1 게이트 절연막(1031) 위에는 스토리지 커패시터(Cst)의 하부 전극(1141)을 포함하는 구동 게이트 전극(1141), 보상 게이트 전극(134)을 포함하는 스캔선(24), 초기화 게이트 전극(144)을 포함하는 이전 스캔선(14), 동작 제어 게이트 전극(154) 및 발광 제어 게이트 전극(164)을 포함하는 발광 제어선(34)을 포함하는 제1 게이트 도전층(1141, 124, 134, 144, 154, 164, 14, 24, 34)이 형성되어 있다.

<68> 구동 게이트 전극(1141) 또는 하부 전극(1141)은 이전 스캔선(14), 스캔선(24) 및 발광 제어선(34)과 분리되어 있으며, 플로팅 전극의 형태로 구동 반도체층(112)의 구동 채널 영역과 중첩하고 있다. 그리고, 보상 게이트 전극(134)은 스캔선(24)에 연결되어 있으며, 보상 게이트 전극(134)은 보상 반도체층(132)의 보상 채널 영역(132c)과 중첩하고 있다. 그리고 초기화 게이트 전극(144)은 이전 스캔선(14)에 연결되어 있으며, 초기화 게이트 전극(144)은 초기화 반도체층(142)의 초기화 채널 영역(142c)과 중첩하고 있다.

<69> 제1 게이트 도전층(1141, 124, 134, 144, 154, 164, 14, 24, 34) 및 제1 게이트 절연막(1031)은 제2 게이트 절연막(1032)이 덮고 있다. 제2 게이트 절연막(1032)은 질화 규소(SiNx) 또는 산화 규소(SiO₂) 따위로 형성되어 있다.

<70> 제2 게이트 절연막(1032) 위에는 스토리지 커패시터(Cst)의 상부 전극(1142)을 포함하는 제2 게이트 도전층(1142)이 형성되어 있다. 상부 전극은 플로팅 전극의 형태로 하부 전극(1141) 전체와 중첩하여 스토리지 커패시터(Cst)를 형성하고 있으며, 하부 전극(1141)과 중첩된 스토리지 개구부(420)를 구비한다. 스토리지 개구부(420)는 상부 전극(1142)을 관통하는 닫힌폐곡선(closed curve)의 형태를 가질

수 있다.

<71> 한편, 제2 게이트 절연막(1032), 상부 전극(1142) 위에는 층간 절연막(105)이 형성되어 있다. 층간 절연막(105)은 제1 게이트 절연막(1031), 제2 게이트 절연막(1032)과 마찬가지로, 질화 규소(SiN_x) 또는 산화 규소(SiO_2) 등의 세라믹(ceramic) 계열의 소재를 사용하여 만들어진다.

<72> 상부 전극(1142)의 개구부(420)를 관통하여 하부 전극(1141)을 노출하도록 제2 게이트 절연막(1032) 및 층간 절연막(105)에는 제1 노드 콘택홀(361)이 구비된다. 한편, 제1 노드 콘택홀(361)과 별개로 상부 전극(1142)을 노출하도록 층간 절연막(105) 상에는 구동 전압선 콘택홀(261)도 구비된다. 또한, 보상 반도체층(132)의 보상 드레인 영역(132d) 및 초기화 반도체층(142)의 초기화 드레인 영역(142d)을 함께 노출하도록 제1 게이트 절연막(1031), 제2 게이트 절연막(1032) 및 층간 절연막(105)에는 제2 노드 콘택홀(362)이 구비된다.

<73> 한편, 층간 절연막(105) 위에는 구동 전압선(26), 연결 노드(36), 및 데이터선(16)이 형성되어 있다. 여기서 구동 전압선(26)은 구동 전압선 콘택홀(261)을 통해 스토리지 커패시터(Cst)의 상부 전극(1142)과 연결되고, 구동 전압선(26)으로부터 구동 전압(ELVDD)을 인가받는다. 연결 노드(36)의 일단은 제1 노드 콘택홀(361)을 통해 스토리지 커패시터(Cst)의 하부 전극(1141)과 연결되고, 연결 노드(36)의 타단은 제2 노드 콘택홀(362)을 통해 보상 박막 트랜지스터(T3)의 보상 드레인 전극(136d) 및 초기화 박막 트랜지스터(T4)의 초기화 드레인 전극(146d)에 함께 연결된다. 이전에 기술한 바와 같이 보상 드레인 전극(136d) 및 초기화 드레인

전극(146d)은 각각 보상 드레인 영역(132d) 및 초기화 드레인 영역(142d)에 해당한다.

<74> 층간 절연막(160) 상에는 데이터선(16), 구동 전압선(26) 및 연결 노드(36)를 덮는 보호막(107)이 형성되어 있고, 보호막(107) 위에는 화소 전극(200)이 형성되어 있다.

<75> 도시되지 않았으나, 보호막(107)에 형성된 비아홀을 통해 화소 전극(200)은 발광 제어 드레인 전극(166d)과 연결된다. 화소 전극(200)의 가장자리 및 보호막(107) 위에는 화소 정의막이 형성되어 있고, 화소 정의막은 화소 전극(200)을 드러내는 화소 개구부를 가진다. 화소 정의막은 폴리아크릴계 수지(polyacrylates resin) 및 폴리이미드계(polyimides) 등의 유기물 또는 실리카 계열의 무기물 등으로 만들 수 있다. 화소 개구부로 노출된 화소 전극(200) 위에는 유기 발광층이 형성되고, 유기 발광층 상에는 공통 전극이 형성된다. 이와 같이, 화소 전극, 유기 발광층 및 공통 전극을 포함하는 유기 발광 소자(OLED)가 형성된다.

<76> 여기서, 화소 전극(200)은 정공 주입 전극인 애노드이며, 공통 전극은 전자 주입 전극인 캐소드가 된다. 그러나 본 발명에 따른 일 실시예는 반드시 이에 한정되는 것은 아니며, 유기 발광 표시 장치의 구동 방법에 따라 화소 전극(200)이 캐소드가 되고, 공통 전극이 애노드가 될 수도 있다. 화소 전극(200) 및 공통 전극으로부터 각각 정공과 전자가 유기 발광층 내부로 주입되고, 주입된 정공과 전자가 결합한 엑시톤(exiton)이 여기상태로부터 기저상태로 떨어질 때 발광이 이루어진다.

<77> 유기 발광층은 저분자 유기물 또는 PEDOT(Poly 3,4-ethylenedioxythiophene) 등의 고분자 유기물로 이루어진다. 또한, 유기 발광층(370)은 발광층과, 정공 주입층(hole injection layer, HIL), 정공 수송층(hole transporting layer, HTL), 전자 수송층(electron transporting layer, ETL), 및 전자 주입층(electron injection layer, EIL) 중 하나 이상을 포함하는 다중막으로 형성될 수 있다. 이들 모두를 포함할 경우, 정공 주입층이 양극인 화소 전극(200) 상에 배치되고, 그 위로 정공 수송층, 발광층, 전자 수송층, 전자 주입층이 차례로 적층된다. 공통 전극은 반사형 도전성 물질로 형성되므로 배면 발광형의 유기 발광 표시 장치가 된다. 반사형 물질로는 리튬(Li), 칼슘(Ca), 플루오르화리튬/칼슘(LiF/Ca), 플루오르화리튬/알루미늄(LiF/Al), 알루미늄(Al), 은(Ag), 마그네슘(Mg), 또는 금(Au) 등의 물질을 사용할 수 있다.

<78> 도 6은 도 2의 유기 발광 표시 장치의 스토리지 커패시터(Cst)의 중첩되는 면적을 개략적으로 나타낸 평면도이다. 도 7은 도 2의 유기 발광 표시 장치의 스토리지 커패시터(Cst)의 양 전극(1141, 1442) 사이에 오버레이(overlay) 편차가 발생한 경우를 나타낸 평면도이다.

<79> 도 6 및 도 7의 (a) 내지 (d)를 참조하면, 본 발명의 일실시예에 의한 유기 발광 표시 장치는 하부 전극(1141) 전체와 중첩하며, 단일폐곡선(closed curve)의 스토리지 개구부(420)를 구비하는 상부 전극(1142)을 포함하는 스토리지 커패시터(Cst)를 통해, 유기 발광 표시 장치의 제조 공정 중에 하부 전극(1141) 및 상부 전

극(1142)의 오버레이(overlay) 편차가 발생하더라도 항상 일정한 커패시턴스(capacitance)를 유지하는 특징이 있다.

<80> 여기서, 오버레이(overlay) 편차란, 서로 중첩되는 둘 이상의 층을 형성할 때 각 층이 상, 하, 좌, 우 방향으로 시프트(shift)되는 경우 중첩되는 영역이 최초로 설계한 중첩 영역과 다르게 되는데, 이러한 중첩 영역의 차이를 의미한다. 오버레이(overlay) 편차는 기판에 전면적으로 도전층을 형성하고, 포토 리소그래피(photo lithography) 공정으로 패터닝할 때, 기판과 마스크의 미스 얼라인(miss align) 또는 기판과 노광기 사이의 미스 얼라인 등으로 인해 발생할 수 있다. 이러한 오버레이(overlay) 편차는 패널이 대형화되고 대량의 패널을 동시에 생산하는 시스템에서 공정 장비의 오차 범위 내에서 발생할 수 있는 확률이 크다.

<81> 도 6을 참조하면, 스토리지 커패시터(Cst)의 양 전극(1141, 1442) 사이의 커패시턴스(capacitance)는 다음의 수학식 1에 의해 결정된다. 수학식 1에서 C는 커패시턴스(capacitance), ϵ 은 유전상수, A는 중첩되는 양 전극(1141, 1442)의 면적을 나타내고 d는 양 전극(1141, 1442) 사이의 거리를 나타낸다.

<82> 【수학식 1】

$$C = \epsilon \frac{A}{d}$$

<83> 즉, 본 발명의 일 실시예에 의한 스토리지 커패시터(Cst)의 커패시턴스는 제

2 게이트 절연층(1032)의 유전상수 ϵ , 하부 전극(1141) 및 상부 전극(1142)의 거리 d 및 하부 전극(1141) 및 상부 전극(1142)의 중첩된 영역의 면적 A 에 의해 결정된다. 따라서, 양 전극(1141, 1142)의 중첩된 영역의 면적 A 가 변화하는 경우 커패시턴스(capacitance)가 달라지게 된다. 다시 말하면, 하부 전극 및 상부 전극의 오버레이 편차가 발생하는 경우 커패시턴스(capacitance)는 설계값과 달라지게 된다. 이렇게 커패시턴스(capacitance)가 달라지게 되면 저계조 얼룩, 색(color) 이상과 같은 문제점이 발생하게 되고 유기 발광 표시 장치의 품질이 저하된다.

<84> 이와 같은 문제점을 해결하기 위하여, 본 발명의 일 실시예에 의한 유기 발광 표시 장치는 단일폐곡선(closed curve)의 스토리지 개구부(420)를 구비하는 상부 전극(1142)을 포함하는 스토리지 커패시터(Cst)를 통해, 양 전극(1141, 1142) 사이에 오버레이 편차가 발생하더라도, 항상 일정한 커패시턴스(capacitance)를 유지할 수 있는 특징이 있다.

<85> 상세히, 도 7(a)는 하부 전극(1141)이 설계된 위치보다 위쪽(+Y방향)으로 시프트된 경우를 나타낸 것이다. 한편, 도 7(b)는 하부 전극(1141)이 설계된 위치보다 아래쪽(-Y방향)으로 시프트된 경우를 나타낸 것이고, 도 7(c)는 하부 전극(1141)이 설계된 위치보다 오른쪽(+X방향)으로 시프트된 경우를 나타낸 것이며, 도 7(d)는 하부 전극(1141)이 설계된 위치보다 왼쪽(-X방향)으로 시프트된 경우를 나타낸 것이다.

<86> 여기서 시프트 정도는 공정 장비의 오차 범위 내에서 발생하며, 여기서 오차 범위란, 많아도 상부 전극(1142)의 개구부(420)가 하부 전극(1141)과 중첩되는 범

위 내일 수 있다. 왜냐하면, 상부 전극(1142)의 개구부(420)가 하부 전극(1141)과 중첩되지 않는 범위까지 시프트가 발생하는 경우, 연결 노드(36) 및 제1 노드 콘택홀(361)의 형성에 문제가 발생하여 화소 회로가 동작하지 않을 수 있으므로 본 발명에서는 논외로 한다. 한편, 하부 전극(1141) 전체와 상부 전극(1142)이 중첩되기 위해서 상부 전극(1142)의 넓이는 하부 전극(1141)의 넓이와 같거나 클 수 있으며, 상세히 시프트가 발생하더라도 커패시턴스(capacitance)가 항상 일정하게 유지될 수 있을 만큼 넓을 수 있다.

<87> 도 7의 각 경우를 살펴보면, 하부 전극(1141)이 설계된 위치보다 상, 하, 좌, 우로 시프트된 경우라도, 항상 상부 전극(1142)이 하부 전극(1141) 전체와 중첩되고, 상부 전극(1142)의 개구부(420)가 항상 하부 전극(1141)과 중첩되기 때문에 커패시턴스는 일정하게 유지되는 것을 확인할 수 있다.

<88> 한편, 도 7에서는 하부 전극(1141)이 시프트된 경우를 도시하였으나, 이에 한정되지 않고 상부 전극(1142)이 시프트된 경우도 커패시턴스가 일정하게 유지될 수 있다.

<89> 본 발명을 앞서 기재한 바에 따라 바람직한 실시예를 통해 설명하였지만, 본 발명은 이에 한정되지 않으며 다음에 기재하는 특허청구범위의 개념과 범위를 벗어나지 않는 한, 다양한 수정 및 변형이 가능하다는 것을 본 발명이 속하는 기술 분야에 종사하는 자들은 쉽게 이해할 것이다.

【부호의 설명】

<90> 14: 이전 스캔선 16: 데이터선

20: 초기화 전압선 24: 스캔선

26: 구동 전압선 34: 발광 제어선

36: 연결 노드 T1: 구동 박막 트랜지스터

T2: 스위칭 박막 트랜지스터 T3: 보상 박막 트랜지스터

T4: 초기화 박막 트랜지스터 T5: 동작 제어 박막 트랜지스터

T6: 발광 제어 박막 트랜지스터

【특허청구범위】

【청구항 1】

기관;

상기 기관 상에 구비된 제1절연층;

상기 제1절연층 상에 구비된 하부 전극, 및 제2절연층에 의해 상기 하부 전극과 절연되고 상기 하부 전극 전체와 중첩되도록 배치되며 개구부를 구비하는 상부 전극을 포함하는 커패시터;

상기 커패시터를 덮는 층간 절연막;

상기 개구부를 관통하도록 상기 층간 절연막 및 상기 제2절연층에 구비된 노드 콘택홀; 및

상기 층간 절연막 상에 구비되며 상기 노드 콘택홀을 통해 상기 하부 전극과 적어도 하나의 박막 트랜지스터를 전기적으로 연결하는 연결 노드;

를 포함하는 박막 트랜지스터 어레이 기관.

【청구항 2】

제1항에 있어서,

상기 개구부는

상기 하부 전극과 중첩하도록 구비되는 박막 트랜지스터 어레이 기관.

【청구항 3】

제1항에 있어서,

상기 상부 전극은

상기 연결 노드와 동일한 층에 형성된 상기 구동 전압선으로부터 구동 전압을 인가받는 박막 트랜지스터 어레이 기판.

【청구항 4】

제3항에 있어서,

상기 구동 전압선은 상기 층간 절연막에 구비된 다른 컨택홀을 통해 상기 상부 전극과 연결되는 박막 트랜지스터 어레이 기판.

【청구항 5】

제1항에 있어서,

상기 커패시터와 중첩되도록 배치되는 구동 박막 트랜지스터를 더 포함하며,

상기 구동 박막 트랜지스터의 구동 게이트 전극은 상기 하부 전극을 포함하는 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

【청구항 6】

제5항에 있어서,

상기 박막 트랜지스터는

상기 구동 박막 트랜지스터의 문턱 전압을 보상하며 상기 구동 박막 트랜지스터에 연결되어 있는 보상 박막 트랜지스터이고,

상기 보상 박막 트랜지스터는 상기 연결 노드를 통해 상기 하부 전극과 전기적으로 연결되는 박막 트랜지스터 어레이 기판.

【청구항 7】

제6항에 있어서,

상기 보상 박막 트랜지스터의 보상 게이트 전극은 상기 하부 전극과 동일층에 형성된 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

【청구항 8】

제5항에 있어서,

상기 박막 트랜지스터는

이전 스캔 신호에 따라 턴온되어 초기화 전압을 상기 구동 박막 트랜지스터의 상기 구동 게이트 전극에 전달하는 초기화 박막 트랜지스터이고,

상기 초기화 박막 트랜지스터는 상기 연결 노드를 통해 상기 하부 전극과 전기적으로 연결되는 박막 트랜지스터 어레이 기판.

【청구항 9】

제8항에 있어서,

상기 초기화 박막 트랜지스터의 초기화 게이트 전극은 상기 하부 전극과 동일층에 형성된 것을 특징으로 하는 박막 트랜지스터 어레이 기판.

【청구항 10】

기판;

상기 기판 상에 구비된 제1절연층;

상기 제1절연층 상에 구비되며 스캔 신호를 전달하는 스캔선;

제출 일자 : 2012-09-19

제2절연층 및 층간 절연막에 의해 절연되고 상기 스캔선과 교차하며 데이터 신호 및 구동 전압을 전달하는 데이터선 및 구동 전압선;

상기 스캔선 및 상기 데이터선과 연결되며 적어도 하나의 박막 트랜지스터 및 커패시터를 포함하는 화소 회로; 및

상기 화소 회로를 통해 상기 구동 전압을 전달받아 발광하는 유기 발광 소자;를 포함하며,

상기 커패시터는 상기 제1절연층 상에 구비된 하부 전극, 및 상기 제2절연층에 의해 상기 하부 전극과 절연되고 상기 하부 전극 전체와 중첩되도록 배치되며 개구부를 구비하는 상부 전극을 포함하고,

상기 개구부를 관통하도록 상기 층간 절연막 및 상기 제2절연층에 구비된 노드 콘택홀; 및

상기 층간 절연막 상에 구비되며 상기 노드 콘택홀을 통해 상기 하부 전극과 적어도 하나의 상기 박막 트랜지스터를 전기적으로 연결하는 연결 노드;

를 더 포함하는 유기 발광 표시 장치.

【청구항 11】

제10항에 있어서,

상기 개구부는

상기 하부 전극과 중첩하도록 구비되는 유기 발광 표시 장치.

【청구항 12】

제10항에 있어서,
상기 상부 전극은
상기 연결 노드와 동일한 층에 형성된 상기 구동 전압선으로부터 구동 전압
을 인가받는 유기 발광 표시 장치.

【청구항 13】

제12항에 있어서,
상기 구동 전압선은 상기 층간 절연막에 구비된 다른 콘택홀을 통해 상기 상
부 전극과 연결되는 유기 발광 표시 장치.

【청구항 14】

제10항에 있어서,
상기 커패시터와 중첩되도록 배치되는 구동 박막 트랜지스터를 더 포함하며,
상기 구동 박막 트랜지스터의 구동 게이트 전극은 상기 하부 전극을 포함하
는 것을 특징으로 하는 유기 발광 표시 장치.

【청구항 15】

제14항에 있어서,
상기 박막 트랜지스터는
상기 구동 박막 트랜지스터의 문턱 전압을 보상하며 상기 구동 박막 트랜지
스터에 연결되어 있는 보상 박막 트랜지스터이고,

제출 일자 : 2012-09-19

상기 보상 박막 트랜지스터는 상기 연결 노드를 통해 상기 하부 전극과 전기적으로 연결되는 유기 발광 표시 장치.

【청구항 16】

제15항에 있어서,

상기 보상 박막 트랜지스터의 보상 게이트 전극은 상기 하부 전극과 동일층에 형성된 것을 특징으로 하는 유기 발광 표시 장치.

【청구항 17】

제14항에 있어서,

상기 박막 트랜지스터는

이전 스캔 신호에 따라 턴온되어 초기화 전압을 상기 구동 박막 트랜지스터의 상기 구동 게이트 전극에 전달하는 초기화 박막 트랜지스터이고,

상기 초기화 박막 트랜지스터는 상기 연결 노드를 통해 상기 하부 전극과 전기적으로 연결되는 유기 발광 표시 장치.

【청구항 18】

제17항에 있어서,

상기 초기화 박막 트랜지스터의 초기화 게이트 전극은 상기 하부 전극과 동일층에 형성된 것을 특징으로 하는 유기 발광 표시 장치.

【청구항 19】

제14항에 있어서,

제출 일자 : 2012-09-19

상기 스캔 신호에 의해 턴온되어 상기 데이터 신호를 상기 구동 박막 트랜지스터로 전달하는 스위칭 박막 트랜지스터;를 더 포함하는 것을 특징으로 하는 유기 발광 표시 장치.

【요약서】

【요약】

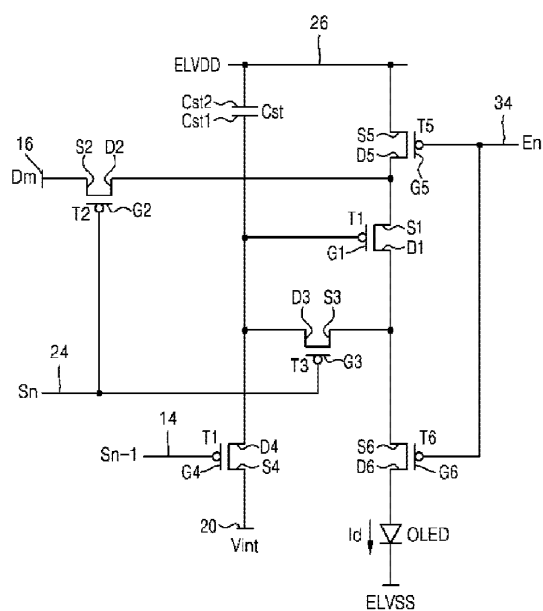
본 발명은 기판; 상기 기판 상에 구비된 제1절연층; 상기 제1절연층 상에 구비된 하부 전극, 및 제2절연층에 의해 상기 하부 전극과 절연되고 상기 하부 전극 전체와 중첩되도록 배치되며 개구부를 구비하는 상부 전극을 포함하는 커패시터; 상기 커패시터를 덮는 층간 절연막; 상기 개구부를 관통하도록 상기 층간 절연막 및 상기 제2절연층에 구비된 노드 콘택홀; 및 상기 층간 절연막 상에 구비되며 상기 노드 콘택홀을 통해 상기 하부 전극과 적어도 하나의 박막 트랜지스터를 전기적으로 연결하는 연결 노드; 를 포함하는 박막 트랜지스터 어레이 기판을 개시하여 커패시턴스를 일정하게 유지한다.

【대표도】

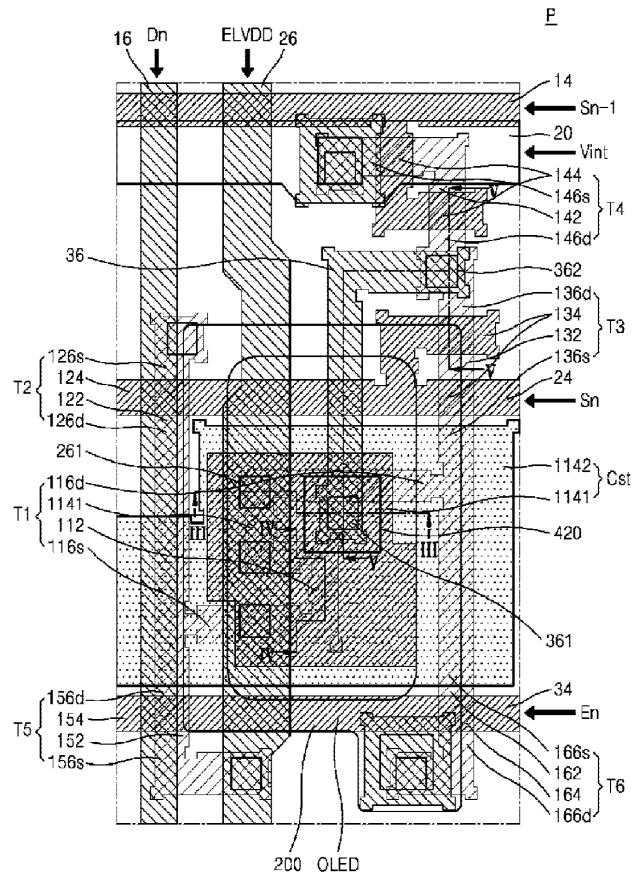
도 6

【도면】

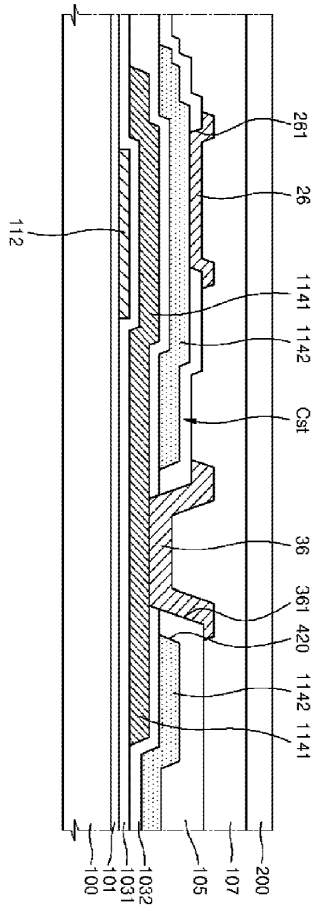
【도 1】



【도 2】

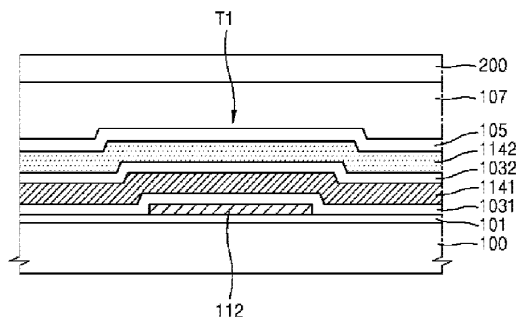


【도 3】

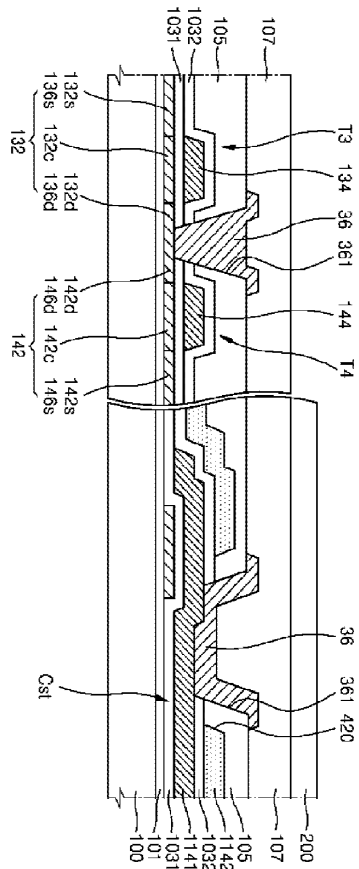


제출 일자 : 2012-09-19

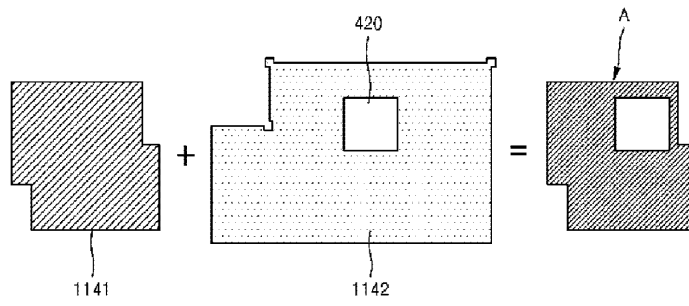
【도 4】



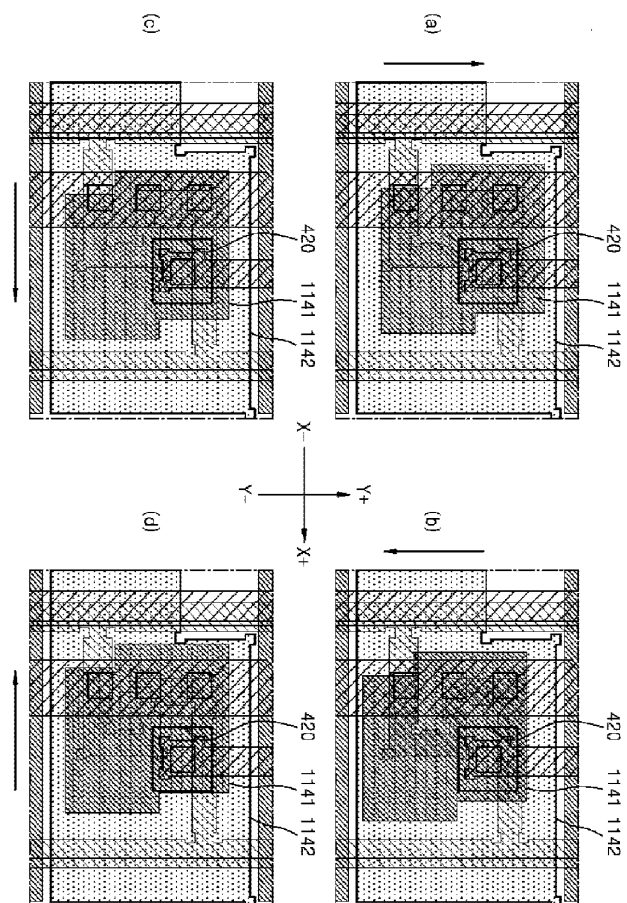
【도 5】



【도 6】



【도 7】





UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
15/707,884	09/18/2017	Won-Se Lee	145709/411598

CONFIRMATION NO. 6428

23363

Lewis Roca Rothgerber Christie LLP
PO BOX 29001
Glendale, CA 91209-9001

PUBLICATION NOTICE



OC000000096467081

Title: THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC LIGHT-EMITTING DIODE DISPLAY

Publication No. US-2018-0006103-A1

Publication Date: 01/04/2018

NOTICE OF PUBLICATION OF APPLICATION

The above-identified application will be electronically published as a patent application publication pursuant to 37 CFR 1.211, et seq. The patent application publication number and publication date are set forth above.

The publication may be accessed through the USPTO's publically available Searchable Databases via the Internet at www.uspto.gov. The direct link to access the publication is currently <http://www.uspto.gov/patft/>.

The publication process established by the Office does not provide for mailing a copy of the publication to applicant. A copy of the publication may be obtained from the Office upon payment of the appropriate fee set forth in 37 CFR 1.19(a)(1). Orders for copies of patent application publications are handled by the USPTO's Public Records Division. The Public Records Division can be reached by telephone at (571) 272-3150 or (800) 972-6382, by facsimile at (571) 273-3250, by mail addressed to the United States Patent and Trademark Office, Public Records Division, Alexandria, VA 22313-1450 or via the Internet.

In addition, information on the status of the application, including the mailing date of Office actions and the dates of receipt of correspondence filed in the Office, may also be accessed via the Internet through the Patent Electronic Business Center at www.uspto.gov using the public side of the Patent Application Information and Retrieval (PAIR) system. The direct link to access this status information is currently <https://portal.uspto.gov/pair/PublicPair>. Prior to publication, such status information is confidential and may only be obtained by applicant using the private side of PAIR.

Further assistance in electronically accessing the publication, or about PAIR, is available by calling the Patent Electronic Business Center at 1-866-217-9197.

Office of Data Management, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING or 371(c) DATE	GRP ART UNIT	FIL FEE REC'D	ATTY. DOCKET NO	TOT CLAIMS	IND CLAIMS
15/707,884	09/18/2017	2811	3200	145709/411598	40	2

CONFIRMATION NO. 6428

FILING RECEIPT



000000094370550

23363

Lewis Roca Rothgerber Christie LLP
PO BOX 29001
Glendale, CA 91209-9001

Date Mailed: 09/28/2017

Receipt is acknowledged of this non-provisional patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. **If an error is noted on this Filing Receipt, please submit a written request for a Filing Receipt Correction. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections**

Inventor(s)

Won-Se Lee, Yongin-si, KOREA, REPUBLIC OF;
Won-Kyu Kwak, Yongin-si, KOREA, REPUBLIC OF;
Se-Ho Kim, Yongin-si, KOREA, REPUBLIC OF;

Applicant(s)

Samsung Display Co., Ltd., Yongin-si, KOREA, REPUBLIC OF;

Power of Attorney: The patent practitioners associated with Customer Number 23363

Domestic Priority data as claimed by applicant

This application is a CON of 15/064,526 03/08/2016 PAT 9768241
which is a CON of 13/801,937 03/13/2013 PAT 9299730

Foreign Applications (You may be eligible to benefit from the **Patent Prosecution Highway** program at the USPTO. Please see <http://www.uspto.gov> for more information.)
REPUBLIC OF KOREA 10-2012-0104215 09/19/2012

Permission to Access Application via Priority Document Exchange: Yes

Permission to Access Search Results: Yes

Applicant may provide or rescind an authorization for access using Form PTO/SB/39 or Form PTO/SB/69 as appropriate.

Request to Retrieve - This application either claims priority to one or more applications filed in an intellectual property Office that participates in the Priority Document Exchange (PDX) program or contains a proper **Request to Retrieve Electronic Priority Application(s)** (PTO/SB/38 or its equivalent). Consequently, the USPTO will attempt to electronically retrieve these priority documents.

If Required, Foreign Filing License Granted: 09/27/2017

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is **US 15/707,884**

Projected Publication Date: 01/04/2018

Non-Publication Request: No

Early Publication Request: No

Title

THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC LIGHT-EMITTING DIODE
DISPLAY

Preliminary Class

257

Statement under 37 CFR 1.55 or 1.78 for AIA (First Inventor to File) Transition Applications: No

PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at <http://www.uspto.gov/web/offices/pac/doc/general/index.html>.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, <http://www.stopfakes.gov>. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific

page 2 of 4

countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4258).

LICENSE FOR FOREIGN FILING UNDER
Title 35, United States Code, Section 184
Title 37, Code of Federal Regulations, 5.11 & 5.15

GRANTED

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where the conditions for issuance of a license have been met, regardless of whether or not a license may be required as set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign Assets Control, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

SelectUSA

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The U.S. offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to promote and facilitate business investment. SelectUSA provides information assistance to the international investor community; serves as an ombudsman for existing and potential investors; advocates on behalf of U.S. cities, states, and regions competing for global investment; and counsels U.S. economic development organizations on investment attraction best practices. To learn more about why the United States is the best country in the world to develop

technology, manufacture products, deliver services, and grow your business, visit <http://www.SelectUSA.gov> or call +1-202-482-6800.

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875						Application or Docket Number 15/707,884				
APPLICATION AS FILED - PART I										
(Column 1)		(Column 2)		SMALL ENTITY		OTHER THAN SMALL ENTITY				
FOR	NUMBER FILED	NUMBER EXTRA	RATE(\$)	FEE(\$)		RATE(\$)	FEE(\$)			
BASIC FEE <small>(37 CFR 1.16(a), (b), or (c))</small>	N/A	N/A	N/A			N/A	280			
SEARCH FEE <small>(37 CFR 1.16(k), (l), or (m))</small>	N/A	N/A	N/A			N/A	600			
EXAMINATION FEE <small>(37 CFR 1.16(o), (p), or (q))</small>	N/A	N/A	N/A			N/A	720			
TOTAL CLAIMS <small>(37 CFR 1.16(j))</small>	40	minus 20 = *	20			x 80 =	1600			
INDEPENDENT CLAIMS <small>(37 CFR 1.16(h))</small>	2	minus 3 = *				x 420 =	0.00			
APPLICATION SIZE FEE <small>(37 CFR 1.16(s))</small>	If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$310 (\$155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						0.00			
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							0.00			
* If the difference in column 1 is less than zero, enter "0" in column 2.				TOTAL		TOTAL	3200			
APPLICATION AS AMENDED - PART II										
(Column 1)		(Column 2)		(Column 3)		SMALL ENTITY		OTHER THAN SMALL ENTITY		
AMENDMENT A		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE(\$)	ADDITIONAL FEE(\$)		RATE(\$)	ADDITIONAL FEE(\$)
	Total <small>(37 CFR 1.16(i))</small>	*	Minus	**	=	x	=		x	=
	Independent <small>(37 CFR 1.16(h))</small>	*	Minus	***	=	x	=		x	=
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))									
TOTAL ADD'L FEE								TOTAL ADD'L FEE		
AMENDMENT B		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR	PRESENT EXTRA	RATE(\$)	ADDITIONAL FEE(\$)		RATE(\$)	ADDITIONAL FEE(\$)
	Total <small>(37 CFR 1.16(i))</small>	*	Minus	**	=	x	=		x	=
	Independent <small>(37 CFR 1.16(h))</small>	*	Minus	***	=	x	=		x	=
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))									
TOTAL ADD'L FEE								TOTAL ADD'L FEE		
<div style="font-size: x-small;"> * If the entry in column 1 is less than the entry in column 2, write "0" in column 3. ** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20". *** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3". The "Highest Number Previously Paid For" (Total or Independent) is the highest found in the appropriate box in column 1. </div>										

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

I hereby certify that this correspondence is being EFS-Web transmitted to the United States Patent and Trademark Office on September 18, 2017 at or before 11:59 p.m. Eastern Standard Time under the Rules of 37 CFR § 1.10.


Lisa Fluhr

Inventor : Won-Se Lee et al.
Application No. : To Be Determined
Filed : September 18, 2017
Title : THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC LIGHT-
EMITTING DIODE DISPLAY

Grp./Div. : To Be Determined
Examiner : To Be Determined

Docket No. : 145709

TRANSMITTAL FOR POWER OF ATTORNEY TO ONE OR MORE REGISTERED PRACTITIONERS
IN ACCORDANCE WITH 37 CFR 1.5

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Post Office Box 29001
Glendale, CA 91209-9001
September 18, 2017

Commissioner:

Attached herewith is a General Power of Attorney for the above-identified patent application.

Respectfully submitted,
LEWIS ROCA ROTHGERBER CHRISTIE LLP

By 
Jun-Young E. Jeon
Reg. No. 43,693
626/795-9900

JEJ/ldf

LFLUHR 102358038.1-*09/18/2017 11:55 AM

POWER OF ATTORNEY BY APPLICANT

I hereby revoke all previous powers of attorney given in the application identified in either the attached transmittal letter or the boxes below.

Application Number	Filing Date

(Note: The boxes above may be left blank if information is provided on form PTO/AIA/82A.)



I hereby appoint the Patent Practitioner(s) associated with the following Customer Number as my/our attorney(s) or agent(s), and to transact all business in the United States Patent and Trademark Office connected therewith for the application referenced in the attached transmittal letter (form PTO/AIA/82A) or identified above:

23363

OR



I hereby appoint Practitioner(s) named in the attached list (form PTO/AIA/82C) as my/our attorney(s) or agent(s), and to transact all business in the United States Patent and Trademark Office connected therewith for the patent application referenced in the attached transmittal letter (form PTO/AIA/82A) or identified above. (Note: Complete form PTO/AIA/82C.)

Please recognize or change the correspondence address for the application identified in the attached transmittal letter or the boxes above to:



The address associated with the above-mentioned Customer Number

OR



The address associated with Customer Number:

Firm or Individual Name					
Address					
City		State		Zip	
Country					
Telephone			Email		

I am the Applicant (if the Applicant is a juristic entity, list the Applicant name in the box):

SAMSUNG DISPLAY CO., LTD.



Inventor or Joint Inventor (title not required below)



Legal Representative of a Deceased or Legally Incapacitated Inventor (title not required below)



Assignee or Person to Whom the Inventor is Under an Obligation to Assign (provide signer's title if applicant is a juristic entity)



Person Who Otherwise Shows Sufficient Proprietary Interest (e.g., a petition under 37 CFR 1.46(b)(2) was granted in the application or is concurrently being filed with this document) (provide signer's title if applicant is a juristic entity)

SIGNATURE of Applicant for Patent

The undersigned (whose title is supplied below) is authorized to act on behalf of the applicant (e.g., where the applicant is a juristic entity).

Signature	<i>Dong-Ho Lee</i>	Date (Optional)	
Name	Dong-Ho Lee		
Title	Group Leader, IP Prosecution Group		

NOTE: Signature - This form must be signed by the applicant in accordance with 37 CFR 1.33. See 37 CFR 1.4 for signature requirements and certifications. If more than one applicant, use multiple forms.

☐ Total of _____ forms are submitted.

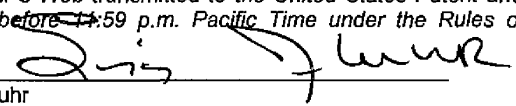
This collection of information is required by 37 CFR 1.131, 1.32, and 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

I hereby certify that this correspondence is being EFS-Web transmitted to the United States Patent and Trademark Office on September 18, 2017 at or before 4:59 p.m. Pacific Time under the Rules of 37 CFR § 1.8.


Lisa Fluhr

Inventor(s) : Won-Se Lee et al.
Application No. : To Be Determined
Filed : September 18, 2017
Title : THIN FILM TRANSISTOR ARRAY SUBSTRATE
AND ORGANIC LIGHT-EMITTING DIODE DISPLAY
Grp./Div. : To Be Determined
Examiner : To Be Determined
Docket No. : 145709

INFORMATION DISCLOSURE STATEMENT
FOR A CONTINUING NON-CPA APPLICATION

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Post Office Box 29001
Glendale, CA 91209-9001
September 18, 2017

Commissioner:

In compliance with the duty of disclosure under 37 CFR §§ 1.56, 1.97 and 1.98, enclosed is an information disclosure statement. The references listed thereon are not enclosed because they were of record in a parent application, Application No. 15/064,526, filed March 8, 2016.

It is respectfully requested that these references be considered in the examination of this application, and identified in the list of references cited on the patent issuing on this application. Applicant also requests that an initialed copy of the information disclosure statement be entered in the application file and returned to applicant with the next communication from the Office in accordance with MPEP § 609.

Respectfully submitted,

LEWIS ROCA ROTHGERBER CHRISTIE LLP

By 

Jun-Young E. Jeon
Reg. No. 43,693
626/795-9900

JEJ/ldf
Information Disclosure Statement
LFLUHR 102357717.1*-09/18/2017 11:42 AM

FORM PTO/SB/08A/B (10-01) Substitute for PTO-1449A/B INFORMATION DISCLOSURE STATEMENT BY APPLICANT (use as many sheets as necessary)	Attorney Docket Number	145709
	Application Number	To Be Determined
	Filing Date	September 18, 2017
	Inventor(s)	Won-Se Lee et al.
	Group Art Unit	To Be Determined
	Examiner Name	To Be Determined

U.S. PATENT DOCUMENTS				
EXAMINER INITIALS	Cite No. ¹	DOCUMENT NUMBER Number - Kind Code ² (If Known)	PUBLICATION DATE MM-DD-YYYY	NAME OF PATENTEE
		6,664,569 B2	12-16-2003	Moon
		7,858,974 B2	12-28-2010	Yoon et al.
		9,299,730 B2	03-29-2016	Lee et al.
		2008/0079005 A1	04-03-2008	Tseng
		2012/0146004 A1	06-14-2012	Lee et al.
		2013/0063330 A1	03-14-2013	Eom

FOREIGN PATENT DOCUMENTS					
EXAMINER INITIALS	Cite No. ¹	Foreign Patent Document Country Code ³ - Number ⁴ - Kind Code ⁵ (If Known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	T ⁶ (✓)
		KR 10-2008-0001106 A	01-03-2008	Kim et al.	Korean Patent Abstracts
		KR 10-2008-0050704 A	06-10-2008	Kim et al.	Korean Patent Abstracts
		KR 10-2008-0085411	09-24-2008	Yoon et al.	Corresponds to US 7,858,974 B2 listed above
		KR 2001-0111328	12-17-2001	Moon	Corresponds to US 6,664,569 B2 listed above

OTHER DOCUMENTS		
EXAMINER INITIALS	Cite No. ¹	Include name of the author (in CAPITAL LETTERS), title of the article, title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.

LFLUHR 102358118.1-*09/18/2017 12:05 PM

EXAMINER SIGNATURE		DATE CONSIDERED	
EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609; Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. ¹ Applicant's unique citation designation number (optional). ² See Kinds Codes of USPTO Patent Documents at www.pto.gov or MPEP 901.4. ³ Enter Office that issued the document, by the two-letter code (WIPO standard ST.3). ⁴ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁶ Applicant is to place a check mark here if English Language Translation is attached.			

Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

JEJ/ldf

Sheet 1 of 1

Electronic Patent Application Fee Transmittal				
Application Number:				
Filing Date:				
Title of Invention:		THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC LIGHT-EMITTING DIODE DISPLAY		
First Named Inventor/Applicant Name:		Won-Se Lee		
Filer:		Jun-Young E. Jeon/Lisa Fluhr		
Attorney Docket Number:		145709/411598		
Filed as Large Entity				
Filing Fees for Utility under 35 USC 111(a)				
Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
UTILITY APPLICATION FILING	1011	1	280	280
UTILITY SEARCH FEE	1111	1	600	600
UTILITY EXAMINATION FEE	1311	1	720	720
Pages:				
Claims:				
CLAIMS IN EXCESS OF 20	1202	20	80	1600
Miscellaneous-Filing:				
Petition:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Miscellaneous:				
Total in USD (\$)				3200

Electronic Acknowledgement Receipt	
EFS ID:	30398554
Application Number:	15707884
International Application Number:	
Confirmation Number:	6428
Title of Invention:	THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC LIGHT-EMITTING DIODE DISPLAY
First Named Inventor/Applicant Name:	Won-Se Lee
Customer Number:	23363
Filer:	Jun-Young E. Jeon/Lisa Fluhr
Filer Authorized By:	Jun-Young E. Jeon
Attorney Docket Number:	145709/411598
Receipt Date:	18-SEP-2017
Filing Date:	
Time Stamp:	18:57:35
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	CARD
Payment was successfully received in RAM	\$ 3200
RAM confirmation Number	091917INTEFSW19010500
Deposit Account	
Authorized User	
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:	

File Listing:					
Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Transmittal of New Application	145709_2017-09-18_APPTRAN S.PDF	68424	no	3
			1f60235030fb18af71881391bbff8f991bc0226		
Warnings:					
Information:					
2	Application Data Sheet	145709_2017-09-18_ADS.pdf	1828907	no	9
			a09c6166c46213e89e3847b04f9c074482e748fc		
Warnings:					
Information:					
3		145709_2017-09-18_CON_APP. pdf	280764	yes	29
			b1d61ba695e369bab29c8728256bd46dd1ec93ec		
	Multipart Description/PDF files in .zip description				
	Document Description		Start	End	
	Specification		1	22	
	Claims		23	28	
	Abstract		29	29	
Warnings:					
Information:					
4	Drawings-only black and white line drawings	145709_2017-09-18_DWGS.pdf	4160725	no	7
			27e5dab581487105de91e2b97db504c447a8aaeb		
Warnings:					
Information:					
5	Oath or Declaration filed	145709_2017-09-18_PARENT_ DEC-ASSIGN.pdf	92974	no	3
			8c19351d6490e4dc47164e04bb4c30b2400ca64e		

Warnings:					
Information:					
6	Power of Attorney	145709_2017-09-18_POA.PDF	47084	no	2
			369c9e1676c6d26acb88329f7a1c94a1480a138f		
Warnings:					
Information:					
7		145709_2017-09-18_IDS.PDF	35684	yes	2
			1caec9695dd5f8d65ed9d6591ab401930672a400		
	Multipart Description/PDF files in .zip description				
	Document Description		Start	End	
	Transmittal Letter		1	1	
	Information Disclosure Statement (IDS) Form (SB08)		2	2	
Warnings:					
Information:					
8	Fee Worksheet (SB06)	fee-info.pdf	36773	no	2
			c5685be3c4b89d5931b442c63c73ba094cf6432a		
Warnings:					
Information:					
Total Files Size (in bytes):			6551335		
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>					

UTILITY PATENT APPLICATION TRANSMITTAL
(Only for new nonprovisional applications under 37 CFR 1.53(b))

I hereby certify that this correspondence is being EFS-Web transmitted to the United States Patent and Trademark Office on September 18, 2017 at or before 11:59 p.m. Eastern Standard Time under the Rules of 37 CFR § 1.10.


Lisa Fluhr

Docket No. : 145709
Inventor(s) : Won-Se Lee et al.
Title : THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC LIGHT-EMITTING DIODE DISPLAY

ADDRESS TO: Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

September 18, 2017

1. ☒ **FEE TRANSMITTAL FORM**

2. **IF A CONTINUING APPLICATION**

☒ This application is a continuation of patent application No. 15/064526.

Prior application information: Examiner Mark V. Prenty; Group Art Unit: 2814.

☐ This application claims the benefit of Provisional Application No. _____ pursuant to 35 U.S.C. §119(e) and 37 CFR §1.78(a)(4).

3. **APPLICATION COMPRISED OF**

Specification

29 Specification, claims and Abstract (total pages)

Drawings

7 Sheets of formal drawing(s) (FIGS. 1 to 7D)

Inventor's Declaration(s)

☐ Executed Declaration (new or copy from a prior application (37 CFR 1.63(d)) (for continuation and divisional)

☒ Executed Declaration/Assignment (new or copy from a prior application (37 CFR 1.63(d)) (for continuation and divisional)

Power of Attorney by Applicant(s)

☒ Executed (new or copy from a prior application (37 CFR 1.63(d)) (for continuation and divisional) with transmittal

Application Data Sheet

☒ Newly executed ADS

☐ Unexecuted ADS

4. ☐ **Microfiche Computer Program (Appendix)**

UTILITY PATENT APPLICATION TRANSMITTAL
(Only for new nonprovisional applications under 37 CFR 1.53(b))

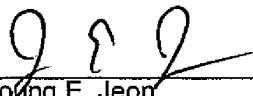
Docket No.: 145709

5. ☐ **Nucleotide and/or Amino Acid Sequence Submission** (if applicable, all necessary)
☐ Computer Readable Copy
☐ Paper Copy (identical to computer copy)
☐ Statement verifying identity of above copies
6. **APPLICANT(S) STATUS UNDER 37 CFR § 1.27 or 1.29**
☐ Applicant(s) and any others associated with it/them under § 1.27(a) are a SMALL ENTITY
☐ Applicant(s) and any others associated with it/them under § 1.29(a) are a MICRO ENTITY
☐ Certification of Micro Entity Status (Gross Income Basis)
7. **ALSO ENCLOSED ARE**
☐ Request and Certificate under 35 U.S.C. §122(b)(2)(B)(i) (**Request for Non-Publication**)
☐ Preliminary Amendment
☐ Includes "Cross-Reference to Related Applications"
☐ A Petition for Extension of Time for the parent application and the required fee are being filed concurrently herewith.
☐ This application is owned by _____ pursuant to an Assignment recorded at Reel _____, Frame _____
☒ Information Disclosure Statement (IDS)
☐ Copies of IDS Citations
☐ Certified copy of Priority Document(s) (paper filing only, if foreign priority is claimed)
☐ English Translation Document (if applicable)
☐ Return Receipt Postcard (MPEP 503) (should be specifically itemized).
☐ Other: _____
8. **DIRECT ALL CORRESPONDENCE TO: CUSTOMER NUMBER 23363**

Respectfully submitted,

LEWIS ROCA ROTHGERBER CHRISTIE LLP

By


Jun-Young E. Jeon
Reg. No. 43,693
626/795-9900

LEWIS ROCA ROTHGERBER CHRISTIE LLP, P.O. BOX 29001, GLENDALE, CA 91209-9001

**FEE TRANSMITTAL
UTILITY PATENT APPLICATION**

DATE: September 18, 2017

Docket No. : 145709 Duplicate ☐
 Inventor(s) : Won-Se Lee et al.
 Title : THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC LIGHT-EMITTING DIODE DISPLAY

FEE CALCULATION

CLAIMS AS FILED							
	Number Filed	Number Extra	Large Entity Rate	Small Entity Rate	Micro Entity Rate	Fee	
Total Claims	40 – 20	= 20	20 x \$80.00	\$40.00	\$20.00	\$1,600.00	
Independent Claims	2 – 3	= 0	0 x \$420.00	\$210.00	\$105.00	\$0.00	
Multiple-Dependent Claims Fee			\$780.00	\$390.00	\$195.00	\$0.00	
BASIC FILING, SEARCH, AND EXAMINATION FEES							
			Large Entity Rate	Small Entity Rate	Micro Entity Rate	Fee	
Basic Filing Fee			\$280.00	\$70.00	\$70.00	\$280.00	
Search Fee			\$600.00	\$300.00	\$150.00	\$600.00	
Examination Fee			\$720.00	\$360.00	\$180.00	\$720.00	
APPLICATION SIZE FEE							
EFS Paper Size Equivalent	Total Sheets	Extra Sheets	Number of each additional 50 or fraction thereof (round up to whole number)	Large Entity Rate	Small Entity Rate	Micro Entity Rate	Fee
36 *.75	= 27 – 100	= 0/50	= 0	0 x \$400.00	\$200.00	\$100.00	\$0.00
OTHER							
				Large Entity Rate	Small Entity Rate	Micro Entity Rate	Fee
Late Submission of Oath/Declaration Fee				\$140.00	\$70.00	\$35.00	\$0.00
Non-Electronic Filing Fee				\$400.00	\$200.00	\$200.00	\$0.00
TOTAL AMOUNT OF FEES							\$3,200.00
List Independent Claims: 1, 22							

METHOD OF PAYMENT

- ☒ Submitted herewith is the fee of \$3,200.00.
- ☒ The Commissioner is hereby authorized to charge any fees under 37 CFR 1.16 and 1.17 which may be required during the **entire pendency** of the application to Deposit Account No. 03-1728. Please show our docket number with any charge or credit to our Deposit Account.

Respectfully submitted,

LEWIS ROCA ROTHGERBER CHRISTIE LLP

By Jun-Young E. Jeon
 Jun-Young E. Jeon
 Reg. No. 43,693
 626/795-9900

JEJ/df

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	145709/411598
		Application Number	
Title of Invention	THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC LIGHT-EMITTING DIODE DISPLAY		
<p>The application data sheet is part of the provisional or nonprovisional application for which it is being submitted. The following form contains the bibliographic data arranged in a format specified by the United States Patent and Trademark Office as outlined in 37 CFR 1.76.</p> <p>This document may be completed electronically and submitted to the Office in electronic format using the Electronic Filing System (EFS) or the document may be printed and included in a paper filed application.</p>			

Secrecy Order 37 CFR 5.2:

☐ Portions or all of the application associated with this Application Data Sheet may fall under a Secrecy Order pursuant to 37 CFR 5.2 (Paper filers only. Applications that fall under Secrecy Order may not be filed electronically.)

Inventor Information:

Inventor	1				Remove
Legal Name					
Prefix	Given Name	Middle Name	Family Name	Suffix	
	Won-Se		Lee		
Residence Information (Select One) US Residency • Non US Residency Active US Military Service					
City	Yongin-si		Country of Residenceⁱ	KR	
Mailing Address of Inventor:					
Address 1	1, Samsung-ro, Giheung-gu				
Address 2					
City	Yongin-si, Gyeonggi-do		State/Province		
Postal Code	17113		Countryⁱ	KR	
Inventor	2				Remove
Legal Name					
Prefix	Given Name	Middle Name	Family Name	Suffix	
	Won-Kyu		Kwak		
Residence Information (Select One) US Residency • Non US Residency Active US Military Service					
City	Yongin-si		Country of Residenceⁱ	KR	
Mailing Address of Inventor:					
Address 1	1, Samsung-ro, Giheung-gu				
Address 2					
City	Yongin-si, Gyeonggi-do		State/Province		
Postal Code	17113		Countryⁱ	KR	
Inventor	3				Remove
Legal Name					

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	145709/411598
		Application Number	
Title of Invention	THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC LIGHT-EMITTING DIODE DISPLAY		

Prefix	Given Name	Middle Name	Family Name	Suffix
	Se-Ho		Kim	
Residence Information (Select One) US Residency ☒ Non US Residency Active US Military Service				
City	Yongin-si		Country of Residence ⁱ	KR
Mailing Address of Inventor:				
Address 1	1, Samsung-ro, Giheung-gu			
Address 2				
City	Yongin-si, Gyeonggi-do		State/Province	
Postal Code	17113	Country ⁱ	KR	
All Inventors Must Be Listed - Additional Inventor Information blocks may be generated within this form by selecting the Add button. Add				

Correspondence Information:

Enter either Customer Number or complete the Correspondence Information section below. For further information see 37 CFR 1.33(a).	
☐ An Address is being provided for the correspondence Information of this application.	
Customer Number	23363
Email Address	pto@lrc.com Add Email Remove Email

Application Information:

Title of the Invention	THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC LIGHT-EMITTING DIODE DISPLAY		
Attorney Docket Number	145709/411598	Small Entity Status Claimed	☐
Application Type	Nonprovisional		
Subject Matter	Utility		
Total Number of Drawing Sheets (if any)	7	Suggested Figure for Publication (if any)	

Filing By Reference:

Only complete this section when filing an application by reference under 35 U.S.C. 111(c) and 37 CFR 1.57(a). Do not complete this section if application papers including a specification and any drawings are being filed. Any domestic benefit or foreign priority information must be provided in the appropriate section(s) below (i.e., "Domestic Benefit/National Stage Information" and "Foreign Priority Information").

For the purposes of a filing date under 37 CFR 1.53(b), the description and any drawings of the present application are replaced by this reference to the previously filed application, subject to conditions and requirements of 37 CFR 1.57(a).

Application number of the previously filed application	Filing date (YYYY-MM-DD)	Intellectual Property Authority or Country ⁱ

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	145709/411598
		Application Number	
Title of Invention	THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC LIGHT-EMITTING DIODE DISPLAY		

Publication Information:

☐	Request Early Publication (Fee required at time of Request 37 CFR 1.219)
☐	Request Not to Publish. I hereby request that the attached application not be published under 35 U.S.C. 122(b) and certify that the invention disclosed in the attached application has not and will not be the subject of an application filed in another country, or under a multilateral international agreement, that requires publication at eighteen months after filing.

Representative Information:

Representative information should be provided for all practitioners having a power of attorney in the application. Providing this information in the Application Data Sheet does not constitute a power of attorney in the application (see 37 CFR 1.32). Either enter Customer Number or complete the Representative Name section below. If both sections are completed the customer Number will be used for the Representative Information during processing.			
Please Select One:			
☒	Customer Number	☐	Limited Recognition (37 CFR 11.9)
Customer Number	23363		

Domestic Benefit/National Stage Information:

This section allows for the applicant to either claim benefit under 35 U.S.C. 119(e), 120, 121, 365(c), or 386(c) or indicate National Stage entry from a PCT application. Providing benefit claim information in the Application Data Sheet constitutes the specific reference required by 35 U.S.C. 119(e) or 120, and 37 CFR 1.78.

When referring to the current application, please leave the "Application Number" field blank.

Prior Application Status	Pending	Remove			
Application Number	Continuity Type	Prior Application Number	Filing or 371(c) Date (YYYY-MM-DD)		
	Continuation of	15/064526	2016-03-08		
Prior Application Status	Patented	Remove			
Application Number	Continuity Type	Prior Application Number	Filing Date (YYYY-MM-DD)	Patent Number	Issue Date (YYYY-MM-DD)
15/064526	Continuation of	13/801937	2013-03-13	9299730	2016-03-29
Additional Domestic Benefit/National Stage Data may be generated within this form by selecting the Add button.					Add

Foreign Priority Information:

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	145709/411598
		Application Number	
Title of Invention	THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC LIGHT-EMITTING DIODE DISPLAY		

This section allows for the applicant to claim priority to a foreign application. Providing this information in the application data sheet constitutes the claim for priority as required by 35 U.S.C. 119(b) and 37 CFR 1.55. When priority is claimed to a foreign application that is eligible for retrieval under the priority document exchange program (PDX)ⁱ the information will be used by the Office to automatically attempt retrieval pursuant to 37 CFR 1.55(i)(1) and (2). Under the PDX program, applicant bears the ultimate responsibility for ensuring that a copy of the foreign application is received by the Office from the participating foreign intellectual property office, or a certified copy of the foreign priority application is filed, within the time period specified in 37 CFR 1.55(g)(1).

Application Number	Country ⁱ	Filing Date (YYYY-MM-DD)	Access Code ⁱ (if applicable)	Remove
10-2012-0104215	KR	2012-09-19		

Additional Foreign Priority Data may be generated within this form by selecting the **Add** button.

Statement under 37 CFR 1.55 or 1.78 for AIA (First Inventor to File) Transition Applications

☐ This application (1) claims priority to or the benefit of an application filed before March 16, 2013 and (2) also contains, or contained at any time, a claim to a claimed invention that has an effective filing date on or after March 16, 2013.

NOTE: By providing this statement under 37 CFR 1.55 or 1.78, this application, with a filing date on or after March 16, 2013, will be examined under the first inventor to file provisions of the AIA.

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	145709/411598
		Application Number	
Title of Invention	THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC LIGHT-EMITTING DIODE DISPLAY		

Authorization or Opt-Out of Authorization to Permit Access:

When this Application Data Sheet is properly signed and filed with the application, applicant has provided written authority to permit a participating foreign intellectual property (IP) office access to the instant application-as-filed (see paragraph A in subsection 1 below) and the European Patent Office (EPO) access to any search results from the instant application (see paragraph B in subsection 1 below).

Should applicant choose not to provide an authorization identified in subsection 1 below, applicant **must opt-out** of the authorization by checking the corresponding box A or B or both in subsection 2 below.

NOTE: This section of the Application Data Sheet is **ONLY** reviewed and processed with the **INITIAL** filing of an application. After the initial filing of an application, an Application Data Sheet cannot be used to provide or rescind authorization for access by a foreign IP office(s). Instead, Form PTO/SB/39 or PTO/SB/69 must be used as appropriate.

1. Authorization to Permit Access by a Foreign Intellectual Property Office(s)

A. Priority Document Exchange (PDX) - Unless box A in subsection 2 (opt-out of authorization) is checked, the undersigned hereby **grants the USPTO authority** to provide the European Patent Office (EPO), the Japan Patent Office (JPO), the Korean Intellectual Property Office (KIPO), the State Intellectual Property Office of the People's Republic of China (SIPO), the World Intellectual Property Organization (WIPO), and any other foreign intellectual property office participating with the USPTO in a bilateral or multilateral priority document exchange agreement in which a foreign application claiming priority to the instant patent application is filed, access to: (1) the instant patent application-as-filed and its related bibliographic data, (2) any foreign or domestic application to which priority or benefit is claimed by the instant application and its related bibliographic data, and (3) the date of filing of this Authorization. See 37 CFR 1.14(h)(1).

B. Search Results from U.S. Application to EPO - Unless box B in subsection 2 (opt-out of authorization) is checked, the undersigned hereby **grants the USPTO authority** to provide the EPO access to the bibliographic data and search results from the instant patent application when a European patent application claiming priority to the instant patent application is filed. See 37 CFR 1.14(h)(2).

The applicant is reminded that the EPO's Rule 141(1) EPC (European Patent Convention) requires applicants to submit a copy of search results from the instant application without delay in a European patent application that claims priority to the instant application.

2. Opt-Out of Authorizations to Permit Access by a Foreign Intellectual Property Office(s)

☐ A. Applicant **DOES NOT** authorize the USPTO to permit a participating foreign IP office access to the instant application-as-filed. If this box is checked, the USPTO will not be providing a participating foreign IP office with any documents and information identified in subsection 1A above.

☐ B. Applicant **DOES NOT** authorize the USPTO to transmit to the EPO any search results from the instant patent application. If this box is checked, the USPTO will not be providing the EPO with search results from the instant application.

NOTE: Once the application has published or is otherwise publicly available, the USPTO may provide access to the application in accordance with 37 CFR 1.14.

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	145709/411598
		Application Number	
Title of Invention	THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC LIGHT-EMITTING DIODE DISPLAY		

Applicant Information:

Providing assignment information in this section does not substitute for compliance with any requirement of part 3 of Title 37 of CFR to have an assignment recorded by the Office.			
Applicant	1		<input type="button" value="Remove"/>
<p>If the applicant is the inventor (or the remaining joint inventor or inventors under 37 CFR 1.45), this section should not be completed. The information to be provided in this section is the name and address of the legal representative who is the applicant under 37 CFR 1.43; or the name and address of the assignee, person to whom the inventor is under an obligation to assign the invention, or person who otherwise shows sufficient proprietary interest in the matter who is the applicant under 37 CFR 1.46. If the applicant is an applicant under 37 CFR 1.46 (assignee, person to whom the inventor is obligated to assign, or person who otherwise shows sufficient proprietary interest) together with one or more joint inventors, then the joint inventor or inventors who are also the applicant should be identified in this section.</p>			
		<input type="button" value="Clear"/>	
☐ Assignee	Legal Representative under 35 U.S.C. 117		Joint Inventor
Person to whom the inventor is obligated to assign.		Person who shows sufficient proprietary interest	
If applicant is the legal representative, indicate the authority to file the patent application, the inventor is:			
<div style="border: 1px solid black; height: 20px; width: 100%;"></div>			
Name of the Deceased or Legally Incapacitated Inventor: <div style="border: 1px solid black; width: 400px; height: 20px;"></div>			
If the Applicant is an Organization check here. ☒			
Organization Name	Samsung Display Co., Ltd.		
Mailing Address Information For Applicant:			
Address 1	1, Samsung-ro, Giheung-gu		
Address 2			
City	Yongin-si, Gyeonggi-do	State/Province	
Country	KR	Postal Code	17113
Phone Number		Fax Number	
Email Address			
Additional Applicant Data may be generated within this form by selecting the Add button. <input type="button" value="Add"/>			

Assignee Information including Non-Applicant Assignee Information:

Providing assignment information in this section does not substitute for compliance with any requirement of part 3 of Title 37 of CFR to have an assignment recorded by the Office.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	145709/411598
		Application Number	
Title of Invention	THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC LIGHT-EMITTING DIODE DISPLAY		

Assignee 1				
Complete this section if assignee information, including non-applicant assignee information, is desired to be included on the patent application publication. An assignee-applicant identified in the "Applicant Information" section will appear on the patent application publication as an applicant. For an assignee-applicant, complete this section only if identification as an assignee is also desired on the patent application publication.				
				<input type="button" value="Remove"/>
If the Assignee or Non-Applicant Assignee is an Organization check here.				☐
Prefix	Given Name	Middle Name	Family Name	Suffix
<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>	<input type="text"/>
Mailing Address Information For Assignee including Non-Applicant Assignee:				
Address 1		<input type="text"/>		
Address 2		<input type="text"/>		
City	<input type="text"/>	State/Province	<input type="text"/>	
Country i	<input type="text"/>	Postal Code	<input type="text"/>	
Phone Number	<input type="text"/>	Fax Number	<input type="text"/>	
Email Address	<input type="text"/>			
Additional Assignee or Non-Applicant Assignee Data may be generated within this form by selecting the Add button.				<input type="button" value="Add"/>

Signature:

NOTE: This Application Data Sheet must be signed in accordance with 37 CFR 1.33(b). **However, if this Application Data Sheet is submitted with the INITIAL filing of the application and either box A or B is not checked in subsection 2 of the "Authorization or Opt-Out of Authorization to Permit Access" section, then this form must also be signed in accordance with 37 CFR 1.14(c).**

This Application Data Sheet **must** be signed by a patent practitioner if one or more of the applicants is a **juristic entity** (e.g., corporation or association). If the applicant is two or more joint inventors, this form must be signed by a patent practitioner, **all** joint inventors who are the applicant, or one or more joint inventor-applicants who have been given power of attorney (e.g., see USPTO Form PTO/AIA/81) on behalf of **all** joint inventor-applicants.

See 37 CFR 1.4(d) for the manner of making signatures and certifications.

Signature	/Jun-Young E. Jeon/		Date (YYYY-MM-DD)	2017-09-18
First Name	Jun-Young E.	Last Name	Jeon	Registration Number
				43693
Additional Signature may be generated within this form by selecting the Add button.				<input type="button" value="Add"/>

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76		Attorney Docket Number	145709/411598
		Application Number	
Title of Invention	THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC LIGHT-EMITTING DIODE DISPLAY		

This collection of information is required by 37 CFR 1.76. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 23 minutes to complete, including gathering, preparing, and submitting the completed application data sheet form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

**THIN FILM TRANSISTOR ARRAY SUBSTRATE AND
ORGANIC LIGHT-EMITTING DIODE DISPLAY**

5

CROSS-REFERENCE TO RELATED APPLICATION

[0001] This application is a continuation of U.S. Application No. 15/064,526, filed March 8, 2016, which is a continuation of U.S. Application No. 13/801,937, filed March 13, 2013, now U.S. Patent 9,299,730, which claims priority to and the benefit of Korean Patent Application No. 10-2012-0104215, filed on September 19, 2012, in the Korean Intellectual Property Office, the entire contents of all of which are incorporated herein by reference.

BACKGROUND15 **1. Field**

[0002] Embodiments of the present invention relate to a thin film transistor (TFT) array substrate including at least one TFT and one storage capacitor, and an organic light-emitting diode (OLED) display.

2. Description of Related Art

20 **[0003]** An organic light-emitting diode (OLED) display may include two electrodes and an organic light-emitting layer interposed therebetween, wherein electrons injected from one electrode and holes injected from the other electrode are combined to form excitons that release energy, thereby emitting light.

25 **[0004]** Such an OLED display may also include a plurality of pixels, each pixel including an OLED, which is a self light-emitting device, a plurality of thin film transistors (TFTs), and a capacitor for driving the OLED.

[0005] The capacitor may include lower and upper electrodes and a dielectric interposed therebetween. Each electrode may be patterned through a photolithography process after a conductive layer is formed on the whole surface of a

substrate. In a system in which a great number of large-sized panels are manufactured at the same time, a misalignment may occur between a substrate and a mask or a light exposure device within a tolerance (or tolerance level) of process equipment during a patterning process. Contrary to an intention of the design, an overlay deviation may occur between both of the electrodes of the capacitor due to the misalignment. Due to the overlay deviation, a capacitance may be generated that is different from a designed value, thereby resulting in low-gradation spots, abnormal colors, or the like.

SUMMARY

[0006] Aspects of embodiments of the present invention provide a thin film transistor (TFT) array substrate including a storage capacitor structure for maintaining a capacitance to be substantially constant even though an overlay deviation occurs, and an organic light-emitting diode (OLED) display employing the same.

[0007] According to an aspect of the present invention, a TFT array substrate includes: a substrate; a first insulation layer on the substrate; a capacitor including a lower electrode on the first insulation layer, and an upper electrode arranged to overlap with the whole lower electrode and having an opening, and the upper electrode is insulated from the lower electrode by a second insulation layer; an inter-layer insulation film covering the capacitor; a node contact hole in the inter-layer insulation film and the second insulation layer, and within the opening; and a connection node on the inter-layer insulation film and electrically coupling the lower electrode and at least one TFT to each other through the node contact hole.

[0008] The opening may overlap with the lower electrode.

[0009] The upper electrode may be configured to receive a driving voltage through a driving voltage line formed from the same layer as the connection node.

[0010] The driving voltage line may be coupled to the upper electrode through another contact hole in the inter-layer insulation film.

5 **[0011]** The TFT array substrate may further include a driving TFT arranged to overlap with the capacitor. A driving gate electrode of the driving TFT may include the lower electrode.

[0012] The at least one TFT may include a compensation TFT coupled to the driving TFT and electrically coupled to the lower electrode through the connection node, and the compensation TFT may be configured to compensate for a threshold voltage of the driving TFT.

[0013] A compensation gate electrode of the compensation TFT may be formed from the same layer as the lower electrode.

15 **[0014]** The at least one TFT may include an initialization TFT electrically coupled to the lower electrode through the connection node, and the initialization TFT may be configured to provide an initialization voltage to the driving gate electrode of the driving TFT by being turned on in response to a previous scan signal.

[0015] An initialization gate electrode of the initialization TFT may be formed from the same layer as the lower electrode.

20 **[0016]** According to another aspect of the present invention, an OLED display includes: a substrate; a first insulation layer on the substrate; a scan line on the first insulation layer and configured to deliver a scan signal; a data line and a driving voltage line crossing the scan line, the data line and the driving voltage line being insulated by a second insulation layer and an inter-layer insulation film and configured to respectively deliver a data signal and a driving voltage; a pixel circuit coupled to the scan line and the data line and including at least one thin film transistor (TFT) and a capacitor; an OLED for emitting light by receiving the driving voltage from the pixel circuit, and the capacitor includes a lower electrode on the first insulation layer, and an upper electrode arranged to overlap with the whole lower electrode and having an

opening, and the upper electrode is insulated from the lower electrode by the second insulation layer; a node contact hole in the inter-layer insulation film and the second insulation layer, and within the opening; and a connection node on the inter-layer insulation film and electrically coupling the lower electrode and the at least one TFT to each other through the node contact hole.

[0017] The opening may overlap with the lower electrode.

[0018] The upper electrode may be configured to receive a driving voltage through a driving voltage line formed from the same layer as the connection node.

[0019] The driving voltage line may be coupled to the upper electrode through another contact hole in the inter-layer insulation film.

[0020] The OLED display may further include a driving TFT arranged to overlap with the capacitor. A driving gate electrode of the driving TFT may include the lower electrode.

[0021] The at least one TFT may include a compensation TFT coupled to the driving TFT and electrically coupled to the lower electrode through the connection node, and the compensation TFT may be configured to compensate for a threshold voltage of the driving TFT.

[0022] A compensation gate electrode of the compensation TFT may be formed from the same layer as the lower electrode.

[0023] The at least one TFT may include an initialization TFT electrically coupled to the lower electrode through the connection node, and the initialization TFT may be configured to provide an initialization voltage to the driving gate electrode of the driving TFT by being turned on in response to a previous scan signal.

[0024] An initialization gate electrode of the initialization TFT may be formed from the same layer as the lower electrode.

[0025] The OLED display may further include a switching TFT for delivering the data signal to the driving TFT by being turned on by the scan signal.

BRIEF DESCRIPTION OF THE DRAWINGS

5 **[0026]** The above and other features and aspects of the present invention will become more apparent by describing in detail exemplary embodiments thereof with reference to the attached drawings in which:

[0027] FIG. 1 is an equivalent circuit diagram of one pixel in an organic light-emitting diode (OLED) display according to an embodiment of the present invention;

[0028] FIG. 2 is a top view of the pixel in the OLED display of FIG. 1;

10 **[0029]** FIG. 3 is a cross-sectional view through line III-III of FIG. 2;

[0030] FIG. 4 is a cross-sectional view through line IV-IV of FIG. 2;

[0031] FIG. 5 is a cross-sectional view through line V-V of FIG. 2;

[0032] FIG. 6 is a top view schematically showing an overlapping region of a storage capacitor in the pixel of FIG. 2; and

15 **[0033]** FIGS. 7A to 7D are top views showing cases where an overlay deviation occurs between both electrodes of the storage capacitor in the pixel of FIG. 2.

DETAILED DESCRIPTION

20 **[0034]** Embodiments of the present invention will be described in detail with reference to the attached drawings, so that one of ordinary skill in the art may implement the spirit and scope of the present invention. The present invention can be implemented in various different forms and is not limited to the embodiments described below.

25 **[0035]** Parts irrelevant to the description may have been omitted to more clearly describe the present invention, and like reference numerals denote like elements throughout the specification.

[0036] In addition, since the sizes and thicknesses of components in the drawings are arbitrarily shown for convenience of description, the present invention is not necessarily limited to the shown sizes and thicknesses.

5 **[0037]** In the drawings, the thicknesses of layers and regions are magnified for clarity. In addition, the thicknesses of some layers and regions are exaggerated for convenience of description. When it is described that a certain component, such as a layer, a film, a region, or a plate, is “above” or “on” another component, the certain component may be directly above another component, or a third component may be interposed therebetween.

10 **[0038]** In the specification, when a certain part “includes” a certain component, this indicates that the part may further include another component instead of excluding another component unless there is no different disclosure. In addition, the term “on” indicates that a certain part is located above or below another part and does not necessarily indicate that the certain part is located above another part based on a direction of gravity.

15 **[0039]** As used herein, expressions such as “at least one of,” when preceding a list of elements, modify the entire list of elements and do not modify the individual elements of the list.

20 **[0040]** An organic light-emitting diode (OLED) display according to an embodiment will now be described in detail with reference to FIGS. 1 to 5.

20 **[0041]** FIG. 1 is an equivalent circuit diagram of one pixel in an OLED display according to an embodiment of the present invention.

25 **[0042]** As shown in FIG. 1, the pixel in the OLED display includes a plurality of lines (or signal lines) 14, 24, 34, 16, 26, and 20 and a pixel circuit, which includes a plurality of thin film transistors (TFTs) T1, T2, T3, T4, T5, and T6 that are coupled to the plurality of signal lines 14, 24, 34, 16, 26, and 20 and a storage capacitor Cst. In addition, the pixel further includes an OLED for emitting light by receiving a driving voltage from the pixel circuit.

5 **[0043]** The plurality of TFTs T1, T2, T3, T4, T5, and T6 includes a driving TFT T1, a switching TFT T2, a compensation TFT T3, an initialization TFT T4, an operation control TFT T5, and a light-emitting control TFT T6.

10 **[0044]** The plurality of lines 14, 24, 34, 16, 26, and 20 includes a scan line 24 for delivering a scan signal Sn, a previous scan line 14 for delivering a previous scan signal Sn-1, a light-emitting control line 34 for delivering a light-emitting control signal En to the operation control TFT T5 and the light-emitting control TFT T6, a data line 16, which crosses the scan line 24 and delivers a data signal Dm, a driving voltage line 26, which delivers a driving voltage ELVDD and is formed to be almost parallel to the data line 16, and an initialization voltage line 20 for delivering an initialization voltage Vint for initializing the driving TFT T1.

15 **[0045]** A gate electrode G1 of the driving TFT T1 is coupled to one electrode Cst1 of the storage capacitor Cst, a source electrode S1 thereof is coupled to the driving voltage line 26 via the operation control TFT T5, and a drain electrode D1 thereof is electrically coupled to an anode of the OLED via the light-emitting control TFT T6. In response to a switching operation of the switching TFT T2, the driving TFT T1 receives the data signal Dm and provides a driving current Id to the OLED.

20 **[0046]** A gate electrode G2 of the switching TFT T2 is coupled to the scan line 24, a source electrode S2 thereof is coupled to the data line 16, and a drain electrode D2 thereof is coupled to the source electrode S1 of the driving TFT T1 and is also coupled to the driving voltage line 26 via the operation control TFT T5. The switching TFT T2 performs a switching operation for delivering the data signal Dm received through the data line 16 to the source electrode S1 of the driving TFT T1 by being turned on in response to the scan signal Sn received through the scan line 24.

25 **[0047]** A gate electrode G3 of the compensation TFT T3 is coupled to the scan line 24, a source electrode S3 thereof is coupled to the drain electrode D1 of the driving TFT T1 and is also coupled to the anode of the OLED via the light-emitting control TFT

T6, and a drain electrode D3 thereof is coupled to the one electrode Cst1 of the storage capacitor Cst, a drain electrode D4 of the initialization TFT T4, and the gate electrode G1 of the driving TFT T1. The compensation TFT T3 couples the gate electrode G1 and the drain electrode D1 of the driving TFT T1 to each other by being turned on in response to the scan signal Sn received through the scan line 24 so that the driving TFT T1 is diode-coupled.

[0048] A gate electrode G4 of the initialization TFT T4 is coupled to the previous scan line 14, a source electrode S4 thereof is coupled to the initialization voltage line 20, and the drain electrode D4 thereof is coupled to the one electrode Cst1 of the storage capacitor Cst, the drain electrode D3 of the compensation TFT T3, and the gate electrode G1 of the driving TFT T1. The initialization TFT T4 delivers the initialization voltage Vint to the gate electrode G1 of the driving TFT T1 by being turned on in response to the previous scan signal Sn-1 received through the previous scan line 14 to perform an initialization operation for initializing a voltage of the gate electrode G1 of the driving TFT T1.

[0049] A gate electrode G5 of the operation control TFT T5 is coupled to the light-emitting control line 34, a source electrode S5 thereof is coupled to the driving voltage line 26, and a drain electrode D5 thereof is coupled to the source electrode S1 of the driving TFT T1 and the drain electrode D2 of the switching TFT T2.

[0050] A gate electrode G6 of the light-emitting control TFT T6 is coupled to light-emitting control line 34, a source electrode S6 thereof is coupled to the drain electrode D1 of the driving TFT T1 and the source electrode S3 of the compensation TFT T3, and a drain electrode D6 thereof is electrically coupled to the anode of the OLED. The operation control TFT T5 and the light-emitting control TFT T6 are concurrently (e.g., simultaneously) turned on in response to the light-emitting control signal En received through the light-emitting control line 34 to deliver the driving voltage ELVDD to the OLED so that the driving current Id flows through the OLED.

[0051] The other electrode Cst 2 of the storage capacitor Cst is coupled to the driving voltage line 26. The one electrode Cst1 of the storage capacitor Cst is coupled to the gate electrode G1 of the driving TFT T1, the drain electrode D3 of the compensation TFT T3, and the drain electrode D4 of the initialization TFT T4 via a connection node.

[0052] A cathode of the OLED is coupled to a common voltage ELVSS. Accordingly, the OLED emits light by receiving the driving current I_d from the driving TFT T1 so that an image is displayed.

[0053] An operation of the pixel in the OLED display of FIG. 1 will now be described in detail.

[0054] During an initialization period, the previous scan signal S_{n-1} at a low level is provided through the previous scan line 14. In response to the previous scan signal S_{n-1} at a low level, the initialization TFT T4 is turned on, thereby providing the initialization voltage V_{int} to the gate electrode G1 of the driving TFT T1 via the initialization TFT T4 through the initialization voltage line 20. The driving TFT T1 is initialized by the initialization voltage V_{int} .

[0055] During a data programming period, the scan signal S_n at a low level is supplied through the scan line 24. In response to the scan signal S_n , the switching TFT T2 and the compensation TFT T3 are turned on.

[0056] Due to the turn-on state of the compensation TFT T3, the driving TFT T1 is diode-coupled and biased in a forward direction.

[0057] In this case, a compensation voltage $D_m + V_{th}$ (V_{th} has a negative value) obtained by subtracting a threshold voltage V_{th} of the driving TFT T1 from the data signal D_m input through the data line 16 is applied to the gate electrode G1 of the driving TFT T1.

[0058] Then, the driving voltage ELVDD and the compensation voltage $D_m + V_{th}$ are applied to both of the electrodes of the storage capacitor Cst, thereby storing charges

corresponding to a voltage difference between both of the electrodes of the storage capacitor Cst in the storage capacitor Cst. During a light-emitting period, the light-emitting control signal En provided through the light-emitting control line 34 is changed from a high level to a low level, thereby turning on the operation control TFT T5 and the light-emitting control TFT T6.

[0059] Then, the driving current Id is generated due to a voltage difference between a voltage at the gate electrode G1 of the driving TFT T1 and the driving voltage ELVDD and is supplied to the OLED through the light-emitting control TFT T6. During the light-emitting period, a gate-source voltage Vgs of the driving TFT T1 is maintained as $(Dm + V_{th}) - ELVDD$ by the storage capacitor Cst, and according to a current-voltage relationship of the driving TFT T1, the driving current Id is determined regardless of the threshold voltage Vth of the driving TFT T1.

[0060] A structure of the pixel in the OLED display of FIG. 1 will now be described in detail with reference to FIGS. 2 to 5, which are based on FIG. 1. FIG. 2 is a top view of a pixel P in the OLED display of FIG. 1. FIG. 3 is a cross-sectional view through the line III-III of FIG. 2. FIG. 4 is a cross-sectional view through the line IV-IV of FIG. 2. FIG. 5 is a cross-sectional view through the line V-V of FIG. 2.

[0061] As shown in FIGS. 2 to 5, according to an embodiment, the pixel P in the OLED display includes the scan line 24, the previous scan line 14, the light-emitting control line 34, and the initialization voltage line 20, which apply the scan signal Sn, the previous scan signal Sn-1, the light-emitting control signal En, and the initialization voltage Vint, respectively, along a row direction, and includes the data line 16 and the driving voltage line 26, which cross each of the scan line 24, the previous scan line 14, the light-emitting control line 34, and the initialization voltage line 20, and apply the data signal Dm and the driving voltage ELVDD, respectively.

5 **[0062]** In addition, the pixel P includes the driving TFT T1, the switching TFT T2, the compensation TFT T3, the initialization TFT T4, the operation control TFT T5, the light-emitting control TFT T6, the storage capacitor Cst, and the OLED.

10 **[0063]** The driving TFT T1, the switching TFT T2, the compensation TFT T3, the initialization TFT T4, the operation control TFT T5, and the light-emitting control TFT T6 are formed along semiconductor layers 112, 122, 132, 142, 152, and 162, which are formed bent in various shapes, respectively. Each of the semiconductor layers 112, 122, 132, 142, 152, and 162 is formed of polysilicon. Each of the semiconductor layers 112, 122, 132, 142, 152, and 162 includes a channel region not doped with impurities, and a source region and a drain region, doped with impurities, formed at both sides of the channel region. The impurities vary according to types of the TFTs and may include N-type impurities and/or P-type impurities.

15 **[0064]** The semiconductor layers 112, 122, 132, 142, 152, and 162 include a driving semiconductor layer 112 formed in the driving TFT T1, a switching semiconductor layer 122 formed in the switching TFT T2, a compensation semiconductor layer 132 formed in the compensation TFT T3, an initialization semiconductor layer 142 formed in the initialization TFT T4, an operation control semiconductor layer 152 formed in the operation control TFT T5, and a light-emitting control semiconductor layer 162 formed in the light-emitting control TFT T6.

20 **[0065]** The driving TFT T1 includes the driving semiconductor layer 112, a driving gate electrode 1141, a driving source electrode 116s, and a driving drain electrode 116d. The driving semiconductor layer 112 is bent. The driving source electrode 116s corresponds to a driving source region 116s doped with impurities in the driving semiconductor layer 112, and the driving drain electrode 116d corresponds to a driving drain region 116d doped with impurities in the driving semiconductor layer 112. The storage capacitor Cst is formed on the driving TFT T1 to overlap with the driving TFT T1.

5 **[0066]** The storage capacitor Cst includes lower and upper electrodes 1141 and 1142 with a second gate insulation film 1032 interposed therebetween. The driving gate electrode 1141 also functions as the lower electrode 1141. That is, the driving gate electrode 1141 includes the lower electrode 1141. The second gate insulation film 1032 is formed of a dielectric, and a storage capacitance is determined by charges accumulated in the storage capacitor Cst and a voltage between the lower and upper electrodes 1141 and 1142.

10 **[0067]** According to an embodiment, the lower electrode 1141 is formed as a floating electrode having an island shape and is formed of the same material layers as the scan line 24, the previous scan line 14, the light-emitting control line 34, a switching gate electrode 124, a compensation gate electrode 134, an initialization gate electrode 144, an operation control gate electrode 154, and a light-emitting control gate electrode 164.

15 **[0068]** The upper electrode 1142 may be formed on the second gate insulation film 1032 as a floating electrode having an island shape. In one embodiment, the upper electrode 1142 is arranged to overlap with the whole lower electrode 1141 and has a storage opening 420. The storage opening 420 may have a shape of a simple closed curve penetrating the upper electrode 1142. According to one embodiment, the simple closed curve refers to a closed figure in which a start point and an end point are the same when the closed curve is traced from the start point of the traced curve to draw a polygon, a circle, or the like. The upper electrode 1142 having the storage opening 420 may have a doughnut shape.

25 **[0069]** According to an embodiment of the present invention, by using the storage capacitor Cst including the upper electrode 1142, which overlaps with the whole lower electrode 1141 and has the storage opening 420 having a simple closed curve, even though an overlay deviation occurs between the lower electrode 1141 and the upper electrode 1142 during a method of manufacturing the OLED display, the capacitance

of the storage capacitor Cst may be maintained (e.g., always be maintained) to be substantially constant. This feature will be described in detail below with reference to
 5 FIGS. 6 and 7.

[0070] The switching TFT T2 includes the switching semiconductor layer 122, the switching gate electrode 124, a switching source electrode 126s, and a switching drain electrode 126d. The switching source electrode 126s protrudes from the data line 16, and the switching drain electrode 126d corresponds to a switching drain region 126d
 10 doped with impurities in the switching semiconductor layer 122.

[0071] The compensation TFT T3 includes the compensation semiconductor layer 132, the compensation gate electrode 134, a compensation source electrode 136s, and a compensation drain electrode 136d, wherein the compensation source electrode 136s corresponds to a compensation source region 136s doped with impurities in the
 15 compensation semiconductor layer 132, and the compensation drain electrode 136d corresponds to a compensation drain region 136d doped with impurities in the compensation semiconductor layer 132. The compensation drain electrode 136d may be coupled to the lower electrode 1141 via a connection node 36. In one embodiment, the compensation gate electrode 134 prevents a leakage current by forming a separate
 20 dual gate electrode.

[0072] The initialization TFT T4 includes the initialization semiconductor layer 142, the initialization gate electrode 144, an initialization source electrode 146s, and an initialization drain electrode 146d. The initialization drain electrode 146d corresponds to an initialization drain region 146d doped with impurities in the initialization
 25 semiconductor layer 142. The initialization drain electrode 146d may be coupled to the lower electrode 1141 via the connection node 36. The initialization source electrode 146s may be coupled to the initialization voltage line 20 via a connection member.

[0073] The operation control TFT T5 includes the operation control semiconductor layer 152, the operation control gate electrode 154, an operation control source

electrode 156s, and an operation control drain electrode 156d. The operation control source electrode 156s is a portion of the driving voltage line 26, and the operation control drain electrode 156d corresponds to an operation control drain region 156d doped with impurities in the operation control semiconductor layer 152.

[0074] The light-emitting control TFT T6 includes the light-emitting control semiconductor layer 162, the light-emitting control gate electrode 164, a light-emitting control source electrode 166s, and a light-emitting control drain electrode 166d. The light-emitting control source electrode 166s corresponds to a light-emitting control source region 166s doped with impurities in the light-emitting control semiconductor layer 162, and the light-emitting control drain electrode 166d may be coupled to a pixel electrode 200 via a connection member.

[0075] According to one embodiment, one end of the driving semiconductor layer 112 of the driving TFT T1 is coupled to the switching semiconductor layer 122 and the operation control semiconductor layer 152, and the other end thereof is coupled to the compensation semiconductor layer 132 and the light-emitting control semiconductor layer 162. Thus, the driving source electrode 116s is coupled to the switching drain electrode 126d and the operation control drain electrode 156d, and the driving drain electrode 116d is coupled to the compensation source electrode 136s and the light-emitting control source electrode 166s.

[0076] The lower electrode 1141 of the storage capacitor Cst may be coupled to the compensation TFT T3 and the initialization TFT T4 via the connection node 36. The connection node 36 may be formed in the same layer as the data line 16. One end of the connection node 36 may be coupled to the lower electrode 1141 via a first node contact hole 361 formed in the second gate insulation film 1032 and an inter-layer insulation film 105. The first node contact hole 361 may be formed within the storage opening 420 of the upper electrode 1142. The other end of the connection node 36 may be coupled to the compensation drain electrode 136d and the initialization drain

electrode 146d via a second node contact hole 362 formed in a first gate insulation film 1031, the second gate insulation film 1032, and the inter-layer insulation film 105.

5 **[0077]** The upper electrode 1142 of the storage capacitor Cst may be used as a switching device for selecting a pixel from which light is emitted. In one embodiment, the switching gate electrode 124 is coupled to the scan line 24, the switching source electrode 126s is coupled to the data line 16, and the switching drain electrode 126d is coupled to the driving TFT T1 and the operation control TFT T5.

10 **[0078]** The light-emitting control drain electrode 166d of the light-emitting control TFT T6 is directly coupled to the pixel electrode 200 of the OLED via a via hole (not shown) formed on a protection film 107.

15 **[0079]** A structure of an OLED display according to an embodiment of the present invention will now be described in detail in a layered order with reference to FIGS. 3 to 5. For convenience of description, FIGS. 3 to 5 show only layers from a substrate 100 to the pixel electrode 200. In FIGS. 3 to 5, a structure of the driving TFT T1, the compensation TFT T3, and the initialization TFT T4 is mainly described. The storage capacitor Cst is described together with them. Since the other TFTs T2, T5, and T6 substantially have a similar (or the same) structure as the driving TFT T1, the compensation TFT T3, and the initialization TFT T4, a detailed description thereof is omitted.

20 **[0080]** In one embodiment, a buffer layer 101 is formed on the substrate 100, which may be an insulation substrate formed of glass, quartz, ceramic, plastic, or the like.

25 **[0081]** The driving semiconductor layer 112, the compensation semiconductor layer 132, and the initialization semiconductor layer 142 are formed on the buffer layer 101. Although not shown, the driving semiconductor layer 112 may include a driving channel region, and a driving source region and a driving drain region facing each other with the driving channel region therebetween. The compensation semiconductor layer 132 also includes a compensation channel region 132c, and the compensation

source region 136s and the compensation drain region 136d facing each other with the compensation channel region 132c therebetween. The initialization semiconductor layer 142 also includes an initialization channel region 142c, and an initialization source region 146s and the initialization drain region 146d facing each other with the initialization channel region 142c therebetween.

[0082] The first gate insulation film 1031 is formed on the driving semiconductor layer 112, the compensation semiconductor layer 132, and the initialization semiconductor layer 142. The first gate insulation film 1031 may be formed of silicon nitride (SiN_x), silicon oxide (SiO_2), or the like.

[0083] A first gate conductive layer, parts of which form the driving gate electrode 1141 including the lower electrode 1141 of the storage capacitor Cst, the scan line 24 including the compensation gate electrode 134, the previous scan line 14 including the initialization gate electrode 144, and the light-emitting control line 34 including the operation control gate electrode 154 and the light-emitting control gate electrode 164, is formed on the first gate insulation film 1031.

[0084] In one embodiment, the driving gate electrode 1141 or the lower electrode 1141 are separated from the previous scan line 14, the scan line 24, and the light-emitting control line 34 and overlap with the driving channel region of the driving semiconductor layer 112. The compensation gate electrode 134 is coupled to the scan line 24 and overlaps with the compensation channel region 132c of the compensation semiconductor layer 132. The initialization gate electrode 144 is coupled to the previous scan line 14 and overlaps with the initialization channel region 142c of the initialization semiconductor layer 142.

[0085] The second gate insulation film 1032 covers the first gate conductive layer and the first gate insulation film 1031. The second gate insulation film 1032 may be formed of SiN_x , SiO_2 , or the like.

[0086] A second gate conductive layer 1142 including the upper electrode 1142 of the storage capacitor Cst is formed on the second gate insulation film 1032. The upper electrode 1142, which operates as a floating electrode, overlaps with the whole lower electrode 1141 to form the storage capacitor Cst and has the storage opening 420 overlapping with the lower electrode 1141. The storage opening 420 may have a shape of a simple closed curve penetrating the upper electrode 1142.

[0087] The inter-layer insulation film 105 is formed on the second gate insulation film 1032 and the upper electrode 1142. Like the first gate insulation film 1031 and the second gate insulation film 1032, the inter-layer insulation film 105 is formed of a ceramic series material, such as SiN_x, SiO₂, or the like.

[0088] The first node contact hole 361 is formed in the second gate insulation film 1032 and the inter-layer insulation film 105, within the storage opening 420 of the upper electrode 1142 to expose the lower electrode 1141 to the outside. In addition, the second node contact hole 362 is formed in the first gate insulation film 1031, the second gate insulation film 1032, and the inter-layer insulation film 105 to expose the compensation drain region 136d of the compensation semiconductor layer 132 and the initialization drain region 146d of the initialization semiconductor layer 142.

[0089] The driving voltage line 26, the connection node 36, and the data line 16 are formed on the inter-layer insulation film 105. The driving voltage line 26 is coupled to the upper electrode 1142 of the storage capacitor Cst through a driving voltage line contact hole 261 so that the upper electrode 1142 receives the driving voltage ELVDD through the driving voltage line 26. One end of the connection node 36 is coupled to the lower electrode 1141 of the storage capacitor Cst via the first node contact hole 361, and the other end of the connection node 36 is coupled to the compensation drain electrode 136d of the compensation TFT T3 and the initialization drain electrode 146d of the initialization TFT T4 via the second node contact hole 362. As described above, the compensation drain electrode 136d and the initialization drain electrode 146d

correspond to the compensation drain region 136d and the initialization drain region 146d, respectively.

5 **[0090]** The protection film 107 covering the data line 16, the driving voltage line 26, and the connection node 36 is formed on the inter-layer insulation film 105, and the pixel electrode 200 is formed on the protection film 107.

[0091] Although not shown, the pixel electrode 200 may be coupled to the light-emitting control drain electrode 166d through a via hole formed in the protection film 107. A pixel-defining film (not shown) may be formed on the edge of the pixel electrode 200 and the protection film 107 and may have a pixel opening (not shown) to expose the pixel electrode 200. The pixel-defining film may be formed of an organic material, such as a polyacrylate resin or polyimides, or a silica series inorganic material. An organic light-emitting layer (not shown) may be formed on the pixel electrode 200 exposed through the pixel opening, and a common electrode (not shown) may be formed on the organic light-emitting layer. As such, an OLED, including the pixel electrode 200, the organic light-emitting layer, and the common electrode, may be formed.

15 **[0092]** In one embodiment, the pixel electrode 200 is an anode that is a hole injection electrode, and the common electrode is a cathode that is an electron injection electrode. However, the present invention is not necessarily limited thereto, and according to a driving method of the OLED display, the pixel electrode 200 may be cathode, and the common electrode may be an anode. Light is emitted when holes and electrons are injected from the pixel electrode 200 and the common electrode, respectively, and excitons generated by combining the injected holes and electrons to transition from an excited state to a ground state.

20 **[0093]** The organic light-emitting layer may be formed of a low-molecular weight organic material or a high-molecular weight organic material, such as Poly 3,4-ethylenedioxythiophene (PEDOT). In addition, the organic light-emitting layer may be

formed of a multi-film structure including at least one of a hole injection layer (HIL), a hole transporting layer (HTL), an electron transporting layer (ETL), and an electron injection layer (EIL). In one embodiment, when the multi-film structure includes all of the HIL, the HTL, the ETL, and the EIL, the HIL is arranged on the pixel electrode 200 that is the anode, and then the HTL, the ETL, and the EIL are sequentially layered on the HIL. When the common electrode is formed of a reflection-type conductive material, the OLED display may be a rear-surface light-emitting type display. Examples of the reflection-type conductive material include lithium (Li), calcium (Ca), lithium fluoride/calcium (LiF/Ca), lithium fluoride/aluminum (LiF/Al), Al, silver (Ag), magnesium (Mg), and gold (Au).

[0094] FIG. 6 is a top view schematically showing an overlapping region of the storage capacitor Cst in the OLED display of FIG. 2. FIGS. 7A to 7D are top views showing cases where an overlay deviation occurs between the lower and upper electrodes 1141 and 1142 of the storage capacitor Cst in the OLED display of FIG. 2.

[0095] Referring to FIGS. 6 to 7D, the OLED display is characterized in that a capacitance of the storage capacitor Cst may be maintained (e.g., always maintained) to be substantially constant even though an overlay deviation occurs between the lower and upper electrodes 1141 and 1142 during a manufacturing process of the OLED display. The storage capacitor Cst includes the upper electrode 1142, which overlaps with the whole lower electrode 1141 and has the storage opening 420 in a simple closed curve shape.

[0096] When the two or more layers overlapping each other are formed, if each of the two or more layers overlapping each other is shifted to the top, bottom, left, or right, an overlapping region due to the shift differs from an initially designed overlapping region, and this overlapping region difference is the overlay deviation. The overlay deviation may occur due to a misalignment between a substrate and a mask or a light exposure device when a conductive layer is formed on the whole substrate and is

patterned by a photolithography process. This overlay deviation may have a high probability of occurring within a tolerance (or tolerance level) of process equipment in a system for concurrently (e.g., simultaneously) producing a great number of large panels.

[0097] Referring to FIG. 6, a capacitance between the lower and upper electrodes 1141 and 1142 of the storage capacitor Cst is determined by Equation 1. In Equation 1, C denotes a capacitance, ϵ denotes a dielectric constant, A denotes an area of an overlapping region of the lower and upper electrodes 1141 and 1142, and d denotes a distance between the lower and upper electrodes 1141 and 1142.

$$C = \epsilon \frac{A}{d} \quad (1)$$

[0098]

[0099] That is, the capacitance of the storage capacitor Cst may be determined by a dielectric constant ϵ of the second gate insulation layer 1032, the distance d between the lower and upper electrodes 1141 and 1142, and the area A of the overlapping region of the lower and upper electrodes 1141 and 1142. Thus, when the area A of the overlapping region of the lower and upper electrodes 1141 and 1142 varies, the capacitance also varies. In other words, when an overlay deviation between the lower and upper electrodes 1141 and 1142 occurs, the capacitance may be different from a designed value. If the capacitance is different from the designed value, problems, such as low-gradation spots and abnormal colors, may occur, thereby degrading the quality of the OLED display.

[00100] To address these problems, an OLED display according to embodiments of the present invention is characterized in that the capacitance of the storage capacitor Cst may be maintained (e.g., always maintained) to be substantially constant even though an overlay deviation occurs between the lower and upper electrodes 1141 and 1142. In one embodiment, the storage capacitor Cst includes the upper electrode 1142 having the storage opening 420 in a simple closed curve shape.

[00101] For example, FIG. 7A shows a case where the lower electrode 1141 is shifted to the top (in a +Y direction) rather than a designed location. FIG. 7B shows a case where the lower electrode 1141 is shifted to the bottom (in a -Y direction) rather than the designed location, FIG. 7C shows a case where the lower electrode 1141 is shifted to the right (in a +X direction) rather than the designed location, and FIG. 7D shows a case where the lower electrode 1141 is shifted to the left (in a -X direction) rather than the designed location.

[00102] A shift (or shift level) may be generated within a tolerance (or tolerance level) of process equipment, and the tolerance may be at most within a range in which the opening 420 of the upper electrode 1142 overlaps with the lower electrode 1141. When a shift occurs to a region in which the opening 420 of the upper electrode 1142 does not overlap with the lower electrode 1141, a problem may occur in forming the connection node 36 and the first node contact hole 361, thereby making the pixel circuit inoperable. Thus, aspects of embodiments of the present invention do not deal with the case that the tolerance (or tolerance level) exceeds the range in which the opening 420 of the upper electrode 1142 overlaps with the lower electrode 1141. So that the whole lower electrode 1141 and the upper electrode 1142 overlap each other, an area of the upper electrode 1142 may be equal to or greater than that of the lower electrode 1141. For example, the area of the upper electrode 1142 may be as large as that of the lower electrode 1141 so that the capacitance may be maintained (e.g., always maintained) to be substantially constant even though a shift occurs.

[00103] According to each case of FIGS. 7A to 7D, even though the lower electrode 1141 is shifted to the top, bottom, left, and right from the designed location, the upper electrode 1142 overlaps (or always overlaps) with the whole lower electrode 1141, and the opening 420 of the upper electrode 1142 overlaps (or always overlaps) with the lower electrode 1141, and thus, the capacitance may be maintained to be substantially constant.

5 **[00104]** Although the lower electrode 1141 is shifted in FIGS. 7A to 7D, the present invention is not limited thereto, and the capacitance may be maintained to be substantially constant even though the upper electrode 1142 is shifted.

10 **[00105]** According to an embodiment of the present invention, the whole lower electrode and an upper electrode of a storage capacitor overlap each other, and an opening is formed in the upper electrode to overlap with the lower electrode, and thus even though an overlay deviation occurs between the two electrodes, a capacitance may be maintained (e.g., always maintained) to be substantially constant. Accordingly, low-gradation spots and abnormal colors due to a capacitance change may be prevented.

15 **[00106]** While the present invention has been particularly shown and described with reference to exemplary embodiments thereof, it will be understood by one of ordinary skill in the art that various changes in form and details may be made therein without departing from the spirit and scope of the present invention as defined by the following claims and their equivalents.

20

25

WHAT IS CLAIMED IS:

- 5 1. A thin film transistor (TFT) array substrate comprising:
 a substrate;
 a first thin film transistor including a first gate electrode and a first
 channel region overlapping the first gate electrode, the first gate electrode and
 the first channel region being spaced apart from each other with a first
 insulating layer therebetween;
10 a second thin film transistor including a second gate electrode and a
 second channel region overlapping the second electrode, the second gate
 electrode and the second channel region being spaced apart from each other
 with the first insulating layer therebetween;
 a second insulating layer disposed on the first and second gate electrode;
 a first metal pattern overlapping the first gate electrode, the first metal
15 pattern and the first gate electrode are spaced apart from each other with the
 second insulating layer therebetween;
 a third insulating layer disposed on the first metal pattern; and
 a connection member disposed on the third insulating layer and
 electrically connecting the first gate electrode and the second thin film transistor.
- 20 2. The TFT array substrate of claim 1, wherein the first metal pattern
 includes an opening, and a portion of the connection member overlaps the opening in
 a plan view.
3. The TFT array substrate of claim 2, wherein at least one of the second
 and third insulating layers includes a node contact hole overlapping the opening, and
25 the portion of the connection member is connected with the first gate electrode through
 the node contact hole.
4. The TFT array substrate of claim 3, wherein a size of the opening is
 greater than a size of the node contact hole in a plan view.

5 5. The TFT array substrate of claim 4, wherein the second and third insulating layers contact each other in a region between the first metal pattern and the portion of the connection member in a cross-sectional view.

 6. The TFT array substrate of claim 2, wherein an entire area of the opening overlaps the first gate electrode in a plan view.

10 7. The TFT array substrate of claim 1, wherein the first channel region includes a bent portion.

 8. The TFT array substrate of claim 7, wherein the first channel region includes at least two bent portions.

15 9. The TFT array substrate of claim 7, wherein the first channel region is curved in a "S" shape.

 10. The TFT array substrate of claim 7, wherein the first channel region curved in a zigzag shape.

20 11. The TFT array substrate of claim 1, further comprises a driving voltage line on the third insulating layer, the driving voltage line is connected to the first metal pattern through a first contact hole of the third insulating layer.

 12. The TFT array substrate of claim 11, wherein the first contact hole includes a plurality of first-sub contact holes.

25 13. The TFT array substrate of claim 12, wherein at least one of the plurality of first-sub contact holes overlaps the first channel region in a plan view.

 14. The TFT array substrate of claim 1, further comprises a first gate line electrically connected to the second gate electrode.

15. The TFT array substrate of claim 14, wherein the second thin film transistor further comprises a first region adjacent to a side of the second channel region and a second region adjacent to another side of the second channel region, and
5 the first region is electrically connected to the first gate electrode via the connection member.

16. The TFT array substrate of claim 15, wherein the first thin film transistor further comprises a third region adjacent to a side of the first channel region and a fourth region adjacent to another side of the first channel region, and the second region
10 is electrically connected to the fourth region.

17. The TFT array substrate of claim 14, further comprises a second gate line, and a third thin film transistor, the third thin film transistor including a third gate electrode and a third channel region overlapping the third electrode, the third gate electrode and the third channel region being spaced apart from each other with the first
15 insulating layer therebetween, and wherein the second gate line is electrically connected to the third gate electrode.

18. The TFT array substrate of claim 17, further comprises a initialization voltage line, wherein the third thin film transistor further comprises a fifth region adjacent to a side of the third channel region and a sixth region adjacent to another
20 side of the third channel region, and the sixth region is electrically connected to the initialization voltage line.

19. The TFT array substrate of claim 18, wherein the fifth region is electrically connected to the first gate electrode via the connection member.

20. The TFT array substrate of claim 18, wherein the initialization voltage line
25 extends in same direction as the first gate line.

21. The TFT array substrate of claim 18, wherein the initialization voltage line is formed of a different layer from the first gate line.

22. A display device comprising:

 a substrate;

 a first scan line disposed on the substrate;

5 a data line crossing the first scan line;

 a driving voltage line crossing the first scan line;

 a pixel circuit electrically connected to the first scan line, the data line and the driving voltage line; and

 an organic light emitting diode (OLED) electrically connected to the pixel circuit, the OLED including a first electrode, organic light-emitting layer and a second electrode,

10

 wherein the pixel circuit comprises:

 a first thin film transistor including a first channel region, a first drain region adjacent to a side of the first channel region, a first source region adjacent to another side of the first channel region, and a first gate electrode;

15

 a second thin film transistor including a second channel region, a second drain region adjacent to a side of the second channel region, a second source region adjacent to another side of the second channel region, and a second gate electrode overlapping the second channel region, wherein the second gate electrode and the second channel region is spaced apart from each other with a first insulating layer therebetween and the second gate electrode being electrically connected to the first scan line;

20

 a storage capacitor including a first metal pattern and a second metal pattern overlapping with a second insulating layer therebetween, wherein the first metal pattern overlaps the first channel region and spaced apart from the first channel region being with the first insulating layer therebetween; and

 a connection member connecting the first metal pattern and the second drain region, the connection member and the second metal pattern being apart from each other with a third insulating layer therebetween,

25

 wherein the first metal pattern is configured to operate as the first gate electrode.

1 **145709/411598**

23. The display device of claim 22, wherein the second metal pattern) includes an opening overlaps the first metal pattern in a plan view.

5 24. The display device of claim 23, wherein at least one of the second and third insulating layers includes a node contact hole overlapping the opening, and a portion of the connection member is connected with the first metal pattern through the node contact hole.

10 25. The display device of claim 24, wherein a size of the opening is greater than a size of the node contact hole in a plan view.

26. The display device of claim 25, wherein the second and third insulating layers contact each other in a region between the second metal pattern and the portion of the connection member in a cross-sectional view.

15 27. The display device of claim 22, wherein the first channel region has a serpentine shape.

28. The display device of claim 27, wherein the first channel region includes at least one bent portion.

20 29. The display device of claim 22, wherein the driving voltage line extends along in same direction as the data line.

30. The display device of claim 22, the second metal pattern and the driving voltage line have the same voltage level.

25 31. The display device of claim 22, wherein the connection member includes the same material as the driving voltage line.

32. The display device of claim 22, wherein the driving voltage line is disposed on the third insulating layer, and connected to the second metal pattern through a first contact hole of the third insulating layer.

5

33. The display device of claim 32, wherein at least a portion of the first contact hole overlaps the first channel region in a plan view

34. The display device of claim 22, wherein the first electrode of the OLED overlaps the storage capacitor.

10

35. The display device of claim 22, further comprises a second scan line and a third thin film transistor, wherein the third thin film transistor including a third gate electrode electrically connected the second gate line, a third channel region overlapping the third electrode with the first insulating layer therebetween, a third drain region adjacent to a side of the third channel region, and a third source region adjacent to another side of the third channel region.

15

36. The display device of claim 35, wherein one of the third drain and source regions is connected to the second drain region.

37. The display device of claim 36, the first metal pattern is electrically connected to one of the third drain and source regions via the connection member.

20

38. The display device of claim 36, further comprises a initialization voltage line, wherein the other of the third drain and source regions is connected to the initialization voltage line.

39. The display device of claim 38, wherein the initialization voltage line extends in same direction as the first gate line.

25

40. The display device of claim 22, the data line is adjacent to a side of the driving voltage line and the connection member is adjacent to another side of the driving voltage line, in a plan view.

ABSTRACT

5 A thin film transistor (TFT) array substrate includes: a substrate; a first insulation layer on the substrate; a capacitor including a lower electrode on the first insulation layer, and an upper electrode arranged to overlap with the whole lower electrode and having an opening, and the upper electrode is insulated from the lower electrode by a second insulation layer; an inter-layer insulation film covering the capacitor; a node
10 contact hole in the inter-layer insulation film and the second insulation layer, and within the opening; and a connection node on the inter-layer insulation film and electrically coupling the lower electrode and at least one TFT to each other through the node contact hole.

15

LFLUHR 102356586.1-* -09/18/2017 11:25 AM

20

25

FIG. 1

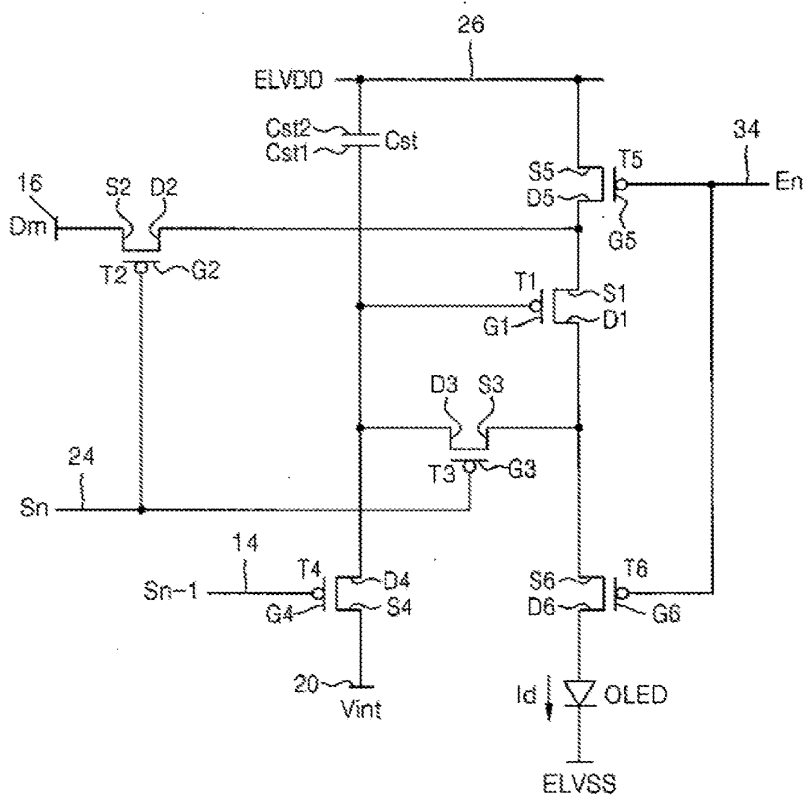


FIG. 2

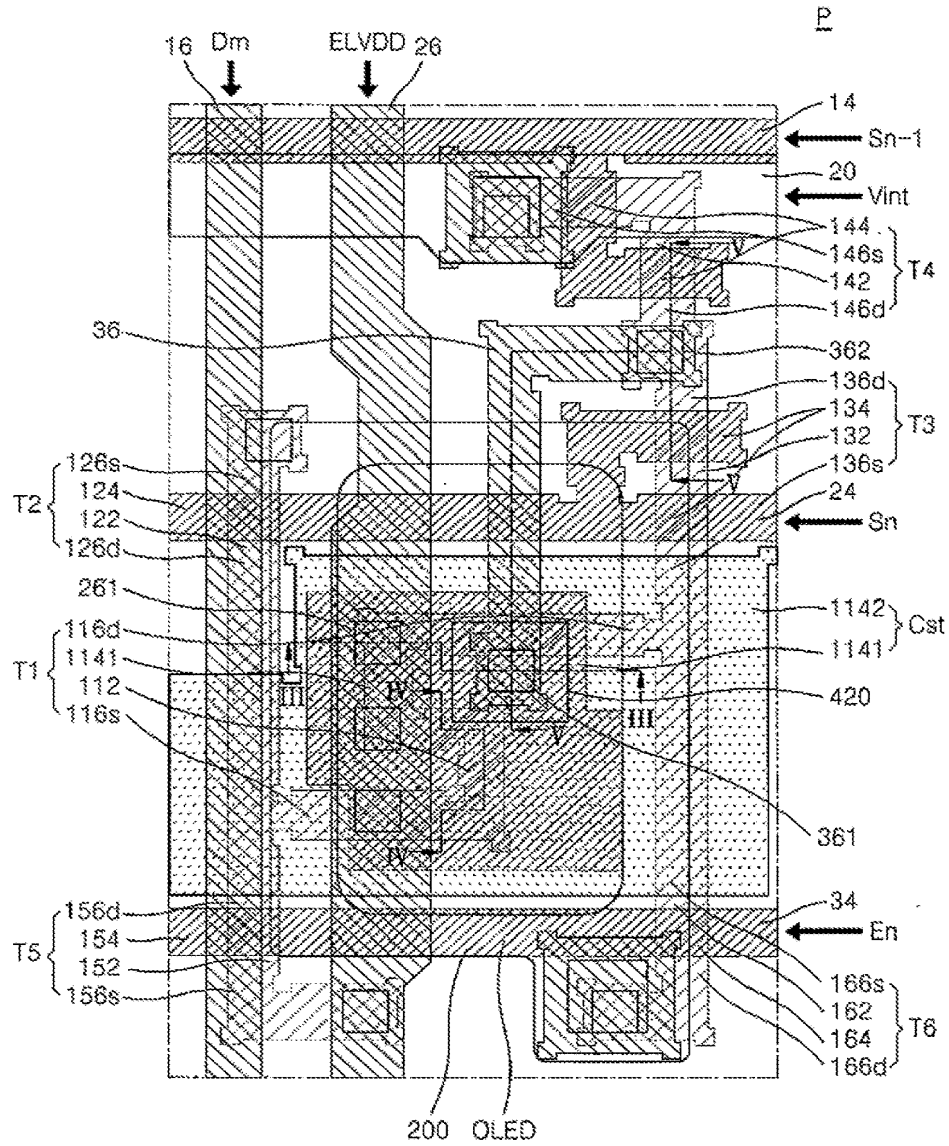


FIG. 3

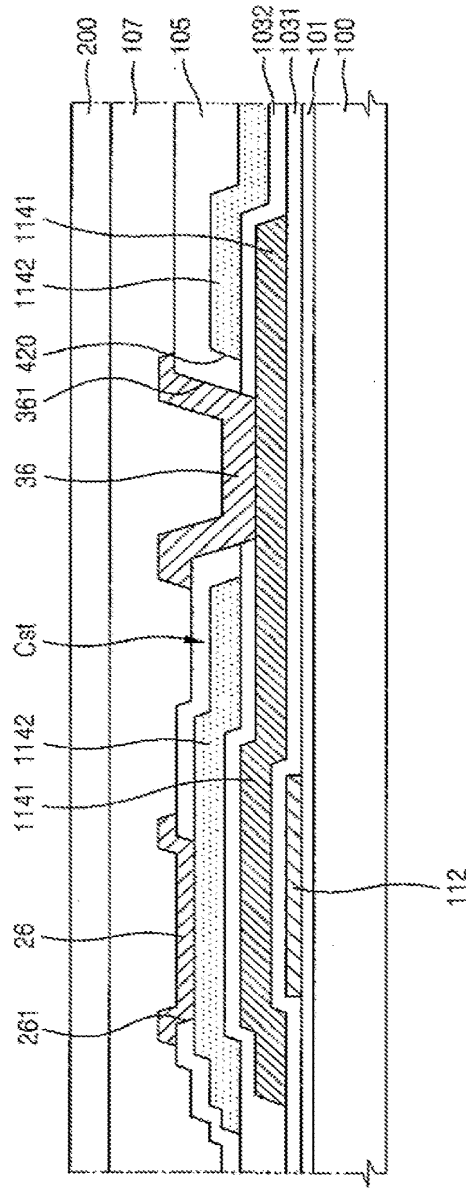


FIG. 4

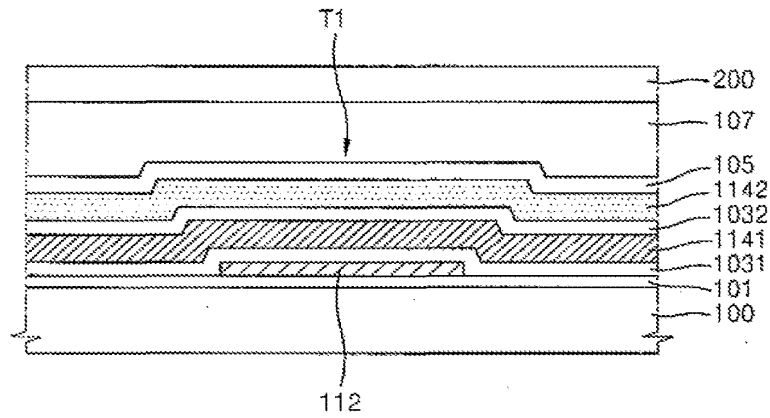
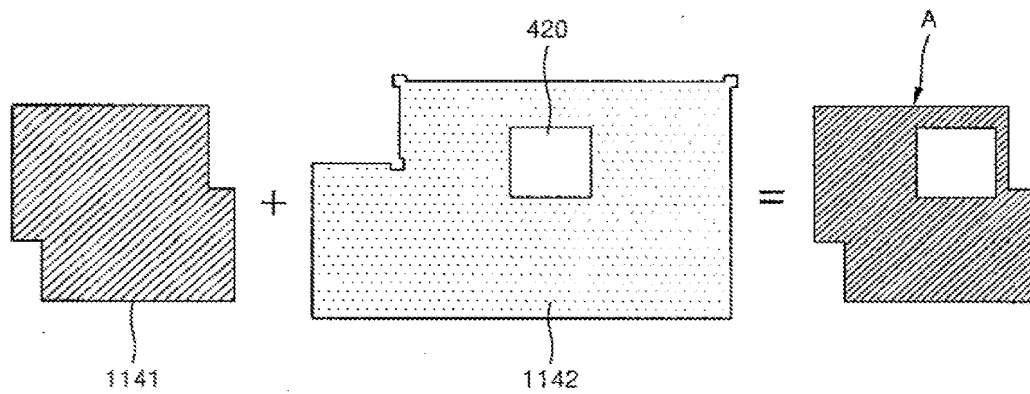


FIG. 6



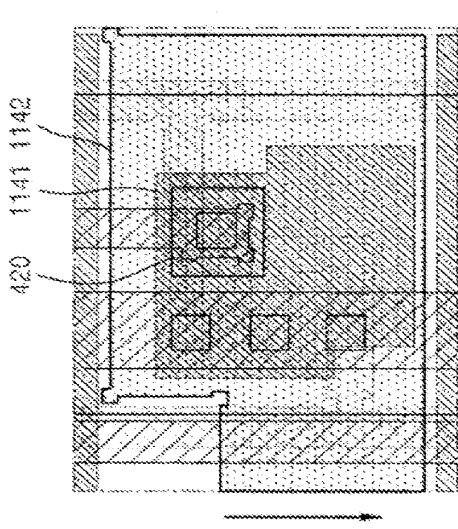


FIG. 7A

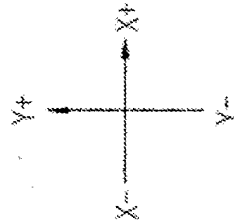
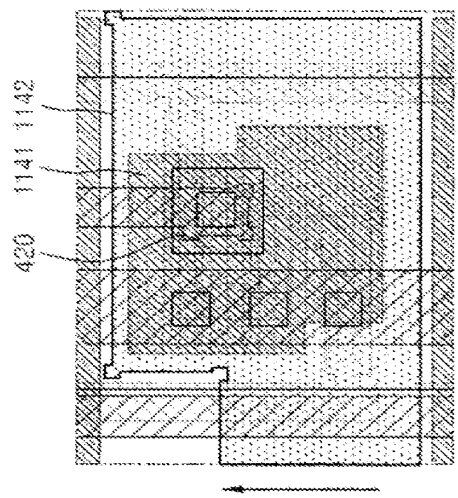


FIG. 7B

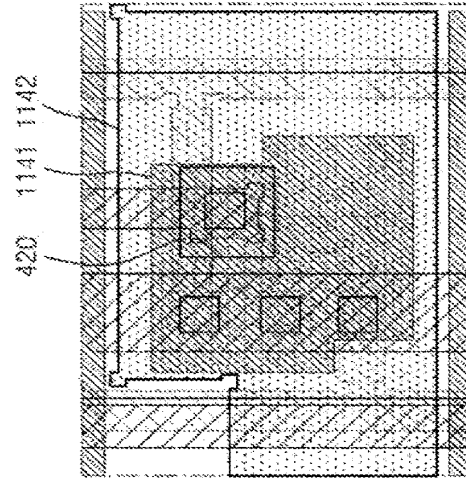


FIG. 7C

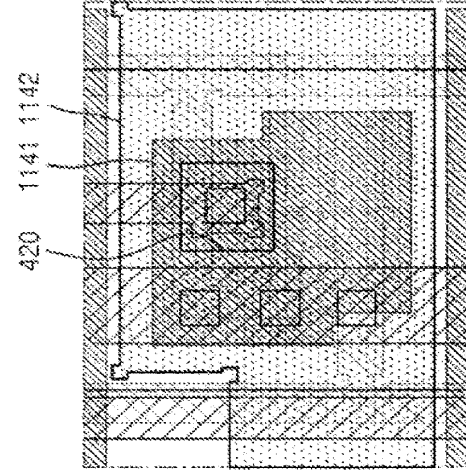


FIG. 7D

**INVENTOR'S DECLARATION AND ASSIGNMENT
FOR PATENT APPLICATION**

PATENT

Title of Invention: **THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC
LIGHT-EMITTING DIODE DISPLAY**

Docket No.: **71549/L550**

INVENTOR'S DECLARATION

As a below named inventor, I hereby declare that:

This declaration is directed to the attached application unless the following is checked:

_____ United States Application or PCT International Application Number _____ filed on
_____.

The above-identified application was made or authorized to be made by me.

I believe that I am the original inventor or an original joint inventor of a claimed invention in the above-identified application.

I have reviewed and understand the contents of the above-identified application, including the claims.

I acknowledge the duty to disclose information which is material to patentability as defined in 37 C.F.R. § 1.56, including for continuation-in-part applications, material information which became available between the filing date of the prior application and the national or PCT international filing date of the continuation-in-part application.

I acknowledge that any willful false statement made in this declaration is punishable under 18 U.S.C. § 1001 by fine or imprisonment of not more than five (5) years, or both.

ASSIGNMENT

In consideration of good and valuable consideration, the receipt of which is hereby acknowledged, the undersigned,

(1) Won-Se Lee, Won-Kyu Kwak, and Se-Ho Kim

HEREBY SELL(S), ASSIGN(S) AND TRANSFER(S) TO

(2) SAMSUNG DISPLAY CO., LTD.

having a place of business at

(3) 95, Samsung 2-ro, Giheung-gu, Yongin-si, Gyeonggi-do, Republic of Korea

(hereinafter called "ASSIGNEE") the entire right, title and interest in and to any and all improvements which are disclosed in the application for United States Letters Patent entitled

**INVENTOR'S DECLARATION AND ASSIGNMENT
FOR PATENT APPLICATION**

Docket No. 71549/L550

(4) THIN FILM TRANSISTOR ARRAY SUBSTRATE AND ORGANIC LIGHT-
EMITTING DIODE DISPLAY

which application executed on even date
herewith or was

(a) executed on (5a): _____;

(b) filed on (5b): _____;

Application No.: _____;

(CHRISTIE, PARKER & HALE, LLP, P.O. Box
29001, Glendale, CA 91209-9001) is hereby
authorized to insert in (b) the specified data,
when known.

including any and all United States Patents which may be granted on said application, and any and all extensions, divisions, reissues, substitutes, renewals or continuations of said application and patents, and the right to all benefits under all international conventions for the protection of industrial property and applications for said improvements.

It is hereby authorized and requested that the Commissioner of Patents issue any and all of said Letters Patent, when granted, to said ASSIGNEE, its assigns or its successors in interest or its designee.

Upon said consideration, it is further agreed that, when requested, without charge to but at the expense of said ASSIGNEE, the undersigned will execute all divisional, continuing, substitute, renewal, and reissue patent applications; execute all rightful other papers; and generally do everything possible which said ASSIGNEE shall consider desirable for aiding in securing and maintaining patent protection as provided herein.

Won-Se Lee
Legal Name of Inventor

18 January 2013
Date

Won-Se Lee
Signature

Won-Kyu Kwak
Legal Name of Inventor

18 January 2013
Date

Won-Kyu Kwak
Signature

**INVENTOR'S DECLARATION AND ASSIGNMENT
FOR PATENT APPLICATION**

Docket No. 71549/L550

Se-Ho Kim
Legal Name of Inventor

18 January 2013
Date

Se-Ho Kim
Signature

WITNESSES:

AM PASI204398.1-11/16/12 11:45 AM