

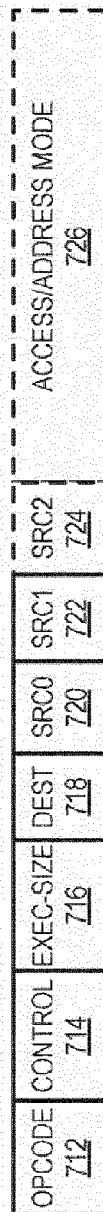
EP 3 385 848 A1

GRAPHICS PROCESSOR INSTRUCTION FORMATS

700

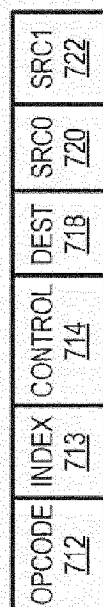
128-BIT INSTRUCTION

710



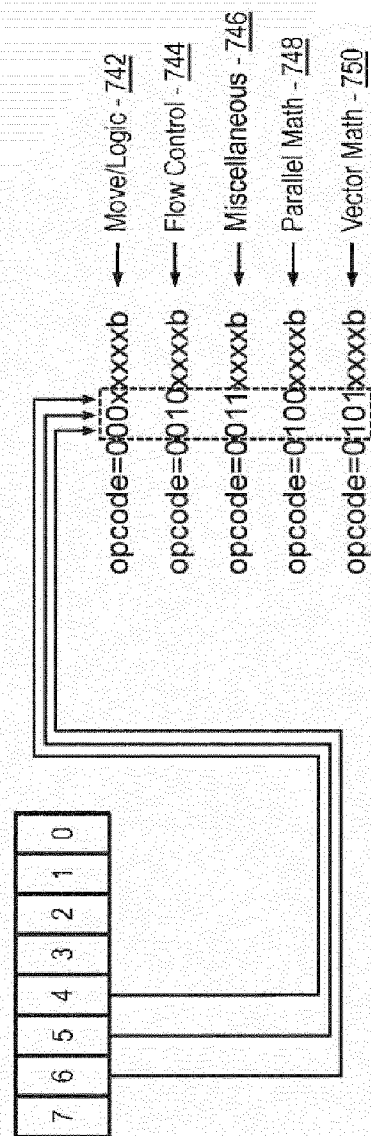
64-BIT COMPACT INSTRUCTION

730



OPCODE DECODE

740


FIG. 7

EP 3 385 848 A1

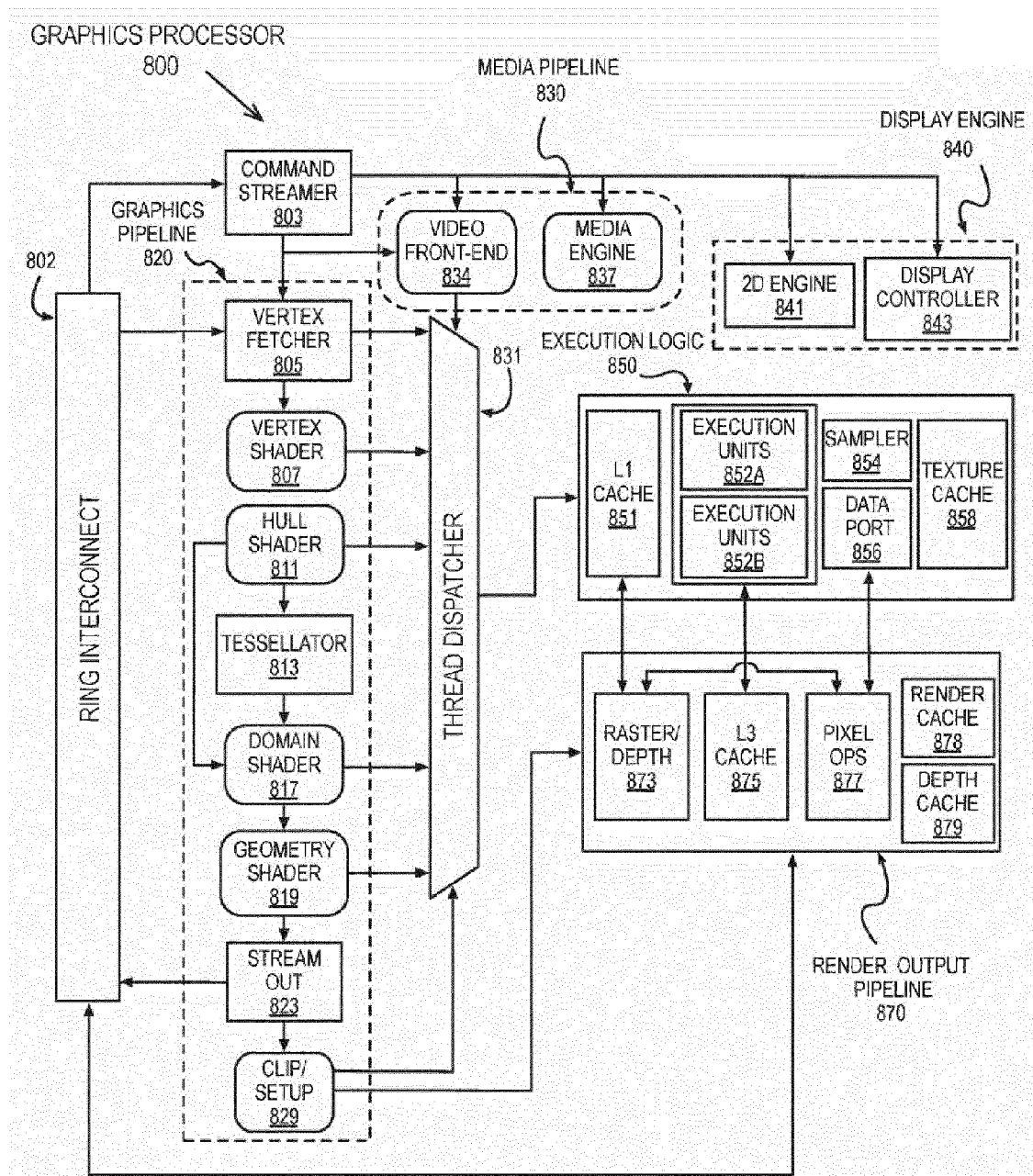
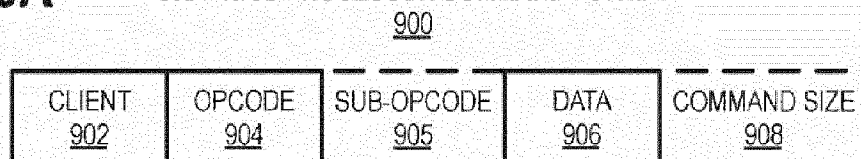
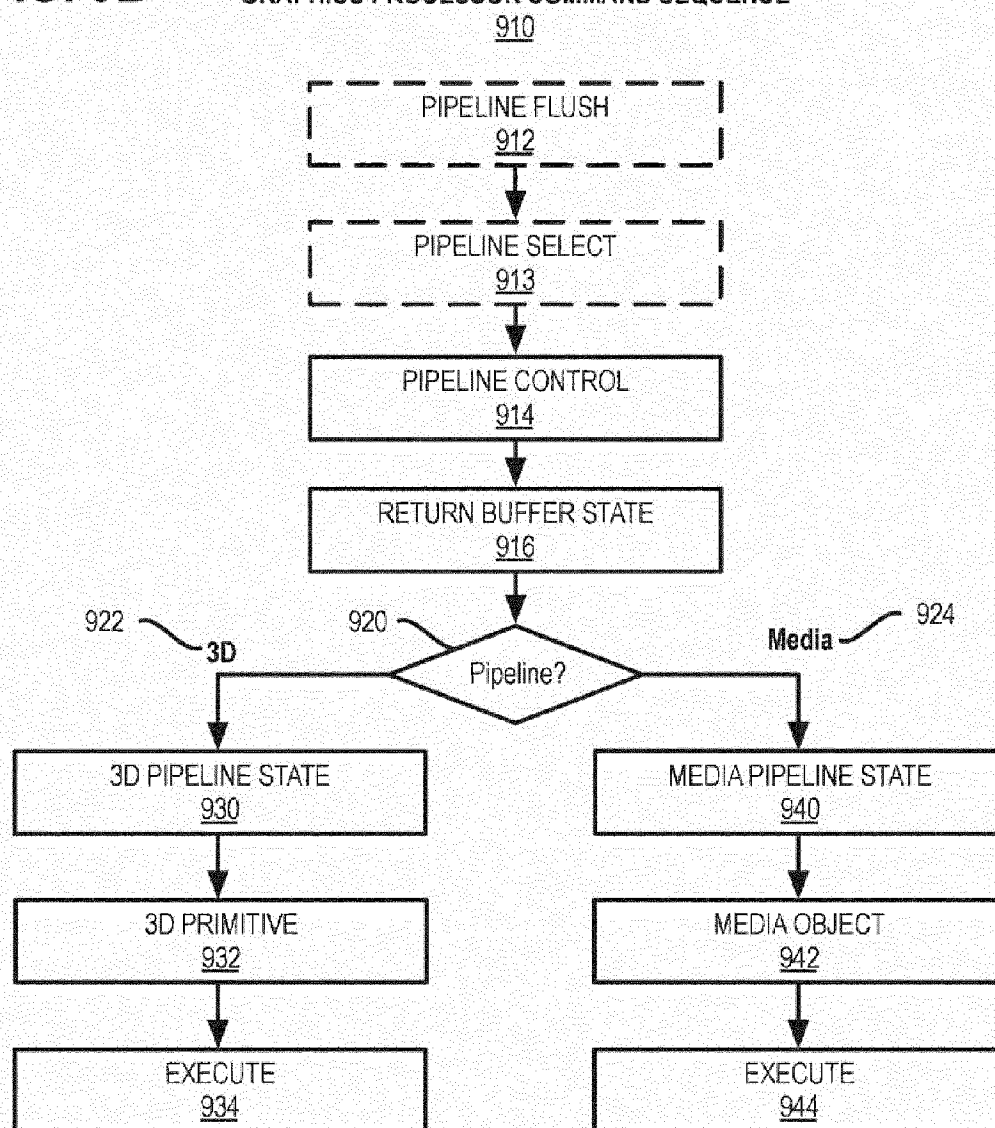
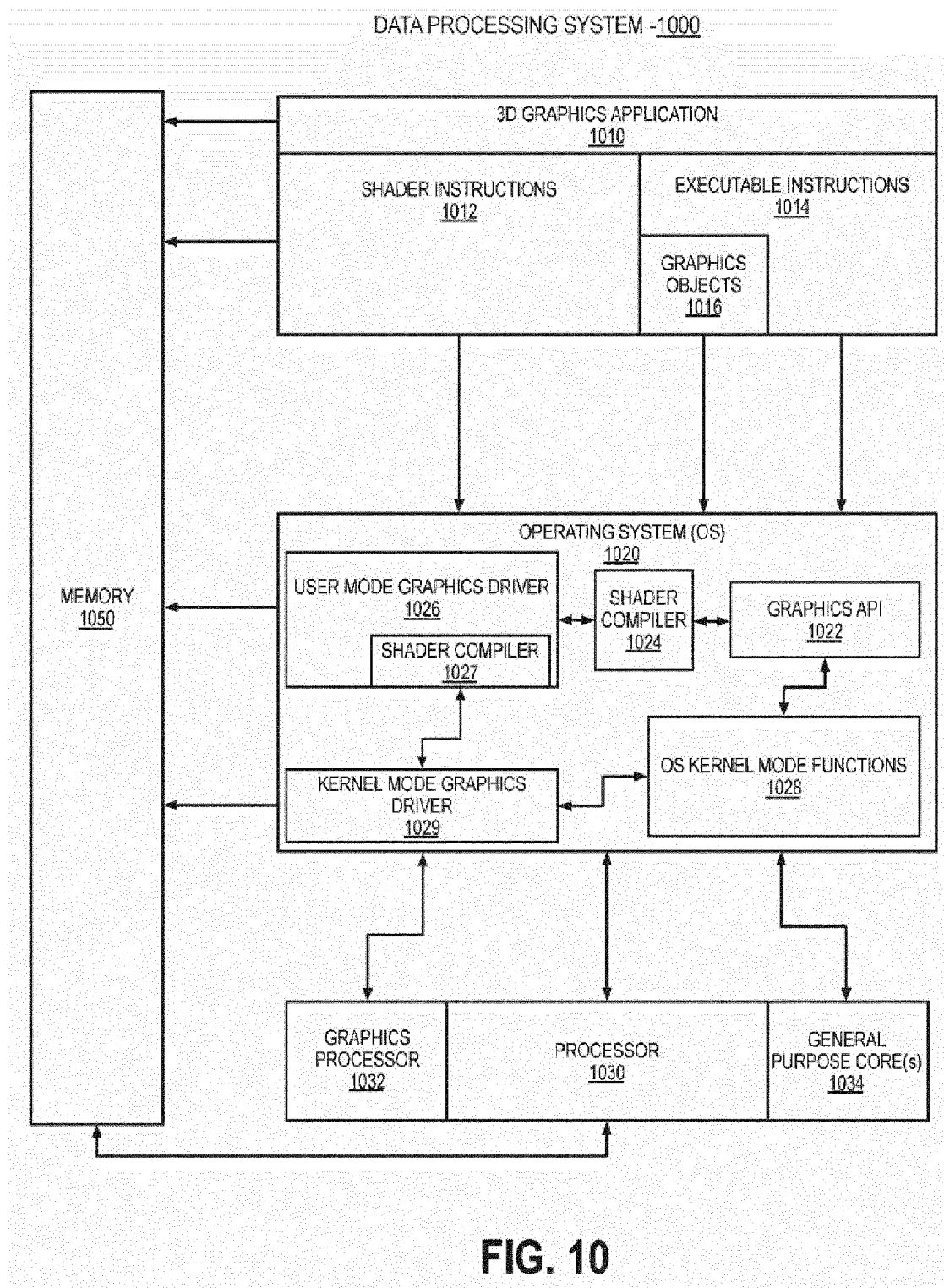


FIG. 8

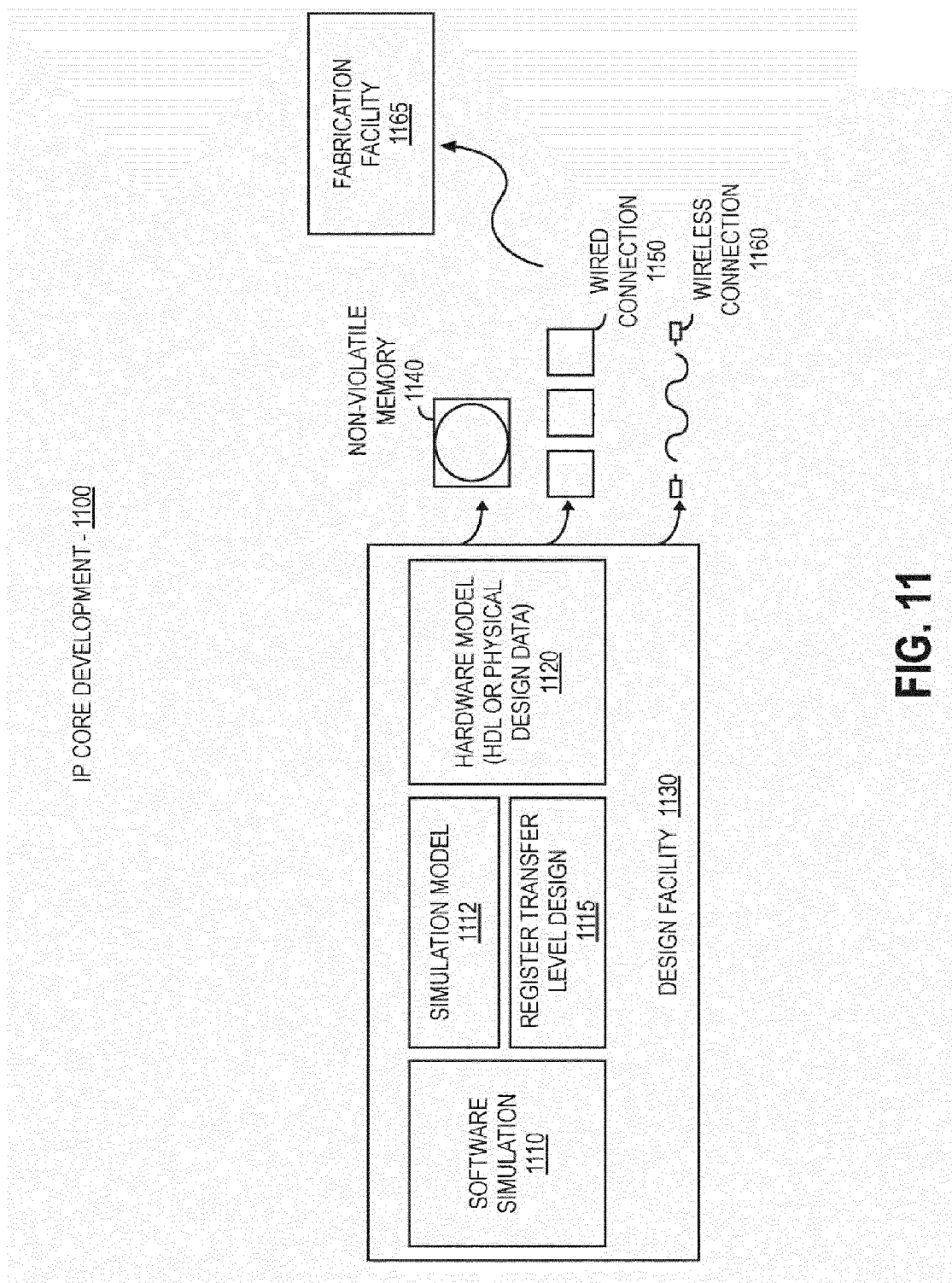
EP 3 385 848 A1

FIG. 9A**GRAPHICS PROCESSOR COMMAND FORMAT****FIG. 9B****GRAPHICS PROCESSOR COMMAND SEQUENCE**

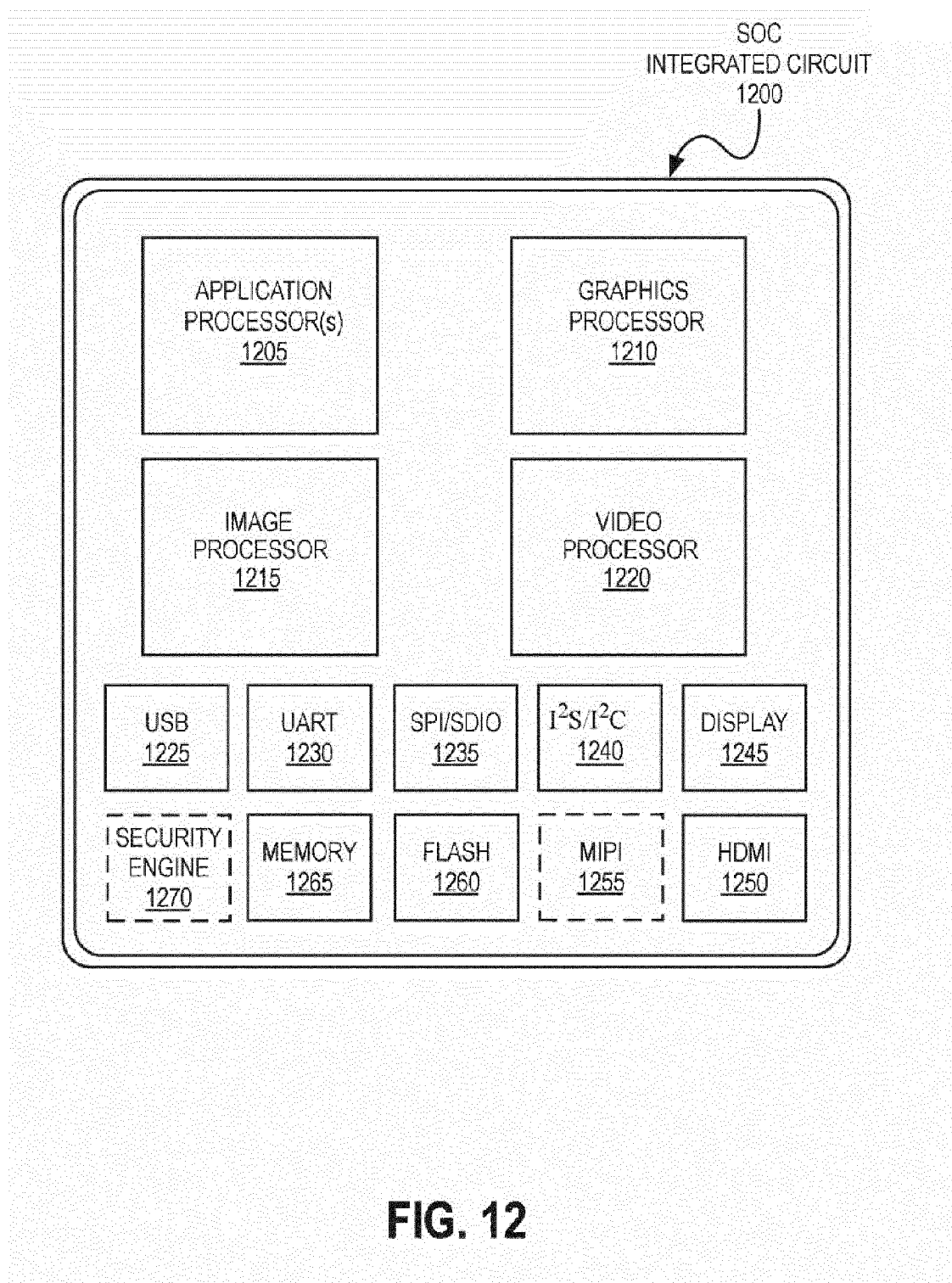
EP 3 385 848 A1



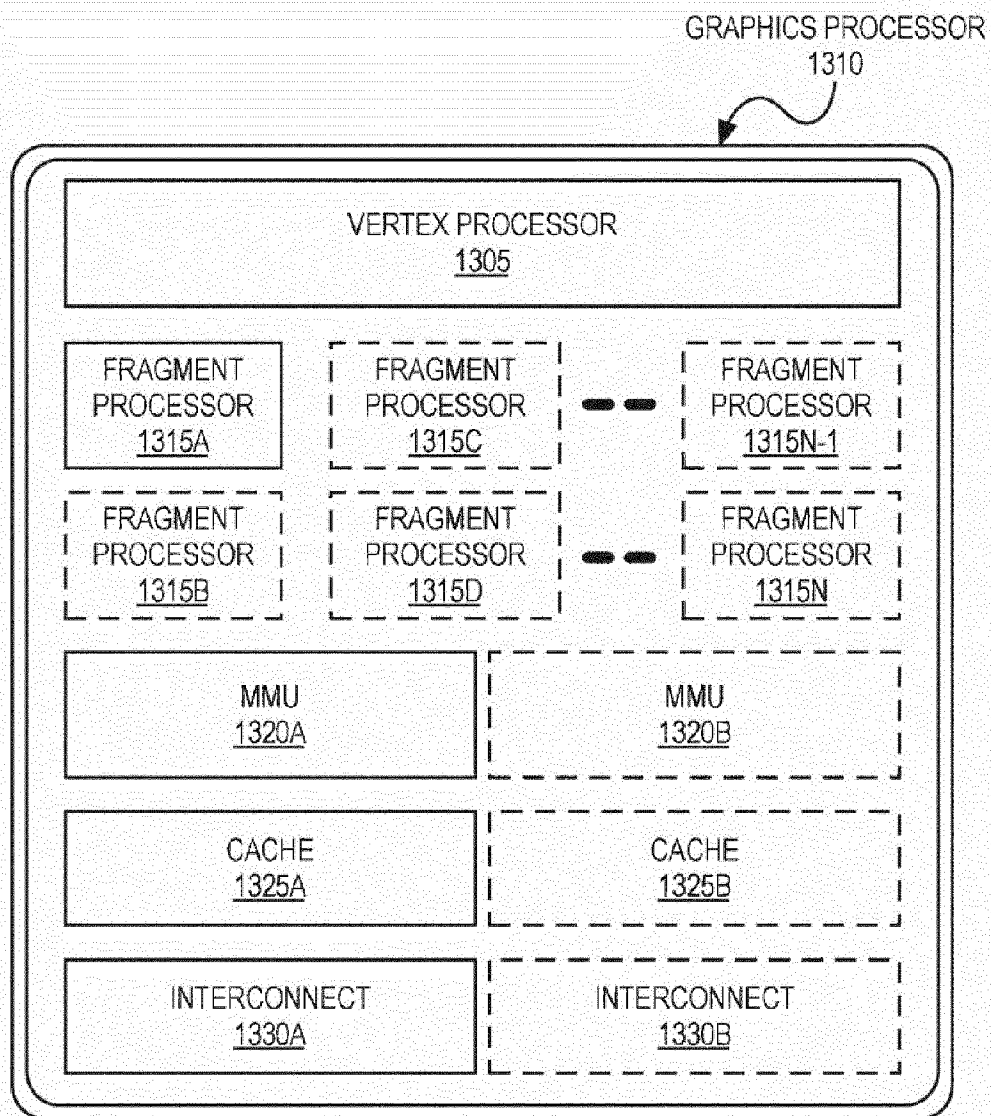
EP 3 385 848 A1



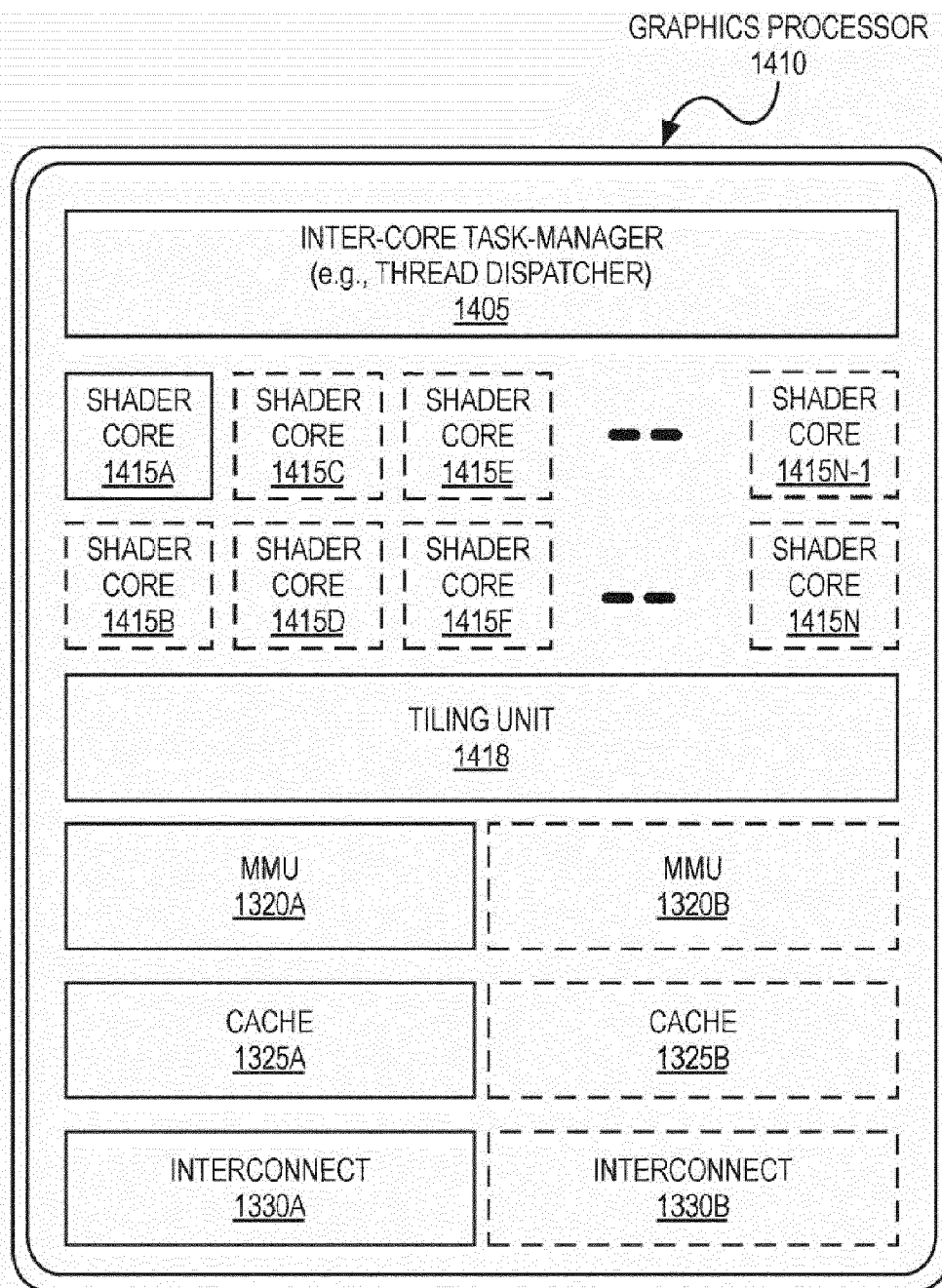
EP 3 385 848 A1

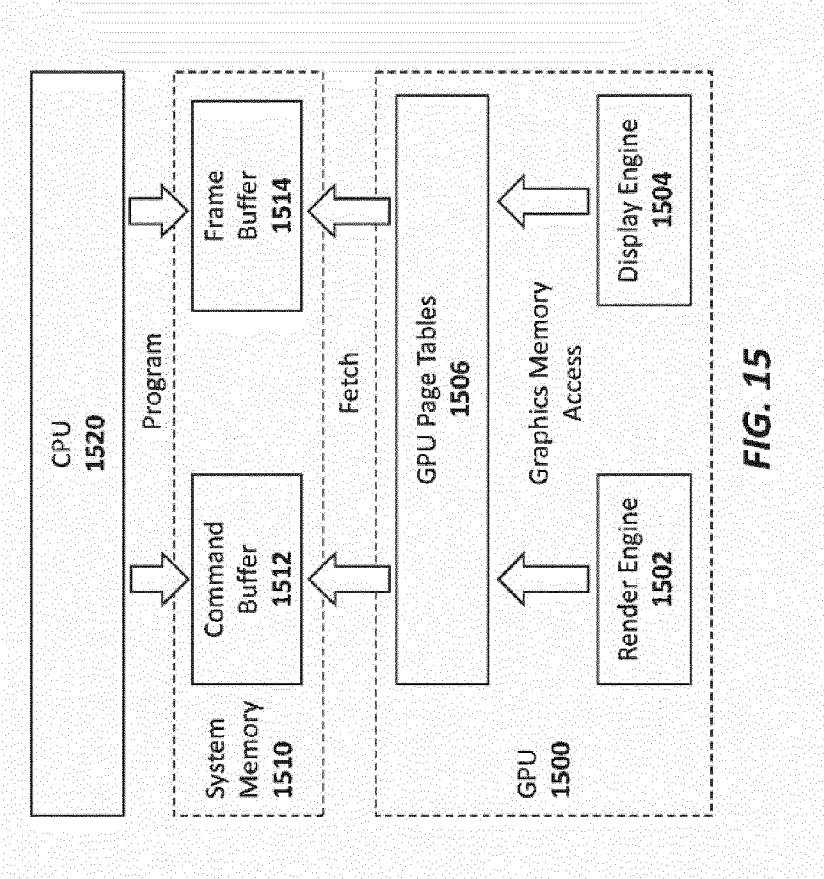


EP 3 385 848 A1

**FIG. 13**

EP 3 385 848 A1

**FIG. 14**



EP 3 385 848 A1

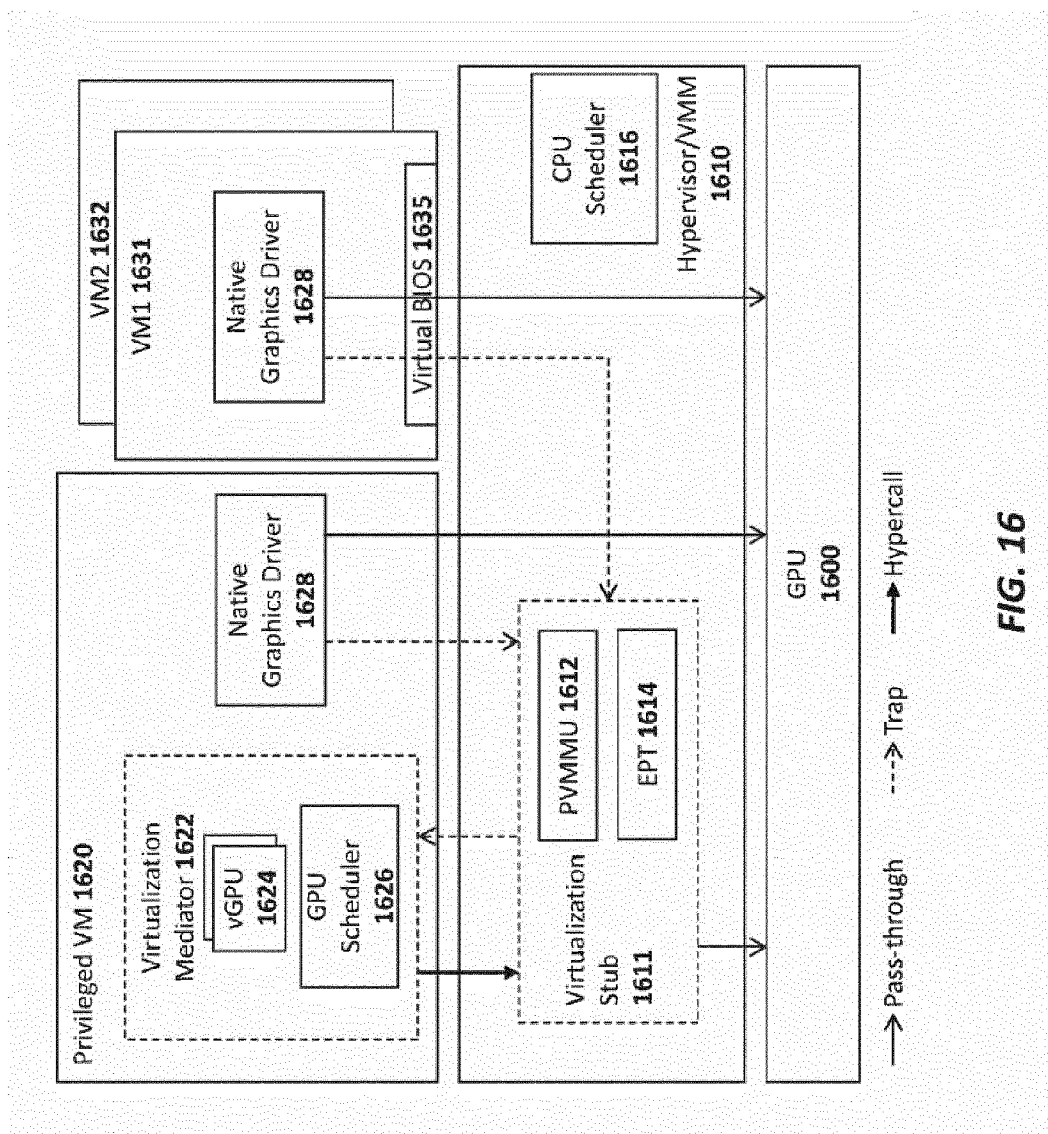


FIG. 16

EP 3 385 848 A1

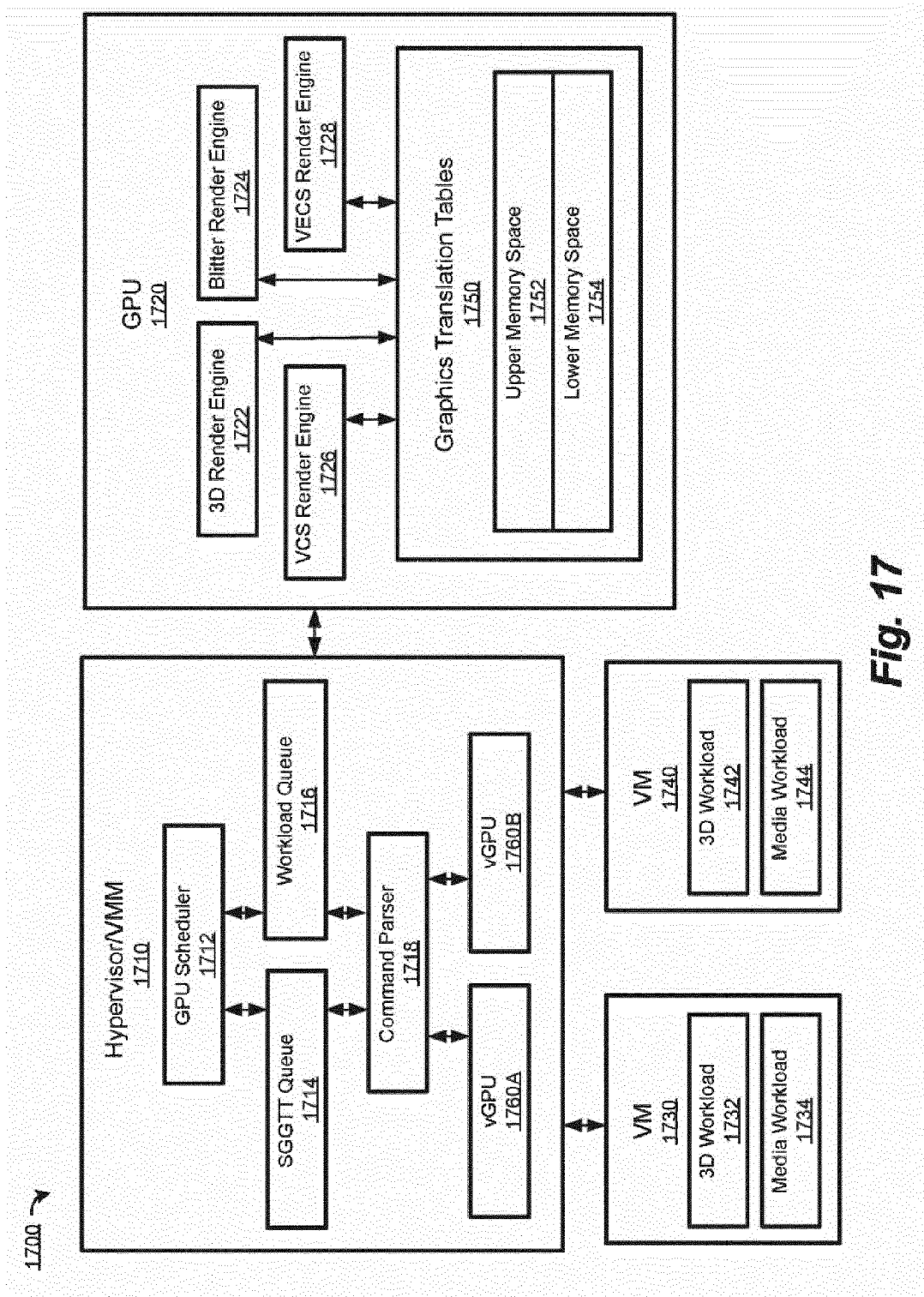


Fig. 17

EP 3 385 848 A1

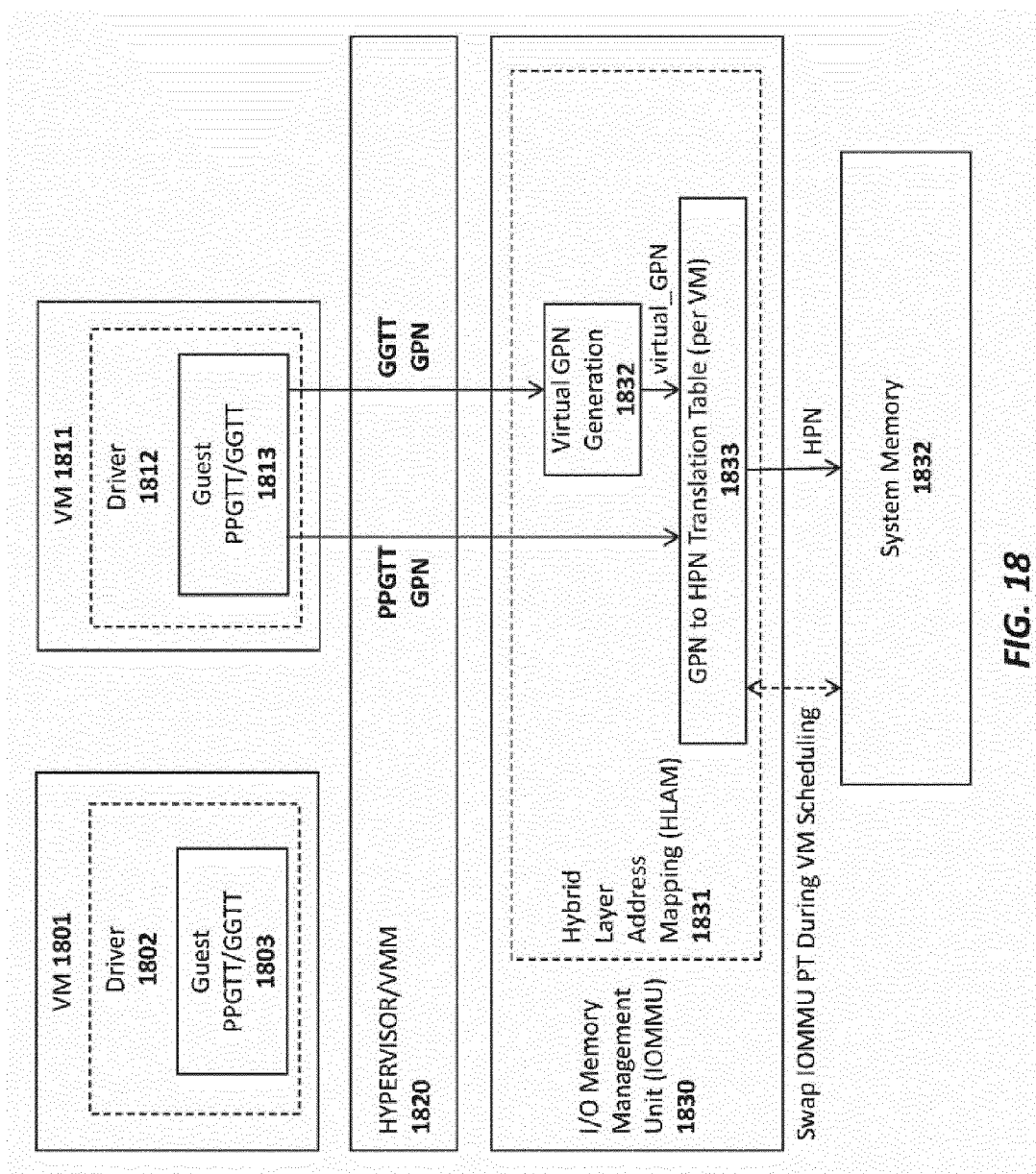
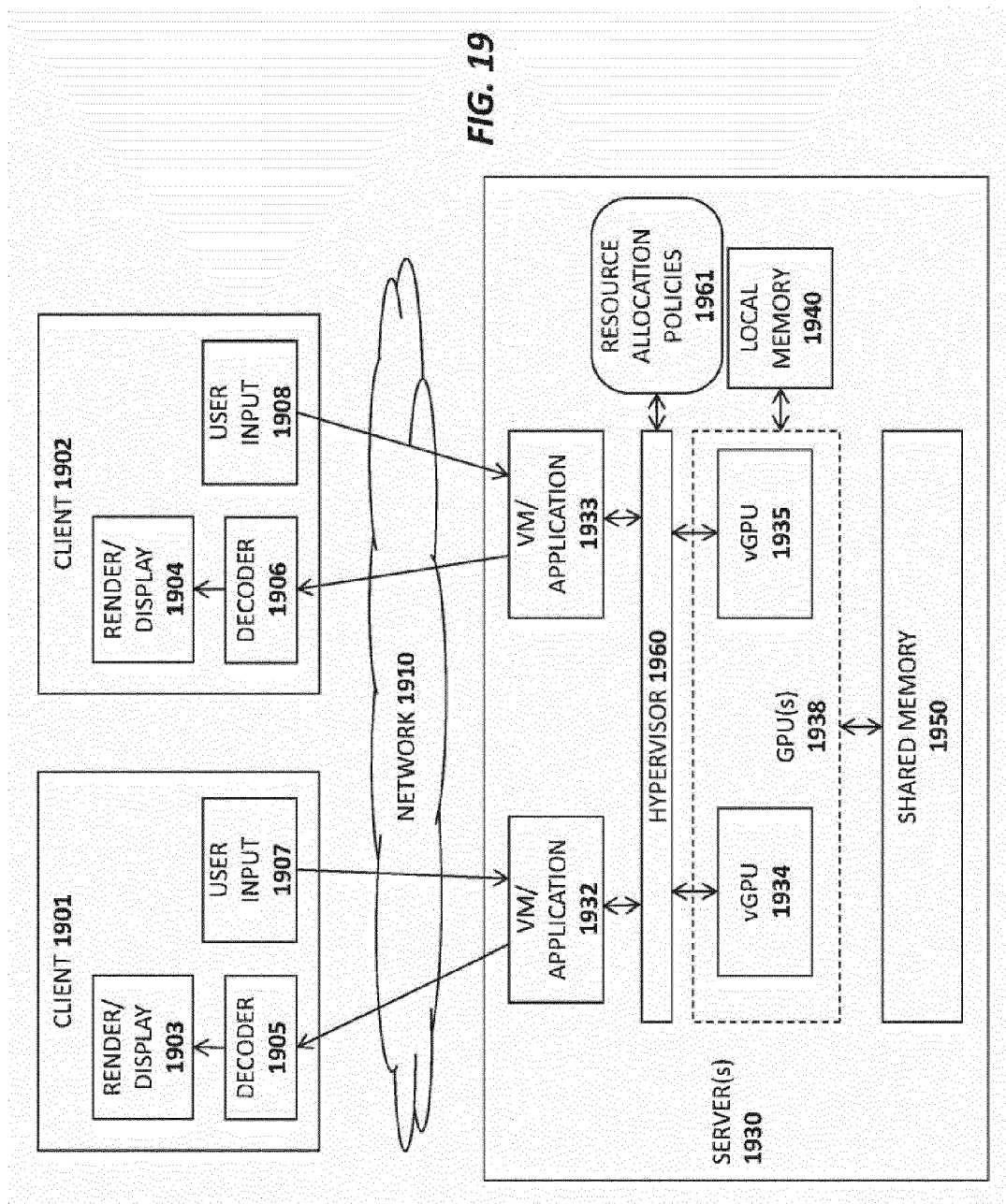


FIG. 18



EP 3 385 848 A1

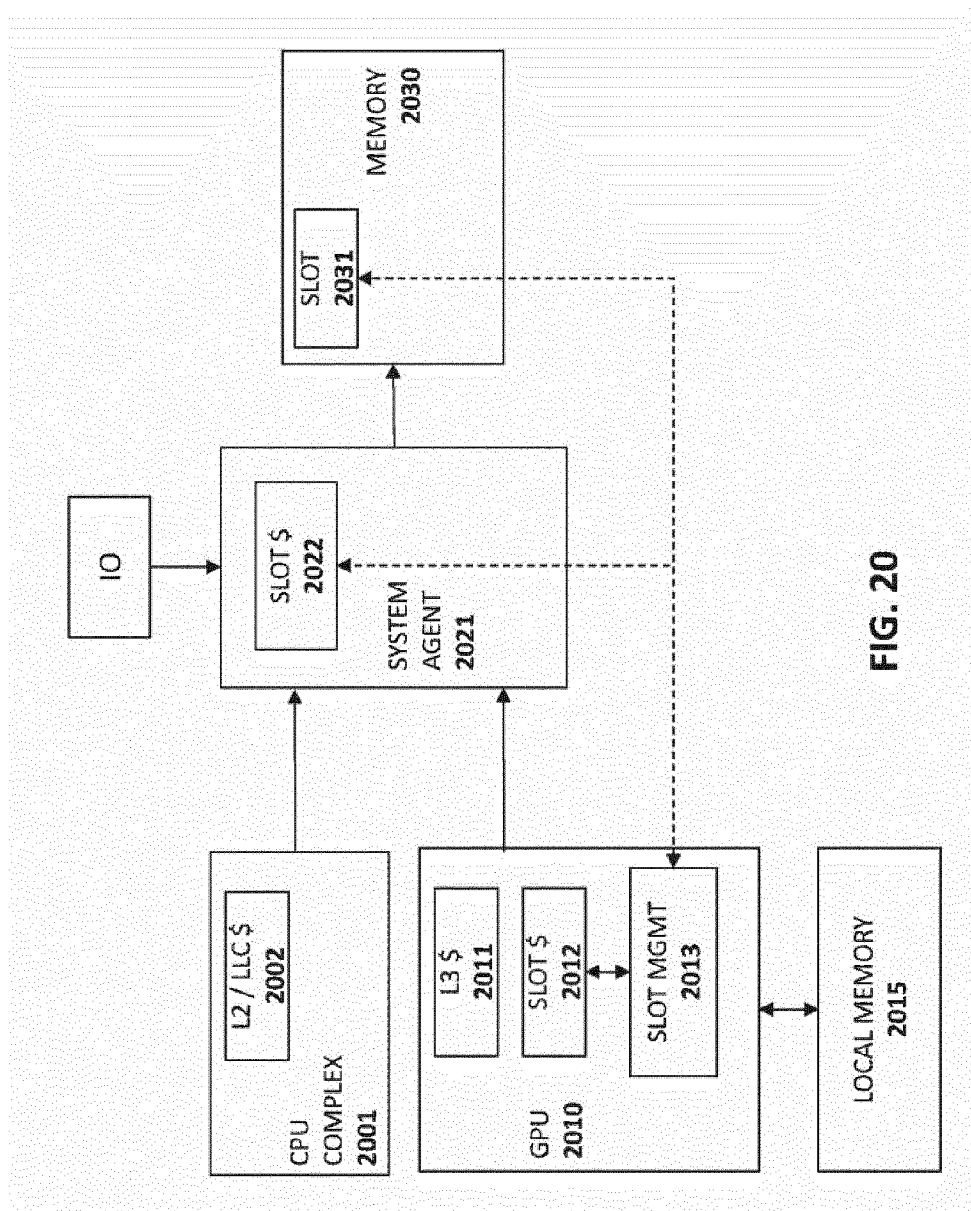
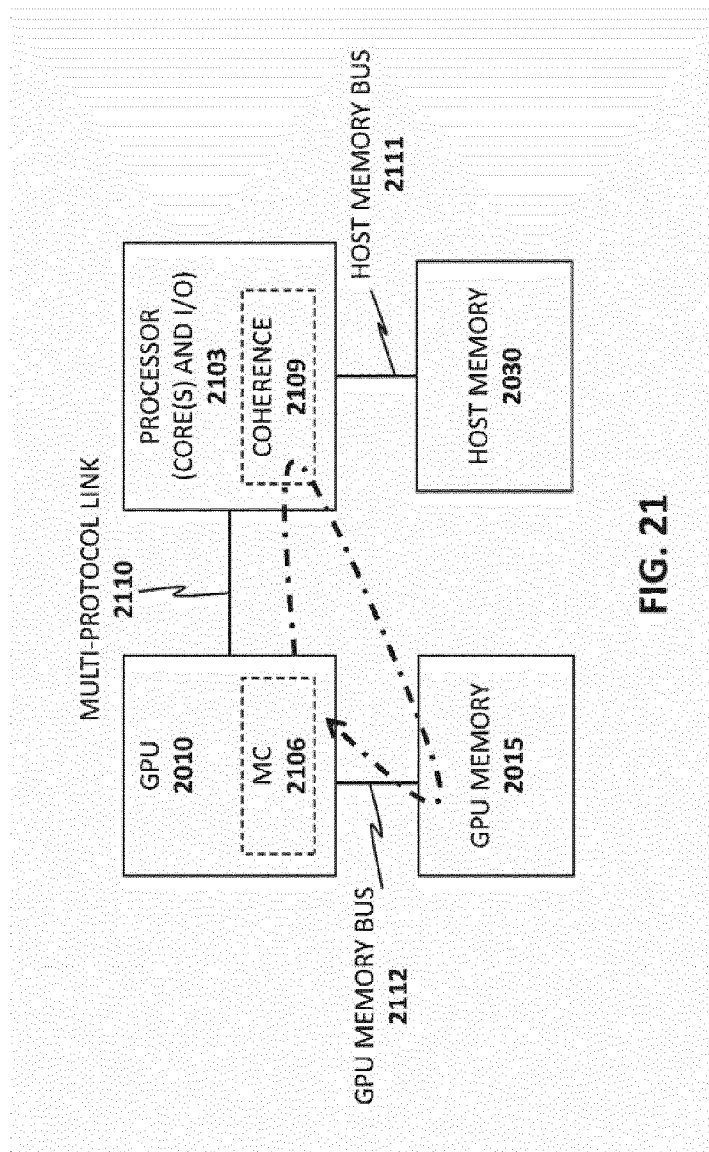
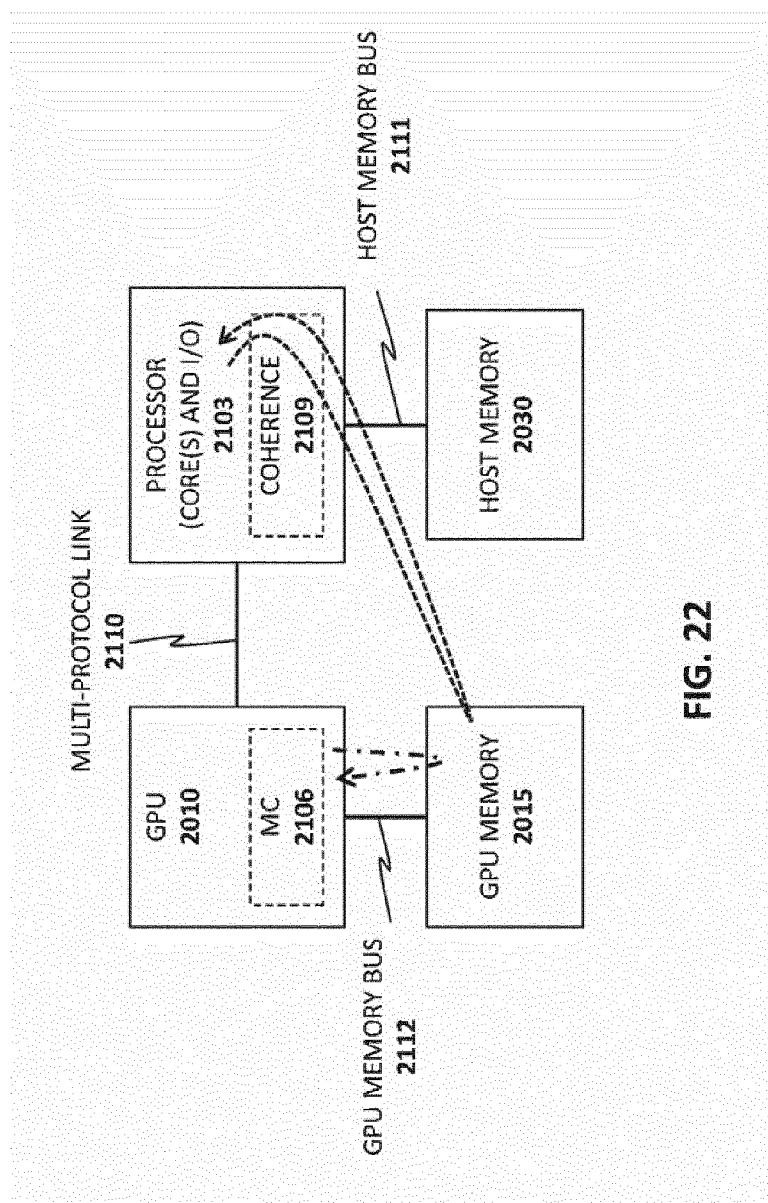


FIG. 20

EP 3 385 848 A1



EP 3 385 848 A1

**FIG. 22**

EP 3 385 848 A1

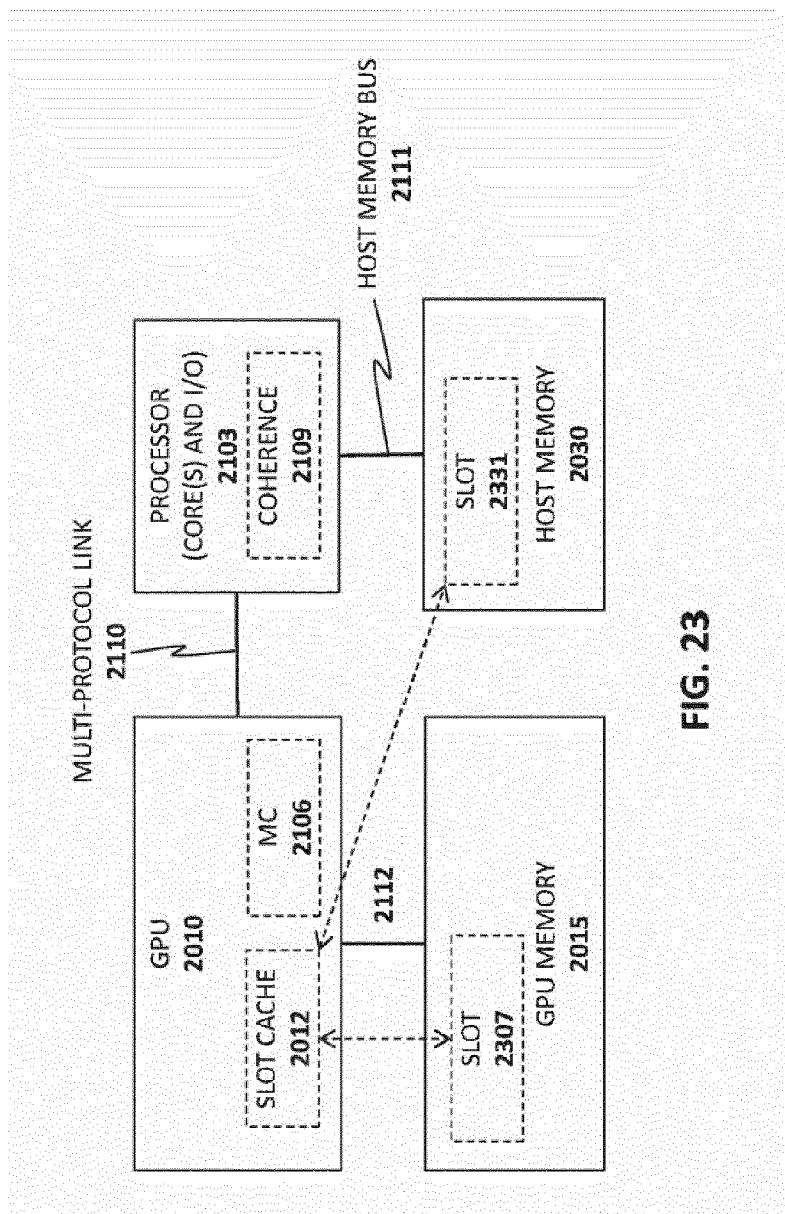
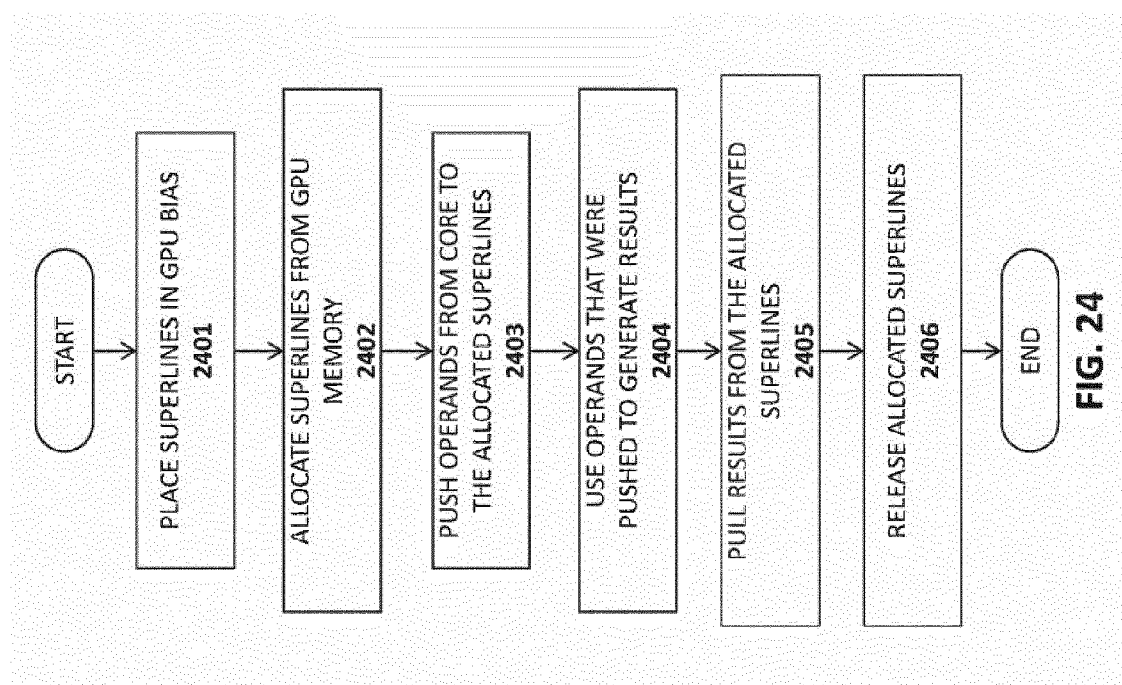
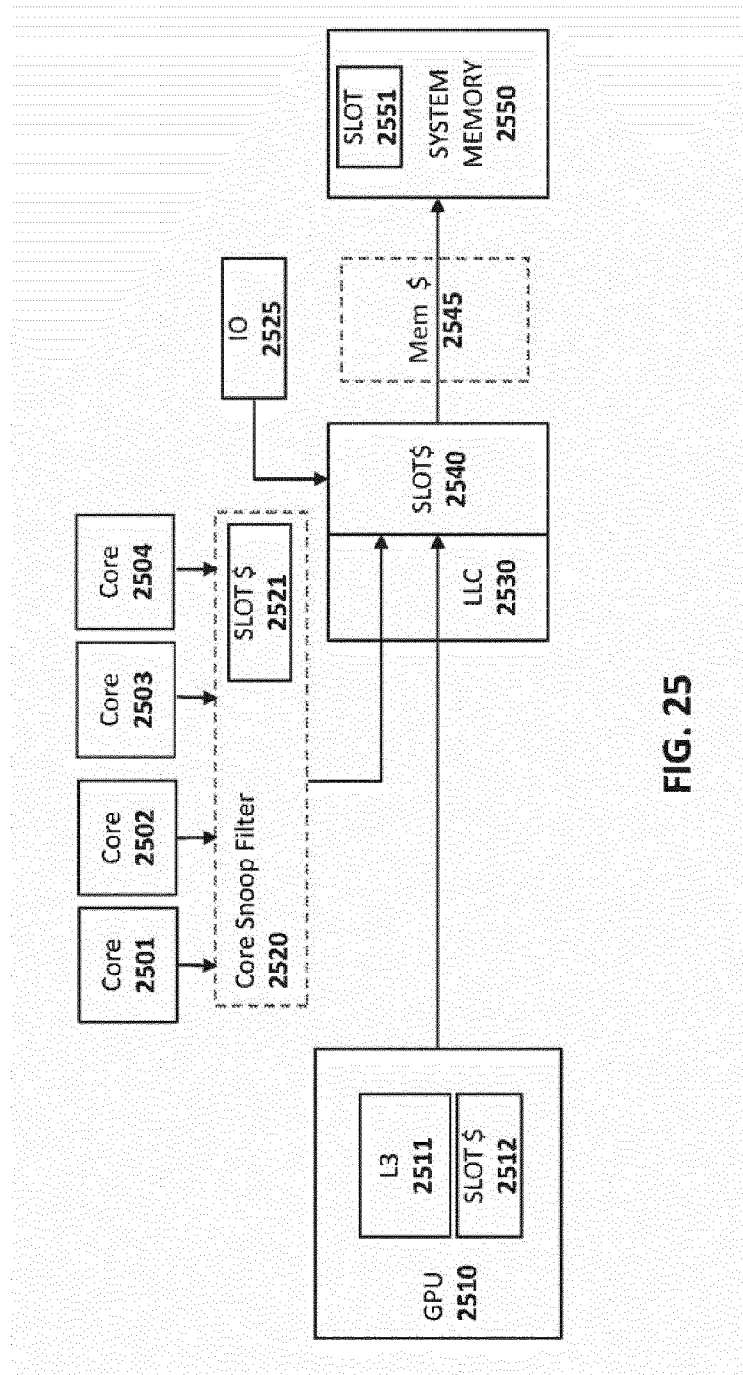


FIG. 23

EP 3 385 848 A1

**FIG. 24**

EP 3 385 848 A1



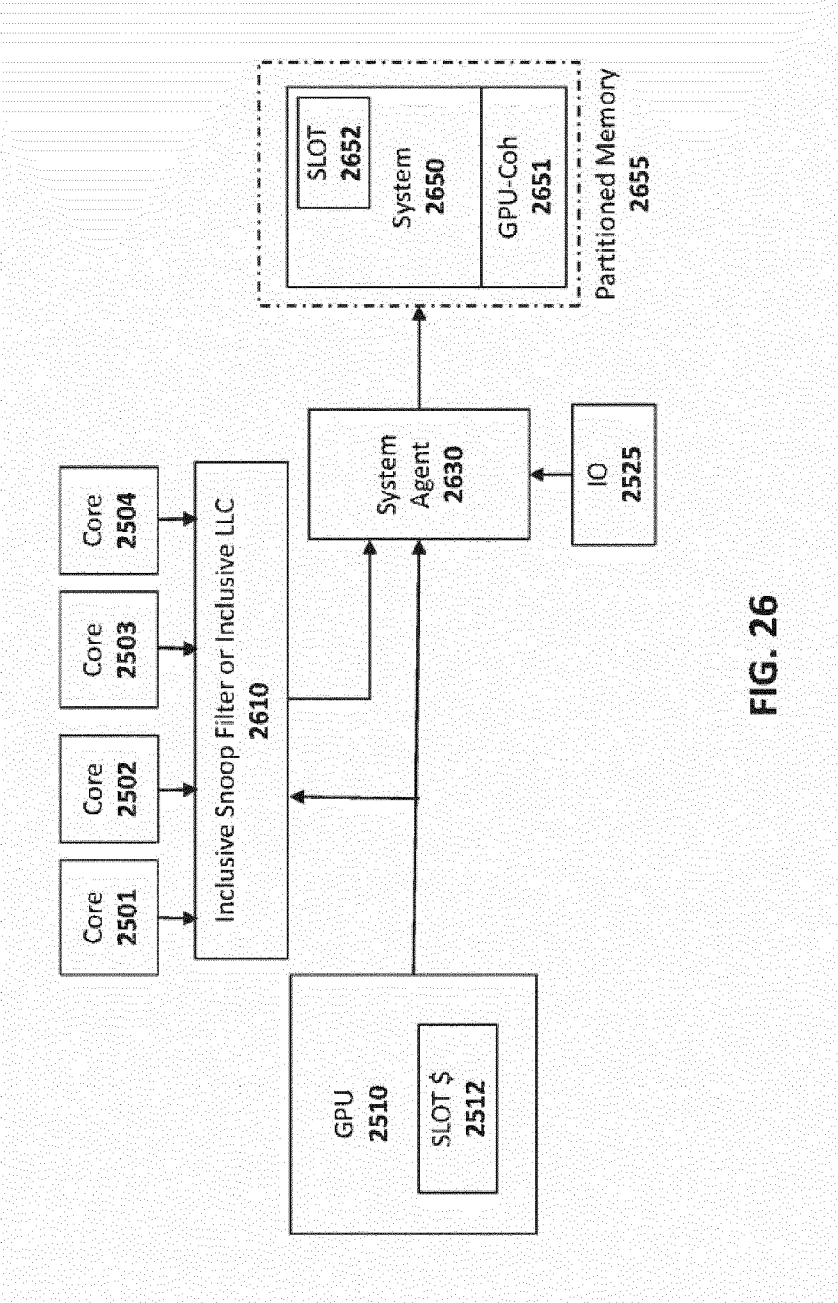


FIG. 26

EP 3 385 848 A1

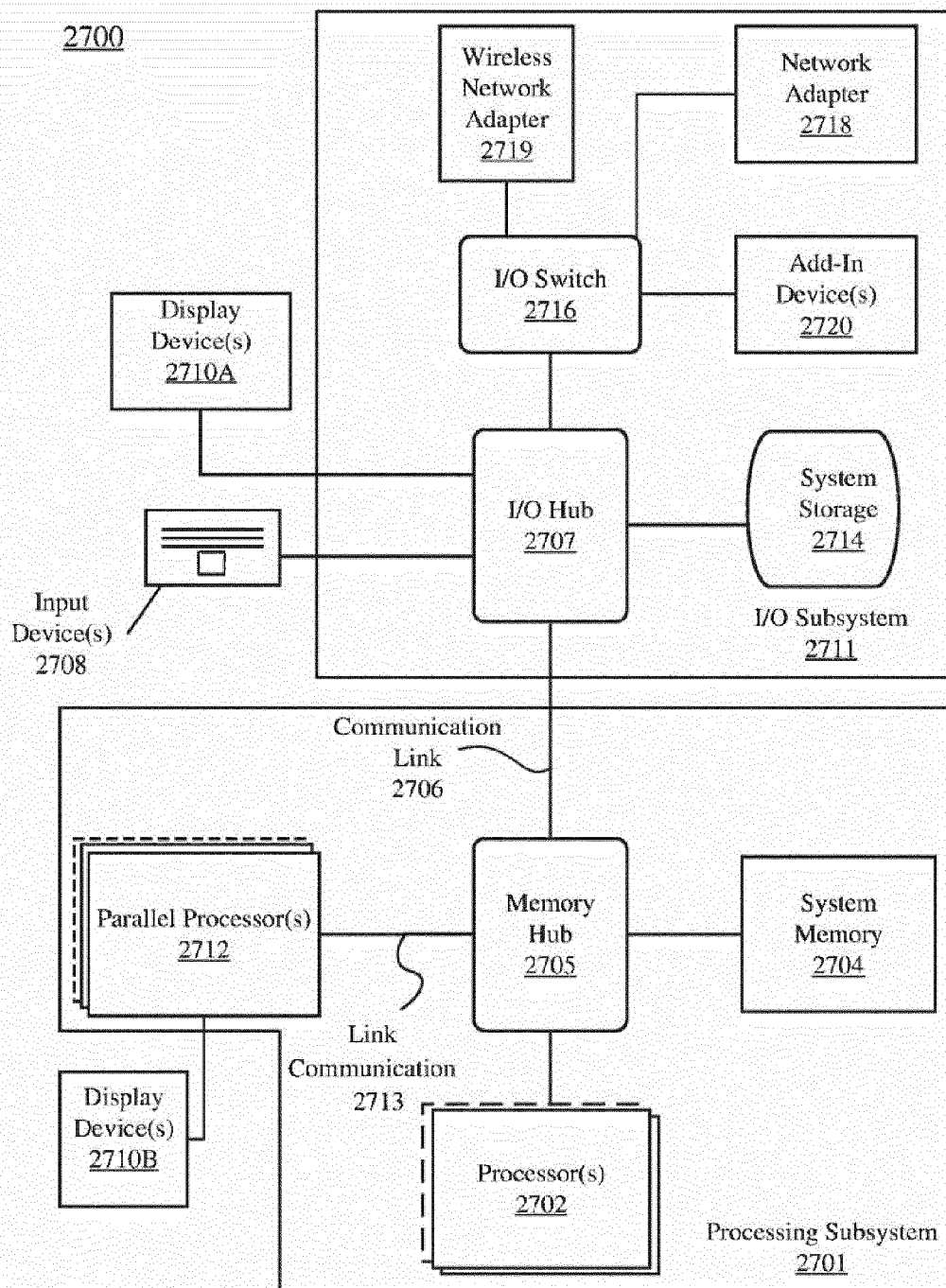


FIG. 27

EP 3 385 848 A1

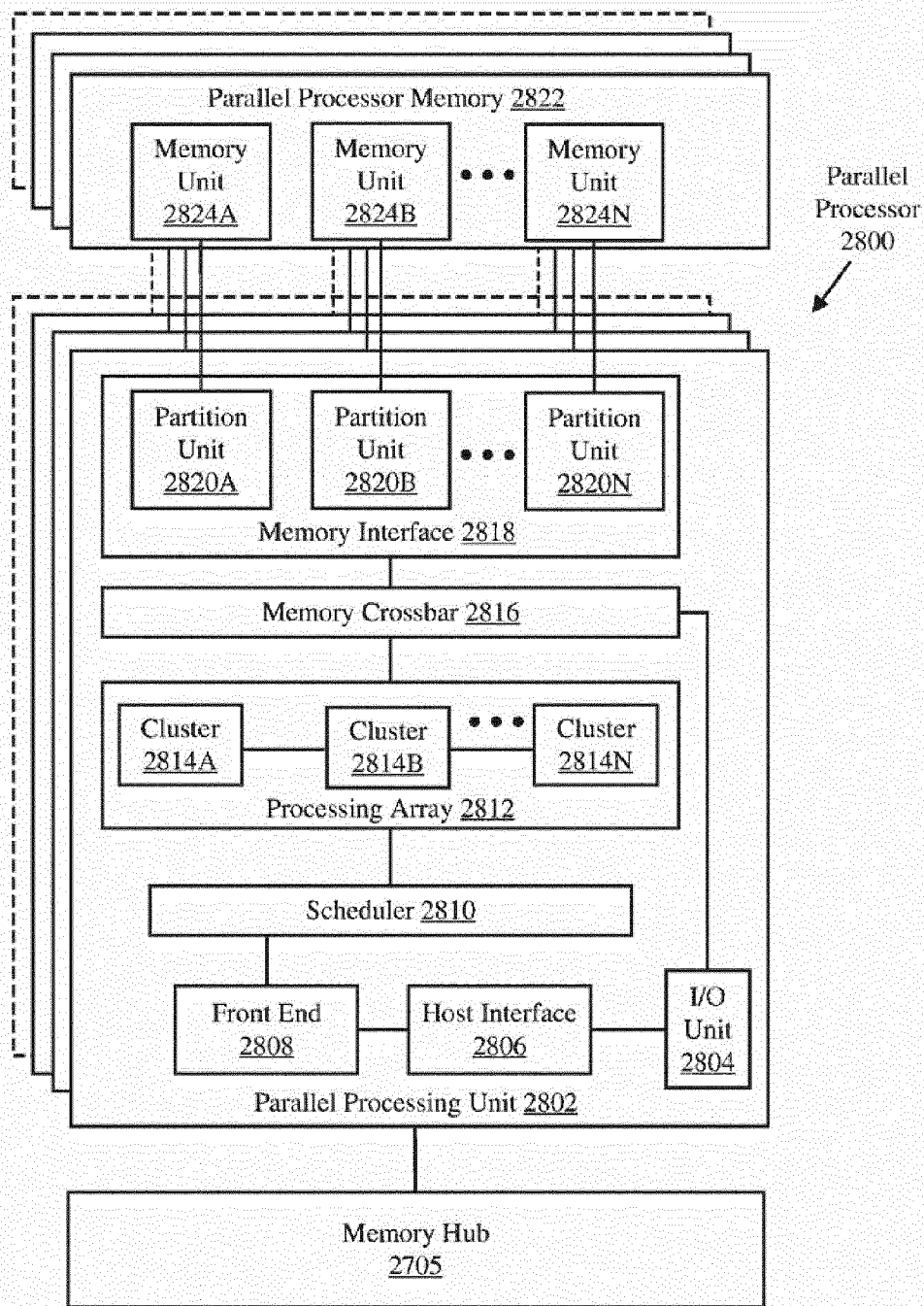


FIG. 28A

EP 3 385 848 A1

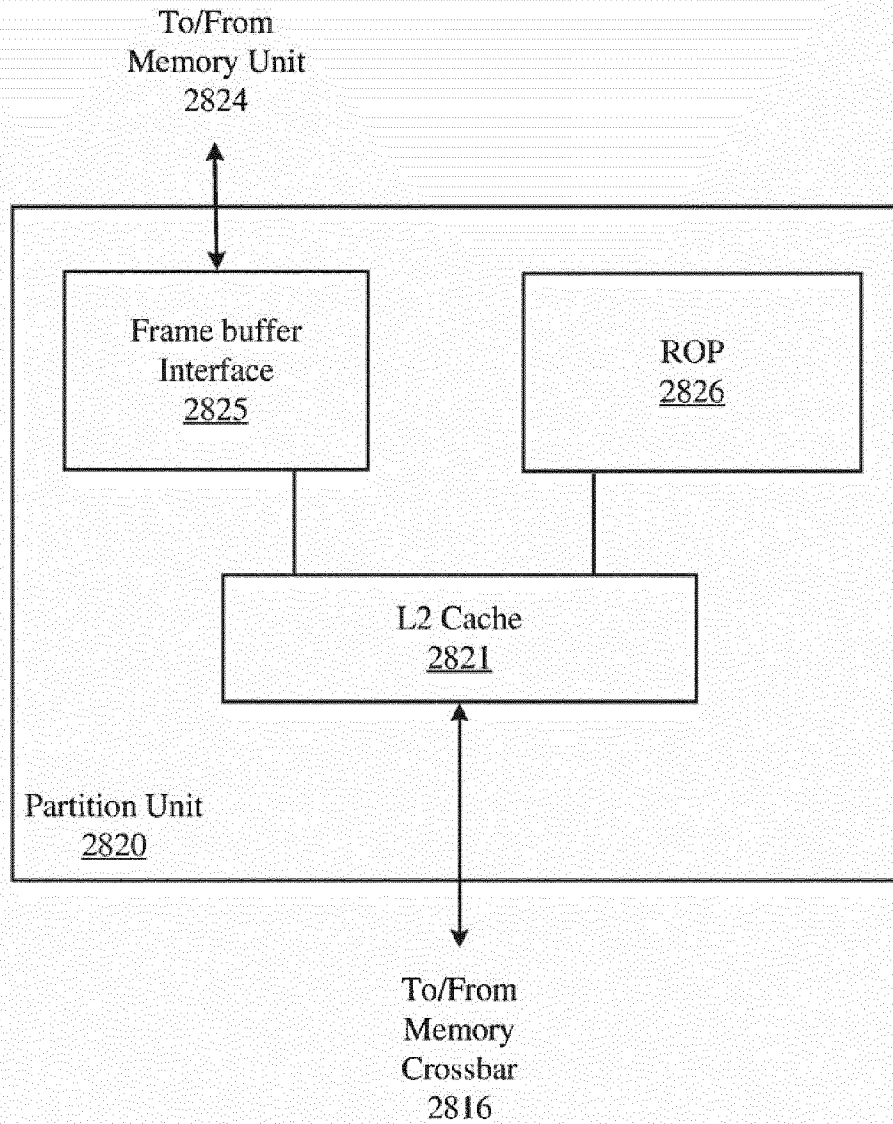


FIG. 28B

EP 3 385 848 A1

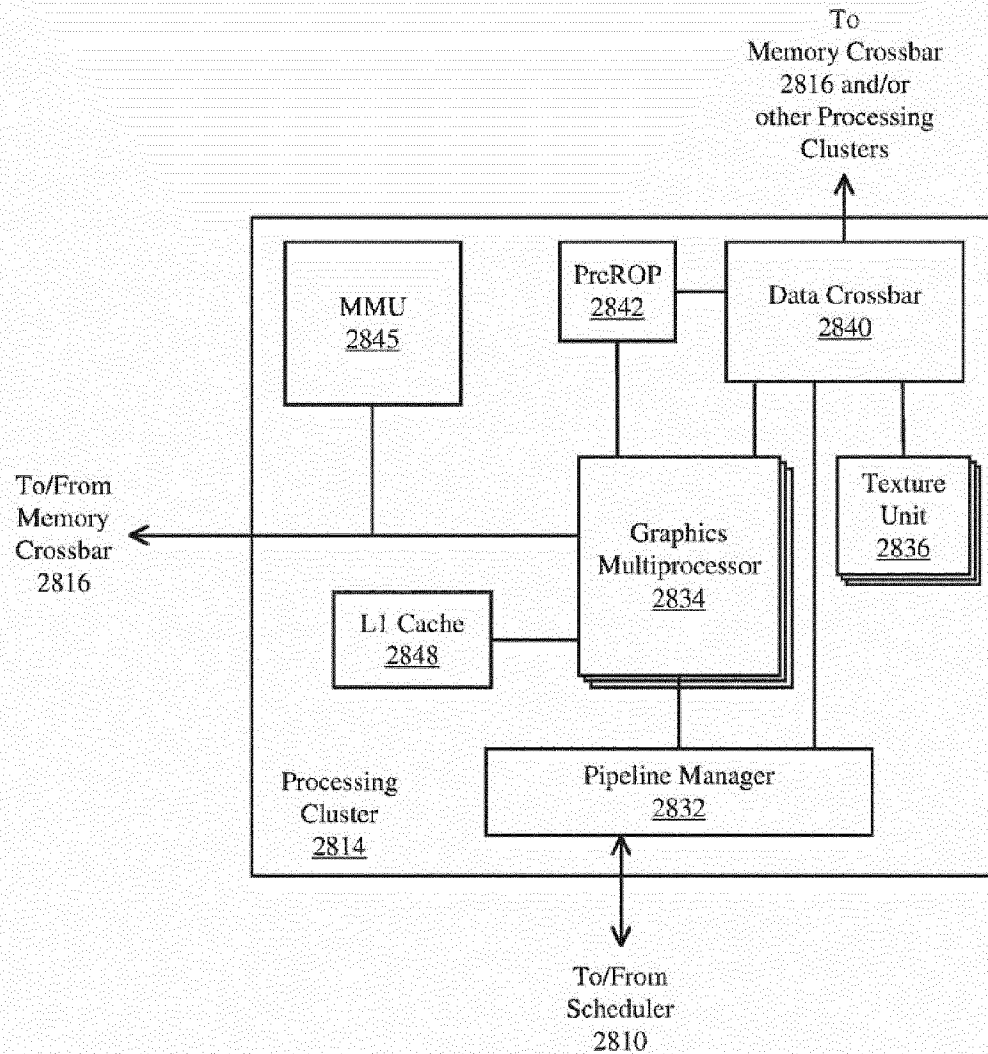


FIG. 28C

EP 3 385 848 A1

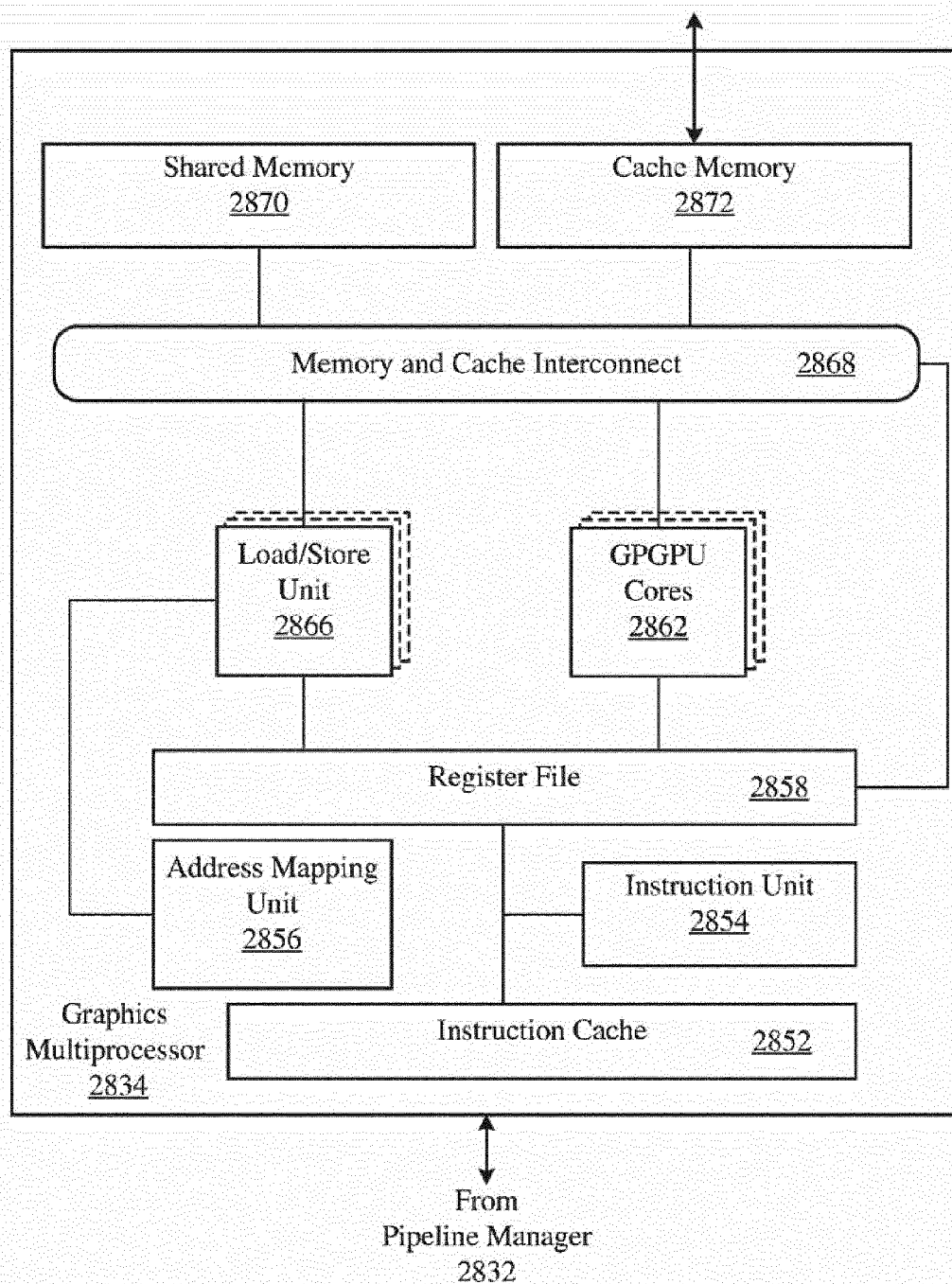


FIG. 28D

EP 3 385 848 A1

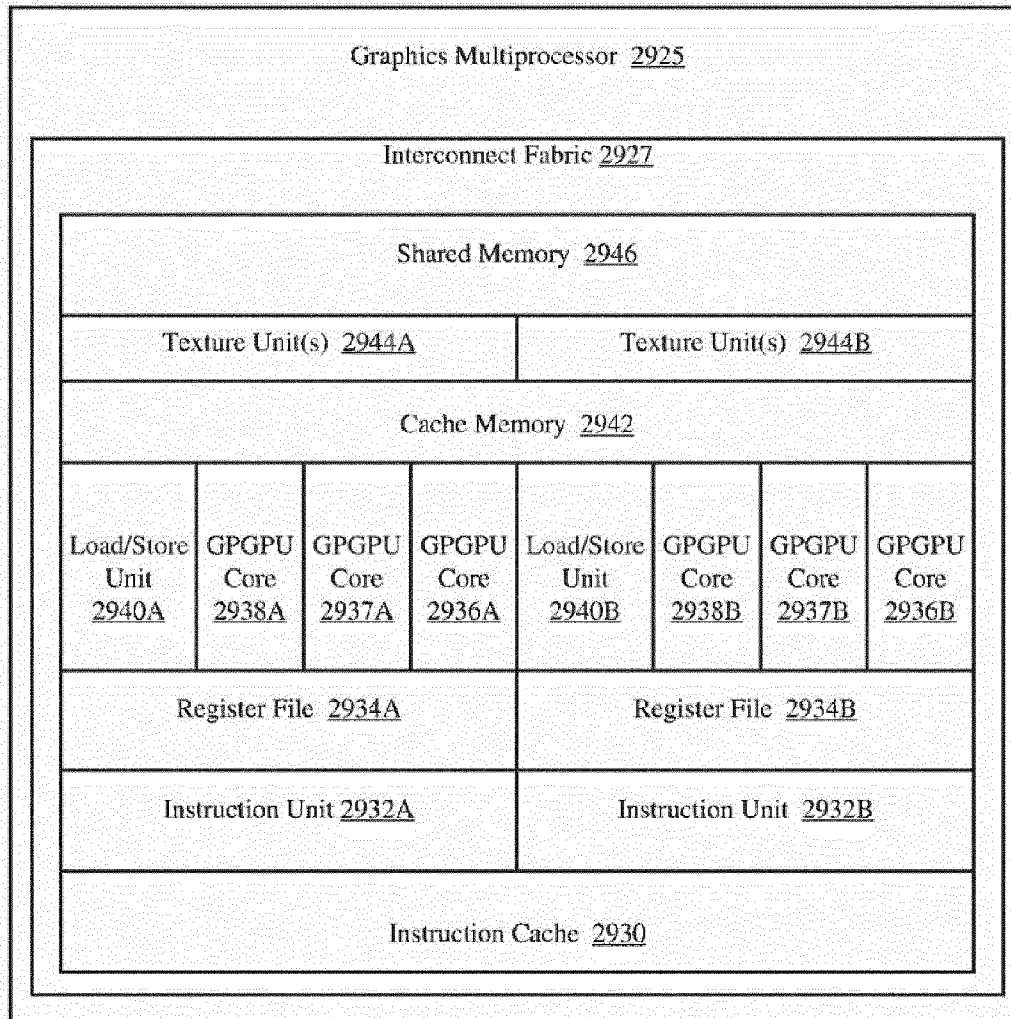


FIG. 29A

EP 3 385 848 A1

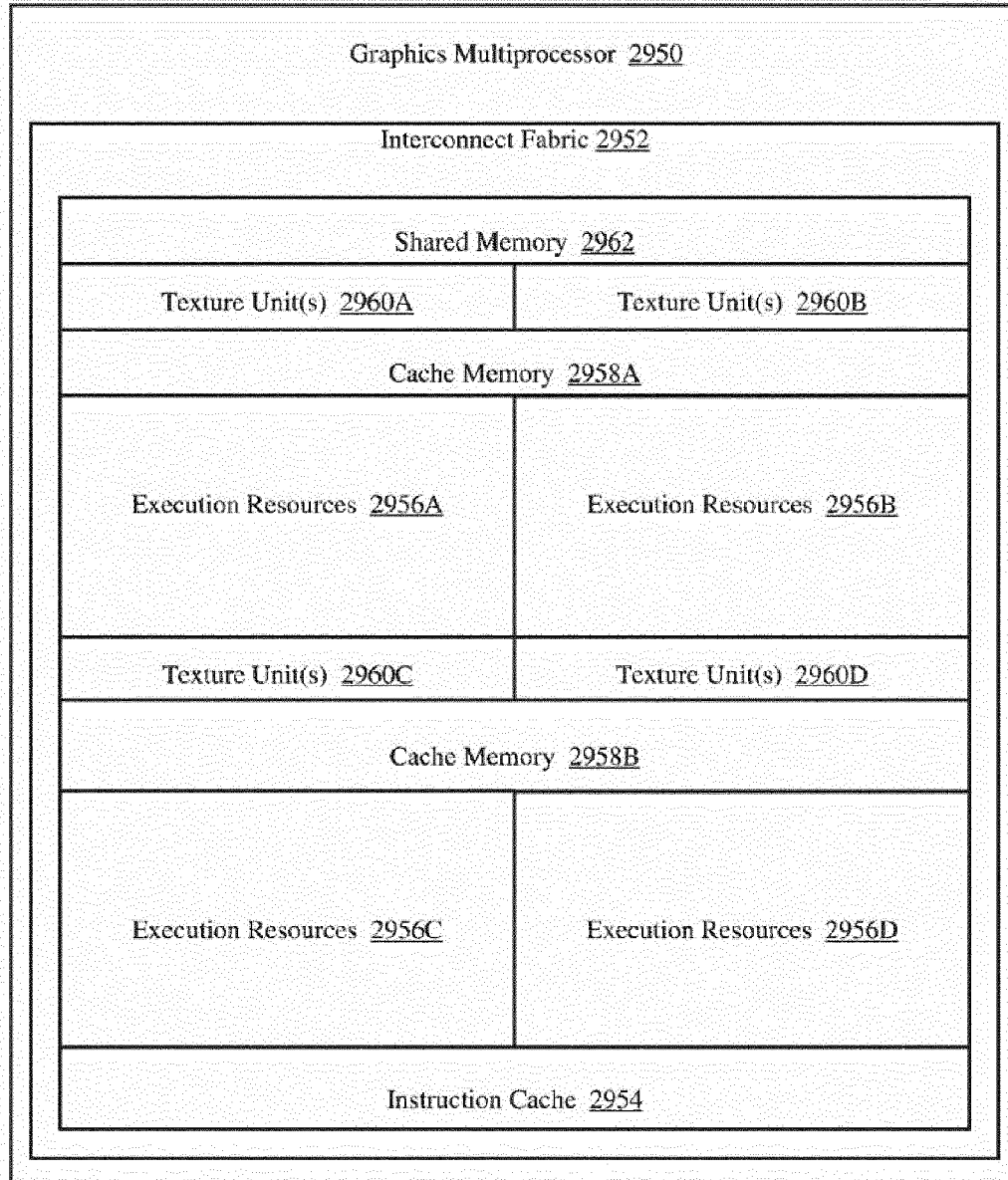


FIG. 29B

EP 3 385 848 A1

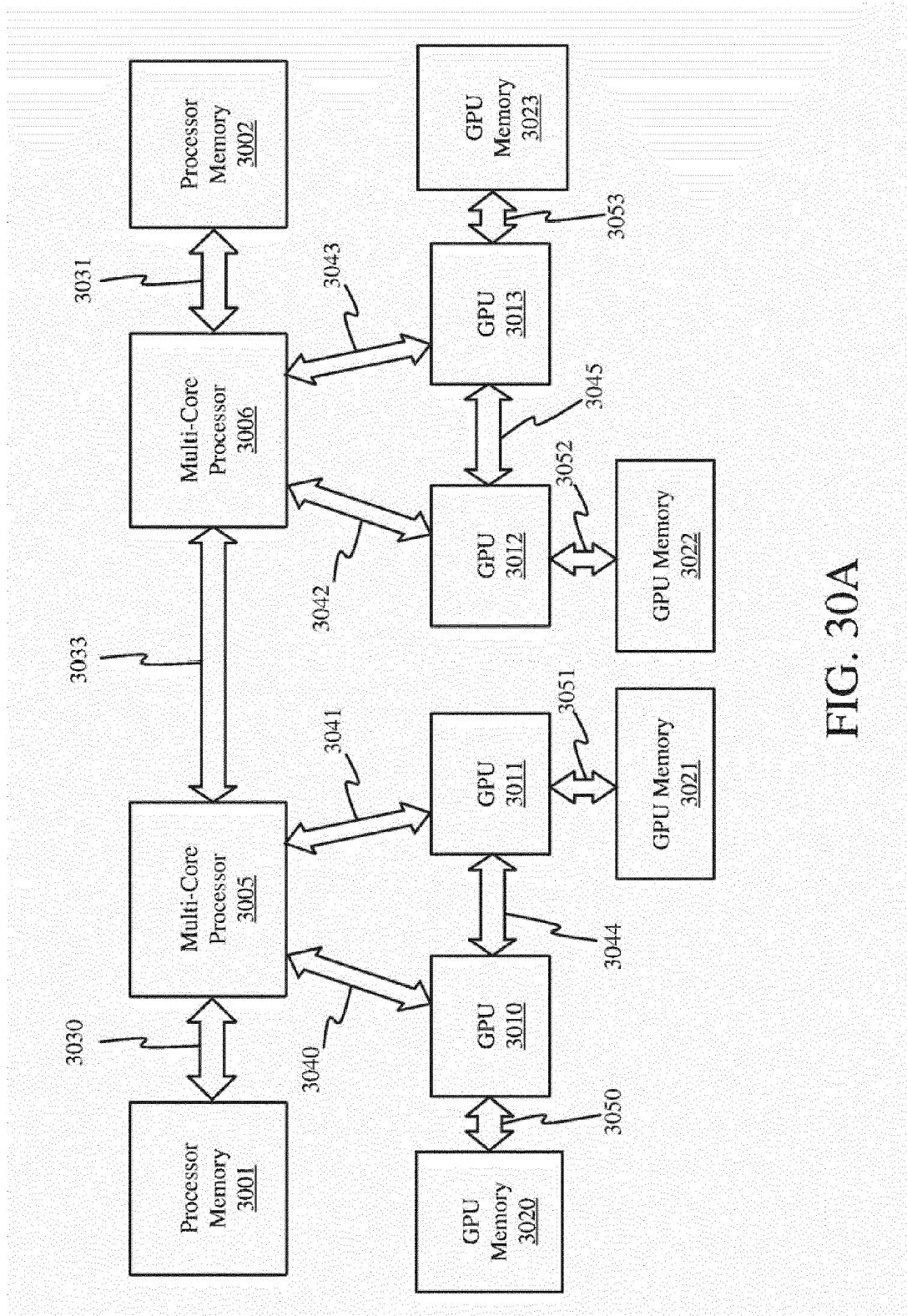


FIG. 30A

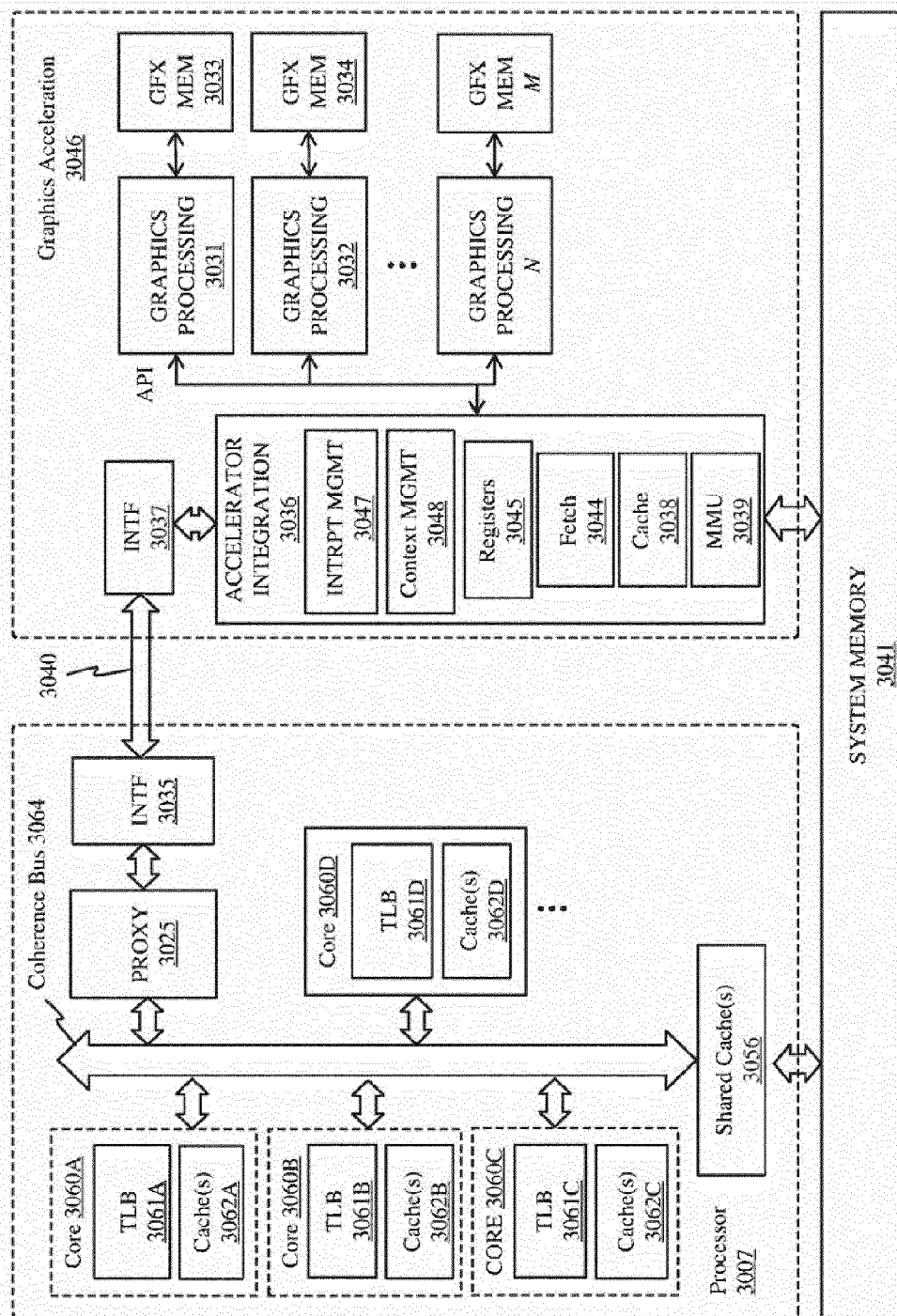


FIG. 30B

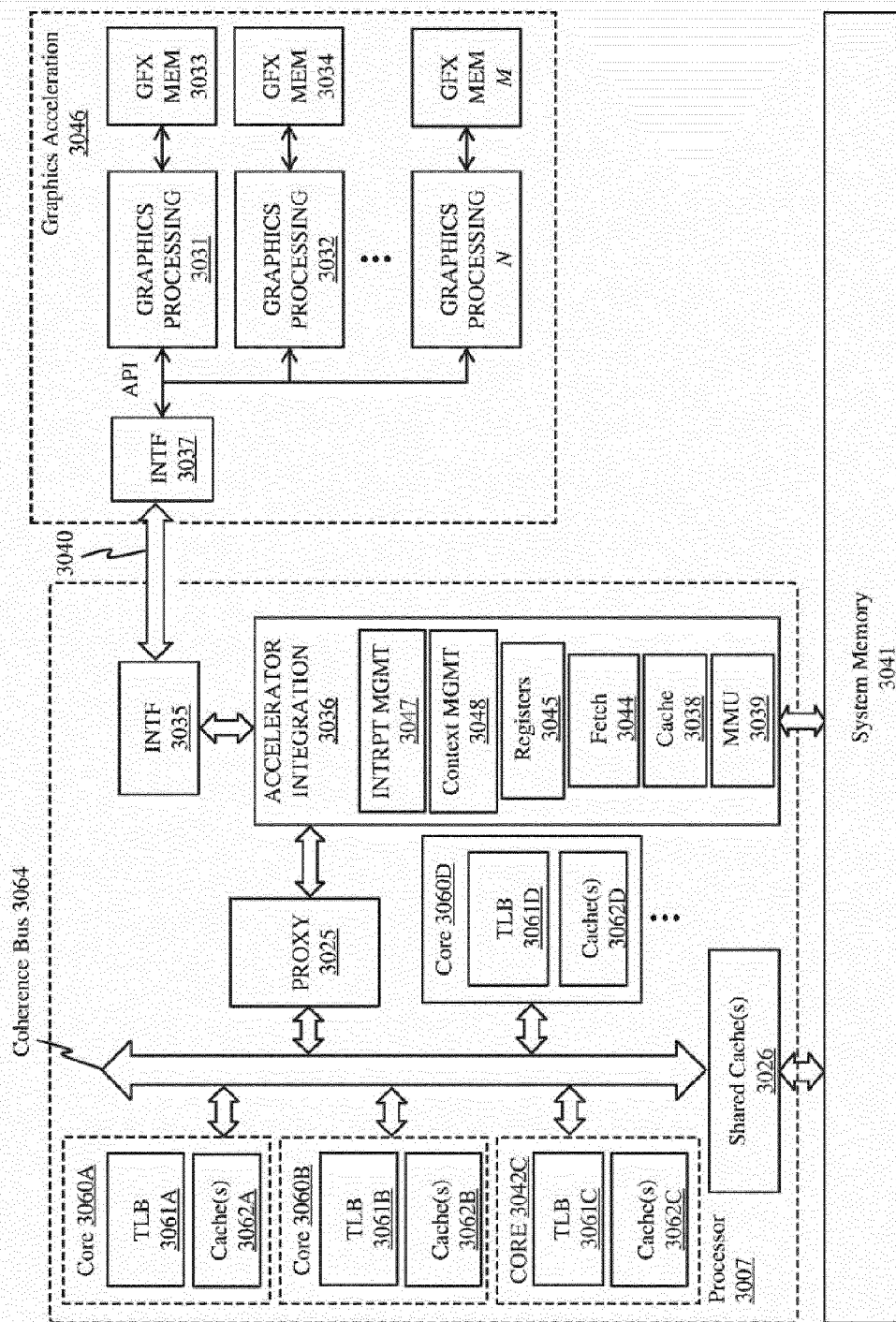


FIG. 30C

EP 3 385 848 A1

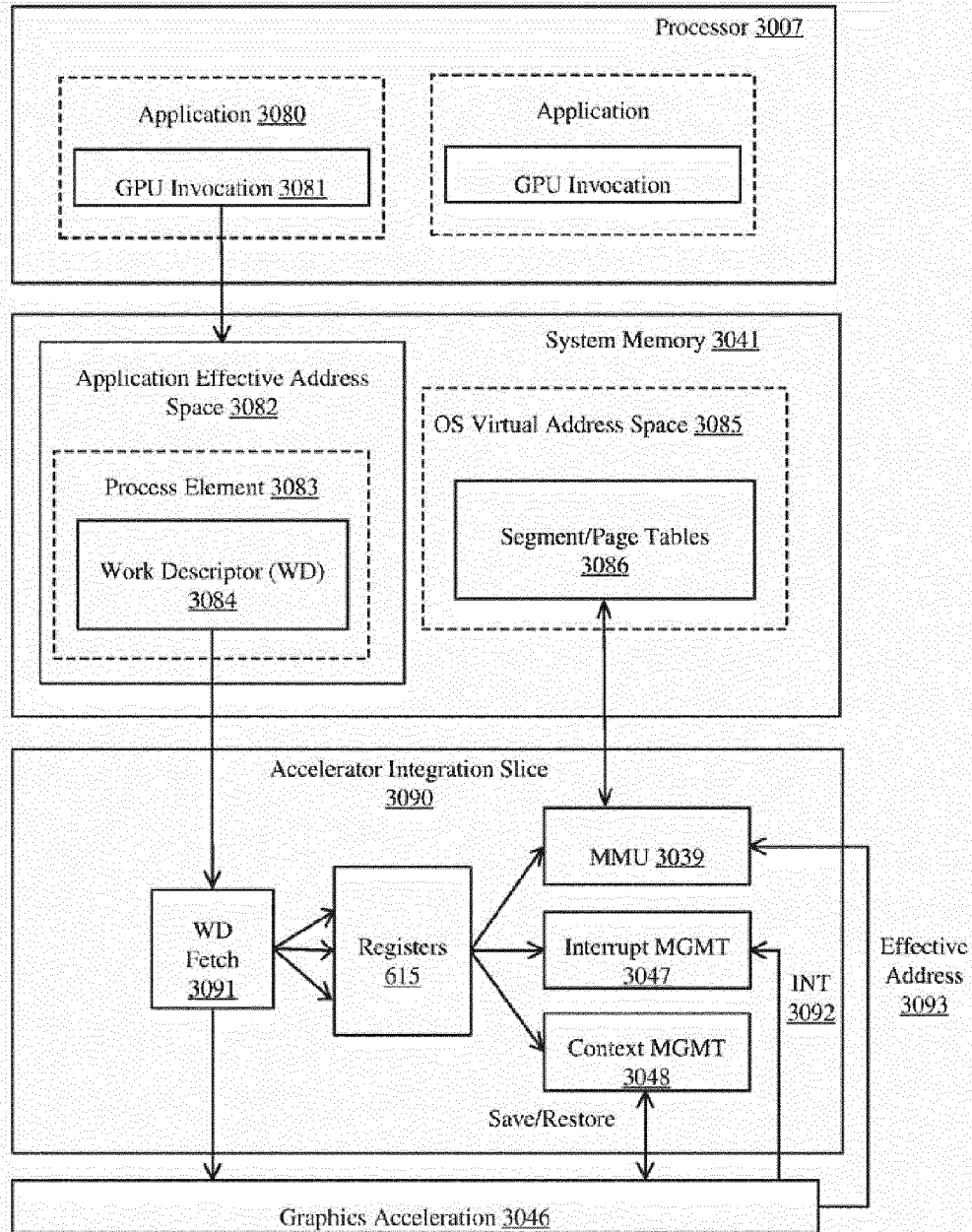


FIG. 30D

EP 3 385 848 A1

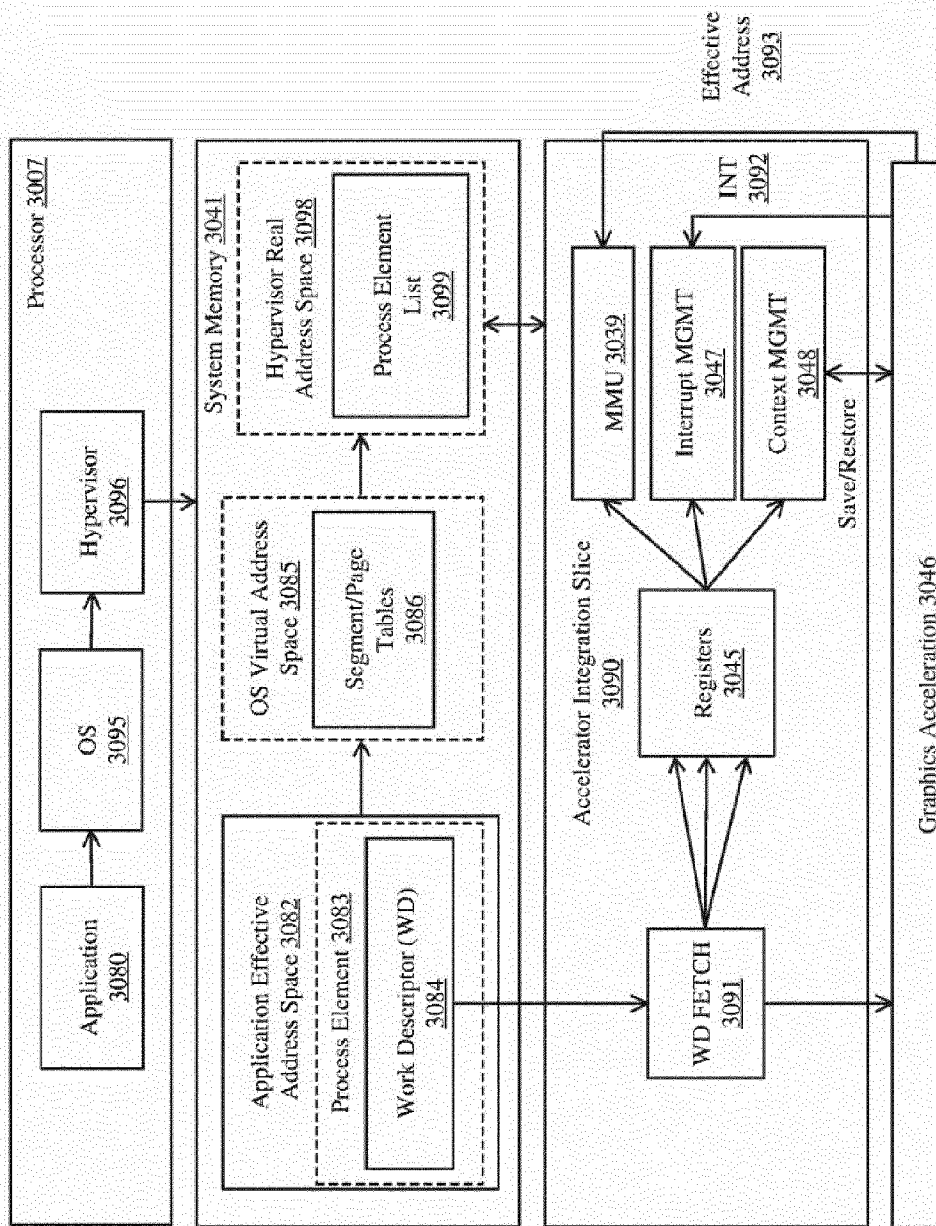


FIG. 30E

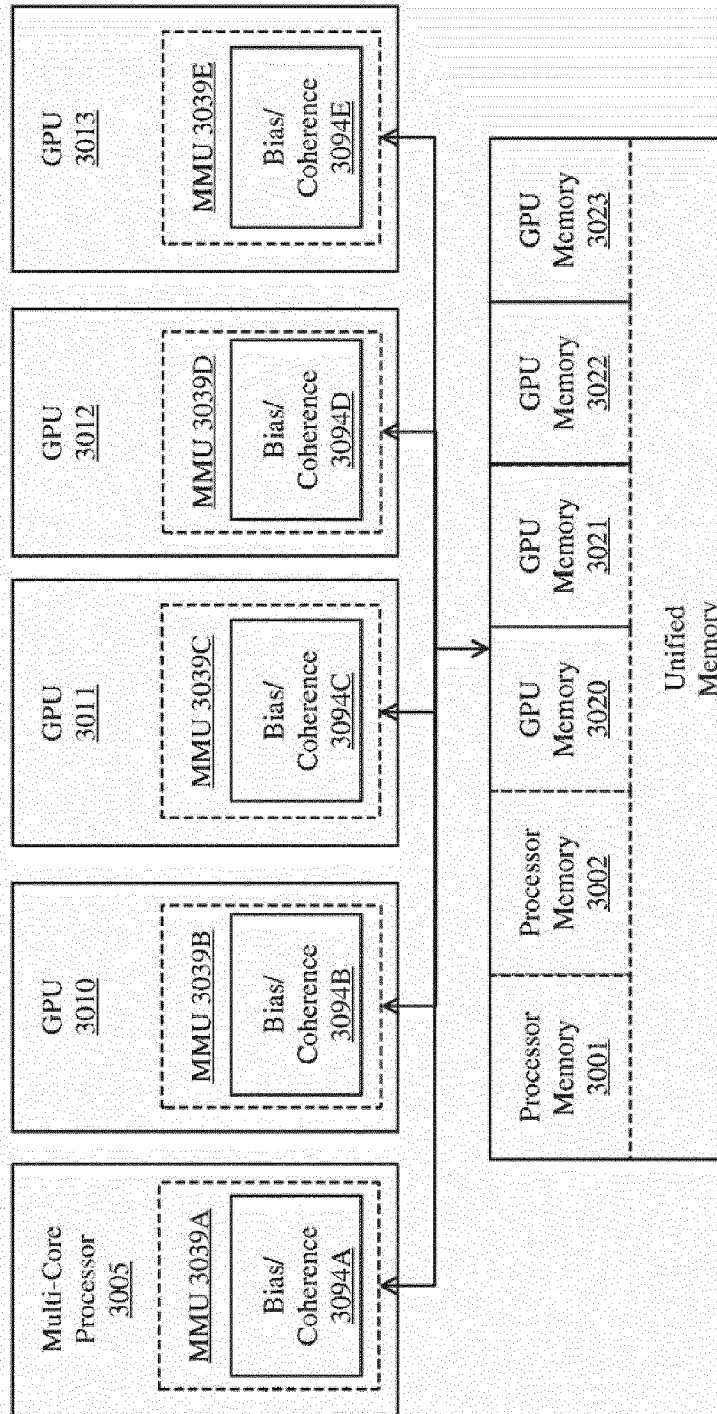
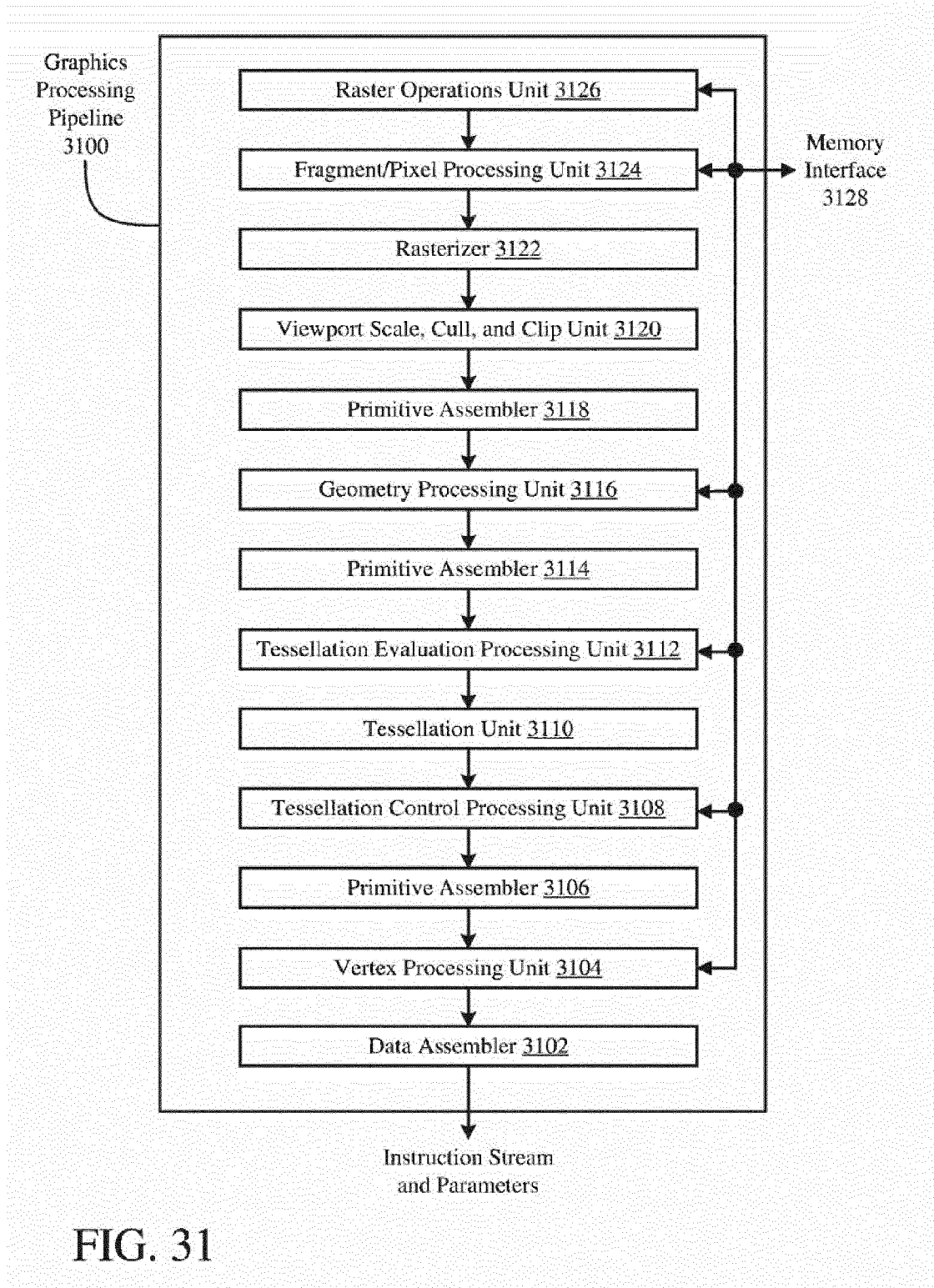


FIG. 30F

EP 3 385 848 A1



EP 3 385 848 A1



EUROPEAN SEARCH REPORT

Application Number
EP 18 16 0066

5

10

15

20

25

30

35

40

45

50

55

DOCUMENTS CONSIDERED TO BE RELEVANT			
Category	Citation of document with indication, where appropriate, of relevant passages	Relevant to claim	CLASSIFICATION OF THE APPLICATION (IPC)
X	AGARWAL NEHA ET AL: "Selective GPU caches to eliminate CPU-GPU HW cache coherence", 2016 IEEE INTERNATIONAL SYMPOSIUM ON HIGH PERFORMANCE COMPUTER ARCHITECTURE (HPCA), IEEE, 12 March 2016 (2016-03-12), pages 494-506, XP032888474, DOI: 10.1109/HPCA.2016.7446089 [retrieved on 2016-04-01] * page 494, left-hand column, paragraph 1 - page 504, right-hand column, last paragraph; figure 1 *	1-15	INV. G06F12/0888 G06F12/0811 G06F12/0815 G06T1/20
A	US 2016/085685 A1 (TOPP JAROSLAW [DE] ET AL) 24 March 2016 (2016-03-24) * the whole document *	1-15	
			TECHNICAL FIELDS SEARCHED (IPC)
			G06F
The present search report has been drawn up for all claims			
Place of search The Hague		Date of completion of the search 25 July 2018	Examiner Jardon, Stéphan
CATEGORY OF CITED DOCUMENTS X : particularly relevant if taken alone Y : particularly relevant if combined with another document of the same category A : technological background O : non-written disclosure P : intermediate document		T : theory or principle underlying the invention E : earlier patent document, but published on, or after the filing date D : document cited in the application L : document cited for other reasons & : member of the same patent family, corresponding document	

EPO FORM 1503 03.82 (PO-CO/1)

EP 18 16 0066

5

25-07-2018

10

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2016085685 A1	24-03-2016	US 2016085685 A1	24-03-2016
		US 2016292081 A1	06-10-2016

EPO FORM P0459

For more details about this annex : see Official Journal of the European Patent Office, No. 12/82

Electronic Patent Application Fee Transmittal

Application Number:	16456287			
Filing Date:	28-Jun-2019			
Title of Invention:	GPU CHIPLETS USING HIGH BANDWIDTH CROSSLINKS			
First Named Inventor/Applicant Name:	Skyler J. SALEH			
Filer:	Adam D. Sheehan/David Edwards			
Attorney Docket Number:	1458-190070			
Filed as Large Entity				
Filing Fees for Utility under 35 USC 111(a)				
Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Miscellaneous:				
SUBMISSION- INFORMATION DISCLOSURE STMT	1806	1	260	260
Total in USD (\$)				260

Electronic Acknowledgement Receipt

EFS ID:	48707102
Application Number:	16456287
International Application Number:	
Confirmation Number:	4820
Title of Invention:	GPU CHIPLETS USING HIGH BANDWIDTH CROSSLINKS
First Named Inventor/Applicant Name:	Skyler J. SALEH
Customer Number:	109712
Filer:	Adam D. Sheehan/David Edwards
Filer Authorized By:	Adam D. Sheehan
Attorney Docket Number:	1458-190070
Receipt Date:	11-OCT-2023
Filing Date:	28-JUN-2019
Time Stamp:	15:13:42
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	DA
Payment was successfully received in RAM	\$ 260
RAM confirmation Number	E20230AF14308236
Deposit Account	
Authorized User	

The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Information Disclosure Statement (IDS) Form (SB08)	190070-US_IDS.pdf	821105	no	4
			90c270f666e04d834543615f85f7d3d7150e5389		
Warnings:					
Information:					
This is not an USPTO supplied IDS fillable form					
2	Foreign Reference	EP3511980.pdf	5057744	no	33
			5630f683a6ac78326824435a9a5605ccb4001c76		
Warnings:					
Information:					
3	Foreign Reference	EP3385848.pdf	15026341	no	82
			f6088081b44d05589f411ec39c4a9206a5676810		
Warnings:					
Information:					
4	Non Patent Literature	190141-EP_EESR.pdf	687947	no	7
			5df143963a040dd175e7eac87a459944eb4c4d4c		
Warnings:					
Information:					
5	Non Patent Literature	NPL-Zeppelin_An-Soc-for-multichip-architectures_Beck.pdf	2740880	no	3
			02df2a18ad03abe27caabac87ba34a869d23c814		
Warnings:					
Information:					
6	Fee Worksheet (SB06)	fee-info.pdf	38220	no	2
			591225592f0ad34bf7ef53ea483f4907233d6293		
Warnings:					

Information:	
Total Files Size (in bytes):	24372237
This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503. <u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application. <u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course. <u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.	



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
 Address: COMMISSIONER FOR PATENTS
 P.O. Box 1450
 Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

109712 7590 07/31/2023
 Advanced Micro Devices, Inc.
 c/o Davidson Sheehan LLP
 6836 Austin Center Blvd.
 Suite 320
 Austin, TX 78731

EXAMINER

YU, JAE UN

ART UNIT

PAPER NUMBER

2138

DATE MAILED: 07/31/2023

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/456,287	06/28/2019	Skyler J. SALEH	1458-190070	4820

TITLE OF INVENTION: GPU CHIPLETS USING HIGH BANDWIDTH CROSSLINKS

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	\$1200	\$0.00	\$0.00	\$1200	10/31/2023

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the ENTITY STATUS shown above. If the ENTITY STATUS is shown as SMALL or MICRO, verify whether entitlement to that entity status still applies.

If the ENTITY STATUS is the same as shown above, pay the TOTAL FEE(S) DUE shown above.

If the ENTITY STATUS is changed from that shown above, on PART B - FEE(S) TRANSMITTAL, complete section number 5 titled "Change in Entity Status (from status indicated above)".

For purposes of this notice, small entity fees are 40% the amount of undiscounted fees, and micro entity fees are 20% the amount of undiscounted fees.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Maintenance fees are due in utility patents issuing on applications filed on or after Dec. 12, 1980. It is patentee's responsibility to ensure timely payment of maintenance fees when due. More information is available at www.uspto.gov/PatentMaintenanceFees.

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), by mail or fax, or via EFS-Web.

By mail, send to: Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

By fax, send to: (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications. **Because electronic patent issuance may occur shortly after issue fee payment, any desired continuing application should preferably be filed prior to payment of this issue fee in order not to jeopardize copendency.**

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

109712 7590 07/31/2023

Advanced Micro Devices, Inc.

c/o Davidson Sheehan LLP

6836 Austin Center Blvd.

Suite 320

Austin, TX 78731

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being transmitted to the USPTO via EFS-Web or by facsimile to (571) 273-2885, on the date below.

(Typed or printed name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/456,287	06/28/2019	Skyler J. SALEH	1458-190070	4820

TITLE OF INVENTION: GPU CHIPLETS USING HIGH BANDWIDTH CROSSLINKS

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	\$1200	\$0.00	\$0.00	\$1200	10/31/2023

EXAMINER	ART UNIT	CLASS-SUBCLASS
YU, JAE UN	2138	711-118000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

☐ Change of correspondence address (or Change of Correspondence Address form PTO/AIA/122 or PTO/SB/122) attached.

☐ "Fee Address" indication (or "Fee Address" Indication form PTO/AIA/47 or PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list

(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,

1 _____

(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

2 _____

3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document must have been previously recorded, or filed for recordation, as set forth in 37 CFR 3.11 and 37 CFR 3.81(a). Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE

(B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent): ☐ Individual ☐ Corporation or other private group entity ☐ Government4a. Fees submitted: ☐ Issue Fee ☐ Publication Fee (if required)

4b. Method of Payment: (Please first reapply any previously paid fee shown above)

☐ Electronic Payment via Patent Center or EFS-Web ☐ Enclosed check ☐ Non-electronic payment by credit card (Attach form PTO-2038)

☐ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment to Deposit Account No. _____

5. Change in Entity Status (from status indicated above)

☐ Applicant certifying micro entity status. See 37 CFR 1.29

☐ Applicant asserting small entity status. See 37 CFR 1.27

☐ Applicant changing to regular undiscounted fee status.

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.

NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.

NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature _____

Date _____

Typed or printed name _____

Registration No. _____



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
 Address: COMMISSIONER FOR PATENTS
 P.O. Box 1450
 Alexandria, Virginia 22313-1450
 www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/456,287	06/28/2019	Skyler J. SALEH	1458-190070	4820
109712	7590	07/31/2023	EXAMINER	
Advanced Micro Devices, Inc. c/o Davidson Sheehan LLP 6836 Austin Center Blvd. Suite 320 Austin, TX 78731			YU, JAE UN	
			ART UNIT	PAPER NUMBER
			2138	
DATE MAILED: 07/31/2023				

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
 (Applications filed on or after May 29, 2000)

The Office has discontinued providing a Patent Term Adjustment (PTA) calculation with the Notice of Allowance.

Section 1(h)(2) of the AIA Technical Corrections Act amended 35 U.S.C. 154(b)(3)(B)(i) to eliminate the requirement that the Office provide a patent term adjustment determination with the notice of allowance. See Revisions to Patent Term Adjustment, 78 Fed. Reg. 19416, 19417 (Apr. 1, 2013). Therefore, the Office is no longer providing an initial patent term adjustment determination with the notice of allowance. The Office will continue to provide a patent term adjustment determination with the Issue Notification Letter that is mailed to applicant approximately three weeks prior to the issue date of the patent, and will include the patent term adjustment on the patent. Any request for reconsideration of the patent term adjustment determination (or reinstatement of patent term adjustment) should follow the process outlined in 37 CFR 1.705.

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

OMB Clearance and PRA Burden Statement for PTOL-85 Part B

The Paperwork Reduction Act (PRA) of 1995 requires Federal agencies to obtain Office of Management and Budget approval before requesting most types of information from the public. When OMB approves an agency request to collect information from the public, OMB (i) provides a valid OMB Control Number and expiration date for the agency to display on the instrument that will be used to collect the information and (ii) requires the agency to inform the public about the OMB Control Number's legal significance in accordance with 5 CFR 1320.5(b).

The information collected by PTOL-85 Part B is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 30 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. **DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.** Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Notice of Allowability	Application No. 16/456,287	Applicant(s) SALEH et al.	
	Examiner JAE U YU	Art Unit 2138	AIA (FITF) Status Yes

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☒ This communication is responsive to 7/3/23.
☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.

2. ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

3. ☒ The allowed claim(s) is/are 1-20. As a result of the allowed claim(s), you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to PPHfeedback@uspto.gov.

4. ☐ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

Certified copies:

a) ☐ All b) ☐ Some* c) ☐ None of the:

1. ☐ Certified copies of the priority documents have been received.

2. ☐ Certified copies of the priority documents have been received in Application No. _____.

3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

* Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.

Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).

6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☐ Notice of References Cited (PTO-892) 2. ☒ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date <u>2/16/23, 4/19/23, 7/3/23</u> . 3. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material _____. 4. ☐ Interview Summary (PTO-413), Paper No./Mail Date. _____.	5. ☐ Examiner's Amendment/Comment 6. ☒ Examiner's Statement of Reasons for Allowance 7. ☐ Other _____.
--	--

/JAE U YU/
Primary Examiner, Art Unit 2138

DETAILED ACTION***Notice of Pre-AIA or AIA Status***

The present application, filed on or after March 16, 2013, is being examined under the first inventor to file provisions of the AIA.

Allowable Subject Matter

Claims 1-20 are allowable.

The primary reasons for allowance of claims 1-20 in the instant application is the combination with the inclusion in these claims that “wherein the GPU chiplet array includes: the first GPU chiplet communicably coupled to the CPU via a bus; and a second GPU chiplet communicably coupled to the first GPU chiplet via a passive crosslink, wherein the passive crosslink is dedicated for inter- chiplet communications” (interpreted in view of paragraph 12 of the specification). The prior art of record neither anticipates nor renders obvious the above recited combination.

As allowable subject matter has been indicated, applicant's response must either comply with all formal requirements or specifically traverse each requirement not complied with. See 37 C.F.R. § 1.111(b) and § 707.07(a) of the MPEP.

Conclusion

Any inquiry concerning this communication or earlier communications from the examiner should be directed to JAE UN YU whose telephone number is (571)272-1133. The examiner can normally be reached M-F 9-5.

Examiner interviews are available via telephone, in-person, and video conferencing using a USPTO supplied web-based collaboration tool. To schedule an interview, applicant is encouraged to use the USPTO Automated Interview Request (AIR) at <http://www.uspto.gov/interviewpractice>.

Application/Control Number: 16/456,287
Art Unit: 2138

Page 3

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Tim Vo can be reached on (571)272-3642. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of published or unpublished applications may be obtained from Patent Center. Unpublished application information in Patent Center is available to registered users. To file and manage patent submissions in Patent Center, visit: <https://patentcenter.uspto.gov>. Visit <https://www.uspto.gov/patents/apply/patent-center> for more information about Patent Center and <https://www.uspto.gov/patents/docx> for information about filing in DOCX format. For additional questions, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/JAE U YU/
Primary Examiner, Art Unit 2138

<i>Issue Classification</i> 	Application/Control No. 16/456,287	Applicant(s)/Patent Under Reexamination SALEH et al.
	Examiner JAE U YU	Art Unit 2138

CPC						
Symbol					Type	Version
G06F	/	12	/	0897	F	2013-01-01
G06F	/	13	/	4027	I	2013-01-01
G06F	/	13	/	1668	I	2013-01-01
G06F	/	2212	/	1024	A	2013-01-01

CPC Combination Sets							
Symbol				Type	Set	Ranking	Version
	/		/				

NONE		Total Claims Allowed:	
(Assistant Examiner)	(Date)	20	
/JAE U YU/ Primary Examiner, Art Unit 2138	19 July 2023	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	1

<i>Issue Classification</i> 	Application/Control No. 16/456,287	Applicant(s)/Patent Under Reexamination SALEH et al.
	Examiner JAE U YU	Art Unit 2138

INTERNATIONAL CLASSIFICATION			
CLAIMED			
G06F	/	12	/ 08
NON-CLAIMED			
	/		/

US ORIGINAL CLASSIFICATION	
CLASS	SUBCLASS
711	118

CROSS REFERENCES(S)						
CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)					

NONE		Total Claims Allowed:	
(Assistant Examiner)	(Date)	20	
/JAE U YU/ Primary Examiner, Art Unit 2138	19 July 2023	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	1

<i>Issue Classification</i> 	Application/Control No. 16/456,287	Applicant(s)/Patent Under Reexamination SALEH et al.
	Examiner JAE U YU	Art Unit 2138

☒ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47															
CLAIMS															
Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original

NONE (Assistant Examiner) _____ (Date) _____		Total Claims Allowed: 20	
/JAE U YU/ Primary Examiner, Art Unit 2138 (Primary Examiner) _____ (Date) 19 July 2023		O.G. Print Claim(s) 1	O.G. Print Figure 1

<i>Search Notes</i> 	Application/Control No. 16/456,287	Applicant(s)/Patent Under Reexamination SALEH et al.
	Examiner JAE U YU	Art Unit 2138

CPC - Searched*		
Symbol	Date	Examiner
G06F12/0897, G06F13/1668, G06F13/4027, G06F2212/1024	07/19/2023	/J.U.Y/

CPC Combination Sets - Searched*		
Symbol	Date	Examiner

US Classification - Searched*			
Class	Subclass	Date	Examiner
711	118	07/19/2023	/J.U.Y/

* See search history printout included with this form or the SEARCH NOTES box below to determine the scope of the search.

Search Notes		
Search Notes	Date	Examiner
Text Search in EAST	07/19/2023	/J.U.Y/
NPL Search	07/19/2023	/J.U.Y/

Interference Search			
US Class/CPC Symbol	US Subclass/CPC Group	Date	Examiner
US-	PAT, PGPUB	07/19/2023	/J.U.Y/

/J.U.Y/ Primary Examiner, Art Unit 2135	
--	--

<i>Index of Claims</i> 	Application/Control No. 16/456,287	Applicant(s)/Patent Under Reexamination SALEH et al.
	Examiner JAE U YU	Art Unit 2138

✓	Rejected	-	Cancelled	N	Non-Elected	A	Appeal
=	Allowed	÷	Restricted	I	Interference	O	Objected

[illegible]

Doc code: IDS

Doc description: Information Disclosure Statement (IDS) Filed

PTO/SB/08a (02-18)

Approved for use through 11/30/2020. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)	Application Number		16456287
	Filing Date		2019-06-28
	First Named Inventor	Skyler J. SALEH	
	Art Unit	2138	
	Examiner Name	Jae Un YU	
	Attorney Docket Number	1458-190070	

U.S.PATENTS						
Examiner Initial*	Cite No	Patent Number	Kind Code ¹	Issue Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Patent citation information please click the Add button.

U.S.PATENT APPLICATION PUBLICATIONS						
Examiner Initial*	Cite No	Publication Number	Kind Code ¹	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Published Application citation information please click the Add button.

FOREIGN PATENT DOCUMENTS								
Examiner Initial*	Cite No	Foreign Document Number ³	Country Code ²	Kind Code ⁴	Publication Date	Name of Patentee or Applicant of cited Document	Pages, Columns, Lines where Relevant Passages or Relevant Figures Appear	T ⁵
	1							☐

If you wish to add additional Foreign Patent Document citation information please click the Add button

NON-PATENT LITERATURE DOCUMENTS			
Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T ⁵

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /J.U.Y/

**INFORMATION DISCLOSURE
STATEMENT BY APPLICANT**
 (Not for submission under 37 CFR 1.99)

Application Number		16456287
Filing Date		2019-06-28
First Named Inventor	Skyler J. SALEH	
Art Unit	2138	
Examiner Name	Jae Un YU	
Attorney Docket Number	1458-190070	

1	Non-Final Office Action mailed February 3, 2023 for U.S. Application No. 16/585,480 (Attorney Docket No. 190142-US) 19 pages.	☐
---	---	--------------------------

If you wish to add additional non-patent literature document citation information please click the Add button

EXAMINER SIGNATURE

Examiner Signature	/JAE U YU/	Date Considered	07/19/2023
--------------------	------------	-----------------	------------

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. ² Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). ³ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁴ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁵ Applicant is to place a check mark here if English language translation is attached.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /J.U.Y/

**INFORMATION DISCLOSURE
STATEMENT BY APPLICANT**
(Not for submission under 37 CFR 1.99)

Application Number	16456287
Filing Date	2019-06-28
First Named Inventor	Skyler J. SALEH
Art Unit	2138
Examiner Name	Jae Un YU
Attorney Docket Number	1458-190070

CERTIFICATION STATEMENT

Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):

- ☐ That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).

OR

- ☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).

- ☐ See attached certification statement.
- ☒ The fee set forth in 37 CFR 1.17 (p) has been submitted herewith.
- ☒ A certification statement is not submitted herewith.

SIGNATURE

A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.

Signature	/Adam D. Sheehan/	Date (YYYY-MM-DD)	2023-02-16
Name/Print	Adam D. Sheehan	Registration Number	42146

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 1 hour to complete, including gathering, preparing and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. **DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

PE2E SEARCH - Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	British Equivalents	Time Stamp
L1	2	"20070273699"	(US-PGPUB; USPAT)	OR	ON	ON	2023/05/17 02:13 PM
L2	18	(cpu "central processing") near7 (gpu "graphics processing") near7 (chiplet application workload) near7 passiv\$3	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2023/07/18 02:30 PM
L3	97505	(cpu "central processing") near7 (gpu "graphics processing") near7 (chiplet application workload)	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2023/07/18 02:30 PM
L4	140	(cpu "central processing") near7 (gpu "graphics processing") near7 passiv\$3	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2023/07/18 02:31 PM
L5	689	(cpu "central processing") WITH (gpu	(US-PGPUB; USPAT; USOCR; FIT (AP, AT,	OR	ON	ON	2023/07/18 02:31 PM

		"graphics processing") WITH passiv\$3	AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)				
L6	11645	G06F12/0897.cpc.	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2023/07/19 08:11 PM
L7	22126	G06F13/1668.cpc.	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2023/07/19 08:12 PM
L8	14322	G06F13/4027.cpc.	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO,	OR	ON	ON	2023/07/19 08:13 PM

L9	16480	G06F2212/1024.cpc.	RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB) (US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2023/07/19 08:13 PM
L10	9845	711/118.ccls.	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2023/07/19 08:14 PM
L11	922	"passive interposer"	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2023/07/19 09:03 PM
L12	14	"passive interposer" AND G06F12/\$.cpc.	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU,	OR	ON	ON	2023/07/19 09:03 PM

L13	10	"passive interposer" AND G06F3/\$.cpc.	CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB) (US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2023/07/19 09:03 PM
L14	49	"passive interposer" AND G06F13/\$.cpc.	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2023/07/19 09:04 PM
L15	12	"passive interposer" AND G06F2212/\$.cpc.	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2023/07/19 09:04 PM

L16	1676	cach\$3 near5 passiv\$3	VN); FPRS; EPO; JPO; DERWENT; IBM_TDB) (US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2023/07/19 09:05 PM
L17	13	cach\$3 near5 passiv\$3 near5 (gpu "graphics processing")	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2023/07/19 09:05 PM
L18	188	cach\$3 SAME passiv\$3 SAME (gpu "graphics processing")	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2023/07/19 09:05 PM

PE2E SEARCH - Search History (Interference)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	British Equivalents	Time Stamp
-------	------	--------------	-----	------------------	---------	---------------------	------------

N3	1	(second GPU chiplet communicably coupled first GPU chiplet via passive crosslink passive crosslink dedicated inter-chiplet communications phy).clm.	(US-PGPUB; USPAT)	AND	ON	ON	2023/07/19 09:15 PM
----	---	---	-------------------	-----	----	----	---------------------

Doc code: IDS

Doc description: Information Disclosure Statement (IDS) Filed

PTO/SB/08a (02-18)

Approved for use through 11/30/2020. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)	Application Number		16456287
	Filing Date		2019-06-28
	First Named Inventor	Skyler J. SALEH	
	Art Unit	2138	
	Examiner Name	Jae Un YU	
	Attorney Docket Number	1458-190070	

U.S.PATENTS						
Examiner Initial*	Cite No	Patent Number	Kind Code ¹	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Patent citation information please click the Add button.

U.S.PATENT APPLICATION PUBLICATIONS						
Examiner Initial*	Cite No	Publication Number	Kind Code ¹	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1	20170236244		2017-08-17	PRICE et al.	

If you wish to add additional U.S. Published Application citation information please click the Add button.

FOREIGN PATENT DOCUMENTS								
Examiner Initial*	Cite No	Foreign Document Number ³	Country Code ²	Kind Code ⁴	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	T ⁵
	1	108694688	CN		2018-10-23	JOYDEEP et al.		☒
	2	108732754	CN		2018-11-02	DEEPAK et al.		☒

If you wish to add additional Foreign Patent Document citation information please click the Add button

NON-PATENT LITERATURE DOCUMENTS								
---------------------------------	--	--	--	--	--	--	--	--

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /J.U.Y/

**INFORMATION DISCLOSURE
STATEMENT BY APPLICANT**
(Not for submission under 37 CFR 1.99)

Application Number		16456287
Filing Date		2019-06-28
First Named Inventor	Skyler J. SALEH	
Art Unit	2138	
Examiner Name	Jae Un YU	
Attorney Docket Number	1458-190070	

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T ⁵
	1	Office Action mailed February 7, 2023 for Chinese Application No. 202080067194.0 (Attorney Docket No. 190141-CN), 6 pages	☒

If you wish to add additional non-patent literature document citation information please click the Add button

EXAMINER SIGNATURE

Examiner Signature	/JAE U YU/	Date Considered	07/19/2023
--------------------	------------	-----------------	------------

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. ² Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). ³ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁴ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁵ Applicant is to place a check mark here if English language translation is attached.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /J.U.Y/

**INFORMATION DISCLOSURE
STATEMENT BY APPLICANT**
(Not for submission under 37 CFR 1.99)

Application Number	16456287
Filing Date	2019-06-28
First Named Inventor	Skyler J. SALEH
Art Unit	2138
Examiner Name	Jae Un YU
Attorney Docket Number	1458-190070

CERTIFICATION STATEMENT

Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):

- ☒ That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).

OR

- ☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).

- ☐ See attached certification statement.
- ☐ The fee set forth in 37 CFR 1.17 (p) has been submitted herewith.
- ☐ A certification statement is not submitted herewith.

SIGNATURE

A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.

Signature	/Adam D. Sheehan/	Date (YYYY-MM-DD)	2023-04-19
Name/Print	Adam D. Sheehan	Registration Number	42146

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 1 hour to complete, including gathering, preparing and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. **DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Doc code: IDS

Doc description: Information Disclosure Statement (IDS) Filed

PTO/SB/08a (02-18)

Approved for use through 11/30/2020. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)	Application Number		16456287
	Filing Date		2019-06-28
	First Named Inventor	Skyler J. SALEH	
	Art Unit	2138	
	Examiner Name	Jae Un YU	
	Attorney Docket Number	1458-190070	

U.S.PATENTS						
Examiner Initial*	Cite No	Patent Number	Kind Code ¹	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Patent citation information please click the Add button.

U.S.PATENT APPLICATION PUBLICATIONS						
Examiner Initial*	Cite No	Publication Number	Kind Code ¹	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1	20070273699		2007-11-29	SASAKI et al.	
	2	20190123022		2019-04-25	TEIG et al.	

If you wish to add additional U.S. Published Application citation information please click the Add button.

FOREIGN PATENT DOCUMENTS								
Examiner Initial*	Cite No	Foreign Document Number ³	Country Code ²	Kind Code ⁴	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	T ⁵
	1							☐

If you wish to add additional Foreign Patent Document citation information please click the Add button

NON-PATENT LITERATURE DOCUMENTS								
---------------------------------	--	--	--	--	--	--	--	--

**INFORMATION DISCLOSURE
STATEMENT BY APPLICANT**
(Not for submission under 37 CFR 1.99)

Application Number		16456287
Filing Date		2019-06-28
First Named Inventor	Skyler J. SALEH	
Art Unit	2138	
Examiner Name	Jae Un YU	
Attorney Docket Number	1458-190070	

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T ⁵
	1	Extended European Search Report issued in Application No. 20832015, mailed June 22, 2023, (Attorney Docket No. 190070-EP), 12 Pages.	☐
	2	YIN, Jieming et al. "Modular Routing Design for Chiplet-Based Systems" 2018 ACM/IEEE 45th Annual International Symposium on Computer Architecture (ISCA), IEEE, 2018, pages 726-738,	☐

If you wish to add additional non-patent literature document citation information please click the Add button

EXAMINER SIGNATURE

Examiner Signature	/JAE U YU/	Date Considered	07/19/2023
--------------------	------------	-----------------	------------

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. ² Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). ³ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁴ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁵ Applicant is to place a check mark here if English language translation is attached.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /J.U.Y/

**INFORMATION DISCLOSURE
STATEMENT BY APPLICANT**
(Not for submission under 37 CFR 1.99)

Application Number	16456287
Filing Date	2019-06-28
First Named Inventor	Skyler J. SALEH
Art Unit	2138
Examiner Name	Jae Un YU
Attorney Docket Number	1458-190070

CERTIFICATION STATEMENT

Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):

- ☒ That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).

OR

- ☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).

- ☐ See attached certification statement.
- ☐ The fee set forth in 37 CFR 1.17 (p) has been submitted herewith.
- ☐ A certification statement is not submitted herewith.

SIGNATURE

A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.

Signature	/Adam D. Sheehan/	Date (YYYY-MM-DD)	2023-07-03
Name/Print	Adam D. Sheehan	Registration Number	42146

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 1 hour to complete, including gathering, preparing and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. **DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventor(s): Skyler J. SALEH et al.

Title: GPU CHIPLETS USING HIGH BANDWIDTH CROSSLINKS

App. No.: 16/456,287 Filed: June 28, 2019

Examiner: Jae Un YU Group Art Unit: 2138

Atty. Dkt. No.: 1458-190070 Confirmation No.: 4820

RESPONSE TO OFFICE ACTION

Dear Sir:

In response to the Office Action mailed January 20, 2023, please amend the above-identified application as follows:

A Claim Listing begins on page 2.

Remarks begin on page 7.

CLAIMS LISTING

This listing of claims will replace all prior versions, and listings, of claims in the application:

1. (Original) A system, comprising:
a central processing unit (CPU) communicably coupled to a first graphics processing unit (GPU) chiplet of a GPU chiplet array, wherein the GPU chiplet array includes:
the first GPU chiplet communicably coupled to the CPU via a bus; and
a second GPU chiplet communicably coupled to the first GPU chiplet via a passive crosslink, wherein the passive crosslink is dedicated for inter-chiplet communications.
2. (Original) The system of claim 1, wherein the passive crosslink comprises a passive interposer die.
3. (Original) The system of claim 1, wherein the first GPU chiplet comprises a first PHY region including conductor structures for chiplet-to-chiplet communications, and further wherein the second GPU chiplet comprises a second PHY region including conductor structures for chiplet-to-chiplet communications.
4. (Previously Presented) The system of claim 3, further comprising:
a third GPU chiplet communicably coupled to the first GPU chiplet via the passive crosslink, wherein the third GPU chiplet comprises a third PHY region including conductor structures for chiplet-to-chiplet communications.
5. (Original) The system of claim 4, wherein the first PHY region of the first GPU chiplet comprises a first passive crosslink PHY including conductor traces solely for communications between the passive crosslink and a last level cache of the first GPU chiplet.
6. (Original) The system of claim 4, wherein:

the second PHY region of the second GPU chiplet comprises a second passive crosslink PHY including conductor traces solely for communications between the passive crosslink and a last level cache of the second GPU chiplet; and

the third PHY region of the third GPU chiplet comprises a third passive crosslink PHY including conductor traces solely for communications between the passive crosslink and a last level cache of the third GPU chiplet.

7. (Original) The system of claim 1, wherein the passive crosslink communicably couples all GPU chiplets in the GPU chiplet array.

8. (Original) The system of claim 1, further comprising:

a first cache memory hierarchy at the first GPU chiplet, wherein a first level of the first cache memory hierarchy is coherent within the first GPU chiplet; and

a second cache memory hierarchy at the second GPU chiplet, wherein a first level of the second cache memory hierarchy is coherent within the second GPU chiplet.

9. (Previously Presented) The system of claim 8, further comprising:

a unified cache memory including both a last level of the first cache memory hierarchy and a last level of the second cache memory hierarchy, wherein the unified cache memory is coherent across all GPU chiplets of the GPU chiplet array.

10. (Original) The system of claim 1, further comprising:

a plurality of conductive pillars coupling a circuit board substrate to a first non-PHY region of the first GPU chiplet and a second non-PHY region of the second GPU chiplet.

11. (Previously Presented) A method, comprising:

receiving, at a first GPU chiplet of a GPU chiplet array, a memory access request from a central processing unit (CPU);

determining, at a passive crosslink controller of the first GPU chiplet, a caching GPU chiplet corresponding to a location at which data associated with the memory access request is stored;

routing, via a passive crosslink dedicated for inter-chiplet communications in the GPU chiplet array, the memory access request to a last level cache of the caching GPU chiplet; and
returning the data associated with the memory access request to the CPU.

12. (Previously Presented) The method of claim 11, wherein routing the memory access request further includes a scalable data fabric requesting the data associated with the memory access request from the caching GPU chiplet.

13. (Original) The method of claim 11, wherein routing the memory access request to the last level cache of the caching GPU chiplet further comprises:
routing, based on determining the first GPU chiplet is the caching GPU chiplet, the memory access request via a first passive crosslink PHY including conductor traces solely for communications between the passive crosslink and the last level cache of the first GPU chiplet.

14. (Original) The method of claim 11, wherein routing the memory access request to the last level cache of the caching GPU chiplet further comprises:
routing, based on determining a second GPU chiplet is the caching GPU chiplet, the memory access request via a second passive crosslink PHY including conductor traces solely for communications between the passive crosslink and the last level cache of the second GPU chiplet.

15. (Previously Presented) The method of claim 11, further comprising:
returning the data associated with the memory access request to the first GPU chiplet via a passive crosslink PHY including conductor traces solely for communications between the passive crosslink and the caching GPU chiplet.

16. (Previously Presented) A non-transitory computer readable medium embodying a set of executable instructions, the set of executable instructions to manipulate at least one processor to:

receive, at a first GPU chiplet of a GPU chiplet array, a memory access request from a central processing unit (CPU);
determine, at a passive crosslink controller of the first GPU chiplet, a caching GPU chiplet corresponding to a location at which data associated with the memory access request is stored;
route, via a passive crosslink dedicated for inter-chiplet communications in the GPU chiplet array, the memory access request to a last level cache of the caching GPU chiplet; and
return the data associated with the memory access request to the CPU.

17. (Previously Presented) The non-transitory computer readable medium of claim 16, the set of executable instructions further to manipulate at least one processor to: request, via a scalable data fabric, the data associated with the memory access request from the caching GPU chiplet.

18. (Original) The non-transitory computer readable medium of claim 16, the set of executable instructions further to manipulate at least one processor to:
route, based on determining the first GPU chiplet is the caching GPU chiplet, the memory access request via a first passive crosslink PHY including conductor traces solely for communications between the passive crosslink and the last level cache of the first GPU chiplet.

19. (Original) The non-transitory computer readable medium of claim 16, the set of executable instructions further to manipulate at least one processor to:
route, based on determining a second GPU chiplet is the caching GPU chiplet, the memory access request via a second passive crosslink PHY including conductor traces solely for communications between the passive crosslink and the last level cache of the second GPU chiplet.

20. (Previously Presented) The non-transitory computer readable medium of claim 16, the set of executable instructions further to manipulate at least one processor to:

return the data associated with the memory access request to the first GPU chiplet via a passive crosslink PHY including conductor traces solely for communications between the passive crosslink and the caching GPU chiplet.

REMARKS

The Office Action dated January 20, 2023, has been received and considered. In this response, no claims have been added, canceled, or amended. Reconsideration of the pending rejections in the present application is respectfully requested based on the following remarks.

Examiner Interview of May 17, 2023

Examiner Yu is thanked for the courtesies extended during the interview of May 17, 2023 with the Applicant's representative, undersigned. During the interview, Applicant's specification, the Examiner's interpretation of the claim term "chiplet," the Examiner's interpretation of the claim term "passive crosslink," and the rejections of claims 1, 3, and 6 were discussed. The Examiner also clarified that the citation of Price (US 10,475,147) instead of Teig (US 2019/0123022) is a typographical error, as discussed further below. No agreement was reached regarding the allowability of the claims.

Allowability of Claim 9

The Applicant notes with appreciation the indication at page 4 of the Office Action that claim 9 would be allowable if rewritten in independent form. The Applicant has opted to forgo rewriting these claims as suggested in view of the following remarks.

Cited Art Typographical Error

The Office Action states that claims 1-4, 7, and 10 are rejected under 35 U.S.C. § 103 as being unpatentable over Sasaki (US 2007/0273699) in view of Price (US 10,475,147). Office Action at 2. Claims 5, 6, 8, and 11-20 are rejected under 35 U.S.C. § 103 as being unpatentable over Sasaki in view of Price, as applied to claims 1-4, 7, and 10 above, and further in view of Yasuda (US 2001/0005873). Office Action at 4. However, Price is not relied upon for any of the rejections. *See id.* at 2-4. Instead, the Office Action relies upon "Teig." *See id.* During the interview, the Examiner explained that the citation of Price is a typographical error. The Examiner intended to instead cite to Teig (US 2019/0123022), which was previously cited in the Non-Final Office Action dated April 28, 2022.

35 U.S.C. § 103 Rejection of Claims 1-4, 7, and 10

At page 2 of the Office Action, claims 1-4, 7, and 10 are rejected under 35 U.S.C. § 103 as allegedly being unpatentable over Sasaki (US 2007/0273699) in view of Teig (US 2019/0123022). This rejection is hereby respectfully traversed.

Sasaki and Teig, individually or in combination, do not teach or suggest “the first GPU chiplet communicably coupled to the CPU via a bus; and a second GPU chiplet communicably coupled to the first GPU chiplet via a passive crosslink, wherein the passive crosslink is dedicated for inter-chiplet communications,” as in claim 1, for at least three reasons. First, the cited art does not meet the definition of “chiplet” stated by paragraph [0012] of Applicant’s specification in accordance with MPEP § 2111.01(III)(A). Second, the rejection ignores the language of the claim and appears to contradict the teachings of Sasaki. Third, the motivation to combine Sasaki and Teig proposed by the Examiner is invalid.

Sasaki describes a “multi-graphics processor system” that includes “a first GPU connected to the CPU via an input/output interface; and a second GPU connected to the first GPU via a second-GPU interface.” Sasaki, Abstract. In Sasaki, the “CPU communicates with the second GPU via the second-GPU bus after receiving a signal indicating the timing of the data communication.” *Id.*

Teig describes “a three-dimensional (3D) circuit that is formed by vertically stacking two or more integrated circuit (IC) dies to at least partially overlap. In this arrangement, several circuit blocks defined on each die (1) overlap with other circuit blocks defined on one or more other dies, and (2) electrically connect to these other circuit blocks through connections that cross one or more bonding layers.” Teig, Abstract. In Teig, FIG. 4 illustrates “an example of a 3D processor 400 that is formed by vertically stacking three dies 405, 410, and 415, with the first die 405 including multiple processor cores 422 and 424 of a multi-core processor [and] the second die 410 including L1-L3 caches 426, 428, and 430.” *Id.* at [0073]. Regarding the processor cores, Teig explains that “numerous z-axis connections (e.g., DBI connections) establish numerous signal paths between each core and each L1, L2, or L3 cache that it overlaps. These signal paths are also established by interconnect segments on the interconnect layers, and vias between the interconnect layers, of the first and second dies.” *Id.* In another embodiment, Teig describes that “processor 900 is identical to the processor 400 of FIG. 4, except that it only

has one L1 cache 932 of each of six CPU (central processing unit) cores 922 and one L1 cache 934 for each of two GPU (graphical processing unit) cores 924 that are defined on a die 905.” *Id.* at [0090]. Teig further describes that “Some embodiments place a passive interposer between two faces of two dies. Some embodiments use an interposer to allow a smaller die to connect to a bigger die.” *Id.* at [0148].

First, Sasaki and Teig do not teach or suggest a “GPU chiplet” as defined by Applicant’s specification in accordance with MPEP § 2111.01(III)(A). During the interview, the Examiner explained that he was interpreting the claim language using the broadest reasonable interpretation standard. However, the MPEP states that “An applicant is entitled to be their own lexicographer and may rebut the presumption that claim terms are to be given their ordinary and customary meaning by clearly setting forth a definition of the term that is different from its ordinary and customary meaning(s) in the specification at the relevant time” and “Where an explicit definition is provided by the applicant for a term, that definition will control interpretation of the term as it is used in the claim.” MPEP § 2111.01(III)(A) (emphasis added). Because Applicant is invoking their right to be their own lexicographer, any interpretation of the term “GPU chiplet” from Applicant’s claims must be compatible with Applicant’s definition of the term and any broader interpretation, such as the one advanced by the Office Action, is improper.

In particular, Applicant’s specification states “the term ‘chiplet’ refers to any device including, but is not limited to, the following characteristics: ... 3) the programming model preserves the concept that these separate computational dies are a single monolithic unit (i.e., each chiplet is not exposed as a separate device to an application that uses the chiplets for processing computational workloads).” Applicant’s Specification at [0012]. As discussed during the interview, “any device including, but is not limited to, the following characteristics:” refers to a minimum set of characteristics which must be present to consider a device a “chiplet.” However, devices may include other characteristics. In Sasaki, the CPU addresses and communicates with both the first GPU and the second GPU. *See Sasaki*, Abstract. In other words, the GPUs of Sasaki are exposed as separate devices to applications. Teig is silent regarding the programming model of a chiplet. Therefore, the cited references, individually or in combination, do not teach or suggest a “GPU chiplet,” as in claim 1. Accordingly, the rejection is improper and should be withdrawn.

Second, Sasaki and Teig individually or in combination, do not teach or suggest at least “a second GPU chiplet communicably coupled to the first GPU chiplet via a passive crosslink, wherein the passive crosslink is dedicated for inter-chiplet communications,” as in claim 1. The Office Action cites a passive interposer from paragraph [0148] of Teig regarding the claimed passive crosslink and states that “it would have been obvious to a person of ordinary skill in the art to modify Sasaki by coupling components via a passive interposer as taught by Teig in paragraph 148.” *See* Office Action at 2 and 3. However, this rejection ignores the language of the claim and appears to contradict the teachings of Sasaki. The passive interposer of Teig is a physical layer placed between two dies, such as dies 905 and 910 of FIG. 9. *See* Teig at [0148] and FIG. 9. Such an interposer from Teig would not be considered by one of ordinary skill to be dedicated for inter-chiplet communications, as the passive interposer would be the connection between the CPU and GPU cores 922 and 924 and the L1 caches 932 and 934 for those cores. *See* Teig at FIG. 9 and [0090]. If the communications were dedicated to only such communications, then it appears that the CPU and GPU cores 922 and 924 of Teig would be unable to access the L1 caches 932 and 934 for memory operations, which would result in a nonfunctional system. Further, in Sasaki, data is “sent from the CPU 300 to the second GPU 200” “by the second-GPU interface 140 to the second GPU 200 via the second GPU connection bus 190.” *See* Sasaki at [0116]. One of ordinary skill would not understand this communication from Sasaki to be an inter-chiplet communication. Although the first GPU 100 of Sasaki is used as an intermediate step in the communication, the first GPU core 120 is not involved in the communication and instead this is a communication between the CPU 300 and the second GPU 200. If a communication link dedicated for inter-chiplet communications were inserted in place of second GPU connection bus 190 of Sasaki as proposed by the Examiner during the interview, such an arrangement would not allow this communication, potentially causing erroneous operation to the system of Sasaki. Accordingly, the rejection is improper and should be withdrawn for at least this additional reason.

Third, the proposed motivation to combine Sasaki and Teig is invalid. In particular, the Office Action states that “Sasaki and Teig are analogous art because they are from the same field of endeavor of chiplet arrangements.” Office Action at 2. However, neither reference uses the term “chiplet” at any point. Further, as argued above, neither reference teaches or suggests a chiplet. Accordingly, contrary to the statements of the Office Action, neither reference is from

the field of endeavor of chiplet arrangements. For the Office Action's same field of endeavor argument to be valid, both references must be from that field of endeavor. Therefore, the proposed motivation to combine is invalid. As a result, the rejection is improper and should be withdrawn for at least this additional reason.

Claims 2-4, 7, and 10 depend on claim 1. As explained above, Sasaki fails to disclose or render obvious the features of claim 1. Further, Teig does not remedy the deficiencies of Sasaki. Accordingly, the cited references, individually and in combination, fail to disclose or render obvious the features of independent claim 1. The cited references therefore fail to disclose the features of dependent claims 2-4, 7, and 10, at least by virtue of their dependence on claim 1. In addition, these dependent claims recite additional novel and non-obvious features.

For example, regarding claim 3, the Office Action merely cites the passive interposer of paragraph [0148] of Teig without providing any further explanation or language. Office Action at 3. However, nothing in paragraph [0148] of Teig teaches, for example, the claimed conductor structures, and the Office Action makes no further attempt to address this claim language. Accordingly, the rejection fails to properly establish a *prima facie* case of obviousness against this claim and is thus improper and should be withdrawn.

In view of the foregoing, withdrawal of the above-referenced obviousness rejection and reconsideration of the claims is respectfully requested.

35 U.S.C. § 103 Rejection of Claims 5, 6, 8, and 11-20

At page 4 of the Office Action, claims 5, 6, 8, and 11-20 are rejected under 35 U.S.C. § 103 as allegedly being unpatentable over Sasaki in view of Teig, as applied to claims 1-4, 7, and 10 above, and further in view of Yasuda (US 2001/0005873). This rejection is hereby respectfully traversed.

Regarding 11-20, the Office Action merely states "As per claims 11-20, the examiner directs the applicant's attention to claims rejection above." Office Action at 4. As best as Applicant can tell, the Examiner is asserting that nothing is patentably different between some combination of the rejections of claims 1-8 and 10 and any of the features in any of claims 11-20. This is a failure to establish a *prima facie* case of obviousness with regard to these claims, as required by the MPEP. Applicant reminds the Examiner that "When setting forth a rejection,

Office personnel are to continue to make appropriate findings of fact as explained in MPEP § 2141 and § 2143, and must provide a reasoned explanation as to why the invention as claimed would have been obvious to a person of ordinary skill in the art at the time of the invention.” MPEP § 2143 (emphasis added).

As best as Applicant can tell, Yasuda is relied upon in the rejection of claims 5, 6, and 8 for teaching a last level cache. Office Action at 4. As discussed further below, this language is insufficient to clearly articulate the grounds of rejection with regard to claims 5, 6, and 8. As best as Applicant can tell, Yasuda is similarly mapped to independent claims 11 and 16 due to their usage of the term last level cache. Because the Office Action fails to clearly articulate the grounds of rejection of independent claims 11 and 16, Applicant is forced to guess that the Office Action is rejecting these claims for the same reasons as independent claim 1, above, despite the failure to consider features in claims 11 and 16 not described by claim 1, as discussed below. As best as Applicant can tell, Yasuda is only relied upon to teach the claimed last level cache, with no effort made to indicate how such the teachings of Sasaki, Teig, and Yasuda are imagined to function together. Applicant submits that Sasaki and Teig do not teach or suggest claims 11 and 16 for reasons similar to those presented above with regard to claim 1. Further, Yasuda does not remedy those deficiencies. Accordingly, the rejection is improper and should be withdrawn.

Additionally, claims 11 and 16 include claim terms that, as best as Applicant can tell, are not addressed by the rejection. Applicant reminds the Examiner that, as stated in the MPEP, to establish *prima facie* obviousness of a claimed invention, all the claim limitations must be considered and “[a]ll words in a claim must be considered in judging the patentability of that claim against the prior art.” MPEP § 2143.03. As an example, nothing in the Office Action addresses the claimed “passive crosslink controller of the first GPU chiplet” in claims 11 and 16. As best as Applicant can tell, this feature was not considered by the rejection. As a result, the rejection is improper for at least this additional reason and should be withdrawn.

Claims 5, 6, 8, 12-15, and 17-20 depend on claims 1, 11, and 16, respectively. As explained above, Sasaki and Teig, individually or in combination, fail to disclose or render obvious the features of claims 1, 11, and 16. Further, Yasuda does not remedy the deficiencies of Sasaki and Teig. Accordingly, the cited references, individually and in combination, fail to

disclose or render obvious the features of independent claims 1, 11, and 16. The cited references therefore fail to disclose the features of dependent claims 5, 6, 8, 12-15, and 17-20, at least by virtue of their respective dependence on claims 1, 11, and 16. In addition, these dependent claims recite additional novel and non-obvious features.

For example, regarding claims 5, 6, and 8, the Office Action apparently ignores the features of the claims. As best as Applicant can tell, the Office Action relies upon the alleged teaching of a “cache coherency protocol in the abstract” to teach the last level cache of claims 5 and 6 without providing any specific citations from Yasuda or any citations from Sasaki or Teig regarding the remaining claim language. Claim 8 does not recite a last level cache, and thus it is unclear if Yasuda is intended to be asserted against the claim at all. Accordingly, the rejection clearly fails to properly establish a *prima facie* case of obviousness against these claims and is thus improper and should be withdrawn for at least this additional reason.

As another example, the scalable data fabric of claim 12 is not explicitly recited in claims 1-8 or 10. As a result, the Office Action’s reference to “claims rejection above” shows a clear failure to consider the features of this claim contrary to MPEP § 2143.03. Therefore, the rejection is improper and should be withdrawn for at least this additional reason.

In view of the foregoing, withdrawal of the above-referenced obviousness rejection and reconsideration of the claims is respectfully requested.

Conclusion

The Applicant respectfully submits that the present application is in condition for allowance, and an early indication of the same is courteously solicited. The Examiner is respectfully requested to contact the undersigned by telephone at the below listed telephone number in order to expedite resolution of any issues and to expedite passage of the present application to issue, if any comments, questions, or suggestions arise in connection with the present application.

The Applicant believes no additional fees are due, but if the Commissioner believes additional fees are due, the Commissioner is hereby authorized to charge any fees, which may be required, or credit any overpayment, to Deposit Account Number 50-5933.

Respectfully submitted,

PATENT

/Craig Watson/

Craig Watson, Reg. No. 67,926
DAVIDSON SHEEHAN LLP
6836 Austin Center Blvd., Suite 320
Austin, Texas 78731
(512) 582-2455 (phone)
(512) 355-1119 (fax)

July 5, 2023

Date

Electronic Patent Application Fee Transmittal

Application Number:	16456287			
Filing Date:	28-Jun-2019			
Title of Invention:	GPU CHIPLETS USING HIGH BANDWIDTH CROSSLINKS			
First Named Inventor/Applicant Name:	Skyler J. SALEH			
Filer:	Craig Watson/David Edwards			
Attorney Docket Number:	1458-190070			
Filed as Large Entity				
Filing Fees for Utility under 35 USC 111(a)				
Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Extension - 3 months with \$0 paid	1253	1	1480	1480
Miscellaneous:				
Total in USD (\$)				1480

Electronic Acknowledgement Receipt

EFS ID:	48251833
Application Number:	16456287
International Application Number:	
Confirmation Number:	4820
Title of Invention:	GPU CHIPLETS USING HIGH BANDWIDTH CROSSLINKS
First Named Inventor/Applicant Name:	Skyler J. SALEH
Customer Number:	109712
Filer:	Craig Watson
Filer Authorized By:	
Attorney Docket Number:	1458-190070
Receipt Date:	05-JUL-2023
Filing Date:	28-JUN-2019
Time Stamp:	17:17:48
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	DA
Payment was successfully received in RAM	\$ 1480
RAM confirmation Number	E202375H18507667
Deposit Account	505933
Authorized User	Craig Watson

The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:

37 CFR 1.16 (National application filing, search, and examination fees)

37 CFR 1.17 (Patent application and reexamination processing fees)

37 CFR 1.19 (Document supply fees)
 37 CFR 1.20 (Post Issuance fees)
 37 CFR 1.21 (Miscellaneous fees and charges)

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1		190070-US_RNFOA-FINAL.pdf	134227	yes	14
			62c742dfb271fb00cdb29e72675c625c531518bb		
	Multipart Description/PDF files in .zip description				
	Document Description		Start	End	
	Amendment/Request for Reconsideration-After Non-Final Rejection		1	1	
	Claims		2	6	
	Applicant Arguments/Remarks Made in an Amendment		7	14	
Warnings:					
Information:					
2	Fee Worksheet (SB06)	fee-info.pdf	38664	no	2
			4fd582f196e8d783ebbbebbb0a6e5bcf6e30dc598		
Warnings:					
Information:					
Total Files Size (in bytes):			172891		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875				Application or Docket Number 16/456,287		Filing Date 06/28/2019		☐ To be Mailed			
ENTITY: ☒ LARGE ☐ SMALL ☐ MICRO											
APPLICATION AS FILED - PART I											
		(Column 1)		(Column 2)							
FOR		NUMBER FILED		NUMBER EXTRA		RATE (\$)		FEE (\$)			
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))		N/A		N/A		N/A					
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))		N/A		N/A		N/A					
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))		N/A		N/A		N/A					
TOTAL CLAIMS (37 CFR 1.16(i))		minus 20 = *				x \$100 =					
INDEPENDENT CLAIMS (37 CFR 1.16(h))		minus 3 = *				x \$460 =					
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))		If the specification and drawings exceed 100 sheets of paper, the application size fee due is \$310 (\$155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).									
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))											
* If the difference in column 1 is less than zero, enter "0" in column 2.						TOTAL					
APPLICATION AS AMENDED - PART II											
		(Column 1)		(Column 2)		(Column 3)					
AMENDMENT	07/05/2023	CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR		PRESENT EXTRA		RATE (\$)		ADDITIONAL FEE (\$)	
	Total (37 CFR 1.16(i))	* 20	Minus	** 20	= 0		x \$100 =		0		
	Independent (37 CFR 1.16(h))	* 3	Minus	*** 3	= 0		x \$480 =		0		
	☐ Application Size Fee (37 CFR 1.16(s))										
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))										
								TOTAL ADD'L FEE		0	
		(Column 1)		(Column 2)		(Column 3)					
AMENDMENT		CLAIMS REMAINING AFTER AMENDMENT		HIGHEST NUMBER PREVIOUSLY PAID FOR		PRESENT EXTRA		RATE (\$)		ADDITIONAL FEE (\$)	
	Total (37 CFR 1.16(i))	*	Minus	**	=		x \$0 =				
	Independent (37 CFR 1.16(h))	*	Minus	***	=		x \$0 =				
	☐ Application Size Fee (37 CFR 1.16(s))										
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))										
								TOTAL ADD'L FEE			
* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.											
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".								/DARRYL FORTE/			
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".											
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.											

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Doc code: IDS

Doc description: Information Disclosure Statement (IDS) Filed

PTO/SB/08a (02-18)

Approved for use through 11/30/2020. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)	Application Number		16456287
	Filing Date		2019-06-28
	First Named Inventor	Skyler J. SALEH	
	Art Unit	2138	
	Examiner Name	Jae Un YU	
	Attorney Docket Number	1458-190070	

U.S.PATENTS						
Examiner Initial*	Cite No	Patent Number	Kind Code ¹	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Patent citation information please click the Add button.

U.S.PATENT APPLICATION PUBLICATIONS						
Examiner Initial*	Cite No	Publication Number	Kind Code ¹	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1	20070273699		2007-11-29	SASAKI et al.	
	2	20190123022		2019-04-25	TEIG et al.	

If you wish to add additional U.S. Published Application citation information please click the Add button.

FOREIGN PATENT DOCUMENTS								
Examiner Initial*	Cite No	Foreign Document Number ³	Country Code ²	Kind Code ⁴	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	T ⁵
	1							☐

If you wish to add additional Foreign Patent Document citation information please click the Add button

NON-PATENT LITERATURE DOCUMENTS								
---------------------------------	--	--	--	--	--	--	--	--

**INFORMATION DISCLOSURE
STATEMENT BY APPLICANT**
(Not for submission under 37 CFR 1.99)

Application Number		16456287
Filing Date		2019-06-28
First Named Inventor	Skyler J. SALEH	
Art Unit	2138	
Examiner Name	Jae Un YU	
Attorney Docket Number	1458-190070	

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T ⁵
	1	Extended European Search Report issued in Application No. 20832015, mailed June 22, 2023, (Attorney Docket No. 190070-EP), 12 Pages.	☐
	2	YIN, Jieming et al. "Modular Routing Design for Chiplet-Based Systems" 2018 ACM/IEEE 45th Annual International Symposium on Computer Architecture (ISCA), IEEE, 2018, pages 726-738,	☐

If you wish to add additional non-patent literature document citation information please click the Add button

EXAMINER SIGNATURE

Examiner Signature		Date Considered	
--------------------	--	-----------------	--

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. ² Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). ³ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁴ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁵ Applicant is to place a check mark here if English language translation is attached.

**INFORMATION DISCLOSURE
STATEMENT BY APPLICANT**
(Not for submission under 37 CFR 1.99)

Application Number	16456287
Filing Date	2019-06-28
First Named Inventor	Skyler J. SALEH
Art Unit	2138
Examiner Name	Jae Un YU
Attorney Docket Number	1458-190070

CERTIFICATION STATEMENT

Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):

- ☒ That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).

OR

- ☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).

- ☐ See attached certification statement.
- ☐ The fee set forth in 37 CFR 1.17 (p) has been submitted herewith.
- ☐ A certification statement is not submitted herewith.

SIGNATURE

A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.

Signature	/Adam D. Sheehan/	Date (YYYY-MM-DD)	2023-07-03
Name/Print	Adam D. Sheehan	Registration Number	42146

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 1 hour to complete, including gathering, preparing and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. **DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Electronic Acknowledgement Receipt

EFS ID:	48246644
Application Number:	16456287
International Application Number:	
Confirmation Number:	4820
Title of Invention:	GPU CHIPLETS USING HIGH BANDWIDTH CROSSLINKS
First Named Inventor/Applicant Name:	Skyler J. SALEH
Customer Number:	109712
Filer:	Adam D. Sheehan/David Edwards
Filer Authorized By:	Adam D. Sheehan
Attorney Docket Number:	1458-190070
Receipt Date:	03-JUL-2023
Filing Date:	28-JUN-2019
Time Stamp:	20:07:48
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no
------------------------	----

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Information Disclosure Statement (IDS) Form (SB08)	190070-US_IDS.pdf	71083	no	4
			f12c781d704524799faa4f6387a74b68b2ee c2f8		

Warnings:

Information:

This is not an USPTO supplied IDS fillable form

2	Non Patent Literature	190070-EP_EESR.pdf	8555201	no	12
			f850caf4d89dddec30ee45870bd258c1eead067f4		

Warnings:**Information:**

3	Non Patent Literature	YIN- Modular_Routing_Design_for_ Chiplet-based_Systems.pdf	13997776	no	13
			6e65ea71f900574039bd9303e61e9fb3887f518b		

Warnings:**Information:**

Total Files Size (in bytes):	22624060
-------------------------------------	----------

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Inventor(s): Skyler J. SALEH et al.

Title: GPU CHIPLETS USING HIGH BANDWIDTH CROSSLINKS

App. No.: 16/456,287

Filed:

June 28, 2019

Examiner: Jae Un YU

Group Art Unit:

2138

Atty. Dkt. No.: 1458-190070

Confirmation No.:

4820

STATEMENT ON THE SUBSTANCE OF THE INTERVIEW

Dear Sir:

The Examiner and the Applicant's representative, undersigned, held a telephone interview on Wednesday, May 17, 2023. During the interview, the Examiner clarified that, regarding claims 1-4, 7, and 10, the claims are to be rejected as allegedly being unpatentable over Sasaki (US 2007/0273699) in view of Teig (US 2019/0123022), not Sasaki in view of Price (US 10475147) as stated by the Office Action. Similarly, claims 5, 6, 8, and 11-20 are to be rejected as allegedly being unpatentable over Sasaki in view of Teig and Yasuda (US 2001/0005873), not Sasaki in view of Price and Yasuda as stated by the Office Action. Applicant's specification, MPEP §2111.01, and the Examiner's interpretation of the claim terms "chiplets" and "a passive crosslink" in view of claims 1 and 6 were also discussed. No agreement was reached regarding the allowability of the claims.

Respectfully submitted,

/Craig Watson/
Craig Watson, Reg. No. 67,926
(512) 582-2455 ext. 705
DAVIDSON SHEEHAN LLP
6836 Austin Center Blvd., Suite 320
Austin, Texas 78731
(512) 355-1119 (fax)

May 25, 2023
Date

Electronic Acknowledgement Receipt

EFS ID:	48061086
Application Number:	16456287
International Application Number:	
Confirmation Number:	4820
Title of Invention:	GPU CHIPLETS USING HIGH BANDWIDTH CROSSLINKS
First Named Inventor/Applicant Name:	Skyler J. SALEH
Customer Number:	109712
Filer:	Craig Watson/David Edwards
Filer Authorized By:	Craig Watson
Attorney Docket Number:	1458-190070
Receipt Date:	25-MAY-2023
Filing Date:	28-JUN-2019
Time Stamp:	19:16:11
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no
------------------------	----

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Applicant summary of interview with examiner	190070-US_Interview-Summary_Final.pdf	75074	no	1
			209276d9ce2496fcccfe42c82a87469191864811		

Warnings:

Information:	
Total Files Size (in bytes):	75074
This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503. <u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application. <u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course. <u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.	



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office

Address: COMMISSIONER FOR PATENTS

P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
16/456,287	06/28/2019	Skyler J. SALEH	1458-190070	4820
109712	7590	05/22/2023	EXAMINER	
Advanced Micro Devices, Inc.			YU, JAE UN	
c/o Davidson Sheehan LLP			ART UNIT	
6836 Austin Center Blvd.			PAPER NUMBER	
Suite 320			2138	
Austin, TX 78731			NOTIFICATION DATE	
			DELIVERY MODE	
			05/22/2023	
			ELECTRONIC	

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

AMD@DS-patent.com
docketing@ds-patent.com

<i>Applicant-Initiated Interview Summary</i>	Application No. 16/456,287	Applicant(s) SALEH et al.		
	Examiner JAE U YU	Art Unit 2138	AIA (First Inventor to File) Status Yes	Page 1 of 1

All Participants (applicant, applicants representative, PTO personnel)	Title	Type
JAE U YU	Primary Examiner	Telephonic
Craig Watson	Attorney of Record	

Date of Interview: 17 May 2023

Issues Discussed:

35 U.S.C. 103

Discussed the definition of the limitation of "chiplets" in view of the specifications. The examiner would inspect the specification in more details if such definition can be applied when interpreting the claim languages.

/JAE U YU/ Primary Examiner, Art Unit 2138	
Applicant is reminded that a complete written statement as to the substance of the interview must be made of record in the application file. It is the applicants responsibility to provide the written statement, unless the interview was initiated by the Examiner and the Examiner has indicated that a written summary will be provided. See MPEP 713.04 Please further see: MPEP 713.04 Title 37 Code of Federal Regulations (CFR) § 1.133 Interviews, paragraph (b) 37 CFR § 1.2 Business to be transacted in writing	

Applicant recordation instructions: The formal written reply to the last Office action must include the substance of the interview. (See MPEP section 713.04). If a reply to the last Office action has already been filed, applicant is given a non-extendable period of the longer of one month or thirty days from this interview date, or the mailing date of this interview summary form, whichever is later, to file a statement of the substance of the interview.

Examiner recordation instructions: Examiners must summarize the substance of any interview of record. A complete and proper recordation of the substance of an interview should include the items listed in MPEP 713.04 for complete and proper recordation including the identification of the general thrust of each argument or issue discussed, a general indication of any other pertinent matters discussed regarding patentability and the general results or outcome of the interview, to include an indication as to whether or not agreement was reached on the issues raised.



UNITED STATES PATENT AND TRADEMARK OFFICE

USPTO Automated Interview Request (AIR)

Apr 28 2023

This paper requesting to schedule and/or conduct an interview is appropriate because:

This submission is requested to be accepted as an authorization for this interview to communicate via the internet. Recognizing that Internet communications are not secure, I hereby authorize the USPTO to communicate with the undersigned concerning scheduling of the interview via video conference, instant messaging, or electronic mail, and to conduct the interview in accordance with office practice including video conferencing.

Name(s) :

Craig Watson

S-signature:

/Craig K Watson/

Registration Number:

67926

U.S. Application Number:

16456287

Confirmation Number:

4820

E-mail Address:

craig.watson@ds-patent.com

Phone Number:

+1 5052634817

Proposed Time of Interview:

5-4-2023 2:00 PM ET

Alternative Proposed Time(s) of Interview:

5-5-2023 11:00 AM ET

Alternative Proposed Time(s) of Interview:

5-8-2023 4:00 PM ET

Preferred Interview Type:

Telephonic

I am the applicant or applicant's representative for this application.

Topic for Discussion:

I am confused by the rejection. I plan to submit an agenda after the interview is scheduled providing more details. No amendments will be proposed due to my confusion.



UNITED STATES
PATENT AND TRADEMARK OFFICE

Doc code: IDS

Doc description: Information Disclosure Statement (IDS) Filed

PTO/SB/08a (02-18)

Approved for use through 11/30/2020. OMB 0651-0031

U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)	Application Number		16456287
	Filing Date		2019-06-28
	First Named Inventor	Skyler J. SALEH	
	Art Unit	2138	
	Examiner Name	Jae Un YU	
	Attorney Docket Number	1458-190070	

U.S.PATENTS						
Examiner Initial*	Cite No	Patent Number	Kind Code ¹	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Patent citation information please click the Add button.

U.S.PATENT APPLICATION PUBLICATIONS						
Examiner Initial*	Cite No	Publication Number	Kind Code ¹	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1	20170236244		2017-08-17	PRICE et al.	

If you wish to add additional U.S. Published Application citation information please click the Add button.

FOREIGN PATENT DOCUMENTS								
Examiner Initial*	Cite No	Foreign Document Number ³	Country Code ²	Kind Code ⁴	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	T ⁵
	1	108694688	CN		2018-10-23	JOYDEEP et al.		☒
	2	108732754	CN		2018-11-02	DEEPAK et al.		☒

If you wish to add additional Foreign Patent Document citation information please click the Add button

NON-PATENT LITERATURE DOCUMENTS								
---------------------------------	--	--	--	--	--	--	--	--

**INFORMATION DISCLOSURE
STATEMENT BY APPLICANT**
(Not for submission under 37 CFR 1.99)

Application Number		16456287
Filing Date		2019-06-28
First Named Inventor	Skyler J. SALEH	
Art Unit	2138	
Examiner Name	Jae Un YU	
Attorney Docket Number	1458-190070	

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T ⁵
	1	Office Action mailed February 7, 2023 for Chinese Application No. 202080067194.0 (Attorney Docket No. 190141-CN), 6 pages	☒

If you wish to add additional non-patent literature document citation information please click the Add button

EXAMINER SIGNATURE

Examiner Signature		Date Considered	
--------------------	--	-----------------	--

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. ² Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). ³ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁴ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁵ Applicant is to place a check mark here if English language translation is attached.

**INFORMATION DISCLOSURE
STATEMENT BY APPLICANT**
(Not for submission under 37 CFR 1.99)

Application Number	16456287
Filing Date	2019-06-28
First Named Inventor	Skyler J. SALEH
Art Unit	2138
Examiner Name	Jae Un YU
Attorney Docket Number	1458-190070

CERTIFICATION STATEMENT

Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):

- ☒ That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).

OR

- ☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).

- ☐ See attached certification statement.
- ☐ The fee set forth in 37 CFR 1.17 (p) has been submitted herewith.
- ☐ A certification statement is not submitted herewith.

SIGNATURE

A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.

Signature	/Adam D. Sheehan/	Date (YYYY-MM-DD)	2023-04-19
Name/Print	Adam D. Sheehan	Registration Number	42146

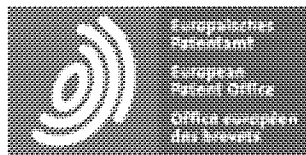
This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 1 hour to complete, including gathering, preparing and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. **DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.



Espacenet

CN108694688A APPARATUS AND METHOD FOR MANAGING DATA BIAS IN GRAPHICS PROCESSING ARCHITECTURE

Applicants: INTEL CORP

Inventors: RAY JOYDEEP, APPU ABHISHEK R, KOKER ALTUG, VEMBU BALAJI

Classifications:

IPC **G06T1/20; G06T1/60;**

CPC **G06F12/0811 (EP,US); G06F12/0815 (EP,US); G06F12/0831 (EP,US); G06F12/0875 (US); G06F12/0888 (EP,US); G06T1/20 (EP,CN,US); G06T1/60 (CN,US); G06F2212/1024 (EP,US); G06F2212/302 (EP,US); G06F2212/455 (US); G06F2212/621 (EP,US);**

Priorities: US201715482685A 2017-04-07

Application: CN201810306269A 2018-04-08

Publication: CN108694688A 2018-10-23

Published as: CN108694688A; EP3385848A1; EP3385848B1; US10282811B2; US10650483B2; US11282161B2; US2018293690A1; US2019318446A1; US2021049728A1; US2022277412A1

APPARATUS AND METHOD FOR MANAGING DATA BIAS IN GRAPHICS PROCESSING ARCHITECTURE

Abstract

An apparatus and method are described for managing data which is biased towards a processor or a GPU. For example, one embodiment of an apparatus comprises: a processor comprising one or more cores to execute instructions and process data, one or more cache levels, and cache coherence controllers to maintain coherent data in the one or more cache levels; a graphics processing unit (GPU) to execute graphics instructions and process graphics data, wherein the GPU and processor cores are to share a virtual address space for accessing a system memory; a GPU memory coupled to the GPU, the GPU memory addressable through the virtual address space shared by the processor cores and GPU; and bias management circuitry to store an indication, for each of a plurality of blocks of data, whether the data has a processor bias or a GPU bias, wherein if the data has a GPU bias, then the data is to be accessed by the GPU from the GPU memory without necessarily accessing the processor's cache coherence controllers and wherein requests for the data from the processor cores are processed as uncached requests, preventing the data from being cached in the one or more cache levels of the processor.

(19)中华人民共和国国家知识产权局



(12)发明专利申请

(10)申请公布号 CN 108694688 A

(43)申请公布日 2018.10.23

(21)申请号 201810306269.0

(22)申请日 2018.04.08

(30)优先权数据

15/482,685 2017.04.07 US

(71)申请人 英特尔公司

地址 美国加利福尼亚州

(72)发明人 J·雷 A·R·阿普 A·考克

B·文布

(74)专利代理机构 上海专利商标事务所有限公

司 31100

代理人 何焜 钱慰民

(51)Int.Cl.

G06T 1/20(2006.01)

G06T 1/60(2006.01)

权利要求书3页 说明书48页 附图40页

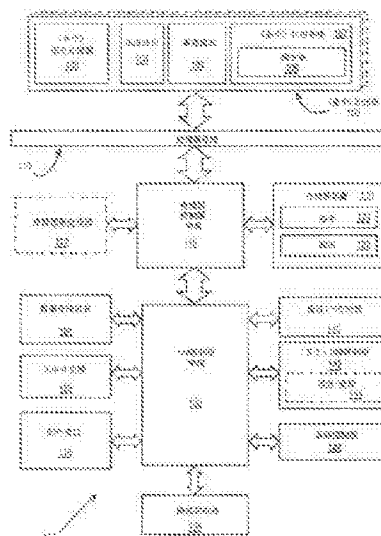
(54)发明名称

用于在图形处理架构中管理数据偏置的设备和方法

(57)摘要

本申请公开了用于在图形处理架构中管理数据偏置的设备和方法。描述了用于管理向处理器或GPU偏置的数据的设备和方法。例如,设备的一个实施例包括:处理器,包括用于执行指令并处理数据的一个或多个核、一个或多个高速缓存级、以及用于在一个或多个高速缓存级中维持一致数据的高速缓存一致性控制器;图形处理单元(GPU),用于执行图形指令并处理图形数据,其中该GPU和处理器核共享用于访问系统存储器的虚拟地址空间;GPU存储器,耦合至该GPU,该GPU存储器能通过被处理器核和GPU共享的虚拟地址空间来寻址;以及偏置管理电路,用于对于多个数据块中的每一个数据块,存储数据是具有处理器偏置还是GPU偏置的指示,其中,如果数据具有GPU偏置,则数据会由该GPU从GPU存储器访问、且不必访问处理器的高速缓存一致性控制器,且其中来自处理器核的对数据的请求被处理为不高

速缓存的请求,从而防止数据被高速缓存在处理器的一个或多个高速缓存级中。



1. 一种设备,包括:

处理器,包括用于执行指令并处理数据的一个或多个核、一个或多个高速缓存级、以及用于在所述一个或多个高速缓存级中维持一致数据的高速缓存一致性控制器;

图形处理单元 (GPU),用于执行图形指令并处理图形数据,其中所述GPU和处理器核共享用于访问系统存储器的虚拟地址空间;

GPU存储器,耦合至所述GPU,所述GPU存储器能通过被所述处理器核和GPU共享的所述虚拟地址空间来寻址;以及

偏置管理电路,用于对于多个数据块中的每一个数据块,存储所述数据是具有处理器偏置还是GPU偏置的指示,

其中,如果所述数据具有GPU偏置,则所述数据会由所述GPU从所述GPU存储器访问、且不必访问所述处理器的高速缓存一致性控制器,且其中来自所述处理器核的对所述数据的请求被处理为不高速缓存的请求,从而防止所述数据被高速缓存在所述处理器的所述一个或多个高速缓存级中。

2. 如权利要求1所述的设备,其特征在于:

所述数据块包括超级行,每个超级行包括多个高速缓存行。

3. 如权利要求2所述的设备,其特征在于,进一步包括:

超级行所有权表 (SLOT),所述偏置管理电路用于在所述超级行所有权表中存储关于每个超级行是具有处理器偏置还是GPU偏置的指示。

4. 如权利要求3所述的设备,其特征在于,进一步包括:

第一SLOT高速缓存,所述第一SLOT高速缓存是所述GPU的构成部分,所述第一SLOT高速缓存用于存储第一组超级行,所述第一组超级行还被存储在系统存储器中维持的主SLOT表中。

5. 如权利要求3或4所述的设备,其特征在于,进一步包括:

第二SLOT高速缓存,所述第二SLOT高速缓存是系统代理或所述处理器的构成部分,所述第二SLOT高速缓存用于存储第二组超级行,所述第二组超级行还被存储在所述主SLOT表中。

6. 如权利要求5所述的设备,其特征在于,进一步包括:

SLOT一致性电路,用于维持所述第一SLOT高速缓存、所述第二SLOT高速缓存、以及所述主SLOT表之间的一致性。

7. 如权利要求1或6所述的设备,其特征在于,如果所述数据具有处理器偏置,则所述GPU和处理器核访问所述处理器的所述高速缓存一致性控制器以访问所述数据。

8. 一种方法,包括:

在处理器上执行指令并处理数据,所述处理器包括一个或多个核、一个或多个高速缓存级、以及用于在所述一个或多个高速缓存级中维持一致数据的高速缓存一致性控制器;

在图形处理单元 (GPU) 上执行图形指令并处理图形数据,其中所述GPU和处理器核共享用于访问系统存储器的虚拟地址空间;

所述GPU通过被所述处理器核和GPU共享的所述虚拟地址空间来寻址GPU存储器;以及

对于多个数据块中的每一个数据块,存储所述数据是具有处理器偏置还是GPU偏置的指示,其中如果所述数据具有GPU偏置,则:

通过所述GPU从所述GPU存储器访问所述数据、且不必访问所述处理器的高速缓存一致性控制器,以及

将来自所述处理器核的对所述数据的请求处理为不高速缓存的请求,从而防止所述数据被高速缓存在所述处理器的所述一个或多个高速缓存级中。

9. 如权利要求8所述的方法,其特征在于,所述数据块包括超级行,每个超级行包括多个高速缓存行。

10. 如权利要求9所述的方法,其特征在于,关于每个超级行是具有处理器偏置还是GPU偏置的指示被存储在超级行所有权表(SLOT)中。

11. 如权利要求10所述的方法,其特征在于,第一组超级行被存储在所述第一SLOT高速缓存中,所述第一组超级行还被存储在系统存储器中维持的主SLOT表中。

12. 如权利要求9或11所述的方法,其特征在于,第二组超级行被存储在第二SLOT高速缓存中,所述第二SLOT高速缓存是系统代理或所述处理器的构成部分,所述第二SLOT高速缓存用于存储第二组超级行,所述第二组超级行还被存储在所述主SLOT表中。

13. 如权利要求12所述的方法,进一步包括:

维持所述第一SLOT高速缓存、所述第二SLOT高速缓存、以及所述主SLOT表之间的一致性。

14. 如权利要求8或13所述的方法,其特征在于,如果所述数据具有处理器偏置,则所述GPU和处理器核访问所述处理器的所述高速缓存一致性控制器以访问所述数据。

15. 一种机器可读介质,具有存储于其上的程序代码,当由机器执行所述程序代码时,所述程序代码使所述机器执行以下操作:

在处理器上执行指令并处理数据,所述处理器包括一个或多个核、一个或多个高速缓存级、以及用于在所述一个或多个高速缓存级中维持一致数据的高速缓存一致性控制器;

在图形处理单元(GPU)上执行图形指令并处理图形数据,其中所述GPU和处理器核共享用于访问系统存储器的虚拟地址空间;

所述GPU通过被所述处理器核和GPU共享的所述虚拟地址空间来寻址GPU存储器;以及

对于多个数据块中的每一个数据块,存储所述数据是具有处理器偏置还是GPU偏置的指示,其中如果所述数据具有GPU偏置,则:

通过所述GPU从所述GPU存储器访问所述数据、且不必访问所述处理器的高速缓存一致性控制器,以及

将来自所述处理器核的对所述数据的请求处理为不高速缓存的请求,从而防止所述数据被高速缓存在所述处理器的所述一个或多个高速缓存级中。

16. 如权利要求15所述的机器可读介质,其特征在于,所述数据块包括超级行,每个超级行包括多个高速缓存行。

17. 如权利要求16所述的机器可读介质,其特征在于,关于每个超级行是具有处理器偏置还是GPU偏置的指示被存储在超级行所有权表(SLOT)中。

18. 如权利要求17所述的机器可读介质,其特征在于,第一组超级行被存储在所述第一SLOT高速缓存中,所述第一组超级行还被存储在系统存储器中维持的主SLOT表中。

19. 如权利要求17或18所述的机器可读介质,其特征在于,第二组超级行被存储在第二SLOT高速缓存中,所述第二SLOT高速缓存是系统代理或所述处理器的构成部分,所述第二

SLOT高速缓存用于存储第二组超级行,所述第二组超级行还被存储在所述主SLOT表中。

20. 如权利要求19所述的机器可读介质,其特征在于,还包括:

维持所述第一SLOT高速缓存、所述第二SLOT高速缓存、以及所述主SLOT表之间的一致性。

21. 如权利要求15或20所述的机器可读介质,其特征在于,如果所述数据具有处理器偏置,则所述GPU和处理器核用于访问所述处理器的所述高速缓存一致性控制器以访问所述数据。

22. 一种设备,包括:

用于在处理器上执行指令并处理数据的装置,所述处理器包括一个或多个核、一个或多个高速缓存级、以及用于在所述一个或多个高速缓存级中维持一致数据的高速缓存一致性控制器;

用于在图形处理单元 (GPU) 上执行图形指令并处理图形数据的装置,其中所述GPU和处理器核共享用于访问系统存储器的虚拟地址空间;

用于所述GPU通过被所述处理器核和GPU共享的所述虚拟地址空间来寻址GPU存储器的装置;以及

用于对于多个数据块中的每一个数据块,存储所述数据是具有处理器偏置还是GPU偏置的指示的装置,其中如果所述数据具有GPU偏置,则:

用于通过所述GPU从所述GPU存储器访问所述数据、且不必访问所述处理器的高速缓存一致性控制器的装置,以及

用于将来自所述处理器核的对所述数据的请求处理为不高速缓存的请求,从而防止所述数据被高速缓存在所述处理器的所述一个或多个高速缓存级中的装置。

23. 如权利要求22所述的设备,其特征在于,所述数据块包括超级行,每个超级行包括多个高速缓存行。

24. 如权利要求23所述的设备,其特征在于,关于每个超级行是具有处理器偏置还是GPU偏置的指示被存储在超级行所有权表 (SLOT) 中。

25. 如权利要求24所述的设备,其特征在于,第一组超级行被存储在所述第一SLOT高速缓存中,所述第一组超级行还被存储在系统存储器中维持的主SLOT表中。

用于在图形处理架构中管理数据偏置的设备和方法

背景技术

技术领域

[0001] 本发明总体上涉及计算机处理器领域。更具体地,本发明涉及用于在图形处理架构中管理数据偏置的设备和方法。

[0002] 相关技术的说明

[0003] 最近在图形处理器单元 (GPU) 虚拟化方面取得了快速的进展。虚拟化图形处理环境被用于例如媒体云、远程工作站/桌面、可互换虚拟仪器 (IVI)、富客户端虚拟化等等。某些架构通过俘获与仿真来执行完整GPU 虚拟化,以对全功能虚拟GPU (vGPU) 进行仿真,同时通过传递对性能关键的图形内存资源来提供接近原生的性能。

[0004] 随着GPU在服务器中支持3D、媒体和GPGPU工作负载的重要性日益增加,GPU虚拟化正变得越来越普遍。如何虚拟化来自虚拟机 (VM) 的GPU内存访问是关键设计因素之一。GPU拥有自己的图形存储器: 专用视频存储器或共享系统存储器。当系统存储器用于图形时,客户机物理地址 (GPA) 需要在被硬件访问之前转换为主机物理地址 (HPA)。

[0005] 为GPU执行转换有多种方法。一些实施方式通过硬件支持来执行转换,但是可以仅向一个VM传递GPU。另一解决方案是针对转换构建阴影结构的软件方法。例如,阴影页表采用某些架构来实现,诸如在上文提及的完整的GPU虚拟化解决方案中,所述架构可以支持多个VM共享物理 GPU。

[0006] 在一些实施方式中,客户机/VM存储器页由主机存储器页支持。虚拟机监视器 (VMM) (有时称为“管理程序”) 使用例如扩展页表 (EPT) 从客户机物理地址 (PA) 映射到主机 PA。可以使用多种存储器共享技术,诸如内核同页合并 (KSM) 技术。

[0007] KSM将具有相同内容的多个VM的页合并到带有写入保护的单个页中。也就是说,如果 (从客户机PA1映射到主机PA1的) VM1中的存储器页具有与 (从客户机PA2映射到主机PA2的) VM2中的另一个存储器页相同的内容,则可以仅使用一个主机页 (如HPA_SH) 来支持客户机存储器。也就是说,VM1的客户机PA1和VM2的PA2都映射到带有写入保护的HPA_SH。这样可以节省用于系统的存储器,对于客户机的只读存储器页 (诸如代码页和零页) 特别有用。利用KSM,一旦VM修改了页内容,就可以使用写入时复制 (COW) 技术来移除共享。

[0008] 中介传递用于虚拟化系统中的装置性能和共享,其中,单个物理GPU 作为多个虚拟GPU呈现给具有直接DMA的多个客户机,而客户机访问的特权资源仍然是被俘获与仿真的。在某些实施方式中,每个客户机可以运行原生GPU驱动程序,并且装置DMA直接进入存储器,而无需管理程序的干预。

附图说明

[0009] 结合以下附图,从下面的详细描述中可以更好地理解本发明,其中:

[0010] 图1是具有处理器的计算机系统的实施例的框图,所述处理器具有一个或多个处理器核和图形处理器;

- [0011] 图2是处理器的一个实施例的框图,所述处理器具有一个或多个处理器核、集成存储器控制器、以及集成图形处理器;
- [0012] 图3是图形处理器的一个实施例的框图,所述图形处理器可以是分立式图形处理单元、或者可以是与多个处理核集成的图形处理器;
- [0013] 图4是用于图形处理器的图形处理引擎的实施例的框图;
- [0014] 图5是图形处理器的另一实施例的框图;
- [0015] 图6是包括进程要素阵列的线程执行逻辑的框图;
- [0016] 图7展示了根据实施例的图形处理器执行单元指令格式;
- [0017] 图8是图形处理器的另一实施例的框图,所述图形处理器包括图形流水线、媒体流水线、显示引擎、线程执行逻辑、以及渲染输出流水线。
- [0018] 图9A是框图,展示了根据实施例的图形处理器命令格式;
- [0019] 图9B是框图,展示了根据实施例的图形处理器命令序列;
- [0020] 图10展示了根据实施例的数据处理系统的示例性图形软件架构;
- [0021] 图11展示了根据实施例的可以用于制造集成电路以执行操作的示例性IP核开发系统;
- [0022] 图12展示了根据实施例的可以使用一个或多个IP核来制造的示例性片上系统集成电路;
- [0023] 图13展示了可以使用一个或多个IP核来制造的片上系统集成电路的示例性图形处理器;
- [0024] 图14展示了可以使用一个或多个IP核来制造的片上系统集成电路的附加示例性图形处理器;
- [0025] 图15展示了示例性图形处理系统;
- [0026] 图16展示了全图形虚拟化的示例性架构;
- [0027] 图17展示了包括虚拟图形处理单元(vGPU)的示例性虚拟化图形处理架构;
- [0028] 图18展示了具有IOMMU的虚拟化架构的一个实施例;
- [0029] 图19展示了一个实施例,在所述实施例中,图形处理在服务器上执行;
- [0030] 图20示出其中维持超级行所有权表(SLOT)以对于超级行来跟踪 GPU和主机偏置的一个实施例;
- [0031] 图21-22示出用于主机偏置的和GPU偏置的超级行的事务的实现;
- [0032] 图23示出包括SLOT高速缓存并且SLOT可存储在GPU存储器或主机存储器内的一个实施例;
- [0033] 图24示出根据本发明的一个实施例的方法;
- [0034] 图25示出对称的客户端侧实现的一个实施例;
- [0035] 图26示出不对称的客户端侧实现的一个实施例;
- [0036] 图27是示出被配置成用于实现本申请中描述的实施例的一个或多个方面的计算机系统的框图;
- [0037] 图28A-28D示出根据实施例的并行处理器部件;
- [0038] 图29A-29B是根据实施例的图形多处理器的框图;
- [0039] 图30A-30F示出其中多个GPU通信地耦合至多个多核处理器的示例性架构;以及

[0040] 图31示出根据实施例的图形处理器流水线。

具体实施方式

[0041] 在以下描述中,出于解释的目的,阐述了许多具体的细节以便提供对以下所述的本发明的实施例的透彻理解。然而,对于本领域技术人员而言,可以在不具有这些具体细节中的一些具体细节的情况下实践本发明的实施例将是明显的。在其他实例中,以框图的形式示出了公知的结构和装置以避免模糊本发明的实施例的基本原理。

[0042] 示例性图形处理器架构和数据类型

[0043] 系统概述

[0044] 图1是根据实施例的处理系统100的框图。在各种实施例中,系统 100包括一个或多个处理器102和一个或多个图形处理器108,并且可以是单处理器桌面系统、多处理器工作站系统、或具有大量处理器102或处理器核107的服务器系统。在一个实施例中,系统100是用于移动式、手持式、或嵌入式装置的片上系统(SoC)集成电路内并入的处理平台。

[0045] 系统100的实施例可包括或并入基于服务器的游戏平台、游戏控制台,包括游戏与媒体控制台、移动游戏控制台、手持式游戏控制台、或在线游戏控制台。在一些实施例中,系统100是移动电话、智能电话、平板计算装置或移动互联网装置。数据处理系统100还可包括可穿戴装置(诸如智能手表可穿戴装置、智能眼镜装置、增强现实装置、或虚拟现实装置)、与所述可穿戴装置耦合、或者集成在所述可穿戴装置中。在一些实施例中,数据处理系统100是电视或机顶盒装置,所述电视或机顶盒装置具有一个或多个处理器102以及由一个或多个图形处理器108生成的图形界面。

[0046] 在一些实施例中,所述一个或多个处理器102各自包括用于处理指令的一个或多个处理器核107,所述指令在被执行时执行系统和用户软件的操作。在一些实施例中,一个或多个处理器核107中的每个处理器核被配置成用于处理特定的指令集109。在一些实施例中,指令集109可以促进复杂指令集计算(CISC)、精简指令集计算(RISC)、或经由超长指令字(VLIW)的计算。多个处理器核107可以各自处理不同的指令集109,所述指令集可以包括用于促进对其他指令集进行仿真的指令。处理器核107还可以包括其他处理装置,如数字信号处理器(DSP)。

[0047] 在一些实施例中,处理器102包括高速缓存存储器104。取决于架构,处理器102可以具有单个内部高速缓存或内部高速缓存的多个级。在一些实施例中,在处理器102的各部件当中共享高速缓存存储器。在一些实施例中,处理器102还使用外部高速缓存(例如,3级(L3)高速缓存或末级高速缓存(LLC))(未示出),可以使用已知的高速缓存一致性技术来在处理器核107当中共享外部高速缓存。另外地,寄存器堆106包括在处理器102中,所述处理器可以包括用于存储不同类型的数据的不同类型的寄存器(例如,整数寄存器、浮点寄存器、状态寄存器、和指令指针寄存器)。一些寄存器可以是通用寄存器,而其他寄存器可以特定于处理器102的设计。

[0048] 在一些实施例中,处理器102与处理器总线110耦合,所述处理器总线用于在处理器102与系统100内的其他部件之间传输通信信号,例如地址、数据、或控制信号。在一个实施例中,系统100使用示例性‘中枢’系统架构,包括存储器控制器中枢116和输入输出(I/O)控制器中枢130。存储器控制器中枢116促进存储器装置与系统100的其他部件之间的通信,

而I/O控制器中枢 (ICH) 130经由原生I/O总线提供与I/O装置的连接。在一个实施例中,存储器控制器中枢116的逻辑被集成在所述处理器内。

[0049] 存储器装置120可以是动态随机存取存储器 (DRAM) 装置、静态随机存取存储器 (SRAM) 装置、闪存存储器装置、相变存储器装置、或具有合适的性能用作处理存储器的某个其他存储器装置。在一个实施例中,存储器装置120可作为系统100的系统存储器进行操作,以存储数据122 和指令121,以供在一个或多个处理器102执行应用或进程时使用。存储器控制器中枢116还与可选的外部图形处理器112耦合,所述可选的外部图形处理器可以与处理器102中的一个或多个图形处理器108通信,从而执行图形和媒体操作。

[0050] 在一些实施例中,ICH 130使得外围部件经由高速I/O总线连接至存储器装置120和处理器102。I/O外围部件包括但不限于音频控制器146、固件接口128、无线收发机126 (例如,Wi-Fi、蓝牙)、数据存储装置124 (例如,硬盘驱动器、闪存存储器等)、以及用于将传统 (例如,个人系统2 (PS/2)) 装置耦合至所述系统的传统I/O控制器140。一个或多个通用串行总线 (USB) 控制器142连接多个输入装置,诸如键盘和鼠标144 组合。网络控制器134还可以与ICH 130耦合。在一些实施例中,高性能网络控制器 (未示出) 与处理器总线110耦合。应当理解,所示出的系统 100是示例性的而非限制性的,因为还可以使用以不同方式配置的其他类型的数据处理系统。例如,I/O控制器中枢130可以集成在一个或多个处理器 102内,或者存储器控制器中枢116和I/O控制器中枢130可以集成在分立式外部图形处理器 (诸如外部图形处理器112) 内。

[0051] 图2是处理器200的实施例的框图,所述处理器具有一个或多个处理器核202A至202N、集成存储器控制器214、以及集成图形处理器208。图2的具有与此处任何其他附图中的元件相同的参考号 (或名称) 的那些元件可采用与在本文中其他地方描述的方式相类似的任何方式进行操作或起作用,但不限于这些。处理器200可包括多达且包括由虚线框表示的附加核202N的附加核。处理器核202A至202N各自包括 一个或多个内部高速缓存单元204A至204N。在一些实施例中,每个处理器核还可以访问一个或多个共享的高速缓存单元206。

[0052] 内部高速缓存单元204A至204N和共享高速缓存单元206表示处理器200内的高速缓存存储器层级结构。所述高速缓存存储器层级结构可以包括每个处理器核内的至少一级指令和数据高速缓存以及一级或多级共享中级高速缓存,诸如2级 (L2)、3级 (L3)、4级 (L4)、或其他级的高速缓存,其中,最高级的高速缓存在外部存储器之前被分类为LLC。在一些实施例中,高速缓存一致性逻辑维持各高速缓存单元206与204A至 204N之间的一致性。

[0053] 在一些实施例中,处理器200还可以包括一组一个或多个总线控制器单元216和系统代理核210。一个或多个总线控制器单元216管理一组外围总线,诸如一个或多个外围部件互连总线 (例如,PCI、PCI Express)。系统代理核210提供对各处理器部件的管理功能。在一些实施例中,系统代理核210包括一个或多个集成存储器控制器214用于管理对各外部存储器装置 (未示出) 的访问。

[0054] 在一些实施例中,处理器核202A至202N中的一个或多个处理器核包括对同步多线程的支持。在这种实施例中,系统代理核210包括用于在多线程处理过程中协调和操作核202A至202N的部件。另外,系统代理核 210还可以包括功率控制单元 (PCU),所述功率控制单元包括用于调节处理器核202A至202N的功率状态的逻辑和部件以及图形处理器208。

[0055] 在一些实施例中,处理器200附加地包括用于执行图形处理操作的图形处理器

208。在一些实施例中，图形处理器208耦合至共享高速缓存单元206集以及系统代理核210，所述系统代理核包括一个或多个集成存储器控制器214。在一些实施例中，显示控制器211与图形处理器208耦合以便将图形处理器输出驱动到一个或多个耦合的显示器。在一些实施例中，显示控制器211可以是经由至少一个互连与图形处理器耦合的单独模块，或者可以集成在图形处理器208或系统代理核210内。

[0056] 在一些实施例中，基于环的互连单元212用于耦合处理器200的内部部件。然而，可以使用替代性互连单元，诸如点到点互连、切换式互连、或其他技术，包括本领域众所周知的技术。在一些实施例中，图形处理器 208经由I/O链路213与环形互连212耦合。

[0057] 示例性I/O链路213表示多个I/O互连中的多个种类中的至少一种，包括促进各处理器部件与高性能嵌入式存储器模块218（诸如DRAM模块）之间的通信的封装I/O互连。在一些实施例中，处理器核202A至202N中的每个处理器核以及图形处理器208将嵌入式存储器模块218用作共享末级高速缓存。

[0058] 在一些实施例中，处理器核202A至202N是执行相同指令集架构的均质核。在另一实施例中，处理器核202A至202N在指令集架构（ISA）方面是异构的，其中，处理器核202A至202N中的一者或多者执行第一指令集，而其他核中的至少一者执行所述第一指令集的子集或不同的指令集。在一个实施例中，处理器核202A至202N就微架构而言是同质的，其中，具有相对较高功耗的一个或多个核与具有较低功耗的一个或多个功率核耦合。另外，处理器200可以实现在一个或多个芯片上或者被实现为具有除其他部件之外的所展示的部件的SoC集成电路。

[0059] 图3是图形处理器300的框图，所述图形处理器可以是分立式图形处理单元、或者可以是与多个处理核集成的图形处理器。在一些实施例中，图形处理器经由到图形处理器上的寄存器的映射I/O接口并且利用被放置在处理器存储器中的命令与存储器进行通信。在一些实施例中，图形处理器300包括用于访问存储器的存储器接口314。存储器接口314可以是到原生存储器、一个或多个内部高速缓存、一个或多个共享外部高速缓存、和/或到系统存储器的接口。

[0060] 在一些实施例中，图形处理器300还包括显示控制器302，所述显示控制器用于将显示输出数据驱动到显示装置320。显示控制器302包括用于显示器的一个或多个重叠平面的硬件以及多层视频或用户接口元件的组成。在一些实施例中，图形处理器300包括用于编码、解码、或者向、从或在一个或多个媒体编码格式之间进行媒体代码转换的视频编解码器引擎 306，包括但不限于：运动图像专家组（MPEG）（诸如MPEG-2）、高级视频编码（AVC）格式（诸如H.264/MPEG-4AVC）、以及电影与电视工程师协会（SMPTE）421M/VC-1、和联合图像专家组（JPEG）格式（诸如 JPEG、以及运动JPEG（MJPEG）格式）。

[0061] 在一些实施例中，图形处理器300包括块图像传送（BLIT）引擎304 以便执行二维（2D）光栅化器操作，包括例如，位边界块传送。然而，在一个实施例中，使用图形处理引擎（GPE）310的一个或多个部件执行2D 图形操作。在一些实施例中，GPE 310是用于执行图形操作的计算引擎，所述图形操作包括三维（3D）图形操作和媒体操作。

[0062] 在一些实施例中，GPE 310包括用于执行3D操作的3D流水线312，诸如使用作用于3D图元形状（例如，矩形、三角形等）的处理功能来渲染三维图像和场景。3D流水线312包括可编程且固定的功能元件，所述可编程且固定的功能元件在到3D/媒体子系统315的元件

和/或生成的执行线程内执行各种任务。虽然3D流水线312可以用于执行媒体操作,但是GPE 310 的实施例还包括媒体流水线316,所述媒体流水线具体地用于执行媒体操作,诸如视频后处理和图像增强。

[0063] 在一些实施例中,媒体流水线316包括固定功能或可编程逻辑单元以便代替、或代表视频编解码器引擎306来执行一种或多种专门的媒体操作,比如视频解码加速、视频去接口、以及视频编码加速。在一些实施例中,另外,媒体流水线316还包括线程生成单元以便生成用于在3D/媒体子系统315上执行的线程。所生成的线程对3D/媒体子系统315中所包括的一个或多个图形执行单元执行对媒体操作的计算。

[0064] 在一些实施例中,3D/媒体子系统315包括用于执行3D流水线312 和媒体流水线316生成的线程的逻辑。在一个实施例中,流水线向3D/媒体子系统315发送线程执行请求,所述3D/媒体子系统包括用于仲裁并将各请求分派到可用的线程执行资源的线程分派逻辑。执行资源包括用于处理3D 和媒体线程的图形执行单元阵列。在一些实施例中,3D/媒体子系统315包括用于线程指令和数据的一个或多个内部高速缓存。在一些实施例中,所述子系统还包括共享存储器(包括寄存器和可寻址存储器)以便在线程之间共享数据并用于存储输出数据。

[0065] 图形处理引擎

[0066] 图4是根据一些实施例的图形处理器的图形处理引擎410的框图。在一个实施例中,图形处理引擎(GPE) 410是图3所示的GPE 310的一个版本。图4的具有与此处任何其他附图中的元件相同的参考号(或名称) 的那些元件可采用与在本文中其他地方描述的方式相类似的任何方式进行操作或起作用,但不限于这些。例如,展示了图3的3D流水线312和媒体流水线316。媒体流水线316在GPE 410的一些实施例中是可选的,并且可以不显式地包括在GPE 410内。例如以及在至少一个实施例中,单独的媒体和/或图像处理器被耦合至GPE 410。

[0067] 在一些实施例中,GPE 410与命令流送器403耦合或包括所述命令流送器,所述命令流送器向3D流水线312和/或媒体流水线316提供命令流。在一些实施例中,命令流送器403与存储器耦合,所述存储器可以是系统存储器、或内部高速缓存存储器和共享高速缓存存储器中的一个或多个高速缓存存储器。在一些实施例中,命令流送器403从存储器接收命令并将这些命令发送至3D流水线312和/或媒体流水线316。所述命令是从存储用于3D流水线312和媒体流水线316的环形缓冲器获取的指示。在一个实施例中,另外,环形缓冲器还可以包括存储多批多命令的批命令缓冲器。用于3D流水线312的命令还可以包括对在存储器中存储的数据的引用,诸如但不限于用于3D流水线312的顶点和几何数据和/或用于媒体流水线316 的图像数据和存储器对象。3D流水线312和媒体流水线316通过经由各自流水线内的逻辑执行操作或者通过将一个或多个执行线程分派至执行单元阵列414来处理所述命令。

[0068] 在各种实施例中,3D流水线312可以通过处理指令并将执行线程分派给图形核阵列414来执行一个或多个着色器程序,诸如顶点着色器、几何着色器、像素着色器、片段着色器、计算着色器或其他着色器程序。图形核阵列414提供统一的执行资源块。图形核阵列414内的多用途执行逻辑(例如,执行单元)包括对各种3D API着色器语言的支持,并且可以执行与多个着色器相关联的多个同时执行线程。

[0069] 在一些实施例中,图形核阵列414还包括用于执行诸如视频和/或图像处理的媒体功能的执行逻辑。在一个实施例中,除了图形处理操作之外,执行单元还包括可编程以执行并行通用计算操作的通用逻辑。通用逻辑可以与图1的(多个)处理器核107或图2中的核202A至202N内的通用逻辑并行地或结合地执行处理操作。

[0070] 由在图形核阵列414上执行的线程生成的输出数据可以将数据输出到统一返回缓冲器(URB)418中的存储器。URB 418可以存储多个线程的数据。在一些实施例中,URB 418可以用于在图形核阵列414上执行的不同线程之间发送数据。在一些实施例中,URB 418可以另外用于图形核阵列上的线程与共享功能逻辑420内的固定功能逻辑之间的同步。

[0071] 在一些实施例中,图形核阵列414是可缩放的,使得所述阵列包括可变数量的图形核,这些图形核各自具有基于GPE 410的目标功率和性能等级的可变数量的执行单元。在一个实施例中,执行资源是动态可缩放的,从而可以根据需要启用或禁用执行资源。

[0072] 图形核阵列414与共享功能逻辑420耦合,所述共享功能逻辑包括在图形核阵列中的图形核之间共享的多个资源。共享功能逻辑420内的共享功能是向图形核阵列414提供专用补充功能的硬件逻辑单元。在各种实施例中,共享功能逻辑420包括但不限于采样器421、数学422和线程间通信(ITC)423逻辑。另外,一些实施例实现共享功能逻辑420内的一个或多个高速缓存425。在给定的专用功能的需求不足以包含在图形核阵列414中的情况下实现共享功能。相反,所述专用功能的单个实例被实现为共享功能逻辑420中的独立实体并且在图形核阵列414内的执行资源之间共享。在图形核阵列414之间共享并包括在图形核阵列414内的精确的一组功能在各实施例之间变化。

[0073] 图5是图形处理器500的另一实施例的框图。图5的具有与此处任何其他附图中的元件相同的参考号(或名称)的那些元件可采用与在本文中其他地方描述的方式相类似的任何方式进行操作或起作用,但不限于这些。

[0074] 在一些实施例中,图形处理器500包括环形互连502、流水线前端 504、媒体引擎537以及图形核580A至580N。在一些实施例中,环形互连 502将图形处理器耦合至其他处理单元,包括其他图形处理器或者一个或多个通用处理器核。在一些实施例中,图形处理器是集成在多核处理系统内的多个处理器之一。

[0075] 在一些实施例中,图形处理器500经由环形互连502接收多批命令。传入命令由流水线前端504中的命令流送器503来解译。在一些实施例中,图形处理器500包括可缩放执行逻辑,以用于经由(多个)图形核580A至 580N执行3D几何处理和媒体处理。对于3D几何处理命令,命令流送器 503将命令供应至几何流水线536。针对至少一些媒体处理命令,命令流送器503将命令供应至视频前端534,所述视频前端与媒体引擎537耦合。在一些实施例中,媒体引擎537包括用于视频和图像后处理的视频质量引擎(VQE)530以及用于提供硬件加速的媒体数据编码和解码的多格式编码/解码(MFX)533引擎。在一些实施例中,几何流水线536和媒体引擎537各自生成执行线程,所述执行线程用于由至少一个图形核580A提供的线程执行资源。

[0076] 在一些实施例中,图形处理器500包括可扩展线程执行资源表征模块核580A至580N(有时被称为核分片),各个可扩展线程执行资源表征模块核具有多个子核550A至550N、560A至560N(有时被称为核子分片)。在一些实施例中,图形处理器500可以具有任意数量的图形核580A至580N。在一些实施例中,图形处理器500包括图形核580A,所述图形核

至少具有第一子核550A和第二子核560A。在其他实施例中，图形处理器是具有单个子核（例如，550A）的低功率处理器。在一些实施例中，图形处理器500包括多个图形核580A至580N，所述图形核各自包括一组第一子核550A至550N和一组第二子核560A至560N。所述一组第一子核550A至550N中的每个子核至少包括第一组执行单元552A至552N和媒体/纹理采样器554A至554N。所述一组第二子核560A至560N中的每个子核至少包括第二组执行单元562A至562N和采样器564A至564N。在一些实施例中，每个子核550A至550N、560A至560N共享一组共享资源570A至570。在一些实施例中，所述共享资源包括共享高速缓存存储器和像素操作逻辑。其他共享资源也可以包括在图形处理器的各实施例中。

[0077] 执行单元

[0078] 图6展示了线程执行逻辑600，所述线程执行逻辑包括在GPE的一些实施例中采用的处理元件阵列。图6的具有与此处任何其他附图中的元件相同的参考号（或名称）的那些元件可采用与在本文中其他地方描述的方式相类似的任何方式进行操作或起作用，但不限于这些。

[0079] 在一些实施例中，线程执行逻辑600包括着色器处理器602、线程分派器604、指令高速缓存606、包括多个执行单元608A至608N的可扩展执行单元阵列、采样器610、数据高速缓存612、以及数据端口614。在一个实施例中，可缩放执行单元阵列可以通过基于工作负荷的计算需求来启用或禁用一个或多个执行单元（例如，执行单元608A、608B、608C、608D，一直到608N-1和608N中的任一个）来动态地缩放。在一个实施例中，所包括的部件经由互连结构而互连，所述互连结构链接到部件中的每个部件。在一些实施例中，线程执行逻辑600包括通过指令高速缓存606、数据端口614、采样器610、以及执行单元阵列608A至608N中的一者或多者到存储器（如系统存储器或高速缓存存储器）的一个或多个连接件。在一些实施例中，每个执行单元（例如，608A）是能够执行多个同步硬件线程同时针对每个线程并行地处理多个数据元素的独立可编程通用计算单元。在各种实施例中，执行单元608A至608N的阵列是可缩放的以包括任意数量的单独执行单元。

[0080] 在一些实施例中，执行单元608A至608N主要用于执行着色器程序。着色器处理器602可以处理各种着色器程序并且经由线程分派器604分派与着色器程序相关联的执行线程。在一个实施例中，线程分派器包括用于对来自图形和媒体流水线的线程发起请求进行仲裁并且在一个或多个执行单元608A至608N上实例化所请求的线程的逻辑。例如，几何流水线（例如，图5的536）可以将顶点处理、镶嵌或几何处理线程分派至线程执行逻辑600（图6）进行处理。在一些实施例中，线程分派器604还可处理来自执行着色器程序的运行时间线程生成请求。

[0081] 在一些实施例中，执行单元608A至608N支持指令集（所述指令集包括对许多标准3D图形着色器指令的原生支持），从而使得以最小的转换执行来自图形库（例如，Direct 3D和OpenGL）的着色器程序。这些执行单元支持顶点和几何处理（例如，顶点程序、几何程序、顶点着色器）、像素处理（例如，像素着色器、片段着色器）以及通用处理（例如，计算和媒体着色器）。执行单元608A至608N中的每一个都能够执行多发布单指令多数据（SIMD），并且多线程操作能够在面对较高等待时间的存储器访问时实现高效的执行环境。每个执行单元内的每个硬件线程都具有专用的高带宽寄存器堆和相关的独立线程状态。对于具有整数、单精度浮点运算和双精度浮点运算、SIMD分支功能、逻辑运算、超越运算和其他杂项运算的流

水线,执行是每个时钟的多发布。在等待来自存储器或共享功能之一的数据时,执行单元608A至608N内的依赖性逻辑使等待线程休眠,直到所请求的数据已返回。当等待线程正在休眠时,硬件资源可能会专门用于处理其他线程。例如,在与顶点着色器操作相关联的延迟期间,执行单元可以执行像素着色器、片段着色器或包括不同顶点着色器的另一种类型的着色器程序的操作。

[0082] 执行单元608A至608N中的每个执行单元在数据元素阵列上进行操作。数据元素的数量是“执行大小”、或指令的信道数。执行信道是执行数据元素访问、掩蔽、和指令内的流控制的逻辑单元。信道的数量可以与针对特定图形处理器的物理算术逻辑单元(ALU)或浮点单元(FPU)的数量无关。在一些实施例中,执行单元608A至608N支持整数和浮点数据类型。

[0083] 执行单元指令集包括SIMD指令。各种数据元素可作为压缩数据类型存储在寄存器中,并且执行单元将基于元素的数据大小来处理各种元素。例如,当在256位宽的向量上进行操作时,所述256位的向量存储在寄存器中,并且所述执行单元作为四个单独64位压缩数据元素(四倍字长(QW)大小的数据元素)、八个单独32位压缩数据元素(双倍字长(DW)大小的数据元素)、十六个单独16位压缩数据元素(字长(W)大小的数据元素)、或三十二个单独8位数据元素(字节(B)大小的数据元素)在所述向量上进行操作。然而,不同的向量宽度和寄存器大小是可能的。

[0084] 一个或多个内部指令高速缓存(例如,606)包括在所述线程执行逻辑600中以便高速缓存所述执行单元的线程指令。在一些实施例中,一个或多个数据高速缓存(例如,612)被包括用于高速缓存在线程执行过程中的线程数据。在一些实施例中,采样器610被包括用于为3D操作提供纹理采样并且为媒体操作提供媒体采样。在一些实施例中,采样器610包括专门的纹理或媒体采样功能,以便在向执行单元提供采样数据之前在采样过程中处理纹理或媒体数据。

[0085] 在执行过程中,所述图形和媒体流水线经由线程生成和分派逻辑向线程执行逻辑600发送线程发起请求。一旦一组几何对象已经被处理并被光栅化成像素数据,则着色器处理器602内的像素处理器逻辑(例如,像素着色器逻辑、片段着色器逻辑等)被调用以便进一步计算输出信息,并且使得结果被写入到输出表面(例如,色彩缓冲器、深度缓冲器、模板缓冲器等)。在一些实施例中,像素着色器或片段着色器计算各顶点属性的值,所述各顶点属性跨光栅化对象被内插。在一些实施例中,着色器处理器602内的像素处理器逻辑然后执行应用编程接口(API)供应的像素或片段着色器程序。为了执行着色器程序,着色器处理器602经由线程分派器604将线程分派至执行单元(例如,608A)。在一些实施例中,像素着色器602使用采样器610中的纹理采样逻辑来访问存储器中所存储的纹理图中的纹理数据。对纹理数据和输入几何数据的算术运算计算每个几何片段的像素颜色数据,或丢弃一个或多个像素而不进行进一步处理。

[0086] 在一些实施例中,数据端口614提供存储器访问机制,供线程执行逻辑600将经处理的数据输出至存储器以便在图形处理器输出流水线上进行处理。在一些实施例中,数据端口614包括或耦合至一个或多个高速缓存存储器(例如,数据高速缓存612)从而经由数据端口高速缓存数据以供存储器访问。

[0087] 图7是框图,展示了根据一些实施例的图形处理器指令格式700。在一个或多个实

施例中,图形处理器执行单元支持具有多种格式的指令的指令集。实线框展示了通常包括在执行单元指令中的部件,而虚线包括可选的部件或仅包括在指令子集中的部件。在一些实施例中,所描述和展示的指令格式700是宏指令,因为所述宏指令是供应至执行单元的指令,这与从指令解码产生的微操作相反(一旦所述指令被处理)。

[0088] 在一些实施例中,图形处理器执行单元原生地支持采用128位指令格式710的指令。64位压缩指令格式730可用于基于所选指令、指令选项和操作数数量的一些指令。原生128位指令格式710提供对所有指令选项的访问,而一些选项和操作限制在64位指令格式730中。64位指令格式730中可用的原生指令根据实施例而不同。在一些实施例中,使用索引字段713中的一组索引值将指令部分地压缩。执行单元硬件基于索引值来参考一组压缩表,并使用压缩表输出来重构采用128位指令格式710的原生指令。

[0089] 针对每种格式,指令操作码712限定了所述执行单元要执行的操作。执行单元跨每个操作数的多个数据元素来并行地执行每条指令。例如,响应于添加指令,执行单元跨每个颜色通道执行同步添加操作,所述颜色通道表示纹理元素或图片元素。默认地,执行单元跨操作数的所有数据信道执行每条指令。在一些实施例中,指令控制字段714使能控制某些执行选项,诸如信道选择(例如,预测)以及数据信道排序(例如,混合)。针对采用128位指令格式710的指令,执行大小字段716限制了将并行执行的数据信道的数量。在一些实施例中,执行大小字段716不可用于64位压缩指令格式730。

[0090] 一些执行单元指令具有多达三个操作数,包括两个源操作数(src0 720、src1 722)以及一个目标操作数718。在一些实施例中,执行单元支持双目的地指令,其中,这些目的地之一是隐式的。数据操作指令可以具有第三源操作数(例如,src2 724),其中,指令操作码712确定源操作数的数量。指令的最后一个源操作数可以是与所述指令一起传递的立即数(例如,硬编码)值。

[0091] 在一些实施例中,128位的指令格式710包括访问/寻址模式字段726,所述访问/寻址模式字段例如限定了是使用直接寄存器寻址模式还是间接寄存器寻址模式。当使用直接寄存器寻址模式时,直接由指令中的位来提供一个或多个操作数的寄存器地址。

[0092] 在一些实施例中,128位指令格式710包括访问/地址模式字段726,其指定指令的地址模式和/或访问模式。在一个实施例中,访问模式用于限定针对指令的数据访问对齐。一些实施例支持访问模式,包括16字节对齐访问模式和1字节对齐访问模式,其中,访问模式的字节对齐确定了指令操作数的访问对齐。例如,当在第一模式中时,指令可以使用字节对齐寻址以用于源操作数和目的地操作数,并且当在第二模式中时,指令可以使用16字节对齐寻址以用于所有的源操作数和目的地操作数。

[0093] 在一个实施例中,访问/地址模式字段726的地址模式部分判定指令是使用直接寻址还是间接寻址。当使用直接寄存器寻址模式时,指令中的位直接提供一个或多个操作数的寄存器地址。当使用间接寄存器寻址模式时,可以基于指令中的地址寄存器值和地址立即数字段来计算一个或多个操作数的寄存器地址。

[0094] 在一些实施例中,基于操作码712位字段对指令进行分组从而简化操作码解码740。针对8位的操作码,第4、5、和6位允许执行单元确定操作码的类型。所示出的精确操作码分组仅是示例性的。在一些实施例中,移动和逻辑操作码组742包括数据移动和逻辑指令(例如,移动(mov)、比较(cmp))。在一些实施例中,移动和逻辑组742共享五个最高有效位

(MSB), 其中, 移动 (mov) 指令采用 0000xxxxb 的形式, 而逻辑指令采用 0001xxxxb 的形式。流控制指令组 744 (例如, 调用 (call)、跳 (jmp)) 包括采用 0010xxxxb 形式 (例如, 0x20) 的指令。杂项指令组 746 包括指令的混合, 包括采用 0011xxxxb 形式 (例如, 0x30) 的同步指令 (例如, 等待 (wait)、发送 (send))。并行数学指令组 748 包括采用 0100xxxxb 形式 (例如, 0x40) 的按分量的算术指令 (例如, 加 (add)、乘 (mul))。并行数学组 748 跨数据信道并行地执行算术运算。向量数学分组 750 包括按照 0101xxxxb 形式 (例如, 0x50) 的算术指令 (例如, dp4)。向量数学组对向量操作数执行算术运算, 诸如点积运算。

[0095] 图形流水线

[0096] 图8是图形处理器800的另一个实施例的框图。图8的具有与此处任何其他附图中的元件相同的参考号 (或名称) 的那些元件可采用与在本文中其他地方描述的方式相类似的任何方式进行操作或起作用, 但不限于这些。

[0097] 在一些实施例中, 图形处理器800包括图形流水线820、媒体流水线830、显示引擎840、线程执行逻辑850、以及渲染输出流水线870。在一些实施例中, 图形处理器800是包括一个或多个通用处理核的多核处理系统内的图形处理器。图形处理器受到至一个或多个控制寄存器 (未示出) 的寄存器写入的控制或者经由环形互连802经由发布至图形处理器800的命令被控制。在一些实施例中, 环形互连802将图形处理器800耦合至其他处理部件, 诸如其他图形处理器或通用处理器。来自环形互连802的命令通过命令流送器803被解译, 所述命令流送器将指令供应至图形流水线820或媒体流水线830的单独部件。

[0098] 在一些实施例中, 命令流送器803引导顶点获取器805的操作, 其从存储器读取顶点数据并执行命令流送器803所提供的顶点处理命令。在一些实施例中, 顶点获取器805将顶点数据提供给顶点着色器807, 所述顶点着色器对每个顶点执行坐标空间转换和照明操作。在一些实施例中, 顶点获取器805和顶点着色器807通过经由线程分派器831向执行单元852A至852B分派执行线程来执行顶点处理指令。

[0099] 在一些实施例中, 执行单元852A至852B是具有用于执行图形和媒体操作的指令集的向量处理器阵列。在一些实施例中, 执行单元852A至852B具有附接的L1高速缓存851, 其专用于每个阵列或在阵列之间共享。高速缓存可以被配置为数据高速缓存、指令高速缓存、或单个高速缓存, 所述单个高速缓存被分区为包含不同分区中的数据和指令。

[0100] 在一些实施例中, 图形流水线820包括用于执行3D对象的硬件加速镶嵌的镶嵌部件。在一些实施例中, 可编程的外壳着色器811配置镶嵌操作。可编程域着色器817提供对镶嵌输出的后端评估。镶嵌器813在外壳着色器811的方向上进行操作并且包含专用逻辑, 所述专用逻辑用于基于粗糙几何模型来生成详细的几何对象集合, 所述粗糙几何模型作为输入被提供至图形流水线820。在一些实施例中, 如果未使用镶嵌, 则可以对镶嵌部件 (例如, 外壳着色器811、镶嵌器813、域着色器817) 进行旁路。

[0101] 在一些实施例中, 完整的几何对象可以由几何着色器819经由被分派至所述执行单元852A至852B的一个或多个线程来处理、或者直接行进至剪裁器829。在一些实施例中, 几何着色器在整个几何对象 (而非顶点或者如图形流水线的先前级中的顶点补片) 上进行操作。如果禁用镶嵌, 则几何着色器819从顶点着色器807接收输入。在一些实施例中, 几何着色器819可由几何着色器程序编程以便在镶嵌单元被禁用时执行几何镶嵌。

[0102] 在光栅化之前, 剪裁器829处理顶点数据。剪裁器829可以是固定功能的裁剪器或

者具有裁剪和几何着色器功能的可编程裁剪器。在一些实施例中,渲染输出流水线870中的光栅化器和深度测试部件873分派像素着色器以将几何对象转换为其每像素表示。在一些实施例中,像素着色器逻辑包括在线程执行逻辑850中。在一些实施例中,应用可对光栅化器和深度测试部件873进行旁路并且经由流出单元823访问未光栅化的顶点数据。

[0103] 图形处理器800具有互连总线、互连结构、或某个其他的互连机制,所述互连机制允许数据和消息在所述图形处理器的主要部件之中传递。在一些实施例中,执行单元852A至852B和(多个)相关联的高速缓存851、纹理和媒体采样器854、以及纹理/采样器高速缓存858经由数据端口856 进行互连,以便执行存储器访问并且与所述处理器的渲染输出流水线部件进行通信。在一些实施例中,采样器854、高速缓存851、858以及执行单元852A至852B各自具有单独的存储器访问路径。

[0104] 在一些实施例中,渲染输出流水线870包含光栅化器和深度测试部件873,其将基于顶点的对象转换为相关联的基于像素的表示。在一些实施例中,光栅化器逻辑包括用于执行固定功能三角形和线光栅化的窗口器/掩蔽器单元。相关联的渲染高速缓存878和深度高速缓存879在一些实施例中也是可用的。像素操作部件877对数据进行基于像素的操作,然而在一些实例中,与2D操作(例如,利用混合的位块图像传送)相关联的像素操作由2D引擎841执行、或者在显示时间由显示控制器843使用重叠显示平面来代替。在一些实施例中,共享的L3高速缓存875可用于所有的图形部件,从而允许在无需使用主系统存储器的情况下共享数据。

[0105] 在一些实施例中,图形处理器媒体流水线830包括媒体引擎837和视频前端834。在一些实施例中,视频前端834从命令流送器803接收流水线命令。在一些实施例中,媒体流水线830包括单独的命令流送器。在一些实施例中,视频前端834在将所述命令发送至媒体引擎837之前处理媒体命令。在一些实施例中,媒体引擎837包括用于生成线程以用于经由线程分派器831分派至线程执行逻辑850的线程生成功能。

[0106] 在一些实施例中,图形处理器800包括显示引擎840。在一些实施例中,显示引擎840在处理器800外部并且经由环形互连802、或某个其他互连总线或机构与图形处理器耦合。在一些实施例中,显示引擎840包括 2D引擎841和显示控制器843。在一些实施例中,显示引擎840包含能够独立于3D流水线而操作的专用逻辑。在一些实施例中,显示控制器843与显示装置(未示出)耦合,所述显示装置可以是系统集成显示装置(如在膝上型计算机中)、或者经由显示设备连接器外接的外部显示装置。

[0107] 在一些实施例中,图形流水线820和媒体流水线830可配置用于基于多个图形和媒体编程接口执行操作并且并非专用于任何一种应用编程接口(API)。在一些实施例中,图形处理器的驱动程序软件将专用于特定图形或媒体库的API调用转换为可由图形处理器处理的命令。在一些实施例中,为全部来自Khronos Group的开放图形库(OpenGL)、开放计算语言 (OpenCL) 和/或Vulkan图形和计算API提供了支持。在一些实施例中,也可以为微软公司的Direct3D库提供支持。在一些实施例中,可以支持这些库的组合。还可以为开源计算机视觉库 (OpenCV) 提供支持。如果可做出从未来API的流水线到图形处理器的流水线的映射,则具有兼容3D流水线的未来API也将受到支持。

[0108] 图形流水线编程

[0109] 图9A是展示了根据一些实施例的图形处理器命令格式900的框图。图9B是框图,展

示了根据实施例的图形处理器命令序列910。图9A中的实线框展示了一般包括在图形命令中的部件,而虚线包括任选的或仅包括在所述图形命令的子集中的部件。图9A的示例性图形处理器命令格式900 包括用于标识所述命令的目标客户端902、命令操作代码(操作码)904、以及用于所述命令的相关数据906的数据字段。一些命令中还包括子操作码905和命令大小908。

[0110] 在一些实施例中,客户端902限定了处理命令数据的图形装置的客户端单元。在一些实施例中,图形处理器命令解析器检查每个命令的客户端字段以便调整对命令的进一步处理并将命令数据路由至合适的客户端单元。在一些实施例中,图形处理器客户端单元包括存储器接口单元、渲染单元、2D单元、3D单元、和媒体单元。每个客户端单元具有对命令进行处理的相应处理流水线。一旦命令被客户端单元接收到,客户端单元就读取操作码904以及子操作码905(如果存在的话)从而确定要执行的操作。客户端单元使用数据字段906内的信息来执行命令。针对一些命令,期望显式的命令大小908来限定命令的大小。在一些实施例中,命令解析器基于命令操作码自动地确定命令中的至少一些命令的大小。在一些实施例中,经由双倍字长的倍数对命令进行对齐。

[0111] 图9B中的流程图示出了示例性图形处理器命令序列910。在一些实施例中,以图形处理器的实施例为特征的数据处理系统的软件或固件使用所示出的命令序列的版本来启动、执行并终止图形操作集合。仅出于示例性目的示出并描述了样本命令序列,如实施例并不限于这些特定命令或者此命令序列。而且,所述命令可以作为一批命令以命令序列被发布,从而使得图形处理器将以至少部分同时的方式处理命令序列。

[0112] 在一些实施例中,图形处理器命令序列910可以以流水线转储清除命令912开始以便使得任一活跃图形流水线完成针对所述流水线的当前未决命令。在一些实施例中,3D流水线922和媒体流水线924不同时进行操作。执行流水线转储清除以使得活动图形流水线完成任何未决命令。响应于流水线转储清除,用于图形处理器的命令解析器将停止命令处理直到活跃绘画引擎完成未决操作并且使得相关的读高速缓存失效。可选地,渲染高速缓存中被标记为‘脏(dirty)’的任何数据可以被转储清除到存储器中。在一些实施例中,流水线转储清除命令912可以用于流水线同步或者用在将图形处理器置于低功率状态之前。

[0113] 在一些实施例中,当命令序列需要图形处理器在流水线之间显式地切换时,使用流水线选择命令913。在一些实施例中,在发布流水线命令之前在执行情境中仅需要一次流水线选择命令913,除非所述情境要发布针对两条流水线的命令。在一些实施例中,在经由流水线选择命令913的流水线切换之前正好需要流水线转储清除命令912。

[0114] 在一些实施例中,流水线控制命令914配置用于操作的图形流水线并且用于对3D流水线922和媒体流水线924进行编程。在一些实施例中,流水线控制命令914配置活跃流水线的流水线状态。在一个实施例中,流水线控制命令914用于流水线同步并且用于在处理一批命令之前清除来自活跃流水线内的一个或多个高速缓存存储器中的数据。

[0115] 在一些实施例中,用于返回缓冲器状态的命令916用于配置返回缓冲器的集合以供相应的流水线写入数据。一些流水线操作需要分配、选择、或配置一个或多个返回缓冲器,在处理过程中所述操作将中间数据写入所述一个或多个返回缓冲器中。在一些实施例中,图形处理器还使用一个或多个返回缓冲器以便存储输出数据并且执行跨线程通信。在一些实施例中,配置返回缓冲器状态916包括选择返回缓冲器的大小和数量以用于流水线

操作集合。

[0116] 命令序列中的剩余命令基于用于操作的活跃流水线而不同。基于流水线判定920, 所述命令序列被定制用于以3D流水线状态930开始的3D 流水线922、或者在媒体流水线状态940处开始的媒体流水线924。

[0117] 用于配置3D流水线状态930的命令包括用于顶点缓冲器状态、顶点元素状态、常量颜色状态、深度缓冲器状态、以及有待在处理3D图元命令之前配置的其他状态变量的3D状态设置命令。这些命令的值至少部分地基于使用中的特定3D API来确定。在一些实施例中, 3D流水线状态930 命令还能够选择性地禁用或旁路掉特定流水线元件(如果将不使用那些元件的话)。

[0118] 在一些实施例中, 3D图元932命令用于提交待由3D流水线处理的 3D图元。经由3D图元932命令传递给图形处理器的命令和相关联参数将被转发到所述图形流水线中的顶点获取功能。顶点获取功能使用3D图元 932命令数据来生成多个顶点数据结构。所述顶点数据结构被存储在一个或多个返回缓冲器中。在一些实施例中, 3D图元932命令用于经由顶点着色器对3D图元执行顶点操作。为了处理顶点着色器, 3D流水线922将着色器执行线程分派至图形处理器执行单元。

[0119] 在一些实施例中, 经由执行934命令或事件触发3D流水线922。在一些实施例中, 寄存器写入触发命令执行。在一些实施例中, 经由命令序列中的‘前进’(‘go’)或‘剔除’(‘kick’)命令来触发执行。在一个实施例中, 使用流水线同步命令来触发命令执行以便通过图形流水线转储清除命令序列。3D流水线将针对3D图元来执行几何处理。一旦完成操作, 则对所产生的几何对象进行光栅化, 并且像素引擎对所产生的像素进行着色。对于这些操作, 还可以包括用于控制像素着色和像素后端操作的附加命令。

[0120] 在一些实施例中, 当执行媒体操作时, 图形处理器命令序列910跟随在媒体流水线924路径之后。一般地, 针对媒体流水线924进行编程的具体用途和方式取决于待执行的媒体或计算操作。在媒体解码过程中, 特定的媒体解码操作可以被卸载到所述媒体流水线。在一些实施例中, 还可对媒体流水线进行旁路, 并且可使用由一个或多个通用处理核提供的资源来整体地或部分地执行媒体解码。在一个实施例中, 媒体流水线还包括用于通用图形处理器单元(GPGPU)操作的元件, 其中, 所述图形处理器用于使用计算着色器程序来执行SIMD向量运算, 所述计算着色器程序与渲染图形图元不是显式地相关的。

[0121] 在一些实施例中, 以与3D流水线922相似的方式对媒体流水线924 进行配置。将用于配置媒体流水线状态940的一组命令分派或放置到命令队列中, 在媒体对象命令942之前。在一些实施例中, 用于媒体流水线状态的命令940包括用于配置媒体流水线元件的数据, 所述媒体流水线元件将用于对媒体对象进行处理。这包括用于在媒体流水线内配置视频解码和视频编码逻辑的数据, 诸如编码或解码格式。在一些实施例中, 用于媒体流水线状态的命令940还支持将一个或多个指针用于包含一批状态设置的“间接”状态元件。

[0122] 在一些实施例中, 媒体对象命令942将指针供应至媒体对象以用于由媒体流水线进行处理。媒体对象包括存储器缓冲器, 所述存储器缓冲器包含待处理的视频数据。在一些实施例中, 在发布媒体对象命令942之前, 所有的媒体流水线状态必须是有效的。一旦流水线状态被配置并且媒体对象命令942被排队, 则经由执行944命令或等效的执行事件(例如, 寄存器写入)来触发媒体流水线924。然后可以通过由3D流水线922或媒体流水线924提供的

操作对来自媒体流水线924的输出进行后处理。在一些实施例中,以与媒体操作类似的方式来配置和执行GPGPU操作。

[0123] 图形软件架构

[0124] 图10展示了根据一些实施例的数据处理系统1000的示例性图形软件架构。在一些实施例中,软件架构包括3D图形应用1010、操作系统1020、以及至少一个处理器1030。在一些实施例中,处理器1030包括图形处理器 1032以及一个或多个通用处理器核1034。图形应用1010和操作系统1020 各自在数据处理系统的系统存储器1050中执行。

[0125] 在一些实施例中,3D图形应用1010包含一个或多个着色器程序,所述一个或多个着色器程序包括着色器指令1012。着色器语言指令可以采用高级着色器语言,诸如高级着色器语言 (HLSL) 或OpenGL着色器语言 (GLSL)。所述应用还包括可执行指令1014,所述可执行指令采用适合用于由通用处理器核1034执行的机器语言。所述应用还包括由顶点数据限定的图形对象1016。

[0126] 在一些实施例中,操作系统1020是来自微软公司的 Microsoft® Windows®操作系统、专用UNIX式操作系统、或使用Linux内核变体的开源UNIX式操作系统。操作系统1020可以支持图形API 1022,诸如Direct3D API、OpenGL API或Vulkan API。当Direct3D API正在使用时,操作系统 1020使用前端着色器编译器1024以将HLSL中的任何着色器指令1012编译成较低级的着色器语言。所述编译可以是即时 (JIT) 编译,或者所述应用可执行着色器预编译。在一些实施例中,在对3D图形应用1010进行编译的过程中,将高级着色器编译成低级着色器。在一些实施例中,着色器指令1012以中间形式提供,诸如由Vulkan API使用的标准便携式中间表示 (SPIR) 的版本。

[0127] 在一些实施例中,用户模式图形驱动程序1026包含后端着色器编译器1027,所述后端着色器编译器用于将着色器指令1012变换成硬件专用的表示。当在使用OpenGL API时,将采用GLSL高级语言的着色器指令1012 传递至用户模式图形驱动程序1026以用于编译。在一些实施例中,用户模式图形驱动程序1026使用操作系统内核模式功能1028来与内核模式图形驱动程序1029进行通信。在一些实施例中,内核模式图形驱动程序1029 与图形处理器1032进行通信以便分派命令和指令。

[0128] IP核实施方式

[0129] 至少一个实施例的一个或多个方面可以由存储在机器可读介质上的代表性代码实现,所述机器可读介质表示和/或限定集成电路(诸如处理器) 内的逻辑。例如,机器可读介质可以包括表示处理器内的各个逻辑的指令。当由机器读取时,所述指令可以使机器制造用于执行本文所述的技术的逻辑。这类表示(称为“IP核”)是集成电路的逻辑的可重复使用单元,所述可重复使用单元可以作为对集成电路的结构进行描述的硬件模型而存储在有形、机器可读介质上。可以将硬件模型供应至在制造集成电路的制造机器上加载硬件模型各消费者或制造设施。可以制造集成电路,从而使得所述电路执行与在此描述的实施例中的任一实施例相关联地描述的操作。

[0130] 图11是展示了根据实施例的可以用于制造集成电路以执行操作的 IP核开发系统1100的框图。IP核开发系统1100可以用于生成可并入到更大的设计中或用于构建整个集成电路(例如,SOC集成电路)的模块化、可重复使用设计。设计设施1130可采用高级编程语言(例如,C/C++)生成对IP核设计的软件仿真1110。软件仿真1110可用于使用仿真模型1112

来设计、测试并验证IP核的行为。仿真模型1112可以包括功能、行为和/或时序仿真。然后可由仿真模型1112来创建或合成寄存器传送级(RTL)设计1115。RTL设计1115是对硬件寄存器之间的数字信号的流动进行建模的集成电路(包括使用建模的数字信号执行的相关联逻辑)的行为的抽象。除了RTL设计1115之外,还可以创建、设计或合成逻辑电平或晶体管电平处的较低层次设计。由此,初始设计和仿真的具体细节可以发生变化。

[0131] 可以由设计设施将RTL设计1115或等效方案进一步合成为硬件模型1120,所述硬件模型可以采用硬件描述语言(HDL)或物理设计数据的某种其他表示。可以进一步仿真或测试HDL以验证IP核设计。可使用非易失性存储器1140(例如,硬盘、闪存、或任何非易失性存储介质)来存储IP核设计以用于递送至第3方制造设施1165。可替代地,可以通过有线连接1150或无线连接1160来传输(例如,经由互联网)IP核设计。制造设施1165然后可以制造至少部分地基于IP核设计的集成电路。所制造的集成电路可被配置用于执行根据在此描述的至少一个实施例的操作。

[0132] 示例性片上系统集成电路

[0133] 图12至图14展示了根据本文所述的各种实施例的可以使用一个或多个IP核来制造的示例性集成电路和相关图形处理器。除了所展示的之外,还可以包括其他逻辑和电路,包括附加的图形处理器/核、外围接口控制器或通用处理器核。

[0134] 图12是展示了根据实施例的可以使用一个或多个IP核来制造的示例性片上系统集成电路1200的框图。示例性集成电路1200包括一个或多个应用处理器1205(例如,CPU)、至少一个图形处理器1210,并且另外还可以包括图像处理器1215和/或视频处理器1220,其中的任一项都可以是来自相同或多个不同设计设施的模块化IP核。集成电路1200包括外围或总线逻辑,包括USB控制器1225、UART控制器1230、SPI/SDIO控制器1235和I2S/I2C控制器1240。另外,集成电路还可以包括显示装置1245,所述显示装置耦合至高清晰度多媒体接口(HDMI)控制器1250和移动行业处理器接口(MIPI)显示界面1255中的一项或多项。可以由闪存子系统1260(包括闪存和闪存控制器)来提供存储。可以经由存储器控制器1265来提供存储器接口以访问SDRAM或SRAM存储器装置。另外,一些集成电路还包括嵌入式安全引擎1270。

[0135] 图13是展示了根据实施例的可以使用一个或多个IP核来制造的片上系统集成电路的示例性图形处理器1310的框图。图形处理器1310可以是图12的图形处理器1210的变体。图形处理器1310包括顶点处理器1305和一个或多个片段处理器1315A至1315N(例如,1315A、1315B、1315C、1315D,一直到1315N-1和1315N)。图形处理器1310可以经由单独的逻辑执行不同的着色器程序,使得顶点处理器1305被优化以执行顶点着色器程序的操作,而一个或多个片段处理器1315A至1315N执行片段(例如,像素)着色操作以用于片段或像素着色器程序。顶点处理器1305执行3D图形流水线的顶点处理阶段并生成图元和顶点数据。(多个)片段处理器1315A至1315N使用由顶点处理器1305生成的图元和顶点数据来产生显示在显示装置上的帧缓冲器。在一个实施例中,(多个)片段处理器1315A至1315N被优化以执行OpenGL API中提供的片段着色器程序,这些片段着色器程序可以用于执行与Direct 3D API中提供的像素着色器程序相似的操作。

[0136] 另外,图形处理器1310还包括一个或多个存储器管理单元(MMU)1320A至1320B、一个或多个高速缓存1325A至1325B和(多个)电路互连1330A至1330B。一个或多个MMU

1320A至1320B为图形处理器1310 包括为顶点处理器1305和/或(多个)片段处理器1315A至1315N提供虚拟到物理地址映射,除了存储在一个或多个高速缓存1325A至1325B中的顶点或图像/纹理数据之外,所述虚拟到物理地址映射还可以引用存储在存储器中的顶点或图像/纹理数据。在一个实施例中,一个或多个MMU 1320A 至1320B可以与系统内的其他MMU包括与图12的一个或多个应用处理器 1205、图像处理器1215和/或视频处理器1220相关联的一个或多个MMU 同步,使得每个处理器1205至1220可以参与共享或统一的虚拟存储器系统。根据实施例,一个或多个电路互连1330A至1330B使得图形处理器1310 能够经由SoC的内部总线或经由直接连接来与SoC内的其他IP核交互。

[0137] 图14是框图,展示了根据实施例的可以使用一个或多个IP核来制造的片上系统集成电路的附加示例性图形处理器1410。图形处理器1410 可以是图12的图形处理器1210的变体。图形处理器1410包括图13的集成电路1300的一个或多个MMU 1320A至1320B、(多个)高速缓存1325A 至1325B和(多个)电路互连1330A至1330B。

[0138] 图形处理器1410包括一个或多个着色器核1415A至1415N(例如, 1415A、1415B、1415C、1415D、1415E、1415F,一直到1315N-1和1315N),所述一个或多个着色器核提供统一的着色器核架构,其中,单个核或类型或核可以执行所有类型的可编程着色器代码包括着色器程序代码以实现顶点着色器、片段着色器和/或计算着色器。存在的着色器核的确切数量可以在实施例和实施方式中变化。另外,图形处理器1410还包括核间任务管理器1405,所述核间任务管理器充当用于将执行线程分派给一个或多个着色器核1415A至1415N的线程分派器和用于加快分块操作以进行基于图块的渲染的分块单元1418,其中,场景的渲染操作在图像空间中被细分,例如以利用场景内的本地空间一致性或优化内部高速缓存的使用。

[0139] 示例性图形虚拟化架构

[0140] 本发明的一些实施例在利用全图形处理器单元(GPU)虚拟化的平台上实现。如此,下面提供本发明的一个实施例中采用的GPU虚拟化技术的概述,随后详细描述用于模式驱动的页表遮蔽的设备和方法。

[0141] 本发明的一个实施例采用在客户机中运行原生图形驱动程序的完整GPU虚拟化环境,以及实现客户机之间的良好性能、可扩展性和安全隔离的中介传递。这个实施例向每个虚拟机(VM)提供虚拟全功能GPU,所述虚拟全功能GPU可以在大多数情况下直接访问性能关键型资源而不需要来自管理程序的干预,同时以最低的成本对来自客户机的特权操作进行俘获与仿真。在一个实施例中,具有完整GPU特征的虚拟GPU(vGPU)被呈现给每个VM。在大多数情况下,VM可以直接访问性能关键型资源,而不需要虚拟机管理程序的干预,同时对来自客户机的特权操作进行俘获与仿真,以提供VM之间的安全隔离。每个量子切换vGPU上下文,以在多个VM之间共享物理GPU。

[0142] 图15展示了可以在其上实现本发明的实施例的高级系统架构,所述高级系统架构包括图形处理单元(GPU) 1500、中央处理单元(CPU) 1520、以及在GPU 1500和CPU 1520之间共享的系统存储器1510。渲染引擎1502 从系统存储器1510中的命令缓冲器1512获取GPU命令,以使用各种不同的特征来加速图形渲染。渲染引擎1504从帧缓冲器1514获取像素数据,然后将所述像素数据发送至外部监视器以进行显示。

[0143] 某些架构使用系统存储器1510作为图形存储器,而其他GPU可以使用管芯上存储

器。可以通过GPU页表1506将系统存储器1510映射到多个虚拟地址空间中。2GB全局虚拟地址空间称为全局图形存储器,可以从 GPU 1500和CPU 1520访问,通过全局页表被映射。原生图形存储器空间以多个2GB原生虚拟地址空间的形式被支持,但仅限于通过原生页表从渲染引擎1502进行访问。全局图形存储器大部分是帧缓冲器1514,但也用作命令缓冲器1512。在进行硬件加速时,对原生图形存储器进行大量的数据访问。具有管芯上存储器的GPU采用类似的页表机制。

[0144] 在一个实施例中,CPU 1520通过生产者-消费者模型中的GPU特定命令来对GPU 1500进行编程,如图15所示。根据如OpenGL和DirectX 的高级编程API,图形驱动程序将GPU命令编程到命令缓冲器1512中,包括主缓冲器和批缓冲器。GPU 1500然后获取并执行命令。主缓冲器(环形缓冲器)可以将其他批处理缓冲器链接在一起。术语“主缓冲器”和“环形缓冲器”在下文中可互换使用。批处理缓冲器用于传递每个编程模型的大部分命令(多达~98%)。寄存器元组(头部、尾部)用于控制环形缓冲器。在一个实施例中,CPU 1520通过更新尾部来向GPU 1500提交命令,而GPU 1500从头部获取命令,然后在命令已经完成执行之后通过更新头部来通知CPU 1520。

[0145] 如上所述,本发明的一个实施例在具有中介传递的完整GPU虚拟化平台中实现。因此,每个VM都配备有全功能GPU,以在VM内部运行原生图形驱动程序。然而,在以下三个方面具有重大挑战:(1)虚拟化整个复杂的现代GPU的复杂性,(2)由于多个VM共享GPU而导致的性能,以及(3)VM之间完全的安全隔离。

[0146] 图16展示了根据本发明的一个实施例的GPU虚拟化架构,所述GPU 虚拟化架构包括在GPU 1600上运行的管理程序1610、特权虚拟机(VM) 1620以及一个或多个用户VM 1631至1632。在管理程序1610中运行的虚拟化存根模块1611扩展存储器管理以包括用于用户VM 1631至1632的扩展页表(EPT) 1614,以及用于特权VM 1620的特权虚拟存储器管理单元(PVMMU) 1612,以实现俘获和传递策略。在一个实施例中,每个VM 1620、1631至1632运行原生图形驱动程序1628,所述原生图形驱动程序可以如下所述利用资源分区直接访问帧缓冲器和命令缓冲器的性能关键型资源。为了保护特权资源,即I/O寄存器和PTE,来自用户VM 1631至1632和特权VM 1620中的图形驱动程序1628的相应访问被俘获并且被转发至特权VM 1620中的虚拟化中介器1622用于仿真。在一个实施例中,如图所展示,虚拟化中介器1622使用超级调用来访问物理GPU 1600。

[0147] 另外,在一个实施例中,虚拟化中介器1622实现与管理程序1610 中的CPU调度器1616同时运行的GPU调度器1626,以在VM 1631至1632 之间共享物理GPU 1600。一个实施例使用物理GPU 1600来直接执行从VM 提交的所有命令,因此避免了对渲染引擎进行仿真的复杂性,所述渲染引擎是GPU内最复杂的部分。同时,帧缓冲器和命令缓冲器的资源传递使管理程序1610对CPU访问的干预最小化,而GPU调度器1626保证每个VM 量子都用于直接GPU执行。因此,所展示的实施例在多个VM之间共享 GPU时实现良好的性能。

[0148] 在一个实施例中,虚拟化存根1611选择性地俘获或传递某些GPU 资源的客户机访问。虚拟化存根1611操纵EPT 1614条目以选择性地向用户VM 1631至1632呈现或隐藏特定地址范围,同时对于特权VM 1620使用PVMMU 1612中的保留位PTE,用于将客户机访问选择性地俘获或传递至特定的地址范围。在这两种情况下,俘获外围输入/输出(PIO) 访问。所有被俘获的访问都被转发至虚拟化中介器1622进行仿真,而虚拟化中介器1611使用超级调用

来访问物理GPU 1600。

[0149] 如上所述,在一个实施例中,虚拟化中介器1622对用于特权资源访问的虚拟GPU (vGPU) 1624进行仿真,并且在vGPU 1624之间进行上下文切换。同时,特权VM 1620图形驱动程序1628被用于初始化物理装置并管理功率。一个实施例采用灵活发布模型,通过将虚拟化中介器1622实现为特权VM 1620中的内核模块,用于简化虚拟化中介器1622和管理程序1610之间的绑定。

[0150] 分离的CPU/GPU调度机制经由CPU调度器1616和GPU调度器 1626来实现。这是因为GPU上下文切换的成本可能是CPU上下文切换的成本的1000倍以上(例如,~700us对~300ns)。另外,在计算机系统中CPU内核的数量可能不同于GPU内核的数量。因此,在一个实施例中,GPU调度器1626与现有CPU调度器1616分开实现。分离调度机制导致需要并发访问来自CPU和GPU的资源。例如,当CPU正在访问VM1 1631 的图形存储器时,GPU可能同时访问VM2 1632的图形存储器。

[0151] 如上所述,在一个实施例中,在每个VM 1620、1631至1632内部执行原生图形驱动程序1628,所述原生图形驱动程序通过由虚拟化中介器 1622进行仿真的特权操作直接访问一部分性能关键型资源。分离调度机制导致下面描述的资源分区设计。为了更好地支持资源分区,一个实施例保留存储器映射I/O (MMIO) 寄存器窗口以将资源分区信息传送给VM。

[0152] 在一个实施例中,virt_info的位置和定义已经作为虚拟化扩展纳入硬件规范,因此图形驱动程序1628在原生处理扩展,并且未来的GPU生成遵循所述规范以实现向后兼容性。

[0153] 虽然在图16中被展示为单独的部件,但是在一个实施例中,包括虚拟化中介器1622 (及其vGPU实例1624和GPU调度器1626) 的特权VM 1620被实现为管理程序1610内的模块。

[0154] 在一个实施例中,虚拟化中介器1622通过对特权操作进行俘获与仿真来管理所有VM的vGPU 1624。虚拟化中介器1622处理物理GPU中断,并且可以向指定的VM 1631至1632生成虚拟中断。例如,命令执行的物理完成中断可能会触发虚拟完成中断,并且被传递给渲染拥有者。对每个语义的vGPU实例进行仿真的想法很简单;然而,实施方式却需要大量的工程工作和对GPU 1600的深入理解。例如,某些图形驱动程序可以访问约 700个I/O寄存器。

[0155] 在一个实施例中,GPU调度器1626实现粗粒度服务质量 (QoS) 策略。可以选择特定的时间量作为每个VM 1631至1632共享GPU 1600资源的时间分片。例如,在一个实施例中,选择16ms的时间量作为调度时间分片,因为所述值导致人类对感知图像变化的低感知度。还选择这种相对较大的量子,因为GPU上下文切换的成本是CPU上下文切换成本的1000 倍以上,因此所述量子不能像CPU调度器1616中的时间分片那么小。来自VM 1631至1632的命令被连续地提交给GPU 1600,直到客户机/VM耗尽其时间分片。在一个实施例中,GPU调度器1626在切换之前等待客户机环形缓冲器变为空闲,因为当今的大多数GPU是非抢占的,因此这可能影响公平。为了使等待开销最小化,可以通过跟踪命令提交以保证堆积命令在任何时间处于一定限度内来实现粗粒度业务量控制机制。因此,所分配的时间分片与执行时间之间的时间漂移相对较小,因此实现了粗粒度QoS 策略。

[0156] 在一个实施例中,在渲染上下文切换时,在切换vGPU 1624之间的渲染引擎时,保存并恢复内部流水线状态和I/O寄存器状态,并且执行高速缓存/TLB转储清除。内部流水线

状态对CPU不可见,但可以通过GPU 命令进行保存和恢复。通过读取/写入渲染上下文中的寄存器列表可以实现保存/恢复I/O寄存器状态。现代GPU中包含的用于加速数据访问和地址转换的内部高速缓存和转换后备缓冲器(TLB)必须使用渲染上下文切换处的命令转储清除,以保证隔离性和正确性。在一个实施例中用于切换上下文的步骤是:1)保存当前I/O状态,2)转储清除当前上下文,3)使用附加命令来保存当前上下文,4)使用附加命令来恢复新的上下文,以及5)恢复新的上下文的I/O状态。

[0157] 如上所述,一个实施例使用专用的环形缓冲器来承载额外的GPU命令。(经审核的)客户机环形缓冲器可以被重新用于提高性能,但是直接将命令插入到客户机环形缓冲器是不安全的,因为CPU可能会继续使更多命令排队,从而导致被覆盖的内容。为了避免争用情况,一个实施例从客户机环形缓冲器切换到其自己的专用环形缓冲器。在上下文切换结束时,本实施例从专用环形缓冲器切换到新VM的客户机环形缓冲器。

[0158] 一个实施例重新使用特权VM 1620图形驱动程序来初始化显示引擎,然后管理显示引擎以显示不同的VM帧缓冲器。

[0159] 当两个vGPU 1624具有相同的分辨率时,仅切换帧缓冲器位置。对于不同的分辨率,特权VM可以使用硬件缩放器,这是现代GPU中的一项常见功能,可以自动地对分辨率进行缩放。两种技术都只需几毫秒。在许多情况下,可能不需要显示管理,例如当VM未显示在物理显示器上时(例如,当所述VM位于远程服务器上时)。

[0160] 如图16所展示,一个实施例传递对帧缓冲器和命令缓冲器的访问以加速来自VM 1631至1632的性能关键型操作。对于2GB大小的全局图形存储器空间,可以采用图形存储器资源分区和地址空间膨胀技术。对于原生图形存储器空间,每个图形存储器空间也都具有2GB的大小,由于原生图形存储器仅可由GPU 1600访问,所以可通过渲染上下文切换来实现每个VM原生图形存储器。

[0161] 如上所述,一个实施例在VM 1631至1632之间对全局图形存储器进行分区。如上所述,分离的CPU/GPU调度机制要求CPU和GPU同时访问不同VM的全局图形存储器,因此每个VM必须随时使用其自己的资源来呈现,从而导致全局图形存储器的资源分区方法。

[0162] 图17展示了图形虚拟化架构1700的一个实施例的附加细节,所述图形虚拟化架构包括由管理程序1710管理的多个VM(例如VM 1730和VM 1740),包括对GPU 1720中的全部GPU特征阵列的访问。在各实施例中,管理程序1710可以使得VM 1730或VM 1740能够将图形存储器和其他GPU资源用于GPU虚拟化。基于GPU虚拟化技术,一个或多个虚拟GPU(vGPU)(例如vGPU 1760A和1760B)可以访问由GPU 1720硬件提供的全部功能。在各种实施例中,管理程序1710可以跟踪、管理如本文所述的vGPU 1760A和1760B的资源 and 生命周期。

[0163] 在一些实施例中,vGPU 1760A-B可以包括呈现给VM 1730、1740的虚拟GPU装置,并且可以用于与原生GPU驱动程序交互(例如,如上文相对于图16所述)。然后,VM 1730或VM 1740可以访问GPU特征全阵列并且用vGPU 1760A-B中的虚拟GPU装置来访问虚拟图形处理器。例如,一旦VM 1730被俘获在管理程序1710中,则管理程序1710可以操纵vGPU实例(例如,vGPU 1760A)并且判定VM 1730是否可以访问vGPU 1760A中的虚拟GPU装置。可以每个量子或事件切换vGPU上下文。在一些实施例中,可以每GPU渲染引擎(诸如,3D渲染引擎1722或位块传送器渲染引擎1724)发生上下文切换。定期切换允许多个VM以对VM的工作负荷透明的方式来共享物理GPU。

[0164] GPU虚拟化可以采取各种形式。在一些实施例中,可以利用装置传递来启用VM 1730,其中,整个GPU 1720被呈现给VM 1730,如同它们是直接相连的。很像可以指定单个中央处理单元(CPU)核专供VM 1730使用,也可以指定GPU 1720专供VM 1730使用(例如,甚至在有限时间内)。另一个虚拟化模型是分时模型,其中,GPU 1720或其一部分可以以多路复用的方式由多个VM(例如,VM 1730和VM 1740)共享。在其他实施例中,设备1700还可以使用其他GPU虚拟化模型。在各实施例中,可以对与GPU 1720相关联的图形存储器进行分区,并且将其分配给管理程序1710中的各vGPU 1760A-B。

[0165] 在各实施例中,图形转换表(GTT)可以被VM或GPU 1720用于将图形处理器存储器映射到系统存储器或者用于将GPU虚拟地址转换为物理地址。在一些实施例中,管理程序1710可以经由阴影GTT来管理图形存储器映射,并且所述阴影GTT可以保持在vGPU实例(例如,vGPU 1760A)中。在各实施例中,每个VM可以有相应的阴影GTT以用于保持图形存储器地址与物理存储器地址(例如,虚拟化环境下的机器存储器地址)之间的映射。在一些实施例中,阴影GTT可以被共享并且维持多个VM的映射。在一些实施例中,每个VM 1730或VM 1740可以包括每进程GTT和全局GTT两者。

[0166] 在一些实施例中,设备1700可以将系统存储器用作图形存储器。可以通过GPU页表将系统存储器映射到多个虚拟地址空间中。设备1700可以支持全局图形存储器空间和每进程图形存储器地址空间。全局图形存储器空间可以通过全局图形转换表(GGTT)进行映射的虚拟地址空间(例如,2GB)。此地址空间的下部部分有时被称为可从GPU 1720和CPU(未示出)访问的开口。此地址空间的上部部分被称为仅可以被GPU 1720使用的高位图形存储器空间或隐藏图形存储器空间。在各实施例中,阴影全局图形转换表(SGGTT)可以被VM 1730、VM 1740、管理程序1710或GPU 1720用于基于全局存储器地址空间将图像存储器地址转换为对应的系统存储器地址。

[0167] 在完全GPU虚拟化时,静态全局图形存储器空间分区方案可能面临可扩展性问题。例如,对于2GB的全局图形存储器空间,可以为开口预留第一512兆字节(MB)虚拟地址空间,并且其剩余部分(1536MB)可以变成高位(隐藏)图形存储器空间。利用静态全局图形存储器空间分区方案,使能了完全GPU虚拟化的每个VM可以分配有128MB开口和384MB高位图形存储器空间。因此,2GB全局图形存储器空间仅可以容置最多四个VM。

[0168] 除了可扩展性问题,具有有限图形存储器空间的VM还可能经受性能退化。有时,当媒介应用广泛地使用GPU媒介硬件加速时,可以在所述媒介应用的一些媒介繁重工作负荷中观察到严重的性能降级。作为示例,为了对一个信道的1080p H.264/高级视频编码(AVC)位流进行解码,可能需要至少40MB的图形存储器。因此,对10个信道的1080p H.264/AVC位流进行解码,可能需要至少400MB的图形存储器空间。同时,可能需要留出一些图形存储器空间来进行表面合成/颜色转换,在解码过程中切换显示帧缓冲器等。在这种情况下,每个VM的512MB的图形存储器空间可能不足以让所述VM运行多视频编码或解码。

[0169] 在各实施例中,设备100可以利用按需式SGGTT来实现GPU图形存储器过量使用。在一些实施例中,管理程序1710可以按需构建SGGTT,所述SGGTT可以包括对不同GPU部件的所有者VM的图形存储器虚拟地址的所有待使用转换。

[0170] 在各实施例中,管理程序1710所管理的至少一个VM可以分配有多于静态分区的全局图形存储器地址空间以及存储器。在一些实施例中,管理程序1710所管理的至少一个VM

可以分配有或者能够访问整个高位图形存储器地址空间。在一些实施例中,管理程序1710所管理的至少一个VM 可以分配有或者能够访问整个图形存储器地址空间。

[0171] 管理程序/VMM 1710可以用命令解析器1718来检测VM 1730或VM 1740所提交的命令的GPU渲染引擎的潜在存储器工作集。在各实施例中,VM 1730可以有对应的命令缓冲器(未示出)以用于保持来自3D工作负荷 1732或媒介工作负荷1734的命令。类似地,VM 1740可以有对应的命令缓冲器(未示出)以用于保持来自3D工作负荷1742或媒介工作负荷1744的命令。在其他实施例中,VM 1730或VM 1740可以有其他类型的图形工作负荷。

[0172] 在各实施例中,命令解析器1718可以扫描来自VM的命令并且判定所述命令是否包含存储器操作数。如果是,则命令解析器可以例如从VM 的GTT中读取有关的图形存储器空间映射,并且然后将其写入SGGTT的特定于工作负荷的部分中。在对工作负荷的整个命令缓冲器进行扫描之后,可以生成或更新保持了与此工作负荷相关联的存储器地址空间映射的SGGTT。另外,通过扫描来自VM 1730或VM 1740的待执行命令,命令解析器1718还可以提高GPU操作的安全性(比如通过减轻恶意操作)。

[0173] 在一些实施例中,可以生成一个SGGTT来保持所有VM的所有工作负荷的转换。在一些实施例中,可以生成一个SGGTT来保持例如仅一个 VM的所有工作负荷的转换。特定于工作负荷的SGGTT部分可以由命令解析器1718按需构建以用于保持特定工作负荷(例如,VM 1730的3D工作负荷1732或VM 1740的媒介工作负荷1744)的转换。在一些实施例中,命令解析器1718可以将SGGTT插入到SGGTT队列1714中并且将相应工作负荷插入到工作负荷队列1716中。

[0174] 在一些实施例中,GPU调度器1712可以在执行时间构建这种按需式SGGTT。特定硬件引擎可以仅使用在执行时间分配给VM 1730的图形存储器地址空间的一小部分,并且GPU上下文切换很少发生。为了利用这种 GPU特征,管理程序1710可以用VM 1730的SGGTT来仅保持对各个GPU 部件(而非分配给VM 1730的全局图形存储器地址空间的整个部分)的执行和待执行转换。

[0175] GPU 1720的GPU调度器1712可以与设备1700中的CPU的调度器分离开。在一些实施例中,为了利用硬件并行性,GPU调度器1712可以分别对不同GPU引擎(例如,3D渲染引擎1722、位块传送器渲染引擎1724、视频命令流转化器(VCS)渲染引擎1726、以及视频增强型命令流转化器(VECS)渲染引擎1728)的工作负荷进行调度。例如,VM 1730可以是 3D加强的,并且3D工作负荷1732在一个时刻可能需要被调度到3D渲染引擎1722。同时,VM 1740可以是媒介加强的,并且媒介工作负荷1744 可能需要被调度到VCS渲染引擎1726和/或VECS渲染引擎1728。在此情况下,GPU调度器1712可以分别调度VM 1730的3D工作负荷1732和VM 1740的媒介工作负荷1744。

[0176] 在各实施例中,GPU调度器1712可以追踪GPU 1720中的对应渲染引擎所使用的执行中的SGGTT。在此情况下,管理程序1710可以为每个渲染引擎保留SGGTT以用于追踪对应渲染引擎中的所有执行中的图形存储器工作集。在一些实施例中,管理程序1710可以保留单个SGGTT以用于追踪所有渲染引擎的所有执行中的图形存储器工作集。在一些实施例中,这种追踪可以基于单独的执行中SGGTT队列(未示出)。在一些实施例中,这种追踪可以基于SGGTT队列1714上的标记(例如,使用注册表)。在一些实施例中,这种追踪可以基于工作负荷队列1716上的标记(例如,使用注册表)。

[0177] 在调度过程中, GPU调度器1712可以针对工作负荷队列1716中的待调度工作负荷来检查SGGTT队列1714中的SGGTT。在一些实施例中, 为了调度特定渲染引擎的下一个VM, GPU调度器1712可以检查由此渲染引擎的VM使用的特定工作负荷的图形存储器工作集是否与由此渲染引擎执行的或待执行的图形存储器工作集冲突。在其他实施例中, 这种冲突检查可以延伸至由所有其他渲染引擎利用执行中或待执行图形存储器工作集进行检查。在各实施例中, 这种冲突检查可以基于SGGTT队列1714中的相应SGGTT或者基于管理程序1710所保留的SGGTT以用于追踪如在上文中所讨论的对应渲染引擎中的所有执行中图形存储器工作集。

[0178] 如果不存在冲突, 则GPU调度器1712可以将执行中和待执行图形存储器工作集集成在一起。在一些实施例中, 也可以生成特定渲染引擎的执行中和待执行图形存储器工作集的所产生的SGGTT并且将其存储在例如SGGTT队列1714中或其他数据存储装置中。在一些实施例中, 还可以生成并存储与一个VM相关联的所有渲染引擎的执行中和待执行图形存储器工作集的所产生的SGGTT, 如果所有这些工作负荷的图形存储器地址不与彼此冲突的话。

[0179] 在将所选VM工作负荷提交到GPU 1720之前, 管理程序1710可以将相应SGGTT页写入GPU 1720中(例如, 到图形转换表1750)。因此, 管理程序1710可以使得此工作负荷能够利用全局图形存储器空间中的正确映射来执行。在各实施例中, 所有这些转换条目均可以写入图形转换表1750中, 到下部存储器空间1754或上部存储器空间1752。在一些实施例中, 图形转换表1750可以每VM包含单独的表以保持这些转换条目。在其他实施例中, 图形转换表1750还可以每渲染引擎包含单独的表以适用于这些转换条目。在各实施例中, 图形转换表1750可以至少包含待执行图形存储器地址。

[0180] 然而, 如果存在GPU调度器1712所确定的冲突, 则然后, GPU调度器1712可以延迟此VM的调度, 并且反而尝试着调度相同或不同VM的另一个工作负荷。在一些实施例中, 如果两个或更多个VM可以尝试着使用同一图形存储器地址(例如, 针对同一渲染引擎或两个不同的渲染引擎), 则可以检测到这种冲突。在一些实施例中, GPU调度器1712可以改变调度器策略以避免选择有可能与彼此冲突的渲染引擎中的一个或多个渲染引擎。在一些实施例中, GPU调度器1712可以悬置执行硬件引擎以减轻冲突。

[0181] 在一些实施例中, 如本文中所讨论的GPU虚拟化时的存储器过量使用可以与静态全局图形存储器空间分区方案共存。作为示例, 下部存储器空间1754的开口仍可以用于所有VM的静态分区。上部存储器空间1752中的高位图形存储器空间可以用于存储器过量使用方案。与静态全局图形存储器空间分区方案相比, GPU虚拟化时的存储器过量使用可以使得每个VM能够使用上部存储器空间1752中的整个高位图形存储器空间, 这可以允许每个VM内的一些应用使用更大的图形存储器空间以获得改进的性能。

[0182] 在静态全局图形存储器空间分区方案的情况下, 最初要求保护存储器的大部分的VM在运行时仅可以使用一小部分, 而其他VM可能处于缺乏存储器的状态。在存储器过量使用的情况下, 管理程序可以按需为VM分配存储器, 并且所节省的存储器可以用于支持更多VM。在基于SGGTT的存储器过量使用的情况下, 在运行时仅可以分配待执行工作负荷所使用的图形存储器空间, 这节省了图形存储器空间并且支持更多VM访问GPU 1720。

[0183] 当前架构支持在云和数据中心环境中托管GPU工作负载。完整GPU虚拟化是GPU云中使用的的基本支持技术之一。在完整GPU虚拟化中, 虚拟机监视器(VMM), 尤其是虚拟GPU

(vGPU) 驱动程序俘获并仿真客户机对特权GPU资源的访问,以实现安全性和多路复用,同时通过CPU 访问CPU等性能关键型资源,例如CPU访问图形存储器。GPU命令一旦被提交,将直接由GPU执行,无需VMM干预。因此,实现了接近原生性能。

[0184] 当前系统使用GPU引擎的系统存储器来访问全局图形转换表 (GGTT) 和/或每进程图形转换表 (PPGTT),以从GPU图形存储器地址转换为系统存储器地址。遮蔽机制可以用于客户机GPU页表的 GGTT/PPGTT。

[0185] VMM可以使用与客户机PPGTT同步的阴影PPGTT。所述客户机 PPGTT具有写入保护功能,使得阴影PPGTT可以通过俘获和仿真其PPGTT 的客户机修改,与客户机PPGTT持续同步。目前,每个vGPU的GGTT在每个VM之间被遮蔽和分区,并且PPGTT被遮蔽并且在每个VM上被遮盖 (例如,基于每个进程)。由于GGTT PDE表保留在PCI bar0MMIO范围内,因此GGTT页表的阴影很简单。但是,PPGTT的阴影依赖于对客户机 PPGTT页表的写入保护,并且传统的阴影页表非常复杂 (因此也是有漏洞的) 并且效率低下。例如,CPU阴影页表在当前架构中的性能开销为~30%。因此,在这些系统中的一些系统中,使用了启蒙阴影页表,所述启蒙阴影页表修改客户机图形驱动程序用于协作识别用于页表页的页和/或在其被释放时修改客户机图形驱动程序。

[0186] 本发明的实施例包括存储器管理单元 (MMU) 诸如I/O存储器管理单元 (IOMMU),以从客户机PPGTT映射的GPN (客户机页号) 重新映射到HPN (主机页号),而不依赖于低效率/复杂的阴影PPGTT。同时,一个实施例保留全局阴影GGTT页表用于地址膨胀。这些技术通常称为混合层地址映射 (HLAM)。

[0187] 在默认情况下,IOMMU不能用于某些中介传递架构,因为多个VM 只能使用单个二层转换。本发明的一个实施例利用以下技术来解决这个问题:

[0188] 1. 使用IOMMU在没有阴影PPGTT的情况下进行两层的转换。具体地讲,在一个实施例中,GPU从图形存储器地址 (GM_ADDR) 转换为GPN,并且IOMMU从GPN转换为HPN,而不是从GM_ADDR转换为HPN的阴影PPGTT,其中,对客户机PPGTT应用写入保护。

[0189] 2. 在一个实施例中,IOMMU页表针对每个VM进行管理,并且在切换vGPU时进行切换 (或者可以部分地切换)。也就是说,当VM/vGPU 被调度时,加载对应的VM的IOMMU页表。

[0190] 3. 然而,在一个实施例中共享GGTT映射的地址,并且由于vCPU可以访问GGTT映射的地址 (诸如,开口),因此即使当所述VM的vGPU 未被调度时,所述全局阴影GGTT也必须保持有效。这样,本发明的一个实施例使用混合层地址转换,其保留全局阴影GGTT,但直接使用客户机 PPGTT。

[0191] 4. 在一个实施例中,对GPN地址空间进行分区以将GGTT映射的GPN 地址 (其变成到IOMMU的输入,如GPN) 移动至专用地址范围。这可以通过俘获和仿真GGTT页表来实现。在一个实施例中,从具有大偏移量的 GGTT修改GPN以避免在IOMMU映射中与PPGTT重叠。

[0192] 图18展示了在一个实施例中采用的结构,其中,IOMMU 1830启用装置虚拟化。所展示的架构包括在管理程序/VMM 1820上执行的两个VM 1801、1811 (但是本发明的基本原理可以用任意数量的VM来实现)。每个VM 1801、1811包括分别管理客户机PPGTT和GGTT 1803、1813的驱动程序1802、1812 (例如,原生图形驱动程序)。所展示的IOMMU 1830 包括用于实现本文所述的混合层地址映射技术的HLAM模块1831。需要注意的是,在所述实施例中,不存在阴影PPGTT。

[0193] 在一个实施例中,在IOMMU映射中准备整个客户机VM(示例中的客户机VM 1811)的GPN到HPN转换页表1833,并且每个vGPU切换触发IOMMU页表交换。也就是说,当调度每个VM 1801、1811时,其对应的GPN到HPN转换表1833被交换。在一个实施例中,HLAM 1831区分GGTT GPN和PPGTT GPN并且修改GGTT GPN,以使得所述GGTT GPN 在转换表1833中执行查找时不与PPGTT GPN重叠。具体地讲,在一个实施例中,虚拟GPN生成逻辑1832将GGTT GPN转换为虚拟GPN,然后所述虚拟GPN用于在转换表1833中执行查找以识别对应的HPN。

[0194] 在一个实施例中,通过将GGTT移位指定的(可能大的)偏移量来生成虚拟GPN,以确保映射的地址不与PPGTT GPN重叠/冲突。另外,在一个实施例中,由于CPU可以随时访问GGTT映射地址(例如,开口),因此全局阴影GGTT将总是有效并且保持在每个VM的IOMMU映射1833 中。

[0195] 在一个实施例中,混合层地址映射1831解决方案将IOMMU地址范围区分成两部分:为PPGTT GPN到HPN转换保留的下部,以及为GGTT 虚拟GPN到HPN转换保留的上部。由于GPN由VM/客户机1811提供,因此GPN应该在客户机存储器大小的范围之内。在一个实施例中,客户机 PPGTT页表保持不变,并且来自PPGTT的所有GPN通过工作负载执行直接发送至图形转换硬件/IOMMU。然而,在一个实施例中,来自客户机VM 的MMIO读取/写入被俘获,并且GGTT 页表变化被捕获并且如本文所述地被改变(例如,向GPN增加大的偏移量,以便确保与IOMMU中的PPGTT 映射不重叠)。

[0196] 远程虚拟化图形处理

[0197] 在本发明的一些实施例中,服务器执行图形虚拟化,代表客户端虚拟化物理GPU并运行图形应用。图19展示了一个这样的实施例,其中,两个客户端1901至1902通过网络1910(诸如互联网和/或专用网络)连接至服务器1930。服务器1930实现虚拟化图形环境,其中,管理程序1960 分配来自一个或多个物理GPU 1938的资源,将资源作为虚拟GPU 1934至1935呈现给VM/应用1932至1933。图形处理资源可以根据资源分配策略 1961进行分配,这可以使管理程序1960基于应用1932至1933的要求(例如,较高性能的图形应用需要较多的资源)、与应用1932至1933相关联的用户帐户(例如,某些用户为获得更高性能而支付额外费用)和/或系统上的当前负载来分配资源。所分配的GPU资源可以包括多组图形处理引擎,诸如3D引擎、块图像传输引擎、执行单元以及媒体引擎等等。

[0198] 在一个实施例中,每个客户端1901至1902的用户在托管(多个) 服务器1930的服务上具有账户。例如,所述服务可以提供订阅服务,以向用户提供远程访问在线应用1932至1933,诸如视频游戏、生产力应用、以及多玩家虚拟现实应用等。在一个实施例中,响应于来自客户端1901至 1902的用户输入1907至1908,在虚拟机上远程执行应用。尽管未在图19中展示,但是一个或多个CPU也可以被虚拟化并且用于执行应用1932至 1933,其中,图形处理操作卸载到vGPU 1934至1935。

[0199] 在一个实施例中,响应于图形操作的执行,vGPU 1934至1935生成一系列图像帧。例如,在第一人称射击游戏中,用户可以指定输入1907来在幻想世界中移动角色。在一个实施例中,所产生的图像被压缩(例如,通过压缩电路系统/逻辑,未示出)并且通过网络1910被流式传输至客户端 1901至1902。在一个实施方式中,可以使用视频压缩算法诸如H.261;然而,可以使用各种不同的压缩技术。解码器1905至1906对输入视频流进行解码,然后在客户端1901至1902的相应显示器1903至1904上对其进行渲染。

[0200] 使用图19中所展示的系统,高性能图形处理资源诸如GPU 1938可以被分配到预订服务的不同客户端。在在线游戏实施方式中,例如,服务器1930可以在新视频游戏被释放时托管所述新视频游戏。然后在虚拟化环境中执行视频游戏程序代码,并且将所产生的视频帧压缩并流式传输至每个客户端1901至1902。这种架构中的客户端1901至1902不需要大量的图形处理资源。例如,即使是具有解码器1905至1906的相对低功率的智能电话或平板电脑也将能够解压缩视频流。因此,最新的图形密集型视频游戏可以在能够压缩视频的任何类型的客户端上播放。虽然视频游戏被描述为一种可能的实施方式,但是本发明的基本原理可以用于需要图形处理资源的任何形式的应用(例如,图形设计应用、交互式和非交互式射线追踪应用、生产力软件、视频编辑软件等)。

[0201] 用于在图形处理架构中管理数据偏置的设备和方法

[0202] 诸如图形处理器之类的加速器装置与处理器之间的现有的逐个高速缓存行的(per-cacheline)一致性是低效并且昂贵的。服务器多管芯解决方案和多插槽(例如PCIe图形)使得一致性问题更糟糕,原因在于GPU直接附接存储器带宽(例如HBM或GDDR)显著更高、而跨管芯或跨插槽的监听带宽低得多并且监听等待时间高。

[0203] 为了解决这些问题,本发明的一个实施例减少CPU/加速器共享的一致性协议开销,使得一致性性能大致等于非一致性性能。该实施例维持用于处理器/GPU共享的硬件实施的一致性机制,并且对于非共享的工作负荷而言对CPU性能无影响。

[0204] 具体地,一个实施例对于存储器的自然对齐的蔓延区域(1KB-4KB)实现偏置(bias)协议,该区域被称为“超级行”,通过使用“超级行所有权表(SLOT)”或“偏置表”被加以跟踪。可将超级行指定为任何大小,包括例如完整存储器页、存储器的1/n、或高速缓存行的倍数。

[0205] 如图20中所示,在一种实现中,GPU 2010或其它加速器装置包括 SLOT管理电路2013,该SLOT管理电路指定GPU 2010将处理的超级行的范围。然后将该数据的副本转移至GPU 2010的原生存储器2015,GPU 2010可处理来自原生存储器2015的数据。SLOT管理电路2013可为每个超级行设置位,以指示其具有加速器/GPU偏置。虽然该SLOT管理电路2013被显示为在GPU 2010内,但在其它实施例中,SLOT管理电路2013可被集成在CPU复合体2001或系统代理2021内。替代地,SLOT管理电路2013可跨GPU 2010、CPU 2001和/或系统代理2021分布。

[0206] 在一种实现中,SLOT 2031跟踪谁在任何给定的时间“拥有”给定的超级行。如图20中所示,可将完整的表2031存储在系统存储器2030中,同时将其高速缓存的版本2011和2022存储在管芯上、分别在GPU 2010和系统代理2021内部。在一个实施例中,高速缓存的版本2011、2022可包括整个SLOT表2031的子集。所有权转换可以是硬件自主的、或由软件发起、或二者的组合。

[0207] 在一个实施例中,当GPU 2010需要处理大块数据时,它将数据拉入其原生存储器2015(例如HBM、GDDR存储器等等)并更新SLOT表2031以指示它是该数据块的当前“所有者”。例如,可为该块的每个超级行设置位,以指示它正在被GPU 2010处理。典型地,这将会是CPU 2001不需要频繁访问的数据部分。当执行图形操作时,该数据的部分可被高速缓存在GPU的L3高速缓存2011中。

[0208] 在一个实施例中,GPU 2010包括原生SLOT高速缓存2012以存储主SLOT表2031的

最近被访问的多个部分。此外，系统代理2021还可包括slot 高速缓存2022以提供CPU 2001的多个核对SLOT数据的高效访问。还可在 CPU上维持SLOT高速缓存(未示出)。高速缓存一致性电路可确保SLOT 高速缓存2022与SLOT高速缓存2012之间的一致性。可使用任何形式的高速缓存一致性协议。

[0209] 在一个实施例中，SLOT仅覆盖直接附接至加速器或GPU的HBM存储器(例如8GB)或GDDR存储器。整个SLOT表可在GPU内部，以简化实现。非加速器的存储器(例如DDR)未被SLOT覆盖。

[0210] 在一个实施例中，CPU 2001不具有SLOT表，并且将不会跟踪任何基于超级行的一致性。仅加速器或GPU 2010将具有SLOT表2031并且跟踪原生HBM或GDDR存储器2015的所有权。在一种实现中，对于原生存储器 2015的所有的CPU 2001请求将监听GPU SLOT表2031以检查所有权。在该系统中使用新的一致性命令以加速超级行所有权转移。例如，可使用“超级行转储清除”命令来将整个超级行转储清除出CPU高速缓存2002或GPU 高速缓存2012。

[0211] 一种实现方式利用诸如堆叠的DRAM或HBM之类的直接附接的存储器来提高GPU的性能，并简化对于利用具有直接附接的存储器的GPU的应用的应用开发。该实现允许GPU附接的存储器被映射为系统存储器的部分，并利用共享虚拟存储器(SVM)技术(诸如在当前的IOMMU实现中使用的技术)来访问，但不会遭受与完整系统高速缓存一致性相关联的典型性能缺点。

[0212] 作为系统存储器的部分来访问GPU附接的存储器、并且没有繁重的高速缓存一致性开销的能力为GPU卸载(offload)提供了有益的操作环境。作为系统地址映射的部分来访问存储器的能力允许主机软件建立操作数并访问计算结果，而没有传统的IO DMA数据副本的开销。这样的传统副本涉及驱动程序调用、中断和存储器映射的I/O(MMIO)访问，这些相对于简单存储器访问都是低效的。同时，访问GPU附接的存储器而没有高速缓存一致性开销的能力对于卸载的计算的执行时间是关键的。例如，在具有大量流式的写存储器业务量的情况下，高速缓存一致性开销会将GPU看到的有效写带宽减半。操作数建立的效率、结果访问的效率以及GPU计算的效率在确定GPU卸载将有多少效果时都发挥作用。如果卸载工作(例如建立操作数、获得结果)的成本太高，则卸载可能不能得到好的结果，或者可能将GPU限制于仅非常大的工作。GPU执行计算的效率会具有相同效果。

[0213] 一种实现根据发起存储器访问的实体(例如GPU、核等等)和被访问的存储器(例如主机存储器或GPU存储器)来应用不同的存储器访问和一致性技术。这些技术被统称为“一致性偏置”机制，该机制为GPU附接的存储器提供两组高速缓存一致性流程，一组流程为了对其附接的存储器的高效的GPU访问而优化，第二组流程为了对于GPU附接的存储器的主机访问和对于GPU附接的存储器的共享的GPU/主机访问而优化。此外，它包括用于在这些流程之间切换的两种技术，一种通过应用软件来驱动，另一种通过自主硬件提示来驱动。在这两组一致性流程中，硬件维持完整的高速缓存一致性。

[0214] 如图21中大致所示，一种实现应用于包括GPU 2010和具有处理器核和I/O电路2103的一个或多个计算机处理器芯片的计算机系统，其中GPU 2010经由多协议链路2110耦合至处理器。在一种实现中，多协议链路2110 是动态复用的链路，该链路支持多种不同的协议，包括但不限于芯片上系统结构(IOSF)协议和/或PCI高速(PCIe)协议(即用于支持生产者/消费者业务量、设备发现和配置、以及中断)、诸如管芯上接口(IDI)之类的代理一致

性协议、以及诸如系统存储器接口协议3(例如SMI3+)之类的存储器访问协议。然而,应当注意,本发明的基本原理不限于任何特定的协议集合。此外,注意根据实现,GPU 2010和核/I/O 2103可被集成在相同的半导体芯片或不同的半导体芯片上。

[0215] 在所示实现中,GPU存储器总线2112将GPU 2010耦合至GPU存储器2015,且单独的主机存储器总线2111将核/I/O 2103耦合至主机存储器 2030。如所提及的,GPU存储器2015可包括高带宽存储器(HBM)或堆叠的 DRAM(本申请中描述了其一些示例),且主机存储器2030可包括诸如双数据率同步动态随机存取存储器(例如DDR3SDRAM、DDR4SDRAM等等)之类的DRAM。然而,本发明的基本原理不限于任何特定类型的存储器或存储器协议。

[0216] 在一种实现中,GPU 2010和运行在处理器芯片2103内的处理核上的“主机”软件使用不同的两组协议流程(称为“主机偏置”流程和“GPU 偏置”流程)来访问GPU存储器2015。如下文所描述,一种实现支持用于调制和/或选择用于特定存储器访问的协议流程的多个选项。

[0217] 一致性偏置流程在GPU 2010与多个处理器芯片2103中的一个之间的多协议链路2110上部分地在两个协议层上实现:IDI协议层和SMI3协议层。在一种实现中,一致性偏置流程通过以下方式而启用:(a)以新的方式在IDI协议中使用现有的操作码,(b)向现有的SMI3标准添加新的操作码,以及(c)向多协议链路2010(仅包括IDI和IOSF的诸如R链路之类的现有链路)增加对于SMI3协议的支持。注意,多协议链路不限于仅支持IDI和SMI3;在一种实现中,仅是要求支持至少那些协议。

[0218] 如本申请中使用,图21中所示的“主机偏置”流程是将对GPU存储器2015的所有请求,包括来自GPU自身的请求,集中通过GPU 2010所附接的处理器芯片2103中的标准一致性控制器2109的一组流程。这导致GPU 2010采用迂回路径来访问其自身的存储器,但允许使用处理器的标准一致性控制器2109使来自GPU 2010和处理器核/I/O 2103二者的访问被维持一致。在一种实现中,该流程使用标准IDI操作码、经由多协议链路、以与处理器核2109向一致性控制器2109发布请求相同或相似的方式向处理器的一致性控制器2109发布请求。例如,处理器芯片的一致性控制器2109 可代表GPU向所有对等处理器核芯片(例如2103)和内部处理器代理2021 发布作为来自GPU 2010的请求的结果的UPI和IDI一致性消息(例如监听),恰如它们对来自处理器核2103的请求一样处理。以此方式,在由GPU 2010 和处理器核/I/O 2103访问的数据之间维持一致性。

[0219] 在一种实现中,一致性控制器2109还经由多协议链路2110有条件地向GPU的存储器控制器2106发布存储器访问消息。这些消息类似于一致性控制器2109发送至其处理器管芯原生的存储器控制器的消息,并且包括允许数据被直接返回至GPU 2010内部的代理的新的操作码(而不是强迫数据被返回给多协议链路2110的处理器的一致性控制器2109),然后作为 IDI响应经由多协议链路2110被返回给GPU 2010。

[0220] 在图21中所示的“主机偏置”模式的一种实现中,来自处理器核 2103的以GPU附接的存储器2015为目标的所有请求被直接发送给处理器一致性控制器2109,恰如它们以普通的主机存储器2030为目标一样。一致性控制器2109可应用其标准高速缓存一致性算法并发送其标准高速缓存一致性消息,恰如它们对于来自GPU 2010的访问那样处理,并且恰如它们对于对普通的主机存储器2030的访问那样处理。对于这类请求,一致性控制器 2109还可经由多协议链路2110有条件地发送SMI3命令,不过在该情况下,该SMI3流程跨多协议链路

2110返回数据。

[0221] 图22中所示的“GPU偏置”流程是允许GPU 2010访问其原生附接的存储器2015、而不咨询主机存储器的高速缓存一致性控制器2030的流程。更具体地,这些流程允许GPU 2010经由存储器控制器2106访问其原生附接的存储器、而不经由多协议链路2110发送请求。

[0222] 在“GPU偏置”模式下,来自处理器核/IO 2103的请求可依照以上对于“主机偏置”的描述而被发布,但是,如同它们作为“不高速缓存”的请求被发布那样地去完成它们。采用这种“不高速缓存”的约定,从而使得服从于GPU偏置流程的数据永远不会被高速缓存在处理器的高速缓存层次结构(例如2011)中。正是这一事实允许了GPU 2010去访问其存储器2015中的GPU偏置的数据,而不去咨询处理器上的高速缓存一致性控制器 2109。

[0223] 在一种实现中,对于“不高速缓存”的处理器核2103访问流程的支持是利用在处理器总线(例如在一些实施例中,IDI总线)上的全局观察到的一次使用(“GO-UO”)响应来实现的。该响应将一段数据返回给处理器核2103,并指令处理器仅使用该数据的值一次。这防止了对于该数据的高速缓存,并满足了“不高速缓存”流程的需求。在具有不支持GO-UO响应的核的系统中,可使用在多协议链路2110的存储器协议层(例如SMI3层)上和在处理器核的2103总线上的多消息响应序列来实现“不高速缓存”流程。

[0224] 具体地,当发现处理器核以GPU 2010处的“GPU偏置”页为目标时,GPU建立一些状态以阻止来自GPU的对目标高速缓存行的未来请求,并在多协议链路2110上发送特殊的“GPU偏置命中”响应(例如SMI3消息)。响应于该消息,处理器的高速缓存一致性控制器2109向作出请求的处理器核 2103返回数据,并使监听无效消息紧随着数据返回。当处理器核2103确收该监听无效为完成时,高速缓存一致性控制器2109在多协议链路2110的 SMI3层上将另一特殊的“GPU偏置阻止完成”消息(例如,在一个实施例中,另一SMI3消息)发回给GPU 2010。该完成消息导致GPU 2010清除上述的阻止状态。

[0225] 如上所提及,GPU与主机偏置流程之间的选择可由诸如GPU存储器 2015中的SLOT表2307之类的偏置跟踪数据结构来驱动。该SLOT表2307 可以是包含每个GPU附接的存储器页1或2个位的超级行粒度的结构(即以存储器页、1/n存储器页、一些高速缓存行倍数等等的粒度来控制)。SLOT 表2307、2331可在GPU附接的存储器2015的偷取(stolen)的存储器范围中和/或在主机存储器2103中实现(如相对于图21所描述)。GPU中的偏置高速缓存2303(例如用于高速缓存SLOT表2307的频繁/最近使用的条目)。替代地,可在GPU 2010内维持整个SLOT表2307。

[0226] 在一种实现中,在对GPU存储器2015的实际访问之前,访问与对于 GPU附接的存储器2015的每个访问相关联的SLOT表条目,导致以下操作:

[0227] • 在GPU偏置中发现其超级行的来自GPU 2010的原生请求被直接转发给GPU存储器2015。

[0228] • 在主机偏置中发现其超级行的来自GPU 2010的原生请求经由多协议链路2110被转发给处理器2103(例如在一个实施例中,作为IDI请求)。

[0229] • 在GPU偏置中发现其超级行的来自处理器2103的请求(例如 SMI3请求)使用上述的“不高速缓存”流程来完成该请求。

[0230] • 在主机偏置中发现其超级行的来自处理器2103的SMI3请求像普通存储器读取

那样完成该请求。

[0231] 可通过基于软件的机制、或通过硬件辅助的基于软件的机制、或对于有限的情况的集合而言通过基于纯硬件的机制来改变超级行的偏置状态。

[0232] 一种用于改变偏置状态的机制采用API调用(例如OpenCL),其调用GPU的设备驱动程序,该设备驱动程序进而向GPU 2010发送消息(或将命令描述符编入队列)以指导其改变偏置状态、并针对一些转换在主机2103 中执行高速缓存转储清除操作。高速缓存转储清除操作对于从主机偏置到 GPU偏置的转换是必需的,但对于相反转换不是必需的。

[0233] 在一些情况下,软件很难确定何时采用偏置转换API调用、并且标识出需要偏置转换的超级行。在这些情况下,GPU可实现偏置转换“提示”机制,其中GPU检测偏置转换的需要并向其驱动程序发送指示该需要的消息。该提示机制可以像响应于SLOT表2331、2307查找的机制那样简单,此种机制在GPU访问主机偏置的超级行或主机访问GPU偏置的超级行时触发、并经由中断向GPU的驱动程序发送信号以通知该事件。

[0234] 注意,一些实现可能要求第二偏置状态位来启用偏置转换状态值。这允许系统在超级行处于偏置改变的过程中的同时(即,当高速缓存部分地被转储清除、并且由于后续请求引起的 Δ 高速缓存污染必须被抑制时)继续访问那些超级行。

[0235] 图24中示出了根据一个实施例的示例性过程。该过程可在本申请中描述的系统和处理器架构上实现,但不限于任何特定的系统或处理器架构。

[0236] 在2401,将超级行的特定集合置于GPU偏置下。如所提及,这可以通过更新SLOT表中的这些超级行的条目以指示这些超级行处于GPU偏置下来完成(例如,通过设置与每个超级行相关联的位)。在一种实现中,一旦设置成GPU偏置,将保证这些超级行不会被高速缓存在主机高速缓存存储器中。在2402,从GPU存储器分配超级行(例如软件通过发起驱动程序/API调用来分配超级行)。

[0237] 在2403,将操作数推送至来自处理器核的经分配的超级行。在一种实现中,这可通过软件使用API调用来将操作数超级行翻转成主机偏置来实现(例如经由OpenCL API调用)。不需要数据副本或高速缓存转储清除,并且操作数数据可在该阶段在主机高速缓存层次结构中的一些仲裁位置终结。

[0238] 在2404,GPU使用操作数来产生结果。例如,它可直接从其原生存储器(例如以上讨论的2015)执行命令并处理数据。在一种实现中,软件使用OpenCL API以将操作数超级行翻转回GPU偏置(例如更新偏置表)。作为API调用的结果,命令/工作描述符被提交给GPU(例如经由在专用命令队列上共享)。工作描述符/命令可指令GPU转储清除来自主机高速缓存的操作数超级行,导致高速缓存转储清除(例如使用IDI协议上的CLFLUSH 来执行)。在一种实现中,GPU在无主机相关的一致性开销情况下执行,并将数据转储到结果超级行。

[0239] 在2405,从分配的超级行拉取结果。例如,在一种实现中,软件进行一个或多个API调用(例如经由OpenCL API)以将结果超级行翻转成主机偏置。该动作可导致一些偏置状态被改变,但不会导致任何一致性或高速缓存转储清除动作。主机处理器核然后可按需访问、高速缓存并共享结果数据。最终,在2406,释放分配的超级行(例如经由软件)。

[0240] 上述实施例的一个或多个尤其适用于服务器实现。还可构想两种不同的客户端侧实现,包括对称的实现和不对称的实现。

[0241] 在对称实现中,对于对整个系统存储器空间的CPU和GPU访问二者执行SLOT检查。

图25示出了一种特定实现,其中在系统存储器2550中维持SLOT表2551,并响应于来自核2501-2504和GPU 2510的访问检查该SLOT表。在该实现中,维持SLOT高速缓存的多个层,包括核监听过滤器2520 内的slot高速缓存2521、GPU 2510内的SLOT高速缓存2512、以及可存储用于核2501-2504和GPU 2510二者的条目的低级SLOT高速缓存2540。在一个实施例中,可包括低级SLOT高速缓存2540以作为LLC 2530架构的部分。可向IO设备2525提供对低级SLOT高速缓存2540的访问,以参与本申请中描述的偏置机制。在一个实施例中,还可使用存储器高速缓存2545 (例如,诸如位于主系统存储器2550前面的HBM或高速DRAM存储器,该主系统存储器可利用相对更低速和更低成本的存储器技术)。

[0242] 不对称实现的一个实施例可利用分区的存储器。图26示出示例性的分区的存储器2655,其包括GPU一致的分区2651和系统存储器分区2650。该实施例的一个目标是简化非核所需的改变。分区2650-2651可被暴露给 OS,以作为非同一存储器访问 (NUMA) 存储器。在一个实施例中,驱动程序在驱动程序负荷下分配整个“GPU一致的”分区2651。应用需要驱动程序管理的对GPU一致的存储器2651的分配。

[0243] 在一种实现中,仅对“GPU一致的”分区2651应用SLOT。可使用 SLOT高速缓存2512来跟踪所有权。偏置设定不在意对该分区的CPU和I/O 访问。对于“GPU一致的”空间的所有CPU末级高速缓存 (LLC) 2610未命中将需要经由系统代理2630来监听。该实现允许以LLC将图形数据高速缓存为“非一致的”。

[0244] 在一种实现中,对于针对“GPU一致的”分区的核监听的图形响应如下。GPU 2510在偏置表中查找该超级行,首先在SLOT高速缓存2512中、然后在存储器2655中存储的主SLOT表2652中进行查找。如果GPU拥有该超级行,则它可自由地访问该超级行而不需与CPU的协作。如果该超级行并非为GPU所拥有,则将监听响应正常发送给CPU监听过滤器2610。

[0245] 如果该超级行在SLOT 2652中被标记为“GPU偏置”,则对超级行的单个核监听可自动触发该超级行的GPU偏置的“释放”。在一个实施例中,该超级行首先被标记为“在向CPU偏置转换中”。然后来自GPU的对该超级行的新的一致性请求被阻止。GPU可向CPU发送监听响应,并转储清除该超级行中的所有高速缓存行,然后从SLOT表中去除该超级行条目。然后可解除对该超级行的新请求的阻止,然后可在必要时开始转换回GPU偏置。可实现对于应用/驱动程序的钩 (hook),以请求对超级行的“获得”或“释放” (例如软件预取)。这些可被视为提示,并且可以不完全依赖于该接口。

[0246] 在一些实施例中,图形处理单元 (GPU) 通信地耦合至主机/处理器核以加快图形操作、机器学习操作、模式分析操作和各种通用GPU (GPGPU) 功能。GPU可以通过总线或另外的互连 (例如,诸如PCIe或NVLink的高速互连) 通信地耦合至主机处理器/核。在其他实施例中,GPU可以与核一样集成在相同的封装或芯片上并且通过内部处理器总线/互连 (即,在封装或芯片内部) 通信地耦合至所述核。不管GPU连接的方式如何,处理器核都可以以工作描述符中包含的命令/指令序列的形式向GPU分配工作。然后, GPU使用专用电路系统/逻辑来有效地处理这些命令/指令。

[0247] 在以下描述中,阐述了大量的具体细节以提供更加透彻的解释。然而,对于本领域技术人员而言,可以在不具有这些具体细节中的一个或多个的情况下实践本文所述的实施例将是明显的。在其他情况下,未对公知特征进行描述以避免模糊本发明实施例的细节。

[0248] 系统概述

[0249] 图27是展示了被配置成实现本文所述的实施例的一个或多个方面的计算机系统2700的框图。计算系统2700包括处理子系统2701,所述处理子系统具有一个或多个处理器2702和系统存储器2704,所述一个或多个处理器和所述系统存储器经由互连路径进行通信,所述互连路径可以包括存储器中枢2705。存储器中枢2705可以是芯片组部件内的单独的部件,也可以集成在一个或多个处理器2702内。存储器中枢2705经由通信链路2706与I/O子系统2711耦合。I/O子系统2711包括I/O中枢2707,所述I/O中枢可以使得计算系统2700能够从一个或多个输入装置2708接收输入。另外,I/O中枢2707可以使得显示控制器(所述显示控制器可以被包括在一个或多个处理器2702中)能够向一个或多个显示装置2710A提供输出。在一个实施例中,与I/O中枢2707耦合的一个或多个显示装置2710A可以包括原生显示装置、内部显示装置或嵌入式显示装置。

[0250] 在一个实施例中,处理子系统2701包括一个或多个并行处理器2712,所述一个或多个并行处理器经由总线或其他通信链路2713耦合至存储器中枢2705。通信链路2713可以是任意数量的基于标准的通信链路技术或协议(诸如但不限于PCI Express)中的一个,也可以是供应方特定的通信接口或通信结构。在一个实施例中,一个或多个并行处理器2712形成以计算为中心的并行或向量处理系统,所述系统包括大量处理核和/或处理集群诸如集成众核(MIC)处理器。在一个实施例中,一个或多个并行处理器2712形成图形处理子系统,所述图形处理子系统可以向经由I/O中枢2707耦合的一个或多个显示装置2710A中的一个输出像素。一个或多个并行处理器2712还可以包括显示控制器和显示接口(未示出)以实现到一个或多个显示装置2710B的直接连接。

[0251] 在I/O子系统2711内,系统存储单元2714可以连接至I/O中枢2707来为计算系统2700提供存储机制。I/O开关2716可以用于提供接口机制以实现I/O中枢2707和可以集成到平台中的其他部件诸如网络适配器2718和/或无线网络适配器2719以及可以经由一个或多个插入式装置2720添加的各种其他装置之间的连接。网络适配器2718可以是以以太网适配器或另一种有线网络适配器。无线网络适配器2719可以包括Wi-Fi、蓝牙、近场通信(NFC)或包括一个或多个无线无线电部件的其他网络装置中的一个或多个。

[0252] 计算系统2700可以包括未显式地示出的其他部件,这些部件包括USB或其他端口连接件、光存储驱动程序、视频捕获装置等,也可以连接至I/O中枢2707。图27中将各种部件互连的通信路径可以使用任何合适的协议诸如基于PCI(外围部件互连)的协议(例如,PCI-Express),或(多个)任何其他总线或点对点通信接口和/或协议诸如NV-Link高速互连或本领域中已知的互连协议来实现。

[0253] 在一个实施例中,一个或多个并行处理器2712并入有为进行图形和视频处理而优化的电路系统,包括例如视频输出电路系统,并且所述电路系统构成图形处理单元(GPU)。在另一个实施例中,一个或多个并行处理器2712并入有为进行通用处理而优化的电路系统,同时保留了本文更详细描述的基础计算架构。在又一个实施例中,计算系统2700的各部件可以与一个或多个其他系统元件集成在单个集成电路上。例如,一个或多个并行处理器2712、存储器中枢2705、(多个)处理器2702和I/O中枢2707可以集成到芯片上系统(SoC)集成电路中。可替代地,计算系统2700的各部件可以集成到单个封装中以形成封装中系统(SIP)配置。在其他实施例中,计算系统2700的各部件的至少一部分可以集成到多芯片模块(MCM)中,所述多芯片模块可以与其他多芯片模块互连成模块化计算系统。

[0254] 应当理解,本文所示的计算系统2700是例示性的并且变型和修改是可能的。连接拓扑可以根据需要进行修改,所述连接拓扑包括桥的数量和安排、(多个)处理器2702的数量和(多个)并行处理器2712的数量。例如,在一些实施例中,系统存储器2704直接而不是通过桥连接至(多个)处理器2702,而其他装置经由存储器中枢2705和(多个)处理器2702与系统存储器2704进行通信。在其他替代性拓扑中,(多个)并行处理器2712连接至I/O中枢2707或直接连接至一个或多个处理器2702中的一个,而不是连接至存储器中枢2705。在其他实施例中,I/O中枢2707和存储器中枢2705可以集成到单个芯片中。一些实施例可以包括经由多个插座附接的(多个)处理器2702的两个或更多个组,这两个或更多个组可以与(多个)并行处理器2712的两个或更多个实例耦合。

[0255] 本文示出的一些特定部件是可选的并且可能不被包括在计算系统2700的所有实施方式中。例如,可以支持任意数量的插入式卡或外围装置,或者可以省去一些部件。此外,一些架构可以使用不同的术语来描述与图27所示类似的部件。例如,在一些架构中,存储器中枢2705可以被称为北桥,而I/O中枢2707可以被称为南桥。

[0256] 图28A展示了根据实施例的并行处理器2800。并行处理器2800的各种部件可以使用诸如可编程处理器、专用集成电路(ASIC)或现场可编程门阵列(FPGA)的一个或多个集成电路装置来实现。根据实施例,所展示的并行处理器2800是图27所示的一个或多个并行处理器2712的变体。

[0257] 在一个实施例中,并行处理器2800包括并行处理单元2802。所述并行处理单元包括I/O单元2804,所述I/O单元实现与其他装置包括并行处理单元2802的其他实例的通信。I/O单元2804可以直接连接至其他装置。在一个实施例中,I/O单元2804经由诸如存储器中枢2705的中枢或开关接口的使用来与其他装置连接。存储器中枢2705与I/O单元2804之间的连接形成通信链路2713。在并行处理单元2802内,I/O单元2804与主机接口2806和存储器交叉开关2816连接,其中,主机接口2806接收涉及执行处理操作的命令,并且存储器交叉开关2816接收涉及执行存储器操作的命令。

[0258] 当主机接口2806经由I/O单元2804接收命令缓冲器时,主机接口2806可以将用于执行这些命令的工作操作引导到前端2808。在一个实施例中,前端2808与调度器2810耦合,所述调度器被配置成向处理集群阵列2812分发命令或其他工作项目。在一个实施例中,调度器2810确保在向处理集群阵列2812的处理集群分发任务之前,处理集群阵列2812被正确地配置并且处于有效状态。在一个实施例中,调度器2810经由在微控制器上执行的固件逻辑来实现。微控制器实现的调度器2810可被配置成以粗细粒度执行复杂的调度和工作分配操作,从而实现在处理阵列2812上执行的线程的快速抢占和上下文切换。在一个实施例中,主机软件可以经由多个图形处理门铃中的一个来证明工作负荷以用于在处理阵列2812上进行调度。所述工作量然后可以由调度器微控制器内的调度器2810逻辑自动分发给处理阵列2812中。

[0259] 处理集群阵列2812可以包括多达“N”个处理集群(例如,集群2814A,集群2814B,一直到集群2814N)。处理集群阵列2812的每个集群2814A至2814N均可执行大量并发线程。调度器2810可以使用各种调度和/或工作分发算法来向处理集群阵列2812的集群2814A至2814N分配工作,这些算法可以依据每种类型的程序或计算引起的工作负荷而变化。调度可以由调度器2810动态地处置,或者可以在编译被配置成由处理集群阵列2812执行的程序

逻辑的过程中由编译器逻辑部分地协助。在一个实施例中,处理集群阵列2812的不同集群2814A至2814N可以被分配用于处理不同类型的程序或用于执行不同类型的计算。

[0260] 处理集群阵列2812可以被配置成执行各种类型的并行处理操作。在一个实施例中,处理集群阵列2812被配置成执行通用并行计算操作。例如,处理集群阵列2812可以包括用于执行处理任务包括视频和/或音频数据的过滤、执行建模操作包括物理操作、以及执行数据变换的逻辑。

[0261] 在一个实施例中,处理集群阵列2812被配置成执行并行图形处理操作。在其中并行处理器2800被配置成执行图形处理操作的实施例中,处理集群阵列2812可以包括用于支持此类图形处理操作的执行的附加逻辑,包括但不限于用于执行纹理操作的纹理采样逻辑以及镶嵌逻辑和其他顶点处理逻辑。另外,处理集群阵列2812可以被配置成执行与图形处理相关的着色器程序,诸如但不限于顶点着色器、镶嵌着色器、几何着色器和像素着色器。并行处理单元2802可以经由I/O单元2804从系统存储器传送数据以进行处理。在处理期间,可以在处理期间将经传送的数据存储到片上存储器(例如,并行处理器存储器2822),然后写回到系统存储器。

[0262] 在一个实施例中,当并行处理单元2802用于执行图形处理时,调度器2810可以被配置成将处理工作负荷分成大致相等大小的任务,以更好地使得图形处理操作能够分发到处理集群阵列2812的多个集群2814A至2814N。在一些实施例中,处理集群阵列2812的各部分可以被配置成执行不同类型的处理。例如,第一部分可以被配置成执行顶点着色和拓扑生成,第二部分可以被配置成执行镶嵌和几何着色,第三部分可以被配置成执行像素着色或其他屏幕空间操作,以产生渲染的图像进行显示。由集群2814A至2814N中的一个或多个产生的中间数据可以存储在缓冲器中以允许中间数据在集群2814A至2814N之间传输以用于进一步处理。

[0263] 在操作期间,处理集群阵列2812可以接收将经由调度器2810执行的处理任务,所述调度器从前端2808接收定义处理任务的命令。对于图形处理操作,处理任务可以包括要处理的数据例如表面(补片)数据、图元数据、顶点数据和/或像素数据以及定义如何处理数据的状态参数和命令(例如,要执行哪个程序)的索引。调度器2810可以被配置成获取对应于任务的索引或者可以从前端2808接收索引。前端2808可以被配置成确保处理集群阵列2812在由传入命令缓冲器(例如,批处理缓冲器、入栈缓冲器等)指定的工作负荷被发起之前被配置成有效状态。

[0264] 并行处理单元2802的一个或多个实例中的每一个均可与并行处理器存储器2822耦合。并行处理器存储器2822可以经由存储器交叉开关2816来访问,所述存储器交叉开关可以从处理集群阵列2812以及I/O单元2804接收存储器请求。存储器交叉开关2816可以经由存储器接口2818访问并行处理器存储器2822。存储器接口2818可以包括多个分区单元(例如,分区单元2820A,分区单元2820B,一直到分区单元2820N),这些分区单元可以各自耦合至并行处理器存储器2822的一部分(例如,存储器单元)。在一个实施方式中,分区单元2820A至2820N的数量被配置成等于存储器单元的数量,使得第一分区单元2820A具有对应的第一存储器单元2824A,第二分区单元2820B具有对应的存储器单元2824B,以及第N分区单元2820N具有对应的第N存储器单元2824N。在其他实施例中,分区单元2820A至2820N的数量可能不等于存储器装置的数量。

[0265] 在各种实施例中,存储器单元2824A至2824N可以包括各种类型的存储器装置,包括动态随机存取存储器 (DRAM) 或图形随机存取存储器,诸如同步图形随机存取存储器 (SGRAM),包括图形双倍数据速率 (GDDR) 存储器。在一个实施例中,存储器单元2824A至2824N还可以包括3D堆叠式存储器,包括但不限于高带宽存储器 (HBM)。本领域技术人员将会理解,存储器单元2824A至2824N的具体实施方式可以变化,并且可以由各种常规设计之一进行选择。诸如帧缓冲器或纹理映射的渲染目标可存储在存储器单元2824A至2824N上,从而允许分区单元2820A至2820N并行地写入每个渲染目标的各部分,以高效地使用并行处理器存储器2822的可用带宽。在一些实施例中,为了支持利用系统存储器连同原生高速缓存存储器的统一存储器设计,可以将并行处理器存储器2822的原生实例排除在外。

[0266] 在一个实施例中,处理集群阵列2812的集群2814A至2814N中的任一个可以处理将写入并行处理器存储器2822内的存储器单元2824A至 2824N中的任一个的数据。存储器交叉开关2816可以被配置成将每个集群 2814A至2814N的输出传送到任何分区单元2820A至2820N或另一个集群 2814A至2814N,这可以对所述输出执行附加处理操作。每个集群2814A至2814N均可通过存储器交叉开关2816与存储器接口2818进行通信以针对各种外部存储器装置进行读取或写入操作。在一个实施例中,存储器交叉开关2816可连接至存储器接口2818以与I/O单元2804通信,并且可连接至并行处理器存储器2822的原生实例,从而使得不同处理集群2814A至 2814N内的处理单元能够与系统存储器或对于并行处理单元2802并非原生的其他存储器进行通信。在一个实施例中,存储器交叉开关2816可以使用虚拟信道来分离集群2814A至2814N与分区单元2820A至2820N之间的业务流。

[0267] 虽然并行处理单元2802的单个实例展示为在并行处理器2800内,但并行处理单元2802的任意数量的实例也可以被包括在内。例如,可以在单个插入式卡上提供并行处理单元2802的多个实例,或者可以使多个插入式卡互连。即使不同实例具有不同的处理核数量、不同的原生并行处理器存储量和/或其他配置差异,并行处理单元2802的不同实例也可以被配置成交互操作。例如,以及在一个实施例中,并行处理单元2802的一些实例可以包括相对于其他实例的较高精度的浮点单元。并入有并行处理单元2802 或并行处理器2800的一个或多个实例的系统可以以各种配置和形状因数来实现,包括但不限于台式计算机、膝上型计算机或手持式个人计算机、服务器、工作站、游戏控制台和/或嵌入式系统。

[0268] 图28B是根据实施例的分区系统2820的框图。在一个实施例中,分区系统2820是图28A的分区单元2820A至2820N中的一个的实例。如图所示,分区单元2820包括L2高速缓存2821、帧缓冲器接口2825和ROP 2826 (光栅操作单元)。L2高速缓存2821是被配置成执行从存储器交叉开关 2816和ROP 2826所接收的加载和存储操作的读取/写入高速缓存。由L2高速缓存2821向帧缓冲器接口2825输出读取未命中和紧急回写请求以进行处理。也可以经由帧缓冲器接口2825向帧缓冲器发送更新以用于处理。在一个实施例中,帧缓冲器接口2825与并行处理器存储器中的存储器单元中的一个诸如图28的存储器单元2824A至2824N (例如,在并行处理器存储器2822内) 交互。

[0269] 在图形应用中,ROP 2826是执行诸如模板印刷、z测试、混合等光栅操作的处理单元。ROP 2826随后输出图形存储器中存储的经处理图形数据。在一些实施例中,ROP 2826包括压缩逻辑,所述压缩逻辑用于压缩写入存储器的深度或颜色数据,并对从存储器所读取的深度或颜色数据解压缩。所述压缩逻辑可以是使用多种压缩算法中的一种或多种的无损

压缩逻辑。由ROP 2826执行的压缩类型可以根据待压缩的数据的统计特性而变化。例如,在一个实施例中,在每个图块的基础上对深度和颜色数据执行 Δ 色彩压缩。

[0270] 在一些实施例中,ROP 2826被包括在每个处理集群(例如,图28的集群2814A至2814N)内而不是分区单元2820内。在这个实施例中,通过存储器交叉开关2816而不是像素片段数据来传输对像素数据的读取和写入请求。经处理图形数据可以显示在显示装置诸如图27的一个或多个显示装置2710中的一个上,由(多个)处理器2702路由以用于进一步处理,或者由图28A的并行处理器2800内的处理实体中的一个路由以用于进一步处理。

[0271] 图28C是根据实施例的并行处理单元内的处理集群2814的框图。在一个实施例中,处理集群是图28的处理集群2814A至2814N中的一个的实例。处理集群2814可以被配置成并行地执行多个线程,其中,术语“线程”是指在特定输入数据集上执行的特定程序的实例。在一些实施例中,使用单指令多数据(SIMD)指令发布技术来支持大量线程的并行执行,而无需提供多个独立的指令单元。在其他实施例中,使用单指令多线程(SIMT)技术来使用被配置成向处理集群的每一个内的一组处理引擎发出指令的公共指令单元来支持大量大致同步线程的并行执行。与所有处理引擎通常执行相同指令的SIMD执行机制不同,SIMT执行允许不同线程更容易地遵循穿过给定线程程序的发散执行路径。本领域技术人员将会理解,SIMD处理机制表示SIMT处理机制的功能子集。

[0272] 处理集群2814的操作可以经由向SIMT并行处理器分发处理任务的流水线管理器2832来控制。流水线管理器2832从图28的调度器2810接收指令并且经由图形多处理器2834和/或纹理单元2836来管理那些指令的执行。所展示的图形多处理器2834是SIMT并行处理器的示例性实例。然而,不同架构的各种类型的SIMT并行处理器可以被包括在处理集群2814内。图形多处理器2834的一个或多个实例可以被包括在处理集群2814内。图形多处理器2834可以处理数据,并且数据交叉开关2840可以用于将经处理数据分配到包括其他着色单元的多个可能目的地中的一个。流水线管理器2832可以通过为将经由数据交叉开关2840分发的数据指定目的地来促进经处理数据的分发。

[0273] 处理集群2814内的每个图形多处理器2834均可包括相同的功能执行逻辑组(例如,算术逻辑单元、加载存储单元等)。功能执行逻辑可以通过流水线方式进行配置,其中,可以在完成先前的指令之前发出新的指令。功能执行逻辑支持各种运算,包括整数和浮点算数、比较运算、布尔运算、位移位和各种代数函数的计算。在一个实施例中,可以利用相同的功能单元硬件来执行不同的操作,并且可以存在功能单元的任意组合。

[0274] 传输到处理集群2814的指令构成线程。在一组并行处理引擎上执行的一组线程是线程组。线程组在不同的输入数据上执行相同的程序。线程组内的每个线程均可被分配到图形多处理器2834内的不同处理引擎。线程组可以包括比图形多处理器2834内的处理引擎的数量更少的线程。当线程组包括比处理引擎的数量更少的线程时,处理引擎中的一个或多个处理引擎可能在处理所述线程组的周期期间空闲。线程组还可以包括比图形多处理器2834内的处理引擎的数量更多的线程。当线程组包括比图形多处理器2834内的处理引擎的数量更多的线程时,可以在连续的时钟周期上执行处理。在一个实施例中,可以在图形多处理器2834上同时执行多个线程组。

[0275] 在一个实施例中,图形多处理器2834包括用于执行加载和存储操作的内部高速缓存存储器。在一个实施例中,图形多处理器2834可以放弃内部高速缓存而是在处理集群

2814内使用高速缓存存储器(例如,L1高速缓存308)。每个图形多处理器2834还可以访问在所有处理集群2814之间共享的分区单元(例如,图28的分区单元2820A至2820N)内的L2高速缓存,并且可以用于在线程之间传送数据。图形多处理器2834还可以访问片外全局存储器,所述片外全局存储器可以包括原生并行处理器存储器和/或系统存储器中的一个或多个。并行处理单元2802外部的任何存储器可以用作全局存储器。其中处理集群2814包括图形多处理器2834的多个实例的实施例可以共享可以在L1高速缓存308中存储的公共指令和数据。

[0276] 每个处理集群2814均可包括被配置成将虚拟地址映射到物理地址的MMU 2845(存储器管理单元)。在其他实施例中,MMU 2845中的一个或多个实例可以驻留在图28的存储器接口2818内。MMU 2845包括用于将虚拟地址映射到图块的物理地址(更多地提及分块)和可选地高速缓存行索引的一组页表条目(PTE)。MMU 2845可以包括可以驻留在图形多处理器2834或L1高速缓存或处理集群2814内的地址转换后备缓冲器(TLB)或高速缓存。对物理地址进行处理以分发表面数据访问局部性以实现分区单元之间的高效请求交错。可以使用高速缓存行索引来确定对高速缓存行的请求是命中还是未命中。

[0277] 在图形和计算应用中,处理集群2814可以被配置成使得每个图形多处理器2834均耦合至纹理单元2836以执行纹理映射操作,例如确定纹理样本位置、读取纹理数据和过滤纹理数据。纹理数据是从内部纹理L1高速缓存(未示出)或者在一些实施例中从图形多处理器2834内的L1高速缓存读取,并且是根据需要从L2高速缓存、原生并行处理器存储器或系统存储器获取。每个图形多处理器2834向数据交叉开关2840输出经处理任务以向另一个处理集群2814提供经处理任务以用于进一步处理或经由存储器交叉开关2816在L2高速缓存、原生并行处理器存储器或系统存储器中存储经处理任务。preROP 2842(预先光栅操作单元)被配置成从图形多处理器2834接收数据,将数据引导到ROP单元,这些ROP单元可以如本文所述的那样用分区单元(例如,图28的分区单元2820A至2820N)定位。preROP 2842单元可以对颜色混合进行优化、组织像素颜色数据并执行地址转换。

[0278] 应当理解,本文所述的核架构是例示性的并且变型和修改是可能的。例如图形多处理器2834、纹理单元2836、preROP 2842等任意数量的处理单元可以被包括在处理集群2814内。此外,虽然仅示出一个处理集群2814,但如本文所述的并行处理单元可以包括处理集群2814的任意数量的实例。在一个实施例中,每个处理集群2814均可被配置成使用单独的和不同的处理单元、L1高速缓存等来独立于其他处理集群2814而操作。

[0279] 图28D示出了根据一个实施例的图形多处理器2834。在这样的实施例中,图形多处理器2834与处理集群2814的流水线管理器2832耦合。图形多处理器2834具有执行流水线,所述执行流水线包括但不限于指令高速缓存2852、指令单元2854、地址映射单元2856、寄存器堆2858、一个或多个通用图形处理单元(GPGPU)核2862和一个或多个加载/存储单元2866。GPGPU核2862和加载/存储单元2866经由存储器和高速缓存互连2868与高速缓存存储器2872和共享存储器2870耦合。

[0280] 在一个实施例中,指令高速缓存2852从流水线管理器2832接收要执行的指令流。将这些指令高速缓存在指令高速缓存2852中并分派用于由指令单元2854执行。指令单元2854可以将指令作为线程组(例如,经线)进行分派,线程组的每个线程均被分配到GPGPU核2862内的不同执行单元。指令可以通过在统一地址空间内指定地址来访问原生、共享或

全局地址空间中的任一个。地址映射单元2856可以用于将统一地址空间中的地址转换为可由加载/存储单元2866访问的不同存储器地址。

[0281] 寄存器堆2858为图形多处理器2834的功能单元提供一组寄存器。寄存器堆2858为连接至图形多处理器2834的功能单元(例如,GPGPU核 2862、加载/存储单元2866)的数据路径的操作数提供临时存储。在一个实施例中,寄存器堆2858在功能单元中的每一个之间进行划分,使得每个功能单元均被分配寄存器文件2858的专用部分。在一个实施例中,寄存器堆 2858在正由图形多处理器2834执行的不同管线之间进行划分。

[0282] GPGPU核2862可以各自包括用于执行图形多处理器2834的指令的浮点单元(FPU)和/或整数算数逻辑单元(ALU)。根据实施例,GPGPU 核2862的架构可以类似,也可以不同。例如,以及在一个实施例中,GPGPU 核2862的第一部分包括单精度FPU和整数ALU,而GPGPU核的第二部分包括双精度FPU。在一个实施例中,FPU可以实现IEEE 754-2008浮点算数标准或启用可变精度浮点算数。另外,图形多处理器2834还可以包括用于执行诸如复制矩形或像素混合操作的特定功能的一个或多个固定功能或特殊功能单元。在一个实施例中,GPGPU核中的一个或多个还可以包含固定或特殊功能逻辑。

[0283] 在一个实施例中,GPGPU核2862包括能够对多组数据执行单个指令的SIMD逻辑。在一个实施例中,GPGPU核2862可以物理地执行SIMD4、SIMD8和SIMD16指令,并且逻辑地执行SIMD1、SIMD2和SIMD32指令。用于GPGPU核的SIMD指令可以在编译时由着色器编译器生成,或者在执行时为单个程序多数据(SPMD)或SIMT架构编写和编译的程序时自动生成。为SIMT执行模型配置的程序的多个线程可以经由单个SIMD指令执行。例如并且在一个实施例中,执行相同或相似操作的八个SIMT线程可以经由单个SIMD8逻辑单元并行执行。

[0284] 存储器和高速缓存互连2868是互连网络,所述互连网络将图形多处理器2834的功能单元中的每一个连接至寄存器堆2858和共享存储器2870。在一个实施例中,存储器和高速缓存互连2868是允许加载/存储单元2866 在共享存储器2870与寄存器堆2858之间实现加载和存储操作的交叉开关互连。寄存器堆2858可以以与GPGPU核2862相同的频率操作,因此 GPGPU核2862与寄存器堆2858之间的数据传送具有非常短的等待时间。共享存储器2870可以用于实现在图形多处理器2834内的功能单元上执行的线程之间的通信。例如,高速缓存存储器2872可以用作数据高速缓存,以高速缓存在功能单元与纹理单元2836之间通信的纹理数据。共享存储器 2870也可以用作经高速缓存的受管理的程序。除了在高速缓存存储器2872 内存储的经自动高速缓存的数据之外,在GPGPU核2862上执行的线程还可以在共享存储器内以编程方式存储数据。

[0285] 图29A至图29B展示了根据实施例的附加图形多处理器。所展示的图形多处理器2925、2950是图28C的图形多处理器2834的变体。所展示的图形多处理器2925、2950可以被配置成能够同时执行大量执行线程的流式多处理器(SM)。

[0286] 图29A展示了根据附加实施例的图形多处理器2925。图形多处理器 2925包括相对于图28D的图形多处理器2834的执行资源单元的多个附加实例。例如,图形多处理器2925可以包括指令单元2932A至2932B、寄存器堆2934A至2934B和(多个)纹理单元2944A至2944B的多个实例。图形多处理器2925还包括多组图形或计算执行单元(例如,GPGPU核2936A 至2936B、GPGPU核2937A至2937B、GPGPU核2938A至2938B)和多组加载/存储单元2940A至2940B。在一个实施例中,执行资源单元具有公共指令高速缓存2930、纹理和/或数据高速缓

存存储器2942和共享存储器 2946。

[0287] 各种部件可以经由互连结构2927进行通信。在一个实施例中,互连结构2927包括一个或多个交叉开关,所述一个或多个交叉开关用于实现图形多处理器2925的各种部件之间的通信。在一个实施例中,互连结构2927 是独立的高速网络结构层,图形多处理器2925的每个部件都堆叠在所述分离的高速网络结构层上。图形多处理器2925的部件经由互连结构2927与远程部件通信。例如,GPGPU核2936A至2936B、2937A至2937B和2978A 至2938B均可以经由互连结构2927与共享存储器2946通信。互连结构2927 可以对图形多处理器2925内的通信进行仲裁以确保部件之间的公平带宽分配。

[0288] 图29B展示了根据附加实施例的图形多处理器2950。如图28D和图 29A所示,图形处理器包括多组执行资源2956A至2956D,其中,每组执行资源均包括多个指令单元、寄存器堆、GPGPU核和加载存储单元。执行资源2956A至2956D可以与(多个)纹理单元2960A至2960D一起工作以进行纹理操作,同时共享指令高速缓存2954和共享存储器2962。在一个实施例中,执行资源2956A至2956D可以共享指令高速缓存2954和共享存储器2962以及纹理和/或数据高速缓存存储器2958A至2958B的多个实例。各种部件可以经由与图29A的互连结构2927类似的互连结构2952进行通信。

[0289] 本领域的技术人员将理解,图27、图28A至图28D和图29A至图29B中所述的架构是描述性的,而不限本发明的实施例的范围。因此,本文所述的技术可以在任何适当配置的处理单元上实现,包括但不限于:一个或多个移动应用处理器;一个或多个台式计算机或服务器中央处理单元(CPU),包括多核CPU;一个或多个并行处理单元诸如图28的并行处理单元2802;以及一个或多个图形处理器或专用处理单元,而不脱离本文所述的实施例的范围。

[0290] 在一些实施例中,如本文所述的并行处理器或GPGPU通信地耦合至主机/处理器核以加快图形操作、机器学习操作、模式分析操作和各种通用GPU (GPGPU) 功能。GPU可以通过总线或其他互连(例如,诸如PCIe 或NVLink的高速互连) 通信地耦合至主机处理器/核。在其他实施例中, GPU可以与核一样集成在相同的封装或芯片上并且通过内部处理器总线/互连(即,在封装或芯片内部) 通信地耦合至所述核。不管GPU连接的方式如何,处理器核都可以以工作描述符中包含的命令/指令序列的形式向 GPU分配工作。然后,GPU使用专用电路系统/逻辑来高效地处理这些命令 /指令。

[0291] 用于GPU到主机处理器互连的技术

[0292] 图30A展示了其中多个GPU 3010至3013通过高速链路3040至3043 (例如,总线、点对点互连等) 通信地耦合至多个多核处理器3005至3006 的示例性架构。在一个实施例中,高速链路3040至3043支持4Gb/s、30Gb/s、80GB/s或更高的通信吞吐量,这取决于实施方式。可以使用各种互连协议,包括但不限于PCIe 4.0或5.0和NVLink 2.0。然而,本发明的基本原理不限于任何特定的通信协议或吞吐量。

[0293] 此外,在一个实施例中,GPU 3010至3013中的两个或更多个通过高速链路3044至3045互连,这可以使用与用于高速链路3040至3043的协议/链路相同或不同的协议/链路来实现。类似地,多核处理器3005至3006 中的两个或更多个可以通过高速链路3033连接,所述高速链路可以是以20 Gb/s、30Gb/s、120GB/s或更高的速度运行的对称多处理器(SMP) 总线。可替代地,图30A中所示的各种系统部件之间的所有通信均可使用相同的协议/链路(例如,通过公共互连结构) 来完成。然而,如所提及的,本发明的基本原理不限于任何特定类型

的互连技术。

[0294] 在一个实施例中,每个多核处理器3005至3006分别经由存储器互连3030至3031通信地耦合至处理器存储器3001至3002,并且每个GPU 3010至3013分别通过GPU存储器互连3050至3053通信地耦合至GPU存储器3020至3023。存储器互连3030至3031和3050至3053可以利用相同或不同的存储器访问技术。以示例而不是限制的方式,处理器存储器3001至3002和GPU存储器3020至3023可以是诸如动态随机存取存储器 (DRAM) (包括堆叠式DRAM)、图形DDR SDRAM (GDDR) (例如, GDDR5、GDDR6) 或高带宽存储器 (HBM) 的易失性存储器,和/或可以是诸如3D XPoint或Nano-Ram的非易失性存储器。在一个实施例中,存储器的某个部分可以是易失性存储器,而另一个部分可以是非易失性存储器 (例如,使用两级存储器 (2LM) 层级结构)。

[0295] 如下所述,尽管各种处理器3005至3006和GPU 3010至3013均可分别物理地耦合至特定存储器3001至3002、3020至3023,但可以实现统一存储器架构,其中,相同的虚拟系统地址空间 (也称为“有效地址”空间) 分发在所有各种物理存储器中。例如,处理器存储器3001至3002可以各自包括64GB的系统存储器地址空间,并且GPU存储器3020至3023 可以各自包括32Gb的系统存储器地址空间 (导致在所述示例中产生总共 256GB的可寻址存储空间)。

[0296] 图30B展示了根据一个实施例的多核处理器3007与图形加速模块 3046之间的互连的附加细节。图形加速模块3046可以包括集成在经由高速链路3040耦合至处理器3007的线卡上的一个或多个GPU芯片。可替代地,图形加速模块3046可以与处理器3007一样集成在相同的封装或芯片上。

[0297] 所展示的处理器3007包括多个核3060A至3060D,这些核各自具有转换后备缓冲器3061A至3061D和一个或多个高速缓存3062A至3062D。这些核可以包括用于执行指令和处理未展示的数据以避免模糊本发明的基本原理的各种其他部件 (例如,指令获取单元、分支预测单元、解码器、执行单元、重排序缓冲器等)。高速缓存3062A至3062D可以包括1级 (L1) 和2级 (L2) 高速缓存。此外,一个或多个共享高速缓存3026可以被包括在高速缓存层级结构中并由各组核3060A至3060D共享。例如,处理器3007 的一个实施例包括24个核,这些核各自具有自己的L1高速缓存、12个共享L2高速缓存和12个共享L3高速缓存。在这个实施例中,L2高速缓存和L3高速缓存中的一个由两个相邻核共享。处理器3007和图形加速器集成模块3046与系统存储器3041连接,所述系统存储器可以包括处理器存储器3001至3002。

[0298] 通过一致性总线3064经由核间通信来为各种高速缓存3062A至 3062D、3056和系统存储器3041中存储的数据和指令保持一致性。例如,每个高速缓存均可具有与其关联的高速缓存一致性逻辑/电路系统,以响应于所检测的对特定高速缓存行的读取或写入而通过一致性总线3064进行通信。在一个实施方式中,通过一致性总线3064实施方式高速缓存窥探协议以窥探高速缓存访问。本领域技术人员可以很好理解高速缓存窥探/一致性技术,以避免模糊本发明的基本原理,这里不再详细描述。

[0299] 在一个实施例中,代理电路3025将图形加速模块3046通信地耦合至一致性总线3064,从而允许图形加速模块3046作为核的对等体参与缓存一致性协议。具体地讲,接口3035通过高速链路3040 (例如,PCIe总线、NVLink等) 向代理电路3025提供连接性,并且接口3037将图形加速模块 3046连接至链路3040。

[0300] 在一个实施方式中,加速器集成电路3036代表图形加速模块3046 的多个图形处理引擎3031、3032、N提供高速缓存管理、存储器访问、上下文管理和中断管理服务。图形处理引擎3031、3032、N可以各自包括单独的图形处理单元(GPU)。可替代地,图形处理引擎3031、3032、N可以在GPU内包括不同类型的图形处理引擎诸如图形执行单元、媒体处理引擎(例如,视频编码器/解码器)、采样器和块图像传输引擎。换句话讲,图形加速模块可以是具有多个图形处理引擎3031至3032、N的GPU,或图形处理引擎3031至3032、N可以是集成在公共封装、线卡或芯片上的单独GPU。

[0301] 在一个实施例中,加速器集成电路3036包括存储器管理单元(MMU) 3039,所述存储器管理单元用于执行诸如虚拟到物理存储器转换(也称为有效到实际存储器转换)的各种存储器管理功能和用于访问系统存储器 3041的存储器访问协议。MMU 3039还可以包括用于高速缓存虚拟/有效到物理/实际地址转换的转换后备缓冲器(TLB)(未示出)。在一个实施方式中,高速缓存3038存储用于由图形处理引擎3031至3032、N高效访问的命令和数据。在一个实施例中,使高速缓存3038和图形存储器3033至 3034、N中存储的数据与核高速缓存3062A至3062D、3056和系统存储器 3011保持一致。如所提及的,这可以经由代理电路3025来完成,所述代理电路代表高速缓存3038和存储器3033至3034、N参与高速缓存一致性机制(例如,向高速缓存3038发送与处理器高速缓存3062A至3062D、3056 上的高速缓存行的修改/访问相关的更新并从高速缓存3038接收更新)。

[0302] 一组寄存器3045存储由图形处理引擎3031至3032、N执行的线程的上下文数据,并且上下文管理电路3048管理线程上下文。例如,上下文管理电路3048可以执行保存和恢复操作以在上下文切换期间保存和恢复各种线程的上下文(例如,其中,第一线程被保存并且第二线程被存储,使得第二线程可以由图形处理引擎执行)。例如,在上下文切换时,上下文管理电路3048可以将当前寄存器值存储到存储器中的指定区域(例如,由上下文指针标识)。所述上下文管理电路可以在返回上下文时恢复寄存器值。在一个实施例中,中断管理电路3047接收并处理从系统装置所接收的中断。

[0303] 在一个实施方式中,由MMU 3039将来自图形处理引擎3031的虚拟/有效地址转换为系统存储器3011中的实际/物理地址。加速器集成电路 3036的一个实施例支持多个(例如,4个、8个、16个)图形加速器模块 3046和/或其他加速器装置。图形加速器模块3046可以专用于在处理器3007 上执行的单个应用,或者可以在多个应用之间共享。在一个实施例中,呈现虚拟图形执行环境,其中,图形处理引擎3031至3032、N的资源与多个应用或虚拟机(VM)共享。资源可以被细分为基于与VM和/或应用相关联的处理要求和优先级而分配给不同的VM和/或应用的“分片”。

[0304] 因此,加速器集成电路充当图形加速模块3046的系统的桥,并提供地址转换和系统存储器高速缓存服务。此外,加速器集成电路3036可以为主机处理器提供虚拟化设施以管理图形处理引擎、中断和存储器管理的虚拟化。

[0305] 由于图形处理引擎3031至3032、N的硬件资源显式地映射到由主机处理器3007看到的实际地址空间,因此任何主处理器都可以使用有效地址值来为这些资源直接寻址。在一个实施例中,加速器集成电路3036的一个功能是图形处理引擎3031至3032、N的物理分离,使得所述图形处理引擎作为独立单元出现在系统上。

[0306] 如所提及的,在所展示的实施例中,一个或多个图形存储器3033至 3034、M分别耦

合至图形处理引擎3031至3032、N中的每一个。图形存储器3033至3034、M存储由图形处理引擎3031至3032、N中的每一者处理的指令和数据。图形存储器3033至3034、M可以是易失性存储器,诸如DRAM(包括堆叠的DRAM)、GDDR存储器(例如,GDDR5、GDDR6)或HBM,和/或可以是诸如3D XPoint或Nano-Ram的非易失性存储器。

[0307] 在一个实施例中,为了减少链路3040上的数据业务量,使用偏置技术来确保图形存储器3033至3034、M中存储的数据是图形处理引擎3031至3032、N最频繁使用,并且核3060A至3060D优选不使用(至少不频繁使用)的数据。类似地,偏置机制试图使核(并且优选地不是图形处理引擎3031至3032、N)所需的数据保持在核和系统存储器3011的高速缓存3062A至3062D、3056内。

[0308] 图30C展示了其中加速器集成电路3036集成在处理器3007内的另一个实施例。在这个实施例中,图形处理引擎3031至3032、N经由接口3037和接口3035来直接通过高速链路3040与加速器集成电路3036进行通信(这也可以利用任何形式的总线或接口协议)。加速器集成电路3036可以执行与关于图30B所描述的操作相同的操作,但考虑到其与一致性总线3062和高速缓存3062A至3062D、3026紧密接近,可能以较高的吞吐量进行操作。

[0309] 一个实施例支持不同的编程模型,包括专用进程编程模型(不具有图形加速模块虚拟化)和共享编程模型(具有虚拟化)。共享编程模型可以包括由加速器集成电路3036控制的编程模型和由图形加速模块3046控制的编程模型。

[0310] 在专用进程模型的一个实施例中,图形处理引擎3031至3032、N在单个操作系统下专用于单个应用或进程。单个应用可以将其他应用请求集中到图形引擎3031至3032、N,从而在VM/分区内提供虚拟化。

[0311] 在专用进程编程模型中,图形处理引擎3031至3032、N可以由多个VM/应用分区共享。共享模型需要系统管理程序,所述系统管理程序用于将图形处理引擎3031至3032、N虚拟化,以允许由每个操作系统进行访问。对于没有管理程序的分分区系统,图形处理引擎3031至3032、N由操作系统拥有。在这两种情况下,操作系统都可以将图形处理引擎3031至3032、N虚拟化以提供对每个进程或应用的访问。

[0312] 对于共享编程模型,图形加速模块3046或单独图形处理引擎3031至3032、N使用进程句柄来选择进程要素。在一个实施例中,进程要素被存储在系统存储器3011中并且可使用本文所述的有效地址到实际地址转换技术来寻址。所述进程句柄可以是在向图形处理引擎3031至3032、N注册其上下文(即,调用系统软件以向进程要素链接表添加进程要素)时向主机进程提供特定于实施方式的值。所述进程句柄的低16位可以是进程要素链接表内的进程要素的偏移量。

[0313] 图30D展示了示例性加速器集成分片3090。如本文所用,“分片”包括加速器集成电路3036的处理资源的指定部分。系统存储器3011内的应用有效地址空间3082存储进程要素3083。在一个实施例中,进程要素3083响应于来自在处理器3007上执行的应用3080的GPU调用3081而被存储。进程要素3083包含相应应用3080的处理状态。进程要素3083中包含的工作描述符(WD)3084可以是应用所请求的单个作业,或者可以包含指向作业队列的指针。在后一种情况下,WD 3084是指向应用地址空间3082中的作业请求队列的指针。

[0314] 图形加速模块3046和/或单独图形处理引擎3031至3032、N可以由系统中的全部或部分进程共享。本发明的实施例包括用于建立处理状态并向图形加速模块3046发送WD

3084以在虚拟环境中开始作业的基础结构。

[0315] 在一个实施方式中,专用进程编程模型是特定于实施方式的。在这个模型中,单个进程拥有图形加速模块3046或单独的图形处理引擎3031。由于图形加速模块3046由单个进程拥有,因此管理程序初始化加速器集成电路3036以获得所属分区,并且操作系统在图形加速模块3046被分配时初始化加速器集成电路3036以获取所属进程。

[0316] 在操作中,加速器集成分片3090中的WD获取单元3091获取下一个WD 3084,所述WD包括将由图形加速模块3046的图形处理引擎之一进行的工作的指示。如图所示,来自WD 3084的数据可以被存储在寄存器3045 中并由MMU 3039、中断管理电路3047和/或上下文管理电路3046使用。例如,MMU 3039的一个实施例包括用于访问OS虚拟地址空间3085内的段/页表3086的段/页查询电路系统。中断管理电路3047可以处理从图形加速模块3046所接收的中断事件3092。当执行图形操作时,由图形处理引擎 3031至3032、N生成的有效地址3093由MMU 3039转换为实际地址。

[0317] 在一个实施例中,针对每个图形处理引擎3031至3032、N和/或图形加速模块3046复制同一组寄存器3045,并且可以由管理程序或操作系统初始化这一组寄存器。这些复制的寄存器中的每一个均可被包括在加速器集成分片3090中。表1中示出了可以由管理程序初始化的示例性寄存器。

[0318] 表1-管理程序初始化寄存器

[0319]

1	分片控制寄存器
2	实际地址 (RA) 调度进程区域指针
3	授权掩码覆盖寄存器
4	中断向量表条目偏移
5	中断向量表条目极限
6	状态寄存器
7	逻辑分区ID
8	实际地址 (RA) 管理程序加速器利用记录指针
9	存储描述寄存器

[0320] 表2中示出了可以由操作系统初始化的示例性寄存器。

[0321] 表2-操作系统初始化寄存器

[0322]

1	进程和线程标识
2	有效地址 (EA) 上下文保存/恢复指针
3	虚拟地址 (VA) 加速器利用记录指针
4	虚拟地址 (VA) 存储段表指针
5	授权掩码
6	工作描述符

[0323] 在一个实施例中,每个WD 3084特定于特定的图形加速模块3046 和/或图形处理引擎3031至3032、N。所述WD包含图形处理引擎3031至 3032、N完成其工作所需的所有信息,或者所述WD可以是指向应用已经建立了要完成的工作命令队列的存储器位置的指针。

[0324] 图30E展示了共享模型的一个实施例的附加细节。所述实施例包括其中存储了进程要素列表3099的管理程序实际地址空间3098。管理程序实际地址空间3098可经由管理程序3096来访问,所述管理程序将操作系统 3095的图形加速模块引擎虚拟化。

[0325] 共享编程模型允许来自系统中的全部或部分分区的全部或部分进程使用图形加速模块3046。有两种编程模型,其中,图形加速模块3046由多个进程和分区共享:时间分片共享和图形直接共享。

[0326] 在这个模型中,系统管理程序3096拥有图形加速模块3046并且使其功能对所有操作系统3095可用。为了使图形加速模块3046支持系统管理程序3096的虚拟化,图形加速模块3046可以遵循以下要求:

[0327] 1) 应用的作业请求必须是自主的(即,不需要维持作业之间的状态),或者图形加速模块3046必须提供上下文保存和恢复机制。2) 图形加速模块3046保证在指定时间量内完成应用作业请求,包括任何转换错误,或者图形加速模块3046提供抢占作业处理的能力。3) 当以直接共享编程模型操作时,必须保证进程中图形加速模块3046的公平性。

[0328] 在一个实施例中,对于共享模型,需要应用3080来利用图形加速模块3046类型、工作描述符(WD)、授权掩码寄存器(AMR)值以及上下文保存/恢复区域指针(CSRP)来进行操作系统3095系统调用。图形加速模块3046类型描述了系统调用的目标加速功能。图形加速模块3046类型可以是特定于系统的值。所述WD专门针对图形加速模块3046来格式化,并且可以呈以下形式:图形加速模块3046命令;指向用户定义结构的有效地址指针;指向命令队列的有效地址指针;或用于描述将由图形加速模块 3046进行的工作的任何其他数据结构。在一个实施例中,AMR值是用于当前进程的AMR状态。传递给操作系统的值与设置AMR的应用类似。如果加速器集成电路3036和图形加速模块3046的实施方式不支持用户授权掩码覆盖寄存器(UAMOR),则操作系统可以在管理程序调用中传递AMR 之前向AMR值应用当前UAMOR值。在将AMR置于进程要素3083之前,管理程序3096可以可选地应用当前授权掩码覆盖寄存器(AMOR)值。在一个实施例中,CSRP是包含应用地址空间3082中供图形加速模块3046保存和恢复上下文状态的区域的有效地址的寄存器3045中的一个。如果不需要在作业之间保存状态或当作业被抢占时,这个指针是可选的。所述上下文保存/恢复区域可以是插接的系统存储器。

[0329] 在接收到系统调用时,操作系统3095可以验证应用3080已注册并被授权使用图形加速模块3046。操作系统3095然后利用表3中所示的信息来调用管理程序3096。

[0330] 表3--操作系统对管理程序的调用参数

[0331]

1	工作描述符(WD)
2	授权掩码寄存器(AMR)值(可能已掩蔽)
3	有效地址(EA)上下文保存/恢复区域指针(CSRP)
4	进程ID(PID)和可选的线程ID(TID)
5	虚拟地址(VA)加速器利用记录指针(AURP)
6	存储段表指针(SSTP)的虚拟地址
7	逻辑中断服务号(LISN)

[0332] 在接收到管理程序调用时,管理程序3096可以验证操作系统3095 已注册并被授

权使用图形加速模块3046。管理程序3096然后将进程要素 3083针对对应图形加速模块3046类型放入进程要素链接表中。进程要素可以包含表4中所示的信息。

[0333] 表4-进程要素信息

[0334]

1	工作描述符 (WD)
2	授权掩码寄存器 (AMR) 值 (可能已掩蔽)
3	有效地址 (EA) 上下文保存/恢复区域指针 (CSRP)
4	进程ID (PID) 和可选的线程ID (TID)
5	虚拟地址 (VA) 加速器利用记录指针 (AURP)
6	存储段表指针 (SSTP) 的虚拟地址
7	逻辑中断服务号 (LISN)
8	中断向量表, 从管理程序调用参数导出
9	状态寄存器 (SR) 值
10	逻辑分区ID (LPID)
11	实际地址 (RA) 管理程序加速器利用记录指针
12	存储描述符寄存器 (SDR)

[0335] 在一个实施例中, 管理程序将寄存器3045的多个加速器集成分片 3090初始化。

[0336] 如图30F所展示, 本发明的一个实施例采用可经由用于访问物理处理器存储器3001至3002和GPU存储器3020至3023的公共虚拟存储器地址空间来寻址的统一存储器。在这个实施方式中, 在GPU 3010至3013上执行的操作利用相同的虚拟/有效存储器地址空间来访问处理器存储器 3001至3002, 反之亦然, 由此简化可编程性。在一个实施例中, 将虚拟/有效地址空间的第一部分分配给处理器存储器3001, 将第二部分分配给第二处理器存储器3002, 将第三部分分配给GPU存储器3020, 以此类推。整个虚拟/有效存储器空间 (有时称为有效地址空间) 由此被分发在处理器存储器3001至3002和GPU存储器3020至3023中的每一个上, 从而允许任何处理器或GPU访问具有映射到所述存储器的虚拟地址的任何物理存储器。

[0337] 在一个实施例中, MMU 3039A至3039E中的一个或多个内的偏置/一致性管理电路系统3094A至3094E确保了主机处理器 (例如, 3005) 与 GPU 3010至3013的高速缓存之间的高速缓存一致性, 以及指示其中应当存储某些类型的数据的物理存储器的偏置技术。尽管在图30F中展示了偏置/一致性管理电路系统3094A至3094E的多个实例, 但偏置/一致性电路系统也可以在一个或多个主机处理器3005的MMU内和/或在加速器集成电路3036内实现。

[0338] 一个实施例允许将GPU附接的存储器3020至3023映射为系统存储器的一部分, 并使用共享虚拟存储器 (SVM) 技术进行访问, 但不会遭受与全系统高速缓存一致性相关的典型性能缺陷。GPU附接的存储器3020至3023作为系统存储器来访问的能力不会造成繁重的高速缓存一致性开销, 这为GPU卸载提供了有利的操作环境。这种安排允许主机处理器3005软件设置操作数并访问计算结果, 而不具有传统I/O DMA数据拷贝的开销。这些传统拷贝涉及驱动程序调用、中断和存储器映射I/O (MMIO) 访问, 这些访问相对于简单内存访问来说都是低效的。同时, 在不具有高速缓存一致性开销的情况下访问GPU附接存储器3020至3023的能力对于卸载计算的执行时间可能是关键的。例如, 在具有大量流式写入存储器业务的情

况下,高速缓存一致性开销可以显著降低由GPU 3010至3013看到的有效写入带宽。操作数设置的效率、结果访问的效率以及GPU计算的效率都在确定GPU卸载的有效性方面发挥着重要作用。

[0339] 在一个实施方式中,GPU偏置与主机处理器偏置之间的选择由偏置跟踪器数据结构驱动。例如,可以使用偏置表,所述偏置表可以是每个GPU 附接存储器页包括1或2个位的页粒度结构(即,以存储器页的粒度来控制)。偏置表可以在一个或多个GPU附接存储器3020至3023的被盗存储器范围内实现,在GPU 3010至3013中具有或不具有偏置高速缓存(例如,以高速缓存频繁/最近使用的偏置表的条目)。可替代地,整个偏置表均可保持在GPU内。

[0340] 在一个实施方式中,在实际访问GPU存储器之前访问与对GPU附接存储器3020至3023的每次访问相关联的偏置表条目,从而使得以下操作。首先,将来自GPU 3010至3013的在GPU偏置中发现其页的原生请求直接转发到对应的GPU存储器3020至3023。将来自GPU的在主机偏置中发现其页的原生请求转发给处理器3005(例如,如上所述通过高速链路)。在一个实施例中,来自处理器3005的在主机处理器偏置中发现所请求的页的请求完成了像正常存储器读取那样的请求。可替代地,可以将针对GPU 偏置页的请求转发给GPU 3010至3013。如果GPU当前未使用所述页,则 GPU可以将所述页转换为主机处理器偏置。

[0341] 页的偏置状态可以通过基于软件的机制、基于硬件辅助软件的机制,或者对于一组有限的情况,基于仅硬件的机制来改变。

[0342] 一种用于改变偏置状态的机制采用API调用(例如OpenCL),所述API调用继而调用GPU的装置驱动程序,所述驱动程序继而向GPU发送消息(或将命令描述符入队),从而引导所述GPU改变偏置状态,并且对于某些转换,在主机中执行高速缓存转储清除操作。所述高速缓存转储清除操作是从主机处理器3005偏置到GPU偏置的转换所必需的,而对于相反转换则不是必需的。

[0343] 在一个实施例中,通过暂时呈现主机处理器3005不可高速缓存的 GPU偏置页来保持缓存一致性。为了访问这些页,处理器3005可以请求来自GPU 3010的访问,GPU可以依据实施方式立即授权访问也可以不授权访问。因此,为了减少处理器3005与GPU 3010之间的通信,有利的是确保GPU偏置页是GPU所需但不是主机处理器3005所需的页,反之亦然。

[0344] 图形处理流水线

[0345] 图31展示了根据实施例的图形处理流水线3100。在一个实施例中,图形处理器可以实现所展示的图形处理流水线3100。所述图形处理器可以被包括在如本文所述的并行处理子系统诸如图28的并行处理器2800内,在一个实施例中,所述并行处理器是图27的(多个)并行处理器2712的变体。如本文所述,各种并行处理系统可以经由并行处理单元(例如,图 28的并行处理单元2802)的一个或多个实例来实现图形处理流水线3100。例如,着色器单元(例如,图29的图形多处理器2834)可以被配置成执行顶点处理单元3104、镶嵌控制处理单元3108、镶嵌评估处理单元3112、几何处理单元3116和片段/像素处理单元3124中的一个或多个的功能。数据汇编器3102,图元汇编器3106、3114、3118,镶嵌单元3110,光栅化器3122和光栅操作单元3126的功能还可以由处理集群(例如,图3的处理集群214)内的其他处理引擎和对应的分区单元(例如,图2的分区单元220A 至220N)执行。图形处理流水线3100还可以使用一个或多个功能的专用处理单元来实现。在一个实施例中,图形处理流水线3100的一个或多个部分可以由通用处理器(例如,CPU)内的并行处理逻辑执行。在一个实施

例中,图形处理流水线3100的一个或多个部分可经由存储器接口3128访问片上存储器(例如,如图28所示的并行处理器存储器2822),所述存储器接口可以是图28的存储器接口2818的实例。

[0346] 在一个实施例中,数据汇编器3102是收集表面和图元的顶点数据的处理单元。数据汇编器3102然后向顶点处理单元3104输出包括顶点属性的顶点数据。顶点处理单元3104是可编程执行单元,所述可编程执行单元执行顶点着色器程序,从而照明和变换如顶点着色器程序所指定的顶点数据。顶点处理单元3104读取高速缓存、原生或系统存储器中存储的用于处理顶点数据的数据,并且可以编程为将顶点数据从基于对象的坐标表示转换为世界空间坐标空间或归一化装置坐标空间。

[0347] 图元汇编器3106的第一实例从顶点处理单元50接收顶点属性。图元汇编器3106根据需要读取所存储的顶点属性并构造图形图元以由镶嵌控制处理单元3108进行处理。图形图元包括如各种图形处理应用编程接口(API)所支持的三角形、线段、点、补片等等。

[0348] 镶嵌控制处理单元3108将输入顶点视为几何补片的控制点。这些控制点来自补片的输入表示(例如,补片的基础)变换为适用于由镶嵌评估处理单元3112进行表面评估的表示。镶嵌控制处理单元3108还可以计算几何补片的边缘的镶嵌因子。镶嵌因子适用于单个边缘,并量化与边缘相关的视点相关细节水平。镶嵌单元3110被配置成接收补片的边缘的镶嵌因子并将补片细分为多个几何图元诸如线、三角形或四边形图元,所述多个几何图元被传输到镶嵌评估处理单元3112。镶嵌评估处理单元3112对细分的补片的参数化坐标进行操作以生成与几何图元相关的每个顶点的表面表示和顶点属性。

[0349] 图元汇编器3114的第二实例从镶嵌评估处理单元3112接收顶点属性,根据需要读取所存储的顶点属性,并构造图形图元以由几何处理单元3116处理。几何处理单元3116是编程执行单元,所述可编程执行单元执行几何着色器程序,以变换如几何着色器程序所指定的从图元汇编器3114所接收的图形图元。在一个实施例中,几何处理单元3116被编程为将图形图元细分为一个或多个新的图形图元并且计算用于将新的图形图元光栅化的参数。

[0350] 在一些实施例中,几何处理单元3116可以添加或删除几何流中的元素。几何处理单元3116向图元汇编器3118输出指定新图形图元的参数和顶点。图元汇编器3118从几何处理单元3116接收参数和顶点,并构建图形图元以由视口缩放、剔除和裁剪单元3120进行处理。几何处理单元3116读取并行处理器存储器或系统存储器中存储的数据以用于处理几何数据。视口缩放、剔除和裁剪单元3120执行裁剪、剔除和视口缩放,并向光栅化器3122输出经处理的图形图元。

[0351] 光栅化器3122可以执行深度剔除和其他基于深度的优化。光栅化器3122还对新图形图元执行扫描转换以生成段并向段/像素处理单元3124输出这些段和关联的覆盖数据。片段/像素处理单元3124是被配置成执行片段着色器程序或像素着色器程序的可编程执行单元。片段/像素处理单元3124变换从光栅化器3122所接收的片段或像素,如片段或像素着色器程序所指定的。例如,片段/像素处理单元3124可以被编程为执行包括但不限于纹理映射、着色、混合、纹理校正和透视校正的操作,以产生输出到光栅操作单元3126的着色片段或像素。片段/像素处理单元3124可以读取并行处理器存储器或系统存储器中存储的数据,以在处理片段数据时使用。片段或像素着色器程序可以被配置成依据针对处理单

元进行配置的采样速率以样本、像素、图块或其他粒度着色。

[0352] 光栅操作单元3126是执行包括但不限于模板、z测试、混合等光栅操作的处理单元,并且将像素数据作为经处理图形数据输出以存储在图形存储器中(例如,图28的并行处理器存储器2822和/或如图27中的系统存储器2704,以在一个或多个显示装置2710上显示或者由一个或多个处理器2702或(多个)并行处理器2712中的一个进一步处理。在一些实施例中,光栅操作单元3126被配置成压缩写入存储器的z或颜色数据,并解压缩从存储器读取的z或颜色数据。

[0353] 在实施例中,术语“引擎”或“模块”或“逻辑”可以指以下各项、是以下各项的一部分或者包括以下各项:执行一个或多个软件或固件程序的应用专用集成电路(ASIC)、电子电路、处理器(共享处理器、专用处理器或组处理器)和/或存储器(共享存储器、专用存储器或组存储器)、组合逻辑电路、和/或提供所描述功能的其他合适部件。在实施例中,引擎或模块可以以固件、硬件、软件、或者固件、硬件和软件的任何组合来实现。

[0354] 本发明的实施例可以包括以上已经描述的各步骤。这些步骤可以被具体化为机器可执行指令,所述机器可执行指令可以用于使通用或专用处理器执行这些步骤。可替代地,这些步骤可以由包含用于执行这些步骤的硬接线逻辑的特定硬件部件来执行,或者由程序化计算机部件和自定义硬件部件的任意组合来执行。

[0355] 如本文所述,指令可以是指硬件的具体配置,例如被配置为用于执行某些操作或具有存储在非暂态计算机可读介质中实施的存储器中的预定功能或软件指令的专用集成电路(ASIC)。因此,可使用在一个或多个存储装置(例如,端站、网络元件等)上存储并执行的代码和数据来实现附图中示出的技术。这种电子装置使用计算机机器可读介质来存储和传送(在内部和/或利用网络上的其他电子装置)代码和数据,诸如非暂态计算机机器可读存储介质(例如,磁盘;光盘;随机存取存储器;只读存储器;闪存存储装置;相变存储器)以及暂态计算机机器可读通信媒体(例如,电、光、声或其他形式的传播信号—例如载波、红外信号、数字信号等)。

[0356] 此外,这样的电子装置典型地包括耦合至一个或多个其他部件(例如,一个或多个存储装置(非暂态机器可读存储媒体)、用户输入/输出装置(例如键盘、触摸屏和/或显示器)、以及网络连接件)的一组一个或多个处理器。所述一组处理器和其他部件的耦合通常通过一个或多个总线和桥接器(也被称为总线控制器)。承载网络通信量的存储装置和信号分别表示一个或多个机器可读存储介质和机器可读通信介质。因此,给定电子装置的存储装置典型地存储用于在那个电子装置的所述组的一个或多个处理器上执行的代码和/或数据。当然,可以使用软件、固件、和/或硬件的不同组合来实现本发明的实施例的一个或多个部分。贯穿本详细描述,出于解释的目的,阐述了大量的具体细节以便提供对本发明的透彻理解。然而,对于本领域技术人员而言将明显的是,可以在没有这些特定细节中的一些的情况下实践本发明。在某些实例中,未详细描述公知结构和功能以避免模糊本发明的主题。从而,本发明的范围和精神应根据以下权利要求来判定。

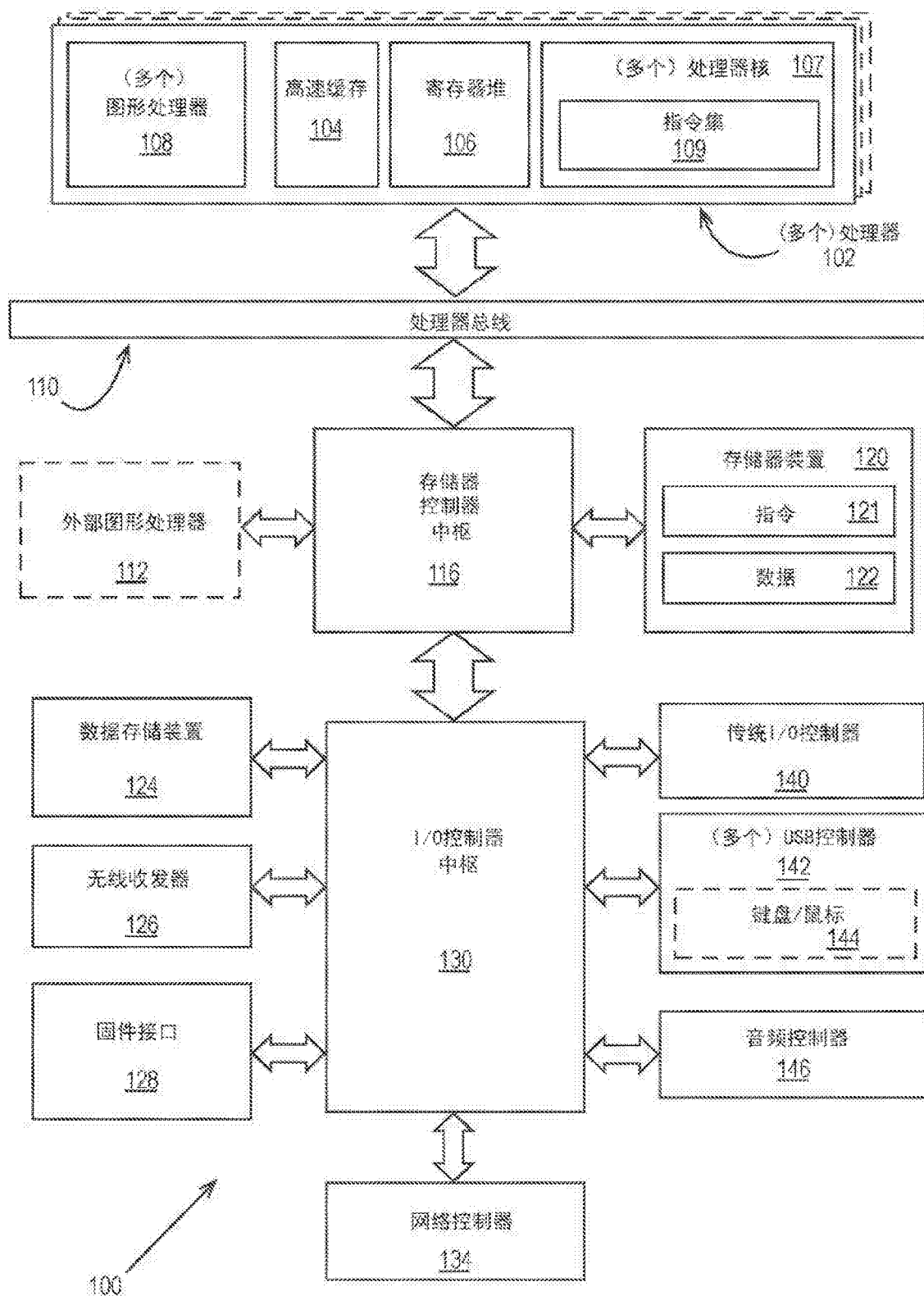


图1

处理器
200

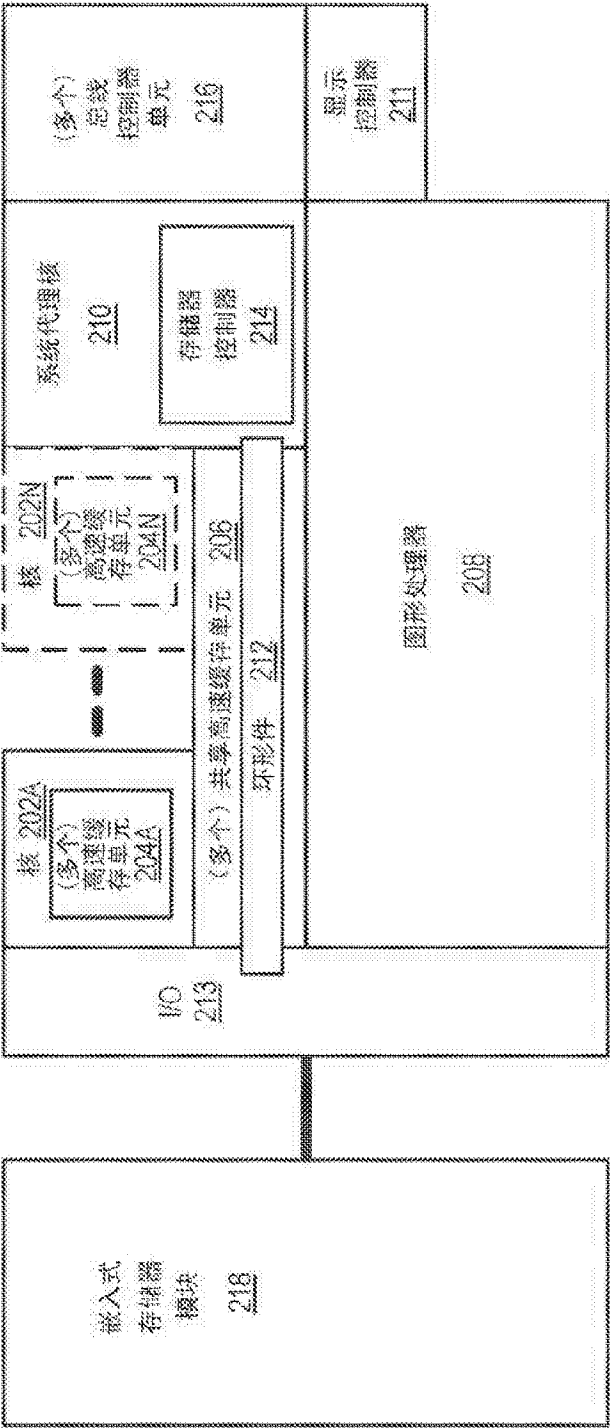


图2

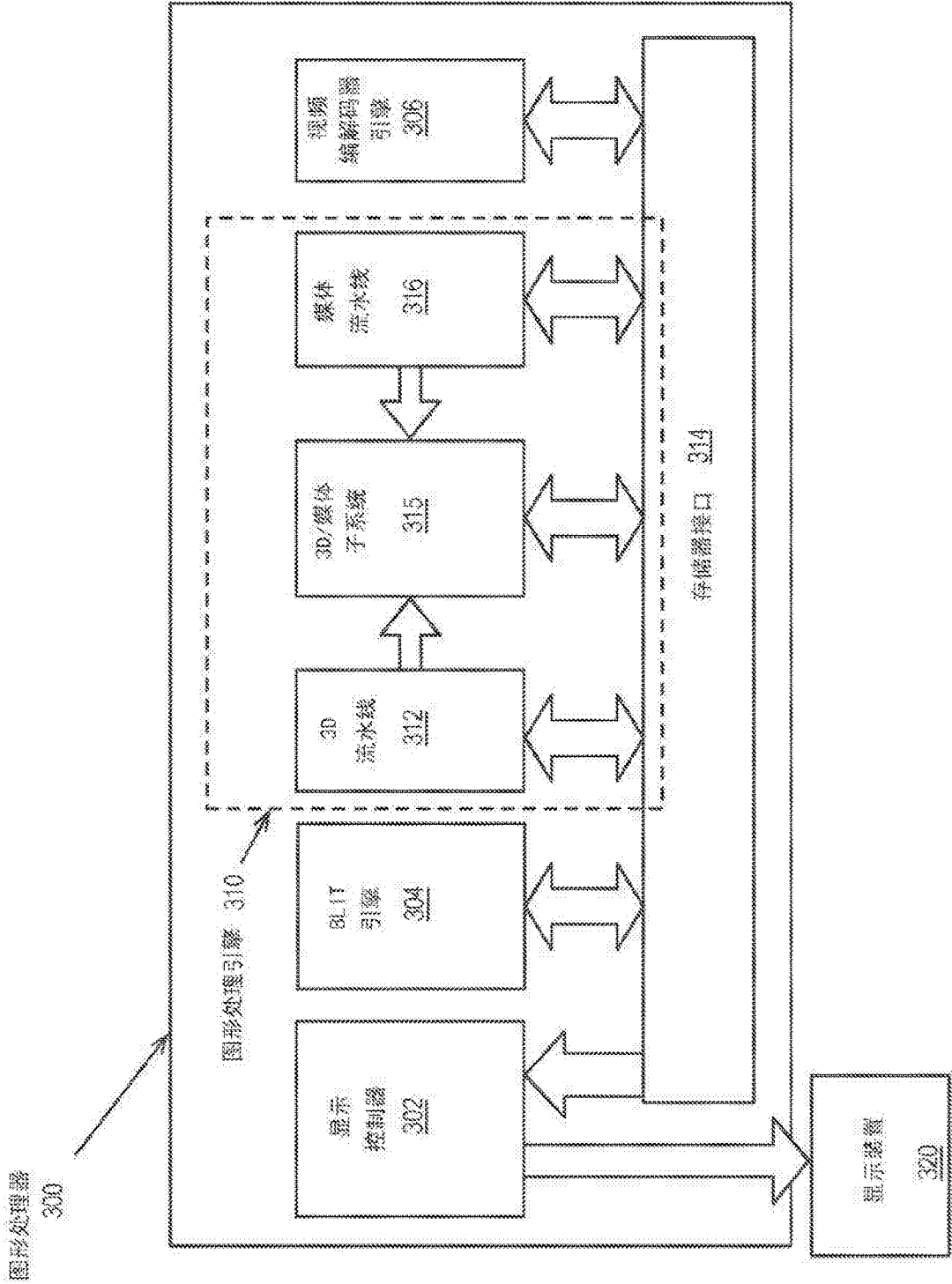


图3

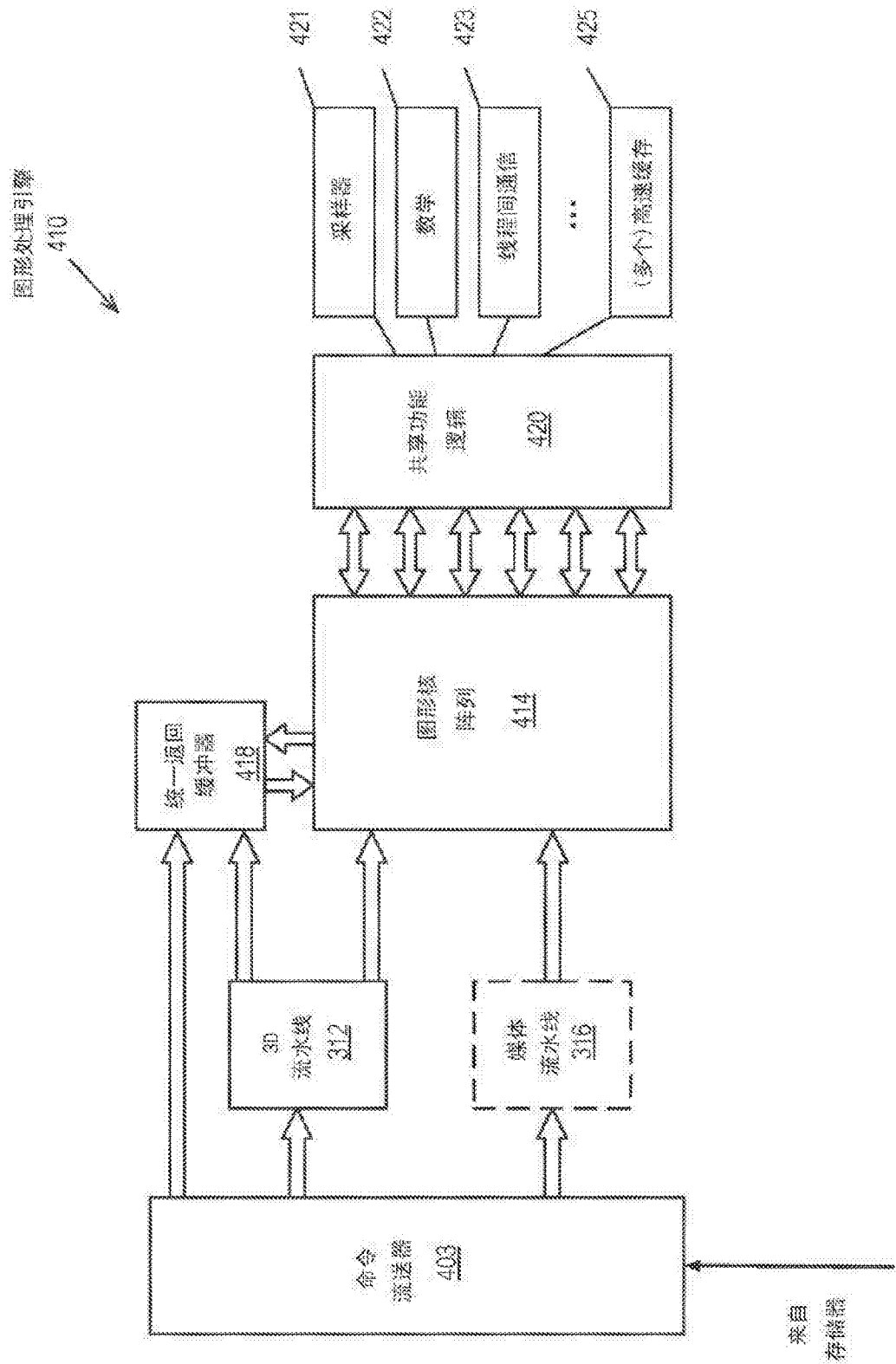


图4

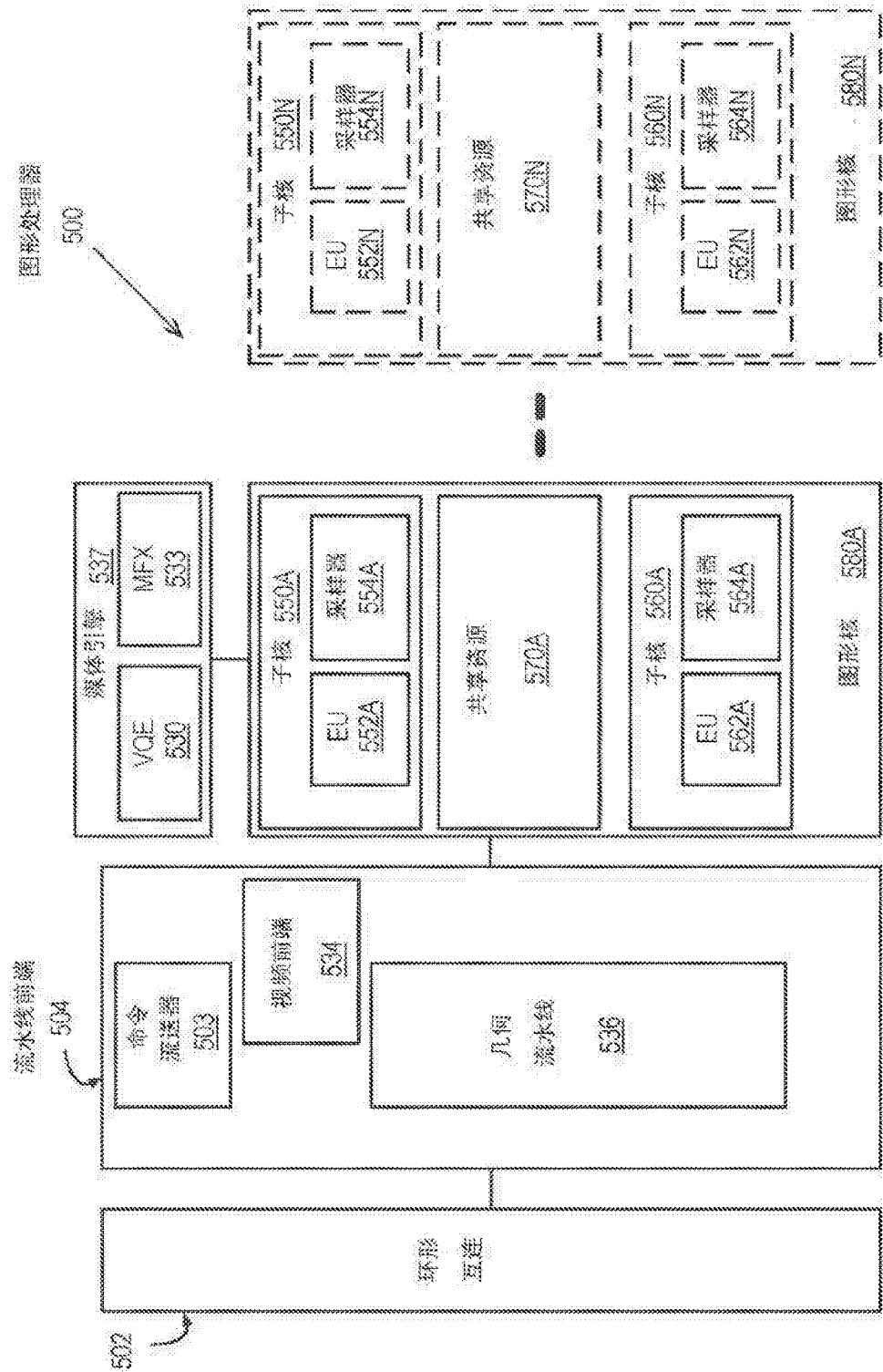


图5

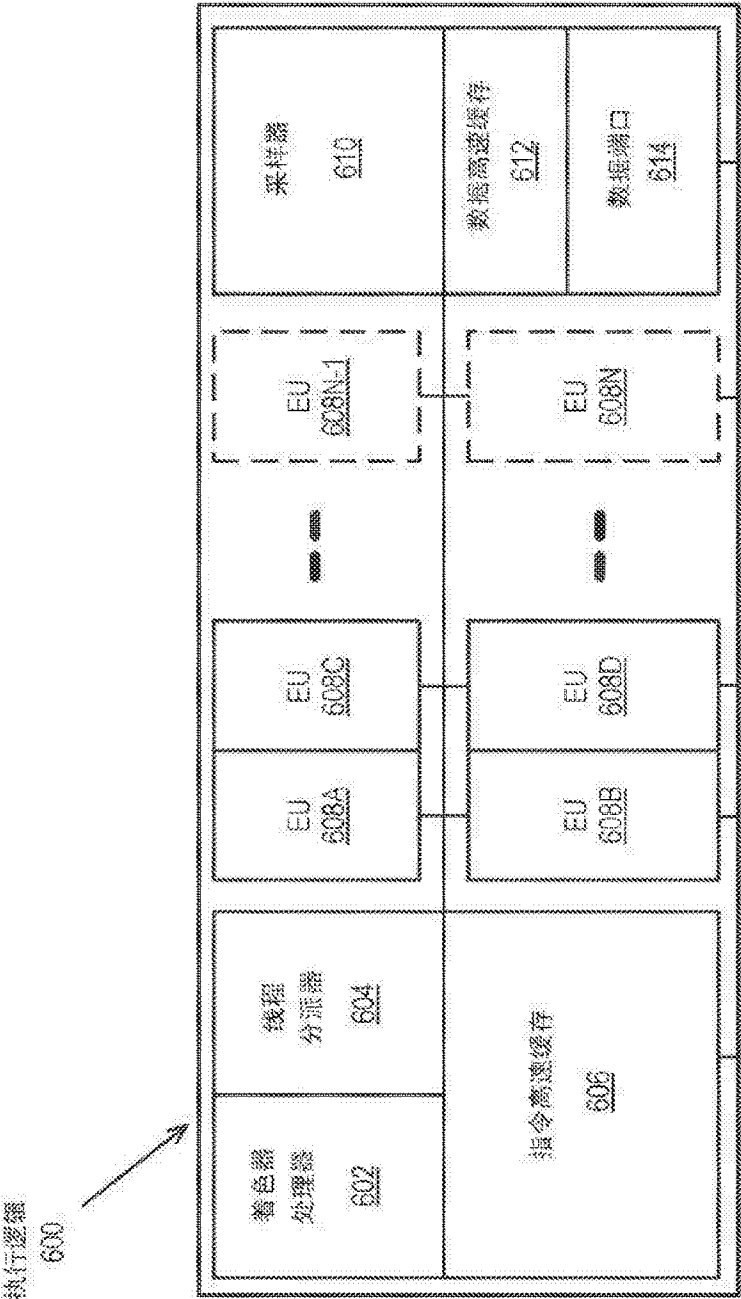


图6

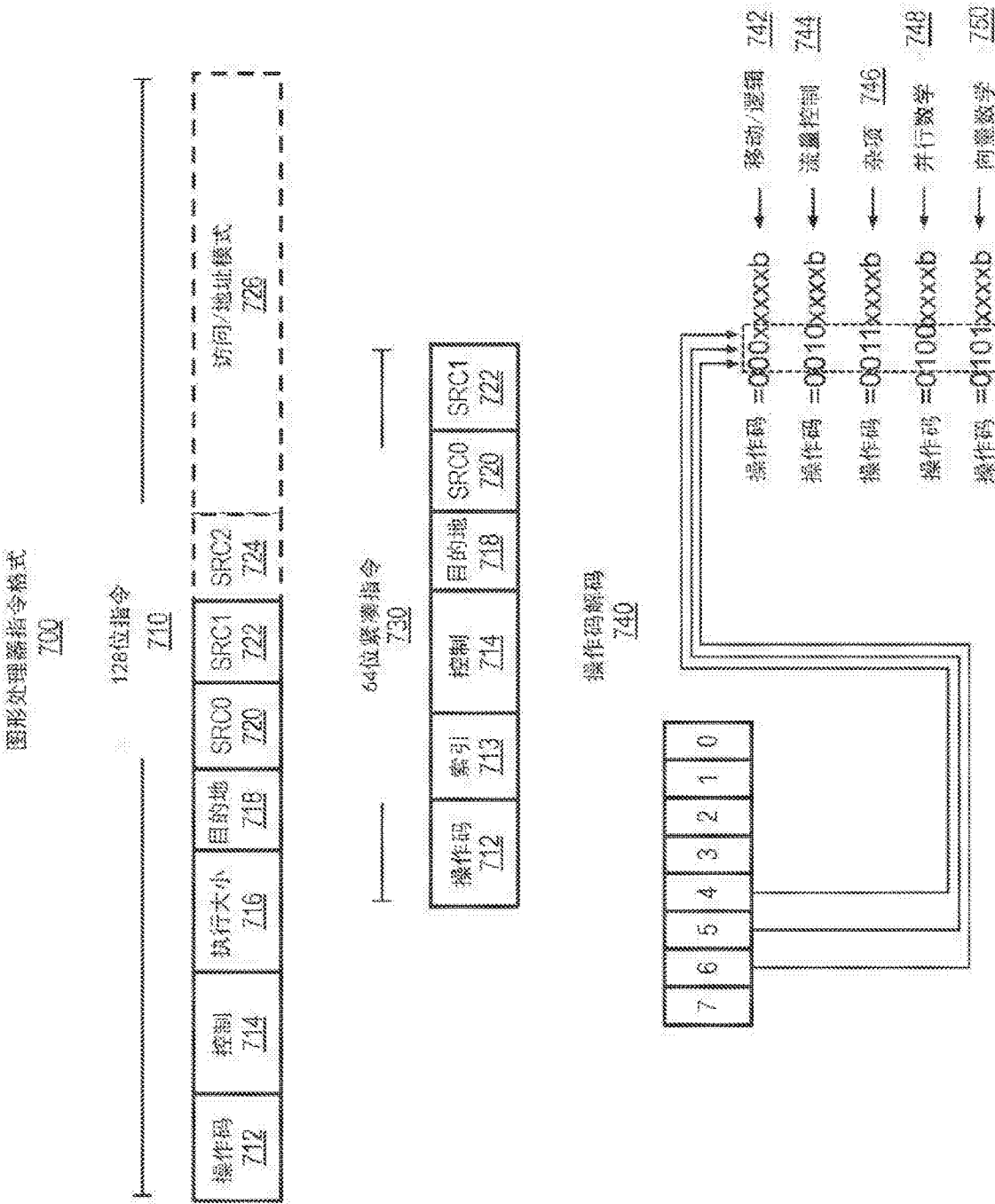


图7

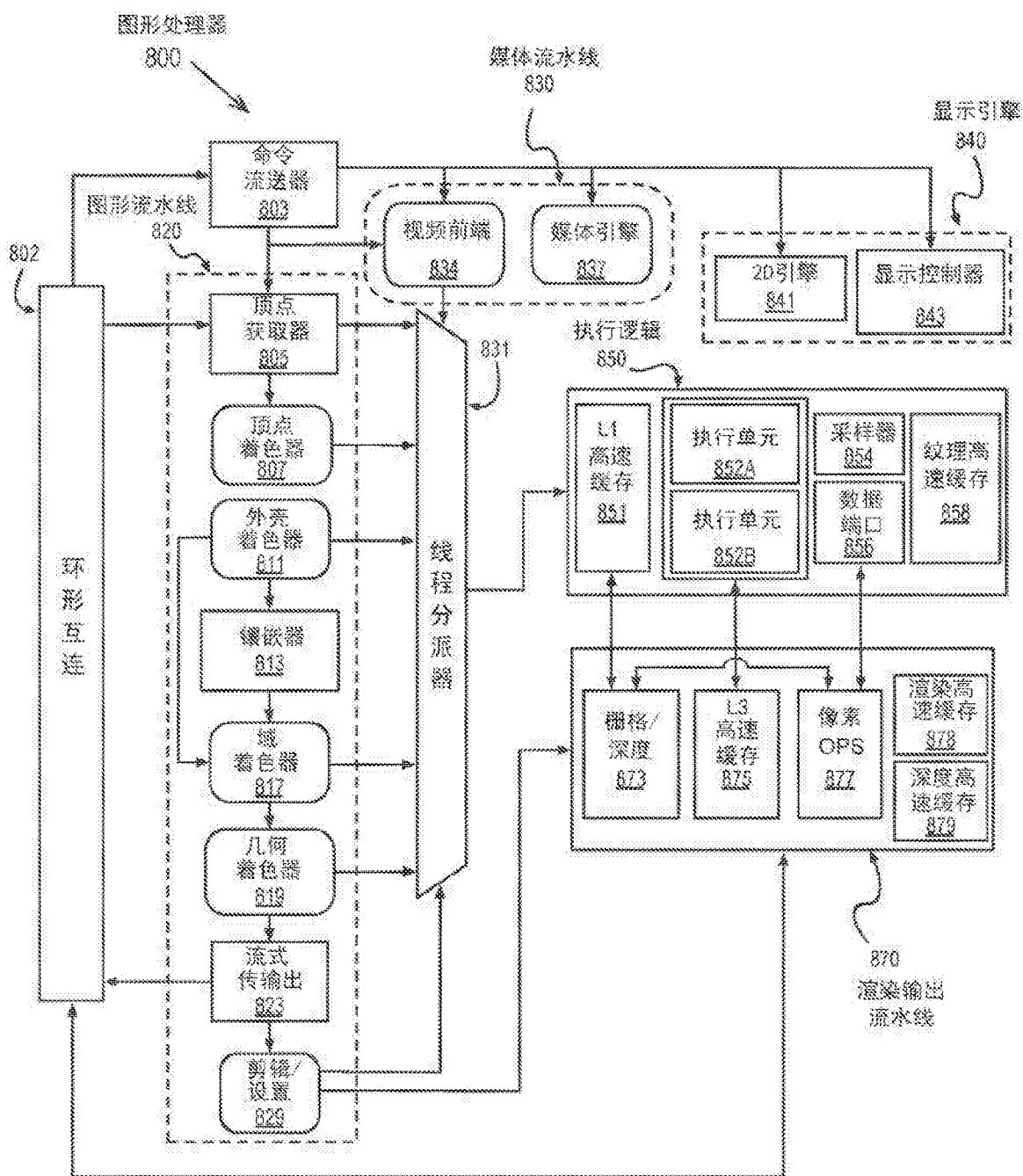


图8

图形处理器命令格式



图9A

图形处理器命令序列

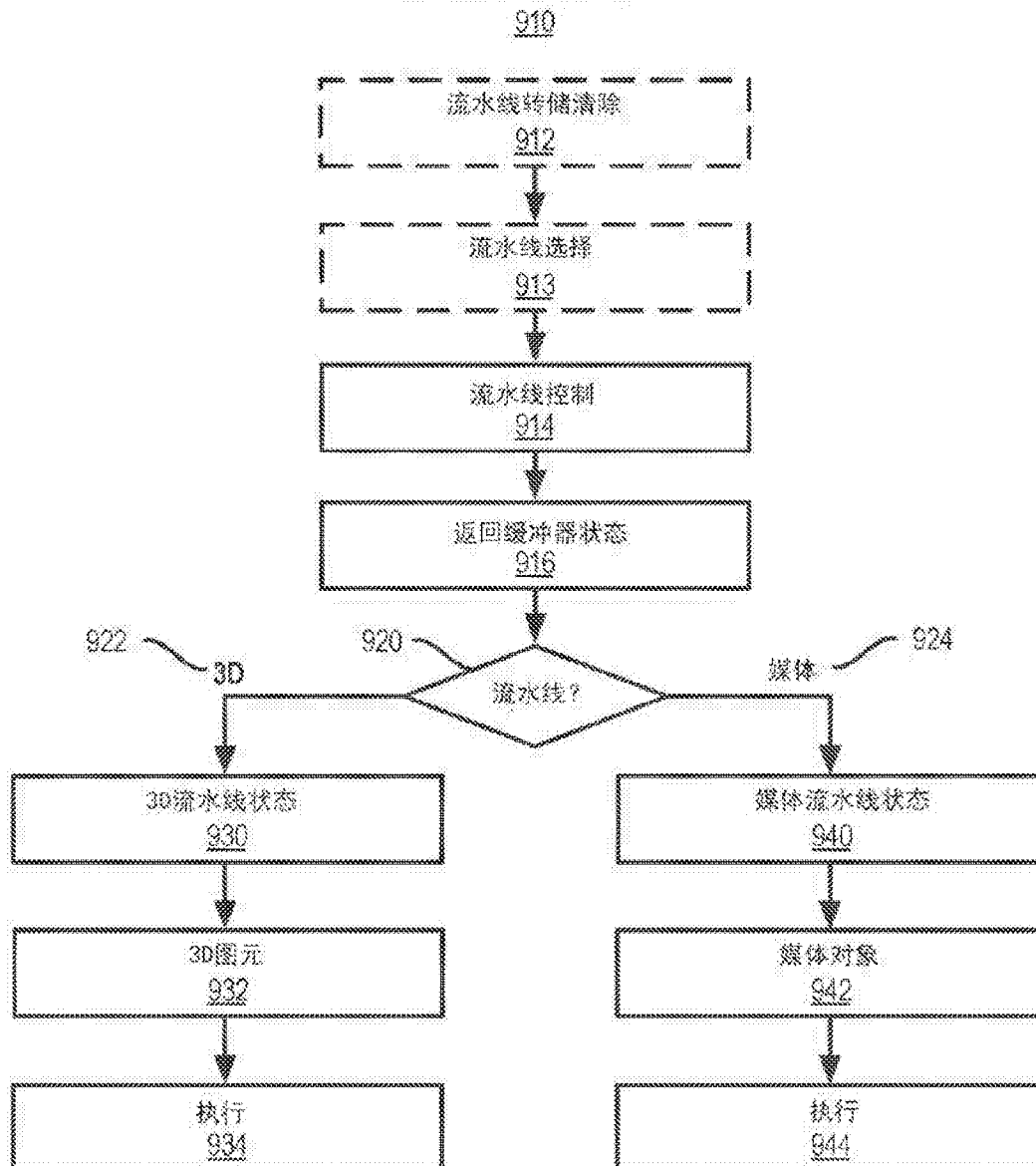


图9B

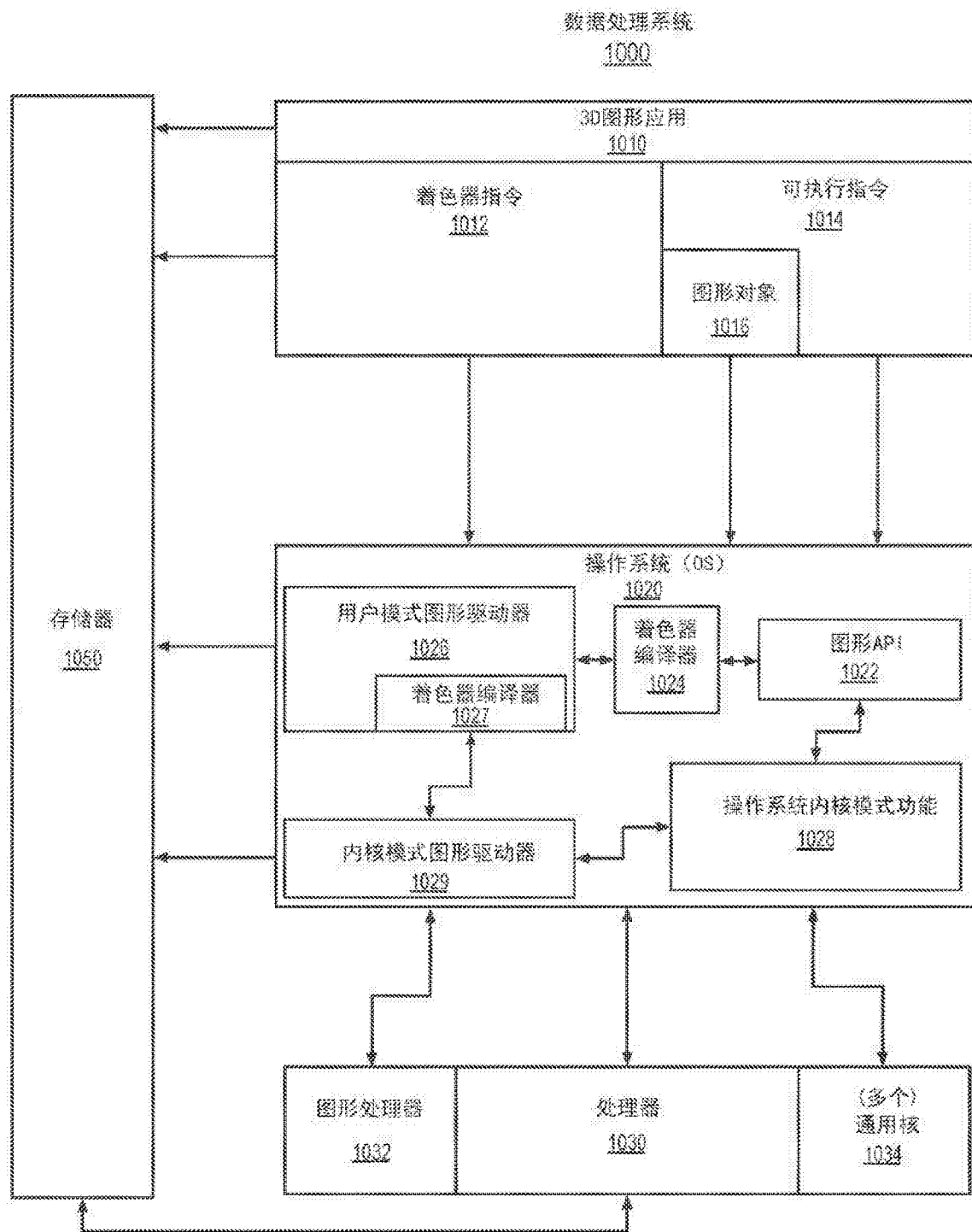


图10

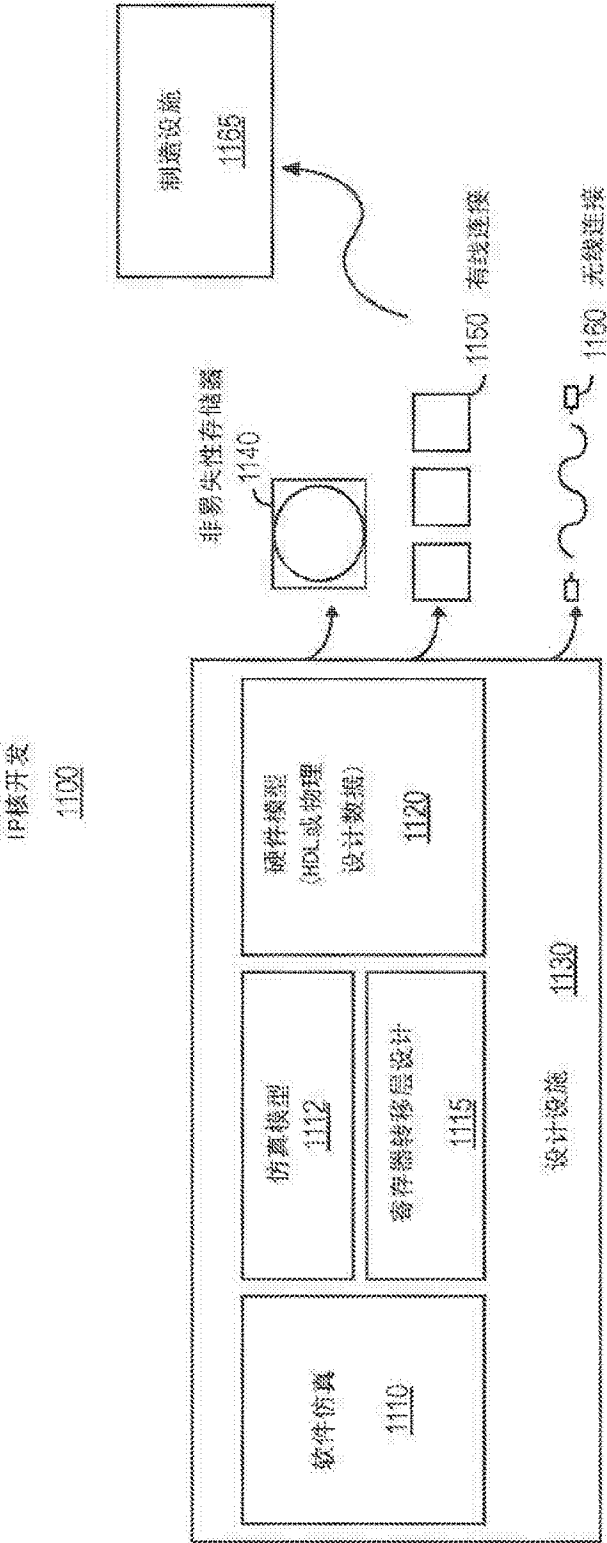


图11

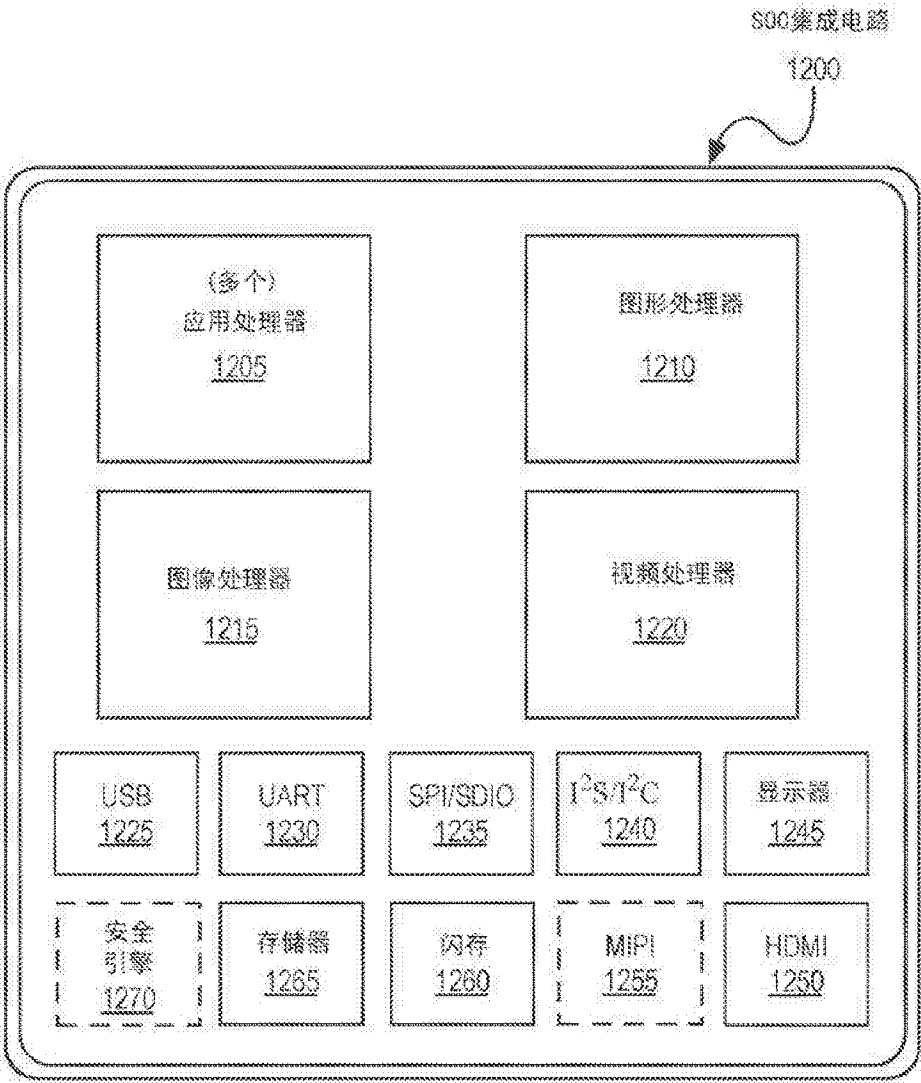


图12

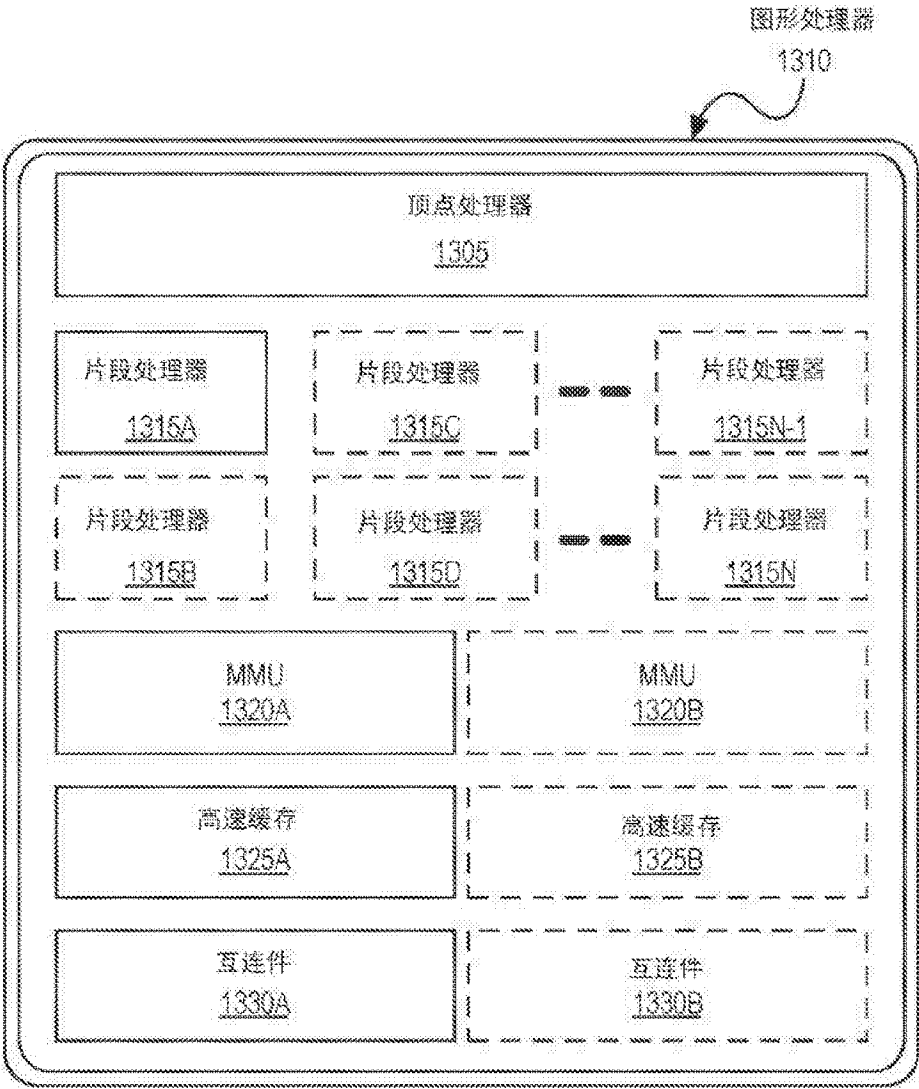


图13

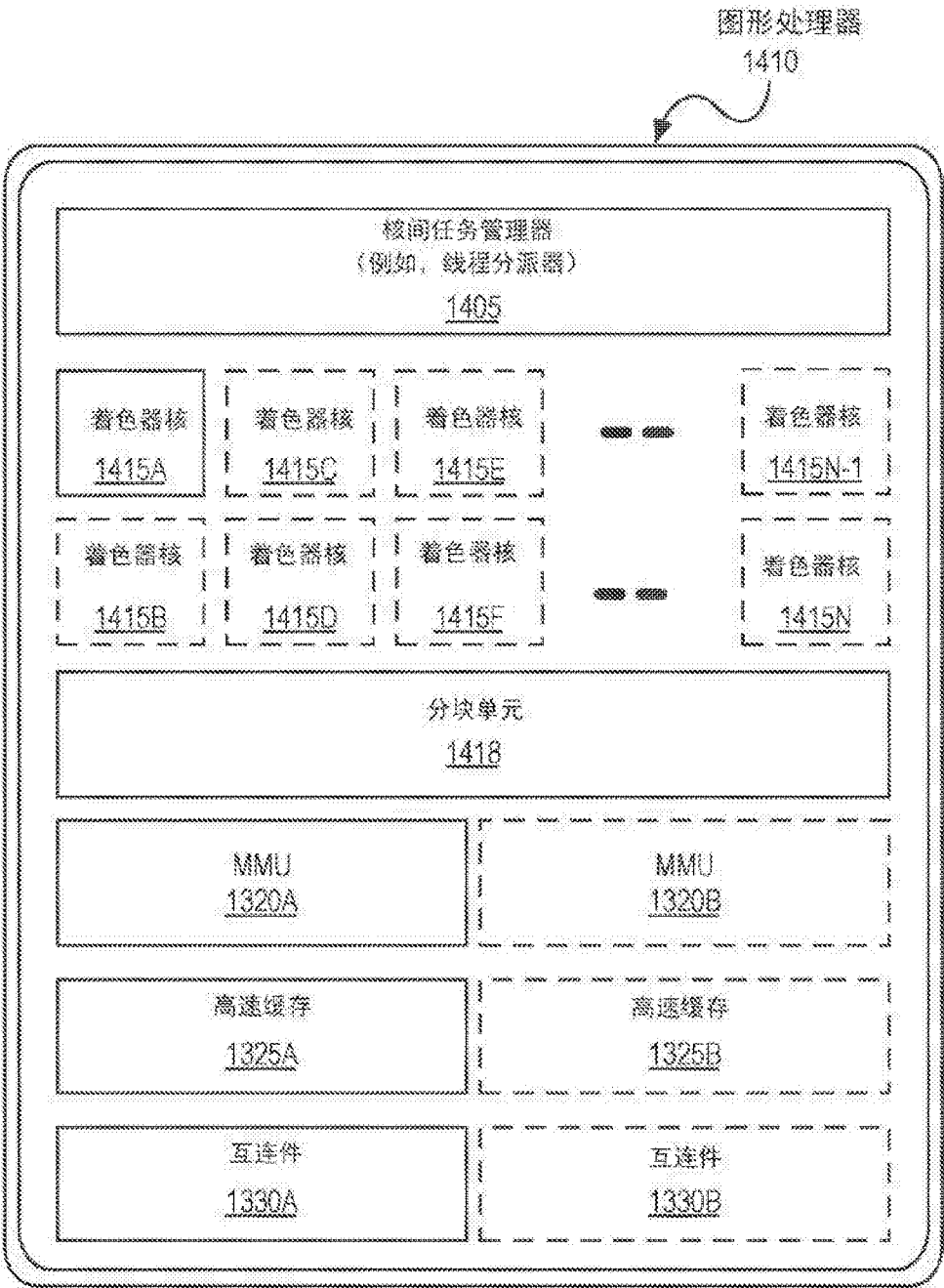


图14

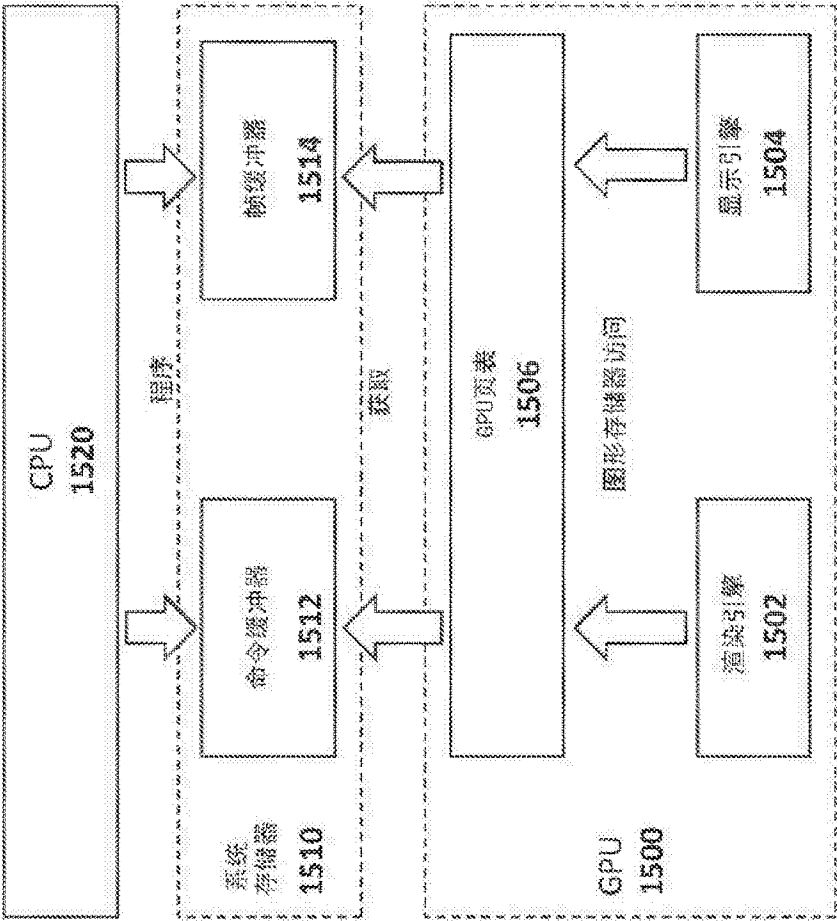


图15

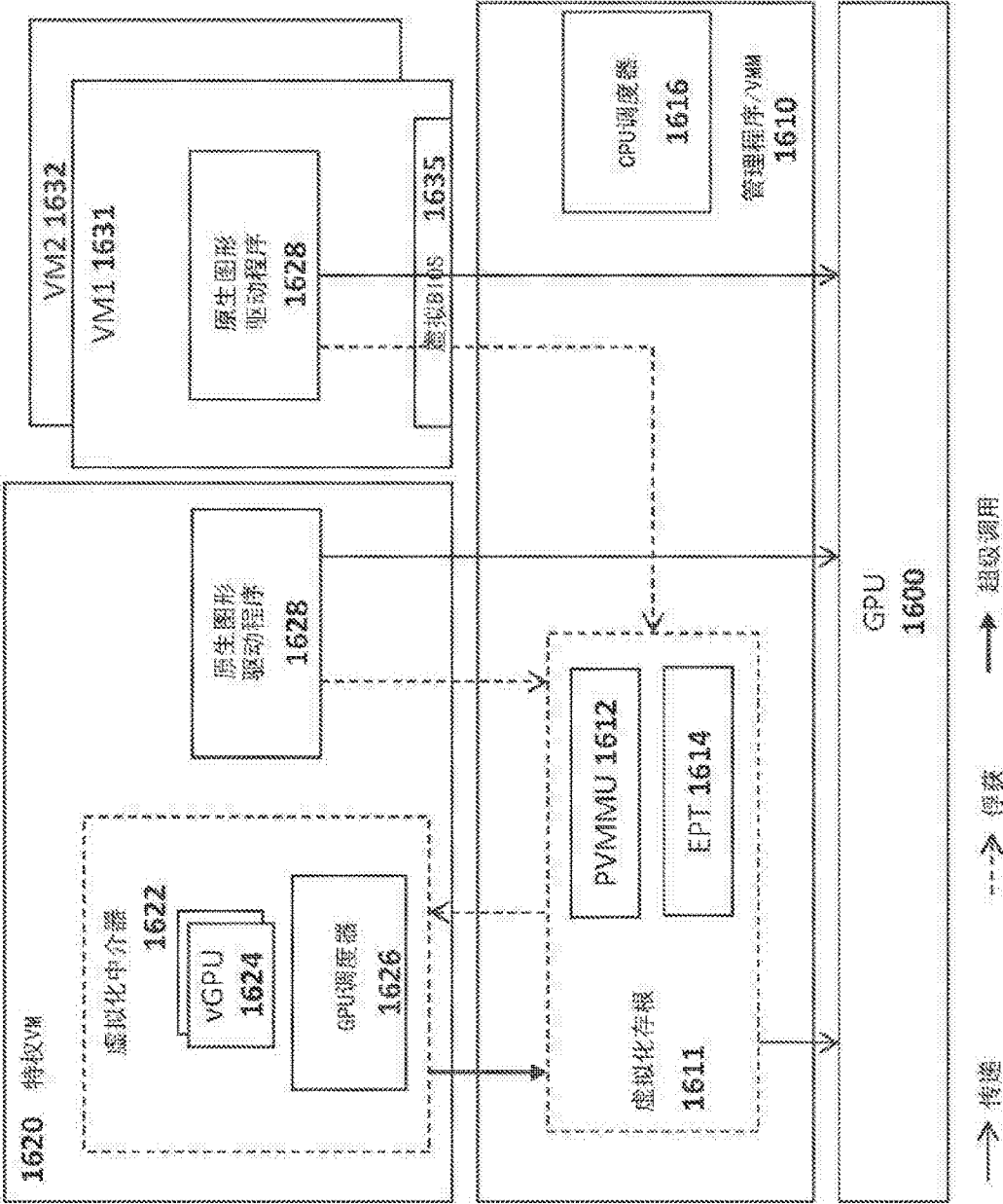


图16

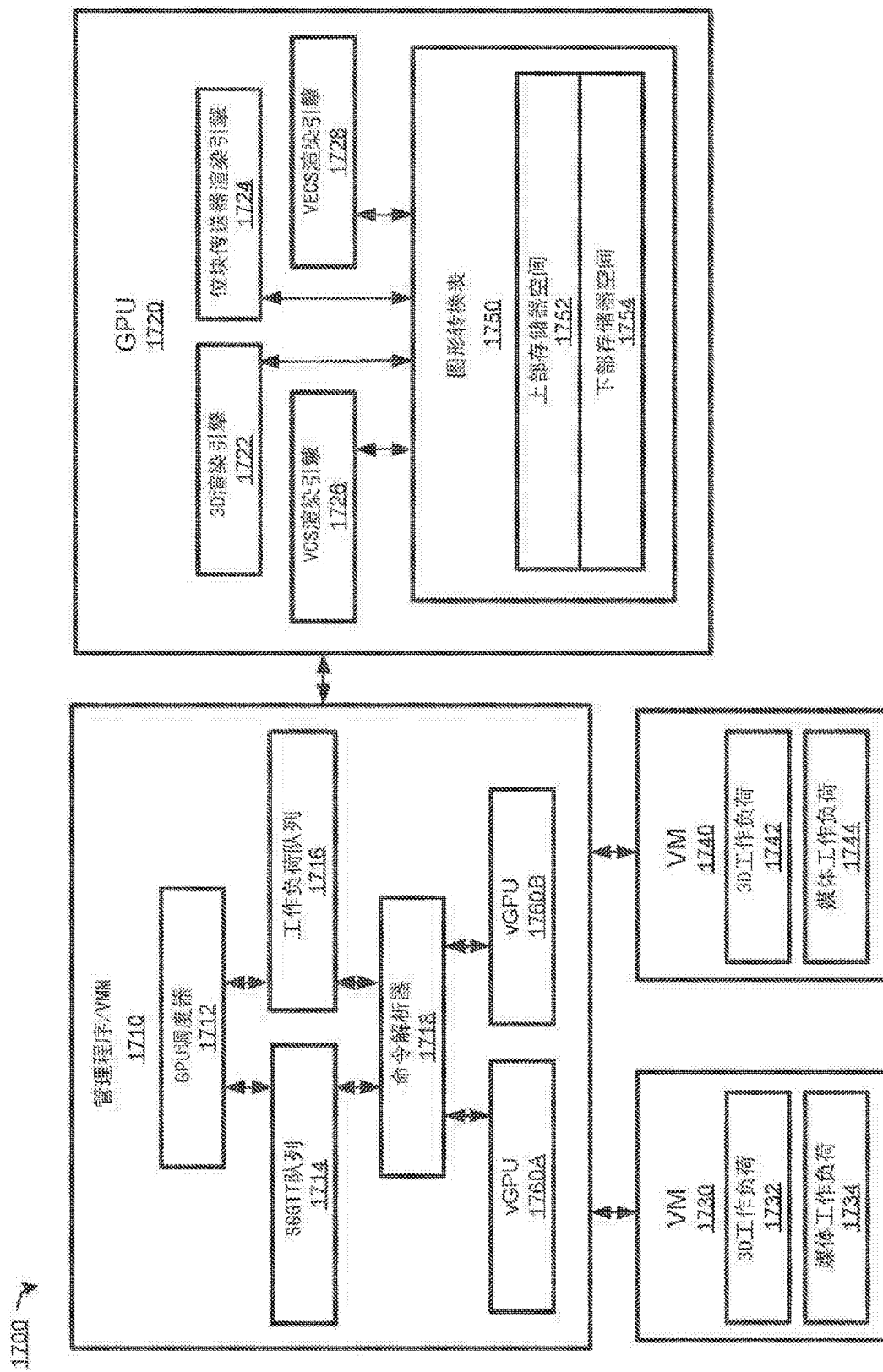


图17

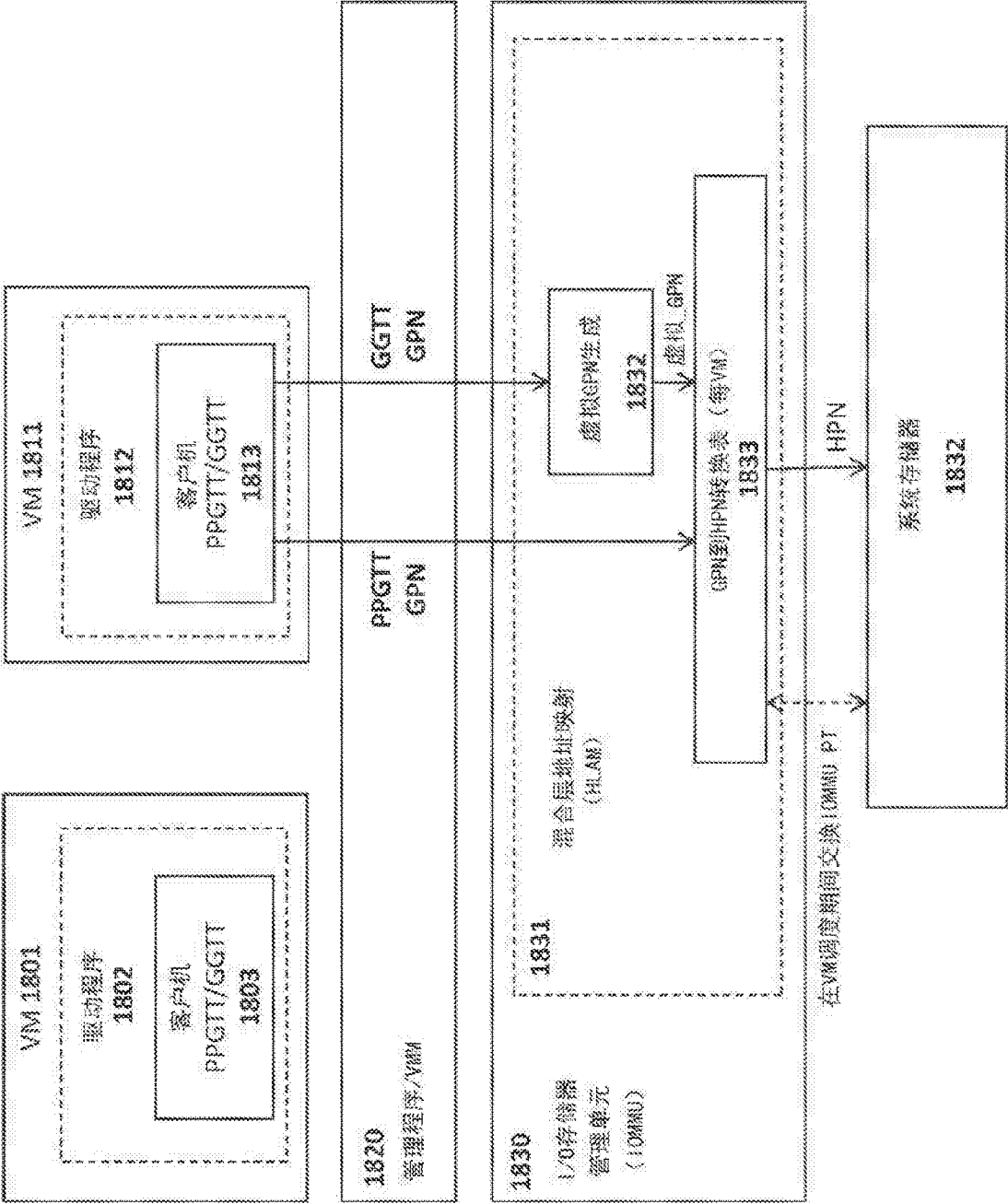


图18

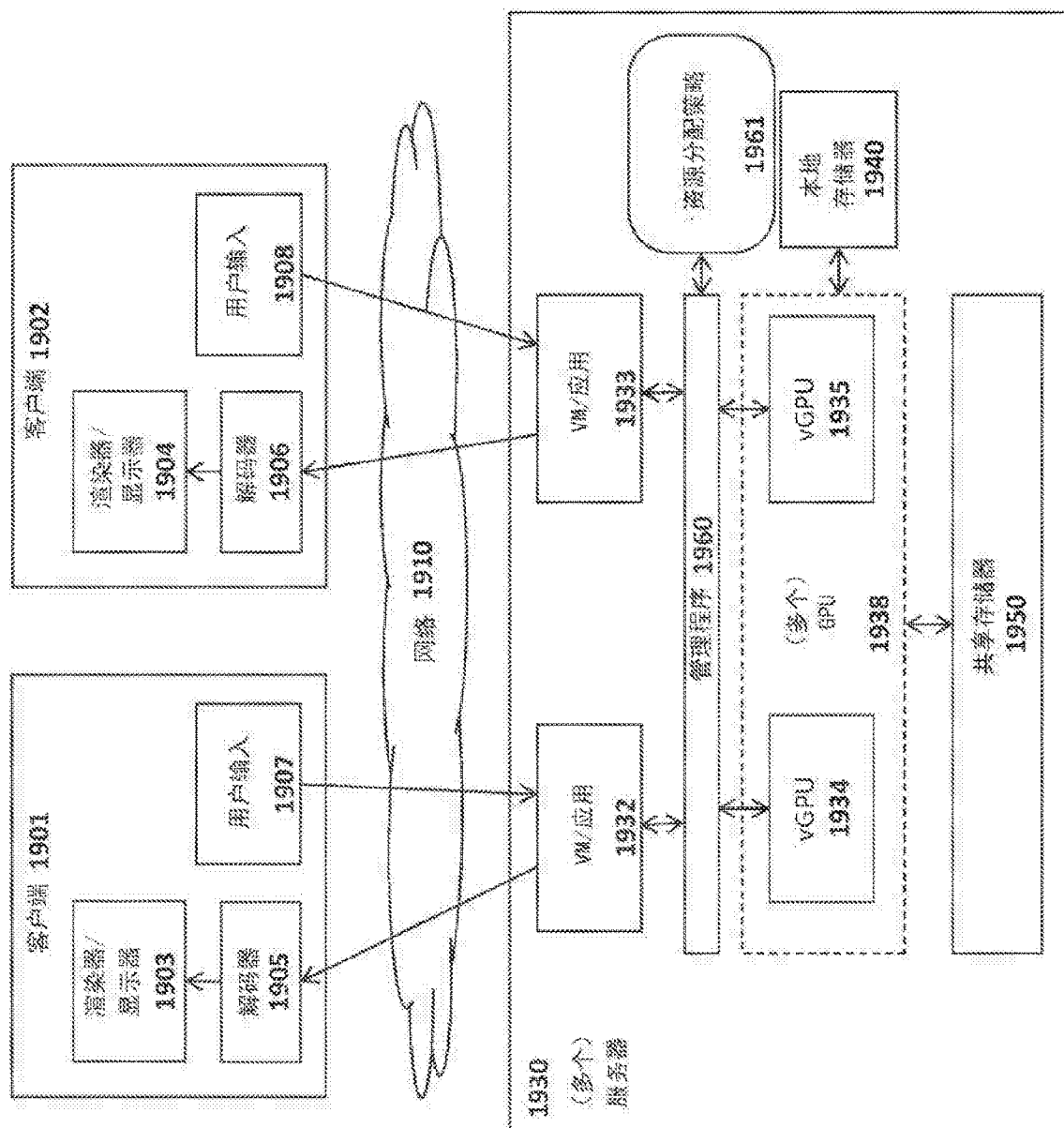


图19

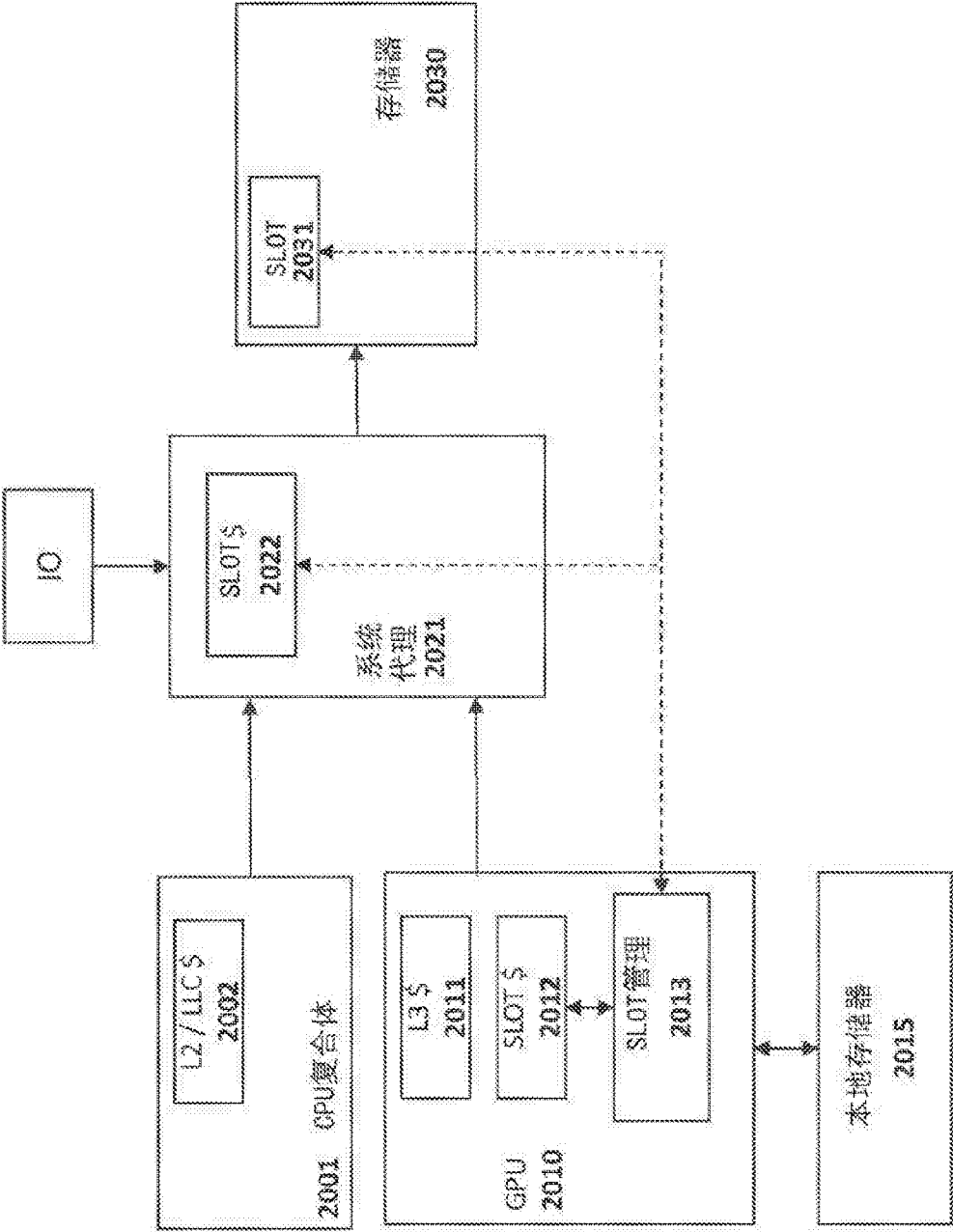


图20

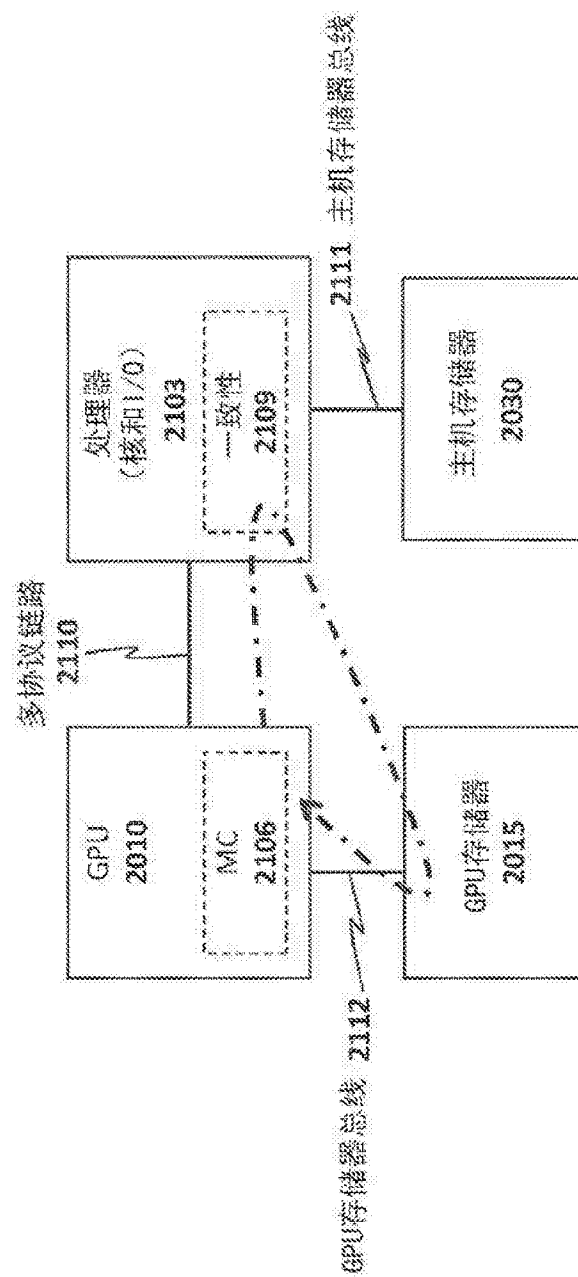


图21

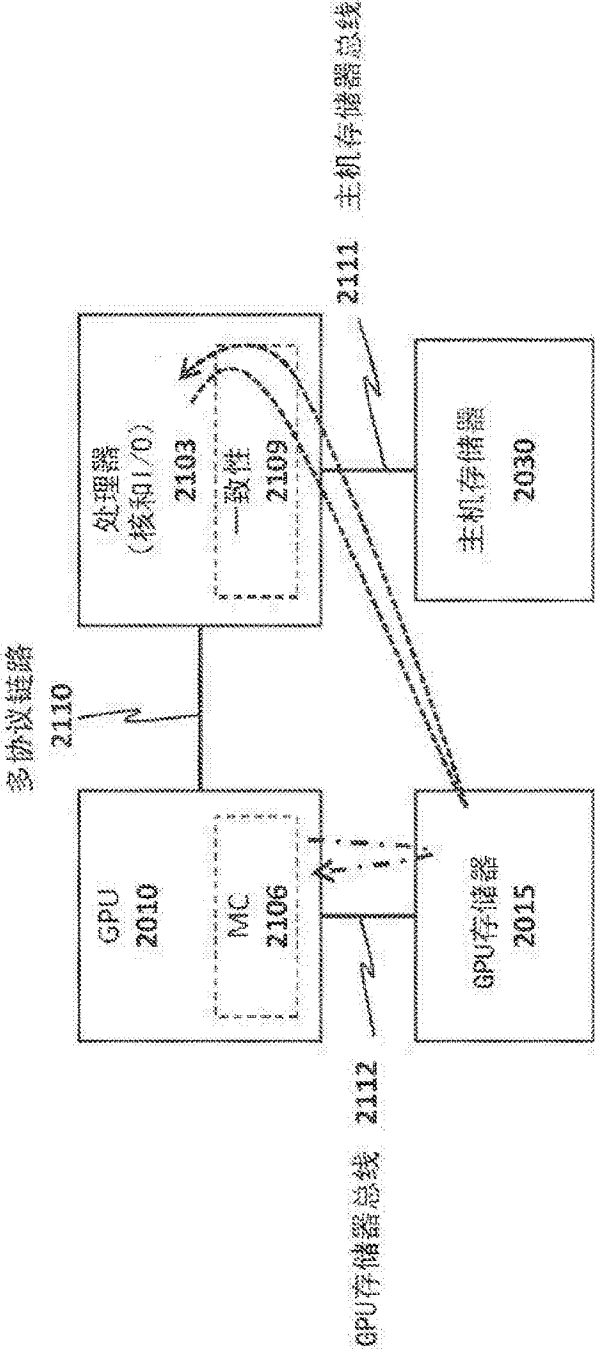


图22

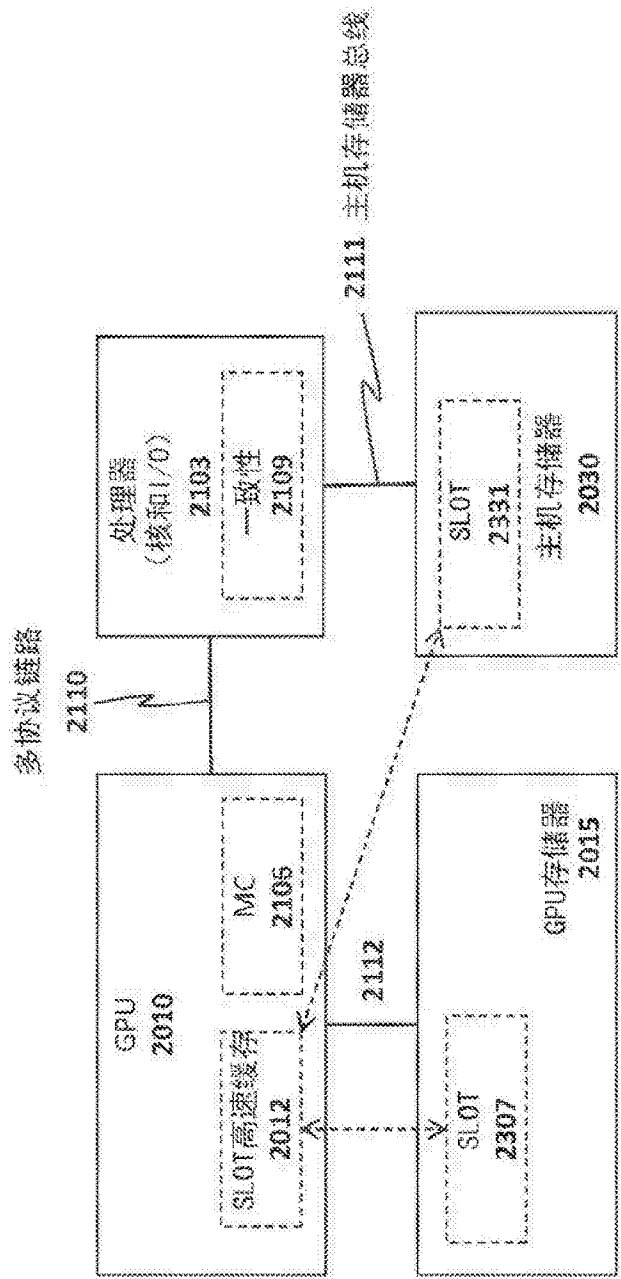


图23

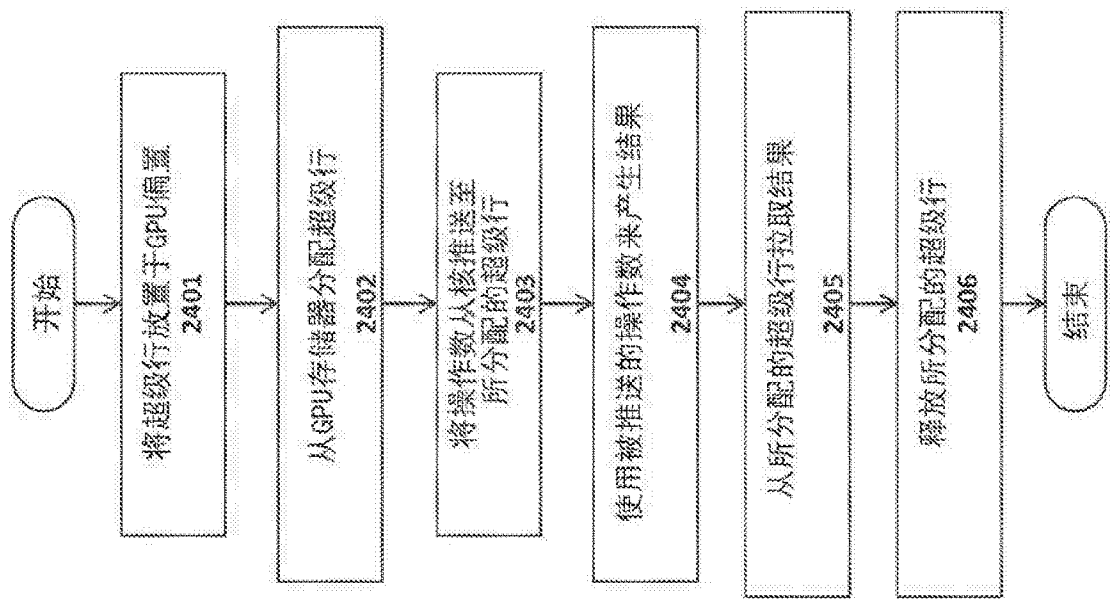


图24

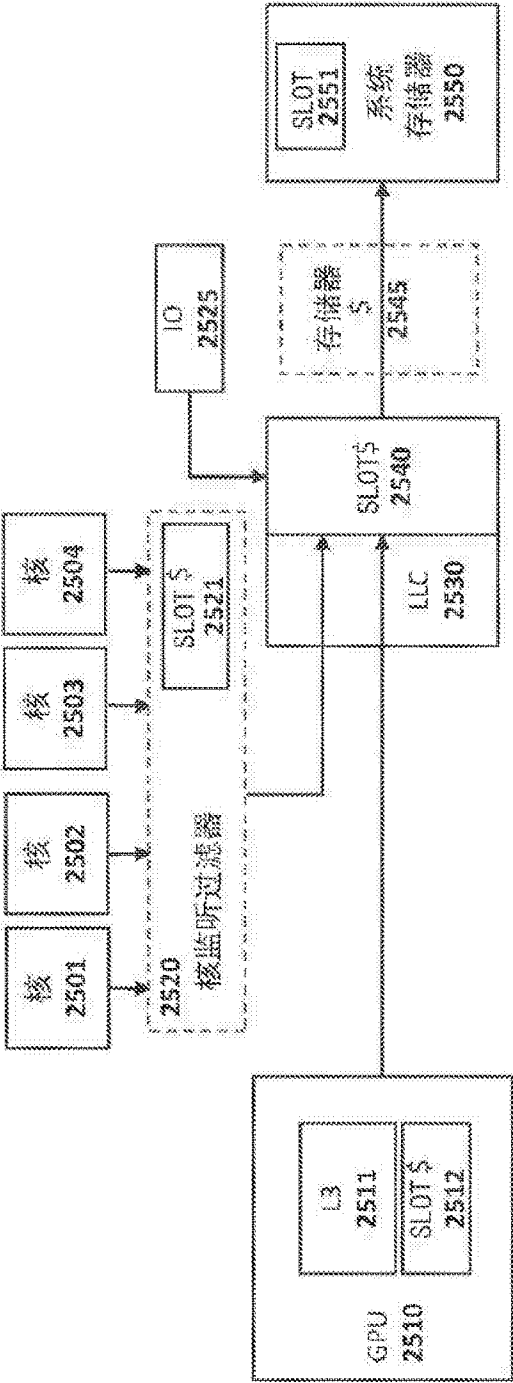


图25

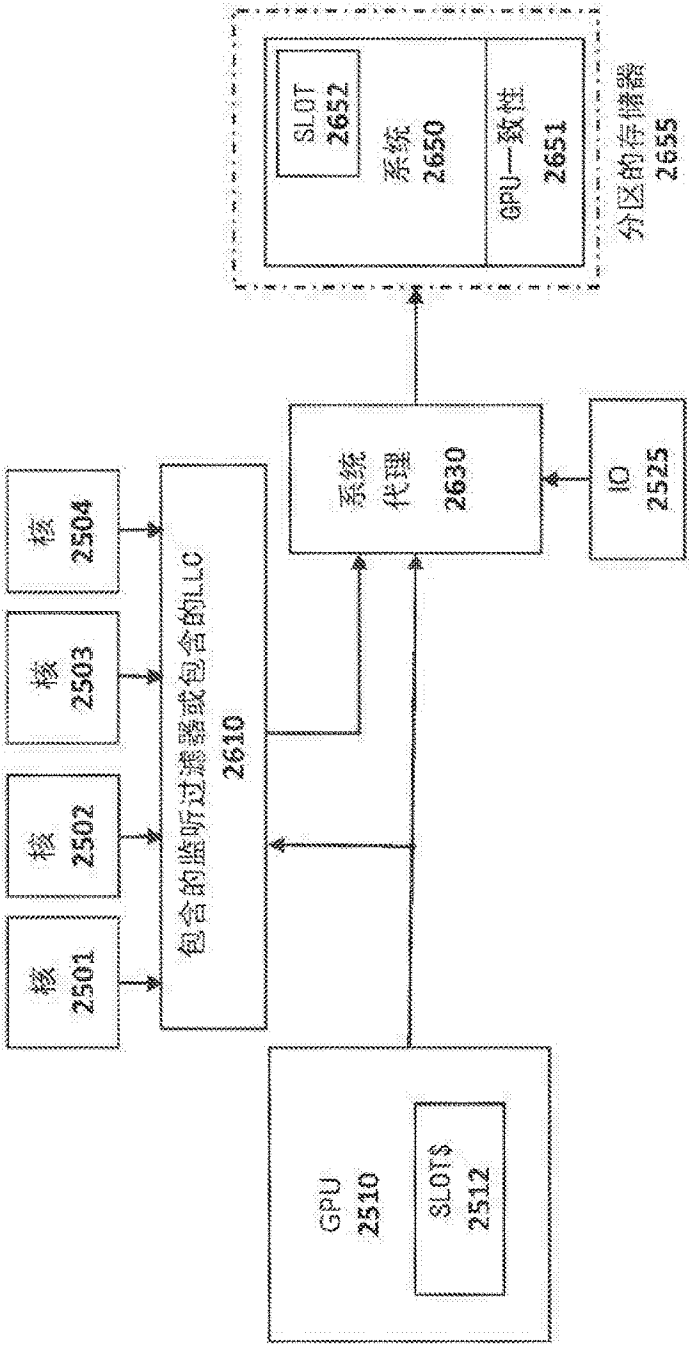


图26

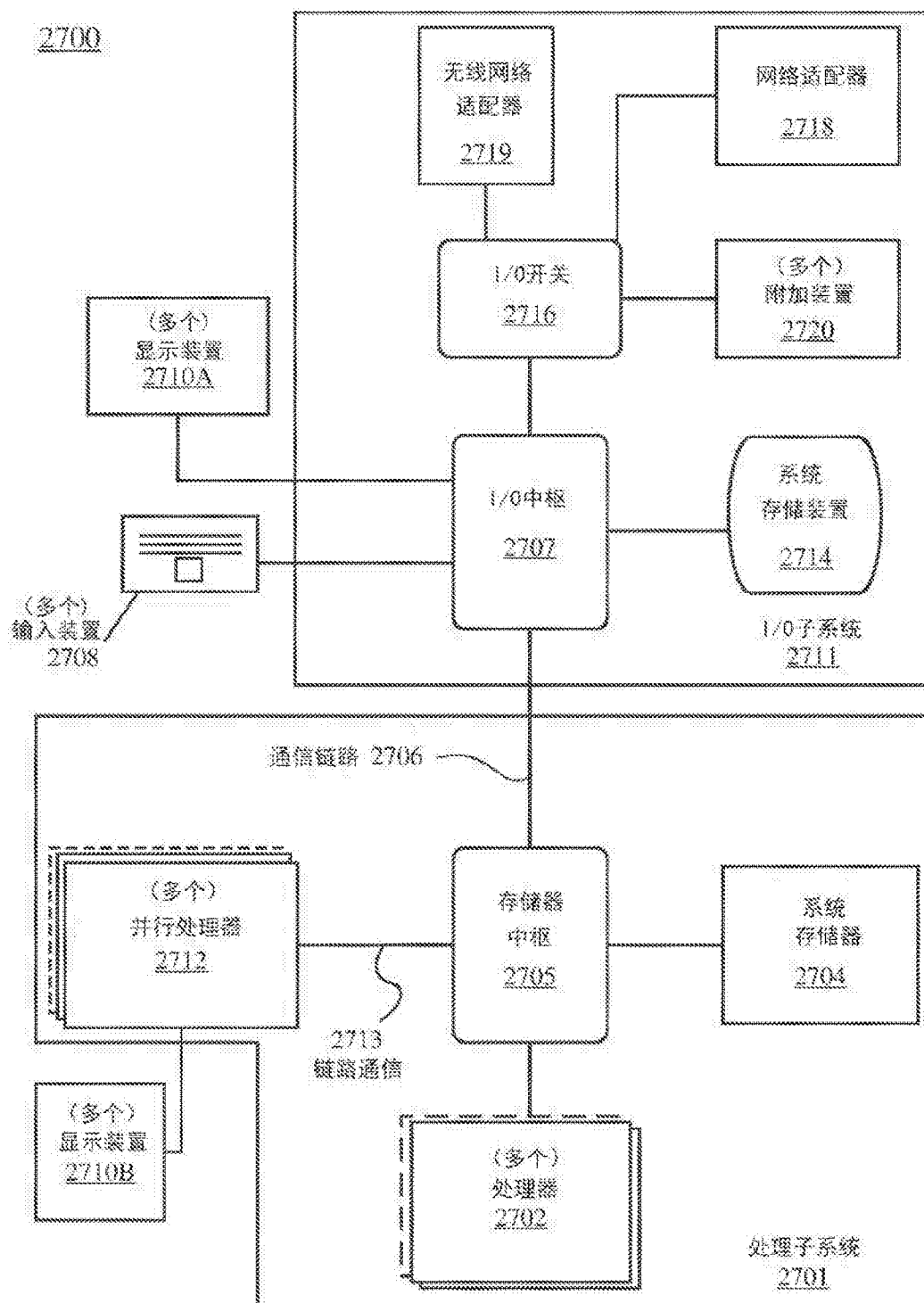


图27

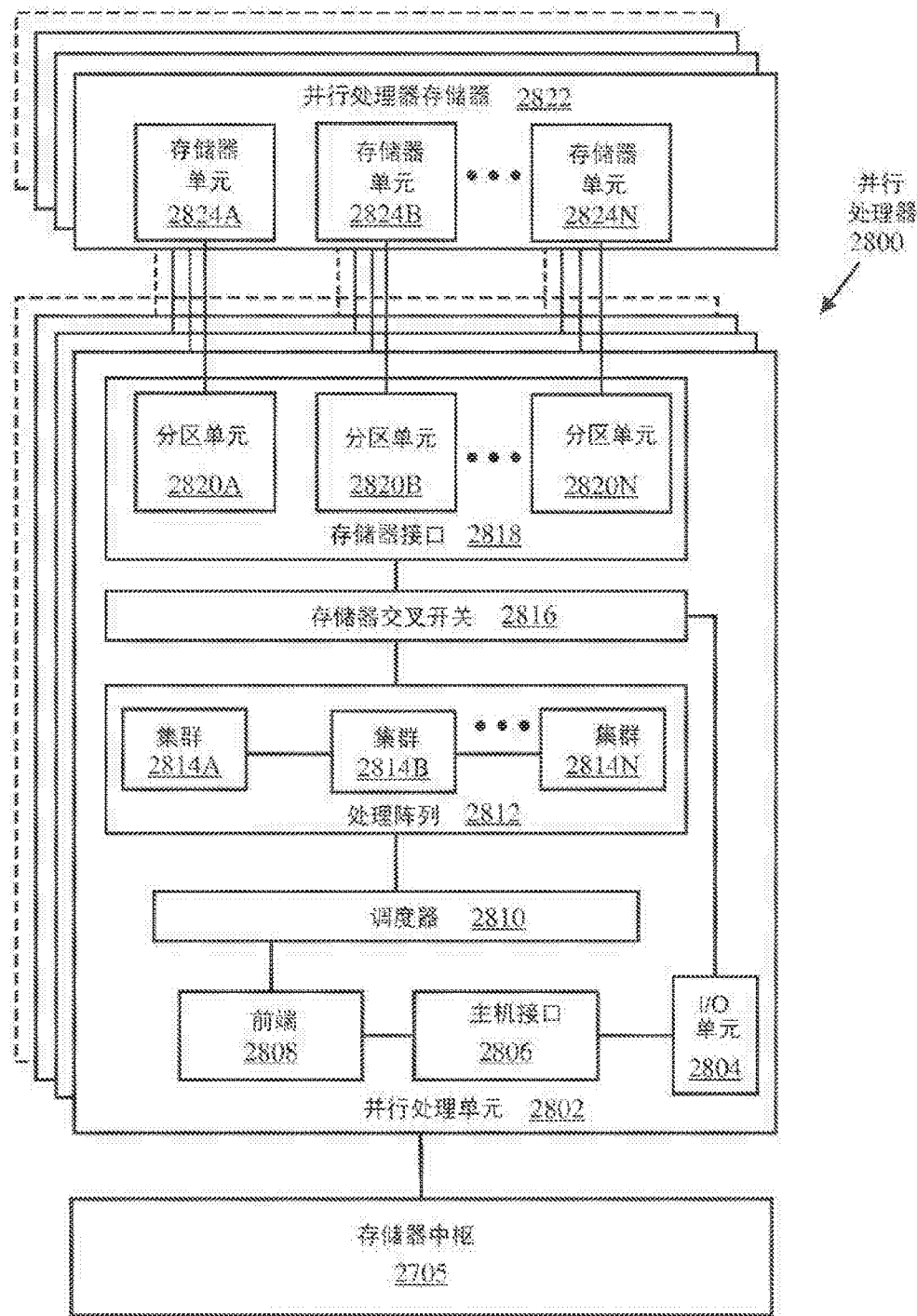


图28A

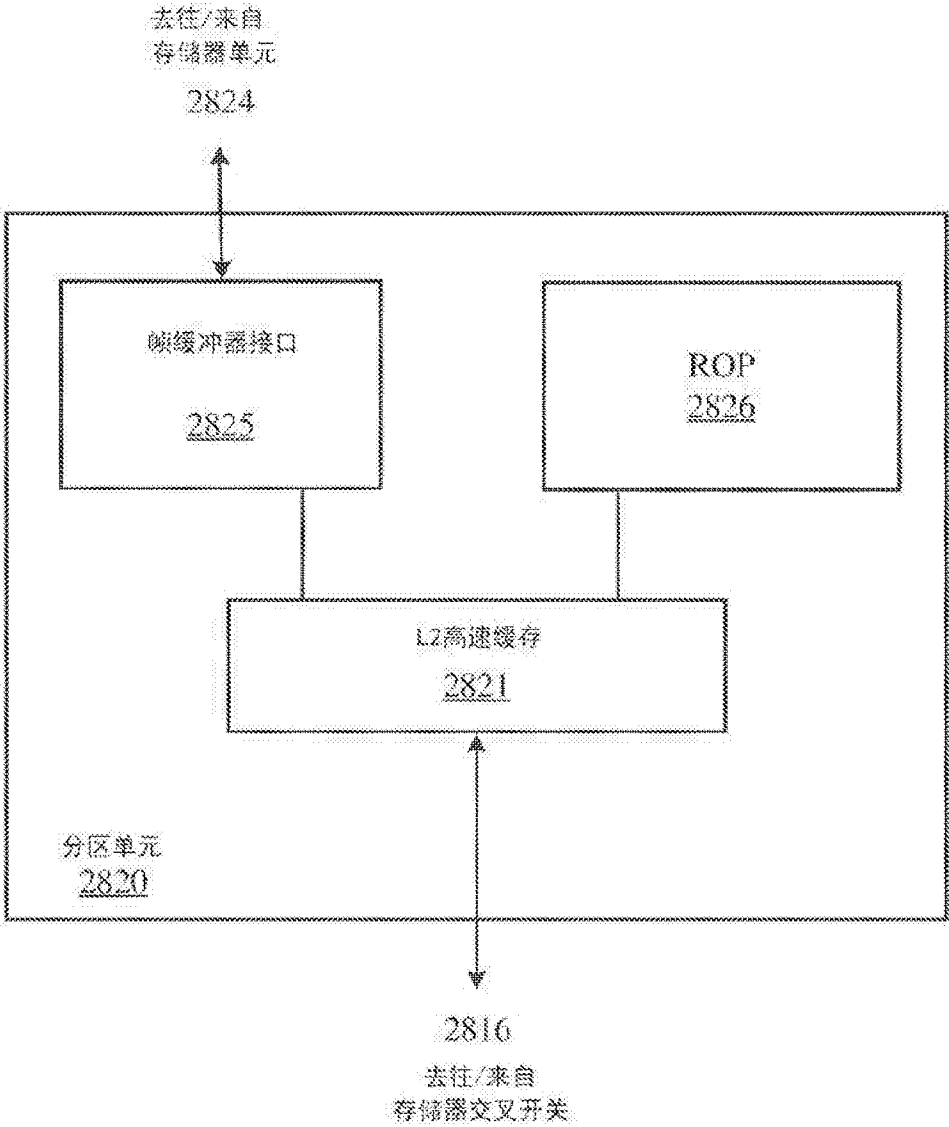


图28B

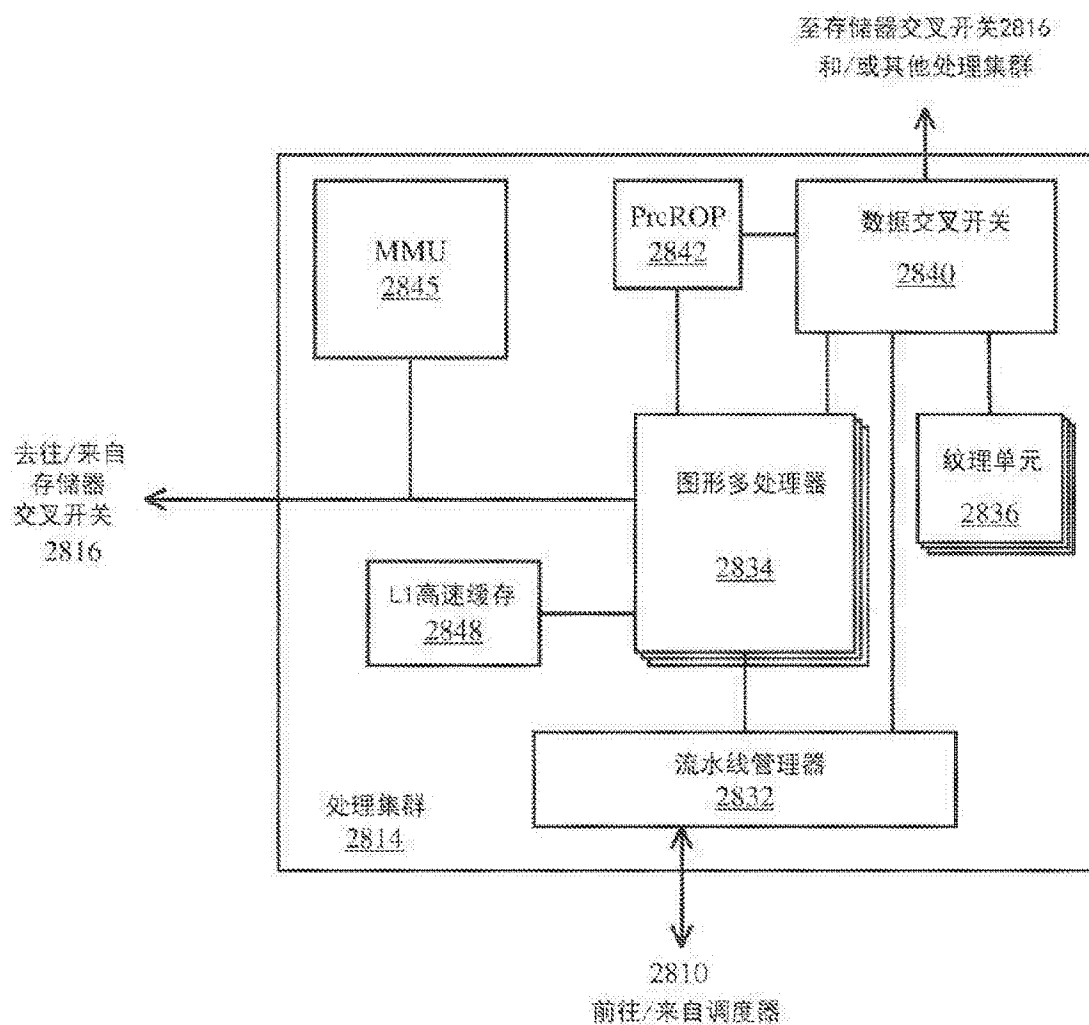


图28C

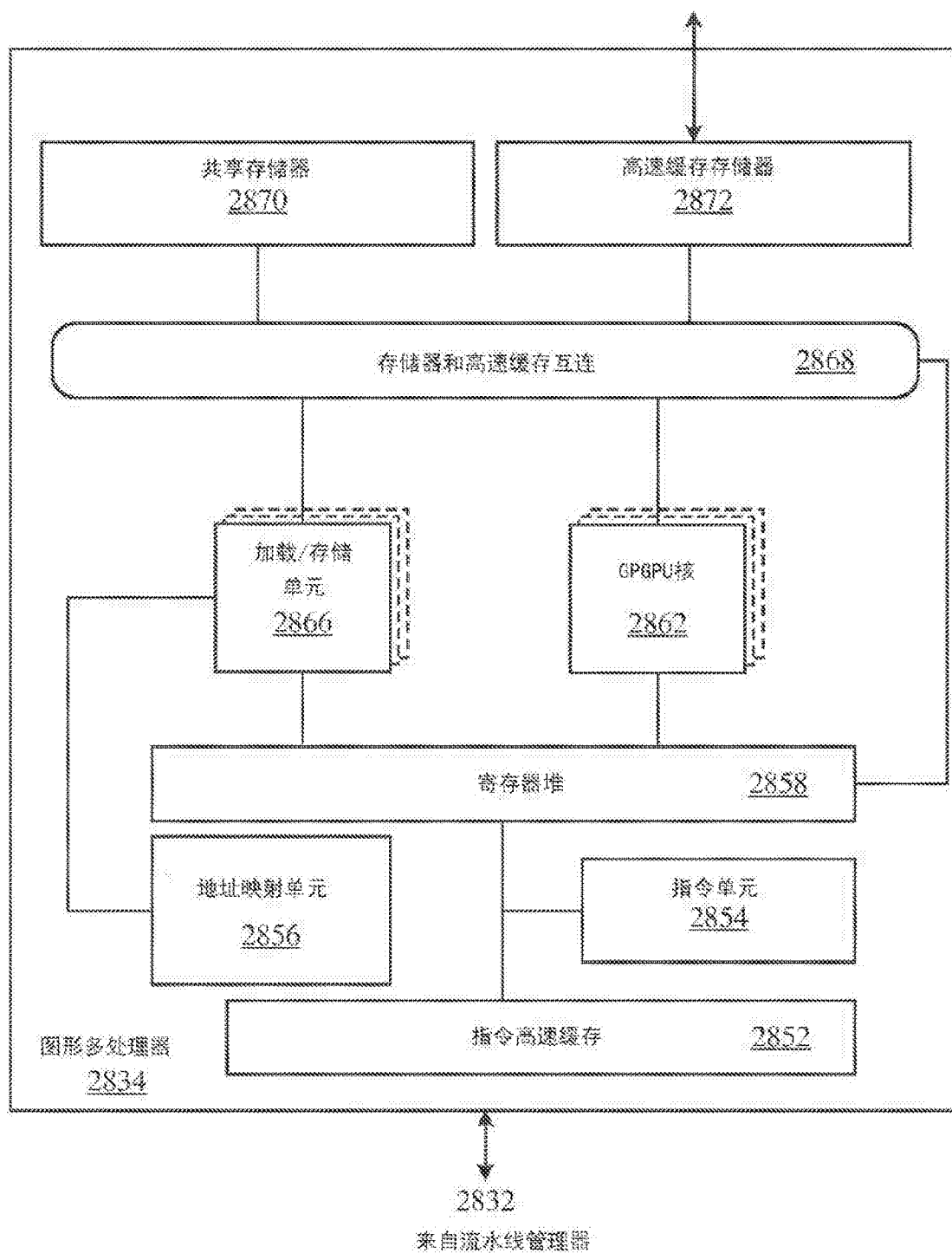


图28D



图29A

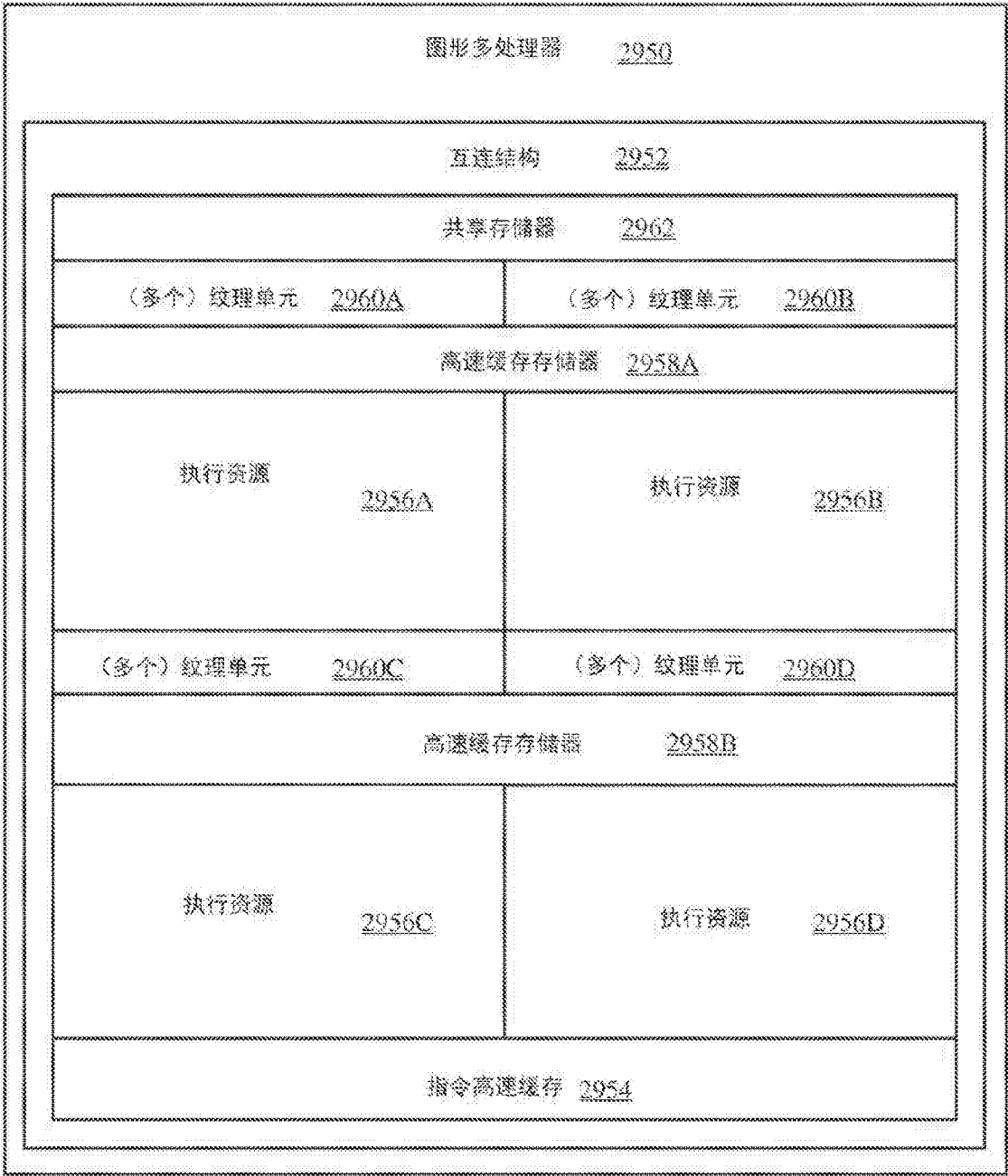


图29B

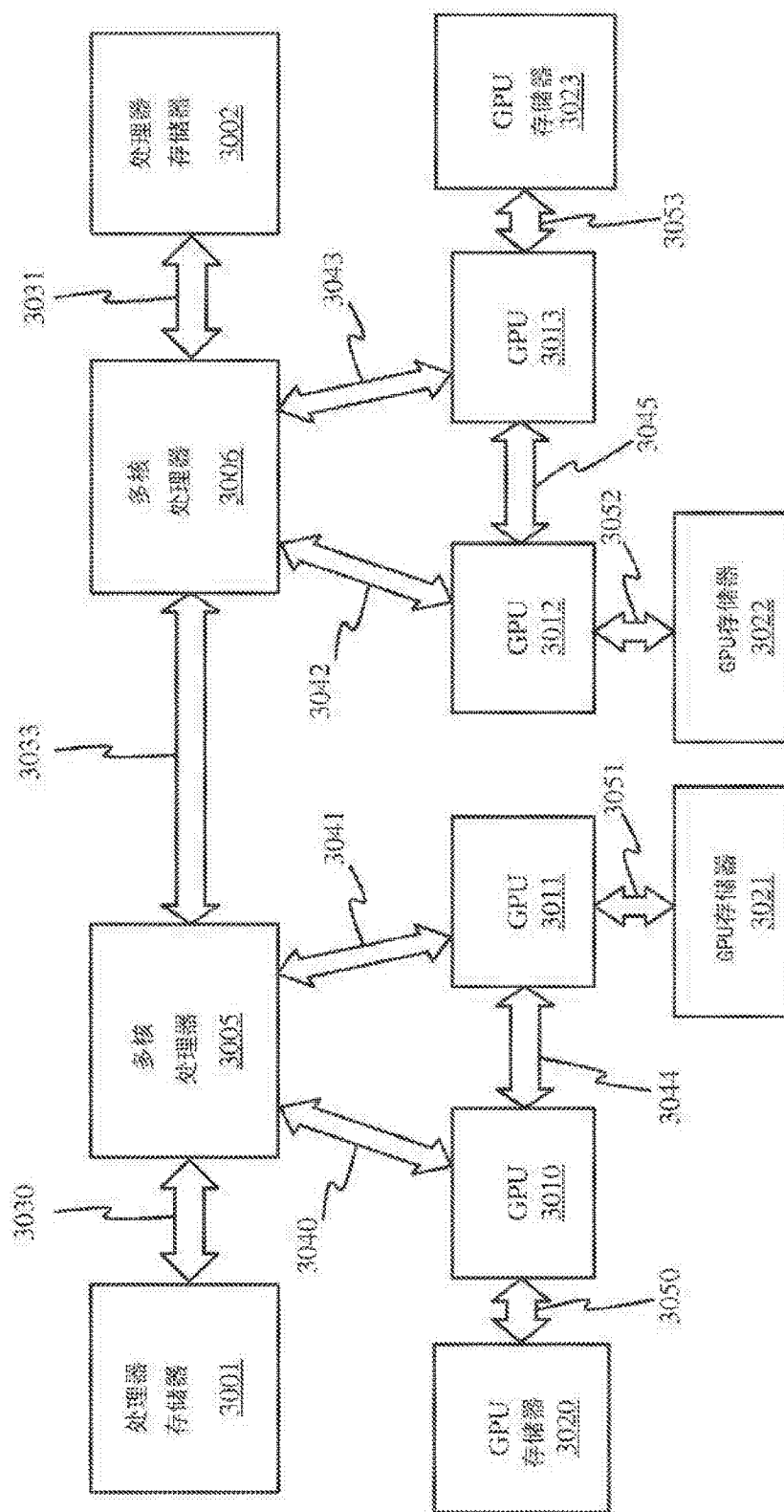


图30A

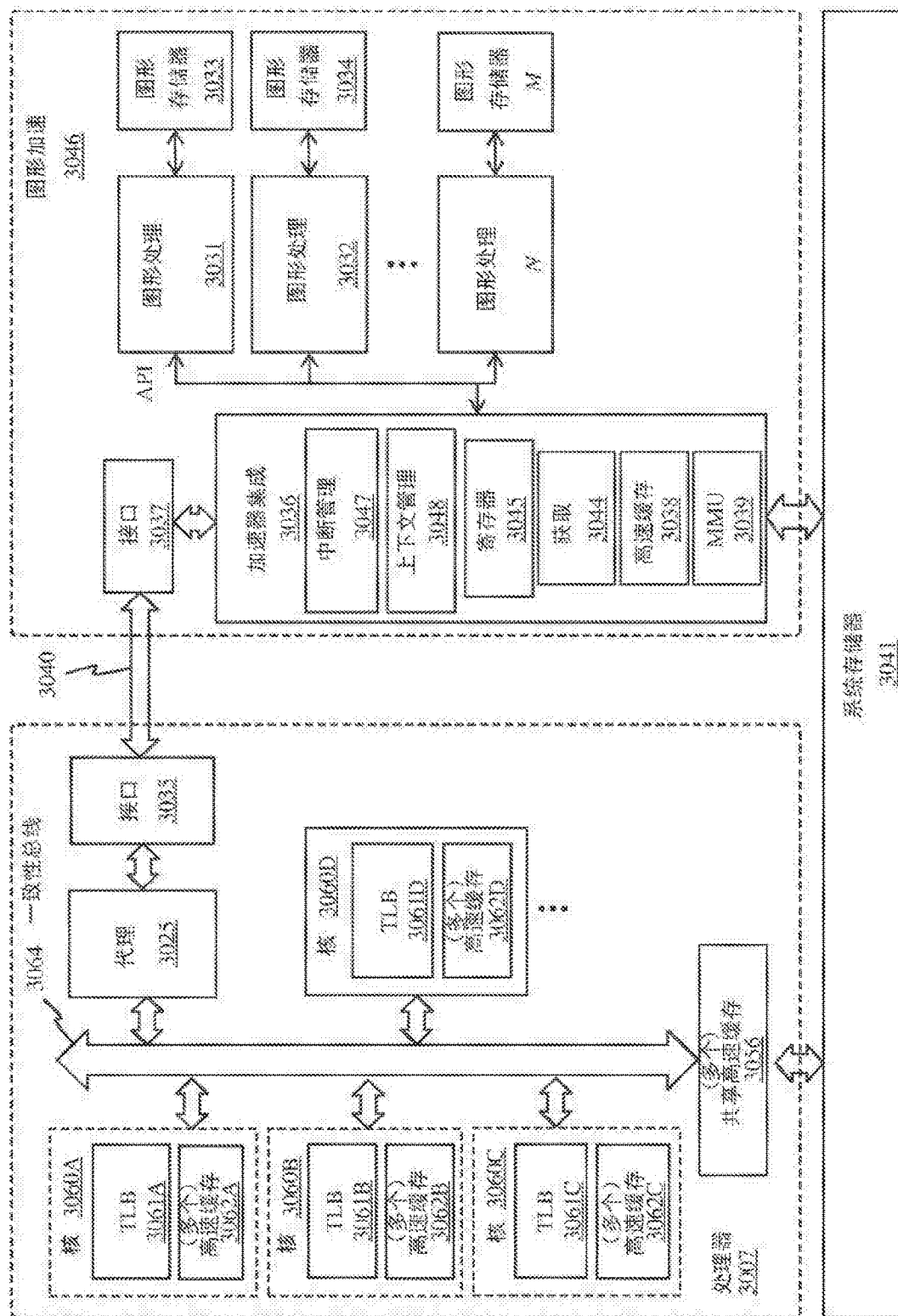


图30B

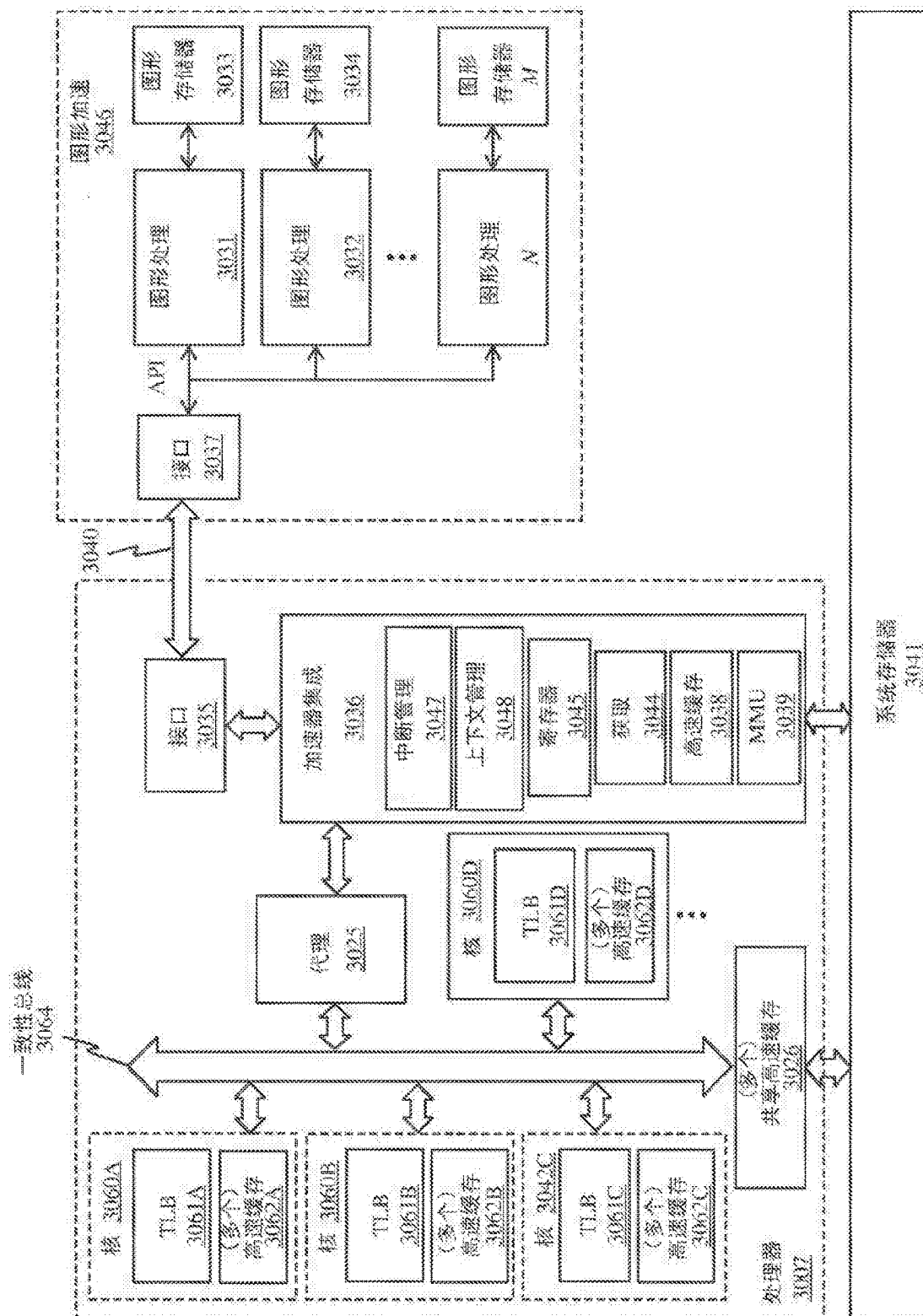


图30C

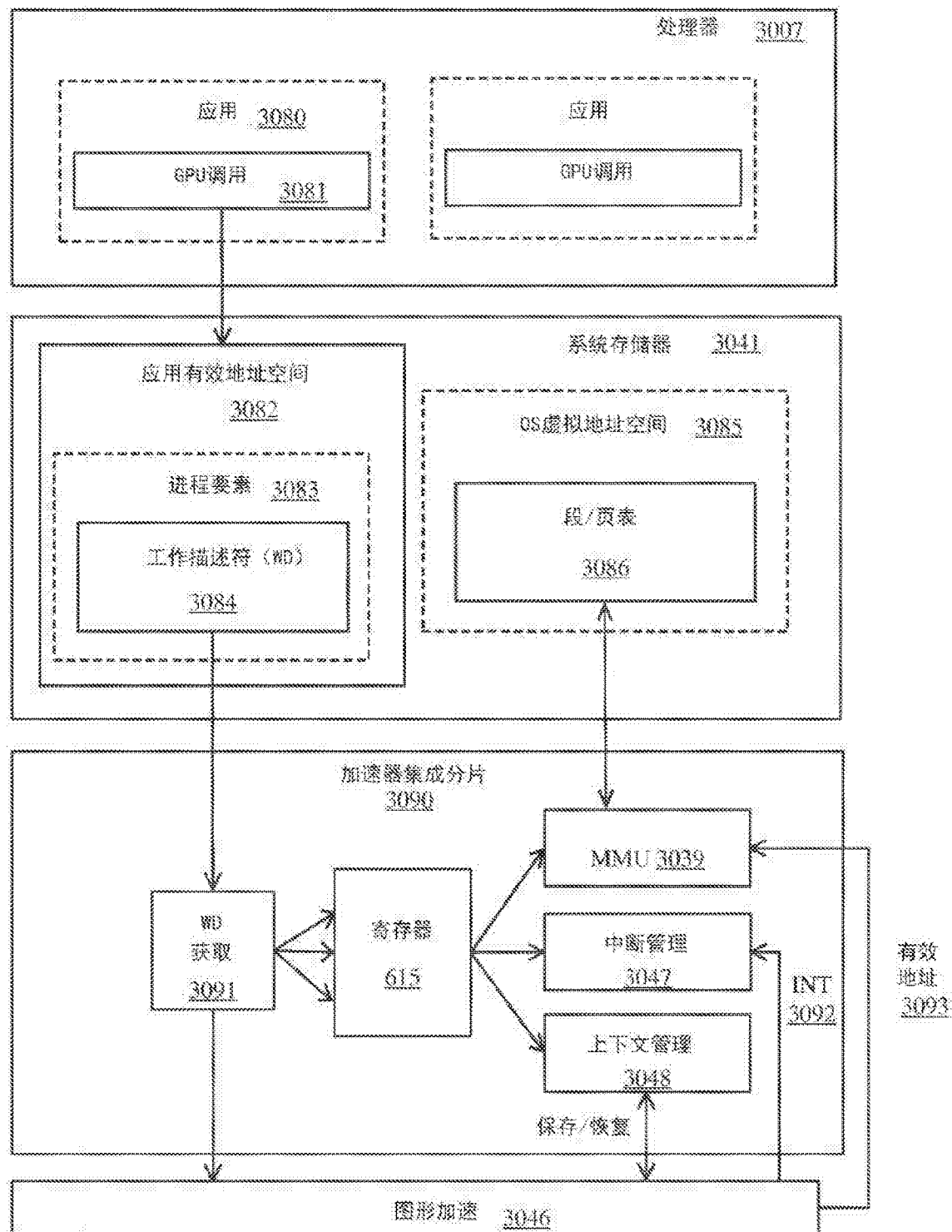


图30D

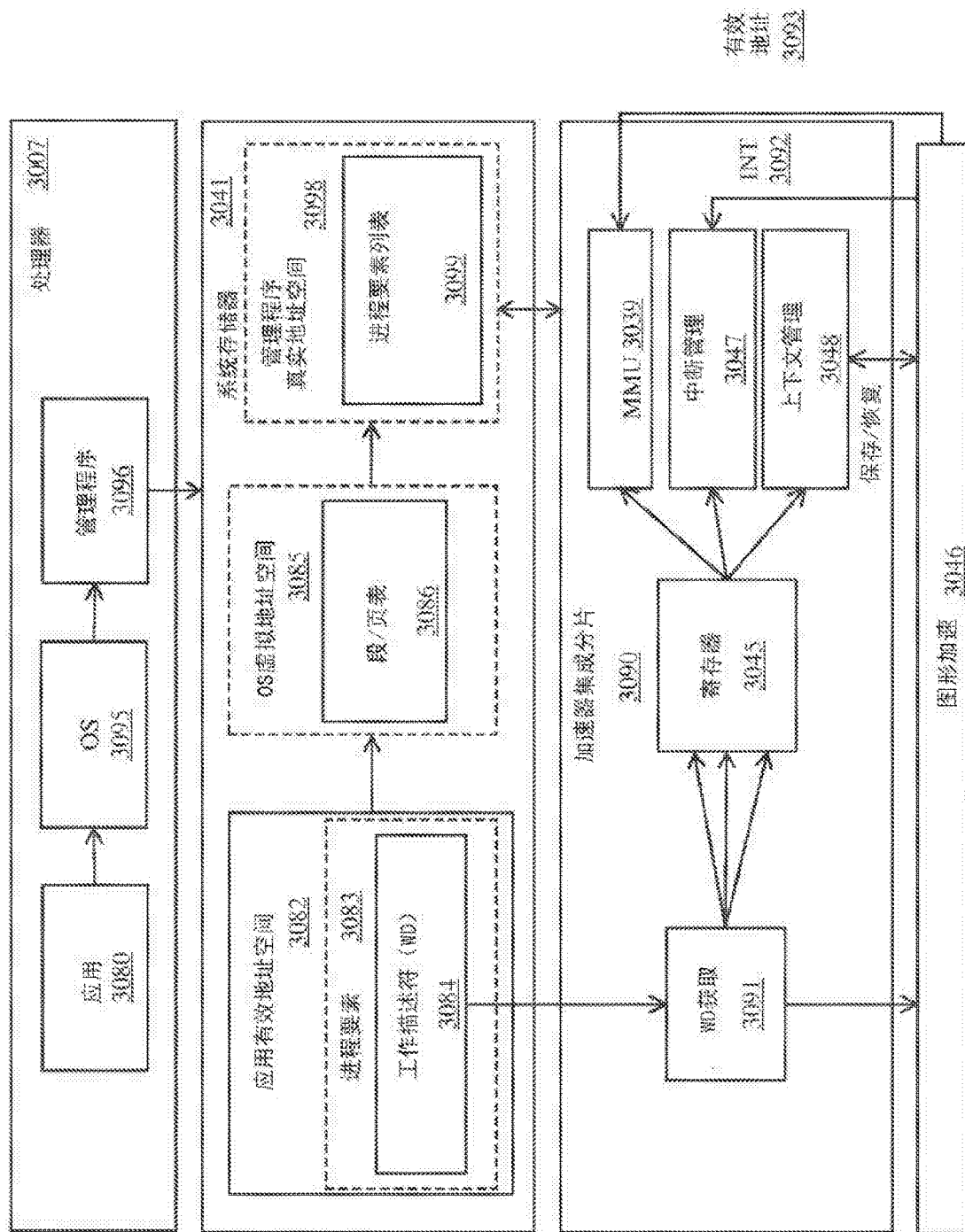


图30E

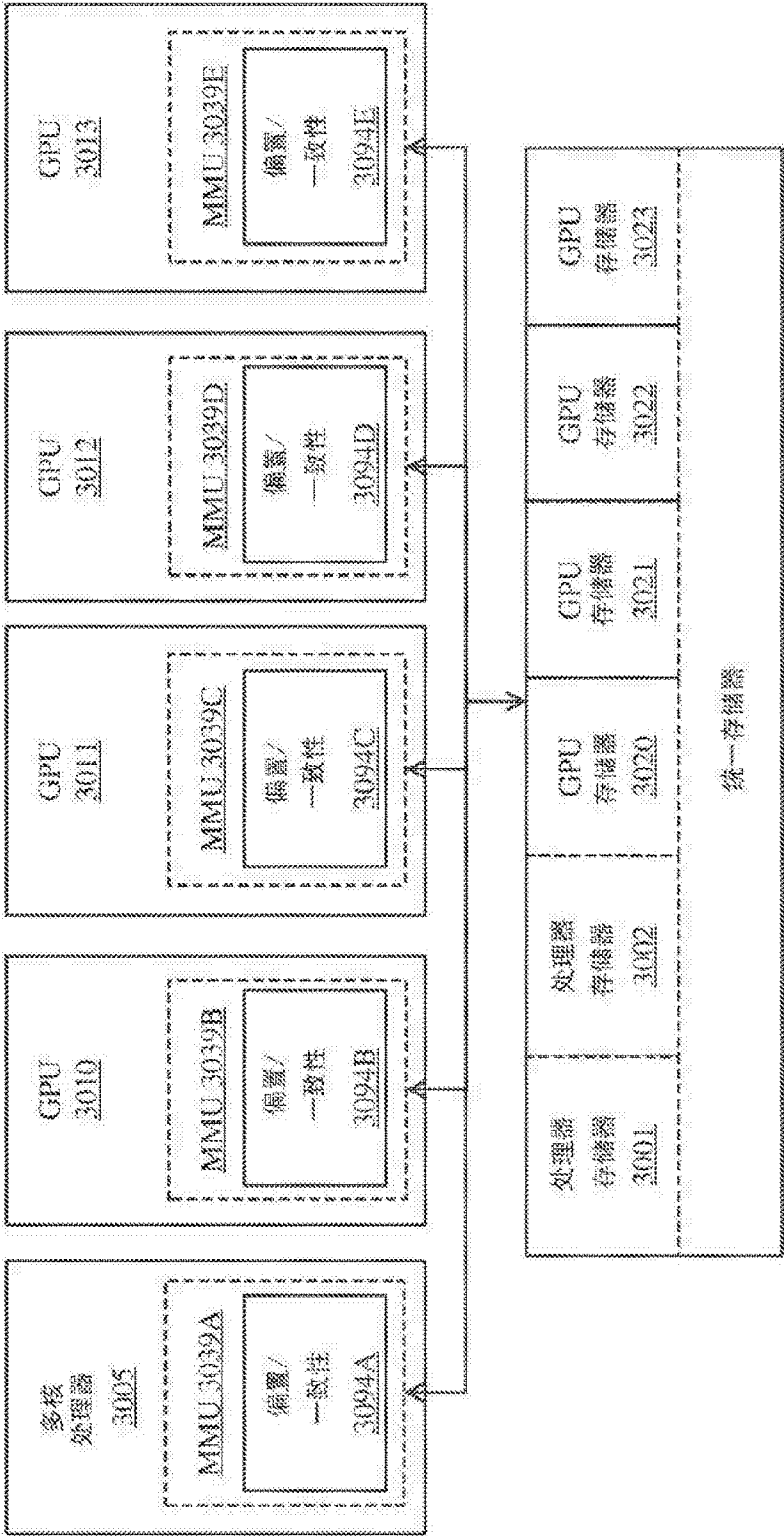


图30F

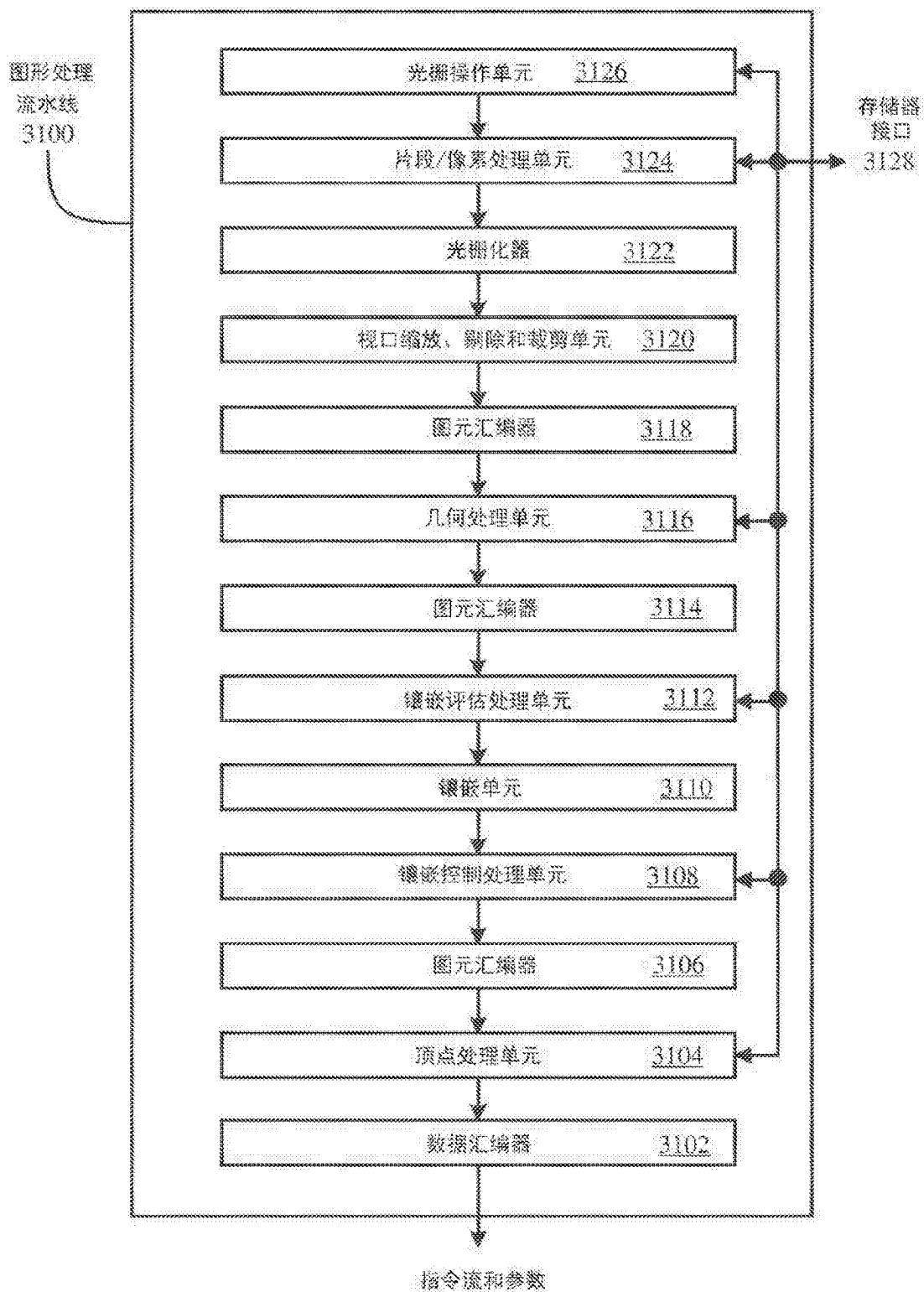


图31



Espacenet

CN108732754A COLLABORATIVE MULTI-USER VIRTUAL REALITY

Applicants: INTEL CORP

Inventors: VEMBAR DEEPAK S, KUWAHARA ATSUO, SAKTHIVEL CHANDRASEKARAN, VENKATARAMAN RADHAKRISHNAN, INSKO BRENT E, KALRA ANUPREET S, LABBE HUGUES, KOKER ALTUG, APODACA MICHAEL, XIAO KAI, BOLES JEFFERY S, LAKE ADAM T, CIMINI DAVID M, VEMBU BALAJI, OULD-AHMED-VALL ELMOUSTAPHA, KWIATKOWSKI JACEK, LAWS PHILIP R, SHAH ANKUR N, APPU ABHISHEK R, RAY JOYDEEP, FU WENYIN, KABURLASOS NIKOS, SURTI PRASOONKUMAR, BOROLE BHUSHAN M

Classifications:

IPC **G02B27/01; G06T19/00;**

CPC **G02B27/017 (CN); G06F3/1431 (EP,US); G06F3/1454 (EP,US); G06F3/147 (EP,US); G06T1/20 (EP,US); G06T19/006 (CN); G09G5/363 (EP,US); H04L65/4025 (US); G02B2027/0178 (CN); G09G2340/02 (EP,US); G09G2350/00 (EP,US); G09G2352/00 (EP,US); G09G2354/00 (EP,US); G09G2360/08 (EP,US); G09G2360/121 (EP,US); G09G2360/125 (EP,US); G09G2370/02 (EP,US); G09G3/003 (EP,US); H04L67/131 (US);**

Priorities: US201715489096A 2017-04-17

Application: CN201810336612A 2018-04-16

Publication: CN108732754A 2018-11-02

Published as: CN108732754A, EP3392827A1; US10430147B2; US10908865B2; US11520555B2; US2018300098A1; US2020097243A1; US2021294560A1

COLLABORATIVE MULTI-USER VIRTUAL REALITY

Abstract

The invention discloses collaborative multi-user virtual reality. An embodiment of a graphics apparatus may include a processor, memory communicatively coupled to the processor, and a collaboration engine communicatively coupled to the processor to identify a shared graphics component between two or more users in an environment, and share the shared graphics components with the two or more users in the environment. Embodiments of the collaboration engine may include one or more of a centralized sharer, a depth sharer, a shared preprocessor, a multi-port graphics subsystem, and a decode sharer. Other embodiments are disclosed and claimed.

(19)中华人民共和国国家知识产权局



(12)发明专利申请

(10)申请公布号 CN 108732754 A

(43)申请公布日 2018.11.02

(21)申请号 201810336612.6

P·萨蒂 B·M·波罗尔

(22)申请日 2018.04.16

(74)专利代理机构 上海专利商标事务所有限公司 31100

(30)优先权数据

代理人 李炜 黄嵩泉

15/489,096 2017.04.17 US

(71)申请人 英特尔公司

(51)Int.Cl.

地址 美国加利福尼亚州

G02B 27/01(2006.01)

G06T 19/00(2011.01)

(72)发明人 D·S·范巴 A·桑原

C·萨科斯维尔 R·文卡特拉曼

B·E·英斯科 A·S·卡尔拉

H·拉韦 A·考克 M·阿波达卡

K·肖 J·S·波尔斯

A·T·莱克 D·M·西米尼

B·韦布 E·乌尔德-阿迈德-瓦尔

J·奎亚特科维斯基 P·R·劳斯

A·N·沙阿 A·R·阿普 J·雷

W·付 N·卡布拉斯欧斯

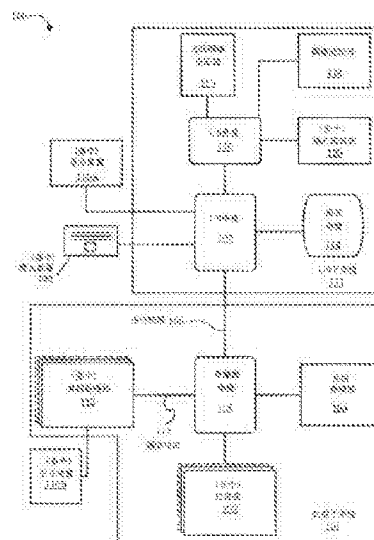
权利要求书3页 说明书57页 附图44页

(54)发明名称

协作式多用户虚拟现实

(57)摘要

本申请公开了协作式多用户虚拟现实。图形设备的实施例可以包括：处理器；存储器，通信地耦合至所述处理器；以及协作引擎，通信地耦合至所述处理器以用于识别环境中的两个或更多个用户之间的共享图形分量，并且与所述环境中的所述两个或更多个用户共享所述共享图形分量。所述协作引擎的实施例可以包括集中式共享器、深度共享器、共享预处理器、多端口图形子系统、以及解码共享器中的一个或多个。公开并要求保护了其他实施例。



1. 一种图形设备,包括:
处理器;
存储器,通信地耦合至所述处理器;以及
协作引擎,通信地耦合至所述处理器以用于:
识别环境中的两个或更多个用户之间的共享图形分量;以及
与所述环境中的所述两个或更多个用户共享所述共享图形分量。
2. 如权利要求1所述的设备,其中,所述协作引擎进一步包括集中式共享器,所述集中式共享器用于:
广播器,用于将所述共享图形分量广播至所有所述两个或更多个用户;以及
分配器,用于将单独的图形分量单独地分配至所述两个或更多个用户中的一个用户。
3. 如权利要求2所述的设备,其中,所述集中式共享器进一步用于:
基于目标虚拟现实设备来分割所述共享图形分量的工作负荷。
4. 如权利要求1所述的设备,其中,所述协作引擎进一步包括深度共享器,所述深度共享器用于:
从独立于所述两个或更多个用户中的第一用户的源收集深度信息;以及
与所述第一用户共享所述深度信息。
5. 如权利要求4所述的设备,其中,所述深度共享器进一步用于:
从所述第一用户的视场之外的所述独立源收集可见性信息;以及
与所述第一用户共享所述可见性信息。
6. 如权利要求1所述的设备,其中,所述协作引擎进一步包括共享预处理器,所述共享预处理器用于:
预计算与所述共享图形分量有关的信息;以及
与所述两个或更多个用户共享预计算的信息。
7. 如权利要求6所述的设备,其中,所述预计算的信息包括几何信息、图元信息、和物理信息中的一项或多项。
8. 如权利要求1所述的设备,其中,所述协作引擎进一步包括多端口图形子系统,所述多端口图形子系统用于:
在所述多端口图形子系统的每个端口上支持不同的用户。
9. 如权利要求8所述的设备,其中,所述多端口图形子系统进一步用于:
当仅第一虚拟现实设备连接至所述多端口图形子系统时,支持所述第一虚拟现实设备的左眼显示器和右眼显示器;
当所述第一虚拟现实设备和第二虚拟现实设备两者均连接至所述多端口图形子系统时,支持所述第一虚拟现实设备和所述第二虚拟现实设备;并且
当所述第一虚拟现实设备和所述第二虚拟现实设备两者均连接至所述多端口图形子系统时,在所述第一虚拟现实设备与所述第二虚拟现实设备之间共享图形图元。
10. 如权利要求1所述的设备,其中,所述协作引擎进一步包括解码共享器,所述解码共享器用于:
识别第一用户的第一视图区与第二用户的第二视图区之间的共享场景的重叠区;
对所述重叠区进行解码;以及

与所述第一用户和所述第二用户两者共享经解码的重叠区。

11. 如权利要求10所述的设备,其中,所述解码共享器进一步用于:
基于所述重叠区对所述解码进行优先级排序。

12. 一种图形协作的方法,所述方法包括:
识别环境中的两个或更多个用户之间的共享图形分量;以及
与所述环境中的所述两个或更多个用户共享所述共享图形分量。

13. 如权利要求12所述的方法,进一步包括:
将所述共享图形分量广播至所有所述两个或更多个用户;以及
将单独的图形分量单独地分配至所述两个或更多个用户中的一个用户。

14. 如权利要求13所述的方法,进一步包括:
基于目标虚拟现实设备来分割所述共享图形分量的工作负荷。

15. 如权利要求12所述的方法,进一步包括:
从独立于所述两个或更多个用户中的第一用户的源收集深度信息;以及
与所述第一用户共享所述深度信息。

16. 如权利要求15所述的方法,进一步包括:
从所述第一用户的视场之外的所述独立源收集可见性信息;以及
与所述第一用户共享所述可见性信息。

17. 如权利要求12所述的方法,进一步包括:
预计算与所述共享图形分量有关的信息;以及
与所述两个或更多个用户共享预计算的信息。

18. 如权利要求17所述的方法,其中,所述预计算的信息包括几何信息、图元信息、和物理信息中的一项或多项。

19. 如权利要求12所述的方法,进一步包括:
在多端口图形子系统的每个端口上支持不同的用户。

20. 如权利要求19所述的方法,进一步包括:

当仅第一虚拟现实设备连接至所述多端口图形子系统时,支持所述第一虚拟现实设备的左眼显示器和右眼显示器;

当所述第一虚拟现实设备和第二虚拟现实设备两者均连接至所述多端口图形子系统时,支持所述第一虚拟现实设备和所述第二虚拟现实设备;以及

当所述第一虚拟现实设备和所述第二虚拟现实设备两者均连接至所述多端口图形子系统时,在所述第一虚拟现实设备与所述第二虚拟现实设备之间共享图形图元。

21. 如权利要求12所述的方法,进一步包括:
识别第一用户的第一视图区与第二用户的第二视图区之间的共享场景的重叠区;
对所述重叠区进行解码;以及
与所述第一用户和所述第二用户两者共享经解码的重叠区。

22. 如权利要求21所述的方法,进一步包括:
基于所述重叠区对所述解码进行优先级排序。

23. 一种图形设备,包括:
用于识别环境中的两个或更多个用户之间的共享图形分量的装置;以及

用于与所述环境中的所述两个或更多个用户共享所述共享图形分量的装置。

24. 如权利要求23所述的设备,进一步包括:

用于将所述共享图形分量广播至所有所述两个或更多个用户的装置;以及

用于将单独的图形分量单独地分配至所述两个或更多个用户中的一个用户的装置。

25. 如权利要求24所述的设备,进一步包括:

用于基于目标虚拟现实设备来分割所述共享图形分量的工作负荷的装置。

协作式多用户虚拟现实

技术领域

[0001] 实施例总体上涉及数据处理并涉及经由图形处理单元进行的图形处理。更具体地,实施例涉及协作式多用户虚拟现实 (VR)。

背景技术

[0002] 当前的并行图形数据处理包括被开发用于对图形数据执行如例如线性内插、曲面细分、光栅化、纹理映射、深度测试等特定操作的系统和方法。传统上,图形处理器使用固定功能计算单元来处理图形数据;然而,最近,图形处理器的一部分已经变得可编程,从而使得这种处理器能够支持用于处理顶点和片段数据的各种各样的操作。图形处理器可以用于各种VR应用中。

附图说明

[0003] 实施例的各种优点将通过阅读以下说明和所附权利要求以及通过参考以下附图而变得为本领域技术人员所显而易见,在附图中:

[0004] 图1是展示计算机系统的框图,所述计算机系统被配置成实现本文描述的实施例的一个或多个方面;

[0005] 图2A到图2D展示了根据实施例的并行处理器部件;

[0006] 图3A到图3B是根据实施例的图形多处理器的框图;

[0007] 图4A到图4F展示了示例性架构,其中多个GPU通信地耦合至多个多核处理器;

[0008] 图5展示根据实施例的图形处理流水线;

[0009] 图6A是根据实施例的电子处理系统的示例的框图;

[0010] 图6B是根据实施例的感测引擎的示例的框图;

[0011] 图6C是根据实施例的聚焦引擎的示例的框图;

[0012] 图6D是根据实施例的运动引擎的示例的框图;

[0013] 图6E是根据实施例的协作引擎的示例的框图;

[0014] 图6F是根据实施例的图形设备的示例的框图;

[0015] 图6G至图6L是根据实施例的图形协作的方法的示例的流程图;

[0016] 图6M是根据实施例的图形设备的另一个示例的框图;

[0017] 图6N是根据实施例的图形协作的方法的另一个示例的流程图;

[0018] 图7A是根据实施例的集中式共享器的示例的框图;

[0019] 图8A是根据实施例的深度共享器的示例的框图;

[0020] 图8B是根据实施例的在AR/VR环境中的用户的示例的示意图;

[0021] 图8C是根据实施例的共享预处理器的示例的框图;

[0022] 图8D是根据实施例的在AR/VR环境中的用户的另一个示例的示意图;

[0023] 图9A是根据实施例的多端口图形子系统的示例的框图;

[0024] 图9B是根据实施例的多端口图形子系统的另一个示例的框图;

- [0025] 图9C是根据实施例的多端口图形子系统的另一个示例的框图；
- [0026] 图10A是根据实施例的共享解码器的示例的框图；
- [0027] 图10B是根据实施例的多端口图形子系统的另一个示例的框图；
- [0028] 图10C是根据实施例的360帧的示例的示意图；
- [0029] 图10D是根据实施例的360帧的示例的另一个示意图；
- [0030] 图11是根据实施例的头戴式显示器 (HMD) 系统的示例的图；
- [0031] 图12是根据实施例包括于图11的HMD系统中的功能部件的示例的框图；
- [0032] 图13是根据实施例包括于并行处理单元中的通用处理集群的示例的框图；
- [0033] 图14是根据实施例可在并行处理单元内实现的图形处理流水线的示例的概念图；
- [0034] 图15是根据实施例的串流多处理器的示例的框图；
- [0035] 图16到图18是根据实施例的数据处理系统的概述的示例的框图；
- [0036] 图19是根据实施例的图形处理引擎的示例的框图；
- [0037] 图20到图22是根据实施例的执行单元的示例的框图；
- [0038] 图23是根据实施例的图形流水线的示例的框图；
- [0039] 图24A到图24B是根据实施例的图形流水线的示例的框图；
- [0040] 图25是根据实施例的图形软件架构的示例的框图；
- [0041] 图26是根据实施例的知识产权 (IP) 核开发系统的示例的框图；以及
- [0042] 图27是根据实施例的片上系统集成电路的示例的框图。

具体实施方式

[0043] 在以下描述中,阐述了许多细节以提供对本公开的更全面的理解。然而对于本领域技术人员显然的是,没有一个或多个这些具体细节也可实践本发明。在其他实例中,未描述公知的特征以便不阻碍本发明。

[0044] 系统概述

[0045] 图1是展示计算系统100的框图,所述计算系统被配置成实现本文描述的实施例的一个或多个方面。计算系统100包括处理子系统101,所述处理子系统具有一个或多个处理器102和系统存储器104,所述处理器与所述系统存储器经由可包括存储器中枢105的互连路径来通信。存储器中枢105可以是芯片组部件内的单独的部件,或可以集成在一个或多个处理器102内。存储器中枢105经由通信链路106与I/O子系统111耦合。I/O子系统111包括I/O中枢107,所述I/O中枢可以使得计算系统100能够从一个或多个输入装置108接收输入。另外,I/O中枢107可以使得显示控制器能够将输出提供给一个或多个显示装置110A,所述显示控制器可被包括在一个或多个处理器102中。在一个实施例中,与I/O中枢107耦合的一个或多个显示装置110A可以包括本地、内部或嵌入式显示装置。

[0046] 在一个实施例中,处理子系统101包括一个或多个并行处理器112,所述并行处理器经由总线或其他通信链路113耦合至存储器中枢105。通信链路113可以是任何数目的基于标准的通信链路技术或协议中的一者(比如但不限于,PCI快速总线),或可以是供应方特定的通信接口或通信结构。在一个实施例中,一个或多个并行处理器112形成计算上集中的并行或向量处理系统,所述系统包括大量处理核和/或处理集群(比如,集成众核(MIC)处理器)。在一个实施例中,一个或多个并行处理器112形成图形处理子系统,所述图形处理子系

统可以将像素输出到经由I/O中枢107耦合的一个或多个显示装置110A中的一者。一个或多个并行处理器112还可以包括显示控制器和显示接口(未示出)以使得能够直接连接到一个或多个显示装置110B。

[0047] 在I/O子系统111内,系统存储单元114可以连接到I/O中枢107以提供用于计算系统100的存储机制。I/O开关116可以用于提供接口机制以实现I/O中枢107与其他部件(比如,可集成到平台中的网络适配器118和/或无线网络适配器119,以及可以经由一个或多个插入式装置120添加的各种其他装置)之间的连接。网络适配器118可以是以太网适配器或另一有线网络适配器。无线网络适配器119可以包括以下各者中的一者或多者:Wi-Fi、蓝牙、近场通信(NFC)、或包括一个或多个无线电装置的其他网络装置。

[0048] 计算系统100可以包括未明确示出的其他部件,包括USB或其他端口连接件、光学存储驱动器、视频捕获装置等等,它们也可连接到I/O中枢107。使图1中的各种部件互连的通信路径可使用任何合适的协议来实现,比如基于PCI(外围部件互连)的协议(例如,PCI快速总线)或任何其他总线或点对点通信接口和/或协议(比如,NV-Link高速互连、或本领域中已知的互连协议)。

[0049] 在一个实施例中,一个或多个并行处理器112包括针对图形和视频处理进行优化的电路(包括(例如),视频输出电路),并且构成图形处理单元(GPU)。在另一个实施例中,一个或多个并行处理器112包括针对通用处理进行优化的电路,同时保持本文更详细地描述的底层计算架构。在又一个实施例中,计算系统100的部件可与一个或多个其他系统元件一起集成在单个集成电路上。例如,一个或多个并行处理器112、存储器中枢105、处理器102和I/O中枢107可以集成到芯片上系统(SoC)集成电路中。可替代地,计算系统100的部件可以集成到单个封装中以形成封装中系统(SIP)配置。在一个实施例中,计算系统100的部件的至少一部分可以集成到多芯片模块(MCM)中,所述MCM可以与其他多芯片模块一起互连到模块化计算系统中。

[0050] 将认识到的是,本文示出的计算系统100是展示性的,并且各种变型和修改是有可能的。可根据需要修改连接拓扑,包括桥的数目和排、(多个)处理器102的数目和(多个)并行处理器112的数目。例如,在一些实施例中,系统存储器104直接而非通过桥连接到(多个)处理器102,而其他装置经由存储器中枢105和(多个)处理器102与系统存储器104通信。在其他替代性拓扑中,(多个)并行处理器112连接到I/O中枢107或直接连接到一个或多个处理器102中的一者,而非连接到存储器中枢105。在其他实施例中,I/O中枢107和存储器中枢105可集成到单个芯片中。一些实施例可包括经由多个插口附接的两组或更多组处理器102,它们可以与(多个)并行处理器112的两个或更多个实例耦合。

[0051] 本文中示出的一些特定部件是可选的,并且可以不被包括在计算系统100的所有实现方式中。例如,可支持任何数量的插入式卡或外设,或可消除一些部件。此外,一些架构可对于与图1中展示的那些部件类似的部件使用不同的术语。例如,在一些架构中,存储器中枢105可称为北桥,而I/O中枢107可称为南桥。

[0052] 图2A展示了根据实施例的并行处理器200。并行处理器200的各种部件可使用一个或多个集成电路装置来实现,比如可编程处理器、专用集成电路(ASIC)或现场可编程门阵列(FPGA)。根据实施例,所展示的并行处理器200是图1中所示的一个或多个并行处理器112的变体。

[0053] 在一个实施例中,并行处理器200包括并行处理单元202。所述并行处理单元包括I/O单元204,所述I/O单元实现与其他装置(包括并行处理单元202的其他实例)的通信。I/O单元204可直接连接到其他装置。在一个实施例中,I/O单元204经由使用中枢或开关接口(比如,存储器中枢105)来与其他装置连接。存储器中枢105与I/O单元204之间的连接形成通信链路113。在并行处理单元202内,I/O单元204与主机接口206和存储器交叉开关(memory crossbar)216连接,其中,主机接口206接收涉及执行处理操作的命令,并且存储器交叉开关216接收涉及执行存储器操作的命令。

[0054] 当主机接口206经由I/O单元204接收命令缓冲时,主机接口206可以将用于执行那些命令的工作操作导引至前端208。在一个实施例中,前端208与调度器210耦合,该调度器210被配置成将命令或其他工作项目分布至处理集群阵列212。在一个实施例中,调度器210确保在任务被分布至处理集群阵列212的处理集群之前,处理集群阵列212被适当地配置且处于有效状态。在一个实施例中,调度器210是经由在微控制器上执行的固件逻辑实现的。微控制器实现的调度器210可配置用于以粗粒度和细粒度执行复杂的调度和工作分布操作,从而实现在处理阵列212上执行的线程的快速抢占和上下文切换。在一个实施例中,主机软件可以经由多个图像处理门铃中的一个来证明工作负荷以用于在处理阵列212上调度。随后工作负荷可以由调度器微控制器内的调度器210逻辑跨处理阵列212自动地分布。

[0055] 处理集群阵列212可以包括多达“N”个处理集群(例如,集群214A、集群214B、直到集群214N)。处理集群阵列212的每一个集群214A-214N都可以执行大量的并发线程。调度器210可以使用各种调度和/或工作分布算法来将工作分配给处理集群阵列212的集群214A-214N,各种调度和/或工作分布算法可取决于为每一种类型的程序或计算而产生的工作负荷而变化。调度可以由调度器210动态地处置,或者可以在配置用于由处理集群阵列212执行的程序逻辑的编译期间部分地由编译器逻辑辅助。在一个实施例中,可以将处理集群阵列212的不同集群214A-214N分配用于处理不同类型的程序,或用于执行不同类型的计算。

[0056] 可以将处理集群阵列212配置成执行各种类型的并行处理操作。在一个实施例中,将处理集群阵列212配置成执行通用并行计算操作。例如,处理集群阵列212可以包括用于执行处理任务的逻辑,处理任务包括过滤视频和/或音频数据、执行建模操作(包括物理操作)、以及执行数据变换。

[0057] 在一个实施例中,处理集群阵列212被配置成执行并行的图形处理操作。在其中并行处理器200被配置成执行图形处理操作的实施例中,处理集群阵列212可以包括用于支持执行这样的图形处理操作的附加逻辑,包括但不限于用于执行纹理操作的纹理采样逻辑、以及曲面细分逻辑和其他顶点处理逻辑。另外,处理集群阵列212可以被配置成执行与图形处理有关的着色器程序,比如但不限于顶点着色器、曲面细分着色器、几何着色器和像素着色器。并行处理单元202可以经由I/O单元204传递来自系统存储器的数据以供处理。在处理期间,可以将所传递的数据在处理期间存储到芯片上存储器(例如,并行处理器存储器222),然后将其写回到系统存储器。

[0058] 在一个实施例中,当并行处理单元202用于执行图形处理时,调度器210可以被配置成将处理工作负荷划分成近似等规模的任务,以更好地使得能够将图形处理操作分布到处理集群阵列212中的多个集群214A至214N。在一些实施例中,处理集群阵列212的多个部分可以被配置成执行不同类型的处理。例如,第一部分可被配置成执行顶点着色和拓扑生

成,第二部分可被配置成执行曲面细分和几何着色,并且第三部分可被配置成执行像素着色或其他屏幕空间操作,以产生供显示的渲染图像。由集群214A至214N中的一者或多者产生的中间数据可存储在缓冲器中以允许在集群214A至214N之间传输所述中间数据以供进一步处理。

[0059] 在操作期间,处理集群阵列212可以经由调度器210来接收待执行的处理任务,所述调度器从前端208接收定义处理任务的命令。针对图形处理操作,处理任务可以包括待处理的数据(例如,表面(补片(patch))数据、图元数据(primitive data)、顶点数据和/或像素数据)的索引以及状态参数和定义要如何处理数据(例如,要执行什么程序)的命令。调度器210可被配置成获取与任务相对应的索引,或可从前端208接收这些索引。前端208可以被配置成确保在发起由进入的命令缓冲(例如,分批缓冲、推动缓冲等)指定的工作负荷之前处理集群阵列212被配置成有效状态。

[0060] 并行处理单元202的一个或多个实例中的每一个都可以与并行处理器存储器222耦合。并行处理器存储器222可以经由存储器交叉开关216来访问,存储器交叉开关216可以从处理集群阵列212以及I/O单元204接收存储器请求。存储器交叉开关216可以经由存储器接口218访问并行处理器存储器222。存储器接口218可以包括多个分区单元(例如,分区单元220A、分区单元220B、直到分区单元220N),每一个分区单元都可以耦合至并行处理器存储器222的一部分(例如,存储器单元)。在一种实现方式中,将分区单元220A-220N的数量配置成等于存储器单元的数量,使得第一分区单元220A具有对应的第一存储器单元224A,第二分区单元220B具有对应的存储器单元224B,并且第N分区单元220N具有对应的第N存储器单元224N。在其他实施例中,分区单元220A-220N的数量可以不等于存储器装置的数量。

[0061] 在各种实施例中,存储器单元224A至224N可以包括各种类型的存储器装置,包括动态随机存取存储器(DRAM)或图形随机存取存储器(比如,同步图形随机存取存储器(SGRAM),包括图形双数据速率(GDDR)存储器)。在一个实施例中,存储器单元224A至224N还可包括3D堆叠式存储器,包括但不限于高带宽存储器(HBM)。本领域技术人员将认识到,存储器单元224A至224N的具体的实现方式可以变化,并且可以选自各种常规设计中的一者。渲染目标(比如,帧缓冲器或纹理映射(texture map))可跨越存储器单元224A至224N存储,从而允许分区单元220A至220N并行写入每个渲染目标的多个部分以高效地使用并行处理器存储器222的可用带宽。在一些实施例中,可排除并行处理器存储器222的本地实例,以有利于结合本地高速缓存存储器来利用系统存储器的统一的存储器设计。

[0062] 在一个实施例中,处理集群阵列212的集群214A-214N中的任何一个都可以处理将被写入并行处理器存储器222内的存储器单元224A-224N中的任何一个的数据。可以将存储器交叉开关216配置成将每一个集群214A-214N的输出传递到可以对输出执行附加的处理操作的任何分区单元220A-220N或另一集群214A-214N。每一个集群214A-214N都可以通过存储器交叉开关216与存储器接口218通信,以便从各种外部存储器装置读取或向各种外部存储器装置写入。在一个实施例中,存储器交叉开关216具有到存储器接口218的连接以及与I/O单元204通信,并具有到并行处理器存储器222的本地实例的连接,从而使不同的处理集群214A-214N内的处理单元能够与系统存储器或不在并行处理单元202本地的其他存储器通信。在一个实施例中,存储器交叉开关216可以使用虚拟通道以分离集群214A-214N与分区单元220A-220N之间的业务流。

[0063] 虽然在并行处理器200内展示了并行处理单元202的单个实例,但是可以包括并行处理单元202的任何数目的实例。例如,可以在单个插入式卡上提供并行处理单元202的多个实例,或可以将多个插入式卡互连。并行处理单元202的不同实例可以被配置成即使这些不同实例具有不同数目的处理核、不同量的本地并行处理器存储器 and/或其他配置差异而仍互操作。例如且在一个实施例中,并行处理单元202的一些实例可以相对于其他实例包括更高精度浮点单元。包括并行处理单元202或并行处理器200的一个或多个实例的系统可以以多种配置和形状因数来实现,包括但不限于台式、膝上型或手持式个人计算机、服务器、工作站、游戏控制台和/或嵌入式系统。

[0064] 图2B是根据实施例的分区单元220的框图。在一个实施例中,分区单元220是图2A的分区单元220A至220N中的一者的实例。如所展示,分区单元220包括L2高速缓存221、帧缓冲器接口225和ROP 226(光栅操作单元)。L2高速缓存221是读/写高速缓存,其被配置成执行从存储器交叉开关216和ROP 226接收的加载和存储操作。由L2高速缓存221将读未命中(read miss)和紧急回写请求输出到帧缓冲器接口225以供处理。也可以经由帧缓冲器接口225将更新发送到帧缓冲器以供处理。在一个实施例中,帧缓冲器接口225与并行处理器存储器中的存储器单元(比如,图2的存储器单元224A至224N(例如,在并行处理器存储器222内))中的一者交界。

[0065] 在图形应用中,ROP 226是执行诸如模板印刷(stencil)、z测试、混合等等的光栅操作的处理单元。随后ROP 226输出存储在图形存储器中的处理过的图形数据。在一些实施例中,ROP 226包括压缩逻辑,该压缩逻辑用于压缩写入到存储器的深度或颜色数据,并且解压缩从存储器读取的深度或颜色数据。压缩逻辑可以是利用多种压缩算法的一种或多种的无损压缩逻辑。由ROP 226执行的压缩的类型可以基于待压缩的数据的统计特性而变化。例如,在一个实施例中,Δ颜色压缩逐图块地对深度和颜色数据执行。

[0066] 在一些实施例中,ROP 226被包括在每个处理集群(例如,图2的集群214A至214N)内而非包括在分区单元220内。在这样的实施例中,经由存储器交叉开关216来传输针对像素数据的读和写请求而非像素片段数据。已处理的图形数据可在显示装置(比如,图1的一个或多个显示装置110中的一者)上显示、被路由以供由(多个)处理器102进一步处理、或被路由以供由图2A的并行处理器200内的处理实体中的一者进一步处理。

[0067] 图2C是根据实施例的并行处理单元内的处理集群214的框图。在一个实施例中,处理集群是图2的处理集群214A至214N中的一者的实例。处理集群214可以被配置成并行执行许多线程,其中,术语“线程”是指在一组特定的输入数据上执行的特定程序的实例。在一些实施例中,在不提供多个独立的指令单元的情况下,使用单指令多数据(SIMD)指令发布技术以支持对大量线程的并行执行。在其他实施例中,在使用共同指令单元的情况下,使用单指令多线程(SIMT)技术以支持对大量一般为同步的线程的并行执行,所述共同指令单元被配置成将指令发布到处理集群中的每一者内的一组处理引擎。不同于SIMD执行制度(其中,所有处理引擎通常执行相同的指令),SIMT执行允许不同的线程更容易沿着分歧的执行路径通过给定的线程程序。本领域技术人员将理解,SIMD处理制度表示SIMT处理制度的功能性子集。

[0068] 可以经由流水线管理器232来控制处理集群214的操作,所述流水线管理器将处理任务分布到SIMT并行处理器。流水线管理器232从图2的调度器210接收指令,并且经由图形

多处理器234和/或纹理单元236来管理对那些指令的执行。所展示的图形多处理器234是SIMT并行处理器的示例性实例。然而,具有不同架构的各种类型的SIMT并行处理器可被包括在处理集群214内。图形多处理器234的一个或多个实例可以被包括在处理集群214内。图形多处理器234可以处理数据,并且数据交叉开关240可以用于将已处理的数据分布到多个可能的目的地(包括其他着色器单元)中的一者。流水线管理器232可以通过指定待经由数据交叉开关240分布的已处理的数据的目的地来促进已处理的数据的分布。

[0069] 处理集群214内的每一个图形多处理器234都可以包括完全相同的一组功能执行逻辑(例如,算术逻辑单元、加载-存储单元等)。能以流水线方式配置功能执行逻辑,在流水线方式中,在先前的指令完成之前,可发布新指令。功能执行逻辑支持多种多样的操作,包括整数和浮点算术、比较操作、布尔操作、位移位和各种代数函数的计算。在一个实施例中,可以利用同一功能性单元硬件来执行不同的操作,并且可以存在功能单元的任何组合。

[0070] 传输至处理集群214的指令构成线程。跨一组并行处理引擎而执行的一组线程是线程组。线程组对不同的输入数据执行同一程序。可以将线程组内的每一个线程分配给图形多处理器234内的不同的处理引擎。线程组可包括比图形多处理器234内的处理引擎的数量少的线程。当线程组包括比处理引擎的数量少的线程时,处理引擎中的一个或多个在线程组正在被处理的周期期间可以是空闲的。线程组也可包括比图形多处理器234内的处理引擎的数量多的线程。当线程组包括比图形多处理器234内的处理引擎的数量多的线程时,处理可以在连续的时钟周期上执行。在一个实施例中,可在图形多处理器234上并发地执行多个线程组。

[0071] 在一个实施例中,图形多处理器234包括内部高速缓存存储器以执行加载和存储操作。在一个实施例中,图形多处理器234可以放弃内部高速缓存,并且使用处理集群214内的高速缓存存储器(例如,L1高速缓存308)。每个图形多处理器234还有权访问在所有处理集群214当中共享并且可用于在线程之间转移数据的分区单元(例如,图2的分区单元220A至220N)内的L2高速缓存。图形多处理器234还可访问芯片外全局存储器,所述芯片外全局存储器可以包括本地并行处理器存储器和/或系统存储器中的一者或多者。可将在并行处理单元202外部的任何存储器用作全局存储器。多个实施例(其中处理集群214包括图形多处理器234的多个实例)可以共享共同的指令和数据,这些指令和数据可存储在L1高速缓存308中。

[0072] 每个处理集群214可包括MMU 245(存储器管理单元),所述MMU被配置成将虚拟地址映射到物理地址中。在其他实施例中,MMU 245的一个或多个实例可驻留在图2的存储器接口218内。MMU 245包括:一组页表条目(PTE),用于将图块(tile)(更多地讨论分块(tiling))的虚拟地址映射到物理地址;以及可选地高速缓存行索引。MMU 245可包括可驻留在图形多处理器234或L1高速缓存或处理集群214内的地址转换后备缓冲器(TLB)或高速缓存。物理地址经处理以分布表面数据存取局部性,从而允许在分区单元当中实现高效的请求交错。高速缓存行索引可用于确定针对高速缓存行的请求是命中还是未命中。

[0073] 在图形和计算应用中,处理集群214可被配置成使得每个图形多处理器234耦合至纹理单元236以用于执行纹理映射操作,例如确定纹理样本位置、读取纹理数据和过滤纹理数据。根据需要,从内部纹理L1高速缓存(未示出)或在一些实施例中从图形多处理器234内的L1高速缓存读取纹理数据,并且从L2高速缓存、本地并行处理器存储器或系统存储器获

取所述纹理数据。每个图形多处理器234将已处理的任务输出到数据交叉开关240以将已处理的任务提供给另一个处理集群214,以供进一步处理或以经由存储器交叉开关216将已处理的任务存储在L2高速缓存、本地并行处理器存储器或系统存储器中。preROP 242(例如,预光栅操作单元)被配置成从图形多处理器234接收数据、将数据导引到ROP单元,这些ROP单元可与如本文描述的分区单元(例如,图2的分区单元220A至220N)位于一起。preROP 242单元可以执行针对颜色混合的优化、组织像素颜色数据和执行地址转换。

[0074] 将认识到的是,本文描述的核架构是展示性的,并且各种变型和修改是有可能的。任何数目的处理单元(例如,图形多处理器234、纹理单元236、preROP 242等)可被包括在处理集群214内。此外,虽然仅示出了一个处理集群214,但是如本文描述的并行处理单元可以包括处理集群214的任何数目的实例。在一个实施例中,每个处理集群214可以被配置成使用单独的且截然不同的处理单元、L1高速缓存等独立于其他处理集群214来操作。

[0075] 图2D示出了根据一个实施例的图形多处理器234。在这样的实施例中,图形多处理器234与处理集群214的流水线管理器232耦合。图形多处理器234具有执行流水线,包括但不限于:指令高速缓存252、指令单元254、地址映射单元256、寄存器堆258、一个或多个通用图形处理单元(GPGPU)核262和一个或多个加载/存储单元266。GPGPU核262和加载/存储单元266经由存储器和高速缓存互连268与高速缓存存储器272和共享存储器270耦合。

[0076] 在一个实施例中,指令高速缓存252从流水线管理器232接收待执行的指令流。这些指令被高速缓存在指令高速缓存252中,并且由指令单元254分派以供执行。指令单元254可以将指令分派为线程组(例如,线程束),其中线程组的每个线程被指派给GPGPU核262内的一不同执行单元。指令可以通过指定统一地址空间内的地址来访问本地、共享或全局地址空间中的任一者。地址映射单元256可以用于将统一地址空间中的地址转换成可以由加载/存储单元266访问的截然不同的存储器地址。

[0077] 寄存器堆258为图形多处理器324的功能单元提供一组寄存器。寄存器堆258为连接到图形多处理器324的功能单元(例如,GPGPU核262、加载/存储单元266)的数据路径的操作数提供临时存储。在一个实施例中,在这些功能单元中的每一者之间划分寄存器堆258,使得每个功能单元分配有寄存器堆258的专用部分。在一个实施例中,在由图形多处理器324执行的不同线程束之间划分寄存器堆258。

[0078] GPGPU核262可以各自包括浮点单元(FPU)和/或整数算术逻辑单元(ALU),这些FPU和整数ALU用于执行图形多处理器324的指令。根据实施例,GPGPU核262可以在架构上是类似的,或可以在架构上是不同的。例如且在一个实施例中,GPGPU核262的第一部分包括单精度FPU和整数ALU,而GPGPU核的第二部分包括双精度FPU。在一个实施例中,FPU可以针对浮点算术实现IEEE 754-2008标准,或可以实现可变精度浮点算术。图形多处理器324可以另外包括一个或多个固定功能或特殊功能单元以执行特定的功能(比如,复制矩形或像素混合操作)。在一个实施例中,GPGPU核中的一者或多者也可以包括固定或特殊功能逻辑。

[0079] 在一个实施例中,GPGPU核262包括能够对多组数据执行单条指令的SIMD逻辑。在一个实施例中,GPGPU核262可以物理地执行SIMD4、SIMD8和SIMD16指令,并且逻辑地执行SIMD1、SIMD2和SIMD32指令。用于GPGPU核的SIMD指令可以由着色器编译器在编译时生成,或者可以在执行为单程序多数据(SPMD)或SIMT架构编写和编译的程序时自动生成。为SIMT执行模型而配置的程序的多个线程可以经由单条SIMD指令而执行。例如,在一个实施例中,

执行相同或类似操作的八个SIMT线程可以经由单个SIMD8逻辑单元并行地执行。

[0080] 存储器和高速缓存互连268是互连网络,该互连网络将图形多处理器234的功能单元中的每一个连接到寄存器堆258,并连接到共享存储器270。在一个实施例中,存储器和高速缓存互连268是交叉开关互连,该交叉开关互连允许加载/存储单元266在共享存储器270与寄存器堆258之间实现加载和存储操作。寄存器堆258能以与GPGPU核262相同的频率操作,由此在GPGPU核262与寄存器堆258之间的数据传递是非常低等待时间的。共享存储器270可以用来实现在图形多处理器234内的功能单元上执行的线程之间的通信。高速缓存存储器272可以用作例如数据高速缓存,以便对功能单元与纹理单元236之间通信的纹理数据进行高速缓存。共享存储器270也可以用作程序管理的高速缓存。在GPGPU核262上执行的线程能以程序方式还将除了存储在高速缓存存储器272内的经自动高速缓存的数据之外的数据存储在共享存储器内。

[0081] 图3A到图3B展示了根据实施例的附加图形多处理器。所展示的图形多处理器325、350是图2C的图形多处理器234的变体。所展示的图形多处理器325、350可以被配置为能够同时执行大量执行线程的流传送多处理器(SM)。

[0082] 图3A示出了根据附加实施例的图形多处理器325。图形多处理器325相对于图2D的图形多处理器234包括执行资源单元的多个附加实例。例如,图形多处理器325可以包括指令单元332A至332B、寄存器堆334A-334B和纹理单元344A-344B的多个实例。图形多处理器325还包括多组图形或计算执行单元(例如,GPGPU核336A至336B、GPGPU核337A至337B、GPGPU核338A至338B)和多组加载/存储单元340A至340B。在一个实施例中,执行资源单元具有共同的指令高速缓存330、纹理和/或数据高速缓存存储器342以及共享存储器346。

[0083] 各种部件可以经由互连结构327通信。在一个实施例中,互连结构327包括一个或多个交叉开关以启用图形多处理器325的各种部件之间的通信。在一个实施例中,互连结构327是分开的高速网络结构层,图形多处理器325的每一个部件堆叠在该高速网络结构层上。图形多处理器325的部件经由互连结构327与远程部件通信。例如,GPGPU核336A-336B、337A-337B以及338A-338B可以各自经由互连结构327与共享存储器346通信。互连结构327可以仲裁图形多处理器325内的通信以确保部件之间的公平的带宽分配。

[0084] 图3B示出了根据附加实施例的图形多处理器350。图形处理器包括多组执行资源356A至356D,其中,每一组执行资源包括多个指令单元、寄存器堆、GPGPU核和加载存储单元,如图2D和图3A中所展示。执行资源356A至356D可以与纹理单元360A至360D一致地工作以进行纹理操作,同时共享指令高速缓存354和共享存储器362。在一个实施例中,执行资源356A至356D可以共享指令高速缓存354和共享存储器362以及纹理和/或数据高速缓存存储器358A至358B的多个实例。各种部件可以经由类似于图3A的互连结构327的互连结构352来通信。

[0085] 本领域技术人员将理解,图1、图2A至图2D以及图3A至图3B中所描述的架构就本实施例的范围而言是描述性的和非限制性的。因此,在不背离本文描述的实施例的范围的情况下,本文描述的技术可在任何正确配置的处理单元上实现,所述处理单元包括但不限于一个或多个移动应用处理器、一个或多个台式计算机或服务器中央处理单元(CPU)(包括多核CPU)、一个或多个并行处理单元(比如,图2的并行处理单元202)以及一个或多个图形处理器或专用处理单元。

[0086] 在一些实施例中,如本文描述的并行处理器或GPGPU通信地耦合至主机/处理器核以加速图形操作、机器学习操作、模式分析操作和各种通用GPU (GPGPU) 功能。GPU可经由总线或其他互连(例如,比如PCIe或NVLink的高速互连)通信地耦合至主机处理器/核。在其他实施例中,GPU可集成在与这些核相同的封装或芯片上,并且经由内部的处理器总线/互连(即,在所述封装或芯片的内部)通信地耦合至这些核。不管连接GPU的方式如何,处理器核都可用工作描述符中所包含的命令/指令序列的形式将工作分配给GPU。GPU然后使用专用的电路/逻辑来高效地处理这些命令/指令。

[0087] 用于GPU至主机处理器互连的技术

[0088] 图4A展示了示例性架构,其中多个GPU 410至413经由高速链路440至443(例如,总线、点对点互连等)通信地耦合至多个多核处理器405至406。在一个实施例中,取决于实现方式,高速链路440至443支持4GB/s、30GB/s、80GB/s或更高的通信吞吐量。可使用各种互连协议,包括但不限于PCIe 4.0或5.0以及NVLink 2.0。然而,本发明的基本原理并不限于任何特定的通信协议或吞吐量。

[0089] 另外,在一个实施例中GPU 410至413中的两者或更多者经由高速链路444至445互连,这些高速链路可使用与用于高速链路440至443的协议/链路相同或不同的协议/链路来实现。类似地,多核处理器405至406中的两者或更多者可经由高速链路433相连接,所述高速链路可以是以20GB/s、30GB/s、120GB/s或更高操作的对称多处理器(SMP)总线。可替代地,图4A中所示的各种系统部件之间的所有通信可使用相同的协议/链路(例如,经由共同的互连结构)来实现。然而,如所提到,本发明的基本原理并不限于任何特定类型的互连技术。

[0090] 在一个实施例中,每个多核处理器405至406分别经由存储器互连430至431通信地耦合至处理器存储器401至402,并且每个GPU 410至413分别经由GPU存储器互连450至453通信地耦合至GPU存储器420至423。存储器互连430至431以及450至453可利用相同或不同的存储器访问技术。通过示例的方式且不受限制地,处理器存储器401至402和GPU存储器420至423可以是易失性存储器,比如动态随机存取存储器(DRAM)(包括堆叠式DRAM)、图形DDR SDRAM(GDDR)(例如,GDDR5、GDDR6)或高带宽存储器(HBM),和/或可以是非易失性存储器,比如3D XPoint或纳米随机存取存储器。在一个实施例中,存储器的某一部分可以是易失性存储器,并且另一部分可以是非易失性存储器(例如,使用两级存储器(2LM)层级结构)。

[0091] 如下文所描述,虽然各种处理器405至406和GPU 410至413可以分别物理地耦合至特定的存储器401至402、420至423,但是可实现统一存储器架构,其中相同的虚拟系统地址空间(也称为“有效地址”空间)被分布在所有各个物理存储器当中。例如,处理器存储器401至402可各自包括64GB的系统存储器地址空间,并且GPU存储器420至423可各自包括32GB的系统存储器地址空间(在本示例中产生总共256GB的可寻址存储器)。

[0092] 图4B展示了根据一个实施例的针对多核处理器407与图形加速模块446之间的互连的附加细节。图形加速模块446可包括集成在线卡上的一个或多个GPU芯片,所述线卡经由高速链路440耦合至处理器407。可替代地,图形加速模块446可集成在与处理器407相同的封装或芯片上。

[0093] 所展示的处理器407包括多个核460A至460D,每个核具有转换后备缓冲器

(translation lookaside buffer) 461A至461D和一个或多个高速缓存462A至462D。这些核可包括用于执行指令和处理数据的各种其他部件,未展示这些部件以避免使本发明的基本原理模糊(例如,指令获取单元、分支预测单元、解码器、执行单元、重排序缓冲器等)。高速缓存462A至462D可包括1级(L1)和2级(L2)高速缓存。另外,一个或多个共享的高速缓存426可被包括在缓存层级结构中并且由多组核460A至460D共享。例如,处理器407的一个实施例包括24个核,每个核具有其自身的L1高速缓存、12个共享的L2高速缓存和12个共享的L3高速缓存。在本实施例中,L2和L3高速缓存中的一者由两个邻近的核共享。处理器407和图形加速器集成模块446与系统存储器441连接,所述系统存储器可包括处理器存储器401至402。

[0094] 经由通过一致性总线464上的核间通信来保持存储在各种高速缓存462A至462D、456和系统存储器441中的数据和指令的一致性。例如,每个高速缓存可具有与其相关联的高速缓存一致性逻辑/电路以响应于检测到的至特定高速缓存行的读或写来经由一致性总线464进行通信。在一个实现方式中,经由一致性总线464来实现高速缓存监听协议,以监听高速缓存访问。高速缓存监听/一致性技术是为本领域技术人员所充分理解的,并且此处将不加以详细描述以避免使本发明的基本原理模糊。

[0095] 在一个实施例中,代理电路425将图形加速模块446通信地耦合至一致性总线464,从而允许图形加速模块446作为核的对等物来参与到高速缓存一致性协议中。特定地,接口435经由高速链路440(例如,PCIe总线、NVLink等)提供至代理电路425的连接性,并且接口437将图形加速模块446连接到链路440。

[0096] 在一个实现方式中,加速器集成电路436代表图形加速模块446的多个图形处理引擎431、432、N来提供高速缓存管理、存储器访问、上下文管理和中断管理服务。图形处理引擎431、432、N可各自包括单独的图形处理单元(GPU)。可替代地,图形处理引擎431、432、N可包括GPU内的不同类型的图形处理引擎,比如图形执行单元、媒体处理引擎(例如,视频编码器/解码器)、采样器和位块传输(blit)引擎。换句话说,图形加速模块可以是具有多个图形处理引擎431至432、N的GPU,或图形处理引擎431至432、N可以是集成在共同的封装、线卡或芯片上的个体GPU。

[0097] 在一个实施例中,加速器集成电路436包括存储器管理单元(MMU)439以用于执行各种存储器管理功能,比如虚拟至物理存储器转换(也称为有效至真实存储器转换)和用于访问系统存储器441的存储器访问协议。MMU 439还可包括转换后备缓冲器(TLB)(未示出)以用于将虚拟/有效缓存到物理/真实地址转换。在一个实现方式中,高速缓存438存储命令和数据以供由图形处理引擎431至432、N进行有效访问。在一个实施例中,存储在高速缓存438和图形存储器433至434、N中的数据与核高速缓存462A至462D、456以及系统存储器441保持一致。如所提到,这可经由代理电路425来实现,所述代理电路代表高速缓存438和存储器433至434、N来参与到高速缓存一致性机制中(例如,将与对处理器高速缓存462A至462D、456上的高速缓存行的修改/访问有关的更新发送到高速缓存438,和从高速缓存438接收更新)。

[0098] 一组寄存器445存储用于由图形处理引擎431至432、N执行的线程的上下文数据,并且上下文管理电路448管理线程上下文。例如,上下文管理电路448可在上下文切换期间执行保存和恢复操作以保存和恢复各种线程的上下文(例如,其中,第一线程被保存并且第

二线程被存储,使得可以由图形处理引擎执行第二线程)。例如,在上下文切换时,上下文管理电路448可将当前寄存器值存储到存储器中的指定的区域(例如,由上下文指针标识)。然后,其可在返回到上下文时恢复这些寄存器值。在一个实施例中,中断管理电路447接收并处理从系统装置接收到的中断。

[0099] 在一个实现方式中,由MMU 439将来自图形处理引擎431的虚拟/有效地址转换成系统存储器411中的真实/物理地址。加速器集成电路436的一个实施例支持多个(例如,4、8、16个)图形加速器模块446和/或其他加速器装置。图形加速器模块446可专用于在处理器407上执行的单个应用,或可在多个应用之间共享。在一个实施例中,呈现虚拟化图形执行环境,其中多个应用或虚拟机器(VM)共享图形处理引擎431至432、N的资源。这些资源可被再分为“切片(slice)”,这些切片基于与不同的VM和/或应用相关联的处理要求和优先权来被分配给这些VM和/或应用。

[0100] 因此,加速器集成电路起至图形加速模块446的系统的桥的作用,并且提供地址转换和系统存储器高速缓存服务。另外,加速器集成电路436可为主机处理器提供虚拟化设施,以管理图形处理引擎的虚拟化、中断和存储器管理。

[0101] 由于图形处理引擎431至432、N的硬件资源被显式地映射到由主机处理器407所见的真实地址空间,所以任何主机处理器都可以使用有效地址值来直接寻址这些资源。在一个实施例中,加速器集成电路436的一个功能是物理地分离图形处理引擎431至432、N,使得它们向系统呈现为独立的单元。

[0102] 如所提到,在所展示的实施例中,一个或多个图形存储器433至434、M分别耦合至图形处理引擎431至432、N中的每一者。图形存储器433至434、M存储由图形处理引擎431至432、N中的每一者处理的指令和数据。图形存储器433至434、M可以是易失性存储器,比如DRAM(包括堆叠式DRAM)、GDDR存储器(例如,GDDR5、GDDR6)或HBM,和/或可以是非易失性存储器,比如3D XPoint或纳米随机存取存储器(Nano-Ram)。

[0103] 在一个实施例中,为减少链路440上的数据业务,使用偏置技术以确存储储在图形存储器433至434、M中的数据是将被图形处理引擎431至432、N使用最频繁并且优选地不被核460A至460D使用(至少不是频繁地)的数据。类似地,偏置机制试图将由核(且优选地不是由图形处理引擎431至432、N)所需的数据保存在这些核的高速缓存462A至462D、456和系统存储器411内。

[0104] 图4C展示了另一个实施例,其中加速器集成电路436被集成在处理器407内。在本实施例中,图形处理引擎431至432、N经由接口437和接口435(再次,这些接口可利用任何形式的总线或接口协议)通过高速链路440来直接通信到加速器集成电路436。加速器集成电路436可执行与关于图4B所描述的操作相同的操作,但考虑到其与一致性总线462和高速缓存的462A至462D、426极为接近而潜在地处于更高的吞吐量。

[0105] 一个实施例支持不同的编程模型,包括专用进程编程模型(没有图形加速模块虚拟化)和共享的编程模型(具有虚拟化)。后者可包括由加速器集成电路436控制的编程模型和由图形加速模块446控制的编程模型。

[0106] 在专用进程模型的一个实施例中,图形处理引擎431至432、N在单一操作系统下专用于单个应用或进程。单个应用可以将其他应用请求汇集(funnel)到图形引擎431至432、N,从而在VM/分区内提供虚拟化。

[0107] 在专用进程编程模型中,可由多个VM/应用分区共享图形处理引擎431至432、N。共享的模型需要系统管理程序虚拟化图形处理引擎431至432、N,以允许由每个操作系统进行访问。针对无管理程序的单分区系统,图形处理引擎431至432、N由操作系统所拥有。在两种情况下,操作系统可以虚拟化图形处理引擎431至432、N以提供对每个进程或应用的访问。

[0108] 针对共享的编程模型,图形加速模块446或个别图形处理引擎431至432、N使用进程句柄来选择进程要素。在一个实施例中,进程要素存储在系统存储器411中,并且可使用本文描述的有效地址至真实地址转换技术来寻址。进程句柄可以是在向图形处理引擎431至432、N登记其上下文(也就是说,调用系统软件以将进程要素添加到进程要素链表)时被提供给主机进程的特定于实现方式的值。进程句柄的较低的16位可以是进程要素链表内的进程要素的偏移。

[0109] 图4D展示了示例性加速器集成切片490。如本文所使用,“切片”包括加速器集成电路436的处理资源的指定部分。系统存储器411内的应用有效地址空间482存储进程要素483。在一个实施例中,响应于来自处理器407上执行的应用480的GPU调用481来存储进程要素483。进程要素483包含对应的应用480的进程状态。包含在进程要素483中的工作描述符(WD) 484可以是由应用请求的单作业,或可包含指向作业队列的指针。在后一种情况下,WD 484是指向应用的地址空间482中的作业请求队列的指针。

[0110] 图形加速模块446和/或个别图形处理引擎431至432、N可以由系统中的所有进程或进程子集共享。本发明的实施例包括用于设置进程状态并将WD 484发送到图形加速模块446以在虚拟化环境中开始作业的基础设施。

[0111] 在一个实现方式中,专用进程编程模型是特定于实现方式的。在这个模型中,单进程拥有图形加速模块446或个别图形处理引擎431。由于图形加速模块446由单进程所拥有,所以在指派图形加速模块446的时候,管理程序针对拥有的分区初始化加速器集成电路436并且操作系统针对拥有的进程初始化加速器集成电路436。

[0112] 在操作中,加速器集成切片490中的WD获取单元491获取下一个WD 484,所述下一个WD包括待由图形加速模块446的图形处理引擎中的一者完成的工作的指示。来自WD 484的数据可存储在寄存器445中,并且由如所展示的MMU 439、中断管理电路447和/或上下文管理电路446使用。例如,MMU 439的一个实施例包括用于访问OS虚拟地址空间485内的段/页表486的段/页行走电路。中断管理电路447可处理从图形加速模块446接收的中断事件492。当执行图形操作时,由MMU 439将由图形处理引擎431至432、N产生的有效地址493转换为真实地址。

[0113] 在一个实施例中,针对每个图形处理引擎431至432、N和/或图形加速模块446复制一组相同的寄存器445,并且可由管理程序或操作系统来初始化这些寄存器。这些所复制的寄存器中的每一者可被包括在加速器集成切片490中。表1中示出了可由管理程序初始化的示例性寄存器。

表1-管理程序初始化的寄存器

1	切片控制寄存器
2	真实地址 (RA) 调度的进程区域指针
3	权限掩码覆盖寄存器 (Authority Mask Override Register)
4	中断向量表条目偏移

5	中断向量表条目限制
6	状态寄存器
7	逻辑分区ID
8	真实地址 (RA) 管理程序加速器利用记录指针
9	存储描述寄存器

[0114] 表2中示出了可由操作系统初始化的示例性寄存器。

表2-操作系统初始化的寄存器

1	进程和线程标识
2	有效地址 (EA) 上下文保存/恢复指针
3	虚拟地址 (VA) 加速器利用记录指针
4	虚拟地址 (VA) 存储段表指针
5	权限掩码
6	工作描述符

[0115] 在一个实施例中,每个WD 484是特定于特定的图形加速模块446和/或图形处理引擎431至432、N的。其包含图形处理引擎431至432、N完成其工作所需的全部信息,或其可以是指向存储器位置(在所述存储器位置处,应用已设置了待完成的工作的命令队列)的指针。

[0116] 图4E展示了共享模型的一个实施例的附加细节。本实施例包括其中存储有进程要素列表499的管理程序真实地址空间498。管理程序真实地址空间498可经由管理程序496来访问,所述管理程序虚拟化用于操作系统495的图形加速模块引擎。

[0117] 共享的编程模型允许来自系统中的所有分区或分区子集的所有进程或进程子集使用图形加速模块446。存在两个编程模型,其中,图形加速模块446由多个进程和分区共享:时间切片共享和图形定向共享(graphics directed shared)。

[0118] 在这个模型中,系统管理程序496拥有图形加速模块446,并且使其功能可用于所有操作系统495。为使图形加速模块446支持由系统管理程序496进行的虚拟化,图形加速模块446可遵循以下要求:1) 应用的作业请求必须是自主的(即,无需在作业之间保持状态),或图形加速模块446必须提供上下文保存和恢复机制。2) 由图形加速模块446保证在指定的时间量内完成应用的作业请求(包括任何转换故障),或图形加速模块446提供抢占作业的处理的能力。3) 当在定向共享的编程模型中操作时,必须保证图形加速模块446在进程之间的公平性。

[0119] 在一个实施例中,针对共享模型,需要应用480利用图形加速模块446类型、工作描述符(WD)、权限掩码寄存器(AMR)值和上下文保存/恢复区域指针(CSRP)来进行操作系统495系统调用。图形加速模块446类型描述了用于系统调用的目标加速度函数。图形加速模块446类型可以是特定于系统的值。WD专门针对图形加速模块446被格式化,并且可以呈图形加速模块446命令、指向用户定义的结构的有效地址指针、指向命令队列的有效地址指针或用于描述待由图形加速模块446完成的工作的任何其他数据结构的形式。在一个实施例中,AMR值是待用于当前进程的AMR状态。被传递到操作系统的值类似于设定AMR的应用。如果加速器集成电路436和图形加速模块446实现方式不支持用户权限掩码覆盖寄存器(UAMOR),那么操作系统可将当前UAMOR值应用于AMR值,之后在管理程序调用中传递AMR。可

选地,管理程序496可应用当前权限掩码覆盖寄存器 (AMOR) 值,之后将AMR放到进程要素483中。在一个实施例中,CSRP是寄存器445中的一者,其包含在应用的地址空间482中的区域的有效地址以用于使图形加速模块446保存和恢复上下文状态。如果不需要在作业之间保存状态或当作业被抢占时,这个指针是可选的。上下文保存/恢复区域可以是固定的 (pinned) 系统存储器。

[0120] 在接收到系统调用时,操作系统495可验证应用480已注册并且已被给予使用图形加速模块446的权限。然后,操作系统495利用表3中所示的信息来调用管理程序496。

表3-OS至管理程序调用参数

1	工作描述符 (WD)
2	权限掩码寄存器 (AMR) 值 (潜在地被掩码)
3	有效地址 (EA) 上下文保存/恢复区域指针 (CSRP)
4	进程ID (PID) 和可选线程ID (TID)
5	虚拟地址 (VA) 加速器利用记录指针 (AURP)
6	存储段表指针 (SSTP) 的虚拟地址
7	逻辑中断服务号 (LISN)

[0121] 在接收到管理程序调用时,管理程序496验证操作系统495已注册并且已被给予使用图形加速模块446的权限。然后,管理程序496将进程要素483放入对应的图形加速模块446类型的进程要素链表中。进程要素可包括表4中所示的信息。

表4-进程要素信息

1	工作描述符 (WD)
2	权限掩码寄存器 (AMR) 值 (潜在地被掩码)
3	有效地址 (EA) 上下文保存/恢复区域指针 (CSRP)
4	进程ID (PID) 和可选线程ID (TID)
5	虚拟地址 (VA) 加速器利用记录指针 (AURP)
6	存储段表指针 (SSTP) 的虚拟地址
7	逻辑中断服务号 (LISN)
8	从管理程序调用参数导出的中断向量表
9	状态寄存器 (SR) 值
10	逻辑分区 ID (LPID)
11	真实地址 (RA) 管理程序加速器利用记录指针
12	存储器描述符寄存器 (SDR)

[0122] 在一个实施例中,管理程序初始化多个加速器集成切片490寄存器445。

[0123] 如图4F中所展示,本发明的一个实施例采用可经由共同的虚拟存储器地址空间寻址的统一存储器,所述共同的虚拟存储器地址空间用于访问物理处理器存储器401至402和GPU存储器420至423。在这种实现方式中,在GPU 410至413上执行的操作利用相同的虚拟/有效存储器地址空间来访问处理器存储器401至402且反之亦然,由此简化可编程性。在一个实施例中,虚拟/有效地址空间的第一部分被分配给处理器存储器401,第二部分被分配给第二处理器存储器402,第三部分被分配GPU存储器420,等。由此得以跨越处理器存储器401至402和GPU存储器420至423中的每一者来分布整个虚拟/有效存储器空间 (有时称为有

效地址空间),从而允许任何处理器或GPU利用被映射到所述存储器的虚拟地址来访问任何物理存储器。

[0124] 在一个实施例中,在MMU 439A至439E中的一者或多者内的偏置/一致性管理电路494A至494E确保主机处理器(例如,405)与GPU 410至413的高速缓存器之间的高速缓存一致性,并且实现指示其中应存储有某些类型的数据的物理存储器的偏置技术。虽然图4F中展示了偏置/一致性管理电路494A至494E的多个实例,但是可在一个或多个主机处理器405的MMU内和/或在加速器集成电路436内实现偏置/一致性电路。

[0125] 一个实施例允许GPU附加存储器420至423被映射为系统存储器的一部分并且使用共享虚拟存储器(SVM)技术来访问,但不经受与完全系统高速缓存一致性相关联的典型性能缺陷。GPU附加存储器420至423被作为系统存储器来访问而无繁重的高速缓存一致性开销的这种能力为GPU卸载提供了有益的操作环境。这种安排允许主机处理器405软件设置操作数和访问计算结果,而没有传统I/O DMA数据复制的开销。这样的传统的复制涉及驱动器调用、中断和存储器映射I/O(MMIO)访问,它们相对于简单的存储器访问来说全部都是低效率的。同时,访问GPU附加存储器420至423而无高速缓存一致性开销的能力对于已卸载的计算的执行时间来说可以是关键的。在具有实质流传送与存储器业务的情况下,例如,高速缓存一致性开销可以显著减少由GPU 410至413所见的有效写带宽。操作数设置的效率、结果访问的效率和GPU计算的效率在确定GPU卸载的有效性中全部都起到一定的作用。

[0126] 在一个实现方式中,由偏置跟踪器数据结构来驱动在GPU偏置与主机处理器偏置之间的选择。可使用偏置表,例如,其可以是每GPU附加存储器页包括1或2个位的页粒度结构(即,被控制在存储器页的粒度下)。可以采用一个或多个GPU附加存储器420至423的被偷取的存储器范围来实现偏置表,其中在GPU 410至413中具有或不具有偏置高速缓存(例如,用于缓存偏置表的频繁使用/最近使用的条目)。可替代地,可将整个偏置表保持在GPU内。

[0127] 在一个实现方式中,在实际访问GPU存储器之前访问与每一次访问GPU附加存储器420至423相关联的偏置表条目,从而引起以下操作。首先,来自GPU 410至413的在GPU偏置中寻找其页的本地请求(这些本地请求发现它们的页处于GPU偏置)被直接转发到对应的GPU存储器420至423。来自GPU的本地请求(这些本地请求发现它们的页处于主机偏置)被转发到处理器405(例如,经由如上文所讨论的高速链路)。在一个实施例中,来自处理器405的在主机处理器偏置中寻找所请求的页的请求完成类似于正常存储器读取的请求。可替代地,可将针对GPU偏置页的请求转发到GPU 410至413。然后,如果GPU当前不使用页,那么其可将所述页转变到主机处理器偏置。

[0128] 可以由基于软件的机制、硬件辅助的基于软件的机制抑或针对一组有限的情况由纯粹基于硬件的机制来改变页的偏置状态。

[0129] 用于改变偏置状态的一个机制采用API调用(例如,OpenCL),所述API调用转而调用GPU的装置驱动器,所述装置驱动器转而发送消息(或为命令描述符排队)到GPU,从而指导其改变偏置状态并且针对一些转变在主机中执行高速缓存转储清除(cache flushing)操作。高速缓存转储清除操作对于从主机处理器405偏置转变到GPU偏置来说是需要的,但对于反向转变来说是不需要的。

[0130] 在一个实施例中,通过暂时渲染不可由主机处理器405缓存的GPU偏置页来保持高速缓存一致性。为了访问这些页,处理器405可请求来自GPU410的访问,这取决于实现方式

可立即授予访问权或可不立即授予访问权。因此,为减少处理器405与GPU 410之间的通信,确保GPU偏置页是为GPU所需但非为主机处理器405所需(且反之亦然)的那些页是有利的。

[0131] 图形处理流水线

[0132] 图5展示根据实施例的图形处理流水线500。在一个实施例中,图形处理器可以实现所展示的图形处理流水线500。所述图形处理器可以被包括在如本文描述的并行处理子系统内,所述并行处理子系统为比如图2的并行处理器200,在一个实施例中,其是图1的(多个)并行处理器112的变体。各种并行处理系统可以经由如本文描述的并行处理单元(例如,图2的并行处理单元202)的一个或多个实例来实现图形处理流水线500。例如,着色器单元(例如,图3的图形多处理器234)可被配置成执行顶点处理单元504、曲面细分控制处理单元508、曲面细分评估处理单元512、几何处理单元516和片段/像素处理单元524中的一者或多者的功能。数据组装器502、图元组装器506、514、518、曲面细分单元510、光栅化器522和光栅操作单元526的功能也可由处理集群(例如,图3的处理集群214)内的其他处理引擎和对应的分区单元(例如,图2的分区单元220A至220N)执行。还可使用用于一个或多个功能的专用处理单元来实现图形处理流水线500。在一个实施例中,可以由通用处理器(例如,CPU)内的并行处理逻辑来执行图形处理流水线500的一个或多个部分。在一个实施例中,图形处理流水线500的一个或多个部分可以经由存储器接口528来访问芯片上存储器(例如,如图2中的并行处理器存储器222),所述存储器接口可以是图2的存储器接口218的实例。

[0133] 在一个实施例中,数据组装器502是收集表面和图元的顶点数据的处理单元。数据组装器502随后将包括顶点属性的顶点数据输出至顶点处理单元504。顶点处理单元504是可编程执行单元,该可编程执行单元执行顶点着色器程序,按顶点着色器程序所指定来照亮并变换顶点数据。顶点处理单元504读取存储在高速缓存、本地或系统存储器中的数据以供在处理顶点数据时使用,并且顶点处理单元504可被编程为将顶点数据从基于物体的坐标表示变换到世界空间坐标空间或归一化装置坐标空间。

[0134] 图元组装器506的第一实例从顶点处理单元504接收顶点属性。图元组装器506按照需要读取所存储的顶点属性,并且构建图形图元以供由曲面细分控制处理单元508处理。图形图元包括由各种图形处理应用编程接口(API)所支持的三角、线段、点、补片(patch)等等。

[0135] 曲面细分控制处理单元508将输入顶点视为用于几何补片的控制点。控制点是来自补片的输入表示(例如,补片的基底)转换到适于由曲面细分评估处理单元512在表面评估中使用的表示。曲面细分控制处理单元508也可以计算几何补片的边缘的曲面细分因数。曲面细分因数应用于单个边缘,并且对与该边缘相关联的依赖于视图的细节等级进行量化。将曲面细分单元510配置成接收补片的边缘的曲面细分因数,并且将补片曲面细分为诸如线、三角或四边形图元的多个几何图元,多个几何图元被传输到曲面细分评估处理单元512。曲面细分评估处理单元512对经再分的补片的参数化坐标操作以生成与几何图元相关联的每一个顶点的表面表示和顶点属性。

[0136] 图元组装器514的第二实例从曲面细分评估处理单元512接收顶点属性,按照需要读取所存储的顶点属性,并且构建图形图元以供由几何处理单元516处理。几何处理单元516是可编程执行单元,该可编程执行单元执行几何着色器程序以便按几何着色器程序所指定来变换从图元组装器514接收的图形图元。在一个实施例中,将几何处理单元516编程

为将图形图元再分成一个或多个新图形图元,并且计算用于对新图形图元进行光栅化的参数。

[0137] 在一些实施例中,几何处理单元516可在几何流中增加或删除元素。几何处理单元516将指定新图形图元的参数和顶点输出到图元组装器518。图元组装器518从几何处理单元516接收参数和顶点,并且构建用于由视口缩放、拣选和剪辑单元520处理的图形图元。几何处理单元516读取存储在并行处理器存储器或系统存储器中的数据以供在处理几何数据时使用。视口缩放、拣选和剪辑单元520执行剪辑、拣选和视口缩放,并将经处理的图形图元输出到光栅化器522。

[0138] 光栅化器522可以执行深度拣选和其他基于深度的优化。光栅化器522也执行对新图形图元的扫描转换以生成片段,并且将那些片段和相关联的覆盖数据输出到片段/像素处理单元524。片段/像素处理单元524是被配置成执行片段着色器程序或像素着色器程序的可编程执行单元。片段/像素处理单元524按片段或像素着色器程序所指定来变换从光栅化器522接收的片段或像素。例如,可将片段/像素处理单元524编程为执行操作产生输出到光栅操作单元526的经着色的片段或像素,这些操作包括但不限于纹理映射、着色、混合、纹理校正和透视校正。片段/像素处理单元524可以读取存储在并行处理器存储器或系统存储器中的数据以供在处理片段数据时使用。可将片段或像素着色器程序配置成以取决于为处理单元配置的采样率的样本、像素、图块或其他粒度来着色。

[0139] 光栅操作单元526是处理单元,该处理单元执行包括但不限于模板印刷、z测试、混合等的光栅操作,并将像素数据作为经处理的图形数据输出,以存储在图形存储器(例如,如图2中的并行处理器存储器222和/或图1中的系统存储器104)中,显示在一个或多个显示装置110上,或者供由一个或多个处理器102或(多个)并行处理器112中的一个来进一步处理。在一些实施例中,将光栅操作单元526配置成压缩被写入到存储器的z或颜色数据,并且解压缩从存储器读取的z或颜色数据。

[0140] 协作式多用户虚拟现实示例

[0141] 现在转向图6A,电子处理系统600的实施例可以包括:应用处理器601;永久性存储介质602,通信地耦合至应用处理器601;以及图形子系统603,通信地耦合至应用处理器601。系统600可以进一步包括:感测引擎604,通信地耦合至图形子系统603以提供所感测信息;聚焦引擎605,通信地耦合至感测引擎604和图形子系统603以提供聚焦信息;运动引擎606,通信地耦合至感测引擎604、聚焦引擎605和图形子系统603以提供运动信息;以及协作引擎607,通信地耦合至运动引擎606、聚焦引擎605和感测引擎604中的一个或多个以识别环境中的两个或更多用户之间的共享图形分量并且与所述环境中的所述两个或更多用户共享所述共享图形分量。

[0142] 上述应用处理器601、永久性存储介质602、图形子系统603、感测引擎604、聚焦引擎605、运动引擎606、协作引擎607、以及其他系统部件中的每一个的实施例可以采用硬件、软件或其任何适当的组合的方式来实现。例如,硬件实现方式可以包括可配置逻辑,如例如可编程逻辑阵列(PLA)、FPGA、复杂可编程逻辑器件(CPLD),或者采用使用例如ASIC、互补金属氧化物半导体(CMOS)或晶体管-晶体管逻辑(TTL)技术等电路技术的固定功能逻辑硬件,或其任意组合。替代性地或另外地,这些部件可以在作为存储在诸如随机存取存储器(RAM)、只读存储器(ROM)、可编程ROM(PROM)、固件、闪存等机器或计算机可读存储介质中的

有待由处理器或计算装置执行的一组逻辑指令的一个或多个模块中实现。例如,用于执行这些部件的操作的计算机程序代码可以以一种或多种操作系统适用/适合的编程语言的任何组合来编写,包括如PYTHON、PERL、JAVA、SMALLTALK、C++、C#等面向对象的编程语言、以及如“C”编程语言或类似的编程语言等常规的程序化编程语言。

[0143] 例如,系统600可以包括与系统100类似的部件和/或特征,进一步被配置有如本文中所描述的协作引擎。另外或可替代地,图形子系统603可以包括与并行处理器200类似的部件和/或特征,进一步被配置有如本文中所描述的协作引擎。系统600还可以被适配成与立体声头戴式系统一起工作,如例如以下结合图11至图15所描述的系统。

[0144] 感测引擎示例

[0145] 现在转向图6B,感测引擎612可以从传感器、内容、服务、和/或其他源得到信息以提供所感测信息。所感测信息可以包括例如图像信息、音频信息、运动信息、深度信息、温度信息、生物特征信息、GPU信息等。在较高层次上,一些实施例可以使用所感测信息来降低用户的图形系统的工作负荷或增强所述系统的性能。

[0146] 例如,感测引擎可以包括传感器中枢,所述传感器中枢通信地耦合至二维(2D)相机、三维(3D)相机、深度相机、陀螺仪、加速度计、惯性测量单元(IMU)、定位服务、麦克风、接近度传感器、温度计、生物特征传感器等、和/或向聚焦引擎和/或运动引擎提供信息的多个源的组合。传感器中枢可以跨多个装置分布。来自所述传感器中枢的信息可以包括来自用户装置的输入数据(例如,触摸数据)或与所述输入数据进行组合。

[0147] 例如,用户的(多个)装置可以包括一个或多个2D相机、3D相机、和/或深度相机。用户的(多个)装置还可以包括陀螺仪、加速度计、IMU、定位服务、温度计、生物特征传感器等。例如,用户可以携带智能电话(例如,在用户的口袋中)和/或可以穿戴可穿戴装置(例如,诸如智能手表、活动监视器、和/或健康跟踪器)。用户的(多个)装置还可以包括麦克风,所述麦克风可以用于检测到用户是否正在说话、打电话、跟另一个附近的人说话等。传感器中枢可以包括用户的能够采集与用户的动作或活动有关信息的各种装置(例如,包括可以采集键盘/鼠标/触摸活动的用户装置的I/O接口)中的一些或全部。传感器中枢可以直接从用户的装置的采集装置中得到信息(例如,有线或无线地),或者传感器中枢可以能够根据服务器或服务整合来自装置的信息(例如,传感器中枢可以下载的信息可以从健康跟踪器上传到云服务)。

[0148] 聚焦引擎示例

[0149] 现在转向图6C,聚焦引擎614可以从感测引擎和/或运动引擎以及其他源得到信息以提供聚焦信息。聚焦信息可以包括例如焦点、聚焦区域、眼睛位置、眼睛运动、瞳孔大小、瞳孔扩张、焦深(DOF)、内容焦点、内容聚焦对象、内容聚焦区域等。聚焦信息还可以包括之前的聚焦信息、所确定的未来聚焦信息、和/或所预测聚焦信息(例如,所预测焦点、所预测聚焦区域、所预测眼睛位置、所预测眼睛运动、所预测瞳孔大小、所预测的瞳孔扩张、所预测DOF、所确定的未来内容焦点、所确定的未来内容聚焦对象、所确定的未来内容聚焦区域、所预测内容焦点、所预测内容聚焦对象、所预测内容聚焦区域等)。

[0150] 在较高层次上,一些实施例可以使用聚焦信息基于以下各项来降低用户的图形系统的工作负荷或增强所述系统的性能:1)假设用户要看何处、2)确定用户要看何处、3)应用想要用户看何处、和/或4)预测用户将来要看何处。一些聚焦提示可能在用户正看的聚焦区

中更强。如果用户正直视前方,则他们可能看到处于锐聚焦的事物。对于朝向外围的场景或对象,用户可以注意到运动,但不会注意到锐聚焦中的细节。

[0151] 例如,如果图形系统的所感测信息或处理能力有限(例如,所附接头戴式显示器(HMD)或主机不能提供或使用信息),则聚焦信息可以是静态的和/或基于假设的(例如,假设用户正以固定的眼睛位置、DOF等看着屏幕的中央)。聚焦信息还可以基于诸如运动信息(例如,来自虚拟现实(VR)耳机)、运动预测信息、内容信息(例如,场景中的运动)等而动态地变化。更优选地,可以使用包括眼睛跟踪(有时也被称为视线跟踪)的富传感器组来识别聚焦区并提供聚焦信息从而提供更好的用户体验。例如,一些实施例可以包括眼睛跟踪器或者从眼睛跟踪器中得到眼睛信息来跟踪用户的眼睛。眼睛信息可以包括眼睛位置、眼睛运动、瞳孔大小/扩张、焦深等。眼睛跟踪器可以采集用户的眼睛包括瞳孔的图像。可以基于眼睛位置和瞳孔扩张来确定、推测、和/或估计用户的焦点和/或DOF。用户可以经受校准过程,这可以帮助眼睛跟踪器提供更准确的聚焦和/或DOF信息。

[0152] 例如,当用户正戴着VR耳机时,相机可以采集瞳孔的图像,并且系统可以确定用户正在看何处(例如,聚焦区域、深度和/或方向)。相机可以采集瞳孔扩张信息,并且系统可以基于此信息来推断用户的聚焦区域在何处。例如,人眼具有一定的DOF,从而使得如果人聚焦于附近的某物,则远处的事物可能会模糊。聚焦信息可以包括在聚焦距离X处的焦点以及 $\Delta(X)$ 的DOF信息,因此,聚焦区域可以与定位在用户的焦点周围的 $X \pm \Delta(X)$ 相对应。DOF的大小可以随距离X(例如,不同聚焦距离处的不同 Δ)而变化。例如,用户的DOF可以被校准并且可以在每个方向(例如,x、y和z)上变化,从而使得函数 $\Delta(X)$ 可以不必是球形的。

[0153] 在一些实施例中,所述聚焦信息可以包括基于内容的聚焦信息。例如,在3D、VR、和/或增强现实(AR)环境中,可以从应用中提供深度和/或距离信息(例如,用户处于虚拟环境中何处、对象所处何处、和/或对象距离用户有多远等)。基于内容的聚焦信息还可以包括应用想要用户聚焦在内容中的点、对象或区域,比如应用想要用户关注的正发生的更有趣的某事。应用还可以能够提供未来内容聚焦信息,因为所述应用可能知道内容的运动信息和/或下一帧或场景中的哪些对象/区域可能对用户而言更有趣(例如,即将从屏幕边缘进入场景的对象)。

[0154] 运动引擎示例

[0155] 现在转向图6D,运动引擎616可以从感测引擎和/或聚焦引擎以及其他源得到信息以提供运动信息。运动信息可以包括例如头部位置、头部速度、头部加速度、头部运动方向、眼睛速度、眼睛加速度、眼睛运动方向、对象位置、对象速度、对象加速度、对象运动方向等。运动信息还可以包括之前的运动信息、所确定的未来运动信息、和/或所预测运动信息(例如,所预测头部速度、所预测头部加速度、所预测头部位置、所预测头部运动方向、所预测眼睛速度、所预测眼睛加速度、所预测眼睛运动方向、所确定的未来内容位置、所确定的未来内容对象速度、所确定的未来内容对象加速度、所预测对象位置、所预测对象速度、所预测对象加速度等)。

[0156] 在较高层次上,一些实施例可以使用运动信息基于以下各项来降低用户的图形系统的工作负荷或增强所述系统的性能:1) 用户移动他们的头部,2) 用户移动他们的眼睛,3) 用户移动他们的身体,4) 应用想要用户转动他们的头部/眼睛和/或身体,和/或4) 预测用户

未来会转动他们的头部、眼睛和/或身体。可以容易地从所感测信息中确定一些运动信息。例如,可以从加速度计中确定头部位置、速度、加速度、运动方向等。可以通过随时间变化跟踪眼睛位置信息来确定眼睛运动信息(例如,如果眼睛跟踪器仅提供眼睛位置信息)。

[0157] 一些运动信息可以是基于内容的。例如,在游戏或即时3D内容中,应用可以知道对象正移动的有多快以及正在何处移动。所述应用可以向运动引擎(例如,通过API调用)提供信息。还可以将下一帧/场景的未来基于内容的对象运动信息馈送到运动引擎中以供作出决策。一些基于内容的运动信息可以通过对所述内容进行图像处理或机器视觉处理来确定。

[0158] 例如,机器视觉系统的一些实施例可以对由相机采集的图像进行分析和/或执行特征/对象辨识。例如,机器视觉和/或图像处理可以识别和/或辨识场景中的对象(例如,边缘属于椅子的前部)。机器视觉系统还可以被配置成执行面部辨识、视线跟踪、面部表情辨识、和/或姿势辨识,所述姿势包括身体级别的姿势、手臂/腿部级别的姿势、手部级别的姿势、和/或手指级别的姿势。机器视觉系统可以被配置成对用户的动作进行分类。在一些实施例中,适当配置的机器视觉系统可以能够判定用户是否位于计算机处存在、在键盘上打字、使用鼠标、使用触控板、使用触摸屏、使用HMD、使用VR系统、坐着、站立、和/或以其他方式采取某个其他动作或活动。

[0159] 例如,运动引擎可以得到与场景中的真实对象有关的相机数据,并且可以使用此信息来识别所述真实对象的运动和定向。运动引擎可以从图形处理器得到延迟信息。运动引擎然后可以预测此真实对象的下一帧的定向。延迟量可以基于用于渲染场景的时间、场景中虚拟对象的数量、以及场景的复杂度等中的一项或多项。例如,场景引擎可以包括用于采集真实场景的一个或多个相机。例如,所述一个或多个相机可以包括一个或多个2D相机、3D相机、深度相机、高速相机或其他图像采集装置。真实场景可以包括在场景中移动的对象。相机可以耦合至图像处理器,所述图像处理器用于处理来自相机的数据以便识别场景中的对象(例如,包括移动对象)并且识别所述对象的运动(例如,包括定向信息)。运动引擎可以基于跟踪对象的运动来确定所预测运动信息,并且基于所测量或所估计延迟(例如,从采集时间到渲染时间)来预测对象的未来位置。根据一些实施例,可以使用光流技术和其他真实运动估计技术来增强各种运动跟踪和/或运动预测技术以确定真实对象的下一个位置。例如,一些实施例可以使用扩展公共过滤和/或透视处理(例如,来自自动驾驶应用)来预测对象的运动。

[0160] 协作引擎示例

[0161] 现在转向图6E,协作引擎618可以从感测引擎、聚焦引擎、运动引擎、内容、多个用户(例如,HMD#1、HMD#2、至HMD#N)、和/或其他源得到信息以提供共享信息和可选地单独信息(例如,用户特定信息)。共享信息可以包括例如图像信息、音频信息、运动信息、深度信息、温度信息、生物特征信息、GPU信息、对象空间信息、几何信息、图元信息、物理信息、人工智能(AI)信息等。在较高层次上,一些实施例可以使用共享信息来降低用户的(多个)图形系统的工作负荷或增强所述系统的性能。单独信息(如果提供的话)可以包括特定于每个用户的相同类型的信息,并且用户的系统可以根据需要合并共享信息与特定信息。

[0162] 引擎重叠示例

[0163] 本领域技术人员将理解,本文中所描述的各种引擎的各方面可以与其他引擎重

叠,并且每个引擎的各部分可以贯穿电子处理系统的各个部分来实现或分布。例如,聚焦引擎可以使用运动信息来提供所预测的未来聚焦区域,并且运动引擎可以使用聚焦信息来预测未来运动。眼睛运动信息可以直接来自感测引擎,可由聚焦引擎来确定/预测,和/或可由运动引擎来确定/预测。就具体实现方式而言,本文中的示例应当被认为是说明性的而非限制性的。

[0164] 现在转向图6F,图形设备620的实施例可以包括:处理器621;存储器622,通信地耦合至处理器621;以及协作引擎623,通信地耦合至所述处理器以用于识别环境中的两个或更多个用户之间的共享图形分量并且与所述环境中的所述两个或更多个用户共享所述共享图形分量。

[0165] 设备620的一些实施例可以包括用于支持协作式图形处理的任何数量的附加模块。例如,协作引擎623可以包括集中式共享器624、深度共享器625、共享预处理器626、多端口图形子系统627、以及解码共享器628中的一个或多个。

[0166] 在设备620的一些实施例中,例如,协作引擎623可以进一步包括集中式共享器624(例如,如以下更详细描述)。例如,集中式共享器可以被配置成将共享图形分量广播至所有所述两个或更多个用户,并且将单独的图形分量单独地分配至所述两个或更多个用户中的一个用户。集中式共享器624可以进一步被配置成基于目标虚拟现实设备来分割所述共享图形分量的工作负荷。

[0167] 在设备620的一些实施例中,例如,协作引擎623可以进一步包括深度共享器625(例如,如以下更详细描述)。例如,深度共享器625可以被配置成从独立于所述两个或更多个用户中的第一用户的源处收集深度信息,并且与所述第一用户共享所述深度信息。深度共享器625可以进一步被配置成从所述第一用户的视场之外的所述独立源处收集可见性信息,并且与所述第一用户共享所述可见性信息。

[0168] 在设备620的一些实施例中,例如,协作引擎623可以进一步包括共享预处理器626(例如,如以下更详细描述)。例如,共享预处理器626可以被配置成预计算与所述共享图形分量有关的信息,并且与所述两个或更多个用户共享预计算的信息。预计算的信息可以包括几何信息、图元信息、和物理信息中的一项或多项。

[0169] 在设备620的一些实施例中,例如,协作引擎623可以进一步包括多端口图形子系统627(例如,如以下更详细描述)。多端口图形子系统627可以被配置成在多端口图形子系统627的每个端口上支持不同的用户。例如,多端口图形子系统627可以进一步被配置成:当仅第一虚拟现实设备连接至多端口图形子系统627时,支持所述第一虚拟现实设备的左眼显示器和右眼显示器;当所述第一虚拟现实设备和第二虚拟现实设备两者均连接至多端口图形子系统627时,支持所述第一虚拟现实设备和所述第二虚拟现实设备;并且当所述第一虚拟现实设备和所述第二虚拟现实设备两者均连接至多端口图形子系统627时,在所述第一虚拟现实设备与所述第二虚拟现实设备之间共享图形图元。

[0170] 在设备620的一些实施例中,例如,协作引擎623可以进一步包括解码共享器628(例如,如以下更详细描述)。解码共享器628可以被配置成:识别第一用户的第一视图区与第二用户的第二视图区之间的共享场景的重叠区;对所述重叠区进行解码;并且与所述第一用户和所述第二用户两者共享经解码的重叠区。解码共享器628还可以被配置成基于所述重叠区对所述解码进行优先级排序。

[0171] 上述处理器621、存储器622、协作引擎623、集中式共享器624、深度共享器625、共享预处理器626、多端口图形子系统627、解码共享器628、以及其他系统部件中的每一个的实施例可以采用硬件、软件或其任何适当的组合的方式来实现。例如,硬件实现方式可以包括如例如PLA、FPGA、CPLD等可配置逻辑,或者采用使用如例如ASIC、CMOS或TTL技术等电路技术的固定功能逻辑硬件,或其任意组合。替代性地或另外地,这些部件可以在作为存储在如RAM、ROM、PROM、固件、闪存等机器或计算机可读存储介质中的有待由处理器或计算装置执行的一组逻辑指令的一个或多个模块中实现。例如,用于执行这些部件的操作的计算机程序代码可以以一种或多种操作系统适用/适合的编程语言的任何组合来编写,包括如PYTHON、PERL、JAVA、SMALLTALK、C++、C#等面向对象的编程语言、以及如“C”编程语言或类似的编程语言等常规的程序化编程语言。

[0172] 例如,设备620可以包括与系统100类似的部件和/或特征,进一步被配置有协作引擎。例如,设备620可以另外地或可替代地包括与并行处理器200类似的部件和/或特征,进一步被配置有如本文中所描述的协作引擎。设备620还可以被适配成与立体声头戴式系统一起工作,如例如以下结合图11至图15所描述的系统。

[0173] 现在转向图6G至图6L,图形协作的方法630的实施例可以包括:在框631处,识别环境中的两个或更多个用户之间的共享图形分量;以及在框632处,与所述环境中的所述两个或更多个用户共享所述共享图形分量。

[0174] 在一些实施例中,方法630可以进一步包括:在框633处,将共享图形分量广播至所有所述两个或更多个用户;以及在框634处,将单独的图形分量单独地分配至所述两个或更多个用户中的一个用户。一些实施例还可以包括:在框635处,基于目标虚拟现实设备来分割所述共享图形分量的工作负荷。

[0175] 在一些实施例中,方法630可以进一步包括:在框636处,从独立于所述两个或更多个用户中的第一用户的源处收集深度信息;以及在框637处,与所述第一用户共享所述深度信息。所述方法还可以包括:在框638处,从所述第一用户的视场之外的所述独立源处收集可见性信息;以及在框639处,与所述第一用户共享所述可见性信息。

[0176] 在一些实施例中,方法630可以进一步包括:在框640处,预计算与所述共享图形分量有关的信息;以及在框641处,与所述两个或更多个用户共享预计算的信息。例如,在框642处,预计算的信息可以包括几何信息、图元信息、和物理信息中的一项或多项。

[0177] 在一些实施例中,方法630可以进一步包括:在框643处,在多端口图形子系统的每个端口上支持不同的用户。例如,方法630可以包括:在框644处,当仅第一虚拟现实设备连接至多端口图形子系统时,支持所述第一虚拟现实设备的左眼显示器和右眼显示器;在框645处,当所述第一虚拟现实设备和第二虚拟现实设备两者均连接至多端口图形子系统时,支持所述第一虚拟现实设备和所述第二虚拟现实设备;以及在框646处,当所述第一虚拟现实设备和所述第二虚拟现实设备两者均连接至多端口图形子系统时,在所述第一虚拟现实设备与所述第二虚拟现实设备之间共享图形图元。

[0178] 在一些实施例中,方法630可以进一步包括:在框647处,识别第一用户的第一视图区与第二用户的第二视图区之间的共享场景的重叠区;在框648处,对所述重叠区进行解码;以及在框649处,与所述第一用户和所述第二用户两者共享经解码的重叠区。在框650处,一些实施例还可以包括基于所述重叠区对所述解码进行优先级排序。

[0179] 方法630的实施例可以在系统、设备、GPU、并行处理单元 (PPU)、或如例如本文中所描述的这些图形处理器流水线设备中来实现。更具体地,方法630的硬件实现方式可以包括可配置逻辑(如例如PLA、FPGA、CPLD),或者采用使用电路技术(如例如ASIC、CMOS或TTL技术)的固定功能逻辑硬件,或其任意组合。替代性地或另外地,方法630可以在作为存储在如RAM、ROM、PROM、固件、闪存等机器或计算机可读存储介质中的有待由处理器或计算装置执行的一组逻辑指令的一个或多个模块中实现。例如,用于执行这些部件的操作的计算机程序代码可以以一种或多种操作系统适用/适合的编程语言的任何组合来编写,包括如PYTHON、PERL、JAVA、SMALLTALK、C++、C#等面向对象的编程语言、以及如“C”编程语言或类似的编程语言等常规的程序化编程语言。例如,方法630可以在如以下结合示例23至示例33描述的计算机可读介质上来实现。

[0180] 例如,方法630的实施例或一部分可以采用应用(例如,通过API)或驱动程序软件来实现。方法630的其他实施例或一部分可以采用有待在GPU上执行的专用代码(例如,着色器)来实现。方法630的其他实施例或一部分可以采用固定功能逻辑或专用硬件(例如,在GPU中)来实现。

[0181] 协作式多用户主机/客户端示例

[0182] 本文中所描述的多用户协作式VR系统的各个实施例可以在各种装置包括如云服务器等服务器系统/主机系统上来实现。其他主机系统可以包括PC,诸如台式计算机、膝上型计算机、可转换计算机、平板机等。在VR情境中,客户端系统可以包括用户的HMD或用于消费内容的其他VR装备。概括地说,来自一个源(例如,中央源或其他用户)的信息可以与用户共享(例如,以便降低用户的工作负荷和/或增强用户的体验)。用户的系统因此可以被配置成接收并使用共享信息和/或合并共享信息与本地和/或用户特定信息。

[0183] 现在转向图6M,图形设备670的实施例可以包括:处理器671;存储器672,通信地耦合至处理器671;协作引擎673,通信地耦合至处理器671以接收共享图形分量;以及合成器674,通信地耦合至处理器671以合并共享图形分量与单独的图形分量。设备670的一些实施例可以进一步包括用于在每个端口上支持不同用户的多端口图形子系统675。

[0184] 设备670的一些实施例可以进一步包括:待由用户穿戴的可穿戴外壳676;以及通信地耦合至处理器671的显示器677,其中,显示器677、处理器671、存储器672、协作接口673以及合成器674可全部由可穿戴外壳676支持。例如,可穿戴外壳676可穿戴在用户的头部、用户的颈部、用户的肩部等上,其中,显示器677定位在或能够定位在用户的眼睛附近。

[0185] 在一些实施例中,协作接口673可以被配置成广播包括共享图形分量的信息。例如,共享图形分量可以包括共享深度信息、共享几何信息和共享物理信息中的一项或多项。在一些实施例中,共享图形分量可以包括360视频内容。

[0186] 上述处理器671、存储器672、协作接口673、合成器674、多端口图形子系统675、显示器677、以及其他系统部件中的每一个的实施例可以采用硬件、软件或其任何适当的组合的方式来实现。例如,硬件实现方式可以包括如例如PLA、FPGA、CPLD等可配置逻辑,或者采用使用如例如ASIC、CMOS或TTL技术等电路技术的固定功能逻辑硬件,或其任意组合。替代性地或另外地,这些部件可以在作为存储在如RAM、ROM、PROM、固件、闪存等机器或计算机可读存储介质中的有待由处理器或计算装置执行的一组逻辑指令的一个或多个模块中实现。例如,用于执行这些部件的操作的计算机程序代码可以以一种或多种操作系统适用/适合

的编程语言的任何组合来编写,包括如PYTHON、PERL、JAVA、SMALLTALK、C++、C#等面向对象的编程语言、以及如“C”编程语言或类似的编程语言等常规的程序化编程语言。

[0187] 例如,设备670可以包括与系统100类似的部件和/或特征,进一步被配置有协作接口以及合成器。例如,设备670可以另外地或可替代地包括与并行处理器200类似的部件和/或特征,进一步被配置有如本文中所描述的协作接口以及合成器。设备670还可以被适配成与立体声头戴式系统一起工作,如例如以下结合图11至图15所描述的系统。

[0188] 现在转向图6N,图形协作的方法680可以包括:在框681处,接收共享图形分量;以及在框682处,合并共享图形分量与单独的图形分量。方法680可以进一步包括:在框683处,提供待由用户穿戴的可穿戴外壳;以及在框684处,使用可穿戴外壳来支持显示器、处理器、存储器、协作接口以及合成器。例如,在框685处,共享图形分量可以包括共享深度信息、共享几何信息和共享物理信息中的一项或多项,和/或在框686处,共享图形分量可以包括360视频内容。方法680还可以包括:在框687处,接收包括共享图形分量的广播信息。一些实施例还可以包括:在框688处,在多端口图形子系统的每个端口上支持不同的用户。

[0189] 方法680的实施例可以在系统、设备、GPU、PPU、或如例如本文中所描述的这些图形处理器流水线设备中来实现。更具体地,方法680的硬件实现方式可以包括可配置逻辑(如例如PLA、FPGA、CPLD),或者采用使用电路技术(如例如ASIC、CMOS或TTL技术)的固定功能逻辑硬件,或其任意组合。替代性地或另外地,方法680可以在作为存储在如RAM、ROM、PROM、固件、闪存等机器或计算机可读存储介质中的有待由处理器或计算装置执行的一组逻辑指令的一个或多个模块中实现。例如,用于执行这些部件的操作的计算机程序代码可以以一种或多种操作系统适用/适合的编程语言的任何组合来编写,包括如PYTHON、PERL、JAVA、SMALLTALK、C++、C#等面向对象的编程语言、以及如“C”编程语言或类似的编程语言等常规的程序化编程语言。例如,方法680可以在如以下结合示例57至示例61描述的计算机可读介质上来实现。

[0190] 例如,方法680的实施例或一部分可以采用应用(例如,通过API)或驱动程序软件来实现。方法680的其他实施例或一部分可以采用有待在GPU上执行的专用代码(例如,着色器)来实现。方法680的其他实施例或一部分可以采用固定功能逻辑或专用硬件(例如,在GPU中)来实现。

[0191] 集中式共享器示例

[0192] 现在转向图7A,集中式共享器设备700可以包括:广播器721,用于将共享图形分量广播至所有的两个或更多个用户;以及分配器722,通信地耦合至广播器721以便将单独的图形分量单独地分配至所述两个或更多个用户中的一个用户。设备700的一些实施例可以进一步包括:工作分割器723,用于基于目标虚拟现实设备来分割所述共享图形分量的工作负荷。设备700的一些实施例可以实现方法630和/或方法680(例如,参见图6H和6N)的一部分。

[0193] 上述广播器721、分配器722、工作分割器723以及设备700的其他部件中的每一个的实施例都可以采用硬件、软件或其组合的方式来实现。例如,设备700的一部分或全部可以被实现为并行处理器200的一部分,进一步被配置有如本文中所描述的广播器、分配器和/或工作分割器。设备700还可以被适配成与立体声头戴式系统一起工作,如例如以下结合图11至图15所描述的系统。例如,硬件实现方式可以包括如例如PLA、FPGA、CPLD等可配置

逻辑,或者采用使用例如ASIC、CMOS或TTL技术等电路技术的固定功能逻辑硬件,或其任意组合。替代性地或另外地,这些部件可以在作为存储在如RAM、ROM、PROM、固件、闪存等机器或计算机可读存储介质中的有待由处理器或计算装置执行的一组逻辑指令的一个或多个模块中实现。例如,用于执行这些部件的操作的计算机程序代码可以以一种或多种操作系统适用/适合的编程语言的任何组合来编写,包括如PYTHON、PERL、JAVA、SMALLTALK、C++、C#等面向对象的编程语言、以及如“C”编程语言或类似的编程语言等常规的程序化编程语言。

[0194] 一些实施例可以有利地提供了通过无线显示器在多个用户之中进行广播的集中式VR渲染框架。例如,当多个用户在共享VR环境中交互时,它们可以在中央机器上执行VR渲染并且将结果广播至其无线显示器上。中央机器可以处理某些共同工作,并且将用户特定的差异留给每个用户的末端单元以完成最终渲染。

[0195] 例如,在主题公园骑行的用户大多数情况下可以观看相同的内容,并且可以在集中式单元处完成这种共同工作。在用户具有不同观看角度时的情况下,集中式机器可以处理任何所识别的共同工作并且将一些用户特定的差异留给每个用户的末端单元以完成最终渲染。根据一些实施例,可以通过使用用于广播信息的公共频率来增大网络带宽。

[0196] 一些实施例可以针对图形处理器与一个或多个目标HMD之间的交互提供更高效率的分配模型。例如,代替与每个HMD的点对点连接,一些实施例可以将一些要素广播至多个用户。与点对点模型相比,广播共享内容可以节省带宽。即使每个用户具有不同的视点,仍然可以共享一些有用信息。例如,一些实施例可以使用集中式机器来广播共享信息。每个用户还可以针对其特定信息/内容得到单独的流。这些信息可以在本地被合并在一起,以用于用户的完整、特定视图。

[0197] 一些实施例可以识别共同工作与用户特定工作。对于共同的用户体验(例如,主题公园骑行),通过设计可能存在许多共同的要素。取决于用户在乘坐汽车中的位置,乘坐汽车中的四名用户可能仅仅以略微不同的角度看到大部分相同的场景。相同内容可以是可广播至用户的共享分量。取决于用户的确切位置,这些信息可以根据需要被内插和/或重新定向到用户的视点。在一些环境中,共同工作/共享分量可能提前已知。共享分量可以集中渲染,而用户特定部分可以在本地渲染。在一些实施例中,特定工作还可以在集中位置处进行渲染,但是可以被单独地发送而不是广播。用户的装置可以被配置成合并共享分量和用户特定部分。

[0198] 在一些实施例中,可以在共同链路(例如,同一频率)上发送共享信息以用于广播。一般而言,广播可以指只发送一次信息并且由所有用户接收信息。与针对多个用户发送多次相同或类似信息相比,识别共享分量并针对所有用户发送一次共享分量可以节省带宽。

[0199] 对于骑行的示例,用户可以从略微不同的角度看到背景。但是出于提高通用性和节省带宽的目的,可以忽视轻微差异。一些实施例可以将背景渲染为不会随视点/定向的微小变化而精确地倾斜的静态图像。相对静态的背景可以在节省大量带宽的同时不对用户体验造成可感知的影响。在一些实施例中,视点的变化量可以是基于阈值的。例如,如果第二个用户的视点在第一个用户的视点的五度范围内,则可以提供相同的背景。通过设计,一些实施例可以并不坚持对每个用户的视点的理想渲染以节省处理和/或网络带宽。例如,对于增强现实(AR)体验,即使用户的定向/位置不完全相同,也可以针对多于一个用户以相同的

定向/位置来渲染AR对象。

[0200] 对于已安装的AR/VR体验,众多用户可能会定期经历这种体验。尽管从特定用户的角度来看,当他们经历骑行时,体验会发生变化,但还有另一组用户很快进入场景,他们将与之前的用户有非常相似的体验。可以针对各个位置和定向来预先渲染共同信息。然后,用户的HMD可以传输其各自的位置和定向信息,并且集中式机器可以传输用于此位置和定向的适当的场景信息。

[0201] 对于共同分量和特定分量,一些实施例可以在两个阶段中实现。一些实施例可以在第一阶段中一起渲染和/或广播共同分量并且在第二阶段中根据需要分配特定分量。一些实施例可以有利地通过广播共同分量来节省带宽。集中式共享处理器(例如,GPU或AR/VR处理器)可以识别场景的共同分量和场景的特定分量,在适用时处理共同分量,并广播所处理的共同分量。集中式共享处理器还可以分配特定分量。用户的AR/VR装置(例如,HMD)可以包括用于合并共同分量和特定分量的合成器。

[0202] 集中式共享处理器可以不同程度地处理共享分量。在一些情况下,集中式共享处理器可以渲染至最终显示像素。共同分量可以不被渲染至最终显示像素。HMD仍然可以对共同分量执行某种渲染或扭曲处理。例如,一些共同分量可能仅与共同的模型和/或几何图形相对应。集中式处理器可以将一些处理推迟到HMD,所述HMD可以具有更好的本地信息来完成处理。

[0203] 一些实施例可以包括用于基于HMD的处理能力来分割共同工作的工作分割器。例如,不同的HMD可能具有不同的处理能力和/或部件来处理不同的图形工作负荷。简单的HMD可能需要集中式共享处理器来渲染至最终显示像素,而更复杂的HMD可以能够处理更多的工作负荷。集中式处理器可以被配置成识别目标HMD的类型并相应地调整工作负荷。

[0204] 深度共享器示例

[0205] 现在转向图8A,深度共享设备800的实施例可以包括:深度信息收集器821,用于从独立于两个或更多个用户的第一用户的源处收集深度信息;以及深度信息共享器822,通信地耦合至深度信息收集器821以便与第一用户共享深度信息。设备800的一些实施例可以进一步包括:可见性信息收集器823,用于从第一用户的视场之外的独立源处收集可见性信息;以及可见性信息共享器824,通信地耦合至可见性信息收集器823以便与第一用户共享可见性信息。设备800的一些实施例可以实现方法630和/或方法680(例如,参见图6I和6N)的一部分。

[0206] 上述深度信息收集器821、深度信息共享器822、可见性信息收集器823、可见性信息共享器824、以及设备800的其他部件中的每一个的实施例都可以采用硬件、软件或其组合的方式来实现。例如,设备800的一部分或全部可以被实现为并行处理器200的一部分,进一步被配置有如本文中所描述的深度信息收集器、深度信息共享器、可见性信息收集器和/或可见性信息共享器。设备800还可以被适配成与立体声头戴式系统一起工作,如例如以下结合图11至图15所描述的系统。例如,硬件实现方式可以包括如例如PLA、FPGA、CPLD等可配置逻辑,或者采用使用如例如ASIC、CMOS或TTL技术等电路技术的固定功能逻辑硬件,或其任意组合。替代性地或另外地,这些部件可以在作为存储在如RAM、ROM、PROM、固件、闪存等机器或计算机可读存储介质中的有待由处理器或计算装置执行的一组逻辑指令的一个或多个模块中实现。例如,用于执行这些部件的操作的计算机程序代码可以以一种或多种操

作系统适用/适合的编程语言的任何组合来编写,包括如PYTHON、PERL、JAVA、SMALLTALK、C++、C#等面向对象的编程语言、以及如“C”编程语言或类似的编程语言等常规的程序化编程语言。

[0207] 现在转向图8B,多个用户 U_1 、 U_2 、至 U_N 可以正在环境中操作AR/VR装备(例如, HMD_1 、 HMD_2 、至 HMD_N) (例如,其中, $N>2$)。多个用户可以或可以不正在使用同一个应用(例如,玩同一个游戏)和/或可以或可以不具有相同的AR/VR装备。根据一些实施例,AR/VR装备可以被配置成共享可能对其他用户有用的信息和/或接收可能对AR/VR装备有用的共享信息。

[0208] 一些实施例可以有利地提供对来自多个用户的深度相机数据的分布式处理。例如,如果多个AR用户处于一个环境中,则其AR装置可以共享深度相机信息。有利地,每个AR/VR系统可能不需要单独地开发整个场景。例如,如果在密集区域中(例如,城市环境)许多用户正使用具有深度相机的AR,则每个AR装置可以发射和接收(例如,高度压缩的)相机数据以获得更高的准确度和可能更低的处理能力。

[0209] 一些实施例可以提高定位数据的精度。例如,用户的AR装置可以将深度信息传输至附近的相邻AR装置。信息通信可以有助于准确度,因为附近的相邻装置可能具有比用户的AR装置更好的对对象的深度读数。例如,深度相机可以在一定范围内具有更高准确度。一些实施例可以有利地使用来自附加用户的附加深度信息来扩展用户的AR/VR系统的范围。一些实施例可以能够基于共享深度数据的能力来提供不太强大的相机和/或关闭相机电源(例如,功率越低,成本越低)。与本地地开发信息相比,一些实施例还可以通过从其他源得到此信息来节省功率。

[0210] 其他源还可以将深度信息传递至用户的AR/VR装置。其他源可以包括例如环境中的静态源(例如,固定相机位置)、环境中的自主源(例如,无人机或自主车辆上的相机)、和/或环境之外的源,如云服务。一些实施例可以利用对等共享、集中式共享、或两者。例如,关于移动对象的信息可以主要从对等源中基于实时感知的对象来提供,而关于静态对象的信息可以从云中提供。一些实施例可以被配置成接收来自其他源(例如,其他用户/云)的深度信息,并且将所接收深度信息与本地深度信息进行整合。

[0211] 例如,深度信息可以是源自群集的并且存储在云中。用户的AR装置然后可以基于用户的位置和定向来下载深度信息(例如,3D映射)。可以基于可用带宽和用户的AR装置使用所下载信息的能力而为所述信息提供不同程度的分辨率。基于云的深度信息共享可以对于可能相对稳定的对象是有用的。例如,用户围绕环境行走可以生成深度信息,所述深度信息可以上传至云并保存。所上传的深度信息可以用于针对在环境中处于静态的对象开发3D映射。例如,一些实施例可以使用数据分析来确定静态对象与动态对象(例如,在接收到来自100个不同用户的显示对象尚未发生变化的相同数据之后,对象可以被认为是静态的)。如果之前的静态对象似乎已经移动或者已不再被证实存在,则所述对象可以从云映射中移除。

[0212] 除了或替代增强距离/深度信息,一些实施例可以能够提供用户的视图之外的信息来增强此用户看到其视图或其相机的视图之外的能力。例如,用户可以能够看到在角落周围或其他对象后面的遮挡对象、穿过墙壁等。如果在用户前面的人阻挡用户对静态对象(例如,消防栓)的视图,则可以提醒用户静态对象存在。用户可以能够看到人的背后的事物(例如,他们对用户隐藏某物,但是其他人看到它或看到过它)。例如,穿戴AR眼睛的警察可

以看到隐藏在角落的人或隐藏的武器。一些实施例还可以提供之前在所述场景的上下文记录(例如,两分钟之前,巷子里有五个人)。

[0213] 一些实施例可以有利地提供多个VR耳机之间的协作。例如,在一个环境中操作的多个VR系统可以共享信息。在VR环境中,很有可能具有VR耳机的多个用户正在看相同的场景或几何图形。例如,可能存在同一场景的多个视图。一些实施例可以在用户可能会看不透明对象后面的事物或具有对其可用的不同视角的情况下使用VR耳机之间的协作/影像来提供增强的用户体验。

[0214] 一些实施例可以提供实体对象后面的可见性。例如,在使用共享同一个场景的VR相机的游戏环境中,即使存在遮挡视点的实体对象,第一用户也可以从其视角得到被遮挡的视点。其他用户可以提供实体对象后面的视图信息以便与第一用户共享。例如,其他用户可以正在从不受遮挡的不同角度看所述区域。其他用户可以提供可见性信息并且此可见性信息可以反射到第一用户的HMD中,因此第一用户可以看到实体对象之外的事物。其他用户的视角可以外推并重新定向到第一用户的视点。一些实施例可以包括从一个HMD中接收与场景有关的信息,将所述信息外推至其他HMD的定向,以及在其他HMD上显示重新定向信息。

[0215] 取决于可用资源(例如,存储设备、存储器、和/或处理能力),可以基于各个用户围绕区域的移动来映射所述区域,从而使得即使没有其他用户当前正看所述对象后面的区域,第一用户也可以能够看到对象后面的事物(例如,可能是时间延迟的视图而不是实时视图)。一些实施例可以对于VR应用和/或AR应用是有用的。一些实施例可以适用于自动驾驶应用来扩展驾驶员的视图。例如,多个车辆可以共享信息并将所述视图提供给超越汽车、汽车一侧、或汽车后面的驾驶员。可以向驾驶员提供可能在驾驶员的当前视图之外的危险。危险图像可以连同关于距危险的距离的信息一起投影在挡风玻璃上。

[0216] 共享预处理器示例

[0217] 现在转向图8C,共享预处理器设备840的实施例可以包括:预计算机841,用于预计算与共享图形分量有关的信息;以及预计算信息共享器842,用于与两个或更多个用户共享预计算的信息。例如,预计算的信息可以包括几何信息、图元信息、和物理信息中的一项或多项。设备840的一些实施例可以实现方法630和/或方法680(例如,参见图6J和6N)的一部分。

[0218] 上述预计算机841、预计算信息共享器842、以及设备840的其他部件中的每一个的实施例都可以采用硬件、软件或其组合的方式来实现。例如,设备840的一部分或全部可以被实现为并行处理器200的一部分,进一步被配置有如本文中所描述的预计算机和/或预计算信息共享器。设备840还可以被适配成与立体声头戴式系统一起工作,如例如以下结合图11至图15所描述的系统。例如,硬件实现方式可以包括如例如PLA、FPGA、CPLD等可配置逻辑,或者采用使用如例如ASIC、CMOS或TTL技术等电路技术的固定功能逻辑硬件,或其任意组合。替代性地或另外地,这些部件可以在作为存储在如RAM、ROM、PROM、固件、闪存等机器或计算机可读存储介质中的有待由处理器或计算装置执行的一组逻辑指令的一个或多个模块中实现。例如,用于执行这些部件的操作的计算机程序代码可以以一种或多种操作系统适用/适合的编程语言的任何组合来编写,包括如PYTHON、PERL、JAVA、SMALLTALK、C++、C#等面向对象的编程语言、以及如“C”编程语言或类似的编程语言等常规的程序化编程语言。

[0219] 现在转向图8D,多个用户 U_1 、 U_2 、至 U_N 可以正在环境中操作AR/VR装备(例如,HMD₁、

HMD₂、至HMD_N) (例如,其中, $N>2$)。多个用户可以正在使用同一个应用并且可以或可以不具有相同的AR/VR装备。有利地,一些实施例可以提供分解的共享仿真。在多用户环境中,例如,若干玩家可以正在经历可被预计算并分配为软件开发包(SDK)的一部分的共同AI或物理体验。在多个玩家正在经历一些相同事物的多玩家游戏中,一些实施例可以计算一些图形信息一次并在多个玩家/HMD或主机装置之中共享结果(例如,跨多个PC、游戏控制台等共享)。一些实施例可以包括用于预计算共同信息(例如,物理、AI等)并且然后将预计算的信息与多个HMD共享的服务器。例如,预计算的信息可以包括对象空间信息、几何信息、顶点信息、纹理信息、阴影信息、地形信息等。

[0220] 多端口图形子系统示例

[0221] 现在转向图9A,多端口图形子系统900的实施例可以包括用于第一显示器的第一GPU 921和用于第二显示器的第二GPU 922。图形子系统900的一些实施例可以在同一个衬底(例如,裸片/SoC/封装体/印刷电路板)上具有第一GPU和第二GPU两者,比如具有多个端口的独立显卡。图形子系统900的一些实施例可以在不同的衬底上具有第一GPU和第二GPU,比如多个独立显卡和/或主板上的集成显卡与独立显卡的组合,从而在各个可用GPU之间支持多个端口。

[0222] 根据一些实施例,多端口图形子系统900可以被配置成在多端口图形子系统900的每个端口上支持不同的用户。例如,多端口图形子系统900可以被配置成当仅第一虚拟现实设备连接至所述多端口图形子系统900时,支持所述第一虚拟现实设备的左眼显示器和右眼显示器。子系统900可以进一步被配置成:当所述第一虚拟现实设备和第二虚拟现实设备两者均连接至多端口图形子系统900时,支持所述第一虚拟现实设备和所述第二虚拟现实设备;并且当所述第一虚拟现实设备和所述第二虚拟现实设备两者均连接至多端口图形子系统900时,在所述第一虚拟现实设备与所述第二虚拟现实设备之间共享图形图元。子系统900的一些实施例可以实现方法630和/或方法680(例如,参见图6K和6N)的一部分。

[0223] 上述第一GPU 921、第二GPU 922、以及子系统900的其他部件中的每一个的实施例都可以采用硬件、软件或其组合的方式来实现。例如,子系统900的一部分或全部可以被实现为并行处理器200的一部分,进一步被配置成如本文中所描述的在多个端口上支持多个用户。子系统900还可以被适配成与立体声头戴式系统一起工作,如例如以下结合图11至图15所描述的系统。例如,硬件实现方式可以包括如例如PLA、FPGA、CPLD等可配置逻辑,或者采用使用如例如ASIC、CMOS或TTL技术等电路技术的固定功能逻辑硬件,或其任意组合。替代性地或另外地,这些部件可以在作为存储在如RAM、ROM、PROM、固件、闪存等机器或计算机可读存储介质中的有待由处理器或计算装置执行的一组逻辑指令的一个或多个模块中实现。例如,用于执行这些部件的操作的计算机程序代码可以以一种或多种操作系统适用/适合的编程语言的任何组合来编写,包括如PYTHON、PERL、JAVA、SMALLTALK、C++、C#等面向对象的编程语言、以及如“C”编程语言或类似的编程语言等常规的程序化编程语言。

[0224] 现在转向图9B和图9C,多端口图形子系统930可以包括第一端口931和第二端口932。当第一HMD 933附接至图形子系统930时,图形子系统930可以支持第一HMD 933的左眼显示器934和右眼显示器935。当第一HMD 933和第二HMD 936两者附接至图形子系统930时,图形子系统930可以支持在第一HMD 933和第二HMD 936中的每一个上的独立视图。

[0225] 有利地,一些实施例可以提供具有两个或多个用户的多用户VR。在一些实施例中,

代替左眼显示器和右眼显示器,图形子系统可以通过重用图元来支持两个用户,从而支持两个HMD。例如,在双图形设置(例如,可扩展链接界面(SLI)或独立显卡和集成显卡)中,可以存在足够的带宽来渲染至两个不同的HMD。当仅存在一个HMD时,SLI/GPU用于渲染左视图/右视图。一些实施例可以有利地共享图形分量(例如,几何图形、图元、内容、纹理等)以将3D内容渲染到在每个HMD中显示有不同内容的两个不同的HMD。一些实施例可以支持具有不同的“看”向量的一个视点,而一些实施例可以支持多个独立的视点。一些实施例还可以支持twitch,其中,一个用户可以利用其他用户的VR交互。例如,可以广播或分配VR场景以供由其他用户观看。

[0226] 一些显卡可以支持多个输出,其中,用户可以将多个HMD连接至输出以得到同一个VR场景。一些实施例可以有利地通过图元共享来支持所连接HMD的不同定向。例如,系统可以渲染一个360度图像,并且每个用户可以使其自己的视图进入到此360度图像中。一些实施例可以作出关于每个用户的位置和视场(例如,他们正在看什么)的判定,并且识别信息可以在用户之间共享。在一些实施例中,可以在集成GPU与独立GPU之间发生共享。

[0227] 用户可以将多个HMD插入到同一个GPU中并且使用此GPU来针对两个HMD进行渲染。代替使显卡支持左眼显示器和右眼显示器,一个显卡可以支持两个用户。如果两个用户正在玩同一个游戏(例如,社交VR或协作VR),则可以共享用户的场景之间的重叠以便高效地利用GPU。例如,可能存在不需要重复渲染的一个或多个共同的几何图形。可以针对每个视点共享这些共同的几何图形,从而降低GPU上的工作负荷。当多个GPU可用时(例如,每个用户具有其自己的GPU),在多个GPU之间分割共同的几何图形可以降低每个GPU的工作负荷。一些实施例可以有利地节省功率或增大用于其他GPU操作(例如,用于改善用户体验的所增加的细节)的可用带宽。

[0228] 例如,第一GPU可以针对第一用户的视角得到照明计算、颜色、程度等。此信息可以传递至第二GPU以供其使用第二用户的不同视角。一些实施例可以通过不必从其自己的磁盘/存储器中检索此信息来节省第二GPU上的带宽。一些实施例可以利用高速缓存按需共享信息。一些实施例可以基于这两个GPU的处理能力来分割工作负荷。例如,第一GPU可以得到照明计算而第二GPU得到颜色信息。

[0229] 一些实施例可以在一个图形子系统中具有两个显卡来支持一个HMD,一个用于左眼并且一个用于右眼。在一些实施例中,此图形子系统可以进一步支持两个HMD。用户可以将一个HMD连接至这一个显卡并且将另一个HMD连接至另一个显卡。图形子系统可以支持这两个显卡之间的图元共享。每个卡可以渲染两只眼睛,但通过图元共享仍然可以在支持两个用户而不是一个用户的同时提供良好的用户体验。

[0230] 一些实施例可以允许一组用户使用连接至显卡上的不同端口的多个HMD来播放来自云服务(例如,YOUTUBE或FACEBOOK)的360视频。例如,集成显卡系统可以包括VGA端口和HDMI端口和/或显示端口。这些端口可以能够同时支持多个监视器。一些实施例可以提供驱动程序来支持多个HMD。

[0231] 在显卡支持多个输出的一些实施例中,每个HMD可以具有其自己的视口和观看方向。在一些应用中,可以存在可能正在看一个方向的一个主用户,而其他观看者可能正在看不同的方向。一些实施例可以在一些协作性游戏中是有用的,其中,(多个)观看者可以提醒主用户发生在(多个)观看者的视场中的主用户可能未在观看的活动。

[0232] 解码共享器示例

[0233] 现在转向图10A,解码共享器1000的实施例可以包括:区识别器1021,用于识别第一用户的第一视图区与第二用户的第二视图区之间的共享场景的重叠区;解码器1022,用于对所述重叠区进行解码;以及区共享器1023,用于与所述第一用户和所述第二用户两者共享经解码的重叠区。设备1000的一些实施例可以进一步包括:解码优先级排序器1024,用于基于所述重叠区对所述解码进行优先级排序。设备1000的一些实施例可以实现方法630和/或方法680(例如,参见图6L和6N)的一部分。

[0234] 上述区识别器1021、解码器1022、区共享器1023、解码优先级排序器1024、以及设备1000的其他部件中的每一个的实施例都可以采用硬件、软件或其组合的方式来实现。例如,设备1000的一部分或全部可以被实现为并行处理器200的一部分,进一步被配置有如本文中所描述的区识别器、解码器1022、区共享器和/或解码优先级排序器。设备1000还可以被适配成与立体声头戴式系统一起工作,如例如以下结合图11至图15所描述的系统。例如,硬件实现方式可以包括如例如PLA、FPGA、CPLD等可配置逻辑,或者采用使用如例如ASIC、CMOS或TTL技术等电路技术的固定功能逻辑硬件,或其任意组合。替代性地或另外地,这些部件可以在作为存储在如RAM、ROM、PROM、固件、闪存等机器或计算机可读存储介质中的有待由处理器或计算装置执行的一组逻辑指令的一个或多个模块中实现。例如,用于执行这些部件的操作的计算机程序代码可以以一种或多种操作系统适用/适合的编程语言的任何组合来编写,包括如PYTHON、PERL、JAVA、SMALLTALK、C++、C#等面向对象的编程语言、以及如“C”编程语言或类似的编程语言等常规的程序化编程语言。

[0235] 现在转向图10B,多端口图形子系统1030可以包括第一端口1031、第二端口1032、第三端口1033和第四端口1034。第一HMD 1035、第二HMD 1036和第三HMD 1037全部可以附接至图形子系统1030的对应端口。图形子系统1030可以支持在第一HMD 1035、第二HMD 1036和第三HMD 1037中的每一个上的独立视图。

[0236] 现在转向图10C至图10D,这三个HMD可以同时观看360帧1040。例如,第一HMD 1035可以定位在第一视点A处,第二HMD 1036可以定位在第二视点B处,并且第三HMD 1037可以定位在第三视点C处。第一视点A和第二视点B可以包括第一重叠区1041。第一视点A和第三视点C可以包括第二重叠区1042。各个视点和重叠区可以在HMD改变位置时发生变化。

[0237] 一些实施例可以有利地针对用于VR应用的多个HMD提供社交360视频渲染。例如,一些实施例可以针对一个GPU进行多次解码以支持多个用户,其中,硬件解码可以基于每个用户的定向来渲染360度帧的视场(FOV)部分。多个硬件解码单元可以在社交VR的单个流(例如,360视频)上支持多个HMD。例如,一些实施例可以支持360视频和/或360抽动的多个视口。一些实施例可以通过共享重叠区解码/编码以避免在同一个区上多次执行解码/编码和/或基于重叠量而对解码进行优先级排序来更高效地实现单个流的360解码。

[0238] 一些系统可以为360视频创建大型矩形帧,对整个帧进行编码,并且然后基于用户正在看的点而提供帧的这个部分来向用户显示。如果第二用户正观看360视频,则一些系统可以在不参考第一用户的情况下基于第二用户正在看何处来对第二用户的视图进行解码,从而使得可以对各个区解码两次(例如,或者对于具有重叠视图的更多用户解码更多次)。一些实施例可以有利地识别多个用户的视点的重叠区以避免对同一个区解码多于一次。

[0239] 一些实施例可以向共享解码器提供360帧。共享解码器可以将用户的位置和定向