Espacenet

Bibliographic data: JP2008538155 (A) — 2008-10-09

Oled device having improved light output

Inventor(s):

Applicant(s):

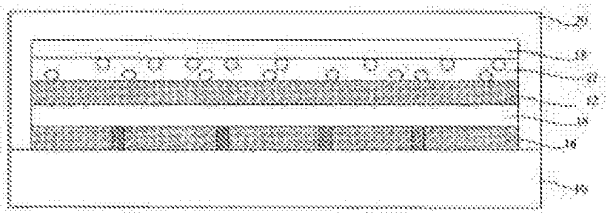
Classification: - international: ***H01L51/50; H05B33/02; H05B33/04; H05B33/26; H05B33/28***
- cooperative: **H01L51/5268**; **H01L51/5275**; H01L51/5203; H01L51/524

Application number: JP20070557106 20060223 Global Dossier

Priority number(s): US20050065082 20050224 ; WO2006US06155 20060223

Also published as: EP1851810 (A1) EP1851810 (B1) US2006186802 (A1) US7602118 (B2) WO2006091614 (A1)

Abstract not available for JP2008538155 (A)
Abstract of corresponding document: US2006186802 (A1)



An organic light-emitting diode (OLED) device, comprising: a substrate; an OLED comprising first and second electrodes and one or more layers of organic light-emitting material formed between the electrodes, wherein at least one electrode comprises a transparent electrode, the transparent electrode and layer(s) of organic light-emitting material having a first refractive index range; and an encapsulating cover; wherein at least one of the substrate or cover comprises a transparent substrate or cover having a second refractive index and through which light from the OLED is emitted; and further comprising a light scattering layer located between the substrate and cover, and a transparent low-index element having a third refractive index lower than each of the first refractive index range and second refractive index and located between the scattering layer and the transparent substrate or cover.

SDC EX. 1016 - 689/959

(19)日本国特許庁(JP)　(12)公表特許公報(A)　(11)特許出願公表番号
特表2008-538155
(P2008-538155A)
(43)公表日　平成20年10月9日(2008.10.9)

(51)Int.Cl.		F I		テーマコード（参考）
H05B 33/02	(2006.01)	H05B 33/02		3K107
H01L 51/50	(2006.01)	H05B 33/14	A	
H05B 33/04	(2006.01)	H05B 33/04		
H05B 33/26	(2006.01)	H05B 33/26	Z	
H05B 33/28	(2006.01)	H05B 33/28		

審査請求 未請求　予備審査請求 未請求　（全 19 頁）

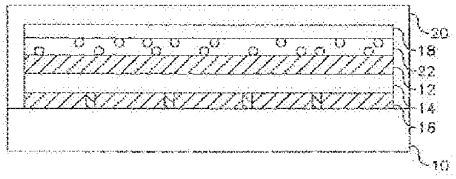
(21)出願番号　特願2007-557106 (P2007-557106)
(86)(22)出願日　平成18年2月23日 (2006.2.23)
(85)翻訳文提出日　平成19年10月16日 (2007.10.16)
(86)国際出願番号　PCT/US2006/006155
(87)国際公開番号　WO2006/091614
(87)国際公開日　平成18年8月31日 (2006.8.31)
(31)優先権主張番号　11/065,082
(32)優先日　平成17年2月24日 (2005.2.24)
(33)優先権主張国　米国 (US)

(71)出願人　590000846
イーストマン　コダック　カンパニー
アメリカ合衆国、ニューヨーク１４６５０、ロチェスター、ステイト　ストリート３４３
(74)代理人　100099759
弁理士　青木　篤
(74)代理人　100077517
弁理士　石田　敬
(74)代理人　100087413
弁理士　古賀　哲次
(74)代理人　100128495
弁理士　出野　知

最終頁に続く

(54)【発明の名称】光出力が改善されたＯＬＥＤデバイス

(57)【要約】
基板（10）と；第1の電極（12）と、第2の電極（16）と、これら電極の間に形成された1つ以上の有機発光材料層（14）とを有するOLEDと；封止用カバー（20）とを備えていて、2つの電極のうちの少なくとも一方は透明な電極を持ち、その透明な電極と有機発光材料層は第1の範囲の屈折率を持ち、基板とカバーのうちの少なくとも一方は、第2の屈折率を持つ透明な基板または透明なカバーを持ち、OLEDからの光はその透明な基板または透明なカバーを通過して出ていく有機発光ダイオード（OLED）デバイスであって、基板とカバーの間に位置する光散乱層（22）と；第1の範囲の屈折率および第2の屈折率のそれぞれよりも小さな第3の屈折率を持っていて、散乱層と透明な基板の間、または散乱層と透明なカバーの間に位置する透明な低屈折率素子（18）とをさらに備えるOLEDデバイス。



SDC EX. 1016 - 690/959

【特許請求の範囲】
【請求項1】
基板と；
第1の電極と、第2の電極と、これら電極の間に形成された1つ以上の有機発光材料層とを有するOLEDと；
封止用カバーとを備えていて、
上記電極のうちの少なくとも一方は透明な電極を持ち、その透明な電極と上記有機発光材料層は第1の範囲の屈折率を持ち、
上記基板と上記カバーのうちの少なくとも一方は、第2の屈折率を持つ透明な基板または透明なカバーを持ち、上記OLEDからの光はその透明な基板または透明なカバーを通過して出ていく有機発光ダイオード（OLED）デバイスであって、
上記基板と上記カバーの間に位置する光散乱層と；上記第1の範囲の屈折率および上記第2の屈折率のそれぞれよりも小さな第3の屈折率を持っていて、上記散乱層と上記透明な基板の間、または上記散乱層と上記透明なカバーの間に位置する透明な低屈折率素子とをさらに備えるOLEDデバイス。
【請求項2】
上記散乱層が、上記基板と1つの電極の間、または1つの電極と上記有機材料層の間、または1つの電極と上記カバーの間に位置する、請求項1に記載のOLEDデバイス。
【請求項3】
上記散乱層が1つの電極の隣にあってその電極と接触している、請求項1に記載のOLEDデバイス。
【請求項4】
上記カバーが、上記OLEDからの光が中を通過して出ていく透明なカバーであり、上記透明な低屈折率素子がそのカバーの隣にあってそのカバーと接触している、請求項1に記載のOLEDデバイス。
【請求項5】
上記透明な低屈折率素子が、上記OLEDと上記カバーの間に固体層、空孔、ギャップのいずれかを有する、請求項4に記載のOLEDデバイス。
【請求項6】
上記透明な低屈折率素子が、空気または不活性ガスで満たされたギャップを備える、請求項5に記載のOLEDデバイス。
【請求項7】
上記OLEDが、上記基板上に形成された反射性の第1の電極と、上記有機発光材料層の上に形成された透明な第2の電極を備え、上記散乱層がその透明な電極の上に位置する、請求項4に記載のOLEDデバイス。
【請求項8】
上記透明な第2の電極と上記散乱層の間に形成された保護層をさらに備える、請求項7に記載のOLEDデバイス。
【請求項9】
上記OLEDが、上記基板上に形成された透明な第1の電極と、上記有機発光材料層の上に形成された透明な第2の電極とを備え、上記散乱層が、透明な第1の電極と上記基板の間にある、請求項4に記載のOLEDデバイス。
【請求項10】
上記透明な第2の電極の上に形成された保護層をさらに備える、請求項9に記載のOLEDデバイス。
【請求項11】
上記基板が透明な基板であってその中を通って上記OLEDからの光が出ていき、上記透明な低屈折率素子がその基板の隣にあってその基板と接している、請求項1に記載のOLEDデバイス。

SDC EX. 1016 - 691/959

【請求項12】
上記OLEDが、上記基板の上に形成された透明な第1の電極と、上記有機発光材料層の上に形成された反射性の第2の電極を備えることと、上記散乱層が上記透明な低屈折率素子の上に位置すると同時に、上記透明な第1の電極の隣にあってその第1の電極と接していることを特徴とする、請求項11に記載のOLEDデバイス。
【請求項13】
上記透明な低屈折率素子が、光学的に透明な材料からなる固体層を含む、請求項1に記載のOLEDデバイス。
【請求項14】
上記透明な低屈折率素子が、光学的に透明な気体材料または液体材料で満たされた空孔またはギャップを含む、請求項1に記載のOLEDデバイス。
【請求項15】
上記光散乱層が1つの電極である、請求項1に記載のOLEDデバイス。
【請求項16】
少なくとも1つの電極が複数の層を含む、請求項1に記載のOLEDデバイス。
【請求項17】
複数の層を含む上記電極が、透明な層と反射性の層を含む、請求項16に記載のOLEDデバイス。
【請求項18】
上記光散乱層が、上記多層電極の透明な層と反射性の層の間に位置する、請求項17に記載のOLEDデバイス。
【請求項19】
上記光散乱層が、上記多層電極の反射性の層である、請求項17に記載のOLEDデバイス。
【請求項20】
上記多層電極の透明な層が導電性である、請求項17に記載のOLEDデバイス。
【請求項21】
上記透明な低屈折率素子の厚さが1マイクロメートルよりも大きい、請求項1に記載のOLEDデバイス。
【請求項22】
上記カバーが透明なカバーであってその中を通って上記OLEDからの光が出ていくことと、上記透明な低屈折率素子がそのカバーの隣にあってそのカバーと接触していることと、そのカバーと接触していて上記OLEDの表面を超えて上方に延びる突起領域をさらに備えることを特徴とする、請求項1に記載のOLEDデバイス。
【請求項23】
上記OLEDがアクティブ-マトリックス・デバイスであり、上記突起領域に、パターニングされた絶縁材料層が含まれる、請求項22に記載のOLEDデバイス。
【請求項24】
上記OLEDがディスプレイ装置である、請求項1に記載のOLEDデバイス。
【請求項25】
上記散乱層が、第1の範囲の屈折率と等しいかそれよりも大きい屈折率を持つ少なくとも1種類の材料を含む、請求項1に記載のOLEDデバイス。
【請求項26】
上記散乱層が、より小さな屈折率のマトリックス材料と、より大きな屈折率の散乱性材料を含む、請求項1に記載のOLEDデバイス。
【請求項27】
上記散乱層が、より大きな屈折率のマトリックス材料と、より小さな屈折率の散乱性材料を含む、請求項1に記載のOLEDデバイス。
【請求項28】
上記散乱層が、ポリマー、導電性ポリマー、二酸化ケイ素、窒化ケイ素、二酸化チタン、樹脂のいずれかを含む、請求項1に記載のOLEDデバイス。

【請求項29】
上記散乱層が導電性である、請求項1に記載のOLEDデバイス。
【請求項30】
上記透明な基板または上記透明なカバーが、その一方の側または両方の側に設けた反射防止層を備える、請求項1に記載のOLEDデバイス。
【請求項31】
膜厚抵抗率が$10^{-7}\Omega cm^2$～$10^{3}\Omega cm^2$である短絡低減層を上記電極間にさらに備える、請求項1に記載のOLEDデバイス。
【発明の詳細な説明】
【技術分野】
【0001】
本発明は、有機発光ダイオード（OLED）デバイスに関するものであり、より詳細には、光出力を改善するためのOLEDデバイス構造に関する。
【背景技術】
【0002】
有機発光ダイオード（OLED）はフラット-パネル・ディスプレイとエリア照明のランプにとって有望な技術である。この技術は、基板を覆う薄膜材料層に依存している。しかしよく知られているように、OLEDの発光層からの光出力の多くはデバイスの内部に吸収される。光はOLED内の層からあらゆる方向に発生するため、光の一部はデバイスから直接外に出ていき、光の一部はデバイスの内部に向かって発生して反射されて戻ってくるか吸収され、光の一部は横方向に発生してデバイスに含まれるさまざまな層によって捕獲・吸収される。一般に、光の80%までがこのようにして失われる可能性がある。
【0003】
OLEDデバイスは一般に2通りの形式が可能である。それは、アメリカ合衆国特許第4,476,292号に開示されているような小分子デバイスと、アメリカ合衆国特許第5,247,190号に開示されているようなポリマーOLEDデバイスである。どちらのタイプのOLEDデバイスも、順番に、アノード、有機EL素子、カソードを備えている。アノードとカソードの間に配置された有機EL素子は、一般に、有機正孔輸送層（HTL）、発光層（EL）、有機電子輸送層（ETL）を備えている。正孔と電子が再結合してEL層の中で光を発生させる。Tangら（Appl. Phys. Lett.、第51巻、913ページ、1987年、Journal of Applied Physics、第65巻、3610ページ、1989年、アメリカ合衆国特許第4,769,292号）は、このような層構造を利用した高効率のOLEDを実際に作って見せた。それ以来、別の層構造を有する多数のOLEDがこれまでに開示されており、デバイスの性能が改善されてきた。
【0004】
OLEDで光が発生するのは、カソードとアノードからそれぞれ注入される電子と正孔が電子輸送層と正孔輸送層を通過して発光層で再結合するときである。この光発生プロセスの効率は多くの因子によって決まる。例えばアノード材料とカソード材料の選択によって電子と正孔がいかに効率的にデバイスに注入されるかが決まる可能性がある。また、ETLとHTLの選択によって電子と正孔がデバイス内をいかに効率的に輸送されるかが決まる可能性があり、ELの選択によって電子と正孔がいかに効率的に再結合して光が発生するかが決まる可能性がある、などである。しかしOLEDデバイスの効率を制限するカギとなる因子の1つが、電子-正孔再結合によって発生するフォトンをOLEDデバイスから取り出す際の効率の悪さであることが見いだされた。使用する有機材料の屈折率が大きいため、再結合プロセスで発生するたいていのフォトンは、実際には、全反射のためにデバイスに捕獲される。捕獲されたフォトンがOLEDデバイスから出ていくことは決してないため、デバイスからの光出力に寄与しない。
【0005】
典型的なOLEDデバイスでは、ガラス基板と、透明な導電性アノード（例えばインジウム-スズ-酸化物（ITO））と、積層された複数の有機層と、反射性カソード層が使用されている。このデバイスから発生する光は、ガラス基板を通って出てくる。これは一般に、ボトム-エミッション型デバイスと呼ばれている。あるいはデバイスは、基板と、反射性ア

SDC EX. 1016 - 693/959

ノードと、積層された複数の有機層と、上部の透明なカソード層を備えることができる。このデバイスから発生する光は、上部の透明な電極を通って出てくる。これは一般に、トップ-エミッション型デバイスと呼ばれている。これらの典型的なデバイスでは、ITO層の屈折率、有機層の屈折率、ガラスの屈折率は、それぞれ、約2.0、1.7、1.5である。発生する光の60%近くがITO／有機EL素子内の反射によって捕獲され、20%がガラス基板の中で捕獲され、発生する光のほんの約20%が実際にデバイスから出てきて有用な機能を発揮する。

【0006】

図13を参照すると、従来のボトム-エミッション型OLEDは、透明な基板10と、透明な第1の電極12と、1つ以上の有機材料層14（そのうちの1つが光を発生させる）と、反射性の第2の電極16と、ギャップ19と、封止用カバー20を備えている。封止用カバー20は不透明でもよく、第2の電極16を直接覆ってギャップ19が存在しないようにすることもできる。ギャップ19が実際に存在している場合には、ポリマーまたは乾燥剤を満たしてより堅固にするとともに、デバイスに侵入する水蒸気を減らす。有機材料層14の1つから発生する光は、光線1で示したように、デバイスから基板10を通って直接外に出ることができる。光は、光線2で示したように、発生した後に基板10と有機材料層14の中だけを進む可能性もある。あるいは光は、光線3で示したように、発生した後に有機材料層14の中だけを進む可能性もある。反射性の第2の電極16に向かう光線4は、その反射性の第2の電極16によって反射されて基板10に向かった後、光線1、2、3いずれかの経路をたどる。

【0007】

図14を参照すると、従来技術で提案されているトップ-エミッション型OLEDデバイスが、基板10（反射性、透明、不透明のいずれか）と、反射性の第1の電極16と、1つ以上の有機材料層14（そのうちの1つが光を発生させる）と、透明な第2の電極12と、ギャップ19と、封止用カバー20を備えている状態が示してある。封止用カバー20は透明であり、透明な電極12を直接覆ってギャップ19が存在しないようにすることができる。ギャップにポリマー材料または乾燥剤を満たすことが以前から提案されてきた。ポリマーと乾燥剤は、一般に、屈折率が基板10または封止用カバー20の屈折率と等しいかそれよりも大きく、封止用カバーの屈折率に合った屈折率を持つ材料を用いて層内反射を減らすことが一般に提案されている。有機材料層14の1つから発生する光は、光線1で示したように、デバイスから封止用カバー20を通って直接外に出ることができる。光は、光線2で示したように、発生した後に封止用カバー20と有機材料層14の中だけを進む可能性もある。さらに、光は、光線3で示したように、発生した後に有機材料層14の中だけを進む可能性もある。反射性の第1の電極16に向かう光線4は、その反射性の第1の電極16によって反射されて封止用カバー20に向かった後、光線1、2、3いずれかの経路をたどる。従来のいくつかの実施態様では、第1の電極12は、透明および／または光吸収性にすることができる。

【0008】

薄膜発光デバイスからの光の出力カップリングを改善するため、さまざまな方法が提案されてきた。例えば、薄いポリマー・フィルムからの発光の寄与を、発光層の中を横方向に進む光のブラッグ散乱を誘導することによって制御するための回折格子が提案されている。Safonovらによる「横方向微細構造によるポリマー発光の変更」、Synthetic Metals、第116巻、2001年、145～158ページと、Luptonらによる「周期的微細構造を有する発光ダイオードからのブラッグ散乱」、Applied Physics Lettes、第77巻、第21号、2000年11月20日、3340～3342ページを参照のこと。屈折特性と表面および体積散乱装置を備えた明るさ向上膜が、2002年5月10に公開されたChouらによる「直視型発光ディスプレイの明るさとコントラストの向上」という名称のWO 02/37568 A1に記載されている。マイクロキャビティ技術を利用することも知られている。例えば、Tsutsuiらによる「光学的マイクロキャビティ構造を有する有機エレクトロルミネッセンス・ダイオードにおける鋭い指向性を持つ発光」、Applied Physics Lettes、第65巻、第15号、1994年10月10日、1868～1870ページを参照のこと。しかしこれらのどの方法も、発生する光のすべて、または発生する光の大部分をデバイスから出させることはできない。さらに、このような屈折法では発光

角度が周波数に大きく依存するため、デバイスから出る光の色が見る人の角度によって変化する。

【0009】

発光領域または画素を取り囲む反射性構造が、1998年11月10日にBulovicらに付与されたアメリカ合衆国特許第5,834,893号に言及されており、この特許文献には各画素の縁部に位置する傾斜した反射性壁部を用いることが記載されている。同様に、Forrestらは、2000年7月18日に付与されたアメリカ合衆国特許第6,091,195号の中に、傾斜した壁部を有する画素を記載している。これらの方法では、発光領域の縁部に位置する反射装置が使用されている。しかし1つの画素または発光領域の中で光が基板に平行に層内を横方向に移動すると、光は吸収によってやはりかなり失われる。

【0010】

散乱法も知られている。Chou（国際公開番号WO 02/37580 A1）とLiuら（アメリカ合衆国特許出願公開第2001/0026124 A1号）は、光の取り出しを改善するために体積散乱層または表面散乱層を用いることを教示している。散乱層は、有機層の隣またはガラス基板の外面に設けられていて、これらの層に合った屈折率を有する。臨界角よりも大きな角度（そうでないと光は捕獲される）でOLEDデバイスから出る光は散乱層に侵入できるため、散乱されてデバイスの外に出る。そのことによってOLEDデバイスの効率は改善されるが、以下に説明する欠点が相変わらず残されている。

【0011】

Doらの「有機エレクトロルミネッセンス・ディスプレイ装置とその製造方法」という名称の2004年9月7日に付与されたアメリカ合衆国特許第6,787,796号には、有機エレクトロルミネッセンス（EL）ディスプレイ装置とその製造方法が記載されている。有機ELデバイスは、基板層と、この基板層の上に形成される第1の電極層と、この第1の電極層の上に形成される有機層と、この有機層の上に形成される第2の電極層を備えており、有機EL素子の各層の間に屈折率の大きな差がある場合には、そうした層の間に、屈折率が互いに異なる複数の領域を持つ光損失阻止層が形成されている。Garnerらによる「有機発光ダイオードから光を取り出すための設計」という名称のアメリカ合衆国特許出願公開第2004/0217702号には、同様に、微細構造を利用して内部の屈折率を変化させるか、内部または表面を物理的に変化させ、OLEDの内部における内部導波モードの伝播を乱すことが開示されている。トップ-エミッション型の実施態様では、適切な屈折率を持つポリマーを封止用カバーに隣接して用いることが開示されている。

【0012】

しかし散乱法それ自体によって光が光吸収材料層を複数回通過するため、光は吸収されて熱に変換される。さらに、捕獲された光は、カバー、基板、有機層を水平方向にかなりの距離伝播した後、散乱されてデバイスの外に出る。そのためディスプレイなどの画素化された用途ではデバイスのシャープさが低下する。例えば図15に示したように、従来の画素化されたボトム-エミッション型OLEDデバイスは、独立に制御される複数の画素30、32、34、36、38と、透明な第1の電極12と基板10に挟まれた位置にある散乱層22とを備えることができる。発光層から発生する光線5は、基板10、有機層14、透明な第1の電極12を通過する間に散乱層22によって複数回散乱される可能性があり、その後、デバイスの外に出る。光線5が最終的にデバイスの外に出ていくとき、光線5は、その光線が最初に発生した元の画素30から、光が出ていく離れた画素38までをかなりの距離にわたって移動していることになる。そのためシャープさが低下する。横方向の移動は、たいてい基板10の中で起こる。というのも基板はパッケージの中で最も厚い層だからである。また、出てくる光の量は、さまざまな層で光が吸収されるために少なくなる。そうではなく図16に示したように光散乱層がトップ-エミッション型デバイスの透明な封止用カバーに隣接する位置にある場合には、光は封止用カバー20の中を同様にかなりの距離移動した後に外に出ることになろう。

【0013】

光散乱層をOLEDデバイスの外部で使用することが、Shiangによる「光の取り出しが改善

SDC EX. 1016 - 695/959

された有機エレクトロルミネッセンス・デバイス」という名称のアメリカ合衆国特許出願公開第2005/0018431号と、Horikxらによる「フラットパネル・ディスプレイのための、光散乱特性を有する媒体からなる活性層を備えるシステム」という名称のアメリカ合衆国特許第5,955,837号に記載されている。これらの特許文献には、基板の上に位置する散乱層の特性が詳細に記載され、規定されている。同様に、Duggalらによる「光の取り出しが向上した有機エレクトロルミネッセンス・デバイス」という名称のアメリカ合衆国特許第6,777,871号には、特別な屈折率と散乱特性を有する複合層を含む出力カプラーを使用することが記載されている。この方法は光を取り出すのに有効だが、基板の中を伝播する（光線2で示した）光だけが取り出され、有機層と電極の中を伝播する（光線3で示した）光は取り出されないことになろう。さらに、この構造をディスプレイ装置に適用すると、ディスプレイを見たときのシャープさが低下することになろう。図17に、基板の上に光散乱層をコーティングしたアクティブマトリックス式OLEDデバイスのシャープさを示してある。デバイスの（水平方向と鉛直方向の両方での）平均MTF（シャープさ）を、光散乱層があるOLEDデバイスと光散乱層がないOLEDデバイスに関してプロットしてある。この図からわかるように、光散乱層を備えるOLEDデバイスは、そのOLEDデバイスからより多くの光が取り出された（図示せず）にもかかわらず、光散乱層を持たないOLEDデバイスよりもシャープさがはるかに劣っている。

【0014】

Tyanらによる「光取り出し効率が向上した有機発光デバイス」という名称のアメリカ合衆国特許出願公開第2004/0061136号には、光散乱層を含む、光取り出しが向上したOLEDデバイスが記載されている。いくつかの実施態様では、（有機エレクトロルミネッセンス素子の屈折率よりも実質的に小さい屈折率を持つ）屈折率の小さな分離層を光散乱層と組み合わせて反射層に隣接して使用することで、反射層にぶつかる角度の小さな光を阻止し、そのことによって反射層からの多数回の反射による吸収損失を最少にする。しかしこの特別な構成でもデバイスのシャープさはやはり低下するであろう。

【発明の開示】

【発明が解決しようとする課題】

【0015】

したがって、上記の問題を回避してデバイスの効率とシャープさを向上させる改善された有機発光ダイオード・デバイス構造が必要とされている。

【課題を解決するための手段】

【0016】

本発明の一実施態様は、基板と；第1の電極と、第2の電極と、これら電極の間に形成された1つ以上の有機発光材料層とを有するOLEDと；封止用カバーとを備えていて、2つの電極のうちの少なくとも一方は透明な電極を持ち、その透明な電極と有機発光材料層は第1の範囲の屈折率を持ち、基板とカバーのうちの少なくとも一方は、第2の屈折率を持つ透明な基板または透明なカバーを持ち、OLEDからの光はその透明な基板または透明なカバーを通過して出ていく有機発光ダイオード（OLED）デバイスであって、基板とカバーの間に位置する光散乱層と；第1の範囲の屈折率および第2の屈折率のそれぞれよりも小さな第3の屈折率を持っていて、散乱層と透明な基板の間、または散乱層と透明なカバーの間に位置する透明な低屈折率素子とをさらに備えるOLEDデバイスに関する。

【発明の効果】

【0017】

本発明は、OLEDデバイスからの光出力を増大させ、OLEDデバイスのシャープさを向上させるという利点を有する。

【発明を実施するための最良の形態】

【0018】

個々の層は薄すぎることと、さまざまな層の厚さの違いが大きすぎることのために実際のスケールでは図を描けないため、図面はスケール通りになっていないことが理解されよう。

SDC EX. 1016 - 696/959

【0019】
一実施態様による図1を参照すると、トップ-エミッション型有機発光ダイオード（OLED）デバイスは、基板10と；反射性の第1の電極16と、透明な第2の電極12と、電極12と16の間に形成された1つ以上の有機発光材料層14とを有するOLEDと；透明な封止用カバー20を備えていて、この封止用カバー20を通ってOLEDから光が出ていく。第1の電極16と第2の電極12のいずれかを画素化して明確な発光領域を形成することができる。透明な電極12と有機発光材料層14は第1の範囲の屈折率を持ち、透明なカバー20は第2の屈折率を持つ。光散乱層22が基板とカバーの間（この実施態様では透明な電極12とカバー20の間）に位置している。この明細書では、光散乱層は、この層に入射するあらゆる方向からのすべての光をランダムな方向に向ける光学的な層である。第1の範囲の屈折率と第2の屈折率のいずれよりも小さい第3の屈折率を持つ透明な低屈折率素子18が、光散乱層22と透明なカバー20の間に位置している。この明細書では、透明な電極は一部の光を通過させる電極であり、半透明な電極、一部反射性の電極、一部吸収性の電極も透明な電極に含まれる。本発明の別の一実施態様では、底部電極16も透明にできるため、デバイスの両側から光が出ていくようにすることが可能である。この別の実施態様では、第2の透明な低屈折率素子を散乱層と基板の間（例えば基板に隣接した位置）に設けることができる。
【0020】
本発明によれば、透明な低屈折率素子18は、OLEDデバイスの任意の位置、例えば、散乱層22と封止用カバー20の間（トップ-エミッション型の場合）や、散乱層22と基板10の間（ボトム-エミッション型の場合）に配置することができる。したがってさまざまな実施態様では、散乱層22は、トップ-エミッション型では図1に示したように、ボトム-エミッション型では図5に示したように、電極12に、有機層14とは反対側で隣接させること、または図2と図3に示したように、トップ-エミッション型では電極12と16の間で、有機層14のいずれかの側に配置することができる。さらに別の一実施態様では、反射性電極16は、複数の層、例えば透明な導電層13と反射層15を含むことができる。図4に示したように、散乱層は、反射層15と透明な導電層13の間に配置することができる。散乱層22と同様、反射層15も導電性にすることができる。この場合には、透明な導電層13が、第1の範囲の屈折率に含まれる屈折率を持つことが好ましい。
【0021】
本発明の別の一実施態様による図5を参照すると、有機発光ダイオード（OLED）デバイスは、基板10と；その基板10の上方に形成された透明な第1の電極12と、その透明な第1の電極12の上に形成された1つ以上の有機発光材料層14と、その有機発光材料層14の上に形成されて発光領域を区画する反射性の第2の電極16を有するOLEDと；基板10の上方に位置する散乱層22を備えるボトム-エミッション型デバイスとして構成されている。透明な第1の電極12と有機発光材料層14は第1の範囲の屈折率を持ち、基板10は第2の屈折率を持つ。透明な低屈折率素子18が散乱層22と基板10の間に位置していて、第1の範囲の屈折率と第2の屈折率のいずれよりも小さい第3の屈折率を持っている。図１、図2、図3、図4の構成をボトム-エミッション型の構成でも利用することができ、その場合には、散乱層22を対応する位置に配置し、透明な低屈折率素子18を図5に示した位置にする。このようにすると、透明な低屈折率素子18によって基板10の中を移動する散乱光が少なくなり、その結果として画像のシャープさの低下が少なくなる。
【0022】
好ましい実施態様では、封止用カバー20と基板10は、屈折率の典型値が1.4～1.6であるガラスまたはプラスチックを含むことができる。透明な低屈折率素子18は、光学的に透明な材料からなる固体層、空孔、ギャップのいずれかを含むことができる。空孔またはギャップは、真空でもよいし、光学的に透明な気体材料または液体材料で満たされていてもよい。例えば空気、窒素、ヘリウム、アルゴンは、どれも屈折率が1.0～1.1の間にあり、使用可能である。屈折率がより小さい使用可能な固体としてフルオロカーボンまたはMgFなどがあり、屈折率はそれぞれ1.4よりも小さい。使用するどのガスも不活性であることが好ましい。反射性電極16は、金属（例えばアルミニウム、銀、マグネシウム）または合金

でできていることが好ましい。透明な電極12は、透明な導電性材料（例えばインジウム-スズ-酸化物（ITO）またはそれ以外の金属酸化物）でできていることが好ましい。有機材料層14は、従来技術で知られている有機材料からなる例えば、正孔注入層、正孔輸送層、発光層、電子注入層、電子輸送層を含むことができる。このような有機材料層は、OLEDの分野でよく知られている。有機材料層は、一般に屈折率が1.6～1.9であるのに対し、インジウム-スズ-酸化物は屈折率が約1.8～2.1である。したがってOLEDに含まれる電極層12と有機材料層14は、屈折率が1.6～2.1の範囲である。もちろん、さまざまな材料の屈折率はその中を通過する光の波長に依存する可能性があるため、その材料に関してこの明細書に記載した屈折率の値は大まかな値にすぎない。いずれにせよ、透明な低屈折率素子18は、屈折率が、OLED発光体にとって望ましい波長における第1の範囲の屈折率と第2の屈折率のそれぞれよりも少なくとも0.1は小さいことが好ましい。

【0023】

散乱層22は、体積散乱層または表面散乱層を備えることができる。いくつかの実施態様では、例えば散乱層22は、屈折率の異なる少なくとも2つの材料を含むことができる。散乱層22は、例えばより小さな屈折率のマトリックスと、より大きな屈折率の散乱素子を含むことができる。あるいはマトリックスがより大きな屈折率を持ち、散乱素子がより小さな屈折率を持っていてもよい。例えばマトリックスは、屈折率が約1.5の二酸化ケイ素または架橋した樹脂か、屈折率がはるかに大きな窒化ケイ素を含むことができる。発生する光の波長の1/10よりも散乱層22の厚さが大きい場合には、散乱層22に含まれる少なくとも1つの材料の屈折率は、第1の範囲の屈折率とほぼ等しいかそれよりも大きいことが望ましい。これは、有機層14と透明な電極12に捕獲される光のすべてが、散乱層22による方向変更効果を受けられるようにするためである。発生する光の波長の1/10よりも散乱層22の厚さが小さい場合には、散乱層に含まれる材料の屈折率をこのように好ましい値にする必要はない。

【0024】

図6に示した別の実施態様では、散乱層22は、別の層の上に堆積された粒子23を含むことができる。例えば二酸化チタン粒子を透明な電極12の上にコーティングして光を散乱させる。可視光の散乱を最適にするため、このような粒子は直径が少なくとも100nmであることが好ましい。図7に示したさらに別のトップ-エミッション型デバイスでは、散乱層22は、電極16そのものを粗くした拡散性反射性表面25を含むことができ、図8に示した別のボトム-エミッション型デバイスでは、散乱層22は、透明な電極12そのものを粗くした拡散性屈折性表面27を備えることができる。別のボトム-エミッション型の構成では、散乱層は、図5の反射性電極16を粗くした拡散性反射性表面にすること、または図5の透明な電極12を粗くした拡散性屈折性表面にすることができる。

【0025】

散乱層22は、一般に、有機層14と透明な電極12における全反射をなくすため、電極の隣に配置してその電極と接触させるか、電極に近づける。しかし散乱層22が電極12と16の間にある場合には、散乱層がOLED層14における光の発生を過度に乱さないのであれば、散乱層を電極12または16と接触させる必要はない。本発明の一実施態様によれば、有機材料層14から出る光は、合体した有機材料層14と電極12に沿って進むことができる。なぜなら有機材料層14は屈折率が透明な電極12よりも小さく、電極16は反射性だからである。表面25、27または散乱層22は、合体した有機材料層14と電極12における光の全反射をなくし、その光の一部を合体した有機材料層14と電極12の外に向かわせる。

【0026】

望む効果とは正反対だが、デバイスから外に出て再び有機材料層14に戻る光を散乱層が散乱させることに注意することも重要である。したがって、反射をできるだけ少なくして光をデバイスの外に取り出すには、光学的に透明なできるだけ薄い層を用いることが望ましい。

【0027】

本発明が従来技術よりも好ましいのは、光が層内で反射する回数が少なくなり、散乱さ

SDC EX. 1016 - 698/959

れた光が封止用カバー20（トップ-エミッション型の場合）または基板10（ボトム-エミッション型の場合）の中を移動する距離が短くなるからである。図9を参照すると、光線6は、散乱されてある角度で有機材料層14と透明な第2の電極12に入ると、その有機材料層14と透明な第2の電極12から出ていくことができ、透明な電極12と封止用カバー20（または基板10）の両方よりも屈折率が小さい透明な低屈折率素子18（例えば空気）の中に入ることがわかる。したがって散乱された光は、封止用カバー20（または基板10）にぶつかると、封止用カバー20（またはボトム-エミッション型の場合には基板10）を通過し、反対側から再び出ていくことになる。なぜなら屈折率が小さい媒体から屈折率がより大きな媒体へと進む光は全反射されないからである。したがって光は、封止用カバー20または基板10の中を繰り返して通過することに起因する損失がない。すなわち、図15と図16に示したように、光がある一点で有機材料層14から出て、その点から離れた一点で封止用カバー20または基板10から出ていくことによるシャープさの欠如が見られることはない。この効果を容易に実現するには、透明な低屈折率素子18それ自体は光を散乱させてはならず、できるだけ透明になっていなければならない。透明な低屈折率素子18は、出てくる光がその透明な低屈折率素子の中を適切に伝播し、封止用カバー20の中を伝送されるようにするため、少なくとも1μmの厚さになっていることが好ましい。

【0028】

屈折率の異なる2つの層の界面を光が横切るときはいつでも（全反射の場合は除く）、光の一部が反射され、別の一部が屈折する。望まない反射は、標準的な反射防止層を設けて減らすことができる。反射防止層は、トップ-エミッション型の場合には封止用カバー20の両側に、ボトム-エミッション型の場合には透明な基板の両側に設けることが特に有用であろう。図12を参照すると、反射防止層21が透明なカバー20の外側に示してある。

【0029】

透明な低屈折率素子18は、OLEDデバイスからより多くの光を取り出すのに役立つ。しかし実際には、（ガスで満たされているか、真空である）空孔またはギャップをトップ-エミッション型の構成において透明な低屈折率素子18として用いる場合には、特に大きなデバイスに関してデバイスの力学的安定性に影響が及ぶ可能性がある。例えばOLEDデバイスが意図せず湾曲したり曲がっていたりする場合や、封止用カバー20または基板10が変形している場合には、封止用カバー20が透明な電極12と接触してその透明な電極12を壊す可能性がある。したがってトップ-エミッション型OLEDデバイスでは、封止用カバー20が透明な電極12と接触しないようにする何らかの手段が有用であろう。散乱層22が透明な電極12の上に位置する本発明の別のトップ-エミッション型の実施態様を示す図10を参照すると、有機材料層14と電極12および16は、一部または全体が突起領域24で取り囲まれている。突起領域24は、封止用カバー20と接触していてもよい。OLEDデバイスの発光領域の内部または周辺部で封止用カバー20と基板10を物理的に接触させることにより、OLEDデバイスをより堅固にするとともに、透明な低屈折率素子18として機能するギャップまたは空孔を作り出すことができる。あるいは可撓性のある基板10とカバー20を用いる場合には、突起領域24が、封止用カバー20がOLEDの有機材料層14および電極12と接触するのを阻止する。このような突起領域は、アクティブ-マトリックス・デバイスにおいて薄膜トランジスタを構成するためのフォトリソグラフィ法で使用されるパターニングした絶縁材料で作ることができる。散乱層22は、突起領域24を覆っていても覆っていなくてもよい。

【0030】

図11を参照すると、散乱層22が反射層15と透明な層13の間にある多層アノードを備える本発明による別のトップ-エミッション型の実施態様を示してある。本発明のさまざまな実施態様（例えば図10と図11の実施態様）は、有機材料層14を乱すことなく、散乱粒子（例えば二酸化チタン）を無機層の上にコーティングすることによって容易に製造できるという利点を有する。したがって製造プロセスの収率をより大きくすることが可能になる。例えばスピン・コーティングを利用できる。あるいは図11の実施態様では、フォトリソグラフィ法を利用して層22内に散乱構造を作り出すことができる。

【0031】

突起領域24に反射性エッジを設け、出る光が各発光領域のエッジに向かうようにすることができる。あるいは突起領域24を不透明にするか光吸収性にすることもできる。突起領域24の側部を反射性にする一方で、頂部を黒色にして光を吸収させることが好ましい。光を吸収する表面またはコーティングは、OLEDデバイスに入射する周囲光を吸収するため、デバイスのコントラストが向上することになろう。反射性コーティングは、薄い金属層の蒸着によって付着させることができる。光吸収性材料としては、例えば従来技術で知られているカラー・フィルタ材料を使用できる。OLEDデバイス内の突起領域は従来技術でも知られており、例えばコダック社のOLED製品であるALE251に見られ、薄膜トランジスタと導電性コンタクトを保護している。構成法と堆積法は従来から知られている。突起領域でOLEDの表面よりも上に出ている部分の有効な高さは、1μm以上である。接着剤を封止用カバー20または突起領域24に用いて封止用カバー20を突起領域24に固定し、機械的強度をさらに大きくすることができる。

【0032】

散乱層22ではさまざまな材料を用いることができる。例えば、ランダムに位置する二酸化チタン球をポリマー材料からなるマトリックスの中で使用できる。あるいはITO、酸化ケイ素、窒化ケイ素のいずれかを用いてより構造化された構成にすることもできる。さらに別の一実施態様では、屈折性材料を電極そのものに組み込んで電極を散乱層にすることができる。屈折性素子の形状は、円筒形、長方形、球形のいずれかが可能だが、形状はこれらのものに限られないことが理解されよう。散乱層22に含まれる材料間の屈折率の違いは例えば0.3～3にすることができ、差は大きいことが一般に望ましい。散乱層の厚さ、または散乱層の内部または表面上の凹凸のサイズは、例えば0.03～50μmが可能である。散乱層の内部での屈折効果を回避することが一般に好ましい。そのような効果を回避するには、例えば凹凸をランダムに位置させたり、屈折性素子のサイズまたは分布が、デバイスの発光領域から出る光の色の波長と同じではないようにしたりするとよい。

【0033】

散乱層22は、OLEDデバイスから光ができるだけ早く出ていき、OLEDデバイスのさまざまな層によって光が再吸収される機会が少なくなるように選択せねばならない。散乱層22が有機材料層14と透明な低屈折率素子18の間、または有機材料層14と反射性電極16の間に位置している場合には、ガラス製支持体を覆っている同じ層の全拡散透過率が大きい必要がある（80%を超えることが好ましい）。散乱層22そのものが反射性であることが望ましい別の実施態様では、ガラス製支持体を覆っている同じ層の全拡散透過率が大きい必要がある（80%を超えることが好ましい）。どの場合にも、散乱層の吸収はできるだけ少ない必要がある（5%未満が好ましく、理想的には0%）。

【0034】

光散乱層22の材料としては、有機材料（例えばポリマーまたは導電性ポリマー）や無機材料が挙げられる。有機材料としては、例えば、ポリチオフェン、PEDOT、PET、PENなどが挙げられる。無機材料としては、SiO_x（x>1）、SiN_x（x>1）、Si_3N_4、TiO_2、MgO、ZnO、Al_2O_3、SnO_2、In_2O_3、MgF_2、CaF_2などが挙げられる。散乱層22は、例えば、屈折率が2.5～3の二酸化チタンをドープされた、屈折率が1.6～1.8の酸化ケイ素と窒化ケイ素を含むことができる。屈折率が1.4～1.6の範囲のポリマー材料を用い、その中に屈折率がより大きな材料（例えば二酸化チタン）からなる屈折性素子を分散させることができる。

【0035】

従来のリソグラフィ手段（例えば従来技術で知られているフォトレジスト、マスク露出、エッチング）を利用して散乱層を作ることができる。あるいはコーティング法も利用できる。その場合、液体（例えば二酸化チタンを分散させたポリマー）で散乱層22を形成することができる。

【0036】

このような散乱層で遭遇する可能性のある1つの問題は、散乱層22内の散乱要素に付随する尖ったエッジの位置で電極が露出状態になる傾向があることである。散乱層は平坦にできるとはいえ、一般に上記のような操作によって完全に平坦で欠陥のない表面にはなら

ない。第1の電極12と第2の電極16の間が短絡する可能性を減らすため、図12に示したように短絡低減層29を電極間に設けることができる。このような層は抵抗の大きな材料からなる薄い層である（例えば膜厚抵抗率が$10^{-7}\Omega cm^2$～$10^3\Omega cm^2$）。短絡低減層は非常に薄いため、デバイスの電流はデバイスの各層を通過して電極間を流れることができるが、短絡による漏れ電流は非常に少ない。このような層は、2004年4月12日に出願されて譲受人に譲渡された同時係属中のアメリカ合衆国特許出願シリアル番号第10/822,517号に記載されている。

【0037】

たいていのOLEDデバイスは、水分と酸素の一方または両方に敏感であるため、一般に不活性雰囲気（例えば窒素やアルゴン）中で、乾燥剤（例えばアルミナ、ボーキサイト、硫酸カルシウム、粘土、シリカゲル、ゼオライト、アルカリ金属酸化物、アルカリ土類金属酸化物、硫酸塩、ハロゲン化金属、過塩素酸塩）とともに密封される。封入と乾燥のための方法としては、2001年5月8日にBorosonらに付与されたアメリカ合衆国特許第6,226,890号に記載されている方法などがある。さらに、障壁層（例えばSiO_x、テフロン（登録商標））や、交互に積層された無機層／ポリマー層が、封入法として知られている。

【0038】

特に図12に示したように、非常に薄い透明な封止材料層31を電極12の上に堆積させることができる。この場合には、散乱層22は、封止材料層31の上に堆積させることができる。この構造は、散乱層22を堆積させているときに電極12が保護されるという利点を有する。透明な封止材料層31は、透明な電極および有機層の第1の範囲の屈折率と同等な屈折率を持っているか、非常に薄いこと（例えば約0.2μm未満）が好ましい。すると透明な電極または有機層の中を進む光は透明な封止用材料からなる層31の中を通過し、散乱層22によって散乱されることになろう。

【0039】

本発明のOLEDデバイスでは、望むのであれば、よく知られたさまざまな光学的効果を利用して特性を向上させることができる。その中には、層の厚さを最適化して光の透過を最大にすること、誘電体ミラー構造を設けること、反射性電極の代わりに光吸収性電極にすること、グレア防止または反射防止のコーティングをディスプレイの表面に設けること、偏光媒体をディスプレイの表面に設けること、カラー・フィルタ、中性フィルタ、カラー変換フィルタをディスプレイの表面に設けることなどがある。フィルタ、偏光装置、グレア防止用または反射防止用コーティングは、特に、カバーの表面に、またはカバーの一部として設けることができる。

【0040】

本発明は、アクティブ-マトリックス式OLEDディスプレイまたはパッシブ-マトリックス式OLEDディスプレイでも実施することができる。本発明をディスプレイ装置またはエリア照明装置で利用することもできる。好ましい一実施態様では、本発明を、例えば1988年9月6日にTangらに付与されたアメリカ合衆国特許第4,769,292号と、1991年10月29日にVanSlykeらに付与されたアメリカ合衆国特許第5,061,569号などに開示されている小分子OLEDまたはポリマーOLEDからなるフラット-パネルOLEDデバイスで利用する。有機発光ディスプレイの多くの組み合わせや変形例を利用してこのようなデバイスを製造することができる。その中には、トップ-エミッション型構造またはボトム-エミッション型構造を備えるアクティブ-マトリックス式OLEDディスプレイとパッシブ-マトリックス式OLEDディスプレイの両方が含まれる。

【図面の簡単な説明】

【0041】

【図1】散乱層を備える本発明の一実施態様によるトップ-エミッション型OLEDデバイスの断面図である。

【図2】散乱層を備える本発明の別の一実施態様によるトップ-エミッション型OLEDデバイスの断面図である。

【図3】散乱層を備える本発明の別の一実施態様によるトップ-エミッション型OLEDデバイ

SDC EX. 1016 - 701/959

スの断面図である。
【図4】散乱層を備える本発明の別の一実施態様によるトップ-エミッション型OLEDデバイスの断面図である。
【図5】散乱層を備える本発明の別の一実施態様によるボトム-エミッション型OLEDデバイスの断面図である。
【図6】散乱粒子を備える本発明の別の一実施態様によるトップ-エミッション型OLEDデバイスの断面図である。
【図7】反射性散乱面を備える本発明の別の一実施態様によるトップ-エミッション型OLEDデバイスの断面図である。
【図8】散乱面を備える本発明の別の一実施態様によるボトム-エミッション型OLEDデバイスの断面図である。
【図9】屈折性散乱層を備える本発明の一実施態様によるトップ-エミッション型OLEDデバイスの断面図であり、光の経路が示してある。
【図10】散乱層と突起領域を備える本発明の一実施態様によるトップ-エミッション型OLEDデバイスの断面図である。
【図11】散乱層と突起領域を備える本発明の別の一実施態様によるトップ-エミッション型OLEDデバイスの断面図である。
【図12】散乱層と保護層と短絡低減層と突起領域を備える本発明の別の一実施態様によるトップ-エミッション型OLEDデバイスの断面図である。
【図13】従来のボトム-エミッション型OLEDデバイスの断面図である。
【図14】従来のトップ-エミッション型OLEDデバイスの断面図である。
【図15】散乱層を備える従来のボトム-エミッション型OLEDデバイスの断面図である。
【図16】散乱層を備える従来のトップ-エミッション型OLEDデバイスの断面図である。
【図17】従来のアクティブ-マトリックス式ボトム-エミッション型OLEDデバイスでは散乱層が原因でシャープさが低下することを示すグラフである。
【符号の説明】
【0042】
1、2、3、4、5、6　　光線
10　　基板
12　　透明な電極
13　　透明な層
14　　有機材料層
15　　反射層
16　　反射性電極
18　　透明な低屈折率素子
19　　ギャップ
20　　封止用カバー
21　　反射防止層
22　　散乱層
23　　散乱粒子
24　　突起領域
25　　電極の拡散性反射性表面
27　　電極の拡散性屈折性表面
29　　短絡低減層
30、32、34、36、38　　画素
31　　封止材料層

【図1】

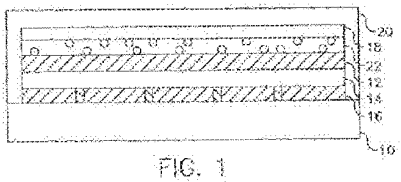


FIG. 1

【図2】

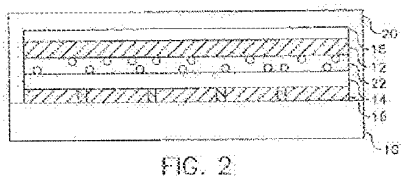


FIG. 2

【図3】

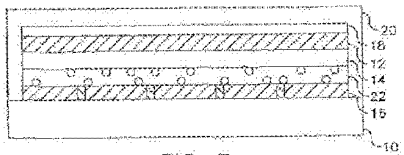


FIG. 3

【図4】

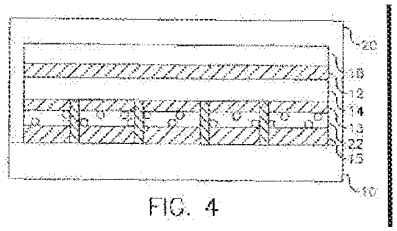


FIG. 4

【図5】

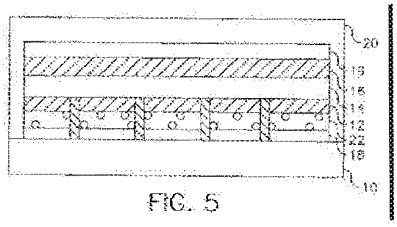


FIG. 5

【図6】

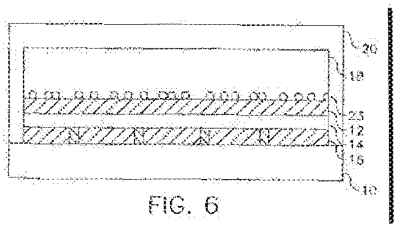


FIG. 6

【図7】

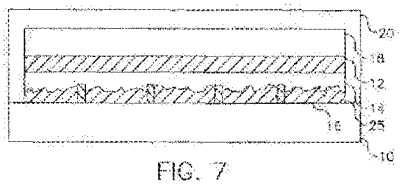


FIG. 7

【図8】

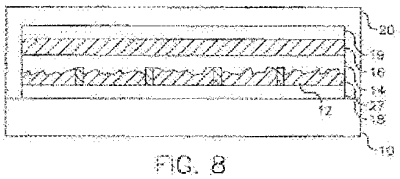


FIG. 8

【図9】

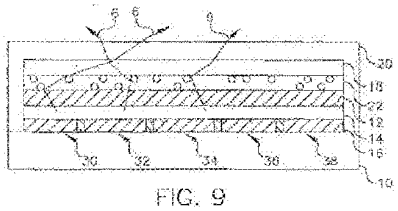


FIG. 9

【図10】

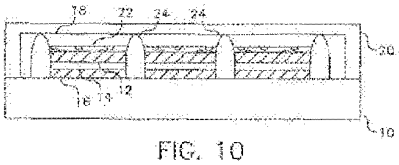


FIG. 10

【図11】

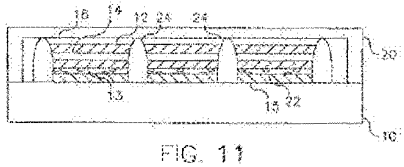


FIG. 11

【図12】

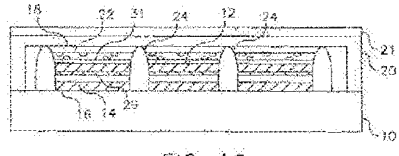


FIG. 12

SDC EX. 1016 - 703/959

【図13】

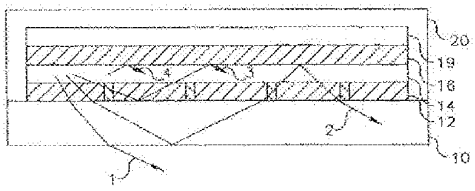


図13
従来技術

【図14】

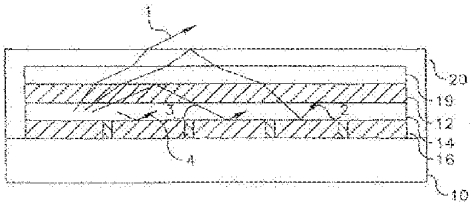


図14
従来技術

【図15】

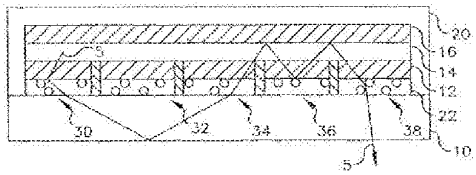


図15
従来技術

【図16】

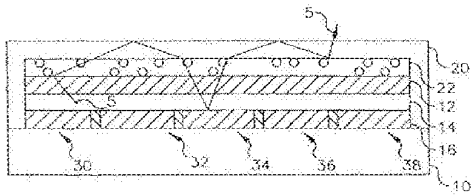


図16
従来技術

【図17】

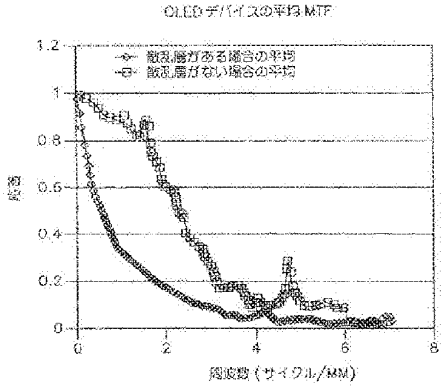


図17

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2006/006155

A. CLASSIFICATION OF SUBJECT MATTER
INV. H01L51/52

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H01L H05B

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practical, search terms used)
EPO-Internal

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2004/217702 A1 (GARNER SEAN M ET AL) 4 November 2004 (2004-11-04) cited in the application paragraph [0037] - paragraph [0043] paragraphs [0054], [0057], [0066], [0067] claims 1-3,9-12,14,18	1-6, 8-10, 14-21, 24-31
Y		7,11-13, 22,23
Y	EP 1 100 129 A (MATSUSHITA ELECTRIC WORKS, LTD; TSUTSUI, TETSUO) 16 May 2001 (2001-05-16) paragraphs [0069] - [0071]	7,11-13

-/--

[X] Further documents are listed in the continuation of Box C. [X] See patent family annex.

* Special categories of cited documents :

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art.

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
16 June 2006	22/06/2006

Name and mailing address of the ISA/	Authorized officer
European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016	Welter, S

Form PCT/ISA/210 (second sheet) (April 2005)

SDC EX. 1016 - 705/959

INTERNATIONAL SEARCH REPORT

International application No
PCT/US2006/006155

C(Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 03/001490 A (AVERY DENNISON CORPORATION) 3 January 2003 (2003-01-03) page 24, line 33 - page 27, line 26	22,23
A	EP 1 406 474 A (EASTMAN KODAK COMPANY) 7 April 2004 (2004-04-07) cited in the application paragraph [0014]	1-31

Form PCT/ISA/210 (continuation of second sheet) (April 2005)

SDC EX. 1016 - 706/959

INTERNATIONAL SEARCH REPORT

Information on patent family members

International application No
PCT/US2006/006155

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
US 2004217702 A1	04-11-2004	NONE	
EP 1100129 A	16-05-2001	NONE	
WO 03001490 A	03-01-2003	NONE	
EP 1406474 A	07-04-2004	CN 1498046 A	19-05-2004
		DE 60301466 D1	06-10-2005
		DE 60301466 T2	08-06-2006
		JP 2004127942 A	22-04-2004
		US 2004061136 A1	01-04-2004

Form PCT/ISA/210 (patent family annex) (April 2005)

SDC EX. 1016 - 707/959

(81)指定国　　AP(BW,GH,GM,KE,LS,MW,MZ,NA,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HU,IE,IS,IT,LT,LU,LV,MC,NL,PL,PT,RO,SE,SI,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BW,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KM,KN,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,LY,MA,MD,MG,MK,MN,MW,MX,MZ,NA,NG,NI,NO,NZ,OM,PG,PH,PL,PT,RO,RU,SC,SD,SE,SG,SK,SL,SM,SY,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VC,VN,YU,ZA,ZM,ZW

(72)発明者　コク，ロナルド　スティーブン
アメリカ合衆国，ニューヨーク　１４６２５，ロチェスター，ウエストフィールド　コモンズ　３６
(72)発明者　プレウス，ドナルド　ロバート
アメリカ合衆国，ニューヨーク　１４６２２，ロチェスター，ドッグウッド　レーン　２９
(72)発明者　ティアン，ユアン－シェン
アメリカ合衆国，ニューヨーク　１４５８０，ウェブスター，オールド　ウッズ　ロード　６１３

Ｆターム(参考)　3K107 AA01 BB01 BB02 CC05 CC35 DD02 DD03 DD22 DD23 DD24
DD27 DD28 DD29 EE03 EE27 EE28 EE42 EE46 EE51 EE52
FF04 FF06 FF15

SDC EX. 1016 - 708/959

Espacenet

Bibliographic data: JP4182467 (B2) — 2008-11-19

ELECTRO-OPTICAL DEVICE, MANUFACTURING METHOD THEREFOR, CIRCUIT BOARD, MANUFACTURING METHOD THEREFOR, AND ELECTRONIC EQUIPMENT

Inventor(s): MIYAZAWA TAKASHI

Applicant(s): SEIKO EPSON CORP

Classification: - international: ***G09F9/00; G09F9/30; G09F9/33; H01L27/32; H01L29/786; H01L51/50; H01L51/52; H05B33/02***
- cooperative: **H01L51/5262**; **H05B33/22**; G02F1/133502; H01L27/3244

Application number: JP20010398522 20011227

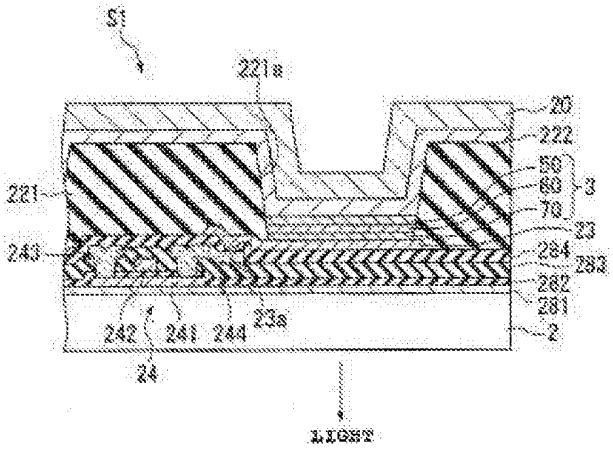
Priority number(s): JP20010398522 20011227

Also published as: CN1251556 (C) CN1429054 (A) CN1633224 (A) CN1633224 (B) CN1901244 (A) EP1324642 (A2) EP1324642 (A3) EP1976340 (A2) EP1976340 (A3) JP2003195775 (A) KR100512047 (B1) KR20030057371 (A) TW200301456 (A) TWI301605 (B) US2003160247 (A1) US2007170429 (A1) US7211838 (B2) US7714328 (B2) less

Abstract of JP2003195775 (A)

PROBLEM TO BE SOLVED: To provide an electro-optical device capable of improving an efficiency of externally taking out light, and realizing high visibility. ;SOLUTION: An organic EL display device has a plurality of material layers including light emitting elements 3, and between a substrate 2, which is placed on the front surface among a plurality of the material layers placed in the direction of taking out the light from a light emitting element 3, and the light emitting element 3, 1st and 2nd interlayer insulating layers 283, 284 having a

Fig.3



SDC EX. 1016 - 709/959

refractive index lower than that of the substrate 2 are arranged. ;COPYRIGHT: (C)2003,JPO

SDC EX. 1016 - 710/959

(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4182467号
(P4182467)
(45)発行日　平成20年11月19日(2008.11.19)　(24)登録日　平成20年9月12日(2008.9.12)

(51)Int.Cl.		F I		
G09F 9/00	(2006.01)	G09F	9/00	313
G09F 9/30	(2006.01)	G09F	9/30	365Z
H01L 27/32	(2006.01)	G09F	9/33	Z
G09F 9/33	(2006.01)	H01L	29/78	619A
H01L 29/786	(2006.01)	H05B	33/02	

請求項の数 12　(全 32 頁)　最終頁に続く

(21)出願番号　特願2001-398522(P2001-398522)
(22)出願日　平成13年12月27日(2001.12.27)
(65)公開番号　特開2003-195775(P2003-195775A)
(43)公開日　平成15年7月9日(2003.7.9)
審査請求日　平成16年12月9日(2004.12.9)

前置審査

(73)特許権者　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号
(74)代理人　100095728
弁理士　上柳　雅誉
(74)代理人　100107261
弁理士　須澤　修
(74)代理人　100127661
弁理士　宮坂　一彦
(72)発明者　宮澤　實士
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

審査官　後藤　亮治

最終頁に続く

(54)【発明の名称】回路基板、電気光学装置及び電子機器

(57)【特許請求の範囲】

【請求項1】

基板と、

前記基板の上方に設けられた半導体膜と、

前記半導体膜の上方に設けられたゲート絶縁層と、

前記ゲート絶縁層の上方に設けられたゲート電極と、

前記ゲート電極の上方に設けられた第１層間絶縁層と、

前記第１層間絶縁層の上方に設けられたドレイン電極と、

前記第１層間絶縁層と前記ドレイン電極の上方に設けられた第２層間絶縁膜と、

前記第２層間絶縁層の上方に設けられた画素電極と、

前記ドレイン電極の上方に設けられ、透光性を有する保護層と、を含み、

前記半導体膜は、前記ゲート絶縁層及び前記第１層間絶縁層にわたって設けられた第１のコンタクトホールを介して前記ドレイン電極に接続され、

前記第１層間絶縁層の屈折率は、前記基板の屈折率より低く、

前記第２層間絶縁層の屈折率は、前記基板の屈折率より低く、

前記ドレイン電極は、前記第２層間絶縁層に設けられた第２のコンタクトホールを介して前記画素電極に接続されており、

前記第１層間絶縁層は、第１のSiO_2膜と第２のSiO_2膜とが積層して構成され、

前記第１のSiO_2膜は、多孔性を有し、

前記第２のSiO_2膜は、通常の減圧化学的気相成長法により形成されたこと、

SDC EX. 1016 - 711/959

を特徴とする回路基板。
【請求項2】
請求項１に記載の回路基板において、
前記保護層は、ホウ素、炭素、及び窒素から選ばれた少なくとも一つの元素と、アルミニウム、珪素、及びリンから選ばれた少なくとも一つの元素と、を含む絶縁膜であること、
を特徴とする回路基板。
【請求項3】
請求項１に記載の回路基板において、
前記保護層は、珪素、アルミニウム、窒素、酸素、及び希土類元素の少なくとも一種を含む絶縁膜であること、
を特徴とする回路基板。
【請求項4】
請求項１に記載の回路基板において、
前記保護層は、窒化酸化珪素膜であること、
を特徴とする回路基板。
【請求項5】
請求項１乃至４のいずれかに記載の回路基板において、
前記第１層間絶縁層の屈折率は１．５以下であることを特徴とする回路基板。
【請求項6】
請求項１乃至５のいずれかに記載の回路基板において、
前記第１層間絶縁層の屈折率は１．２以下であることを特徴とする回路基板。
【請求項7】
請求項１乃至４のいずれかに記載の回路基板において、
前記第１層間絶縁層は、光を透過可能な多孔質体により構成されていること、ことを特徴とする回路基板。
【請求項8】
請求項１乃至７のいずれかに記載の回路基板において、
前記半導体膜には、チャネル領域とソース・ドレイン領域とが形成されていること、
を特徴とする回路基板。
【請求項9】
電気光学素子と、
請求項１乃至８のいずれかに記載の回路基板と、を含み、
前記電気光学素子からの光が取り出される方向に前記基板が位置すること、
を特徴とする電気光学装置。
【請求項10】
請求項９に記載の電気光学装置において、
前記電気光学素子は、発光素子であること、
を特徴とする電気光学装置。
【請求項11】
請求項１乃至８のいずれかに記載の回路基板を備えたこと、
を特徴とする電子機器。
【請求項12】
請求項９又は１０に記載の電気光学装置を備えたこと、
を特徴とする電子機器。

【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、電気光学素子が発する光や電気光学素子により変調された光が効率良く取り出される電気光学装置及び電気光学装置の製造方法、この電気光学装置を備えた電子機器。

並びに回路基板及び回路基板の製造方法に関するものである。

【０００２】

【従来の技術】

従来、液晶装置、有機ＥＬ（エレクトロルミネッセンス；electroluminescence）装置等の電気光学装置においては、基板上に複数の回路素子、電極、液晶又はＥＬ素子等が積層された構成を有するものがある。例えば有機ＥＬ装置においては、発光物質を含む発光層を陽極及び陰極の電極層で挟んだ構成の発光素子を有しており、陽極側から注入された正孔と、陰極側から注入された電子とを発光能を有する発光層内で再結合し、励起状態から失活する際に発光する現象を利用している。

【０００３】

【発明が解決しようとする課題】

一般に電気光学装置は電気光学素子層を含めて複数の材料層により構成されているので、電気光学素子層が発した光あるいは変調した光を外部に取り出す際には、光が通過する材料層によって減衰してしまい、十分な光の取り出し効率が得られないことがある。

【０００４】

本発明はこのような事情に鑑みてなされたものであって、光の外部取り出し効率を向上でき、高い視認性が実現される電気光学装置及びその製造方法、回路基板及びその製造方法、電子機器を提供することを目的とする。

【０００５】

【課題を解決するための手段】

本発明に係る第１の回路基板は、基板と、前記基板の上方に設けられた半導体膜と、前記半導体膜の上方に設けられたゲート絶縁層と、前記ゲート絶縁層の上方に設けられたゲート電極と、前記ゲート電極の上方に設けられた第１層間絶縁層と、を含み、前記第１層間絶縁層の屈折率は、前記基板の屈折率より低いことを特徴とする。

上記の回路基板において、前記第１層間絶縁層の上方に設けられた第２層間絶縁層を、さらに含み、前記第２層間絶縁層の屈折率は、前記基板の屈折率より低くしてもよい。

上記の回路基板において、前記第２層間絶縁層の上方に設けられた画素電極を、さらに含んでいてもよい。

上記の回路基板において、前記第１層間絶縁層の上方に設けられたSiO_2層をさらに含んでいてもよい。

上記の回路基板において、前記第１層間絶縁層の密度は、０．４ｇ／ｃｍ^{3}以下であってもよい。

上記の回路基板において、前記第１層間絶縁層の上方に設けられたドレイン電極を、さらに含み、前記半導体膜は、前記ゲート絶縁層及び前記第１層間絶縁層にわたって設けられたコンタクトホールを介して前記ドレイン電極に接続されていてもよい。

本発明に係る第２の回路基板は、基板と、前記基板の上方に設けられた半導体膜と、前記半導体膜の上方に設けられたゲート絶縁層と、前記ゲート絶縁層の上方に設けられたゲート電極と、前記ゲート電極の上方に設けられた第１層間絶縁層と、前記第１層間絶縁層の上方に設けられたドレイン電極と、前記第２層間絶縁層の上方に設けられた画素電極と、前記ドレイン電極の上方に設けられ、透光性を有する保護層と、を含み、前記半導体膜は、前記ゲート絶縁層及び前記第１層間絶縁層にわたって設けられた第１のコンタクトホールを介して前記ドレイン電極に接続され、前記第１層間絶縁層の屈折率は、前記基板の屈折率より低く、前記第２層間絶縁層の屈折率は、前記基板の屈折率より低く、前記ドレイン電極は、前記第２層間絶縁層に設けられた第２のコンタクトホールを介して前記画素電極に接続されていることを特徴とする。

上記に回路基板において、前記第１層間絶縁層は、第１のSiO_2膜と第２のSiO_2膜とが積層して構成され、前記第１のSiO_2膜は、多孔性を有し、前記第２のSiO_2膜は、通常の減圧化学的気相成長法により形成されていてもよい。

上記の回路基板において、前記第１層間絶縁層は、エアロゲル、多孔質シリカ、フッ化マグネシウム、フッ素系ポリマー、多孔性ポリマーのうち少なくともいずれか１つを含ん

でいてもよい。

上記の回路基板において、前記第１層間絶縁層は、所定の材料に無機微粒子及び有機微粒子の少なくともいずれか一方を含有したものであってもよい。

本発明に係る他の回路基板は、基板と、前記基板の上方に設けられた半導体膜と、　前記半導体膜の上方に設けられたゲート絶縁層と、　前記ゲート絶縁層の上方に設けられたゲート電極と、前記ゲート電極の上方に設けられた第１層間絶縁層と、前記第１層間絶縁層の上方に設けられたドレイン電極と、前記第１層間絶縁層と前記ドレイン電極の上方に設けられた第２層間絶縁膜と、前記第２層間絶縁層の上方に設けられた画素電極と、前記ドレイン電極の上方に設けられ、透光性を有する保護層と、を含み、前記半導体膜は、前記ゲート絶縁層及び前記第１層間絶縁層にわたって設けられた第１のコンタクトホールを介して前記ドレイン電極に接続され、前記第１層間絶縁層の屈折率は、前記基板の屈折率より低く、前記第２層間絶縁層の屈折率は、前記基板の屈折率より低く、前記ドレイン電極は、前記第２層間絶縁層に設けられた第２のコンタクトホールを介して前記画素電極に接続されて　　おり、前記第１層間絶縁層は、第１のSiO_2膜と第２のSiO_2膜とが積層して構成され、前記第１のSiO_2膜は、多孔性を有し、前記第２のSiO_2膜は、通常の減圧化学的気相成長法により形成されたこと、を特徴とする回路基板。

上記の回路基板において、前記保護層は、ホウ素、炭素、及び窒素から選ばれた少なくとも一つの元素と、アルミニウム、珪素、及びリンから選ばれた少なくとも一つの元素と、を含む絶縁膜であってもよい。

上記の回路基板において、前記保護層は、珪素、アルミニウム、窒素、酸素、及び希土類元素の少なくとも一種を含む絶縁膜であってもよい。

上記の回路基板において、前記保護層は、窒化珪素膜又は窒化酸化珪素膜であってもよい。

上記の回路基板において、前記第１層間絶縁層の屈折率は１．５以下であってもよい。

上記の回路基板において、前記第１層間絶縁層の屈折率は１．２以下であってもよい。

上記の回路基板において、前記第１層間絶縁層は、光を透過可能な多孔質体により構成されていてもよい。

上記の回路基板において、前記半導体膜には、チャネル領域とソース・ドレイン領域とが形成されていてもよい。

本発明に係る第１の電気光学素子は、電気光学素子と、上記の回路基板と、を含み、前記電気光学素子からの光が取り出される方向に前記基板が位置していてもよい。

上記の電気光学装置において、前記電気光学素子は、発光素子であってもよい。

本発明に係る第１の電子機器は、上記の回路基板を備えたことを特徴とする。

本発明に係る第２の電子機器は、上記の電気光学装置を備えたことを特徴とする。

上記の課題を解決するため、本発明の電気光学装置は、電気光学素子を有する電気光学素子層を含む複数の材料層が積層されている電気光学装置であって、前記電気光学素子からの光が取り出される方向に位置する複数の材料層が配置され、前記複数の材料層のうち最表面に位置する表面材料層と前記電気光学素子層との間に前記表面材料層の屈折率より低い屈折率を有する低屈折率層が配置されていることを特徴とする。

【０００６】

ここで、前記「電気光学素子からの光」とは電気光学素子が発した光のみを指すのではなく、例えば、電気光学素子によって透過光や反射光が変調された光をも含む。「最表面に位置する表面材料層」とは外界と接する材料層を意味している。

【０００７】

本発明によれば、電気光学素子からの光は表面材料層より低屈折率な低屈折率層を通過してから表面材料層に入射するので、臨界角以上の角度で低屈折率層に入射した光は表面材料層との界面で臨界角以下となる方向に屈折し、表面材料層内での全反射条件から外れ、外部に取り出される。これにより、光の取り出し効率が向上し高い視認性を得ることができる。また、屈折率と誘電率とには強い正の相関関係があり、所定の材料層を低屈折率層とすることにより、低誘電率層を形成できる。

SDC EX. 1016 - 714/959

【０００８】
前記電気光学素子としては、例えば、液晶素子、電気泳動素子、電子放出素子等が採用可能であるが、上記の電気光学装置の構成は、電気光学素子が発光素子である場合に特に好適である。発光素子としては、例えば、ＬＥＤ（発光ダイオード）素子、ＬＤ（レーザーダイオード）素子、ＥＬ（エレクトロルミネッセンス）素子、電子放出素子を用いた発光素子などが挙げられる。
【０００９】
上記の電気光学装置において、前記低屈折率層を層間絶縁層とすることにより、層間絶縁層を通過する光の取り出し効率を向上させることができる。
また、屈折率と誘電率とは正の強い相関関係を示すので、層間絶縁層により、例えば、配線や電極などの導電部材が絶縁されている場合、配線間に生ずる容量を減ずるという利点も有することになる。したがって、高い光の取り出し効率と高速動作とを併せ持つ電気光学装置となる。
【００１０】
この場合において、前記低屈折率層の屈折率は１．５以下に設定され、好ましくは１．２以下に設定される。
【００１１】
低屈折率材料としては、光を透過可能な多孔質体、エアロゲル、多孔質シリカ、フッ化マグネシウムあるいはこれを含む材料、フッ化マグネシウムの微粒子を分散したゲル、フッ素系ポリマーあるいはこれを含む材料、分岐構造を有するような多孔性ポリマー、所定の材料に無機微粒子及び有機微粒子の少なくともいずれか一方を含有した材料などが挙げられる。
【００１２】
前記電気光学素子としては、例えば、有機エレクトロルミネッセンス素子が使用可能である。有機エレクトロルミネッセンス素子は、例えば、低電圧駆動が可能であり、また、液晶素子に比べて視野角依存性が少ないなど、種々の有利性を有している。
【００１３】
上記の電気光学装置において、更に能動素子を設けても良い。これにより、アクティブ駆動が可能となる。前記能動素子としては、例えば、薄膜トランジスタをはじめとするトランジスタや、薄膜ダイオード等が挙げられる。
【００１４】
本発明の電気光学装置の製造方法は、第１の基材上に薄膜トランジスタを配置する工程と、前記薄膜トランジスタ及び前記第１の基材を含む第２の基材上に低屈折率層を形成する工程とを含むことを特徴とする。
【００１５】
本発明の回路基板は、基板上に複数の材料層が積層されている回路基板であって、前記基板より屈折率が低い低屈折率材料からなる、少なくとも１つの低屈折率層が配置されていることを特徴とする。
【００１６】
上記の回路基板において、前記複数の材料層のうち少なくとも１つは層間絶縁層であり、前記層間絶縁層は前記低屈折率材料からなる。
前記低屈折率層の屈折率は１．５以下であり、好ましくは１．２以下である。
【００１７】
前記低屈折率材料としては、光を透過可能な多孔質体、エアロゲル、多孔質シリカ、フッ化マグネシウム、フッ素系ポリマー、多孔性ポリマー。所定の材料に無機微粒子及び有機微粒子の少なくともいずれか一方を含有したもの、フッ化マグネシウムの微粒子を分散したゲルなどが挙げられる。
【００１８】
この場合において、回路基板は能動素子を備えており、能動素子としてはトランジスタなどが挙げられる。

【００１９】
本発明の回路基板の製造方法は、第１の基材上にトランジスタを配置する工程と、前記トランジスタ及び前記第１の基材を含む第２の基材上に低屈折率層を形成する工程とを含むことを特徴とする。
【００２０】
本発明の電子機器は、上記本発明の電気光学装置あるいは回路基板を備えたことを特徴とする。
本発明によれば、表示品位に優れ、明るい画面の表示部を備えた電子機器を実現できる。
【００２１】
【発明の実施の形態】
以下、本発明の電気光学装置について図１，図２、図３を参照しながら説明する。図１，図２は本発明に係る電気光学装置を、有機エレクトロルミネッセンス素子を用いたアクティブマトリクス型の表示装置に適用した場合の一例を示すものであって、図１は全体回路図、図２は、図１のうち対向電極や発光素子である有機エレクトロルミネッセンス素子を取り除いた状態での各画素の拡大平面図である。
【００２２】
なお、本実施形態では、有機エレクトロルミネッセンス素子（以下、適宜「ＥＬ素子」と称する）を用いた表示装置を例として説明するが、液晶素子、電気泳動素子、電子放出素子などを用いた表示装置、あるいは、ＬＥＤ（発光ダイオード）素子、ＬＤ（レーザーダイオード）素子などの発光素子を用いた表示装置にも適用可能である。
【００２３】
図１に示すように、有機エレクトロルミネッセンス表示装置（以下、適宜「有機ＥＬ表示装置」と称する）Ｓ１は、基板と、基板上に配線された複数の走査線１３１と、これら走査線１３１に対して交差する方向に延びるように配線された複数のデータ線１３２と、これらデータ線１３２に並列に延びるように配線された複数の共通給電線１３３とを有しており、走査線１３１及びデータ線１３２の各交点に対応して、画素（画素領域素）ＡＲが設けられて構成されたものである。
【００２４】
データ線１３２に対しては、シフトレジスタ、レベルシフタ、ビデオライン、Ｄ／Ａコンバータ、デコーダ、ラッチ回路及びアナログスイッチのうち少なくとも１つを備えるデータ線駆動回路９０が電気的に接続されている。
一方、走査線１３１に対しては、シフトレジスタ、レベルシフタ及びデコーダのうち少なくとも１つを備える走査線駆動回路８０が電気的に接続されている。
【００２５】
なお、本実施形態では、データ線駆動回路９０及び走査線駆動回路８０はともに基板上に配置されているが、データ線駆動回路９０及び走査線駆動回路８０のそれぞれを基板上に配置するか、または基板の外に配置するかについては、適宜選択できる。
【００２６】
また、図１に示すように、画素領域ＡＲの各々には、走査線１３１を介して走査信号がゲート電極に供給される第１の薄膜トランジスタ２２と、この第１の薄膜トランジスタ２２を介してデータ線１３２から供給される画像信号を保持する保持容量ｃａｐと、保持容量ｃａｐによって保持された画像信号がゲート電極に供給される第２の薄膜トランジスタ２４と、この第２の薄膜トランジスタ２４を介して共通給電線１３３に電気的に接続したときに共通給電線１３３から駆動電流が流れ込む画素電極２３と、この画素電極（陽極）２３と対向電極（陰極）２２２との間に挟み込まれた発光素子３とが設けられている。なお、発光素子３としては、ＥＬ（エレクトロルミネッセンス）素子の他に、ＬＥＤ（発光ダイオード）素子、ＬＤ（レーザーダイオード）素子などの発光素子が挙げられる。
【００２７】
走査線１３１を介して供給される走査信号により第１の薄膜トランジスタ２２がオンとなると、そのときのデータ線１３２を介して供給されるデータ信号に対応する電荷が保持容

SDC EX. 1016 - 716/959

量ｃａｐに保持され、該保持容量ｃａｐの状態に応じて、第２の薄膜トランジスタ２４の導通状態が決まる。そして、第２の薄膜トランジスタ２４のチャネルを介して共通給電線１３３から画素電極２３に電流が流れ、さらに発光層６０を通じて対向電極２２２に電流が流れることにより、発光層６０は、これを流れる電流量に応じて発光する。

【００２８】

次に、図２を参照しながら、各画素ＡＲの平面構造について説明する。図２は、対向電極や有機エレクトロルミネッセンス素子を取り除いた状態での図１の拡大平面図である。図２に示すように、平面視長方形状に設定された画素電極２３は、その四辺を、データ線１３２、共通給電線１３３、走査線１３１及び図示しない他の画素電極用の走査線によって囲まれている。なお、画素電極の形状は長方形に限られず、円形、長円形等の形状でもよい。後述するインクジェット法のように液体材料を用いて発光層などＥＬ素子を構成する材料層を形成する場合は、画素電極を特に角のない円形や長円形などの形状とすることにより均一な材料層が得られる。

【００２９】

次に、有機ＥＬ表示装置の断面構造を図３を参照しながら説明する。図３は図２のＡ－Ａ矢視断面図である。

ここで、図３に示す有機ＥＬ表示装置は、薄膜トランジスタ（ＴＦＴ：Thin Film Transistor）が配置された基板２側から光を取り出す形態、いわゆるバックエミッション型である。したがって、本実施形態においては、基板２が、発光素子３からの光が取り出される最表面に位置する表面材料層となっている。なお、基板２の表面に他の材料層が積層された場合には、この他の材料層が表面材料層となる。

【００３０】

図３に示すように、バックエミッション型の有機ＥＬ表示装置Ｓ１は、基板２と、インジウム錫酸化物（ＩＴＯ：Indium Tin Oxide）等の透明電極材料からなる陽極（画素電極）２３と、陽極２３上に配置された発光素子３と、陽極２３との間で発光素子３を挟み込むように配置されている陰極（対向電極）２２２と、基板２上に形成され、画素電極２３に対する通電を制御する通電制御部としての薄膜トランジスタ（以下、「ＴＦＴ」と称する）２４とを有している。更に、陰極２２２の上層には封止層２０が設けられている。陰極２２２は、アルミニウム（Ａｌ）やマグネシウム（Ｍｇ）、金（Ａｕ）、銀（Ａｇ）、カルシウム（Ｃａ）から選ばれる少なくとも１つの金属から構成されている。陰極２２２は上述した各材料の合金や積層したものをも含む。ＴＦＴ２４は、走査線駆動回路８０及びデータ線駆動回路９０からの作動指令信号に基づいて作動し、画素電極２３への通電制御を行う。

【００３１】

発光素子３は、陽極２３から正孔を輸送可能な正孔輸送層７０と、電気光学物質の１つである有機ＥＬ物質を含む発光層６０と、発光層６０の上面に設けられている電子輸送層５０とから概略構成されている。そして、電子輸送層５０の上面に陰極（対向電極）２２２が配置されている。

【００３２】

ＴＦＴ２４は、SiO_2を主体とする下地保護層２８１を介して基板２の表面に設けられている。このＴＦＴ２４は、下地保護層２８１の上層に形成されたシリコン層２４１と、シリコン層２４１を覆うように下地保護層２８１の上層に設けられたゲート絶縁層２８２と、ゲート絶縁層２８２の上面のうちシリコン層２４１に対向する部分に設けられたゲート電極２４２と、ゲート電極２４２を覆うようにゲート絶縁層２８２の上層に設けられた第１層間絶縁層２８３と、ゲート絶縁層２８２及び第１層間絶縁層２８３にわたって開孔するコンタクトホールを介してシリコン層２４１と接続するソース電極２４３と、ゲート電極２４２を挟んでソース電極２４３と対向する位置に設けられ、ゲート絶縁層２８２及び第１層間絶縁層２８３にわたって開孔するコンタクトホールを介してシリコン層２４１と接続するドレイン電極２４４と、ソース電極２４３及びドレイン電極２４４を覆うように第１層間絶縁層２８３の上層に設けられた第２層間絶縁層２８４とを備えている。

【００３３】
そして、第２層間絶縁層２８４の上面に画素電極２３が配置され、画素電極２３とドレイン電極２４４とは、第２層間絶縁層２８４に設けられたコンタクトホール２３ａを介して接続されている。また、第２層間絶縁層２８４の表面のうち発光素子（ＥＬ素子）３が設けられている以外の部分と陰極２２２との間には、合成樹脂などからなる第３絶縁層（バンク層）２２１が設けられている。
【００３４】
なお、ドレイン電極２４４の上層に、ＴＦＴの保護層を設けても良い。この保護層の形成材料としては、珪素を含む絶縁層（特に窒化酸化珪素層又は窒化珪素層が好ましい）を用いることができる。この保護層は形成されたＴＦＴ２４を金属イオンや水分から保護する役割を持つ。すなわち、保護層はこれらの金属イオンなど可動イオンをＴＦＴ２４側に侵入させない保護層としても働く。
【００３５】
また、保護層に放熱効果を持たせることで発光素子の熱劣化を防ぐことも有効である。ただし、発光素子として有機材料を用いる場合、酸素との結合により劣化するので、酸素を放出しやすい絶縁層は用いないことが好ましい。
【００３６】
可動イオンの透過を妨げ、さらに放熱効果をもつ透光性材料としては、Ｂ（ホウ素）、Ｃ（炭素）、Ｎ（窒素）から選ばれた少なくとも一つの元素と、Ａｌ（アルミニウム）、Ｓｉ（珪素）、Ｐ（リン）から選ばれた少なくとも一つの元素とを含む絶縁層が挙げられる。例えば、窒化アルミニウム（ＡｌｘＮｙ）に代表されるアルミニウムの窒化物、炭化珪素（ＳｉｘＣｙ）に代表される珪素の炭化物、窒化珪素（ＳｉｘＮｙ）に代表される珪素の窒化物、窒化ホウ素（ＢｘＮｙ）に代表されるホウ素の窒化物、リン化ホウ素（ＢｘＰｙ）に代表されるホウ素のリン化物を用いることが可能である。また、酸化アルミニウム（ＡｌｘＯｙ）に代表されるアルミニウムの酸化物は透光性に優れ熱伝導率が２０$Wm^{-1}K^{-1}$であり、好ましい材料の一つと言える。これらの材料には上記効果だけでなく、水分の侵入を防ぐ効果もある。
【００３７】
上記化合物に他の元素を組み合わせることもできる。例えば、酸化アルミニウムに窒素を添加して、ＡｌＮｘＯｙで示される窒化酸化アルミニウムを用いることも可能である。この材料にも放熱効果だけでなく、水分や可動イオン等の侵入を防ぐ効果がある。
【００３８】
また、Ｓｉ、Ａｌ、Ｎ、Ｏ、Ｍを含む絶縁膜（但し、Ｍは希土類元素の少なくとも一種、好ましくはＣｅ（セリウム），Ｙｂ（イッテルビウム），Ｓｍ（サマリウム），Ｅｒ（エルビウム），Ｙ（イットリウム）、Ｌａ（ランタン）、Ｇｄ（ガドリニウム）、Ｄｙ（ジスプロシウム）、Ｎｄ（ネオジウム）から選ばれた少なくとも一つの元素）を用いることもできる。これらの材料にも放熱効果だけでなく、水分や可動イオンの侵入を防ぐ効果がある。
【００３９】
また，少なくともダイヤモンド薄膜又はアモルファスカーボン膜（特にダイヤモンドに特性の近いもの、ダイヤモンドライクカーボン等と呼ばれる。）を含む炭素膜を用いることもできる。これらは非常に熱伝導率が高く、放熱層として極めて有効である。但し、膜厚が厚くなると褐色を帯びて透過率が低下するため，なるべく薄い膜厚（好ましくは５～１００ｎｍ）で用いることが好ましい。
【００４０】
なお、保護層の目的はあくまで可動イオンや水分からＴＦＴを保護することにあるので、その効果を損なうものでないことが好ましい。したがって、上記放熱効果をもつ材料からなる薄膜を単体で用いることもできるが、これらの薄膜と、可動イオンや水分の透過を妨げうる絶縁膜（代表的には窒化珪素膜（ＳｉｘＮｙ）や窒化酸化珪素膜（ＳｉＯｘＮｙ））とを積層することは有効である。

SDC EX. 1016 - 718/959

【００４１】
シリコン層２４１のうち、ゲート絶縁層２８２を挟んでゲート電極２４２と重なる領域がチャネル領域とされている。また、シリコン層２４１のうち、チャネル領域のソース側にはソース領域が設けられている。一方、チャネル領域のドレイン側にはドレイン領域が設けられている。このうち、ソース領域が、ゲート絶縁層２８２と第１層間絶縁層２８３とにわたって開孔するコンタクトホールを介して、ソース電極２４３に接続されている。一方、ドレイン領域が、ゲート絶縁層２８２と第１層間絶縁層２８３とにわたって開孔するコンタクトホールを介して、ソース電極２４３と同一層からなるドレイン電極２４４に接続されている。画素電極２３は、ドレイン電極２４４を介して、シリコン層２４１のドレイン領域に接続されている。
【００４２】
本例では、発光層６０からの発光光をＴＦＴ２４が設けられている基板２側から取り出す構成（バックエミッション型）であるため、基板２の形成材料としては、光を透過可能な透明あるいは半透明材料、例えば、透明なガラス、石英、サファイア、あるいはポリエステル、ポリアクリレート、ポリカーボネート、ポリエーテルケトンなどの透明な合成樹脂などが用いられる。特に、基板の形成材料としては、安価なソーダガラスが好適に用いられる。ソーダガラスを用いた場合、これにシリカコートを施すのが、酸アルカリに弱いソーダガラスを保護する効果を有し、さらに基板の平坦性をよくする効果も有するため好ましい。
また、基板に色フィルター膜や発光性物質を含む色変換膜、あるいは誘電体反射膜を配置して、発光色を制御するようにしてもよい。
【００４３】
一方、ＴＦＴ２４が設けられている基板２とは反対側から発光光を取り出す構成（トップエミッション型）である場合には、基板２は不透明であってもよく、その場合、アルミナ等のセラミック、ステンレス等の金属シートに表面酸化などの絶縁処理を施したもの、熱硬化性樹脂、熱可塑性樹脂などを用いることができる。
【００４４】
下地保護層２８１を形成する際には、基板２に対し、ＴＥＯＳ（テトラエトキシシラン）や酸素ガスなどを原料としてプラズマＣＶＤ法によって製膜することにより、下地保護層２８１として厚さ約２００～５００ｎｍのシリコン酸化膜が形成される。
【００４５】
シリコン層２４１を形成する際には、まず、基板２の温度を約３５０℃に設定して、下地保護膜２８１の表面にプラズマＣＶＤ法あるいはＩＣＶＤ法により厚さ約３０～７０ｎｍのアモルファスシリコン層を形成する。次いで、このアモルファスシリコン層に対してレーザアニール法、急速加熱法、または固相成長法などによって結晶化工程を行い、アモルファスシリコン層をポリシリコン層に結晶化する。レーザアニール法では、例えばエキシマレーザでビームの長寸が４００ｍｍのラインビームを用い、その出力強度は例えば２００ｍＪ／ｃｍ^{2}とする。ラインビームについては、その短寸方向におけるレーザ強度のピーク値の９０％に相当する部分が各領域毎に重なるようにラインビームを走査する。次いで、ポリシリコン層をフォトリソグラフィ法によってパターンニングして、島状のシリコン層２４１とする。
【００４６】
なお、シリコン層２４１は、図１に示した第２の薄膜トランジスタ２４のチャネル領域及びソース・ドレイン領域となるものであるが、異なる断面位置においては第１の薄膜トランジスタ２２のチャネル領域及びソース・ドレイン領域となる半導体膜も形成されている。つまり、二種類のトランジスタ２２、２４は同時に形成されるが、同じ手順で作られるため、以下の説明において、トランジスタに関しては、第２の薄膜トランジスタ２４についてのみ説明し、第１の薄膜トランジスタ２２についてはその説明を省略する。
【００４７】
ゲート絶縁層２８２を形成する際には、シリコン層２４１の表面に対して、ＴＥＯＳや酸

素ガスなどを原料としてプラズマＣＶＤ法を用いて製膜することにより、厚さ約６０～１５０ｎｍのシリコン酸化膜または窒化膜からなるゲート絶縁層２８２が形成される。

【００４８】

ゲート電極２４２は、ゲート絶縁層２８２上にアルミニウム、タンタル、モリブデン、チタン、タングステンなどの金属を含む導電膜をスパッタ法により形成した後、これをパターニングすることにより形成される。

【００４９】

シリコン層２４１にソース領域及びドレイン領域を形成するには、ゲート電極２４２を形成した後、このゲート電極２４２をパターニング用マスクとして用い、この状態でリンイオンを注入する。その結果、ゲート電極２４２に対してセルフアライン的に高濃度不純物が導入されて、シリコン層２４１中にソース領域及びドレイン領域が形成される。なお、不純物が導入されなかった部分がチャネル領域となる。

【００５０】

第１層間絶縁層２８３は、基板２より屈折率が低い低屈折率材料からなり、ゲート絶縁層２８２の上層に形成される。

第１層間絶縁層２８３の形成材料としては、シリコン酸化膜、窒化膜、あるいは多孔性を有するシリコン酸化膜（SiO_2膜）などが挙げられる。多孔性を有するSiO_2膜からなるゲート絶縁層２８２は、反応ガスとしてSi_2H_6とO_3とを用いて、ＣＶＤ法（化学的気相成長法）により形成される。これらの反応ガスを用いると、気相中に粒子の大きいSiO_2が形成され、ゲート絶縁層２８２の上に堆積する。そのため、第１層間絶縁層２８３は、層中に多くの空隙を有し、多孔質体となる。そして、第１層間絶縁層２８３は多孔質体となることによって低屈折率材料となり、光の取り出し効率が向上できる。

【００５１】

多孔質体からなる低屈折率層は、密度が０．４ｇ／ｃｍ^{3}以下であることが好ましい。

【００５２】

低屈折率層としての第１層間絶縁層２８３の屈折率は１．５以下、好ましくは１．２以下に設定される。

【００５３】

なお、第１層間絶縁層２８３の表面にＨ（水素）プラズマ処理をしてもよい。これにより、空隙の表面のＳｉ－Ｏ結合中のダングリングボンドがＳｉ－Ｈ結合に置き換えられ、膜の耐吸湿性が良くなる。そして、このプラズマ処理された第１絶縁層２８３の表面に別のSiO_2層を設けてもよい。

また、第１層間絶縁層２８３をＣＶＤ法で形成する際の反応ガスは、$Si_2H_6+O_3$の他に、$Si_2H_6+O_2$、$Si_3H_8+O_3$、$Si_3H_8+O_2$としてもよい。更に、上記の反応ガスに加えて、Ｂ（ボウ素）含有の反応ガス、Ｆ（フッ素）含有の反応ガスを用いてもよい。

【００５４】

第１層間絶縁層２８３を多孔質体として形成する際、多孔性を有するSiO_2膜と、通常の減圧化学的気相成長法により形成されたSiO_2膜とを積層することにより、膜質の安定した多孔質体としての第１層間絶縁層２８３を形成することもできる。そして、これらの膜を積層するには、減圧下におけるSiH_4とO_2の雰囲気中において、プラズマを断続的、又は周期的に発生させることによって可能となる。具体的には、第１層間絶縁層２８３は、基板２を所定のチャンバ内に収容し、例えば４００℃に保持しながら、反応ガスとしてSiH_4とO_2を用い、ＲＦ電圧（高周波電圧）をチャンバに印加することにより形成される。成膜中においては、SiH_4流量、O_2流量が一定であるのに対し、ＲＦ電圧は１０秒の周期でチャンバに印加される。これにともない、プラズマが１０秒の周期で発生、消滅する。このように、時間変化するプラズマを用いることにより、１つのチャンバー内で、減圧ＣＶＤを用いるプロセスと、減圧下におけるプラズマＣＶＤを用いるプロセスとを繰り返し行うことができる。そして、減圧ＣＶＤと減圧下におけるプラズマＣＶＤとを繰り返し行うことにより、膜中に多数の空隙を有するSiO_2膜が形成される。すなわち、第１層間絶縁層２８３は多孔性を有することになる。

【００５５】
第１層間絶縁層２８３は、エアロゲルによって構成することもできる。エアロゲルとは、金属アルコキシドのゾルゲル反応により形成される湿潤ゲルを超臨界乾燥することによって得られる均一な超微細構造を持った光透過性の多孔質体である。エアロゲルにはシリカエアロゲルやアルミナを基調としたエアロゲルがある。このうち、シリカエアロゲルは、体積の９０％以上を空隙が占め、残りが樹枝状に凝集した数１０ｎｍの微細なSiO_2粒子で構成された材料であり、粒子径が光の波長よりも小さいため、光透過性を有し、その屈折率は１．２以下である。また、空隙率を変化させることによって屈折率を調整できる。ここで、基板２の材料であるガラスの屈折率は１．５４、石英の屈折率は１．４５である。
【００５６】
シリカエアロゲルは、ゾルーゲル法により湿潤ゲルを作製する工程、湿潤ゲルを熟成させる工程、及び超臨界乾燥法により湿潤ゲルを乾燥してエアロゲルを得る超臨界乾燥工程を経て製造される。超臨界乾燥法は、固相と液相とからなるゼリー状のゲル物質中の液体を超臨界流体と置換、除去することにより、ゲルを収縮させることなくゲル物質を乾燥するのに適した方法であって、高い空隙率を有するエアロゲルが得られる。
【００５７】
例えば第１層間絶縁層２８３をシリカエアロゲルによって形成する際には、ゲート絶縁層２８２の上にエアロゲルの原料である湿潤ゲルをスピンコート法等を用いてコーティングし、超臨界乾燥することにより形成される。超臨界流体を用いた超臨界乾燥法によって、湿潤ゲル中の溶媒を超臨界流体で置換することにより、湿潤ゲル中の溶媒が除去される。なお、超臨界流体としては、二酸化炭素（CO_2）、若しくは、メタノールやエタノールのようなアルコール、NH_3、H_2O、N_2O、メタン、エタン、エチレン、プロパン、ペンタン、イソプロパノール、イソブタノール、シクロトリフルオロメタン、モノフルオロメタン、シクロヘキサノールなどを用いることができる。
【００５８】
低屈折率層（各絶縁層）をシリカエアロゲルによって形成する際、基材上にスピンコートなどによって湿潤ゲルを塗布した後、超臨界乾燥するが、湿潤ゲルに合成樹脂（有機物）を混合しておいてもよい。この場合の合成樹脂は、その熱変性温度が超臨界流体の臨界温度よりも高く光を透過可能な合成樹脂である。超臨界流体として例えばアルコールを用いた場合、その熱変性温度がアルコールの臨界温度よりも高く光を透過可能な合成樹脂としては、ヒドロキシルプロピルセルロース（ＨＰＣ），ポリビニルブチラール（ＰＶＢ），エチルセルロース（ＥＣ）等が挙げられる（なお、ＰＶＢ及びＥＣはアルコールに可溶で水には不溶）。溶媒としてエーテルを用いる場合には樹脂として塩素系ポリエチレン等を選択し、またCO_2を溶媒として用いる場合にはＨＰＣ等を選択することが望ましい。
【００５９】
低屈折率層としては、シリカエアロゲルの他にアルミナを基調としたエアロゲルでもよく、基板２より低屈折率で光を透過可能な多孔質体であればよい。そして、多孔質体（エアロゲル）は密度が０．４ｇ／ｃｍ^{3}以下であることが好ましい。
【００６０】
低屈折率層としては多孔質体でなくてもよく、エポキシ系接着剤（屈折率：１．４２）やアクリル系接着剤（屈折率：１．４３）など、光を透過可能で基板２より低屈折率な高分子材料からなる接着剤でもよい。これらの接着剤を単独で使用した場合であっても、基板２を構成するガラスや石英よりも屈折率が低いため、光の取り出し効率を向上できる。
【００６１】
更に、低屈折率層としては、多孔質シリカでもよいし、フッ化マグネシウム（屈折率：１．３８）あるいはこれを含む材料でもよい。フッ化マグネシウムによる低屈折率層はスパッタリングによって形成可能である。あるいは、フッ化マグネシウムの微粒子を分散したゲルでもよい。あるいは、フッ素系ポリマー又はこれを含む材料、例えば、パーフルオロアルキルーポリエーテル、パーフルオロアルキルアミン、またはパーフルオロアルキルー

ポリエーテル－パーフルオロアルキルアミン混合フィルムでもよい。

【００６２】

更には、低屈折率層として、所定のポリマーバインダーに、可溶性もしくは分散性である低屈折率のフルオロカーボン化合物を混在したものでもよい。

ポリマーバインダーとしては、ポリビニルアルコール、ポリアクリル酸、ポリビニルピロリドン、ポリビニルスルホン酸ナトリウム塩、ポリビニルメチルエーテル、ポリエチレングリコール、ポリα－トリフルオロメチルアクリル酸、ポリビニルメチルエーテル－コ－無水マレイン酸、ポリエチレングリコール－コープロピレングリコール、ポリメタアクリル酸などが挙げられる。

また、フルオロカーボン化合物としては、パーフルオロオクタン酸－アンモニウム塩、パーフルオロオクタン酸－テトラメチルアンモニウム塩、Ｃ－７とＣ－１０のパーフルオロアルキルスルホン酸アンモニウム塩、Ｃ－７とＣ－１０のパーフルオロアルキルスルホン酸テトラメチルアンモニウム塩、フッ素化アルキル第４級アンモニウムアイオダイド、パーフルオロアジピン酸、およびパーフルオロアジピン酸の第４級アンモニウム塩などが挙げられる。

【００６３】

更に、低屈折率層として空隙を導入する方法が有効であるため、上記エアロゲルの他に、微粒子を用いて微粒子間または微粒子内のミクロボイドとして空隙を形成してもよい。微粒子としては、無機微粒子あるいは有機微粒子を低屈折率層に用いることができる。

無機微粒子は、非晶質であることが好ましい。無機微粒子は、金属の酸化物、窒化物、硫化物またはハロゲン化物からなることが好ましく、金属酸化物または金属ハロゲン化物からなることがさらに好ましく、金属酸化物または金属フッ化物からなることが最も好ましい。金属原子としては、Ｎａ、Ｋ、Ｍｇ、Ｃａ、Ｂａ、Ａｌ、Ｚｎ、Ｆｅ、Ｃｕ、Ｔｉ、Ｓｎ、Ｉｎ、Ｗ、Ｙ、Ｓｂ、Ｍｎ、Ｇａ、Ｖ、Ｎｂ、Ｔａ、Ａｇ、Ｓｉ、Ｂ、Ｂｉ、Ｍｏ、Ｃｅ、Ｃｄ、Ｂｅ、ＰｂおよびＮｉが好ましく、Ｍｇ、Ｃａ、ＢおよびＳｉがさらに好ましい。二種類の金属を含む無機化合物を用いてもよい。特に好ましい無機化合物は、二酸化ケイ素、すなわちシリカである。

【００６４】

無機微粒子内ミクロボイドは、例えば、粒子を形成するシリカの分子を架橋させることにより形成することができる。シリカの分子を架橋させると体積が縮小し、粒子が多孔質になる。ミクロボイドを有する（多孔質）無機微粒子は、ゾル－ゲル法（特開昭５３－１１２７３２号、特公昭５７－９０５１号の各公報記載）または析出法（APPLIED OPTICS、27、3356頁（1988）記載）により、分散物として直接合成することができる。また、乾燥・沈澱法で得られた粉体を、機械的に粉砕して分散物を得ることもできる。市販の多孔質無機微粒子（例えば、二酸化ケイ素ゾル）を用いてもよい。ミクロボイドを有する無機微粒子は、低屈折率層の形成のため、適当な媒体に分散した状態で使用することが好ましい。分散媒としては、水、アルコール（例、メタノール、エタノール、イソプロピルアルコール）およびケトン（例、メチルエチルケトン、メチルイソブチルケトン）が好ましい。

【００６５】

有機微粒子も、非晶質であることが好ましい。有機微粒子は、モノマーの重合反応（例えば乳化重合法）により合成されるポリマー微粒子であることが好ましい。有機微粒子のポリマーはフッ素原子を含むことが好ましい。含フッ素ポリマーを合成するために用いるフッ素原子を含むモノマーの例には、フルオロオレフィン類（例、フルオロエチレン、ビニリデンフルオライド、テトラフルオロエチレン、ヘキサフルオロプロピレン、パーフルオロ－２，２－ジメチル－１，３－ジオキソール）、アクリル酸またはメタクリル酸のフッ素化アルキルエステル類およびフッ素化ビニルエーテル類が含まれる。フッ素原子を含むモノマーとフッ素原子を含まないモノマーとのコポリマーを用いてもよい。フッ素原子を含まないモノマーの例には、オレフィン類（例、エチレン、プロピレン、イソプレン、塩化ビニル、塩化ビニリデン）、アクリル酸エステル類（例、アクリル酸メチル、アクリル酸エチル、アクリル酸２－エチルヘキシル）、メタクリル酸エステル類（例、メタクリル

酸メチル、メタクリル酸エチル、メタクリル酸ブチル）、スチレン類（例、スチレン、ビニルトルエン、α－メチルスチレン）、ビニルエーテル類（例、メチルビニルエーテル）、ビニルエステル類（例、酢酸ビニル、プロピオン酸ビニル）、アクリルアミド類（例、Ｎ－tert－ブチルアクリルアミド、Ｎ－シクロヘキシルアクリルアミド）、メタクリルアミド類およびアクリルニトリル類が含まれる。

【００６６】

有機微粒子内ミクロボイドは、例えば、粒子を形成するポリマーを架橋させることにより形成することができる。ポリマーを架橋させると体積が縮小し、粒子が多孔質になる。粒子を形成するポリマーを架橋させるためには、ポリマーを合成するためのモノマーの２０モル％以上を多官能モノマーとすることが好ましい。多官能モノマーの割合は、３０乃至８０モル％であることがさらに好ましく、３５乃至５０モル％であることが最も好ましい。多官能モノマーの例には、ジエン類（例、ブタジエン、ペンタジエン）、多価アルコールとアクリル酸とのエステル（例、エチレングリコールジアクリレート、１，４－シクロヘキサンジアクリレート、ジペンタエリスリトールヘキサアクリレート）、多価アルコールとメタクリル酸とのエステル（例、エチレングリコールジメタクリレート、１，２，４－シクロヘキサンテトラメタクリレート、ペンタエリスリトールテトラメタクリレート）、ジビニル化合物（例、ジビニルシクロヘキサン、１，４－ジビニルベンゼン）、ジビニルスルホン、ビスアクリルアミド類（例、メチレンビスアクリルアミド）およびビスメタクリルアミド類が含まれる。粒子間のミクロボイドは、微粒子を少なくとも２個以上積み重ねることにより形成することができる。

【００６７】

低屈折率層を、微細空孔と微粒子状無機物とを有する材料によって構成してもよい。この場合、低屈折率層はコーティングにより形成され、微細空孔は層の塗布後に活性化ガス処理を行ない、ガスが層から離脱することによって形成される。あるいは、２種類以上の超微粒子（例えば、MgF_2とSiO_2）を混在させて、膜厚方向にその混合比を変化させることによって低屈折率層を形成してもよい。混合比を変化させることにより屈折率が変化する。超微粒子は、エチルシリケートの熱分解で生じたSiO_2により接着している。エチルシリケートの熱分解では、エチル部分の燃焼によって、二酸化炭素と水蒸気も発生する。二酸化炭素と水蒸気が層から離脱することにより、超微粒子の間に間隙が生じている。あるいは、多孔質シリカよりなる無機微粉末とバインダーとを含有して低屈折率層を形成してもよいし、含フッ素ポリマーからなる微粒子を２個以上積み重ねることにより、微粒子間に空隙を形成した低屈折率層を形成してもよい。

【００６８】

分岐構造レベルで空隙率を向上させることもできる。例えばデンドリマーなどの分岐構造を有するポリマーを用いても低屈折率が得られる。

【００６９】

そして、上記の材料を用いて、低屈折率層は、屈折率が１．５以下、好ましくは１．２以下に設定されていることが望ましい。基板２として屈折率が１．４５の石英や、屈折率が約１．５４のガラスなどを用いた際、基板２の屈折率より低い屈折率となる。

【００７０】

ソース電極２４３及びドレイン電極２４４を形成するには、まず、第１層間絶縁層２８３にフォトリソグラフィ法を用いてパターニングすることにより、ソース電極及びドレイン電極に対応するコンタクトホールを形成する。次に、第１層間絶縁層２８３を覆うように、アルミニウムやクロム、タンタル等の金属からなる導電層を形成した後、この導電層のうち、ソース電極及びドレイン電極が形成されるべき領域を覆うようにパターニング用マスクを設けるとともに、導電層をパターニングすることにより、ソース電極２４３及びドレイン電極２４４が形成される。

【００７１】

第２層間絶縁層２８４は、第１層間絶縁層２８３同様、低屈折率材料によって構成され、第１層間絶縁層２８３の形成方法と同様の手順で第１層間絶縁層２８３の上層に形成され

SDC EX. 1016 - 723/959

る。ここで、第２層間絶縁層２８４を形成したら、第２層間絶縁層２８４のうちドレイン電極２４４に対応する部分にコンタクトホール２３ａを形成する。

【００７２】

発光素子３に接続する陽極２３は、ＩＴＯやフッ素をドープしてなるSnO_2、更にＺｎＯやポリアミン等の透明電極材料からなり、コンタクトホール２３ａを介してＴＦＴ２４のドレイン電極２４４に接続されている。陽極２３を形成するには、前記透明電極材料からなる膜を第２層間絶縁層２８４上面に形成し、この膜をパターニングすることにより形成される。

【００７３】

第３絶縁層（バンク層）２２１はアクリル樹脂、ポリイミド樹脂などの合成樹脂によって構成されている。第３絶縁層２２１は、陽極２３が形成された後に形成される。具体的な第３絶縁層２２１の形成方法としては、例えば、アクリル樹脂、ポリイミド樹脂などのレジストを溶媒に融かしたものを、スピンコート、ディップコート等により塗布して絶縁層を形成する。なお、絶縁層の構成材料は、後述するインクの溶媒に溶解せず、しかもエッチング等によってパターニングしやすいものであればどのようなものでもよい。更に、絶縁層をフォトリソグラフィ技術等により同時にエッチングして、開口部２２１ａを形成することにより、開口部２２１ａを備えた第３絶縁層２２１が形成される。

【００７４】

ここで、第３絶縁層２２１の表面には、親液性（親インク性）を示す領域と、撥液性（撥インク性）を示す領域とが形成される。本実施形態においてはプラズマ処理工程により、各領域を形成するものとしている。具体的にプラズマ処理工程は、予備加熱工程と、開口部２２１ａの壁面並びに画素電極２３の電極面を親インク性にする親インク化工程と、第３絶縁層２２１の上面を撥インク性にする撥インク化工程と、冷却工程とを有している。すなわち、基材（第３絶縁層等を含む基板２）を所定温度（例えば７０～８０℃程度）に加熱し、次いで親インク化工程として大気雰囲気中で酸素を反応ガスとするプラズマ処理（O_2プラスマ処理）を行う。続いて、撥インク化工程として大気雰囲気中で４フッ化メタンを反応ガスとするプラズマ処理（CF_4プラスマ処理）を行い、プラズマ処理のために加熱された基材を室温まで冷却することで、親インク性及び撥インク性が所定箇所に付与されることとなる。なお、画素電極２３の電極面についても、このCF_4プラスマ処理の影響を多少受けるが、画素電極２３の材料であるＩＴＯ等はフッ素に対する親和性に乏しいため、親インク化工程で付与された水酸基がフッ素基で置換されることがなく、親インク性が保たれる。

【００７５】

なお、第１層間絶縁層２８３、第２層間絶縁層２８４のそれぞれを低屈折率層としているが、これら２つの層を低屈折率層とする必要はなく、少なくともいずれか一方の層だけ低屈折率層としてもよい。

【００７６】

一方、第１層間絶縁層２８３及び第２層間絶縁層２８４に加えて、ゲート絶縁層２８２も低屈折率材料により形成してもよい。こうすることにより光の取り出し効率が向上するが、ＴＦＴなどトランジスタの性能を向上させるためにはゲート絶縁層を高誘電率材料により形成することが好ましい場合がある。

【００７７】

また、低屈折率材料からなる層は発光層６０からの光が通過する部分に設けられていればよいので、絶縁層以外の層を低屈折率層としてもよい。更には、有機バンク層２２１を低屈折率層としてもよい。

【００７８】

正孔輸送層７０は陽極２３の上面に形成されている。ここで、正孔輸送層７０の形成材料としては、特に限定されることなく公知のものが使用可能であり、例えばピラゾリン誘導体、アリールアミン誘導体、スチルベン誘導体、トリフェニルジアミン誘導体等が挙げられる。具体的には、特開昭６３－７０２５７号、同６３－１７５８６０号公報、特開平２

SDC EX. 1016 - 724/959

－１３５３５９号、同２－１３５３６１号、同２－２０９９８８号、同３－３７９９２号、同３－１５２１８４号公報に記載されているもの等が例示されるが、トリフェニルジアミン誘導体が好ましく、中でも４，４’－ビス（Ｎ（３－メチルフェニル）－Ｎ－フェニルアミノ）ビフェニルが好適とされる。

【００７９】

なお、正孔輸送層に代えて正孔注入層を形成するようにしてもよく、さらに正孔注入層と正孔輸送層を両方形成するようにしてもよい。その場合、正孔注入層の形成材料としては、例えば銅フタロシアニン（ＣｕＰｃ）や、ポリテトラヒドロチオフェニルフェニレンであるポリフェニレンビニレン、１，１－ビス－（４－Ｎ，Ｎ－ジトリルアミノフェニル）シクロヘキサン、トリス（８－ヒドロキシキノリノール）アルミニウム等が挙げられるが、特に銅フタロシアニン（ＣｕＰｃ）を用いるのが好ましい。

【００８０】

正孔注入／輸送層７０を形成する際には、インクジェット法が用いられる。すなわち、上述した正孔注入／輸送層材料を含む組成物インクを陽極２３の電極面上に吐出した後に、乾燥処理及び熱処理を行うことにより、電極２３上に正孔注入／輸送層７０が形成される。なお、この正孔注入／輸送層形成工程以降は、正孔注入／輸送層７０及び発光層（有機ＥＬ層）６０の酸化を防止すべく、窒素雰囲気、アルゴン雰囲気等の不活性ガス雰囲気で行うことが好ましい。例えば、インクジェットヘッド（不図示）に正孔注入／輸送層材料を含む組成物インクを充填し、インクジェットヘッドの吐出ノズルを陽極２３の電極面に対向させ、インクジェットヘッドと基材（基板２）とを相対移動させながら、吐出ノズルから１滴当たりの液量が制御されたインキ滴を電極面に吐出する。次に、吐出後のインク滴を乾燥処理して組成物インクに含まれる極性溶媒を蒸発させることにより、正孔注入／輸送層７０が形成される。

【００８１】

なお、組成物インクとしては、例えば、ポリエチレンジオキシチオフェン等のポリチオフェン誘導体と、ポリスチレンスルホン酸等との混合物を、イソプロピルアルコール等の極性溶媒に溶解させたものを用いることができる。ここで、吐出されたインク滴は、親インク処理された陽極２３の電極面上に広がり、開口部２２１ａの底部近傍に満たされる。その一方で、撥インク処理された第３絶縁層２２１の上面にはインク滴がはじかれて付着しない。したがって、インク滴が所定の吐出位置からはずれて第３絶縁層２２１の上面に吐出されたとしても、該上面がインク滴で濡れることがなく、はじかれたインク滴が第３絶縁層２２１の開口部２２１ａ内に転がり込むものとされている。

【００８２】

発光層６０は、正孔注入／輸送層７０上面に形成される。発光層６０の形成材料としては、特に限定されることなく、低分子の有機発光色素や高分子発光体、すなわち各種の蛍光物質や燐光物質からなる発光物質が使用可能である。発光物質となる共役系高分子の中ではアリーレンビニレン構造を含むものが特に好ましい。低分子蛍光体では、例えばナフタレン誘導体、アントラセン誘導体、ペリレン誘導体、ポリメチン系、キサテン系、クマリン系、シアニン系などの色素類、８－ヒドロキノリンおよびその誘導体の金属錯体、芳香族アミン、テトラフェニルシクロペンタジエン誘導体等、または特開昭５７－５１７８１、同５９－１９４３９３号公報等に記載されている公知のものが使用可能である。

【００８３】

発光層６０の形成材料として高分子蛍光体を用いる場合には、側鎖に蛍光基を有する高分子を用いることができるが、好ましくは共役系構造を主鎖に含むもので、特に、ポリチオフェン、ポリ－ｐ－フェニレン、ポリアリーレンビニレン、ポリフルオレンおよびその誘導体が好ましい。中でもポリアリーレンビニレンおよびその誘導体が好ましい。該ポリアリーレンビニレンおよびその誘導体は、下記化学式（１）で示される繰り返し単位を全繰り返し単位の５０モル％以上含む重合体である。繰り返し単位の構造にもよるが、化学式（１）で示される繰り返し単位が全繰り返し単位の７０％以上であることがさらに好ましい。

SDC EX. 1016 - 725/959

－Ａｒ－ＣＲ＝ＣＲ’－　　（１）

〔ここで、Ａｒは、共役結合に関与する炭素原子数が４個以上２０個以下からなるアリーレン基または複素環化合物基、Ｒ、Ｒ’はそれぞれ独立に水素、炭素数１～２０のアルキル基、炭素数６～２０のアリール基、炭素数４～２０の複素環化合物、シアノ基からなる群から選ばれた基を示す。〕

【００８４】

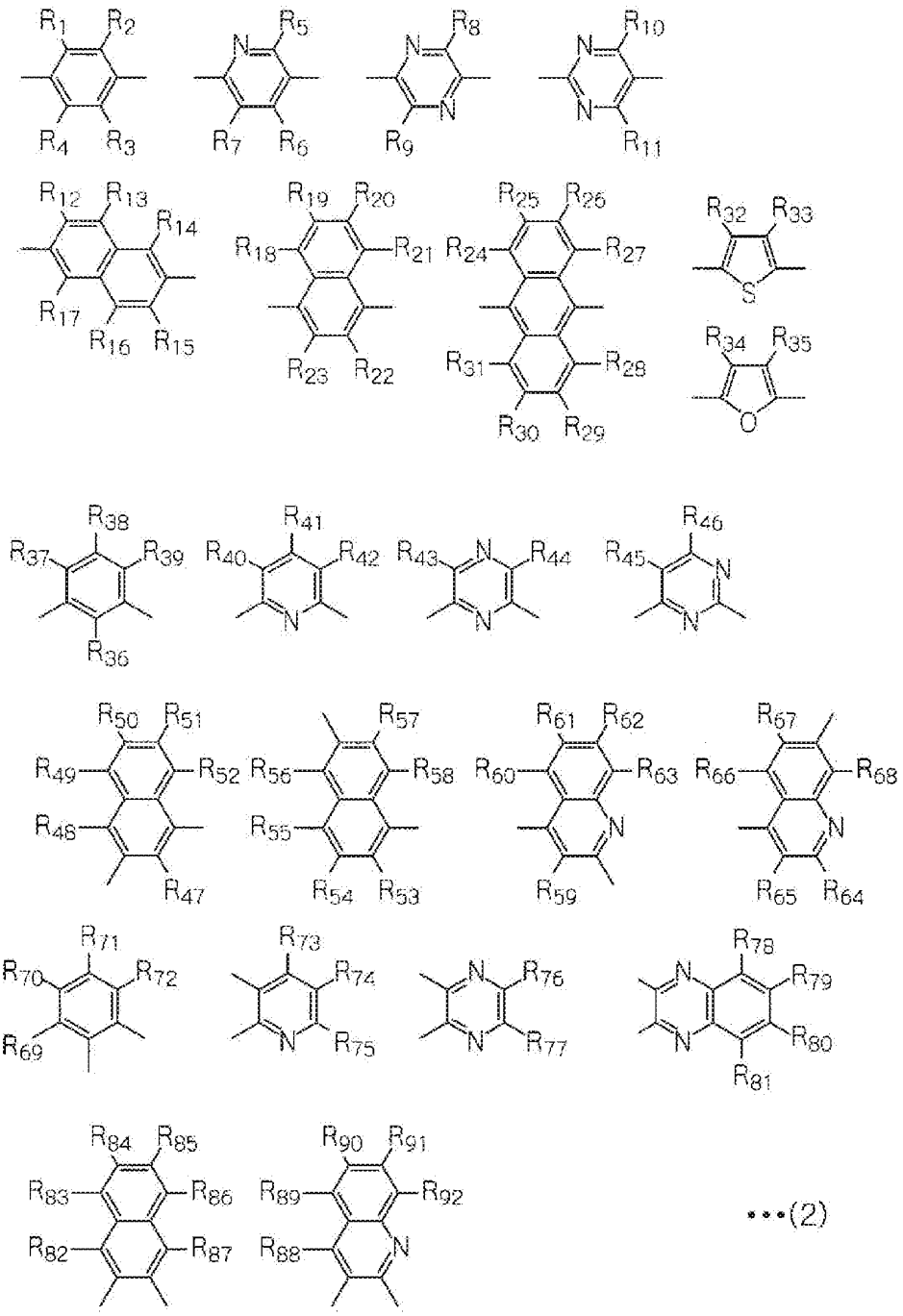
該高分子蛍光体は、化学式（１）で示される繰り返し単位以外の繰り返し単位として、芳香族化合物基またはその誘導体、複素環化合物基またはその誘導体、およびそれらを組み合わせて得られる基などを含んでいてもよい。また、化学式（１）で示される繰り返し単位や他の繰り返し単位が、エーテル基、エステル基、アミド基、イミド基などを有する非共役の単位で連結されていてもよいし、繰り返し単位にそれらの非共役部分が含まれていてもよい。

【００８５】

前記高分子蛍光体において化学式（１）のＡｒとしては、共役結合に関与する炭素原子数が４個以上２０個以下からなるアリーレン基または複素環化合物基であり、下記の化学式（２）で示す芳香族化合物基またはその誘導体基、複素環化合物基またはその誘導体基、およびそれらを組み合わせて得られる基などが例示される。

【００８６】

【化１】



（Ｒ１～Ｒ９２は、それぞれ独立に、水素、炭素数１～２０のアルキル基、アルコキシ基およびアルキルチオ基；炭素数６～１８のアリール基およびアリールオキシ基；ならびに炭素数４～１４の複素環化合物基からなる群から選ばれた基である。）

【００８７】

これらのなかでフェニレン基、置換フェニレン基、ビフェニレン基、置換ビフェニレン基、ナフタレンジイル基、置換ナフタレンジイル基、アントラセン－９，１０－ジイル基、置換アントラセン－９，１０－ジイル基、ピリジン－２，５－ジイル基、置換ピリジン－２，５－ジイル基、チエニレン基および置換チエニレン基が好ましい。さらに好ましくは、フェニレン基、ビフェニレン基、ナフタレンジイル基、ピリジン－２，５－ジイル基、

SDC EX. 1016 - 727/959

チエニレン基である。

【００８８】

化学式（１）のＲ、Ｒ’が水素またはシアノ基以外の置換基である場合について述べると、炭素数１～２０のアルキル基としては、メチル基、エチル基、プロピル基、ブチル基、ペンチル基、ヘキシル基、ヘプチル基、オクチル基、デシル基、ラウリル基などが挙げられ、メチル基、エチル基、ペンチル基、ヘキシル基、ヘプチル基、オクチル基が好ましい。アリール基としては、フェニル基、４－Ｃ１～Ｃ１２アルコキシフェニル基（Ｃ１～Ｃ１２は炭素数１～１２であることを示す。以下も同様である。）、４－Ｃ１～Ｃ１２アルキルフェニル基、１－ナフチル基、２－ナフチル基などが例示される。

【００８９】

溶媒可溶性の観点からは化学式（１）のＡｒが、１つ以上の炭素数４～２０のアルキル基、アルコキシ基およびアルキルチオ基、炭素数６～１８のアリール基およびアリールオキシ基ならびに炭素数４～１４の複素環化合物基から選ばれた基を有していることが好ましい。

【００９０】

これらの置換基としては以下のものが例示される。炭素数４～２０のアルキル基としては、ブチル基、ペンチル基、ヘキシル基、ヘプチル基、オクチル基、デシル基、ラウリル基などが挙げられ、ペンチル基、ヘキシル基、ヘプチル基、オクチル基が好ましい。また、炭素数４～２０のアルコキシ基としては、ブトキシ基、ペンチルオキシ基、ヘキシルオキシ基、ヘプチルオキシ基、オクチルオキシ基、デシルオキシ基、ラウリルオキシ基などが挙げられ、ペンチルオキシ基、ヘキシルオキシ基、ヘプチルオキシ基、オクチルオキシ基が好ましい。炭素数４～２０のアルキルチオ基としては、ブチルチオ基、ペンチルチオ基、ヘキシルチオ基、ヘプチルチオ基、オクチルチオ基、デシルオキシ基、ラウリルチオ基などが挙げられ、ペンチルチオ基、ヘキシルチオ基、ヘプチルチオ基、オクチルチオ基が好ましい。アリール基としては、フェニル基、４－Ｃ１～Ｃ１２アルコキシフェニル基、４－Ｃ１～Ｃ１２アルキルフェニル基、１－ナフチル基、２－ナフチル基などが例示される。アリールオキシ基としては、フェノキシ基が例示される。複素環化合物基としては２－チエニル基、２－ピロリル基、２－フリル基、２－、３－または４－ピリジル基などが例示される。これら置換基の数は、該高分子蛍光体の分子量と繰り返し単位の構成によっても異なるが、溶解性の高い高分子蛍光体を得る観点から、これらの置換基が分子量６００当たり１つ以上であることがより好ましい。

【００９１】

なお、前記高分子蛍光体は、ランダム、ブロックまたはグラフト共重合体であってもよいし、それらの中間的な構造を有する高分子、例えばブロック性を帯びたランダム共重合体であってもよい。蛍光の量子収率の高い高分子蛍光体を得る観点からは完全なランダム共重合体よりブロック性を帯びたランダム共重合体やブロックまたはグラフト共重合体が好ましい。また、ここで形成する有機エレクトロルミネッセンス素子は、薄膜からの蛍光を利用することから、該高分子蛍光体は固体状態で蛍光を有するものが用いられる。

【００９２】

該高分子蛍光体に対して溶媒を使用する場合に、好適なものとしては、クロロホルム、塩化メチレン、ジクロロエタン、テトラヒドロフラン、トルエン、キシレンなどが例示される。高分子蛍光体の構造や分子量にもよるが、通常はこれらの溶媒に０．１ｗｔ％以上溶解させることができる。

また、前記高分子蛍光体としては、分子量がポリスチレン換算で10^3～10^7であることが好ましく、それらの重合度は繰り返し構造やその割合によっても変わる。成膜性の点から一般には繰り返し構造の合計数で好ましくは４～１００００、さらに好ましくは５～３０００、特に好ましくは１０～２０００である。

【００９３】

このような高分子蛍光体の合成法としては、特に限定されないものの、例えばアリーレン基にアルデヒド基が２つ結合したジアルデヒド化合物と、アリーレン基にハロゲン化メチ

ル基が２つ結合した化合物とトリフェニルホスフィンとから得られるジホスホニウム塩からのＷｉｔｔｉｇ反応が例示される。また、他の合成法としては、アリーレン基にハロゲン化メチル基が２つ結合した化合物からの脱ハロゲン化水素法が例示される。さらに、アリーレン基にハロゲン化メチル基が２つ結合した化合物のスルホニウム塩をアルカリで重合して得られる中間体から熱処理により該高分子蛍光体を得るスルホニウム塩分解法が例示される。いずれの合成法においても、モノマーとして、アリーレン基以外の骨格を有する化合物を加え、その存在割合を変えることにより、生成する高分子蛍光体に含まれる繰り返し単位の構造を変えることができるので、化学式（１）で示される繰り返し単位が５０モル％以上となるように加減して仕込み、共重合してもよい。これらのうち、Ｗｉｔｔｉｇ反応による方法が、反応の制御や収率の点で好ましい。

【００９４】

さらに具体的に、前記高分子蛍光体の１つの例であるアリーレンビニレン系共重合体の合成法を説明する。例えば、Ｗｉｔｔｉｇ反応により高分子蛍光体を得る場合には、例えばまず、ビス（ハロゲン化メチル）化合物、より具体的には、例えば２，５－ジオクチルオキシ－ｐ－キシリレンジブロミドをＮ，Ｎ－ジメチルホルムアミド溶媒中、トリフェニルホスフィンと反応させてホスホニウム塩を合成し、これとジアルデヒド化合物、より具体的には、例えば、テレフタルアルデヒドとを、例えばエチルアルコール中、リチウムエトキシドを用いて縮合させるＷｉｔｔｉｇ反応により、フェニレンビニレン基と２，５－ジオクチルオキシ－ｐ－フェニレンビニレン基を含む高分子蛍光体が得られる。このとき、共重合体を得るために２種類以上のジホスホニウム塩および／または２種類以上のジアルデヒド化合物を反応させてもよい。

これらの高分子蛍光体を発光層の形成材料として用いる場合、その純度が発光特性に影響を与えるため、合成後、再沈精製、クロマトグラフによる分別等の純化処理をすることが望ましい。

【００９５】

また、前記の高分子蛍光体からなる発光層の形成材料としては、フルカラー表示をなすため、赤、緑、青の三色の発光層形成材料が用いられ、それぞれが所定のパターニング装置（インクジェット装置）によって予め設定された位置の画素ＡＲに射出され、パターニングされる。

なお、前記の発光物質としては、ホスト材料にゲスト材料を添加した形態のものを用いることもできる。

【００９６】

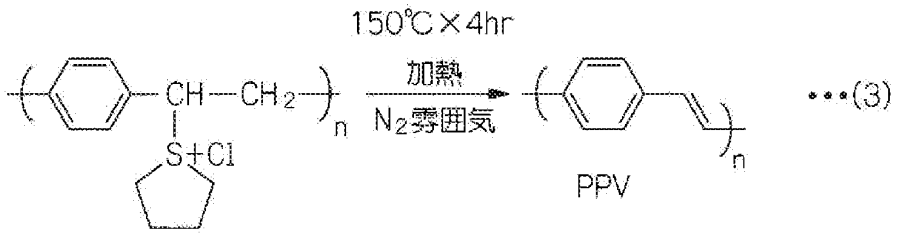
このような発光材料としては、ホスト材料として例えば高分子有機化合物や低分子材料が、またゲスト材料として得られる発光層の発光特性を変化させるための蛍光色素、あるいは燐光物質を含んでなるものが好適に用いられる。

高分子有機化合物としては、溶解性の低い材料の場合、例えば前駆体が塗布された後、以下の化学式（３）に示すように加熱硬化されることによって共役系高分子有機エレクトロルミネッセンス層となる発光層を生成し得るものがある。例えば、前駆体のスルホニウム塩の場合、加熱処理されることによりスルホニウム基が脱離し、共役系高分子有機化合物となるもの等がある。

また、溶解性の高い材料では、材料をそのまま塗布した後、溶媒を除去して発光層にし得るものもある。

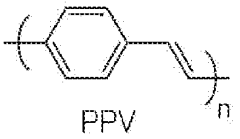
【００９７】

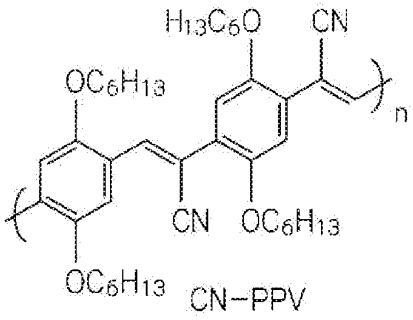
【化２】

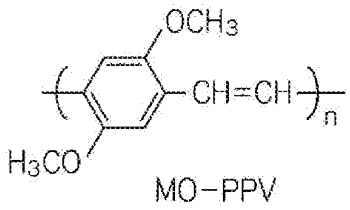


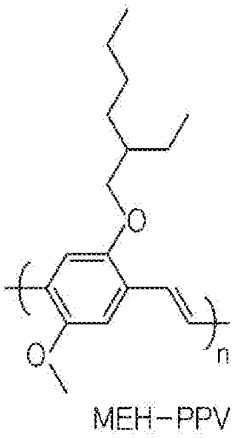
・・・(3)

【００９８】
前記の高分子有機化合物は固体で強い蛍光を持ち、均質な固体超薄膜を形成することができる。しかも、形成能に富みＩＴＯ電極との密着性も高く、さらに、固化した後は強固な共役系高分子膜を形成する。
【００９９】
このような高分子有機化合物としては、例えばポリアリーレンビニレンが好ましい。ポリアリーレンビニレンは水系溶媒あるいは有機溶媒に可溶で第２の基体１１に塗布する際の塗布液への調製が容易であり、さらに一定条件下でポリマー化することができるため、光学的にも高品質の薄膜を得ることができる。
このようなポリアリーレンビニレンとしては、ＰＰＶ（ポリ（パラ－フェニレンビニレン））、ＭＯ－ＰＰＶ（ポリ（２，５－ジメトキシ－１，４－フェニレンビニレン））、ＣＮ－ＰＰＶ（ポリ（２，５－ビスヘキシルオキシ－１，４－フェニレン－（１－シアノビニレン））、ＭＥＨ－ＰＰＶ（ポリ［２－メトキシ－５－（２’－エチルヘキシルオキシ）］－パラ－フェニレンビニレン）、等のＰＰＶ誘導体、ＰＴＶ（ポリ（２，５－チエニレンビニレン））等のポリ（アルキルチオフェン）、ＰＦＶ（ポリ（２，５－フリレンビニレン））、ポリ（パラフェニレン）、ポリアルキルフルオレン等が挙げられるが、なかでも化学式（４）に示すようなＰＰＶまたはＰＰＶ誘導体の前駆体からなるものや、化学式（５）に示すようなポリアルキルフルオレン（具体的には化学式（６）に示すようなポリアルキルフルオレン系共重合体）が特に好ましい。
ＰＰＶ等は強い蛍光を持ち、二重結合を形成するπ電子がポリマー鎖上で非極在化している導電性高分子でもあるため、高性能の有機エレクトロルミネッセンス素子を得ることができる。
【０１００】
【化３】



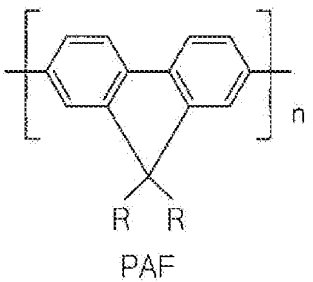


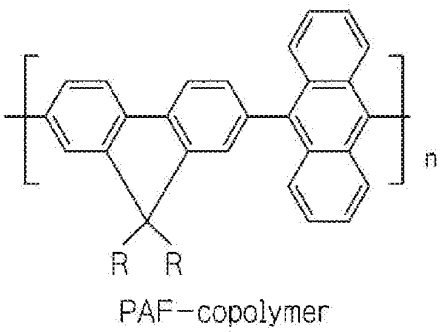




•••(4)

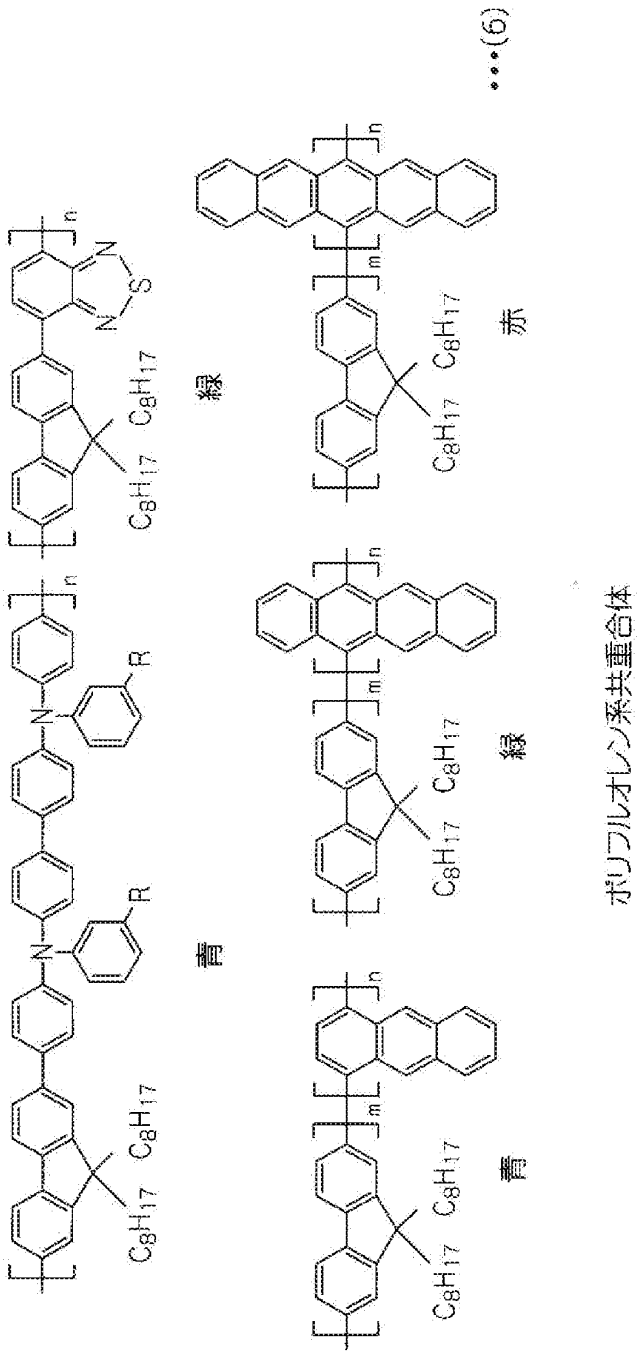
【0101】
【化4】





•••(5)

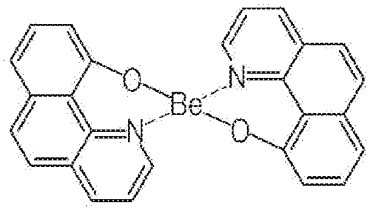
【0102】
【化5】



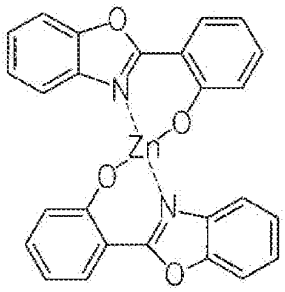
・・・(6)

【０１０３】
なお、前記ＰＰＶ薄膜の他に発光層を形成し得る高分子有機化合物や低分子材料、すなわち本例においてホスト材料として用いられるものは、例えばアルミキノリノール錯体（Ａｌｑ３）やジスチリルビフェニル、さらに化学式（７）に示すＢｅＢｑ２やＺｎ（ＯＸＺ）$_2$、そしてＴＰＤ、ＡＬＯ、ＤＰＶＢｉ等の従来より一般的に用いられているものに加え、ピラゾリンダイマー、キノリジンカルボン酸、ベンゾピリリウムパークロレート、ベンゾピラノキノリジン、ルブレン、フェナントロリンユウロピウム錯体等が挙げられ、これらの１種または２種以上を含む有機エレクトロルミネッセンス素子用組成物を用いることができる。
【０１０４】

【化６】



$BeBg_2$



$Zn(OXZ)_2$

•••(7)

【０１０５】
一方、このようなホスト材料に添加されるゲスト材料としては、前記したように蛍光色素や燐光物質が挙げられる。特に蛍光色素は、発光層の発光特性を変化させることができ、例えば、発光層の発光効率の向上、または光吸収極大波長（発光色）を変えるための手段としても有効である。すなわち、蛍光色素は単に発光層材料としてではなく、発光機能そのものを担う色素材料として利用することができる。例えば、共役系高分子有機化合物分子上のキャリア再結合で生成したエキシトンのエネルギーを蛍光色素分子上に移すことができる。この場合、発光は蛍光量子効率が高い蛍光色素分子からのみ起こるため、発光層の電流量子効率も増加する。したがって、発光層の形成材料中に蛍光色素を加えることにより、同時に発光層の発光スペクトルも蛍光分子のものとなるので、発光色を変えるための手段としても有効となる。
【０１０６】
なお、ここでいう電流量子効率とは、発光機能に基づいて発光性能を考察するための尺度であって、下記式により定義される。
ηE ＝放出されるフォトンのエネルギー／入力電気エネルギー
そして、蛍光色素のドープによる光吸収極大波長の変換によって、例えば赤、青、緑の３原色を発光させることができ、その結果フルカラー表示体を得ることが可能となる。
さらに蛍光色素をドーピングすることにより、エレクトロルミネッセンス素子の発光効率を大幅に向上させることができる。
【０１０７】
蛍光色素としては、赤色の発色光を発光する発光層を形成する場合、レーザー色素のＤＣＭ－１、あるいはローダミンまたはローダミン誘導体、ペニレン等を用いるのが好ましい。これらの蛍光色素をＰＰＶなどホスト材料にドープすることにより、発光層を形成することができるが、これらの蛍光色素は水溶性のものが多いので、水溶性を有するＰＰＶ前駆体であるスルホニウム塩にドープし、その後、加熱処理すれば、より均一な発光層の形成が可能になる。このような蛍光色素として具体的には、ローダミンＢ、ローダミンＢベース、ローダミン６Ｇ、ローダミン１０１過塩素酸塩等が挙げられ、これらを２種以上混合したものであってもよい。
【０１０８】
また、緑色の発色光を発光する発光層を形成する場合、キナクリドン、ルブレン、ＤＣＪＴおよびその誘導体を用いるのが好ましい。これらの蛍光色素についても、前記の蛍光色

素と同様、ＰＰＶなどホスト材料にドープすることにより、発光層を形成することができるが、これらの蛍光色素は水溶性のものが多いので、水溶性を有するＰＰＶ前駆体であるスルホニウム塩にドープし、その後、加熱処理すれば、より均一な発光層の形成が可能になる。

【０１０９】

さらに、青色の発色光を発光する発光層を形成する場合、ジスチリルビフェニルおよびその誘導体を用いるのが好ましい。これらの蛍光色素についても、前記の蛍光色素と同様、ＰＰＶなどホスト材料にドープすることにより、発光層を形成することができるが、これらの蛍光色素は水溶性のものが多いので、水溶性を有するＰＰＶ前駆体であるスルホニウム塩にドープし、その後、加熱処理すれば、より均一な発光層の形成が可能になる。

【０１１０】

また、青色の発色光を有する他の蛍光色素としては、クマリンおよびその誘導体を挙げることができる。これらの蛍光色素は、ＰＰＶと相溶性がよく発光層の形成が容易である。また、これらのうち特にクマリンは、それ自体は溶媒に不溶であるものの、置換基を適宜選択することによって溶解性を増し、溶媒に可溶となるものもある。このような蛍光色素として具体的には、クマリン－１、クマリン－６、クマリン－７、クマリン１２０、クマリン１３８、クマリン１５２、クマリン１５３、クマリン３１１、クマリン３１４、クマリン３３４、クマリン３３７、クマリン３４３等が挙げられる。

【０１１１】

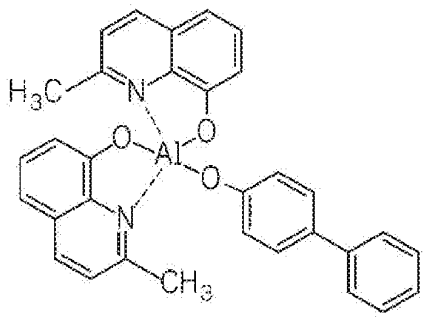
さらに、別の青色の発色光を有する蛍光色素としては、テトラフェニルブタジエン（ＴＰＢ）またはＴＰＢ誘導体、ＤＰＶＢｉ等を挙げることができる。これらの蛍光色素は、前記赤色蛍光色素等と同様に水溶液に可溶であり、またＰＰＶと相溶性がよく発光層の形成が容易である。

以上の蛍光色素については、各色ともに１種のみを用いてもよく、また２種以上を混合して用いてもよい。

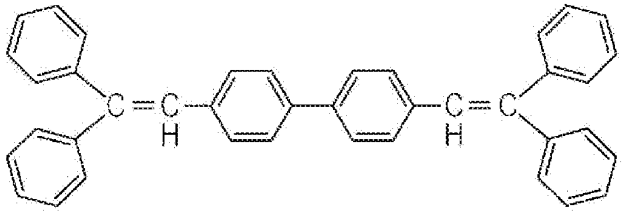
なお、このような蛍光色素としては、化学式（８）に示すようなものや、化学式（９）に示すようなもの、さらに化学式（１０）に示すようなものが用いられる。

【０１１２】

【化７】



BALQ

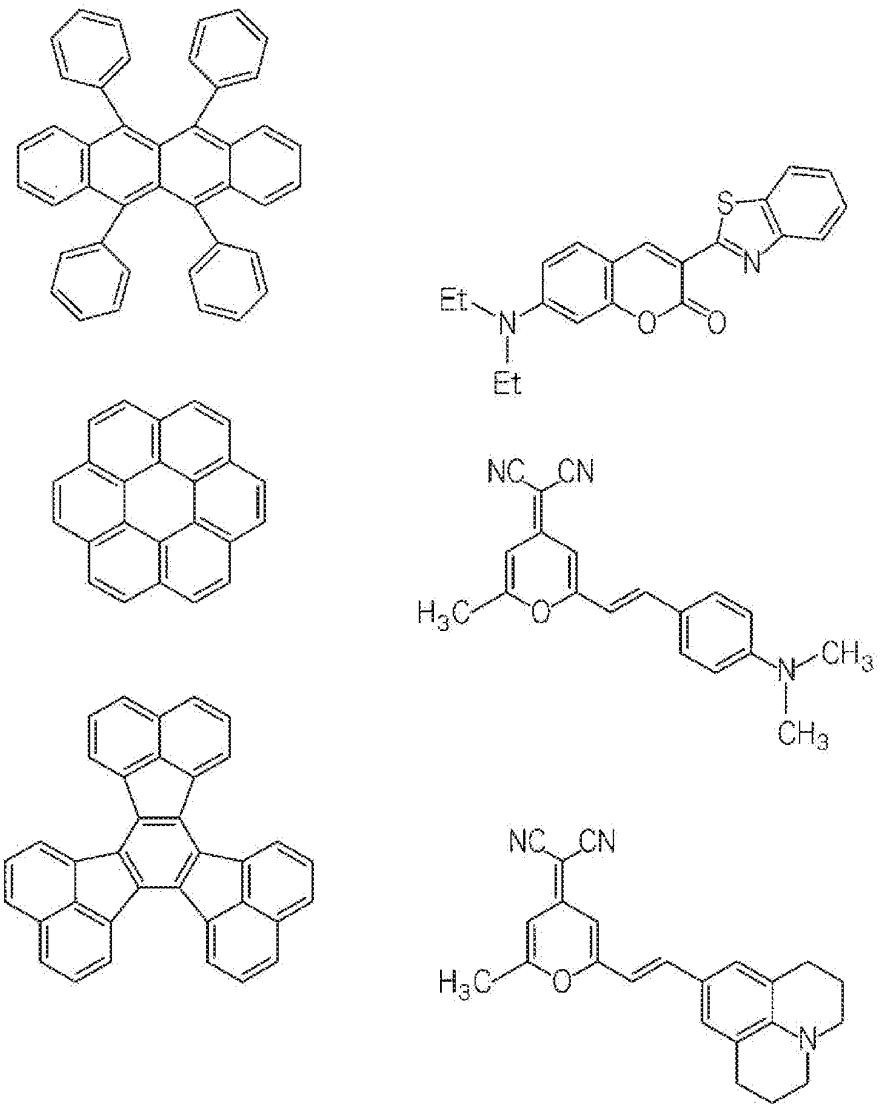


DSA

・・・(8)

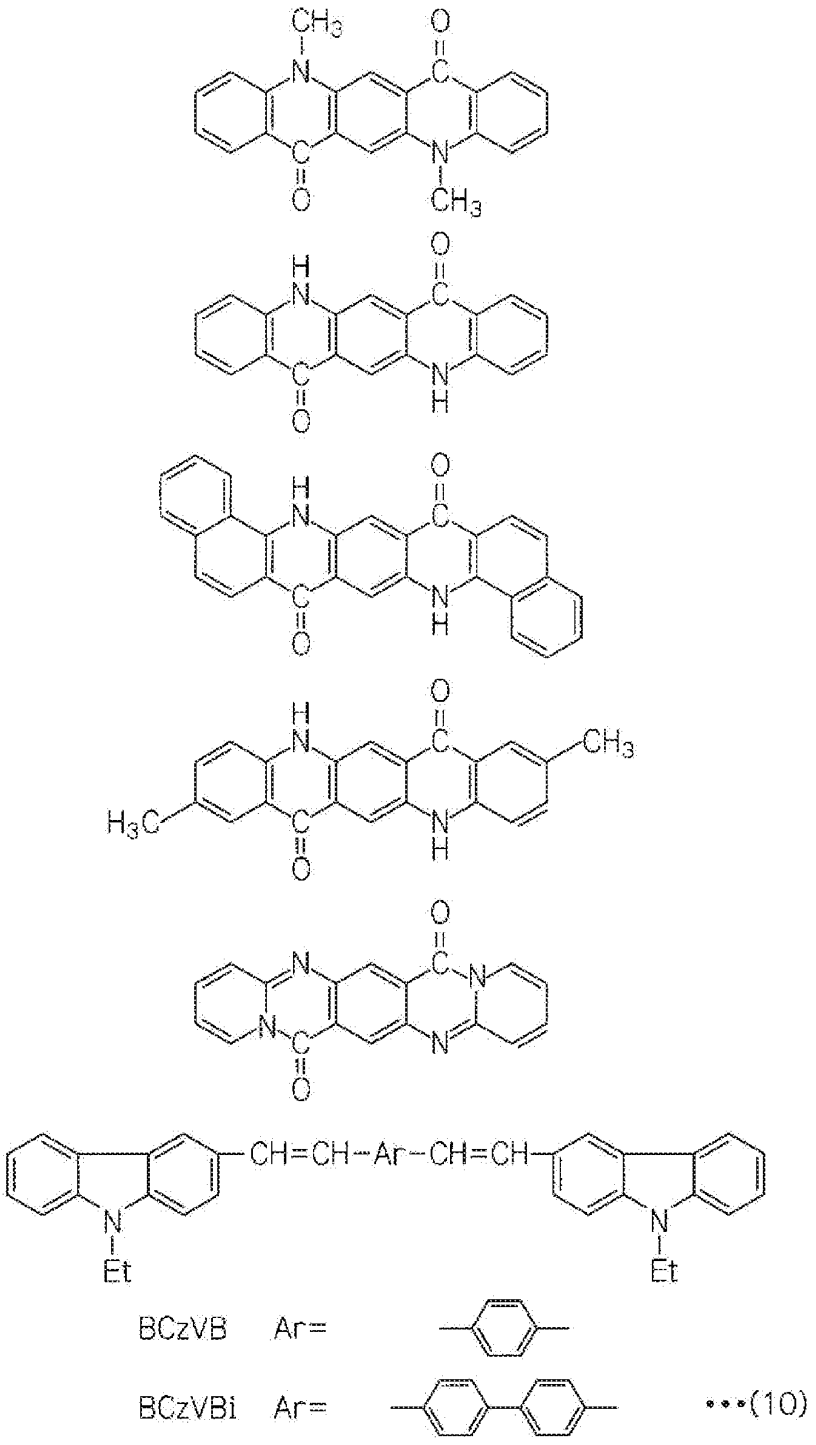
【０１１３】

【化８】



・・・(9)

【０１１４】
【化９】

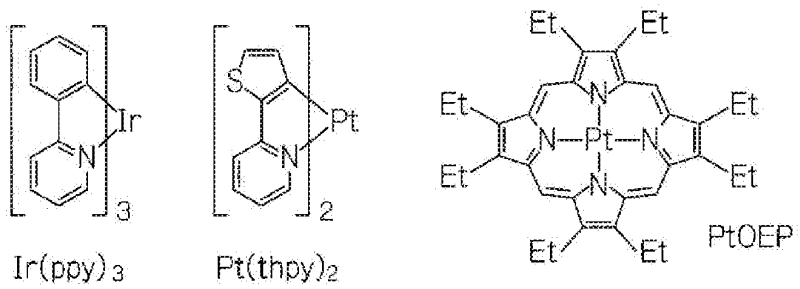


【０１１５】
これらの蛍光色素については、前記共役系高分子有機化合物等からなるホスト材料に対し、後述する方法によって０．５～１０ｗｔ％添加するのが好ましく、１．０～５．０ｗｔ％添加するのがより好ましい。蛍光色素の添加量が多過ぎると得られる発光層の耐候性および耐久性の維持が困難となり、一方、添加量が少な過ぎると、前述したような蛍光色素を加えることによる効果が十分に得られないからである。
【０１１６】
また、ホスト材料に添加されるゲスト材料としての燐光物質としては、化学式（１１）に

示すＩｒ（ｐｐｙ）$_3$、Ｐｔ（ｔｈｐｙ）$_2$、ＰｔＯＥＰなどが好適に用いられる。

【０１１７】

【化１０】



Ir(ppy)$_3$　　Pt(thpy)$_2$

•••(11)

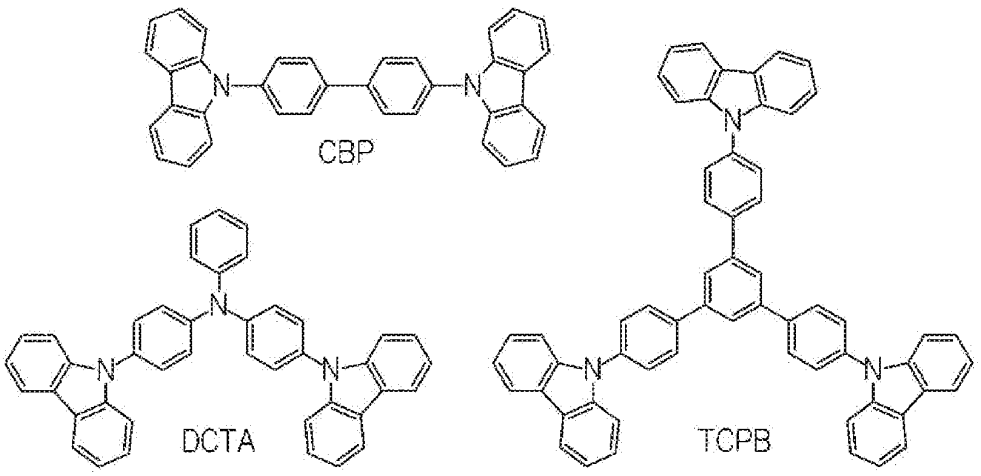
【０１１８】

なお、前記の化学式（１１）に示した燐光物質をゲスト材料とした場合、ホスト材料としては、特に化学式（１２）に示すＣＢＰ、ＤＣＴＡ、ＴＣＰＢや、前記したＤＰＶＢｉ、Ａｌｑ３が好適に用いられる。

また、前記蛍光色素と燐光物質については、これらを共にゲスト材料としてホスト材料に添加するようにしてもよい。

【０１１９】

【化１１】



•••(12)

【０１２０】

なお、このようなホスト／ゲスト系の発光物質によって発光層６０を形成する場合、例えば予めパターニング装置（インクジェット装置）にノズル等の材料供給系を複数形成しておき、これらノズルからホスト材料とゲスト材料とを予め設定した量比で同時に吐出させることにより、ホスト材料に所望する量のゲスト材料が添加されてなる発光物質による。発光層６０を形成することができる。

【０１２１】

発光層６０は、正孔注入／輸送層７０の形成方法と同様の手順で形成される。すなわち、インクジェット法によって発光層材料を含む組成物インクを正孔注入／輸送層７０の上面に吐出した後に、乾燥処理及び熱処理を行うことにより、第３絶縁層２２１に形成された開口部２２１ａ内部の正孔注入／輸送層７０上に発光層６０が形成される。この発光層形成工程も上述したように不活性ガス雰囲気化で行われる。吐出された組成物インクは撥インク処理された領域ではじかれるので、インク滴が所定の吐出位置からはずれたとしても、はじかれたインク滴が第３絶縁層２２１の開口部２２１ａ内に転がり込む。

【０１２２】

電子輸送層５０は発光層６０の上面に形成される。電子輸送層５０も発光層６０の形成方法と同様、インクジェット法により形成される。電子輸送層５０の形成材料としては、特に限定されることなく、オキサジアゾール誘導体、アントラキノジメタンおよびその誘導体、ベンゾキノンおよびその誘導体、ナフトキノンおよびその誘導体、アントラキノンおよびその誘導体、テトラシアノアンスラキノジメタンおよびその誘導体、フルオレノン誘導体、ジフェニルジシアノエチレンおよびその誘導体、ジフェノキノン誘導体、８－ヒドロキシキノリンおよびその誘導体の金属錯体等が例示される。具体的には、先の正孔輸送層の形成材料と同様に、特開昭６３－７０２５７号、同６３－１７５８６０号公報、特開平２－１３５３５９号、同２－１３５３６１号、同２－２０９９８８号、同３－３７９９２号、同３－１５２１８４号公報に記載されているもの等が例示され、特に２－（４－ビフェニリル）－５－（４－ｔ－ブチルフェニル）－１，３，４－オキサジアゾール、ベンゾキノン、アントラキノン、トリス（８－キノリノール）アルミニウムが好適とされる。

【０１２３】

なお、前述した正孔注入／輸送層７０の形成材料や電子輸送層５０の形成材料を発光層６０の形成材料に混合し、発光層形成材料として使用してもよく、その場合に、正孔注入／輸送層形成材料や電子輸送層形成材料の使用量については、使用する化合物の種類等によっても異なるものの、十分な成膜性と発光特性を阻害しない量範囲でそれらを考慮して適宜決定される。通常は、発光層形成材料に対して１～４０重量％とされ、さらに好ましくは２～３０重量％とされる。

【０１２４】

なお、正孔注入／輸送層７０や電子輸送層５０などは、インクジェット法に限らず、マスク蒸着法を用いて形成することも可能である。

【０１２５】

陰極２２２は、電子輸送層５０及び第３絶縁層２２１の表面全体、あるいはストライプ状に形成されている。陰極２２２については、もちろんＡｌ、Ｍｇ、Ｌｉ、Ｃａなどの単体材料やＭｇ：Ａｇ（１０：１合金）の合金材料からなる１層で形成してもよいが、２層あるいは３層からなる金属（合金を含む。）層として形成してもよい。具体的には、Li_2O（０．５ｎｍ程度）／ＡｌやＬｉＦ（０．５ｎｍ程度）／Ａｌ、MgF_2／Ａｌといった積層構造のものも使用可能である。陰極２２２は上述した金属からなる薄膜であり、光を透過可能である。

【０１２６】

封止層２０は、外部から有機ＥＬ素子に対して大気が侵入するのを遮断するものであって、膜厚や材料は適宜選択される。封止層２０を構成する材料としては、例えばセラミックや窒化珪素、酸化窒化珪素、酸化珪素などが用いられ、中でも酸化窒化珪素が透明性、ガスバリア性の観点から好ましい。封止層２０は陰極２２２上にプラズマＣＶＤ法によって形成してもよい。

【０１２７】

以上説明したように、発光層６０からの基板２より低屈折率な低屈折率材料からなる各絶縁層２８３，２８４を通過してから基板２に入射するので、臨界角以上の角度でこれら各絶縁層２８３，２８４に入射した光は基板２との界面で臨界角以下となる方向に屈折し、基板２内での全反射条件から外れ、外部に取り出される。これにより、光の取り出し効率が向上し、高い視認性を得ることができる。また、屈折率と誘電率とには強い相関関係が

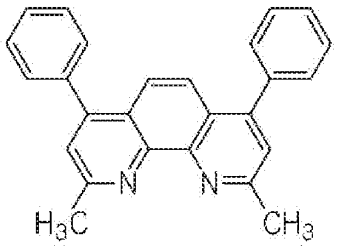
あり、各絶縁層２８３，２８４を低屈折率層とすることにより低誘電率層とすることができ、配線間容量を小さくすることができるので、電気光学装置の動作速度の高速化など、動作性能を向上できる。

【０１２８】

なお、前記の正孔注入／輸送層７０、発光層６０、電子輸送層５０に加えて、ホールブロッキング層を例えば発光層６０の対向電極２２２側に形成して、発光層６０の長寿命化を図ってもよい。このようなホールブロッキング層の形成材料としては、例えば化学式（１３）に示すＢＣＰや化学式（１４）で示すＢＡｌｑが用いられるが、長寿命化の点ではＢＡｌｑの方が好ましい。

【０１２９】

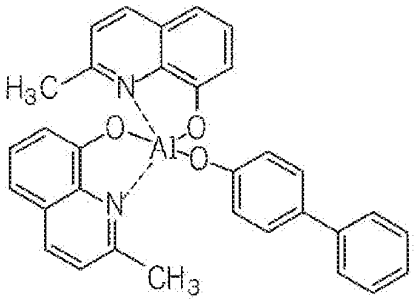
【化１２】



BCP　　•••(13)

【０１３０】

【化１３】



BAlq　　•••(14)

【０１３１】

［電子機器］

上記実施の形態の有機ＥＬ表示装置を備えた電子機器の例について説明する。図４は、携帯電話の一例を示した斜視図である。図４において、符号１０００は携帯電話本体を示し、符号１００１は上記の有機ＥＬ表示装置を用いた表示部を示している。

【０１３２】

図５は、腕時計型電子機器の一例を示した斜視図である。図５において、符号１１００は時計本体を示し、符号１１０１は上記の有機ＥＬ表示装置を用いた表示部を示している。

【０１３３】

図６は、ワープロ、パソコンなどの携帯型情報処理装置の一例を示した斜視図である。図６において、符号１２００は情報処理装置、符号１２０２はキーボードなどの入力部、符号１２０４は情報処理装置本体、符号１２０６は上記の有機ＥＬ表示装置を用いた表示部を示している。

【０１３４】

図４～図６に示す電子機器は、上記実施の形態の有機ＥＬ表示装置を備えているので、表示品位に優れ、明るい画面の有機ＥＬ表示部を備えた電子機器を実現することができる。

【０１３５】

なお、本発明の技術範囲は上記実施の形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能である。

例えば上記実施の形態では、有機ＥＬ素子の構成として発光層と正孔輸送層とを一対の電極で挟持した例を挙げたが、発光層や正孔輸送層の他、電子輸送層、正孔注入層、電子注入層などの各種の機能を有する有機層を挿入してもよい。その他、実施の形態で挙げた具体的な材料などはほんの一例に過ぎず、適宜変更が可能である。

【０１３６】

また、本実施形態の構成の表示装置Ｓ１において、電気光学素子である発光層６０を液晶層等、その他の光学表示物質に置き換えることが可能である。

【０１３７】

また、上記実施形態においては、ＴＦＴ２４が配置された基板２側から光を取り出すいわゆるバックエミッション型について説明したが、ＴＦＴが配置された基板とは反対側から光を取り出すいわゆるトップエミッション型についても、本発明の低屈折率層を適用できる。

【０１３８】

【発明の効果】

本発明によれば、電気光学素子からの光は基板より低屈折率な低屈折率材料からなる材料層を通過してから基板に入射するので、臨界角以上の角度で低屈折率層に入射した光は基板との界面で臨界角以下となる方向に屈折し、基板内での全反射条件から外れ、外部に取り出される。これにより、光の取り出し効率が向上し、高い視認性を得ることができる。また、屈折率と誘電率とには強い相関関係があり、所定の材料層を低屈折率層とすることにより低誘電率層を形成でき、配線間容量を小さくすることができるので、電気光学装置の動作速度の高速化など、動作性能を向上できる。

【図面の簡単な説明】

【図１】本発明の電気光学装置の一実施形態を示す図であって、エレクトロルミネッセンス表示装置に適用した例を示す概略構成図である。

【図２】図１の表示装置における画素部の平面構造を示す拡大図である。

【図３】本発明の電気光学装置の一実施形態を示す図であって、図２のＡ－Ａ矢視断面図である。

【図４】本発明の電気光学装置を備えた電子機器の一例を示す図である。

【図５】本発明の電気光学装置を備えた電子機器の一例を示す図である。

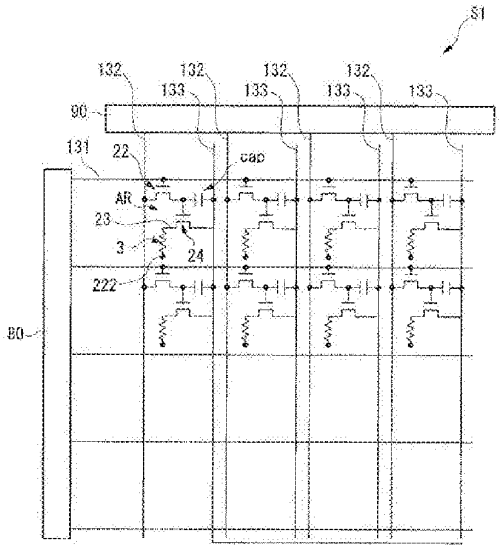
【図６】本発明の電気光学装置を備えた電子機器の一例を示す図である。

【符号の説明】

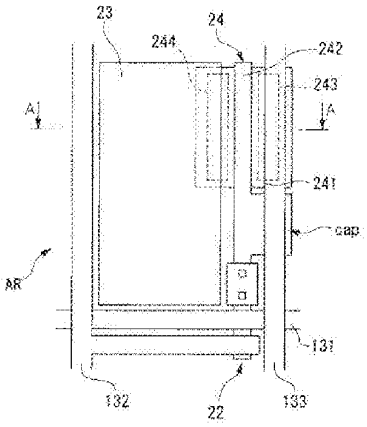
２　基板
３　発光素子（電気光学素子）
２３　画素電極（電極）
６０　発光層（電気光学素子層）
Ｓ１　有機ＥＬ表示装置（電気光学装置、回路基板）
２２２　陰極（電極）
２８２　ゲート絶縁層
２８３　第１層間絶縁層（低屈折率層）
２８４　第２層間絶縁層（低屈折率層）

SDC EX. 1016 - 740/959

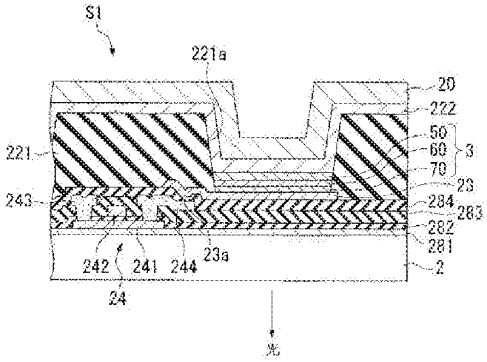
【図1】



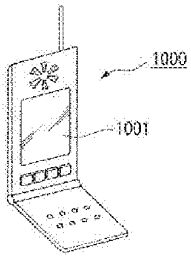
【図2】



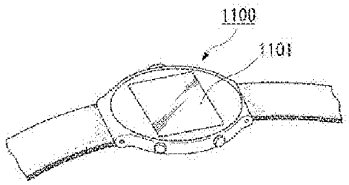
【図3】



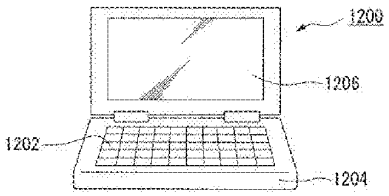
【図4】



【図5】



【図6】



(51)Int.Cl.　　F I
H０５Ｂ　33/02　(2006.01)　　H０５Ｂ　33/14　　Ａ
H０１Ｌ　51/50　(2006.01)

(56)参考文献　特開２００１－２０２８２７（ＪＰ，Ａ）
特開平０９－２８８２０１（ＪＰ，Ａ）
特開２０００－２６０５７１（ＪＰ，Ａ）
特開２００２－２７８４７７（ＪＰ，Ａ）
特開平０３－２２２２８７（ＪＰ，Ａ）
国際公開第００／０６０９０５（ＷＯ，Ａ１）

(58)調査した分野(Int.Cl.，ＤＢ名)
G09F　9/00 - 9/46
H01L　27/32
H01L　51/50
H05B　33/00 - 33/28

SDC EX. 1016 - 742/959

Espacenet

Bibliographic data: JP4637390 (B2) — 2011-02-23

LIGHT EMITTING DEVICE AND METHOD OF MANUFACTURING

Inventor(s): YAMAZAKI SHUNPEI, ; HIROKI MASAAKI, ; FUKUNAGA KENJI

Applicant(s): SEMICONDUCTOR ENERGY LAB CO LTD

Classification: **- international:** ***H01L51/50; H05B33/10; H05B33/12; H05B33/14; H05B33/22***

- cooperative:

Application number: JP20010086501 20010326

Priority number(s): JP20010086501 20010326 ; JP20000085894 20000327

Also published as: JP2001345178 (A)

Abstract of JP2001345178 (A)

PROBLEM TO BE SOLVED: To provide a light emitting device having a high resolution picture element part. SOLUTION: An anode 102 and a bank 104 orthogonal to the anode 102 are arranged on an insulator 101. A part (a control bank 104b) of the bank 104 is composed of a metallic film, and an electric field is formed by impressing voltage on this part, and an orbit of an EL material with electric charge can be controlled. A film forming position of an EL layer can be precisely controlled by using this control.

SDC EX. 1016 - 743/959

(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4637390号
(P4637390)
(45)発行日　平成23年2月23日(2011.2.23)　(24)登録日　平成22年12月3日(2010.12.3)

(51)Int.Cl.		F I		
H05B 33/10	(2006.01)	H05B	33/10	
H05B 33/12	(2006.01)	H05B	33/12	B
H01L 51/50	(2006.01)	H05B	33/14	A
H05B 33/22	(2006.01)	H05B	33/22	Z

請求項の数 9　(全 26 頁)

(21)出願番号　特願2001-86501(P2001-86501)
(22)出願日　平成13年3月26日(2001.3.26)
(65)公開番号　特開2001-345178(P2001-345178A)
(43)公開日　平成13年12月14日(2001.12.14)
審査請求日　平成20年2月27日(2008.2.27)
(31)優先権主張番号　特願2000-85894(P2000-85894)
(32)優先日　平成12年3月27日(2000.3.27)
(33)優先権主張国　日本国(JP)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　山崎　舜平
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　▲ひろ▼木　正明
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内
(72)発明者　福永　健司
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

審査官　濱野　隆

最終頁に続く

(54)【発明の名称】発光装置の作製方法

(57)【特許請求の範囲】

【請求項1】

絶縁体の上に電極を形成し、

前記電極の上に金属膜を含むバンクを複数形成し、

前記金属膜を正または負の極性に帯電させ、前記金属膜と同一の極性に前記複数のバンクの上方に配置したシャドーマスク、及び発光材料を帯電させ、且つ前記金属膜と逆の極性に前記電極を帯電させながら、前記複数のバンクの間に発光材料を含む層を形成することを特徴とする発光装置の作製方法。

【請求項2】

絶縁体の上に電極を形成し、

前記電極の上に絶縁膜及び金属膜を積層してなるバンクを複数形成し、

前記金属膜を正または負の極性に帯電させ、前記金属膜と同一の極性に前記複数のバンクの上方に配置したシャドーマスク、及び発光材料を帯電させ、且つ前記金属膜と逆の極性に前記電極を帯電させながら、前記複数のバンクの間に発光材料を含む層を形成することを特徴とする発光装置の作製方法。

【請求項3】

絶縁体の上にストライプ状に配置されるように第１の線状電極を形成し、

前記第１の線状電極と交差し、且つストライプ状に配置されるように絶縁膜及び金属膜を積層してなるバンクを複数形成し、

前記金属膜を正または負の極性に帯電させ、前記金属膜と同一の極性に前記複数のバン

SDC EX. 1016 - 744/959

クの上方に配置したシャドーマスク、及び発光材料を帯電させ、且つ前記金属膜と逆の極性に前記第１の線状電極を帯電させながら、前記複数のバンクの間に発光材料を含む層を形成し、

前記第１の線状電極と交差し、且つ前記複数のバンクの間にストライプ状に配置されるように、前記発光材料を含む層の上に第２の線状電極を形成することを特徴とする発光装置の作製方法。

【請求項4】

絶縁体の上に電極を形成し、

前記電極の上に金属膜を含むバンクを複数形成し、

前記金属膜を正または負の極性に帯電させ、前記金属膜と同一の極性に蒸着室の隔壁、及び発光材料を帯電させ、且つ前記金属膜と逆の極性に前記電極を帯電させながら、前記複数のバンクの間に発光材料を含む層を蒸着法により前記蒸着室で形成し、

前記発光材料を備えた蒸着ボートに設けられた孔の外に配置されたリング状電極の内側に電場を形成し、前記孔から前記発光材料が飛散する際に前記リング状電極の内側を通過させることにより、前記金属膜と同一の極性に前記発光材料を帯電させることを特徴とする発光装置の作製方法。

【請求項5】

絶縁体の上に電極を形成し、

前記電極の上に絶縁膜及び金属膜を積層してなるバンクを複数形成し、

前記金属膜を正または負の極性に帯電させ、前記金属膜と同一の極性に蒸着室の隔壁、及び発光材料を帯電させ、且つ前記金属膜と逆の極性に前記電極を帯電させながら、前記複数のバンクの間に発光材料を含む層を蒸着法により前記蒸着室で形成し、

前記発光材料を備えた蒸着ボートに設けられた孔の外に配置されたリング状電極の内側に電場を形成し、前記孔から前記発光材料が飛散する際に前記リング状電極の内側を通過させることにより、前記金属膜と同一の極性に前記発光材料を帯電させることを特徴とする発光装置の作製方法。

【請求項6】

絶縁体の上にストライプ状に配置されるように第１の線状電極を形成し、

前記第１の線状電極と交差し、且つストライプ状に配置されるように絶縁膜及び金属膜を積層してなるバンクを複数形成し、

前記金属膜を正または負の極性に帯電させ、前記金属膜と同一の極性に蒸着室の隔壁、及び発光材料を帯電させ、且つ前記金属膜と逆の極性に前記第１の線状電極を帯電させながら、前記複数のバンクの間に発光材料を含む層を蒸着法により前記蒸着室で形成し、

前記第１の線状電極と交差し、且つ前記複数のバンクの間にストライプ状に配置されるように、前記発光材料を含む層の上に第２の線状電極を形成し、

前記発光材料を備えた蒸着ボートに設けられた孔の外に配置されたリング状電極の内側に電場を形成し、前記孔から前記発光材料が飛散する際に前記リング状電極の内側を通過させることにより、前記金属膜と同一の極性に前記発光材料を帯電させることを特徴とする発光装置の作製方法。

【請求項7】

請求項２、３、５、６のいずれか一において、前記複数のバンクを形成する際に、等方性エッチングによって前記絶縁膜の線幅が前記金属膜の線幅よりも狭くなるように形成することを特徴とする発光装置の作製方法。

【請求項8】

請求項２、３、５、６、７のいずれか一において、前記絶縁膜は珪素化合物膜または樹脂膜からなることを特徴とする発光装置の作製方法。

【請求項9】

請求項１乃至３のいずれか一において、蒸着法、イオンプレーティング法、またはインクジェット法により前記発光材料を含む層を形成することを特徴とする発光装置の作製方法。

【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、電極間に発光性材料を挟んだ素子（以下、発光素子という）を有する装置（以下、発光装置という）およびその作製方法に関する。特に発光性材料としてＥＬ（Electro Luminescence）が得られる発光性材料（以下、ＥＬ材料という）を利用した発光素子（以下、ＥＬ素子という）を用いた発光装置（以下、ＥＬ発光装置）に関する。なお、有機ＥＬディスプレイや有機発光ダイオード（ＯＬＥＤ：Organic Light Emitting Diode）は本発明の発光装置に含まれる。
【０００２】
また、本発明に用いることのできるＥＬ材料は、一重項励起もしくは三重項励起または両者の励起を経由して発光（燐光および／または蛍光）するすべての発光性材料を含む。
【０００３】
【従来の技術】
ＥＬ発光装置は、陽極と陰極との間にＥＬ材料を挟んだ構造のＥＬ素子を有した構造からなる。この陽極と陰極との間に電圧を加えてＥＬ材料中に電流を流すことによりキャリアを再結合させて発光させる。即ち、ＥＬ発光装置は発光素子自体に発光能力があるため、液晶表示装置に用いるようなバックライトが不要である。さらに視野角が広く、軽量であるという利点をもつ。
【０００４】
このときＥＬ材料を成膜してＥＬ層を形成するには、様々な成膜方法が採用されている。特に、低分子系有機ＥＬ材料の成膜には蒸着法が用いられ、高分子系有機ＥＬ材料の成膜にはスピンコーティング法もしくはインクジェット法が用いられている。
【０００５】
いずれの成膜方法にも一長一短があるが、蒸着法の場合はＥＬ材料の利用効率が悪いという問題がある。蒸着法の場合、抵抗加熱や電子ビーム加熱により気化したＥＬ材料を飛散させて成膜するが、被膜形成面に成膜される分以外にもシャドーマスクや蒸着室内壁に成膜されてしまう分の損失が大きかった。現状ではＥＬ材料の単価が高いため、このような問題は製造コストの増大を招く結果となってしまう。
【０００６】
また、インクジェット法の場合、ノズル先端から吐出されたＥＬ材料を含む液滴の軌道の制御が難しく、液滴の着弾点（ＥＬ層を成膜する部分）を正確に制御することが難しかった。この着弾点がずれてしまうと、となりの画素に液滴が混入されてしまうといった問題が起こり得た。この問題は高精細な画素部を有する発光装置を作製する上で特に顕著な問題となる。
【０００７】
【発明が解決しようとする課題】
本発明は、ＥＬ材料を成膜するにあたって成膜位置を精密に制御するための技術を提供することを課題とする。そして、高精細な画素部を有する発光装置を得ることを課題とする。さらに、その発光装置を表示部として用いた表示品質の高い電気器具を提供することを課題とする。
【０００８】
【課題を解決するための手段】
本発明では、画素を区分するバンクの一部に金属膜を用い、該金属膜に電圧をかける（負もしくは正に帯電させる）ことで電界を形成し、その電界によりＥＬ材料の軌道を制御することを特徴としている。従って、本明細書において「電界を加える」とは、「荷電粒子の向きを制御する」と同義である。
【０００９】
これにより蒸着法、イオンプレーティング法もしくはインクジェット法のように皮膜形成面の上方もしくは下方からＥＬ材料が飛んできて付着するような成膜方法において、ＥＬ

材料の成膜位置を精密に制御することが可能となり、高精細な画素部を有する発光装置を得ることができる。

【００１０】

なお、本明細書中においてバンクとは、陽極もしくは陰極をストライプ状に複数本形成するにあたって、個々の配線を電気的に絶縁するための絶縁膜であり、珪素化合物膜もしくは樹脂膜などを用いることができる。

【００１１】

【発明の実施の形態】

本発明の発光装置の構造について図１（Ａ）～（Ｃ）を用いて説明する。なお、図１（Ａ）は画素部の上面図であり、図１（Ｂ）は図１（Ａ）をＡ－Ａ’で切断した断面図、図１（Ｃ）は図１（Ａ）をＢ－Ｂ’で切断した断面図である。但し、ここで示す発光装置は発光素子を封止する前の状態である。

【００１２】

本発明の発光装置は、まず絶縁体１０１上に陽極１０２が設けられている。絶縁体１０１はガラス基板、プラスチック基板（プラスチックフィルムを含む）、金属基板もしくはセラミックス基板の上に絶縁膜を設けたものを用いても良いし、石英基板をそのまま用いても良い。

【００１３】

陽極１０２は帯状（線状といっても良い）に複数並べられ、全体として縞状（ストライプ状）に配置されている。また、陽極１０２としては仕事関数の大きい導電膜が用いられ、典型的には可視光に対して透明な酸化物導電膜が用いられる。酸化物導電膜としては、酸化インジウム、酸化スズ、酸化亜鉛もしくはこれらの化合物からなる導電膜を用いることができる。さらに、これらの酸化物導電膜にガリウムを添加したものであっても良い。

【００１４】

また、分離絶縁膜１０３は、隣接する陽極間に設けられ、陽極１０２の端部にＥＬ層１０５が形成されないように分離する役割を担う絶縁膜である。分離絶縁膜１０３としては珪素を含む絶縁膜、代表的には酸化珪素膜、窒化珪素膜、窒化酸化珪素膜もしくは炭化珪素膜を用いることができる。

【００１５】

また、陽極１０２と直交するようにバンク１０４が設けられている。バンク１０４はこの上に形成されるＥＬ層１０５および陰極１０６をパターニングするためのマスク材として用いられる絶縁膜である。バンク１０４は絶縁膜を用いて形成した支持バンク１０４ａとその上に設けられた金属膜からなる制御バンク１０４ｂを含む。

【００１６】

このとき、支持バンク１０４ａの線幅は制御バンク１０４ｂの線幅よりも細くなっている。このような構造は制御バンク１０４ｂをマスクとして支持バンク１０４ａに対して等方的なエッチングを施せば得ることができる。本発明では制御バンク１０４ｂに電圧をかけて負もしくは正に帯電させ、ＥＬ材料に電界を加えることによりＥＬ材料の軌道を制御することが可能となる。

【００１７】

さらに、バンク１０４と平行に（陽極１０２と直交するように）ＥＬ層１０５および陰極１０６が設けられる。これらはバンク１０４によって帯状に分離され、全体としてストライプ状に設けられている。もちろん、帯状に分離された個々の陰極は電気的に絶縁されている。

【００１８】

なお、本明細書においてＥＬ層とは、ＥＬ素子において陽極と陰極との間に設けられた絶縁層を指し、様々な有機膜もしくは無機膜を組み合わせて形成される層である。典型的には、ＥＬ層は少なくとも発光層を含み、発光層に電荷注入層や電荷輸送層を組み合わせて用いられる。また、ＥＬ層１０５としては、有機ＥＬ材料、無機ＥＬ材料もしくはそれらを組み合わせたＥＬ材料を用いる。また、有機ＥＬ材料を用いる場合、低分子材料を用い

SDC EX. 1016 - 747/959

ても高分子材料を用いても良く、公知の如何なる材料を用いても良い。

【００１９】

また、陰極１０６は仕事関数の小さい導電膜が用いられ、典型的には周期表の１族もしくは２族に属する元素を含む導電膜が用いられる。代表的にはマグネシウム、リチウム、セシウム、ベリリウム、カリウムもしくはカルシウムを含む合金膜が用いられる。また、ビスマス膜を用いることもできる。

【００２０】

以上の陽極１０２、ＥＬ層１０５および陰極１０６がＥＬ素子１００を形成する。実際には、ＥＬ素子１００の上に樹脂膜を封止材として設けるか、ＥＬ素子１００の上に密閉空間を作るかして、ＥＬ素子１００を外気から保護する。これはＥＬ層１０５や陰極１０６が酸化することで劣化してしまうため、酸素および水に極力触れないようにするためである。

【００２１】

以上にような構造を含む本発明の発光装置は、蒸着法、イオンプレーティング法もしくはインクジェット法のように、上方もしくは下方からＥＬ材料が飛んできて付着することにより成膜される手法を用いる場合において、バンクの一部である金属膜を用いてＥＬ材料に電界を加え、その電界により成膜位置の制御を行うことを特徴とするものである。

【００２２】

本発明を実施することで、精密な位置制御を行いながらＥＬ材料を成膜することが可能となり、高精細な画素部を有する発光装置を実現することができる。

【００２３】

【実施例】

〔実施例１〕

図１に示した構造の発光装置を作製する際のＥＬ層の成膜過程について図２を用いて説明する。なお、一部図１の符号を参照して説明する。

【００２４】

図２（Ａ）において、絶縁体１０１の上には陽極１０２が形成され、その上には支持バンク１０４aおよび制御バンク１０４bを含むバンク１０４が形成されている。

【００２５】

そして、この状態でまず陽極１０２を正に帯電させる。これは陽極１０２に正電圧を印加しても良いし、正に帯電したイオンシャワーを浴びせることで帯電させることも可能である。そして、制御バンク１０４bは負に帯電させる。これは制御バンク１０４bに負電圧を印加することで可能である。負電圧の大きさは実施者が適宜決定すれば良い。

【００２６】

この状態でＥＬ材料２０１を蒸着法、イオンプレーティング法もしくはインクジェット法により積層する。このとき、本発明ではＥＬ材料２０１を、制御バンク１０４bと同一極性に帯電させる点に特徴がある。即ち、本実施例の場合は、制御バンク１０４bが負に帯電しているため、ＥＬ材料２０１も負に帯電させる。これによりＥＬ材料２０１は制御バンク１０４bの周囲に形成された電界に反発し、制御バンク１０４bを避けるような軌道を描く。

【００２７】

さらに、本実施例では陽極１０２が正に帯電しているため、負に帯電したＥＬ材料２０１を引き寄せる方向に働く。

【００２８】

以上のように、ＥＬ材料２０１はバンク１０４を避けて陽極１０２へ積層される。こうして画素の部分にＥＬ層２０２が形成される。即ち、特にシャドーマスク等を設けることなく、ＥＬ材料を集中的に画素に成膜することができ、ＥＬ材料の利用効率を大幅に向上させることが可能となる。また、本発明は画素ピッチが数十μmといった非常に微細な画素部においても何ら問題なく実施することが可能である。

【００２９】

また、同様に図２（Ｂ）に示すように、陰極を形成する材料（陰極材料）２０３を負に帯電させて蒸着法もしくはイオンプレーティング法により成膜することで上記と同様の効果を得ることができる。即ち、バンク１０４を避けて画素の部分に陰極２０４を形成することができる。

【００３０】

〔実施例２〕

本実施例では、蒸着法によりＥＬ材料を成膜する際に本発明を実施する場合について図３に示す。

【００３１】

図３において、３０１は蒸着室であり、蒸着室の隔壁３０２は負の電圧が印加される負電源３０３に接続されている。また、蒸着室３０１の内部には蒸着ボート３０４が設置され、その中には固体ＥＬ材料３０５が備えられている。この蒸着ボート３０４は支持台３０６に接続された電源３０７a、３０７bを用いて加熱される。即ち、本実施例では抵抗加熱による蒸着源を用いている。

【００３２】

また、蒸着ボート３０４に設けられた孔（気体となったＥＬ材料が蒸着ボート外に出るための孔）のすぐ外に、孔から出た気体となったＥＬ材料（以下、気体ＥＬ材料という）を取り囲むように配置されたリング状電極３２０が設けられている。このリング状電極３２０は負電源３０８に接続され、リング状電極３２０の内側に電場を形成して、気体ＥＬ材料を負に帯電させる。即ち、蒸着ボート３０４から飛び出した気体ＥＬ材料は、飛散中に電場を通過させることで帯電する。このとき、蒸着室の隔壁３０２は負に帯電しているため、隔壁３０２に付着するＥＬ材料を最小限に抑えることができる。

【００３３】

こうして飛散した気体ＥＬ材料３０９は制御バンク３１０が形成する電界を避けるようにして陽極３１１に積層される。制御バンク３１０には負電源３１２が接続され、これにより電界が形成される。なお、図示されていないが全ての制御バンクは同電位となるように電気的に接続されている。

【００３４】

また、このとき陽極３１１が形成された基板３１３を保持するサセプタ３１４には正電源３１５が接続され、サセプタ３１４を正に帯電させている。このサセプタ３１４は陽極３１１と電気的に接続されており、陽極３１１を正に帯電させる。

【００３５】

以上のような構成とすることで、蒸着する気体ＥＬ材料３０９の利用効率を高め、必要最小限の量で所望のＥＬ層を形成することが可能となる。従って、ＥＬ材料の消費量が大幅に削減されるため、製造コストを低減することができる。

【００３６】

なお、本実施例では蒸着ボート３０４に電源３０８を接続して気体ＥＬ材料３０９を負に帯電させる方式としたが、蒸着ボート３０４から飛び出した後、飛散中に電場を通過させることにより帯電させることも可能である。また、蒸着源として抵抗加熱を例にとったが、電子ビーム（ＥＢ）加熱であっても構わない。

【００３７】

また、本実施例では気体ＥＬ材料を負に帯電させる例を示しているが、正に帯電させることも可能である。その場合、隔壁３０２、蒸着ボート３０４および制御バンク３１０を正に帯電させ、陽極３１１を負に帯電させれば良い。

【００３８】

〔実施例３〕

本実施例では、インクジェット法によりＥＬ材料を塗布する際に本発明を実施する場合について図４に示す。なお、図４（Ａ）、（Ｂ）はいずれも不活性雰囲気中（窒素ガスもしくは希ガス中）で行われる。

【００３９】

SDC EX. 1016 - 749/959

図４（Ａ）において、４０１はガラス基板、４０２は陽極であり、陽極４０２には負電源４０３が接続されている。また、本実施例では制御バンク４０４に負電源４０５を接続する。この場合、図示されないが全ての制御バンクは同電位となるように電気的に接続されている。

【００４０】

また、基板４０１の上方にはインクジェット方式でＥＬ層を成膜するための薄膜形成装置のヘッド４０６～４０８が配置されている。ヘッド４０６の中には赤色発光のためのＥＬ材料を含む溶液４０９が備えられ、ヘッド４０７の中には緑色発光のためのＥＬ材料を含む溶液４１０が備えられ、ヘッド４０８の中には青色発光のためのＥＬ材料を含む溶液４１１が備えられている。これらのＥＬ材料を含む溶液はピエゾ素子を用いて吐出される。もちろん、バブルジェット方式を用いても良い。

【００４１】

本実施例では、ヘッド４０６～４０８の各々に負電源４１２～４１４を接続し、ＥＬ材料４０９～４１１を負に帯電させている。この状態で吐出されたＥＬ材料を含む溶液は点線で示される軌道に沿って落下し、バンクの間に露出した陽極４０２上に塗布される。即ち、負に帯電したＥＬ材料を含む溶液４０９～４１１は、やはり負に帯電した制御バンク４０４を避けて画素内に塗布される。

【００４２】

こうして画素内には赤色発光に対応するＥＬ層４１５、緑色発光に対応するＥＬ層４１６および青色発光に対応するＥＬ層４１７が形成される。なお、ここでは三つの画素しか図示されないが、一画素ずつ成膜しても良いし、三つ以上の複数の画素に同時に成膜することも可能である。

【００４３】

また、図４（Ｂ）に示したのは、ヘッド４０６～４０８の吐出口付近にＥＬ材料を含む溶液を帯電させるための電極を設けた例である。本実施例では、引出電極４２１、加速電極４２２および制御電極４２３を設けている。また、各々には電源４２４が接続されている。

【００４４】

引出電極４２１はヘッド４０６～４０８からＥＬ材料を含む溶液を引き出すための電界を形成する電極である。また、加速電極４２２は引き出されたＥＬ材料を加速させるための電界を形成する電極であり、制御電極４２３は最終的にＥＬ材料の落下する位置を制御するための電界を形成する電極である。もちろん、これら三つを常に用いる必要はなく、この組み合わせに限定する必要はない。

【００４５】

図４（Ｂ）に示す構成の場合、これら三つの電極のいずれかを用いてＥＬ材料を含む溶液を負に帯電させている。従って、ヘッド４０６～４０８に特に電源を設ける必要がなく、吐出されたＥＬ材料を含む溶液自体を直接帯電させることができる。この場合も、図４（Ａ）の場合と同様にＥＬ材料を含む溶液は点線で示される軌道に沿って落下し、バンクの間に露出した陽極４０２上に塗布される。即ち、負に帯電したＥＬ材料４０９～４１１は、やはり負に帯電した制御バンク４０４を避けて画素内に塗布される。

【００４６】

以上のような構成とすることで、インクジェット法によりＥＬ材料を塗布する際に軌道がずれてしまう可能性が大幅に減り、歩留まりを向上させることが可能となる。そのため製造コストを低減することができる。

【００４７】

なお、本実施例ではＥＬ材料を含む溶液を負に帯電させる例を示しているが、正に帯電させることも可能である。その場合、制御バンク４０４およびＥＬ材料を含む溶液４０９～４１１を正に帯電させ、陽極４０２を負に帯電させれば良い。

【００４８】

〔実施例４〕

SDC EX. 1016 - 750/959

本実施例では、イオンプレーティング法によりＥＬ層を成膜する際に本発明を実施する場合について図５に示す。

【００４９】

図５において、５０１は蒸着室であり、蒸着室の隔壁５０２は正の電圧が印加される正電源５０３に接続されている。また、蒸着室５０１の内部には蒸着ボート５０４が設置され、その中には固体ＥＬ材料５０５が備えられている。この蒸着ボート５０４は支持台５０６に接続された電源５０７a、５０７bを用いて加熱される。即ち、本実施例では抵抗加熱による蒸着源を用いている。

【００５０】

また、蒸着ボート５０４の上には導体をらせん状に巻いたアンテナ５０８が設けられている。アンテナ５０８には高周波電源５０８aが接続されており、高真空中にて高周波が印加され、電波（典型的にはマイクロ波）を発生させることができる。本実施例ではこの電波を気化した気体ＥＬ材料５０９に加えて正に帯電させる。このとき、アンテナ５０８の間にプラズマを発生させても良い。このプラズマはアルゴンガスもしくはネオンガスといった希ガスを用いて形成すれば良い。このとき、蒸着室の隔壁５０２は正に帯電しているため、隔壁５０２に付着するＥＬ材料を最小限に抑えることができる。

【００５１】

こうして飛散した気体ＥＬ材料５０９は、制御バンク５１０が形成する電界を避けるようにして陽極５１１に積層される。制御バンク５１０には正電源５１２が接続され、これにより電界が形成される。なお、図示されていないが全ての制御バンクは同電位となるように電気的に接続されている。また、このとき陽極５１１が形成された基板５１３を保持するサセプタ５１４には負電源５１５が接続され、サセプタ５１４を負に帯電させている。このサセプタ５１４は陽極５１１と電気的に接続されており、陽極３１１を負に帯電させる。

【００５２】

以上のような構成とすることで、蒸着する気体ＥＬ材料５０９の利用効率を高め、必要最小限の量で所望のＥＬ層を形成することが可能となる。従って、ＥＬ材料の消費量が大幅に削減されるため、製造コストを低減することができる。

【００５３】

なお、本実施例では電極５０８aと５０８bとの間に形成された電界を気体ＥＬ材料５０９に加えて正に帯電させる方式としたが、陽極５１１と蒸着ボート５０４との間にバイアス電圧をかけて正に帯電させることもできる。

【００５４】

また、本実施例では気体ＥＬ材料を正に帯電させる例を示しているが、負に帯電させることも可能である。その場合、隔壁５０２、蒸着ボート５０４および制御バンク５１０を負に帯電させ、陽極５１１を正に帯電させれば良い。

【００５５】

〔実施例５〕

本発明の発光装置の一実施例を図６に示す。発光素子を形成するための基板６０１上には画素部６０２が形成されている。画素部６０２は走査線（ここでは陽極および補助配線を含む積層配線）群６０３とデータ線（ここでは陰極）群６０４が互いに直交するように交差している。このとき交差した部分（以下、交差部という）は走査線とデータ線とにＥＬ材料が挟まれたＥＬ素子が形成される。このとき画素部６０２は図１に示した構造の画素部である。

【００５６】

また、画素部６０２の周辺（外側）の領域には、画素部６０２へ各信号を伝送する駆動回路が形成されたＩＣがＣＯＧ方式により実装されている。本実施例ではこのＩＣが、ガラス基板、石英基板もしくはプラスチック基板上にＴＦＴで駆動回路を形成したものである点に特徴がある。本明細書ではこのような特徴を有するＩＣをスティックドライバと呼ぶ。もちろん、シリコン基板上に公知のＩＣ技術により駆動回路を形成したＩＣチップを用

いることも可能である。

【００５７】

図６において、６０５はデータ線側のスティックドライバであり、６０６は走査線側のスティックドライバである。なお、ここでは複数個に分割して実装した例を示しているが、各１個づつとしても良い。また、カラー表示に対応した画素部を形成するためには、ＸＧＡクラスでデータ線の本数が３０７２本であり走査線側が７６８本必要となる。このような数で形成されたデータ線及び走査線は画素部６０２の端部で数ブロック毎に区分して引出線６０７を形成し、スティックドライバ６０５，６０６の出力端子のピッチに合わせて集められている。

【００５８】

一方、基板６０１の端部には入力端子６０８が形成され、この部分で外部回路と接続するＦＰＣ（フレキシブルプリント配線板：Flexible Printed Circuit）を貼り合わせる。そして、外部入力端子６０８とスティックドライバとの間は基板６０１上に形成した接続配線６０９によって結ばれ、最終的にはスティックドライバの入力端子のピッチに合わせて集められる。

【００５９】

駆動回路が形成されたスティックドライバは図７に示すように、駆動回路を形成するための基板（ここではガラス基板）７０１上に形成され、ＴＦＴで形成された駆動回路７０２と、入力端子７０３および出力端子７０４が設けられている。基板７０１の材料としては、図６の基板６０１と熱膨張係数の近い材料を用いることが望ましく、ガラス、石英ガラスもしくはプラスチックを用いることが望ましい。熱膨張係数の近い材料を用いると、熱を加えた際に応力の発生を最小限に抑制することができ、応力に起因する接続不良や動作不良を回避できる。

【００６０】

また、駆動回路７０２のＴＦＴは、活性層（能動層）、特にチャネル形成領域が多結晶半導体膜もしくは単結晶半導体膜で形成されている。多結晶半導体膜および単結晶半導体膜はいずれも公知の技術で形成されたもので良い。また、ＴＦＴ構造にも特に限定はない。

【００６１】

図７に示すようなスティックドライバを基板６０１上に実装する方法は異方導電性材料もしくはメタルバンプを用いた接続方法またはワイヤボンディング方式を採用することができる。特に、ＩＴＯ（酸化インジウムと酸化スズとの化合物からなる酸化物）からなる配線上にスティックドライバを形成する場合は異方導電性材料を用いた接続方法が好ましい。

【００６２】

図８にその一例を示す。図８（Ａ）は基板８０１にスティックドライバ８０２が異方導電性材料を用いて実装された例を示している。基板８０１上には画素部８０３、引出線８０４、入力端子８０５、接続配線（図示せず）が設けられている。なお、画素部８０３はカバー材８０６およびシール材８０７により密閉空間８０８に封入され外気から保護されている。

【００６３】

また、入力端子８０５の一方の端にはＴＣＰ８０９が異方導電性材料で接着されている。異方導電性材料は樹脂８１０と表面が金属メッキされた直径数十～数百μmの導電性粒子８１１からなり、導電性粒子８１１によりスティックドライバ側の入力端子８１２もしくはＴＣＰ８０９と引出線８０４もしくは入力端子８０５とが電気的に接続されている。

【００６４】

また、図８（Ｂ）で示すように基板８０１にスティックドライバを接着材８１５で固定して、金属ワイヤ８１６によりスティックドライバ８０２の入力端子８１２と引出線８０４もしくは入力端子８０５とを電気的に接続しても良い。この場合、接続したスティックドライバ８０２は樹脂膜８１７で封入する。

【００６５】

SDC EX. 1016 - 752/959

なお、スティックドライバの実装方法は図８に示した方法に限定されるものではなく、公知の実装方法を用いることが可能である。

【００６６】

〔実施例６〕

本発明の発光装置の一実施例を図９に示す。図９（Ａ）は本発明の発光装置の上面図であり、図９（Ｂ）は図８（Ａ）をＡ－Ａ’で切断した断面図に相当する。まず、図９（Ａ）の上面図について説明する。

【００６７】

図９（Ａ）において、９０１は基板であり、ここではプラスチック材を用いる。プラスチック材としては、ポリイミド、ポリアミド、アクリル樹脂、エポキシ樹脂、ＰＥＳ（ポリエチレンサルファイル）、ＰＣ（ポリカーボネート）、ＰＥＴ（ポリエチレンテレフタレート）もしくはＰＥＮ（ポリエチレンナフタレート）を板状もしくはフィルム状にして用いることができる。

【００６８】

９０２は酸化物導電膜からなる走査線（陽極）であり、本実施例では酸化亜鉛に酸化ガリウムを添加した酸化物導電膜を用いる。このとき走査線９０２の上にニッケル配線９０３が設けられている（図９（Ａ）参照）。

【００６９】

また、９０４は金属膜からなるデータ線（陰極）であり、本実施例ではビスマス膜を用いる。また、９０５はアクリル樹脂からなるバンクであり、データ線９０４を分断するための隔壁として機能する。走査線９０２とデータ線９０４は両方ともストライプ状に複数本形成されており、互いに直交するように設けられる。なお、図９（Ａ）では図示されないが、走査線９０２とデータ線９０４の間にはＥＬ層が挟まれており、９０６で示される交差部が画素となる。

【００７０】

９０７は走査線側スティックドライバであり、ＴＦＴで形成された駆動回路を含んでいる。ここでは駆動回路をプラスチック基板上に形成しているが、ガラス基板上に形成しても構わない。なお、スティックドライバ９０７の構造は図７で説明した通りである。また、一つのスティックドライバを設けた例を示しているが、複数個に分割して設けても構わない。

【００７１】

９０８はデータ線側スティックドライバであり、ＴＦＴで形成された駆動回路を含んでいる。ここでも駆動回路をプラスチック基板上に形成している。また、スティックドライバ９０８も図７で説明した構造である。また、一つのスティックドライバを設けた例を示しているが、複数個に分割して設けても構わない。

【００７２】

なお、データ線９０４は配線端で接続配線９０９と電気的に接続され、接続配線９０９がスティックドライバ９０８と接続される。これはスティックドライバ９０８をバンク９０５上に設けることが困難だからである。

【００７３】

以上のような構成で設けられた走査線側スティックドライバ９０７は接続配線９１０aおよび入力端子９１１を介してＦＰＣ９１２に接続される。また、データ線側スティックドライバ９０８は接続配線９１０bおよび入力端子９１１を介してＦＰＣ９１２に接続される。

【００７４】

また、９１３はシール材、９１４はシール材９１３によりプラスチック材９０１に貼り合わせたカバー材である。シール材９１３としては光硬化樹脂を用いれば良く、脱ガスが少なく、吸湿性の低い材料が好ましい。また、カバー材としては基板９０１と同一の材料が好ましく、ガラス（石英ガラスを含む）もしくはプラスチックを用いることができる。ここではプラスチック材を用いる。

SDC EX. 1016 - 753/959

【００７５】
次に、図９（Ｂ）の断面図について説明する。なお、図９（Ａ）と同一の部分は同一の符号を用いて説明する。
【００７６】
図９（Ｂ）において、９１５で示された領域は画素の構造を示しており、この拡大図を図９（Ｃ）に示す。９１６はＥＬ層であり、正孔注入層、正孔輸送層、発光層、電子輸送層もしくは電子注入層を適宜組み合わせて形成する。勿論、発光層を単層で用いても良い。ＥＬ層９１６を形成する構造および材料は公知のものを用いれば良い。
【００７７】
なお、図９（Ｃ）に示すようにバンク９０５は下層の幅が上層の幅よりも狭い形状となっており、データ線９０４を物理的に分断する。
【００７８】
また、図９（Ｂ）に示すように、走査線側スティックドライバ９０７は異方導電性材料９１７を用いて走査線９０２および接続配線９１０aに電気的に接続されている。また同様にＦＰＣ９１２も異方導電性材料９１８を用いて接続配線９１０aに電気的に接続されている。
【００７９】
また、シール材９１３で囲まれた画素部９１９は、樹脂からなる封止材９２０により外気から遮断され、ＥＬ層の劣化を防ぐ構造となっている。
【００８０】
以上のような構成を含む本発明の発光装置は、画素部９１９が走査線９０２、補助配線９０３、データ線９０４、バンク９０５およびＥＬ層９１６で形成されるため、非常に簡単なプロセスで作製することができる。さらに、補助配線９０３を設けたことで走査線９０２の配線抵抗を低減することができ、表示品質の高い発光装置とすることができる。
【００８１】
また、本実施例に示した発光装置の表示面（画像を観測する面）に偏光板を設けても良い。この偏光板は、外部から入射した光の反射を抑え、観測者が表示面に映り込むことを防ぐ効果を有する。一般的には円偏光板が用いられている。但し、ＥＬ層から発した光が偏光板により反射されて内部に戻されることを防ぐため、屈折率を調節して内部反射の少ない構造とすることが望ましい。
【００８２】
また、駆動回路となるスティックドライバ９０７、９０８を別工程で作製して実装する。その結果、特に煩雑なプロセスを必要とせずに発光装置を作製することができるため歩留まりが高く、製造コストを下げることができる。
【００８３】
〔実施例７〕
本実施例では、本発明の発光装置における回路構成の一実施例を図１０に示す。画素部１１は複数の走査線とデータ線で形成され、複数のＥＬ素子が形成される。その周辺の領域には走査線側ドライバ１２及びデータ線側ドライバ１３が設けられ、これらのドライバ（駆動回路）にスティックドライバが用いられる。このスティックドライバの構造は図７、図８を用いて説明した通りである。
【００８４】
これらのスティックドライバは入力端子１４と接続されている。このように、画素部１１が形成された基板上には、走査線側ドライバ１２、データ線側ドライバ１３および入力端子１４が形成されている。
【００８５】
また、コントロール回路１６、安定化電源１７、オペアンプを含む電源回路１８のうちコントロール回路１６と電源回路１８はプリント配線板に実装し、ＦＰＣを用いて入力端子１４に接続される。また、ＦＰＣの一方の端にはインターフェースコネクタ１９が設けられ、これを介してクロック信号及びデータ信号１５、画質信号２０が上記プリント配線板

SDC EX. 1016 - 754/959

に入力される。また、安定化電源１７からの電源信号もインターフェースコネクタ１９を介して上記プリント配線板に入力される。

【００８６】

なお、外部から入力されるクロック信号及びデータ信号１５は、スティックドライバの入力仕様に変換するためのコントロール回路１６に入力され、それぞれのタイミング仕様に変換される。

【００８７】

〔実施例８〕

実施例１～７では、絶縁体の上に陽極、ＥＬ層、陰極の順に積層していく場合について説明したが、陰極、ＥＬ層、陽極および補助配線の順に積層していくことも可能である。

【００８８】

前者は絶縁体を通過した光を観測することになるのに対して、後者は絶縁体から離れる方向に光が放射される。

【００８９】

なお、本実施例の構成は実施例１～７のいずれの構成とも自由に組み合わせて実施することが可能である。

【００９０】

〔実施例９〕

実施例５～７で用いるスティックドライバの作製方法について図１１を用いて説明する。ここでは駆動回路を形成する基本単位としてＣＭＯＳ回路を作製する場合の例について説明する。

【００９１】

まず、図１１（Ａ）に示すように、ガラス基板１１００上に下地膜１１０１を３００ｎｍの厚さに形成する。本実施例では下地膜１１０２として窒化酸化珪素膜を積層して用いる。この時、ガラス基板１１００に接する方の窒素濃度を１０～２５ｗｔ％としておくと良い。

【００９２】

次に下地膜１１０１の上に５０ｎｍの厚さの非晶質珪素膜（図示せず））を公知の成膜法で形成する。なお、非晶質珪素膜に限定する必要はなく、非晶質構造を含む半導体膜（微結晶半導体膜を含む）であれば良い。さらに非晶質シリコンゲルマニウム膜などの非晶質構造を含む化合物半導体膜でも良い。また、膜厚は２０～１００ｎｍの厚さであれば良い。

【００９３】

そして、公知の技術により非晶質珪素膜を結晶化し、結晶質珪素膜（多結晶シリコン膜若しくはポリシリコン膜ともいう）１１０２を形成する。公知の結晶化方法としては、電熱炉を使用した熱結晶化方法、レーザー光を用いたレーザーアニール結晶化法、赤外光を用いたランプアニール結晶化法がある。

【００９４】

本実施例では特開平７－１３０６５２号公報に記載された技術を用い、非晶質珪素膜にニッケルを添加し、ファーネスアニールを行って結晶化させる。ニッケルは結晶化を促進させる触媒として用いられる。

【００９５】

なお、本実施例では結晶質珪素膜をＴＦＴの活性層として用いるが、非晶質珪素膜を用いることも可能である。また、オフ電流を低減する必要のあるスイッチング用ＴＦＴの活性層を非晶質珪素膜で形成し、電流制御用ＴＦＴの活性層を結晶質珪素膜で形成することも可能である。非晶質珪素膜はキャリア移動度が低いため電流を流しにくくオフ電流が流れにくい。即ち、電流を流しにくい非晶質珪素膜と電流を流しやすい結晶質珪素膜の両者の利点を生かすことができる。

【００９６】

次に、図１１（Ｂ）に示すように、結晶質珪素膜１１０２上に酸化珪素膜でなる保護膜１

SDC EX. 1016 - 755/959

１０３を１３０ｎｍの厚さに形成する。この厚さは１００～２００ｎｍ（好ましくは１３０～１７０ｎｍ）の範囲で選べば良い。また、珪素を含む絶縁膜であれば他の膜でも良い。この保護膜１１０３は不純物を添加する際に結晶質珪素膜が直接プラズマに曝されないようにするためと、微妙な濃度制御を可能にするために設ける。

【００９７】

そして、その上にレジストマスク１１０４を形成し、保護膜１１０３を介してｎ型を付与する不純物元素（以下、ｎ型不純物元素という）を添加する。なお、ｎ型不純物元素としては、代表的には周期表の１５族に属する元素、典型的にはリン又は砒素を用いることができる。なお、本実施例ではフォスフィン（PH_3）を質量分離しないでプラズマ励起したプラズマドーピング法を用い、リンを1×10^{18}atoms/cm^{3}の濃度で添加する。勿論、質量分離を行うイオンインプランテーション法を用いても良い。

【００９８】

この工程により形成されるｎ型不純物領域１１０５には、ｎ型不純物元素が2×10^{16}～5×10^{18}atoms/cm^3（代表的には5×10^{17}～5×10^{18}atoms/cm^3）の濃度で含まれるようにドーズ量を調節する。

【００９９】

次に、図１１（Ｃ）に示すように、結晶質珪素膜の不要な部分を除去して、後にｐチャネル型ＴＦＴの活性層となる半導体膜１１０６および後にｎチャネル型ＴＦＴの活性層となる半導体膜１１０７を形成する。

【０１００】

次に、図１１（Ｄ）に示すように、半導体膜１１０６、１１０７を覆ってゲート絶縁膜１１０８を形成する。ゲート絶縁膜１１０８としては、１０～２００ｎｍ、好ましくは５０～１５０ｎｍの厚さの珪素を含む絶縁膜を用いれば良い。これは単層構造でも積層構造でも良い。

【０１０１】

次に、２００～４００ｎｍ厚の導電膜を形成し、パターニングしてゲート電極１１０９、１１１０を形成する。このゲート電極１１０９、１１１０の端部をテーパー状にすることもできる。また、ゲート電極は単層の導電膜で形成しても良いが、必要に応じて二層、三層といった積層膜とすることが好ましい。ゲート電極の材料としては公知のあらゆる導電膜を用いることができる。

【０１０２】

代表的には、タンタル（Ｔａ）、チタン（Ｔｉ）、モリブデン（Ｍｏ）、タングステン（Ｗ）、クロム（Ｃｒ）、シリコン（Ｓｉ）から選ばれた元素でなる膜、または前記元素の窒化物膜（代表的には窒化タンタル膜、窒化タングステン膜、窒化チタン膜）、または前記元素を組み合わせた合金膜（代表的にはＭｏ－Ｗ合金、Ｍｏ－Ｔａ合金）、または前記元素のシリサイド膜（代表的にはタングステンシリサイド膜、チタンシリサイド膜）を用いることができる。勿論、単層で用いても積層して用いても良い。

【０１０３】

本実施例では、５０ｎｍ厚の窒化タングステン（ＷＮ）膜と、３５０ｎｍ厚のタングステン（Ｗ）膜とでなる積層膜を用いる。これはスパッタ法で形成すれば良い。また、スパッタガスとしてＸｅ、Ｎｅ等の不活性ガスを添加すると応力による膜はがれを防止することができる。

【０１０４】

またこの時、ゲート電極１１１０はｎ型不純物領域１１０５の一部とゲート絶縁膜１１０８を挟んで重なるように形成する。この重なった部分が後にゲート電極と重なったＬＤＤ領域となる。

【０１０５】

次に、図１１（Ｅ）に示すように、レジスト１１１１を形成し、ｎ型不純物元素（本実施例ではリン）を添加して高濃度にリンを含む不純物領域１１１２～１１１５を形成する。ここでもフォスフィン（PH_3）を用いたイオンドープ法で行い、この領域のリンの濃度

は1×10^{20}～1×10^{21}atoms/cm^3（代表的には2×10^{20}～5×10^{21}atoms/cm^3）となるように調節する。この工程によってｎチャネル型ＴＦＴのソース領域若しくはドレイン領域が形成される。

【０１０６】

この工程では、ｐチャネル型ＴＦＴの活性層となる半導体膜１１０６にもｎ型不純物領域１１１２、１１１３を形成する点に特徴がある。この領域は非晶質珪素膜の結晶化に用いたニッケルをゲッタリングするために後工程で必要となる。

【０１０７】

次に、図１１（Ｆ）に示すように、レジストマスク９１１を除去し、新たにレジスト１１１６を形成する。そして、ｐ型不純物元素（本実施例ではボロン）を添加し、高濃度にボロンを含む不純物領域１１１７、１１１８を形成する。ここではジボラン（B_2H_6）を用いたイオンドープ法により3×10^{20}～3×10^{21}atoms/cm^3（代表的には5×10^{20}～1×10^{21}atoms/cm^3）の濃度となるようにボロンを添加する。

【０１０８】

なお、１１１９、１１２０で示される領域には既に1×10^{20}～1×10^{21}atoms/cm^{3}の濃度でリンが添加されているが、ここで添加されるボロンはその少なくとも３倍以上の濃度で添加される。そのため、予め形成されていたｎ型の不純物領域は完全にＰ型に反転し、Ｐ型の不純物領域として機能する。

【０１０９】

次に、レジストマスク１１１６を除去した後、図１１（Ｇ）に示すように、それぞれの濃度で添加されたｎ型またはｐ型不純物元素を活性化する。活性化手段としては、ファーネスアニール法、レーザーアニール法、またはランプアニール法で行うことができる。本実施例では電熱炉において窒素雰囲気中、５５０℃、４時間の熱処理を行う。

【０１１０】

このとき、結晶化の際に用いたニッケルがチャネル形成領域１１２１、１１２２からｎ型不純物領域１１１４、１１１５およびｐ型不純物領域１１１９、１１２０の方へ移動してゲッタリング（捕獲）される。即ち、ｎ型不純物領域１１１４、１１１５およびｐ型不純物領域１１１９、１１２０に含まれたリンによりニッケルがゲッタリングされる。この工程によりチャネル形成領域１１２１、１１２２のニッケル濃度を1×10^{17}atoms/cm^{3}以下（好ましくは1×10^{16}atoms/cm^{3}以下）とすることができる。また逆に、ｎ型不純物領域１１１４、１１１５およびｐ型不純物領域１１１９、１１２０にはニッケルが偏析して5×10^{18}atoms/cm^{3}以上（代表的には1×10^{19}～5×10^{20}atoms/cm^3）濃度で存在するようになる。

【０１１１】

次に、図１１（Ａ）に示すように、層間絶縁膜１１２３を形成する。層間絶縁膜１１２３としては、珪素を含む絶縁膜を単層で用いるか、その中で組み合わせた積層膜を用いれば良い。また、膜厚は４００ｎｍ～１．５μｍとすれば良い。本実施例では、２００ｎｍ厚の窒化酸化珪素膜の上に８００ｎｍ厚の酸化珪素膜を積層した構造とする。

【０１１２】

さらに、３～１００％の水素を含む雰囲気中で、３００～４５０℃で１～１２時間の熱処理を行い水素化処理を行う。この工程は熱的に励起された水素により半導体膜の不対結合手を水素終端する工程である。水素化の他の手段として、プラズマ水素化（プラズマにより励起された水素を用いる）を行っても良い。

【０１１３】

なお、水素化処理は層間絶縁膜６２３を形成する間に入れても良い。即ち、２００ｎｍ厚の窒化酸化珪素膜を形成した後で上記のように水素化処理を行い、その後で残り８００ｎｍ厚の酸化珪素膜を形成しても構わない。

【０１１４】

次に、第１層間絶縁膜１１２３に対してコンタクトホールを形成し、ソース配線１１２４、１１２５と、ドレイン配線１１２６を形成する。このとき同時に図７に示す入力端子７

０３および出力端子７０４を形成すれば良い。なお、本実施例ではこの電極を、Ｔｉ（チタン）膜を１００ｎｍ、Ｔｉを含むアルミニウム膜を３００ｎｍおよびＴｉ膜１５０ｎｍをスパッタ法で連続形成した３層構造の積層膜とする。勿論、他の導電膜でも良い。

【０１１５】

次に、５０～５００ｎｍ（代表的には２００～３００ｎｍ）の厚さでパッシベーション膜１１２７を形成する。本実施例ではパッシベーション膜１１２７として３００ｎｍ厚の窒化酸化珪素膜を用いる。これは窒化珪素膜で代用しても良い。

【０１１６】

なお、窒化酸化珪素膜の形成に先立ってH_2、NH_3等水素を含むガスを用いてプラズマ処理を行うことは有効である。この前処理により励起された水素が層間絶縁膜１１２３に供給され、熱処理を行うことで、パッシベーション膜１１２７の膜質が改善される。それと同時に、層間絶縁膜１１２３に添加された水素が下層側に拡散するため、効果的に活性層を水素化することができる。

【０１１７】

こうして図１１（Ｈ）に示す構造のｐチャネル型ＴＦＴ１１３１およびｎチャネル型ＴＦＴ１１３２を相補的に組み合わせたＣＭＯＳ回路が完成する。本実施例の場合、ｐチャネル型ＴＦＴ１１３１の活性層はソース領域１１１７、ドレイン領域１１１８およびチャネル形成領域１１２１で形成される。

【０１１８】

また、ｎチャネル型１１３２の活性層は、ソース領域１１１５、ドレイン領域１１１４、ＬＤＤ領域１１３３およびチャネル形成領域１１２２を含み、ＬＤＤ領域１１３３はゲート絶縁膜１１０８を挟んでゲート電極１１１０と重なっている。このＬＤＤ領域１１３３のうち、ゲート電極１１１０と重なっている領域のチャネル長方向の長さは０．５～３．０μｍ、好ましくは１．０～２．０μｍとする。

【０１１９】

このような構造はホットキャリア効果による劣化を抑制する上で非常に有効である。但し、ドレイン領域１１１４側のみにＬＤＤ領域１１３３を形成しているのは、動作速度を落とさないための配慮である。ホットキャリア効果はドレイン領域とチャネル形成領域の接合部付近で問題となるため、ドレイン領域側に設けられていれば十分に効果が得られる。勿論、ソース領域側に同様に設けても良い。

【０１２０】

本実施例はＣＭＯＳ回路の作製方法を説明しているが、実際にはＣＭＯＳ回路、ＮＭＯＳ回路もしくはＰＭＯＳ回路を組み合わせて駆動回路を形成する。その際、ＰＭＯＳ回路の作製にはｐチャネル型ＴＦＴ１１３１の作製方法を、ＮＭＯＳ回路の作製にはｎチャネル型ＴＦＴ１１３２の作製方法を参照すれば良い。

【０１２１】

なお、本実施例の構成は実施例５～８のいずれの構成とも自由に組み合わせて実施することが可能である。

【０１２２】

〔実施例１０〕

本実施例では、図１（Ｂ）、（Ｃ）とは異なる形状のバンクを用いた場合について図１２を用いて説明する。図１２（Ａ）において、絶縁体１２０１上には陽極１２０２が設けられ、その上に分離絶縁膜１２０３が設けられる。さらに、支持バンク１２０４aおよび制御バンク１２０４bからなるバンク１２０４が設けられる。

【０１２３】

本実施例では、支持バンク１２０４aを形成した後、その上に改めて制御バンク１２０４bを設けている。従って、制御バンク１２０４bの線幅は支持バンク１２０４aの線幅よりも狭くなっている。

【０１２４】

また、陽極１２０２上において、バンク１２０４の間（画素に相当する部分）にはＥＬ層

１２０５および陰極１２０６が設けられる。こうして、陽極１２０２、ＥＬ層１２０５および陰極１２０６からなるＥＬ素子１２００が形成されている。

【０１２５】

なお、本実施例の構造を含むバンクは、実施例１～４のいずれの構成においてもバンクとして用いることが可能であり、実施例５～９のいずれの構成とも自由に組み合わせて実施することが可能である。

【０１２６】

〔実施例１１〕

本実施例では、多面取りにより１枚の基板から複数の発光装置を作製する場合に本発明を実施する例について説明する。説明には図１３を用いる。

【０１２７】

ガラス基板１３０１上には複数の画素部１３０２が形成されている。本実施例では１枚のガラス基板上に九つの画素部、即ち、九つの発光装置が形成されることになる。また、各画素は図１に示すような構造からなり、図中のＸ方向に陽極１３０３が形成され、Ｙ方向に制御バンク１３０４が形成されている。

【０１２８】

本実施例では、陽極１３０３が全て同電位となるように個々の陽極を接続するための配線（以下、陽極接続配線という）１３０５が形成され、陽極パッド１３０６に電圧を加えればその電圧が全て陽極に伝わるようになっている。また、制御バンク１３０４が全て同電位となるように個々の制御バンクを接続するための配線（以下、バンク接続配線という）１３０７が形成され、バンクパッド１３０８に電圧を加えればその電圧が全て制御バンクに伝わるようになっている。

【０１２９】

本実施例では、これらの陽極接続配線１３０５およびバンク接続配線１３０７を静電対策に活用する点に特徴がある。即ち、全てが同電位になっていれば突発的に大きな電圧が配線間に加わることもないため、絶縁破壊等を効果的に抑制することができる。

【０１３０】

ここで、点線で囲まれた領域１３００の拡大図を図１４（Ａ）に示す。なお、本実施例では実施例１０に示したバンク構造を用いている。

【０１３１】

図１４（Ａ）に示すように、陽極接続配線１３０５とバンク接続配線１３０７とは同時に形成されている。即ち、両者は同一の金属膜で同一の層に形成されている。このとき、陽極接続配線１３０５は陽極１３０３と同時に形成されたバッファ配線１４０１で連結された部分を有する。また、バンク接続配線１３０７は陽極１３０３と同時に形成されたバッファ配線１４０２、１４０３および制御バンク１３０７と同時に形成されたバッファ配線１４０４で連結された部分を有する。

【０１３２】

ここで図１４（Ａ）をＡ－Ａ’で切断した断面図を図１４（Ｂ）に、Ｂ－Ｂ’で切断した断面図を図１４（Ｃ）に、Ｃ－Ｃ’で切断した断面図を図１４（Ｄ）に示す。なお、１４０５は支持バンク、１４０６は分離絶縁膜である。

【０１３３】

バッファ配線１４０１～１４０３は、陽極と同一材料からなる配線であり、典型的には酸化物導電膜からなる配線である。酸化物導電膜は金属膜に比べて抵抗値が高いため、バッファ配線は一種の抵抗体として機能することになる。そのため、陽極接続配線１３０５もしくは陰極接続配線１３０７に大電流が流れたとしても、バッファ配線で緩衝され、複数の発光装置に被害が及ぶのを防ぐことが可能となる。

【０１３４】

本実施例の構成とすることで、多面取りプロセスにより一度に複数の発光装置を作製する場合にも、複雑な配線を施すことなく、本発明を実施することが可能となる。

【０１３５】

SDC EX. 1016 - 759/959

また、発光装置が完成したら、ダイサーもしくはスクライバーを用いて基板１３０１を分断し、発光装置を個々に分離すれば良い。このとき、陽極接続配線１３０５やバンク接続配線１３０７も分断してしまえば、各発光装置は電気的に孤立した状態となる。

【０１３６】

なお、基板１３０１を分断する前もしくは分断した後に、必要に応じて実施例５～９に示したスティックドライバを設けることも可能である。また、本実施例の構成は実施例１～４もしくは１０のいずれの構成とも自由に組み合わせて実施することが可能である。

【０１３７】

〔実施例１２〕

本実施例では、本発明とシャドーマスクとを組み合わせて用いる場合について説明する。説明には図１５を用いる。なお、図２（Ａ）に示した構造と同一の部分は同一の符号を用いて説明する。

【０１３８】

図１５では、バンク１０４の上方に、さらにシャドーマスク１５０１を設け、シャドーマスク１５０１を負に帯電させておく。即ち、シャドーマスク１５０１と制御バンク１０４ｂを同じ極性に帯電させておく。

【０１３９】

このとき、制御バンク１０４ｂ間の距離をX_1とし、シャドーマスク１５０１に設けられた開口部の距離をX_2とすると、$X_1 < X_2$の関係とすることが好ましい。このようにすると、シャドーマスク１５０１の上方から飛んできたＥＬ材料（もしくはＥＬ材料を含む溶液）２０１は、まずシャドーマスク１５０１が形成する電界によりシャドーマスク１５０１の開口部付近に導かれる。さらに、制御バンク１０４ｂが形成する電界により画素内へと導かれる。こうしてＥＬ層２０２が成膜される。

【０１４０】

本実施例の構成は、特に赤色発光用のＥＬ材料、緑色発光用のＥＬ材料および青色発光用のＥＬ材料を分けて成膜する場合のように、異なる種類のＥＬ材料を複数回に分けて成膜する場合に有効である。

【０１４１】

なお、本実施例の構成は実施例１～１１のいずれの構成とも自由に組み合わせて実施することが可能である。

【０１４２】

〔実施例１３〕

本実施例では、シャドーマスクを用いることなく、本発明の電界制御により赤色発光用のＥＬ材料、緑色発光用のＥＬ材料および青色発光用のＥＬ材料を分けて成膜する場合について説明する。

【０１４３】

本実施例の概念を図１６（Ａ）、（Ｂ）に示す。図１６（Ａ）、（Ｂ）では、図示しない絶縁体上に陽極１６０１～１６０４が形成され、それらと直交するように制御バンク１６０５が形成されている。

【０１４４】

本実施例では、まず図１６（Ａ）に示すように、陽極１６０３のみ正に帯電させ、他の陽極１６０１、１６０２、１６０４を負に帯電させる。さらに制御バンク１６０５を負に帯電させ、この状態で負に帯電させた赤色発光用のＥＬ材料を蒸着法により成膜する。このとき、負に帯電した陽極上ではＥＬ材料が反発され、殆どが正に帯電した陽極１６０３上に成膜される。こうして赤色発光用のＥＬ層１６０６が成膜される。

【０１４５】

次に、図１６（Ｂ）に示すように、陽極１６０２のみ正に帯電させ、他の陽極１６０１、１６０３、１６０４を負に帯電させる。さらに制御バンク１６０５を負に帯電させ、この状態で負に帯電させた緑色発光用のＥＬ材料を蒸着法により成膜する。このとき、負に帯電した陽極上ではＥＬ材料が反発され、殆どが正に帯電した陽極１６０２上に成膜される

SDC EX. 1016 - 760/959

。こうして緑色発光用のＥＬ層１６０７が成膜される。

【０１４６】

さらに、図示しないが、青色発光用のＥＬ層も同様に陽極１６０１、１６０４のみを正に帯電させ、他の陽極１６０２、１６０３を負に帯電させて青色発光用のＥＬ材料を成膜すれば良い。

【０１４７】

本実施例の構成では、制御バンク１６０５が形成する電界および陽極１６０１～１６０４が形成する電界により、ＥＬ材料の軌道を決定し、シャドーマスクを用いずに選択的な成膜を可能とするものである。

【０１４８】

なお、本実施例の構成は実施例１～１１のいずれの構成とも自由に組み合わせて実施することが可能である。

【０１４９】

〔実施例１４〕

本発明において、三重項励起子からの燐光を発光に利用できるＥＬ材料を用いることで、外部発光量子効率を飛躍的に向上させることができる。これにより、ＥＬ素子の低消費電力化、長寿命化、および軽量化が可能になる。

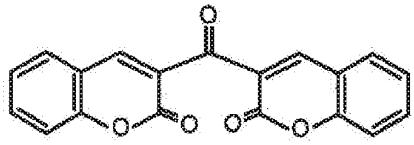
ここで、三重項励起子を利用し、外部発光量子効率を向上させた報告を示す。

(T.Tsutsui, C.Adachi, S.Saito, Photochemical Processes in Organized Molecular Systems, ed.K.Honda, (Elsevier Sci.Pub., Tokyo,1991) p.437.)

上記論文に報告されたＥＬ材料（クマリン色素）の分子式を以下に示す。

【０１５０】

【化１】



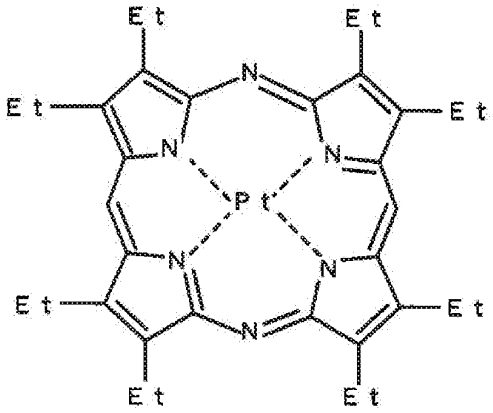
【０１５１】

(M.A.Baldo, D.F.O'Brien, Y.You, A.Shoustikov, S.Sibley, M.E.Thompson, S.R.Forrest, Nature 395 (1998) p.151.)

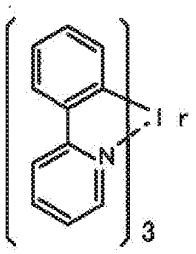
上記論文に報告されたＥＬ材料（Ｐｔ錯体）の分子式を以下に示す。

【０１５２】

【化２】



【０１５３】
(M.A.Baldo, S.Lamansky, P.E.Burrrows, M.E.Thompson, S.R.Forrest, Appl.Phys.Lett.,75 (1999) p.4.)
(T.Tsutsui, M.-J.Yang, M.Yahiro, K.Nakamura, T.Watanabe, T.tsuji, Y.Fukuda, T.Wakimoto, S.Mayaguchi, Jpn.Appl.Phys., 38 (12B) (1999) L1502.)
上記論文に報告されたＥＬ材料（Ｉｒ錯体）の分子式を以下に示す。
【０１５４】
【化３】



【０１５５】
以上のように三重項励起子からの燐光発光を利用できれば原理的には一重項励起子からの蛍光発光を用いる場合より３～４倍の高い外部発光量子効率の実現が可能となる。なお、本実施例の構成は、実施例１～実施例１３のいずれの構成とも自由に組み合わせて実施することが可能である。
【０１５６】
〔実施例１５〕
本発明を実施して形成された発光装置は、自発光型であるため液晶表示装置に比べて明るい場所での視認性に優れ、しかも視野角が広い。従って、様々な電気器具の表示部として用いることができる。その際、本発明の発光装置はパッシブ型の発光装置でありながらも配線抵抗を減らすことで大画面化を可能としているため、用途も幅広いものとすることができる。
【０１５７】
本発明の電気器具としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、カーナビゲーションシステム、カーオーディオ、ノート

型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍）、記録媒体を備えた画像再生装置（具体的にはコンパクトディスク（ＣＤ）、レーザーディスク（ＬＤ）又はデジタルバーサタイルディスク（ＤＶＤ）等の記録媒体を再生し、その画像を表示しうるディスプレイを備えた装置）などが挙げられる。それら電気器具の具体例を図１７に示す。

【０１５８】

図１７（Ａ）はＥＬディスプレイであり、筐体２００１、支持台２００２、表示部２００３を含む。本発明の発光装置は表示部２００３に用いることができる。ＥＬディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。なお、表示部２００３に用いる発光装置にスティックドライバを設ける場合は、数十個に分割して設けることが好ましい。

【０１５９】

図１７（Ｂ）はビデオカメラであり、本体２１０１、表示部２１０２、音声入力部２１０３、操作スイッチ２１０４、バッテリー２１０５、受像部２１０６を含む。本発明の発光装置は表示部２１０２に用いることができる。なお、表示部２１０２に用いる発光装置にスティックドライバを設ける場合は、数個に分割して設けることが好ましい。

【０１６０】

図１７（Ｃ）はデジタルカメラであり、本体２２０１、表示部２２０２、接眼部部２２０３、操作スイッチ２２０４を含む。本発明の発光装置は表示部２２０２に用いることができる。なお、表示部２２０２に用いる発光装置にスティックドライバを設ける場合は、数個に分割して設けることが好ましい。

【０１６１】

図１７（Ｄ）は記録媒体を備えた画像再生装置（具体的にはＤＶＤ再生装置）であり、本体２３０１、記録媒体（ＣＤ、ＬＤまたはＤＶＤ等）２３０２、操作スイッチ２３０３、表示部（ａ）２３０４、表示部（ｂ）２３０５を含む。表示部（ａ）は主として画像情報を表示し、表示部（ｂ）は主として文字情報を表示するが、本発明の発光装置はこれら表示部（ａ）、（ｂ）に用いることができる。なお、記録媒体を備えた画像再生装置には、ＣＤ再生装置、ゲーム機器なども含まれうる。なお、表示部（ａ）２３０４、表示部（ｂ）２３０５に用いる発光装置にスティックドライバを設ける場合は、数十個に分割して設けることが好ましい。

【０１６２】

図１７（Ｅ）は携帯型（モバイル）コンピュータであり、本体２４０１、表示部２４０２、受像部２４０３、操作スイッチ２４０４、メモリスロット２４０５を含む。本発明の電気光学装置は表示部２４０２に用いることができる。この携帯型コンピュータはフラッシュメモリや不揮発性メモリを集積化した記録媒体に情報を記録したり、それを再生したりすることができる。なお、表示部２４０２に用いる発光装置にスティックドライバを設ける場合は、数個に分割して設けることが好ましい。

【０１６３】

図１７（Ｆ）はパーソナルコンピュータであり、本体２５０１、筐体２５０２、表示部２５０３、キーボード２５０４を含む。本発明の発光装置は表示部２５０３に用いることができる。なお、表示部２５０３に用いる発光装置にスティックドライバを設ける場合は、数十個に分割して設けることが好ましい。

【０１６４】

なお、将来的にＥＬ材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【０１６５】

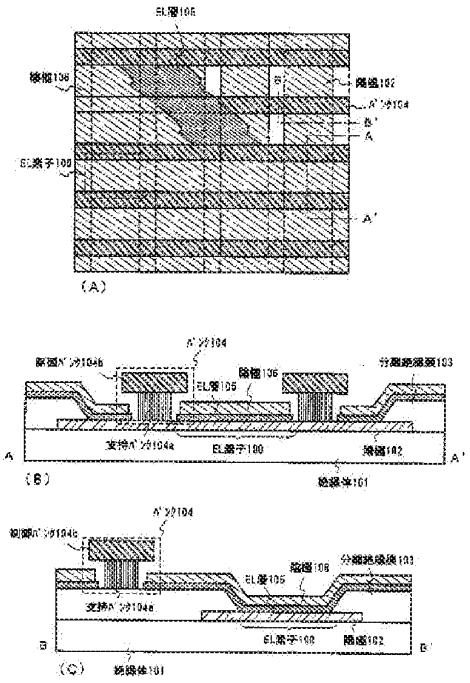
また、上記電子装置はインターネットやＣＡＴＶ（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。ＥＬ材料の応答速度は非常に高いため、そのような動画表示を行うに適している。

SDC EX. 1016 - 763/959

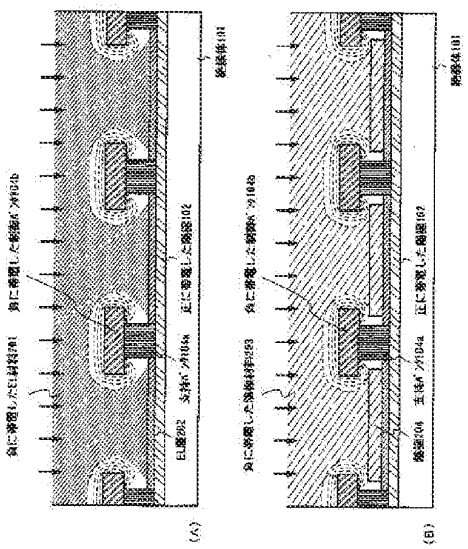
【０１６６】
また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話やカーオーディオのような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。
【０１６７】
ここで図１８（Ａ）は携帯電話であり、本体２６０１、音声出力部２６０２、音声入力部２６０３、表示部２６０４、操作スイッチ２６０５、アンテナ２６０６を含む。本発明の発光装置は表示部２６０４に用いることができる。なお、表示部２６０４は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。
【０１６８】
また、図１８（Ｂ）はカーオーディオ（車載用オーディオ）であり、本体２７０１、表示部２７０２、操作スイッチ２７０３、２７０４を含む。本発明の発光装置は表示部２７０２に用いることができる。また、本実施例では車載用オーディオを示すが、据え置き型（家庭用）オーディオに用いても良い。なお、表示部２７０４は黒色の背景に白色の文字を表示することで消費電力を抑えられる。なお、表示部２７０４に用いる発光装置にスティックドライバを設ける場合は、数個に分割して設けることが好ましい。
【０１６９】
以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に用いることが可能である。また、本実施例の電気器具は実施例１～１４の構成を自由に組み合わせた発光装置を用いることで得ることができる。
【０１７０】
【発明の効果】
本発明を実施することでＥＬ材料を成膜するにあたって成膜位置を精密に制御することが可能となる。そのため高精細な画素部を有する発光装置を作製することができる。また、必要な部分に優先的にＥＬ材料を成膜することができるため、ＥＬ材料の利用効率が高まり、製造コストを低減することができる。さらに、本発明の発光装置を表示部として用いることで高精細な表示部を有した電気器具を得ることができる。
【図面の簡単な説明】
【図１】　発光装置の上面構造および断面構造を示す図。
【図２】　ＥＬ材料の成膜工程を説明するための図。
【図３】　蒸着法によるＥＬ材料の成膜工程を説明するための図。
【図４】　インクジェット法によるＥＬ材料の成膜工程を説明するための図。
【図５】　イオンプレーティング法によるＥＬ材料の成膜工程を説明するための図。
【図６】　発光装置の上面構造を示す図。
【図７】　スティックドライバの断面構造を示す図。
【図８】　スティックドライバの接続例を示す図。
【図９】　発光装置の上面構造および断面構造を示す図。
【図１０】　発光装置および発光装置に入力される信号の構成を示す図。
【図１１】　スティックドライバの作製工程を示す図。
【図１２】　発光装置の断面構造を示す図。
【図１３】　多面取りプロセスを説明するための図。
【図１４】　多面取りプロセスを説明するための図。
【図１５】　ＥＬ材料の成膜工程を説明するための図。
【図１６】　ＥＬ材料の成膜工程を説明するための図。
【図１７】　電気器具の一例を示す図。
【図１８】　電気器具の一例を示す図。

SDC EX. 1016 - 764/959

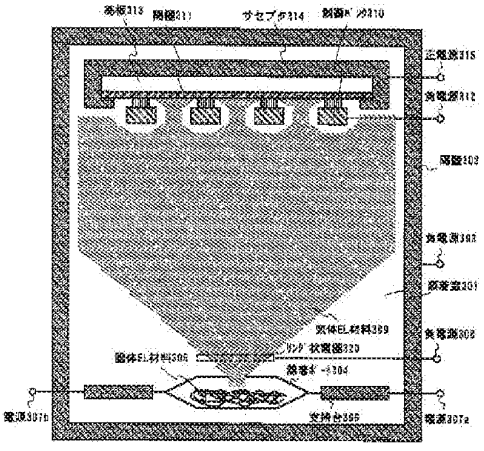
【図1】



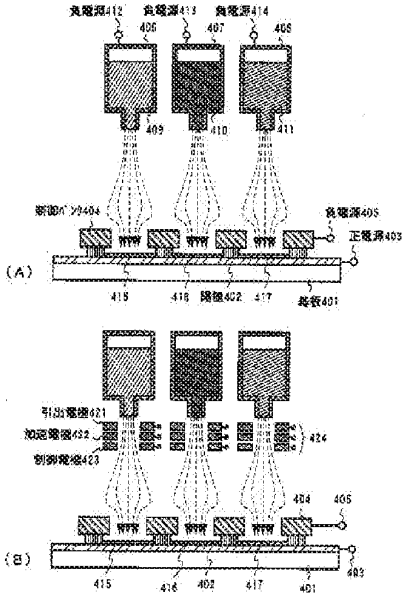
【図2】



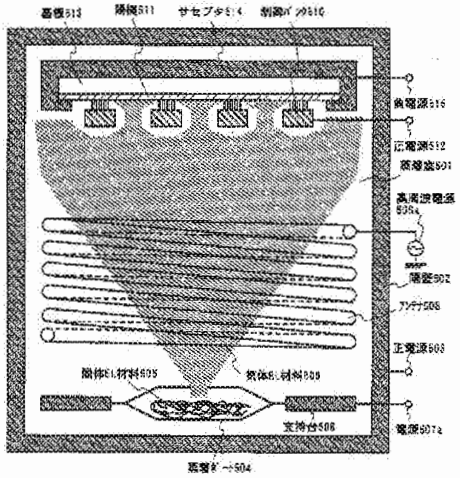
【図3】



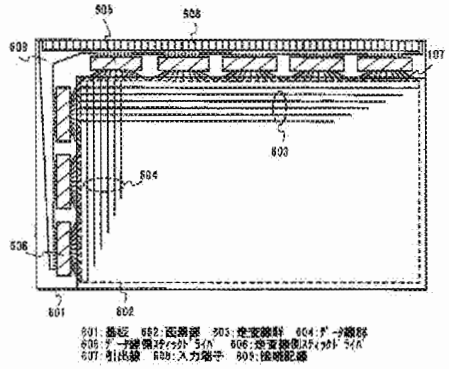
【図4】



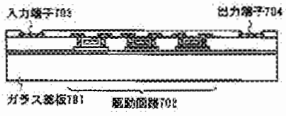
【図５】



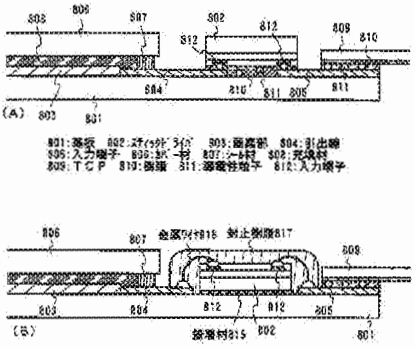
【図６】



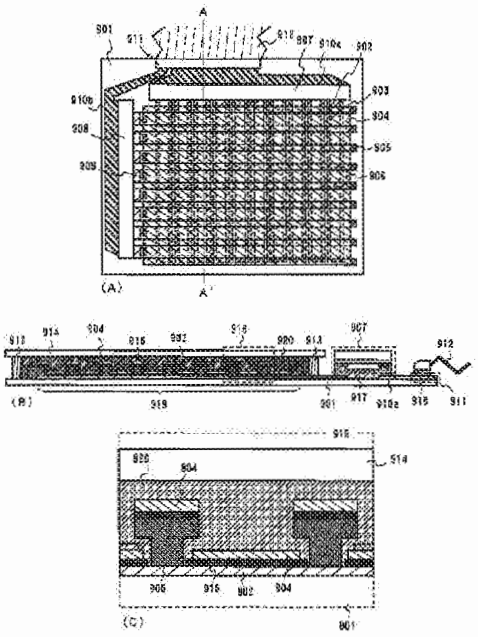
【図７】



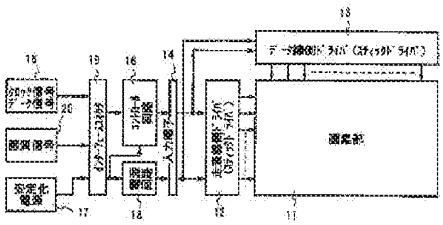
【図８】



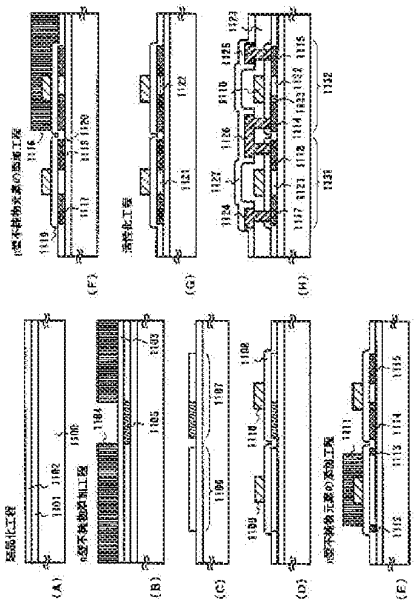
【図９】



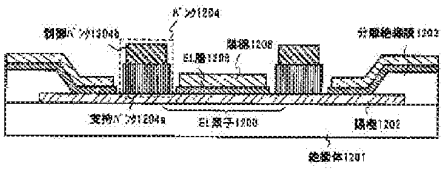
【図10】



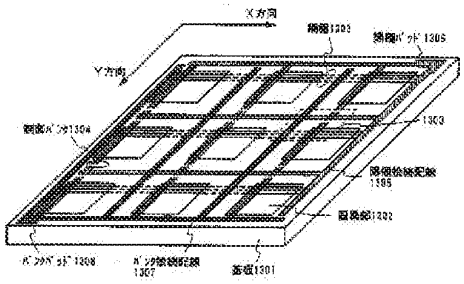
【図11】



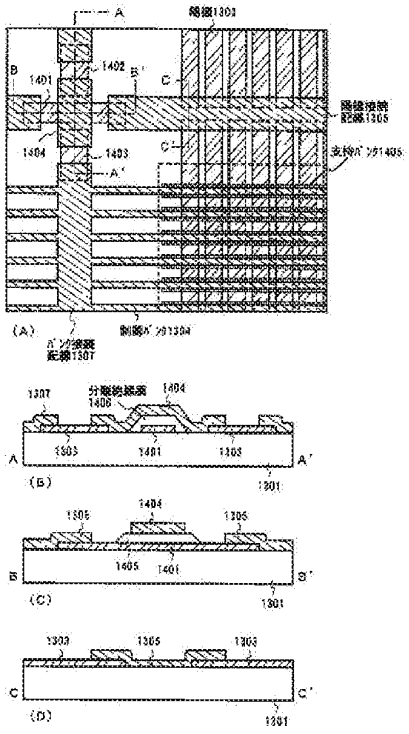
【図12】



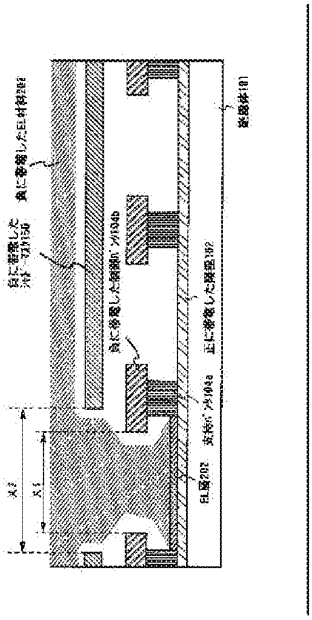
【図13】



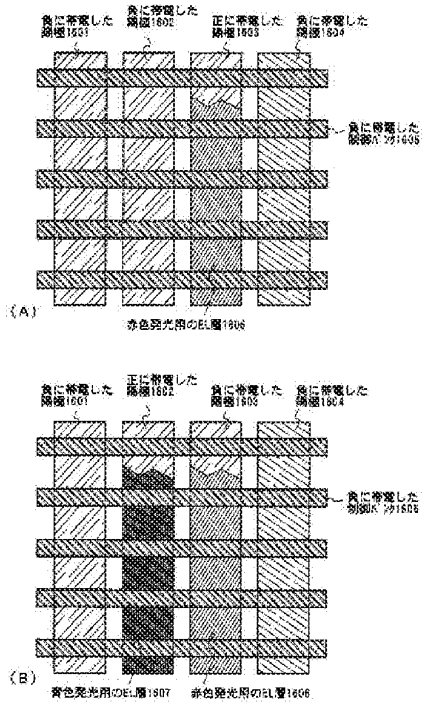
【図14】



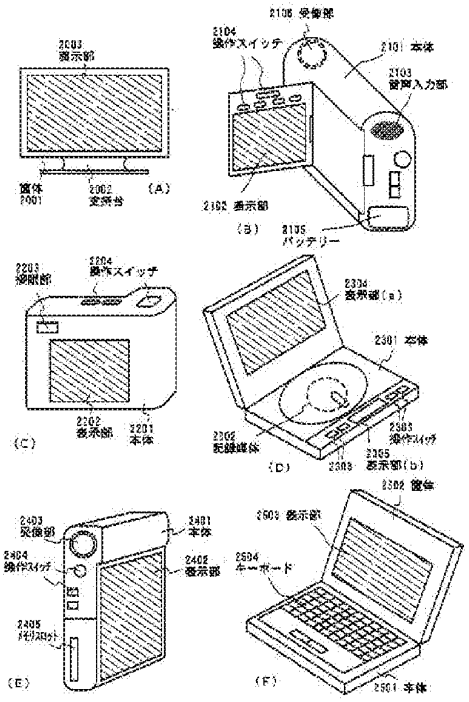
【図15】



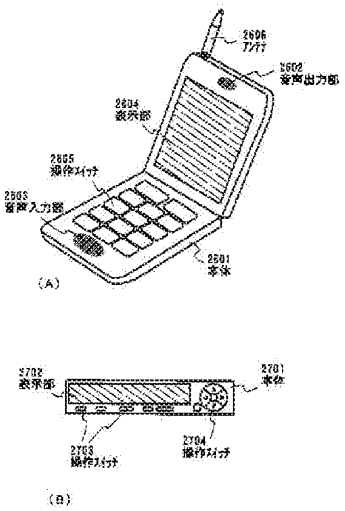
【図16】



【図17】



【図18】



(56)参考文献　特開平１０－３３５０６８（ＪＰ，Ａ）
国際公開第９８／０１２６８９（ＷＯ，Ａ１）
特開平０９－１０２３９３（ＪＰ，Ａ）
特公昭４７－０３５６９０（ＪＰ，Ｂ１）
特開平０９－２３４８７０（ＪＰ，Ａ）
特開平１０－３２１３７２（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
H05B　33/10
H01L　51/50
H05B　33/12
H05B　33/22

SDC EX. 1016 - 769/959

Espacenet

Bibliographic data: JP4713010 (B2) — 2011-06-29

LIGHT EMITTING DEVICE AND MANUFACTURING METHOD THEREOF

Inventor(s): FUKUNAGA KENJI

Applicant(s): SEMICONDUCTOR ENERGY LAB CO LTD

Classification: **- international:** ***G09F9/30; H01L27/32; H01L51/50; H05B33/04; H05B33/10; H05B33/14; H05B33/24; H05B33/26; H05B33/28***

- cooperative: H01L27/3276

Application number: JP20010136190 20010507

Priority number(s): JP20010136190 20010507 ; JP20000135076 20000508

Also published as: JP2002033198 (A)

Abstract of JP2002033198 (A)

PROBLEM TO BE SOLVED: To provide a bright light emitting device with good image quality. SOLUTION: An EL element 105 consisting of an electrode 102 containing a reflecting surface, an organic EL layer 103 and a transparent electrode 104 is provided on an insulator 101, and an auxiliary electrode 107 is connected to the transparent electrode 104 through an anisotropic conductor 108. Accordingly, since the effective resistance value of the transparent electrode 104 can be reduced, and a uniform voltage can be applied to the organic EL layer 103, a display failure such as display unevenness or the like can be prevented.

SDC EX. 1016 - 770/959

(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4713010号
(P4713010)
(45)発行日　平成23年6月29日(2011.6.29)　(24)登録日　平成23年4月1日(2011.4.1)

(51)Int.Cl.		F I		
H05B 33/26	(2006.01)	H05B	33/26	Z
G09F 9/30	(2006.01)	G09F	9/30	338
H01L 27/32	(2006.01)	G09F	9/30	365Z
H05B 33/04	(2006.01)	H05B	33/04	
H05B 33/10	(2006.01)	H05B	33/10	

請求項の数 6　(全 19 頁)　最終頁に続く

(21)出願番号　特願2001-136190(P2001-136190)
(22)出願日　平成13年5月7日(2001.5.7)
(65)公開番号　特開2002-33198(P2002-33198A)
(43)公開日　平成14年1月31日(2002.1.31)
審査請求日　平成20年3月10日(2008.3.10)
(31)優先権主張番号　特願2000-135076(P2000-135076)
(32)優先日　平成12年5月8日(2000.5.8)
(33)優先権主張国　日本国(JP)

(73)特許権者　000153878
株式会社半導体エネルギー研究所
神奈川県厚木市長谷３９８番地
(72)発明者　福永　健司
神奈川県厚木市長谷３９８番地　株式会社半導体エネルギー研究所内

審査官　中山　佳美

(56)参考文献　特開２０００－０３６３９１（ＪＰ，Ａ）
国際公開第９８／０１２６８９（WO，Ａ１）
特開平１１－０７４０７３（ＪＰ，Ａ）
特開平１１－０１５０１０（ＪＰ，Ａ）
最終頁に続く

(54)【発明の名称】発光装置及びその作製方法

(57)【特許請求の範囲】

【請求項1】

第１の基板上の第１の電極と、
前記第１の電極上のＥＬ層と、
前記ＥＬ層上の第２の電極と、
前記第２の電極上の導電体と、
前記導電体上の第３の電極と、
前記第３の電極上の第２の基板と、を有し、
前記第２の電極及び前記第３の電極は透光性を有し、
前記第２の電極と前記第３の電極とは前記導電体を介して電気的に接続され、
前記導電体は、前記第１の電極、前記ＥＬ層、及び前記第２の電極のみからなる積層構造体と重なる位置に配置されており、
前記第３の電極は前記第２の基板側に形成されたものであることを特徴とする発光装置。

【請求項2】

第１の基板上のＴＦＴと、
前記ＴＦＴ上の絶縁膜と、
前記絶縁膜に設けられたコンタクトホールと、
前記コンタクトホールに埋め込まれた異方導電性膜と
前記異方導電性膜上及び前記絶縁膜上の第１の電極と、

SDC EX. 1016 - 771/959

前記第１の電極上のＥＬ層と、
前記ＥＬ層上の第２の電極と、
前記第２の電極上の導電体と、
前記導電体上の第３の電極と、
前記第３の電極上の第２の基板と、を有し、
前記第２の電極及び前記第３の電極は透光性を有し、
前記第２の電極と前記第３の電極とは前記導電体を介して電気的に接続され、
前記第１の電極と前記ＥＬ層と前記第２の電極とによりＥＬ素子が構成され、
前記コンタクトホールは前記ＥＬ素子の有効発光領域と重なる位置に配置され、
前記第１の電極と前記ＴＦＴとは前記コンタクトホールに埋め込まれた前記異方導電性膜を介して電気的に接続されており、
前記第３の電極は前記第２の基板側に形成されたものであることを特徴とする発光装置。

【請求項3】
第１の基板上のＴＦＴと、
前記ＴＦＴ上の絶縁膜と、
前記絶縁膜に設けられたコンタクトホールと、
前記絶縁膜上に設けられ、前記コンタクトホールを介して前記ＴＦＴと電気的に接続された第１の電極と、
前記第１の電極上の埋め込み絶縁膜と、
前記第１の電極上及び前記埋め込み絶縁膜上のＥＬ層と、
前記ＥＬ層上の第２の電極と、
前記第２の電極上の導電体と、
前記導電体上の第３の電極と、
前記第３の電極上の第２の基板と、を有し、
前記第２の電極及び前記第３の電極は透光性を有し、
前記第２の電極と前記第３の電極とは前記導電体を介して電気的に接続され、
前記第１の電極と前記ＥＬ層と前記第２の電極とによりＥＬ素子が構成され、
前記コンタクトホールは前記ＥＬ素子の有効発光領域に囲まれた位置に配置され、
前記埋め込み絶縁膜は、前記コンタクトホールに起因して形成された前記第１の電極の凹部を埋めるように設けられており、
前記第３の電極は前記第２の基板側に形成されたものであることを特徴とする発光装置。

【請求項4】
請求項２又は請求項３において、
前記第１の電極の端部に形成される段差を覆うバンクを有し、
前記導電体は前記バンクと重なる位置に配置されていることを特徴とする発光装置。

【請求項5】
第１の電極とＥＬ層と第２の電極とによりＥＬ素子が構成される発光装置の作製方法であって、
第１の基板上のＴＦＴと、前記ＴＦＴ上の絶縁膜と、前記絶縁膜に設けられたコンタクトホールと、を形成し、
前記絶縁膜上及び前記コンタクトホール内に異方導電性膜を形成し、
前記絶縁膜が露呈するまで前記異方導電性膜をエッチングすることによって、前記コンタクトホールに埋め込まれた導電物を形成し、
前記導電物上及び前記絶縁膜上に前記第１の電極を形成し、
前記第１の電極上に前記ＥＬ層を形成し、
前記ＥＬ層上に前記第２の電極を形成し、
導電体を挟むように、第３の電極が設けられた第２の基板を前記第１の基板に対向させて貼り合わせることにより、前記第２の電極と前記第３の電極とを前記導電体を介して電

気的に接続し、
　前記第２の電極及び前記第３の電極は透光性を有し、
　前記コンタクトホールは前記ＥＬ素子の有効発光領域と重なる位置に配置され、
　前記第１の電極と前記ＴＦＴとは前記コンタクトホールに埋め込まれた前記導電物を介して電気的に接続されることを特徴する発光装置の作製方法。
【請求項6】
　第１の電極とＥＬ層と第２の電極とによりＥＬ素子が構成される発光装置の作製方法であって、
　第１の基板上のＴＦＴと、前記ＴＦＴ上の絶縁膜と、前記絶縁膜に設けられたコンタクトホールと、を形成し、
　前記絶縁膜上及び前記コンタクトホール内に、前記ＴＦＴと電気的に接続される前記第１の電極を形成し、
　前記第１の電極上に設けられる埋め込み絶縁膜と、前記第１の電極の端部に形成される段差を覆うように設けられるバンクと、を同時に形成し、
　前記第１の電極上、前記埋め込み絶縁膜上、及び前記バンク上に前記ＥＬ層を形成し、
　前記ＥＬ層上に前記第２の電極を形成し、
　導電体を挟むように、第３の電極が設けられた第２の基板を前記第１の基板に対向させて貼り合わせることにより、前記第２の電極と前記第３の電極とを前記導電体を介して電気的に接続し、
　前記第２の電極及び前記第３の電極は透光性を有し、
　前記コンタクトホールは前記ＥＬ素子の有効発光領域に囲まれた位置に配置され、
　前記埋め込み絶縁膜は、前記コンタクトホールに起因して形成された前記第１の電極の凹部を埋めるように設けられることを特徴する発光装置の作製方法。

【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、発光性材料からなる薄膜を用いた発光装置に関する。また、その発光装置を表示部として用いた電気器具に関する。なお、有機ＥＬディスプレイや有機発光ダイオード（ＯＬＥＤ：Organic Light Emitting Diode）は本発明の発光装置に含まれる。
【０００２】
また、本発明に用いることのできる発光性材料は、一重項励起もしくは三重項励起または両者の励起を経由して発光（燐光および／または蛍光）するすべての発光性材料を含む。
【０００３】
【従来の技術】
近年、ＥＬ（Electro Luminescence）が得られる発光性材料からなる薄膜（以下、ＥＬ膜という）を用いた発光素子（以下、ＥＬ素子という）の開発が進んでいる。ＥＬ素子を有する発光装置（以下、ＥＬ発光装置という）は、陽極と陰極との間にＥＬ膜を挟んだ構造からなるＥＬ素子を有し、陽極と陰極との間に電圧を加えることで発光を得る。特に、ＥＬ膜として有機膜を用いたものを有機ＥＬ膜という。
【０００４】
陰極としては仕事関数の小さい金属（代表的には周期表の１族もしくは２族に属する金属）を用いることが多く、陽極としては可視光に対して透明な導電膜（以下、透明導電膜という）を用いることが多い。このような構造であるため、得られた発光は陽極を透過して視認される。
【０００５】
最近では、ＴＦＴ（薄膜トランジスタ）を用いて各画素に設けられたＥＬ素子の発光を制御するアクティブマトリクス型ＥＬ発光装置の開発が進められており、試作品が発表されるに至った。ここでアクティブマトリクス型ＥＬ発光装置の構造を図９（Ａ）、（Ｂ）に示す。
【０００６】

図９（Ａ）において、基板９０１上にはＴＦＴ９０２が形成され、ＴＦＴ９０２には陽極９０３が接続されている。陽極９０３の上には有機ＥＬ膜９０４、陰極９０５が形成され、陽極９０３、有機ＥＬ膜９０４および陰極９０５からなるＥＬ素子９０６が形成されている。

【０００７】

このとき、有機ＥＬ膜９０４で生成された発光は陽極９０３を透過して図中の矢印の方向に向かって放射される。従って、ＴＦＴ９０２は観測者から見て発光を遮る遮蔽物となってしまい、有効発光領域（観測者が発光を観測しうる領域）を狭める要因となっていた。また、有効発光領域が狭い場合、明るい画像を得るには発光輝度を上げる必要があったが、発光輝度を上げることは有機ＥＬ膜の劣化を早める結果となってしまっていた。

【０００８】

そこで、図９（Ｂ）に示すような構造のアクティブマトリクス型ＥＬ発光装置が提案されている。図９（Ｂ）において、基板９０１上にはＴＦＴ９０２が形成され、ＴＦＴ９０２には陰極９０７が接続されている。陰極９０７の上には有機ＥＬ膜９０８、陽極９０９が形成され、陰極９０７、有機ＥＬ膜９０８および陽極９０９からなるＥＬ素子９１０が形成されている。即ち、図９（Ａ）に示したＥＬ素子９０６とはちょうど逆向きの構造のＥＬ素子となる。

【０００９】

このとき、原理上はＥＬ膜９０８で生成された発光が陽極９０９を透過して図中の矢印の方向に向かって放射される。従って、ＴＦＴ９０１は観測者から見えない位置に設けられ、陰極９０３が設けられた領域すべてを有効発光領域とすることが可能である。

【００１０】

しかしながら、図９（Ｂ）に示す構造は、陽極９０９に均一な電圧を印加できないという問題を潜在的に抱えている。陽極として一般的に用いられる透明導電膜は金属膜に比べて抵抗値が高いが、熱処理により抵抗値を下げられることが知られている。ところが有機ＥＬ膜は耐熱性が低いため、有機ＥＬ膜を成膜した後に１５０℃を超える熱処理を行うことはできない。

【００１１】

従って、有機ＥＬ膜の上に陽極（透明導電膜）を積層する際には熱処理を行うことができず、抵抗値の低い陽極を形成することが困難である。即ち、陽極の端部と中心部とで印加される電圧が異なるといった問題が生じる可能性があり、この問題が画質不良を起こす要因となることが懸念される。

【００１２】

以上のように、有機ＥＬ膜を成膜した後に透明導電膜を用いる構造を含む発光装置では、透明導電膜の低抵抗化が困難という問題があった。

【００１３】

【発明が解決しようとする課題】

本発明は上記問題点を解決するためになされたものであり、明るく画質の良好な発光装置を提供することを課題とする。また、そのような発光装置を表示部として用いた画質の良い電気器具を提供することを課題とする。

【００１４】

【課題を解決するための手段】

本発明は有機ＥＬ膜を成膜した後で設けられた透明電極に対して並列に補助的な電極を接続することにより実質的に透明電極の低抵抗化を図る点に特徴がある。ここで本発明について図１を用いて説明する。

【００１５】

図１において、１０１は絶縁体、１０２は反射面を含む電極、１０３は有機ＥＬ層、１０４は可視光に対して透明もしくは半透明な電極（以下、透明電極という）であり、絶縁体１０１上には反射面を含む電極１０２、有機ＥＬ層１０３および透明電極１０４からなるＥＬ素子１０５が形成されている。

【００１６】
なお、可視光に対して透明とは可視光を８０～１００％の透過率で透過することをいい、可視光に対して半透明とは可視光を５０～８０％の透過率で透過することをいう。勿論、膜厚によって透過率は異なるが、膜厚は上記範囲内に収まるように適宜設計すれば良い。
【００１７】
ここで絶縁体１０１は絶縁基板もしくは表面に絶縁膜を設けた基板であり、ＥＬ素子を支持できるものであれば良い。
【００１８】
また、反射面を含む電極１０２とは、金属電極または金属電極および透明電極の積層された電極を指す。即ち、電極の表面、裏面もしくは電極内部の界面に可視光を反射しうる面（反射面）を含む電極を指す。
【００１９】
また、有機ＥＬ層１０３は、有機ＥＬ膜または有機ＥＬ膜と有機材料との積層膜を用いることができる。即ち、有機ＥＬ膜を発光層として単層で設けても良いし、有機ＥＬ膜を発光層とし有機材料を電荷注入層もしくは電荷輸送層として積層して設けても良い。なお、無機材料の中には電荷注入層もしくは電荷輸送層として用いることのできる材料もあり、そのような無機材料を電荷注入層もしくは電荷輸送層として用いることも可能である。
【００２０】
また、透明電極１０４としては、透明導電膜からなる電極もしくは膜厚が５～７０ｎｍ（代表的には１０～５０ｎｍ）の金属膜（以下、半透明な金属膜という）からなる電極を用いることができる。透明導電膜としては、酸化物導電膜（代表的には酸化インジウム膜、酸化スズ膜、酸化亜鉛膜、酸化インジウムと酸化スズとの化合物膜もしくは酸化インジウムと酸化亜鉛との化合物膜）または酸化物導電膜に酸化ガリウムを添加したものを用いることができる。また、透明電極１０４として透明導電膜を用いる場合、１０～２００ｎｍ（好ましくは５０～１００ｎｍ）とすることで８０～９５％の可視光を透過することができる。
【００２１】
以上の構造からなるＥＬ素子１０５の上には、封止体１０６、封止体１０６の表面に設けられた補助電極１０７が設けられ、補助電極１０７は導電体１０８を介して透明電極１０４と電気的に接続されている。なお、導電体１０８は透明電極１０４上に点在して設けられるが、なるべく透明電極上の全面に分散させて設けることが好ましい。
【００２２】
ここで封止体１０６は可視光に対して透明な基板もしくはフィルムであり、ガラス基板、石英基板、結晶化ガラス基板、プラスチック基板もしくはプラスチックフィルムを用いることができる。但し、プラスチック基板もしくはプラスチックフィルムを用いる場合、表面もしくは裏面に酸素および水の透過を防止する保護膜（好ましくは炭素膜、具体的にはダイヤモンドライクカーボン膜）を設けておくことが望ましい。
【００２３】
また、補助電極１０７は透明電極１０４の抵抗値を下げる目的で補助的に設けられた電極であり、透明電極１０４と同様に透明導電膜からなる電極もしくは膜厚が半透明な金属膜からなる電極を用いることができる。また、補助電極１０７の膜厚を透明電極１０４と同様に１０～２００ｎｍ（好ましくは５０～１００ｎｍ）とすることで８０～９５％の可視光を透過することができる。
【００２４】
また、導電体１０８は異方導電性膜等と呼ばれる導電膜を用いて形成することができる。従って、異方導電膜と呼ぶこともできる。異方導電性膜とは導電粒子（代表的には金属粒子もしくはカーボン粒子）を均一に分散させた樹脂膜である。本発明では、異方導電性膜１０８をフォトリソグラフィによりパターン化して選択的に設けるか、インクジェット法もしくは印刷法により選択的に設けることが好ましい。なぜならば異方導電性膜は可視光に対する透過率が低いため、透明電極１０４の全面に設けてしまうと有機ＥＬ層１０３か

ら発した光が吸収されてしまうからである。

【００２５】

以上のような構造を含む本発明の発光装置では、補助電極１０７が透明導電膜からなる透明電極１０４に並列に接続された電極として機能する。また、このとき補助電極１０７は封止体１０６側に形成されるため、従来例で説明したような有機ＥＬ膜の耐熱性の制約を受けずに抵抗値を低くすることができる。従って、本発明を実施することにより透明電極１０４に均一な電圧を加えることが可能となり、画質の良い画像を得ることが可能である。

【００２６】

【発明の実施の形態】

本発明の実施の形態について図２を用いて説明する。図２において、２０１は素子を形成する側の基板である。本発明では基板２０１として如何なる材料を用いても良く、ガラス（石英ガラスを含む）、結晶化ガラス、単結晶シリコン、セラミックス、金属もしくはプラスチックを用いることが可能である。

【００２７】

基板２０１上には画素２０２が形成され、画素２０２はスイッチングＴＦＴ２０３及び電流制御ＴＦＴ２０４を含む構造となっている。なお、図２には三つの画素が示されており、各々赤、緑もしくは青に発光する画素が形成されている。スイッチングＴＦＴ２０３はビデオ信号を画素に取り込むためのスイッチとして機能し、電流制御ＴＦＴ２０４はＥＬ素子に流れる電流を制御するためのスイッチとして機能する。このとき、スイッチングＴＦＴ２０３のドレインは電流制御ＴＦＴ２０４のゲートに電気的に接続されている。

【００２８】

スイッチングＴＦＴ２０３及び電流制御ＴＦＴ２０４の構造に限定はなく、トップゲート型（代表的にはプレーナ型）もしくはボトムゲート型（代表的には逆スタガ型）を用いれば良い。また、どちらのＴＦＴもｎチャネル型ＴＦＴもしくはｐチャネル型を用いれば良い。

【００２９】

また、スイッチングＴＦＴ２０３及び電流制御ＴＦＴ２０４は層間絶縁膜２０５に覆われ、その上には導電体プラグ２０６を介して金属膜からなる画素電極２０７と電流制御ＴＦＴ２０４のドレインとが電気的に接続されている。また、画素電極２０７には第１の透明電極２０８が１０～２００ｎｍ（好ましくは５０～１００ｎｍ）の膜厚で積層されている。ここでは画素電極２０７と第１の透明電極２０８とで陽極２３０を形成している。

【００３０】

なお、本実施の形態では電流制御ＴＦＴ２０４のドレインと画素電極２０７とが接続されるコンタクトホールを導電体で埋め込む構造としている。このコンタクトホールを埋め込むように設けられた導電体を導電体プラグと呼ぶ。導電体プラグ２０６は異方導電性膜をエッチングして形成すれば良い。勿論、画素電極２０７を直接電流制御ＴＦＴ２０４のドレインと接続させても良い。

【００３１】

ところで、上記コンタクトホールに起因する凹部では有機ＥＬ層のカバレッジが悪く、陰極と陽極のショート（短絡）を招く恐れがあるため好ましいものではない。本実施の形態では導電体プラグ２０６を用いることで画素電極２０７にコンタクトホールに起因する凹部が形成されないようにできるため、陰極と陽極のショートを防ぐことができる。

【００３２】

また、画素電極２０７は反射率の高い金属膜を用いることが好ましく、アルミニウム膜（アルミニウム合金膜や添加物を含むアルミニウム膜を含む）もしくは銀薄膜を用いると良い。金属膜にアルミニウムメッキもしくは銀メッキを施した膜を用いても良い。

【００３３】

次に、２０９は陽極２３０の間に設けた絶縁膜（以下、バンクという）であり、陽極２３０の端部に形成される段差を覆うように形成される。本実施の形態ではバンク２０９を設

けることで電界集中を起こしやすい陽極２３０の端部から有機ＥＬ層を遠ざけ、電界集中による有機ＥＬ層の劣化を防ぐ構造となっている。なお、バンク２０９としては樹脂膜を用いても珪素を含む絶縁膜（代表的には酸化珪素膜）を用いても良い。

【００３４】

次に、２１０は赤色に発光する有機ＥＬ層、２１１は緑色に発光する有機ＥＬ層、２１２は青色に発光する有機ＥＬ層である。有機ＥＬ層２１０～２１２の層構造は公知の技術を参考にすれば良い。

【００３５】

また、有機ＥＬ層２１０～２１２を覆うようにして設けられた第２の透明電極２１３は有機ＥＬ層に電子を注入するための電極である。この第２の透明電極２１３の仕事関数は２．５～３．５ｅＶであることが好ましく、周期表の１族もしくは２族に属する元素を含む金属膜を用いると良い。ここではアルミニウムとリチウムとを共蒸着した合金膜（以下、Ａｌ－Ｌｉ膜という）を用いる。また、Ａｌ－Ｌｉ膜は金属膜であるため、膜厚を１０～７０ｎｍ（代表的には２０～５０ｎｍ）とすることで透明電極とすることができる。

【００３６】

さらに、その上には１００～３００ｎｍ（好ましくは１５０～２００ｎｍ）の透明導電膜からなる第３の透明電極２１４が設けられている。第３の透明電極２１４は第２の透明電極２１３に電圧を加えるための役割を果たす電極である。ここでは第２の透明電極２１３と第３の透明電極２１４とで陰極２３１を形成している。

【００３７】

また、基板２０１（ここでは基板２０１に設けられた薄膜も含めて基板と呼んでいる）に対向させて設けられた封止体２１５には膜厚が１０～２００ｎｍ（好ましくは５０～１００ｎｍ）の透明導電膜からなる補助電極（第４の透明電極）２１６が形成されており、第３の透明電極２１４および補助電極２１６は異方導電性膜（金属粒子もしくはカーボン粒子を分散させた樹脂膜）からなる導電体２１７を介して電気的に接続されている。

【００３８】

導電体２１７は、第３の透明電極２１４の上に部分的に設けることが好ましい。即ち、異方導電性膜は黒色もしくは灰色であるため、少なくとも画素の発光領域に重ならないように設けることが望ましい。もちろん、画素間に設けることで積極的にブラックマトリクスとして用い、画素ごとの光の指向性を高めることも可能である。

【００３９】

なお、基板２０１および封止体２１５は基板２０１の外縁に設けられたシール材（図示せず）により貼り合わせられている。また、基板２０１および封止体２１５を貼り合わせる際、基板２０１と封止体２１５の間隔を決めるためのスペーサ（好ましくは１～３μｍ）を設けても良い。特に、このスペーサを導電体２１７で兼ねることは有効である。

【００４０】

また、基板２０１と封止体（対向基板）２１５との間に形成された空間２１８には窒素ガスもしくは希ガスを封入しておくことが好ましい。また、この空間２１８には吸湿性をもつ物質や脱酸素性をもつ物質を設けておくことが望ましい。

【００４１】

ここで領域２１９の詳細な構造を図２（Ｂ）に示す。図２（Ｂ）では陽極２３０、有機ＥＬ層２１２および陰極２３１がＥＬ素子２２０を形成している。図２（Ａ）に示した発光装置において最も特徴的な点は陰極２３１を透過して発光が観測される点にある。

【００４２】

ＥＬ素子２２０で生成された光のうち陽極２３０側へ向かった光は反射率の高い表面を有する画素電極２０７により反射され、陰極２３１側へ向かう。即ち、画素電極２０７は陽極２３０に電流を供給する（電子を引き抜く）電極であると同時に反射電極としての機能をも有する。

【００４３】

なお、第２の透明電極２１３は膜厚が非常に薄いため抵抗値が高い。そのため第３の透明

SDC EX. 1016 - 777/959

電極２１４を積層して低抵抗化を図っている。しかしながら、第３の透明電極２１４として用いる透明導電膜は有機ＥＬ層２１２を成膜した後で形成することになるため、抵抗値を低くすることが困難である。そこで本実施の形態では透明導電膜からなる第３の透明電極２１４に並列に、透明導電膜からなる補助電極２１６を接続することにより第３の透明電極２１４の実質的な低抵抗化を図っている。

【００４４】

以上のような構造の発光装置は、画素２０２全体が有効発光領域となるため非常に明るい画像を得ることが可能である。また、本発明を実施することにより陰極２３１全体に均一な電圧を加えることができるため、画質の良い画像を得ることが可能である。

【００４５】

【実施例】

〔実施例１〕

本実施例では図２に示した発光装置の作製工程について図３～５を用いて説明する。なお、図３、４に示したのは画素部における作製工程を示す断面図である。また、本実施例によって作製される画素の上面図（但し陽極を形成した時点での上面図）を図５（Ａ）に、最終的な画素の回路図を図５（Ｂ）に示す。なお、図５に用いた符号は図３、４で用いた符号に対応している。

【００４６】

まず、図３（Ａ）に示すように、基板としてガラス基板３０１を用意し、その上に酸化珪素膜からなる下地膜３０２を２００ｎｍの厚さに形成する。下地膜３０２の形成は減圧熱ＣＶＤ法、プラズマＣＶＤ法、スパッタ法もしくは蒸着法を用いれば良い。

【００４７】

次に、下地膜３０２の上に結晶質珪素膜３０３を５０ｎｍの厚さに形成する。結晶質珪素膜３０３の形成方法としては公知の手段を用いることが可能である。固体レーザーもしくはエキシマレーザーを用いて非晶質珪素膜をレーザー結晶化させても良いし、非晶質珪素膜を加熱処理（ファーネスアニール）により結晶化させても良い。本実施例ではＸｅＣｌガスを用いたエキシマレーザーを照射することにより結晶化させる。

【００４８】

次に、図３（Ｂ）に示すように、結晶質珪素膜３０３をパターニングして島状の結晶質珪素膜３０４、３０５を形成する。そして島状の結晶質珪素膜３０４、３０５を覆って酸化珪素膜からなるゲート絶縁膜３０６を８０ｎｍの厚さに形成する。さらに、ゲート絶縁膜３０６の上にゲート電極３０７、３０８を形成する。なお、ゲート電極３０７は図面では二つに見えるが実際には二股に分かれた同一の電極である。

【００４９】

また、本実施例ではゲート電極３０７、３０８の材料として、３５０ｎｍ厚のタングステン膜もしくはタングステン合金膜を用いる。勿論、ゲート電極の材料としては他の公知の材料を用いることができる。さらに、本実施例ではこのとき同時に接続配線３０９も形成する。接続配線３０９は後に電流制御ＴＦＴのソースと電流供給線とを電気的に接続するための配線である。

【００５０】

次に、図３（Ｃ）に示すように、ゲート電極３０７、３０８をマスクとして周期表の１３族に属する元素（代表的にはボロン）を添加する。添加方法は公知の手段を用いれば良い。こうしてｐ型の導電型を示す不純物領域（以下、ｐ型不純物領域という）３１０～３１４が形成される。また、ゲート電極の直下にはチャネル形成領域３１５ａ、３１５ｂ、３１６が画定する。なお、ｐ型不純物領域３１０～３１４はＴＦＴのソース領域もしくはドレイン領域となる。

【００５１】

次に、加熱処理を行って添加された周期表の１３族に属する元素の活性化を行う。この活性化工程まで行った島状の結晶質珪素膜からなるパターンを活性層と呼ぶ。なお、この活性化はファーネスアニール、レーザーアニールもしくはランプアニールにより行うか、又

SDC EX. 1016 - 778/959

はそれらを組み合わせて行えば良い。本実施例では５００℃４時間の加熱処理を窒素雰囲気で行う。

【００５２】

但し、この活性化工程では処理雰囲気中の酸素濃度を１ｐｐｍ以下（好ましくは０．１ｐｐｍ以下）にすることが望ましい。酸素濃度が高いとゲート電極３０７、３０８、接続配線３０９の表面が酸化されてしまい、後に形成するゲート配線や電流供給線との電気的接触が難しくなってしまうからである。

【００５３】

なお、活性化が終了したら、水素化処理を行うと効果的である。水素化処理は公知の水素アニール技術もしくはプラズマ水素化技術を用いれば良い。

【００５４】

次に、図３（Ｄ）に示すように、接続配線３０９に接するようにして電流供給線３１７を形成する。このような構造（上面図は図５（Ａ）の５０１で示される領域に示す）とすることで接続配線３０９と電流供給線３１７が電気的に接続される。なお、図示していないが、このときゲート配線（図５（Ａ）の５０２で示される配線）も同時に形成され、ゲート電極３０７と電気的に接続される。この上面図は図５（Ａ）の５０３で示される領域に示す。

【００５５】

この５０３で示される領域において、ゲート配線５０２が凸部を有しているのはゲート電極３０７を乗り越えない部分を確保しておくための冗長設計である。こうすることでゲート配線５０２がゲート電極３０７を乗り越える部分で断線したとしてもゲート配線５０２がそこで電気的に断線してしまうことを避けることができる。また、ゲート電極３０７をコの字型に加工しているのも、確実に両方のゲート電極に電圧が印加されるようにするための冗長設計である。

【００５６】

この電流供給線３１７及びゲート配線５０２は接続配線３０９やゲート電極３０７よりも低抵抗な金属膜で形成される。好ましくはアルミニウム、銅もしくは銀を含む金属膜を用いると良い。即ち、微細なパターン精度を要求されるゲート電極には加工性の高い金属膜を用い、抵抗率の低さを要求されるバスライン（本実施例ではゲート配線や電流供給線）には低抵抗な金属膜を用いる。

【００５７】

ゲート配線５０２及び電流供給線３１７を形成したら、酸化珪素膜からなる第１層間絶縁膜３１８を８００ｎｍの厚さに形成する。形成方法としてはプラズマＣＶＤ法を用いれば良い。第１層間絶縁膜３１８としては他の無機絶縁膜を用いても良いし、樹脂（有機絶縁膜）を用いても良い。

【００５８】

次に、図３（Ｅ）に示すように、第１層間絶縁膜３１８にコンタクトホールを形成して配線３１９～３２２を形成する。本実施例では配線３１９～３２２としてチタン／アルミニウム／チタンの三層構造からなる金属配線を用いる。勿論、導電膜であれば如何なる材料を用いても良い。配線３１９～３２２はＴＦＴのソース配線もしくはドレイン配線となる。

【００５９】

また、電流制御ＴＦＴのドレイン配線３２２は接続配線３０９と電気的に接続される。その結果、電流制御ＴＦＴ４０２のドレインと電流供給線３１７とが電気的に接続される。

【００６０】

この状態でスイッチングＴＦＴ４０１及び電流制御ＴＦＴ４０２が完成する。本実施例ではどちらのＴＦＴもｐチャネル型ＴＦＴで形成されるが、両方もしくはいずれか一方をｎチャネル型ＴＦＴとしても良い。

【００６１】

また、スイッチングＴＦＴ４０１はゲート電極が活性層を二カ所で横切るように形成され

SDC EX. 1016 - 779/959

ており、二つのチャネル形成領域が直列に接続された構造となっている。このような構造とすることでオフ電流値（ＴＦＴがオフされた時に流れる電流）を効果的に抑制することができる。

【００６２】

また、画素内では図５（Ａ）に示すように保持容量５０４が形成される。保持容量５０４の断面図（図５（Ａ）をＢ－Ｂ’で切断した断面図）を図６に示す。保持容量５０４は電流制御ＴＦＴ４０２のドレインに電気的に接続された半導体層５０５、ゲート絶縁膜３０６及び容量配線５０６で形成される。即ち、半導体層５０５と容量配線５０６はゲート絶縁膜３０６により絶縁され、コンデンサ（保持容量）を形成している。

【００６３】

容量配線５０６はゲート配線５０２や電流供給線３１７と同時に形成され、ゲート電極３０８と接続配線５０７とを電気的に接続する配線も兼ねる。なお、接続配線５０７はスイッチングＴＦＴ４０１のドレイン配線（ソース配線として機能する場合もある）３２０に電気的に接続されている。

【００６４】

本実施例に示す保持容量の利点は、容量配線５０６が活性層を形成した後に形成される点である。即ち、本実施例の場合、半導体層５０５がｐ型不純物領域となっているため、そのまま電極として用いることが可能である。

【００６５】

配線３１９～３２２を形成したら、窒化珪素膜もしくは窒化酸化珪素膜からなるパッシベーション膜３２３を２００ｎｍの厚さに形成する。このパッシベーション膜３２３を形成する前もしくは後に水素化処理を行うことでＴＦＴの電気特性を向上させることができる。

【００６６】

次に、図４（Ａ）に示すように、第２層間絶縁膜３２４としてアクリル樹脂を１μｍの厚さに形成し、コンタクトホール３２５を開けた後、異方導電性膜３２６を形成する。本実施例では異方導電性膜３２６として銀粒子を分散させたアクリル樹脂を用いる。また、異方導電性膜３２６はコンタクトホール３２５を平坦化することができる程度に十分な厚さで形成することが望ましい。本実施例では、１．５μｍの厚さでスピンコーティング法により形成する。

【００６７】

次に、異方導電性膜３２６を、酸素ガスを用いたプラズマによりエッチングする。このプロセスは第２層間絶縁膜３２４が露呈するまで続けられる。エッチングが終了すると、図３（Ｂ）に示すような形状で導電体プラグ３２７が形成されることになる。なお、第２層間絶縁膜３２４が露呈した時、導電体プラグ３２７は第２層間絶縁膜３２４とのエッチングレートの差により段差を生じる場合があるが、段差が１００ｎｍ以下（好ましくは５０ｎｍ以下）であれば特に問題とはならない。

【００６８】

導電体プラグ３２７を形成したら、スカンジウムもしくはチタンを添加したアルミニウム膜及びＩＴＯ膜（酸化インジウムと酸化スズとの化合物膜）を積層し、エッチングしてスカンジウムもしくはチタンを添加したアルミニウム膜からなる画素電極３２８及びＩＴＯ膜からなる第１の透明電極３２９を形成する。本実施例では画素電極３２８と第１の透明電極３２９とで陽極３４０が形成される。

【００６９】

本実施例では、アルミニウム膜の膜厚は２００ｎｍとし、ＩＴＯ膜の膜厚は１００ｎｍとする。また、ＩＴＯ膜はＩＴＯ－０４Ｎ（関東化学株式会社のＩＴＯ膜用エッチング溶液の商品名）でエッチング可能であり、アルミニウム膜は四塩化炭素（$SiCl_4$）と塩素（Cl_2）を混合したガスを用いたドライエッチング法によりエッチング可能である。

【００７０】

こうして得られた図４（Ｂ）の断面構造は、図５（Ａ）においてＡ－Ａ’で切断した断面

構造に相当する。

【００７１】

次に、図４（Ｃ）に示すように、バンクとして絶縁膜３３０を形成する。本実施例ではアクリル樹脂を用いてバンク３３０を形成するが、酸化珪素膜を用いて形成することも可能である。バンク３３０を形成したら第１の透明電極３２９に対して酸素雰囲気中で紫外光を照射し、第１の透明電極３２９の表面処理を行う。これは第１の透明電極３２９の仕事関数を大きくする作用があり、さらに表面汚染を除去する作用もある。

【００７２】

そして、有機ＥＬ膜３３１、３３２を各々５０ｎｍの厚さに形成する。なお、有機ＥＬ膜３３１は青色に発光する有機ＥＬ膜であり、有機ＥＬ膜３３２は赤色に発光する有機ＥＬ膜である。なお、図示しないが同時に緑色に発光する有機ＥＬ膜も形成する。本実施例では、シャドーマスクを用いた蒸着法により画素ごとに有機ＥＬ膜を作り分ける。勿論、印刷法やインクジェット法を用いて作り分けることも可能である。

【００７３】

また、本実施例では有機ＥＬ膜３３１、３３２を単層で用いる例を示しているが、正孔注入層としてＣｕＰｃ（銅フタロシアニン）を用いた積層構造とすることも有効である。この場合、まず全面に銅フタロシアニン膜を形成し、その後、赤色、緑色及び青色に対応する画素ごとに各々赤色に発光する有機ＥＬ膜、緑色に発光する有機ＥＬ膜及び青色に発光する有機ＥＬ膜を形成する。

【００７４】

なお、緑色の有機ＥＬ膜を形成する時は、有機ＥＬ膜の母体材料としてAlq_3（トリス－８－キノリノラトアルミニウム錯体）を用い、キナクリドンもしくはクマリン６をドーパントとして添加する。また、赤色の有機ＥＬ膜を形成する時は、有機ＥＬ膜の母体材料としてAlq_3を用い、ＤＣＪＴ、ＤＣＭ１もしくはＤＣＭ２をドーパントとして添加する。また、青色の有機ＥＬ膜を形成する時は、発光層の有機ＥＬ膜として$BAlq_3$（２－メチル－８－キノリノールとフェノール誘導体の混合配位子を持つ５配位の錯体）を用い、ペリレンをドーパントとして添加する。

【００７５】

勿論、本発明では上記有機ＥＬ膜に限定する必要はなく、公知の低分子系有機ＥＬ膜、高分子系有機ＥＬ膜を用いることが可能である。高分子系有機ＥＬ膜を用いる場合は塗布法（スピンコート法、インクジェット法もしくは印刷法）を用いることもできる。

【００７６】

以上のようにして有機ＥＬ膜３３１、３３２を形成したら、第２の透明電極３３３として２０ｎｍの厚さのＭｇＡｇ膜（マグネシウム（Ｍｇ）に１～１０％の銀（Ａｇ）を添加した金属膜）を形成し、さらに第３の透明電極３３４として２５０ｎｍの厚さのＩＴＯ膜を形成する。本実施例では第２の透明電極３３３および第３の透明電極３３４で陰極３４１が形成される。

【００７７】

こうして陽極３４０、有機ＥＬ膜３３１（もしくは有機ＥＬ膜３３２）及び陰極３４１からなるＥＬ素子４００が形成される。本実施例ではこのＥＬ素子が発光素子として機能する。

【００７８】

次に、図４（Ｄ）に示すように、封止体３３５上に透明導電膜からなる補助電極３３６を２５０ｎｍの厚さに設け、さらに、異方導電性膜からなる導電体３３７を第３の透明電極３３４上に設ける。そして、シール材（図示せず）を用いて基板３０１と封止体３３５とを貼り合わせる。

【００７９】

なお、貼り合わせ工程はアルゴン雰囲気中で行う。その結果、空間３３８にはアルゴンが封入される。勿論、封入するガスは不活性ガスであれば良く、窒素ガスもしくは希ガスを用いれば良い。また、空間３３８には酸素もしくは水を吸着する物質を設けることが好ま

SDC EX. 1016 - 781/959

しい。また、空間にするのではなく、樹脂を充填させることも可能である。

【００８０】

以上に示した作製工程によって、画素内にスイッチングＴＦＴ（本実施例ではｐチャネル型ＴＦＴ）４０１及び電流制御ＴＦＴ（本実施例ではｐチャネル型ＴＦＴ）４０２が形成される。本実施例では全てのＴＦＴをｐチャネル型ＴＦＴとするため、作製工程が非常に簡便である。

【００８１】

また、第２層間絶縁膜３２４により段差の平坦化を行い、さらに電流制御ＴＦＴ４０２のドレイン配線３２１と画素電極３２８とを、コンタクトホール３２５に埋め込まれた導電体プラグ３２７を用いて電気的に接続しているため、陽極３４０の平坦性が高い。従って、有機ＥＬ膜３３２の膜厚の均一性を高めることができるので画素の発光を均一なものとすることができる。

【００８２】

〔実施例２〕

本実施例では、図２に示したＥＬ発光装置とは異なる構造の画素を有したＥＬ発光装置について図７を用いて説明する。なお、本実施例は図２の構造に多少の変更を加えるだけで作製可能であり、図２と異なる点に注目して説明する。従って、図２と同一の符号が付されている部分の説明は「発明の実施の形態」を参照すれば良い。

【００８３】

本実施例では層間絶縁膜２０５にコンタクトホールを形成したら、その状態で画素電極７０１及び第１の透明電極７０２を形成し、コンタクトホールによる凹部を埋めるように絶縁膜７０３を形成する。本実施例ではこの絶縁膜７０３を埋め込み絶縁膜と呼ぶ。埋め込み絶縁膜７０３はバンク２０９と同時に形成することができるため、特に工程を増加させることはない。

【００８４】

この埋め込み絶縁膜７０３は、図２の導電体プラグ２０６と同様にコンタクトホールによる凹部に起因する陰極と陽極のショートを防止するためのものである。このとき、埋め込み絶縁膜７０３の上面と第２の透明電極７０２の上面との間の高さは１００～３００ｎｍとすることが好ましい。この高さが３００ｎｍを超えるとその段差が陰極と陽極のショートを生じさせる原因となる場合がある。また、１００ｎｍ以下になると同時形成のバンク２０９の作用（画素電極のエッジ部における電界集中の影響を抑制する作用）が低下してしまう恐れがある。

【００８５】

本実施例では、第２の透明電極７０２を形成した後、スピンコーティング法によりアクリル樹脂を５００ｎｍの厚さに形成し、酸素ガスをプラズマ化してアクリルの膜厚（但しコンタクトホール外での膜厚）が２００ｎｍとなるまでエッチングする。こうして膜厚を薄くした後にパターニングしてバンク２０９及び埋め込み絶縁膜７０３を形成する。

【００８６】

ここで本実施例の画素の上面構造を図８に示す。図８において、Ａ－Ａ’で切断した断面図が図７に相当する。なお、図８に封止体２１５、導電体２１７は図示していない。また、基本的な画素構造は図５と同一であるので詳細な説明は省略する。

【００８７】

図８において、バンク２０９は画素電極７０１、陽極７０２の端部の段差を隠すように形成され、埋め込み絶縁膜７０３はバンク２０９の一部が突出して形成されている。この突出した絶縁膜が画素電極７０１のコンタクトホールによる凹部を埋め込む構造となっている。

【００８８】

なお、本実施例のＥＬ発光装置は、実施例１の作製方法に上記埋め込み絶縁膜の形成方法を組み合わせることで容易に作製することができる。

【００８９】

SDC EX. 1016 - 782/959

〔実施例３〕
発明の実施の形態および実施例１に示したＥＬ発光装置では、画素部の構造しか示していないが、画素部を駆動するための駆動回路を同一基板上に一体形成しても良い。その際、駆動回路をｎＭＯＳ回路、ｐＭＯＳ回路もしくはＣＭＯＳ回路で形成することが可能である。勿論、画素部のみをＴＦＴで形成し、外付けの駆動回路、典型的にはＩＣチップを含む駆動回路（ＴＣＰやＣＯＧなど）を用いても良い。
【００９０】
また、実施例１では画素部をｐチャネル型ＴＦＴだけで形成して作製工程を削減しているが、この場合はｐＭＯＳ回路で駆動回路を形成し、ｐＭＯＳで作製できない駆動回路としてＩＣチップを含む駆動回路を用いることもできる。
【００９１】
なお、本実施例の構成は実施例１または実施例２の構成と自由に組み合わせて実施することが可能である。
【００９２】
〔実施例４〕
本実施例では、画素部に形成するスイッチングＴＦＴ及び電流制御ＴＦＴの活性層として非晶質珪素膜（アモルファスシリコン膜）を用いる例を示す。非晶質珪素膜を用いたＴＦＴとしては逆スタガ型ＴＦＴが知られているが、本実施例では逆スタガ型ＴＦＴを用いることもできる。
【００９３】
非晶質珪素膜を用いてＴＦＴは作製工程が簡便である一方、素子サイズが大きくなってしまうという欠点もあったが、本発明のＥＬ発光装置ではＴＦＴのサイズが画素の有効発光面積に影響しない。従って、非晶質珪素膜を活性層として用いることでより安価なＥＬ発光装置を作製することができる。
【００９４】
なお、本実施例の構成は実施例１～実施例３のいずれの構成とも自由に組み合わせて実施することが可能である。ただし、実施例３と組み合わせる場合、非晶質珪素膜を用いたＴＦＴで動作速度の速い駆動回路を作製することが困難であるため、ＩＣチップを含む駆動回路を外付けすることが望ましい。
【００９５】
〔実施例５〕
実施例１～実施例４では、アクティブマトリクス型ＥＬ発光装置について説明してきたが、本発明はパッシブマトリクス型ＥＬ発光装置のＥＬ素子に対して実施することも可能である。
【００９６】
なお、本実施例の構成は実施例１～実施例３のいずれの構成とも自由に組み合わせて実施することが可能である。ただし、実施例３と組み合わせる場合はＩＣチップを含む駆動回路を外付けすることになる。
【００９７】
〔実施例６〕
本発明を実施して形成した発光装置は様々な電気器具の表示部として用いることができる。なお、発光装置を筐体に組み込んだディスプレイには、パソコン用ディスプレイ、ＴＶ放送受信用ディスプレイ、広告表示用ディスプレイ等の全ての情報表示用ディスプレイが含まれる。
【００９８】
また、その他の本発明の電気器具としては、ビデオカメラ、デジタルカメラ、ゴーグル型ディスプレイ（ヘッドマウントディスプレイ）、ナビゲーションシステム、音楽再生装置（カーオーディオ、オーディオコンポ等）、ノート型パーソナルコンピュータ、ゲーム機器、携帯情報端末（モバイルコンピュータ、携帯電話、携帯型ゲーム機または電子書籍等）、画像再生装置（記録媒体に記録された画像を再生し、その画像を表示する表示部を備

えた装置）が挙げられる。それらの具体例を図１０、図１１に示す。

【００９９】

図１０（Ａ）はＥＬディスプレイであり、筐体２００１、支持台２００２、表示部２００３を含む。本発明の発光装置は表示部２００３に用いることができる。ＥＬディスプレイは自発光型であるためバックライトが必要なく、液晶ディスプレイよりも薄い表示部とすることができる。

【０１００】

図１０（Ｂ）はビデオカメラであり、本体２１０１、表示部２１０２、音声入力部２１０３、操作スイッチ２１０４、バッテリー２１０５、受像部２１０６を含む。本発明の発光装置は表示部２１０２に用いることができる。

【０１０１】

図１０（Ｃ）はデジタルカメラであり、本体２２０１、表示部２２０２、接眼部部２２０３、操作スイッチ２２０４を含む。本発明の発光装置は表示部２２０２に用いることができる。

【０１０２】

図１０（Ｄ）は記録媒体を備えた画像再生装置（具体的にはＤＶＤ再生装置）であり、本体２３０１、記録媒体（ＣＤ、ＬＤまたはＤＶＤ等）２３０２、操作スイッチ２３０３、表示部（ａ）２３０４、表示部（ｂ）２３０５を含む。表示部（ａ）は主として画像情報を表示し、表示部（ｂ）は主として文字情報を表示するが、本発明の発光装置はこれら表示部（ａ）、（ｂ）に用いることができる。なお、記録媒体を備えた画像再生装置には、ＣＤ再生装置、ゲーム機器なども含まれうる。

【０１０３】

図１０（Ｅ）は携帯型（モバイル）コンピュータであり、本体２４０１、表示部２４０２、受像部２４０３、操作スイッチ２４０４、メモリスロット２４０５を含む。本発明の電気光学装置は表示部２４０２に用いることができる。この携帯型コンピュータはフラッシュメモリや不揮発性メモリを集積化した記録媒体に情報を記録したり、それを再生したりすることができる。

【０１０４】

図１０（Ｆ）はパーソナルコンピュータであり、本体２５０１、筐体２５０２、表示部２５０３、キーボード２５０４を含む。本発明の発光装置は表示部２５０３に用いることができる。

【０１０５】

なお、将来的にＥＬ材料の発光輝度が高くなれば、出力した画像情報を含む光をレンズ等で拡大投影してフロント型若しくはリア型のプロジェクターに用いることも可能となる。

【０１０６】

また、上記電子装置はインターネットやＣＡＴＶ（ケーブルテレビ）などの電子通信回線を通じて配信された情報を表示することが多くなり、特に動画情報を表示する機会が増してきている。ＥＬ材料の応答速度は非常に高いため、そのような動画表示を行うに適している。

【０１０７】

また、発光装置は発光している部分が電力を消費するため、発光部分が極力少なくなるように情報を表示することが望ましい。従って、携帯情報端末、特に携帯電話やカーオーディオのような文字情報を主とする表示部に発光装置を用いる場合には、非発光部分を背景として文字情報を発光部分で形成するように駆動することが望ましい。

【０１０８】

ここで図１１（Ａ）は携帯電話であり、本体２６０１、音声出力部２６０２、音声入力部２６０３、表示部２６０４、操作スイッチ２６０５、アンテナ２６０６を含む。本発明の発光装置は表示部２６０４に用いることができる。なお、表示部２６０４は黒色の背景に白色の文字を表示することで携帯電話の消費電力を抑えることができる。

【０１０９】

SDC EX. 1016 - 784/959

また、図１１（Ｂ）はカーオーディオであり、本体２７０１、表示部２７０２、操作スイッチ２７０３、２７０４を含む。本発明の発光装置は表示部２７０２に用いることができる。また、本実施例では車載用カーオーディオを示すが、据え置き型のカーオーディオに用いても良い。なお、表示部２７０４は黒色の背景に白色の文字を表示することで消費電力を抑えられる。

【０１１０】

さらに、光センサを内蔵させ、使用環境の明るさを検知する手段を設けることで使用環境の明るさに応じて発光輝度を変調させるような機能を持たせることは有効である。使用者は使用環境の明るさに比べてコントラスト比で１００～１５０の明るさを確保できれば問題なく画像もしくは文字情報を認識できる。即ち、使用環境が明るい場合は画像の輝度を上げて見やすくし、使用環境が暗い場合は画像の輝度を抑えて消費電力を抑えるといったことが可能である。

【０１１１】

以上の様に、本発明の適用範囲は極めて広く、あらゆる分野の電気器具に用いることが可能である。また、本実施例の電気器具は実施例１～５に示したいずれの構成の発光装置を用いても良い。

【０１１２】

【発明の効果】

本発明では、有機ＥＬ膜を成膜した後で形成される透明導電膜からなる電極に対して、封止体側に設けられた透明導電膜からなる電極を異方導電性膜を用いて電気的に接続する点に特徴がある。これにより有機ＥＬ膜を成膜した後で形成される透明導電膜の抵抗値を実質的に下げることができ、均一な電圧の印加を可能とすることができる。

【０１１３】

また、本発明では陰極を透明もしくは半透明とし、且つ、ＥＬ素子の下に反射電極を設けることにより陰極側に光を取り出す構造とした発光装置と組み合わせることで、画素の有効発光面積が大幅に向上した明るく画質の良好な発光装置を得ることができる。また、本発明の発光装置を表示部として用いた良好な画質の電気器器具を得ることができる。

【図面の簡単な説明】

【図１】　発光装置の断面構造を示す図。

【図２】　発光装置の断面構造を示す図。

【図３】　発光装置の作製工程を示す図。

【図４】　発光装置の作製工程を示す図。

【図５】　発光装置の画素の上面構造及び回路構成を示す図。

【図６】　保持容量の断面構造を示す図。

【図７】　発光装置の断面構造を示す図。

【図８】　発光装置の上面構造を示す図。

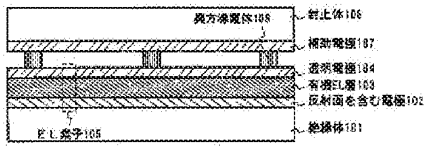
【図９】　従来の発光装置の断面構造を示す図。

【図１０】　電気器具の具体例を示す図。

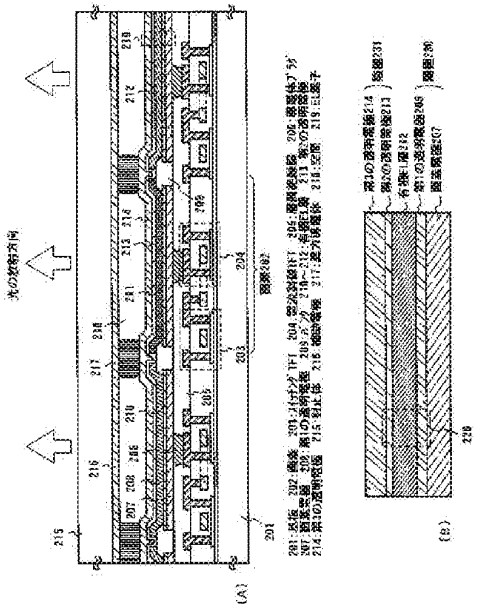
【図１１】　電気器具の具体例を示す図。

SDC EX. 1016 - 785/959

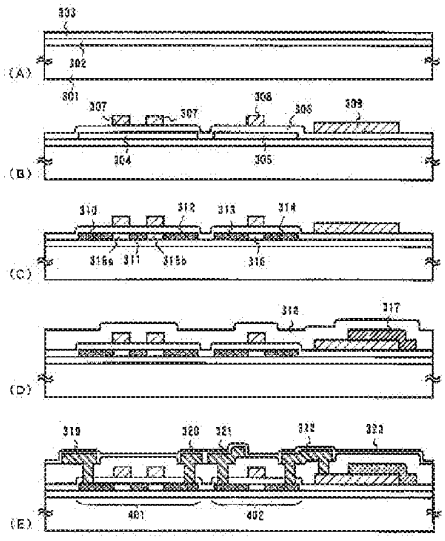
【図1】



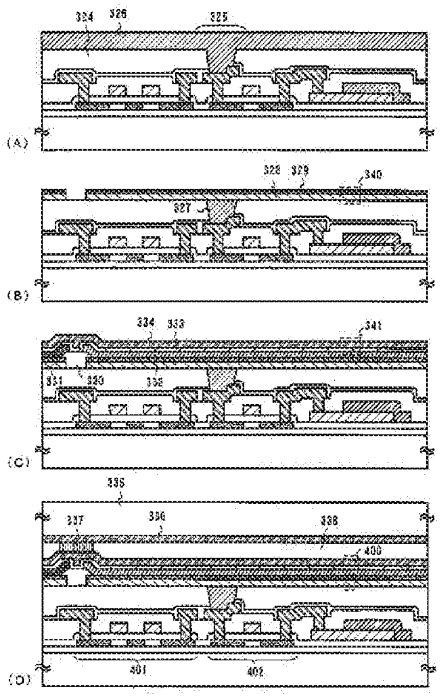
【図2】



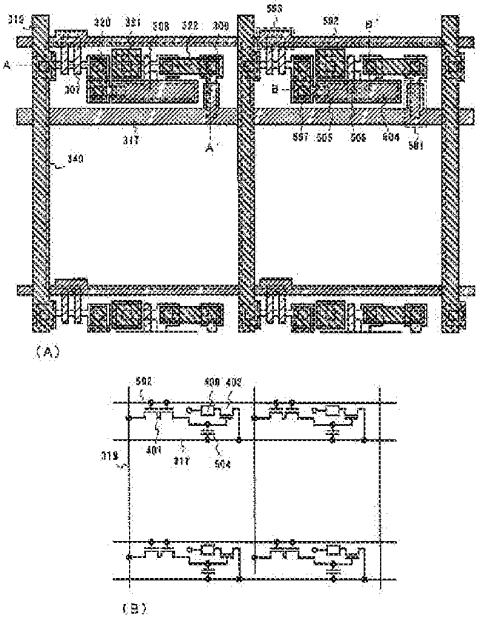
【図3】



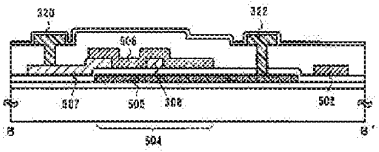
【図4】



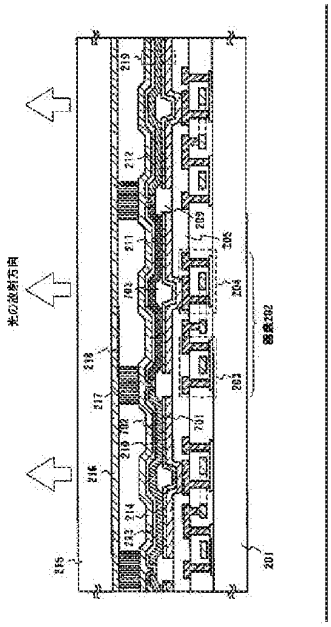
【図５】



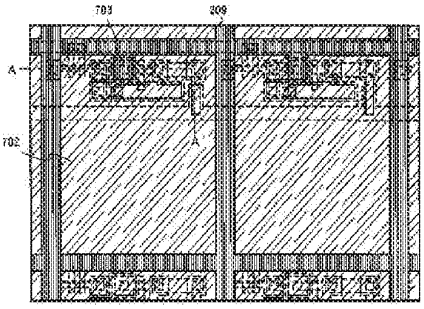
【図６】



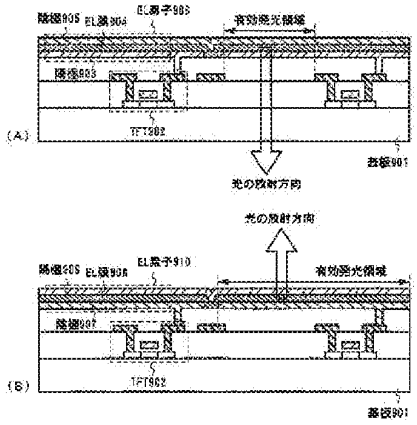
【図７】



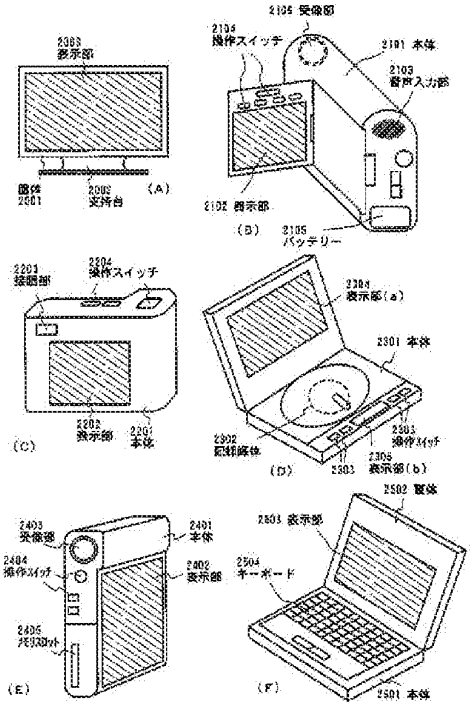
【図８】



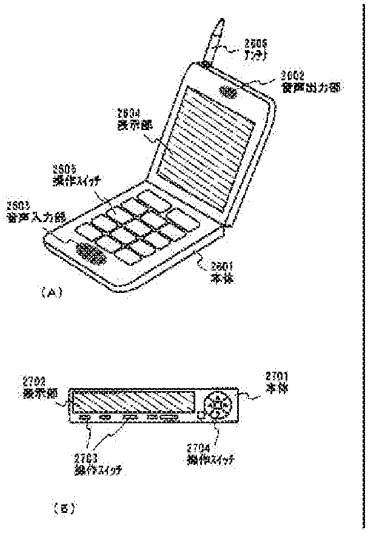
【図９】


陽極905
EL層906
EL素子908
有効発光領域
陰極907
TFT902
基板901
光の放射方向
(A)
(B)

【図１０】


2106 受像部
2104 操作スイッチ
2101 本体
2103 音声入力部
2102 表示部
2105 バッテリー
(B)
2003 表示部
2001 筐体
2002 支持台
(A)
2203 接続部
2204 操作スイッチ
2202 表示部
2201 本体
(C)
2304 表示部(a)
2301 本体
2302 記録媒体
2303 操作スイッチ
2305 表示部(b)
(D)
2403 受像部
2401 本体
2404 操作スイッチ
2402 表示部
2405 バッテリー
(E)
2502 筐体
2503 表示部
2504 キーボード
2501 本体
(F)

【図１１】


2605 ペン
2602 音声出力部
2604 表示部
2605 操作スイッチ
2603 音声入力部
2601 本体
(A)
2702 表示部
2701 本体
2703 操作スイッチ
2704 操作スイッチ
(B)

(51)Int.Cl.　　F I
Ｈ０１Ｌ　51/50　(2006.01)　　Ｈ０５Ｂ　33/14　A
Ｈ０５Ｂ　33/24　(2006.01)　　Ｈ０５Ｂ　33/24
Ｈ０５Ｂ　33/28　(2006.01)　　Ｈ０５Ｂ　33/28

(58)調査した分野(Int.Cl., ＤＢ名)
H01L　51/50-51/56
H01L　27/32
H05B　33/00-33/28
G09F　9/30

SDC EX. 1016 - 789/959

Espacenet

Bibliographic data: JP4742880 (B2) — 2011-08-10

ILLUMINATION PANEL AND LUMINAIRE

Inventor(s): TANAHASHI OSAMU, ; IMAOKA YOSHIHIDE, ; NOBUI TOMOYA, ; KONO KENJI, ; KONDO YOSUKE

Applicant(s): MATSUSHITA ELECTRIC WORKS LTD

Classification: **- international:** ***H01L51/50; H05B33/02; H05B33/24***
- cooperative: **H01L51/5268**

Application number: JP20060014909 20060124 Global Dossier

Priority number(s): JP20060014909 20060124

Also published as: JP2007200597 (A)

Abstract of JP2007200597 (A)

PROBLEM TO BE SOLVED: To provide an illumination panel capable of improving appearance of an irradiation surface in extinguishing it without causing increase of power consumption and increase of an application voltage; and to provide a lighting system using it. ;SOLUTION: This illumination panel is composed by stacking a translucent first electrode layer 12, a translucent light emitting layer 13, a translucent second electrode layer 14, and a diffusion/reflection layer 15 for diffusing and reflecting light entered by passing through the second electrode layer 12 in that order. ;COPYRIGHT: (C)2007,JPO&INPIT

SDC EX. 1016 - 790/959

(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4742880号
(P4742880)
(45)発行日　平成23年8月10日(2011.8.10)　(24)登録日　平成23年5月20日(2011.5.20)

(51)Int.Cl.　F I
H05B 33/02 (2006.01)　H05B 33/02
H01L 51/50 (2006.01)　H05B 33/14　A
H05B 33/24 (2006.01)　H05B 33/24

請求項の数 5　(全 9 頁)

(21)出願番号　特願2006-14909(P2006-14909)
(22)出願日　平成18年1月24日(2006.1.24)
(65)公開番号　特開2007-200597(P2007-200597A)
(43)公開日　平成19年8月9日(2007.8.9)
審査請求日　平成20年11月20日(2008.11.20)

(73)特許権者　000005832
パナソニック電工株式会社
大阪府門真市大字門真１０４８番地
(74)代理人　100067828
弁理士　小谷　悦司
(74)代理人　100096150
弁理士　伊藤　孝夫
(72)発明者　棚橋　理
大阪府門真市大字門真１０４８番地　松下電工株式会社内
(72)発明者　今岡　善秀
大阪府門真市大字門真１０４８番地　松下電工株式会社内

最終頁に続く

(54)【発明の名称】照明パネル及び照明器具

(57)【特許請求の範囲】

【請求項1】
透光性の第１電極層と、
透光性の発光層と、
透光性の第２電極層と、
前記第２電極層を透過して入射した光を拡散反射させる拡散反射層とがこの順に積層されて成り、
前記拡散反射層における前記第２電極層に臨む面は、前記発光層の補色であること
を特徴とする照明パネル。

【請求項2】
前記拡散反射層における前記第２電極層に臨む面は、粗面であること
を特徴とする請求項１記載の照明パネル。

【請求項3】
前記拡散反射層における前記第２電極層に臨む面は、白色であること
を特徴とする請求項１又は２記載の照明パネル。

【請求項4】
前記発光層は、ＥＬ発光体であること
を特徴とする請求項１～３のいずれか１項に記載の照明パネル。

【請求項5】
請求項１～４のいずれか１項に記載の照明パネルと、

SDC EX. 1016 - 791/959

前記第１電極層と前記第２電極層との間へ電力を供給することにより、前記発光層を発光させる電源部とを備えること

を特徴とする照明器具。

【発明の詳細な説明】

【技術分野】

【０００１】

本発明は、ＥＬ（Electro Luminescence）を用いたＥＬ照明パネルのように、電極層が透光性の発光層を挟持して成る照明パネルに関し、特に消灯時に照射面の見栄えが良い照明パネル、及びこれを用いた照明器具に関するものである。

【背景技術】

【０００２】

従来、電極層が透光性の発光層を挟持して成なる表示パネルとして、ＥＬ発光体を透明電極と金属電極とで挟み、透明電極と金属電極との間に電圧を印加することにより、ＥＬ発光体を発光させ、その光を透明電極側から取り出すようにしたＥＬ発光パネルが知られている。しかし、このようなＥＬ発光パネルは、消灯時に外部から入射した光が透明電極とＥＬ発光体とを透過して金属電極で鏡面反射するため、消灯時に照射面の見栄えが悪いという不都合があった。特に、このようなＥＬ発光パネルを照明に用いた場合、発光面が大きく目立つ上に、部屋の天井などに取り付けると天井に鏡を取り付けたようになって、ユーザが違和感を生じるという不都合があった。

【０００３】

一方、上述のような電極層による鏡面反射を抑制することができるＥＬ発光パネルとして、特開平１１－１１１４６４号公報（特許文献１）に記載されているものが参考技術として知られている。これは、金属電極の上に絶縁反射層、ＥＬ発光体、透明電極が順に積層され、さらに透明電極が透明なオーバーコート層で覆われてなるＥＬ表示パネルであり、金属電極の上に絶縁反射層が積層されることで、絶縁反射層によって、ＥＬ発光体が発した光を透明電極側へ拡散反射するものである。かかるＥＬ表示パネルは、発光していない場合には外光が拡散反射されることにより、発光面の見栄えが良くなる。

【０００４】

また同様に、特開２０００－４０５９１号公報（特許文献２）に記載されている発光素子が参考技術として知られている。この発光素子は、第１の電極層と、この第１の電極層の一方の面に隣接して形成された有機電界発光層と、この有機電界発光層の他方の面に隣接して形成されると共に、可視光に対する光反射率が５０％以下である第２の電極層とを備えた有機電界発光素子であり、第２の電極層の光反射率を５０％以下とすることで、第２の電極層による光の反射を抑制し、発光した場合のコントラストを強めるようにされている。かかる発光素子は、発光していない場合には外光が吸収されることとなり、発光面の見栄えが良くなる。

【特許文献1】特開平１１－１１１４６４号公報

【特許文献2】特開２０００－４０５９１号公報

【発明の開示】

【発明が解決しようとする課題】

【０００５】

しかしながら、上述の特許文献１に記載のＥＬ表示パネルでは、ＥＬ発光体と金属電極との間に絶縁反射層が介在するため、金属電極から絶縁反射層を介してＥＬ発光体に発光用の電力が供給されることとなる。そうすると、絶縁反射層は光硬化性樹脂にチタン酸バリウムを分散させたものであって、電気抵抗が大きいため、絶縁反射層における電力損失が増大する結果、消費電力が増大するという不都合があった。また、ＥＬ発光体を発光させる際の絶縁反射層における電圧降下が大きいため、ＥＬ発光体を十分な発光輝度で発光させるためには、ＥＬ発光体と金属電極との間の印加電圧を増大する必要がある。しかし、印加電圧を増大させると、絶縁反射層やＥＬ発光体、あるいは配線パターン等、電圧が印加されるＥＬ表示パネルの各部において、絶縁劣化が生じ易くなり、故障が発生しやす

SDC EX. 1016 - 792/959

くなるおそれがある。

【0006】

また、上述の特許文献２に記載の発光素子では、第２の電極層の光反射率が低いので、消灯時には外光が吸収されることとなり、発光面の見栄えが良くなるものの、このようなパネルを照明に用いた場合、有機電界発光層の発光により得られた光も反射されずに吸収されてしまうので、エネルギー効率が低下し、消費電力が増大するという不都合があった。

【0007】

本発明は、このような問題に鑑みて為された発明であり、消費電力の増大や印加電圧の増大を招くことなく消灯時における照射面の見栄えを改善することができる照明パネル、及びこれを用いた照明装置を提供することを目的とする。

【課題を解決するための手段】

【0008】

上述の目的を達成するために、本発明の第１の手段に係る照明パネルは、透光性の第１電極層と、透光性の発光層と、透光性の第２電極層と、前記第２電極層を透過して入射した光を拡散反射させる拡散反射層とがこの順に積層されて成り、前記拡散反射層における前記第２電極層に臨む面は、前記発光層の補色であることを特徴としている。

【0009】

また、上述の照明パネルにおいて、前記拡散反射層における前記第２電極層に臨む面は、粗面であることを特徴としている。

【0010】

また、上述の照明パネルにおいて、前記拡散反射層における前記第２電極層に臨む面は、白色であることを特徴としている。

【0012】

また、上述の照明パネルにおいて、前記発光層は、ＥＬ発光体であることを特徴としている。

【0013】

そして、本発明の第２の手段に係る照明器具は、上述のいずれかに記載の照明パネルと、前記第１電極層と前記第２電極層との間へ電力を供給することにより、前記発光層を発光させる電源部とを備えることを特徴としている。

【発明の効果】

【0014】

このような構成の照明パネル及び照明器具は、消灯時に外部から入射した光が、第１電極層、発光層、及び第２電極層を透過して拡散反射層で拡散反射され、再び第２電極層、発光層、及び第１電極層を透過して拡散光として外部に出射するため、消灯時における照射面の見栄えを改善することができる。また、拡散反射層は、発光層を挟む第１及び第２電極層の外側に設けられているので、第１及び第２電極層間の印加電圧を増大する必要がなく、さらに拡散反射層により電力損失が生じることが無いので、消費電力の増大を抑制することができる。

【発明を実施するための最良の形態】

【0015】

以下、本発明に係る実施形態を図面に基づいて説明する。なお、各図において同一の符号を付した構成は、同一の構成であることを示し、その説明を省略する。図１は、本発明の一実施形態に係る照明パネルを用いた照明装置の構成の一例を示す図である。図１に示す照明装置１は、照明パネル２と、電源部３とを備えている。図１において、照明パネル２は、断面図で示している。

【0016】

図１に示す照明パネル２は、発光層として例えば有機ＥＬ発光体を用いた有機ＥＬパネルである。照明パネル２は、基板１１と、基板１１上に積層された透光性の第１電極層１２と、第１電極層１２上に積層された透光性の発光層１３と、発光層１３上に積層された

透光性の第２電極層１４と、第２電極層１４上に第２封止部材１７を挟んで積層された拡散反射層１５と、拡散反射層１５の外側に設けられた金属基板１８と、第１及び第２封止部材１６，１７とを備えて構成される。

【0017】

基板１１は、透光性の一対の第１及び第２封止部材１６，１７によって発光層１３を挟んで成る有機ＥＬ層を支持するための平板状の部材であり、発光層１３で発光する光の波長に対して透明な材料、例えばガラス等から成る。金属基板１８は、反射鏡自体又は反射面の支持板であり、例えばアルミの金属板が用いられる。

【0018】

第１及び第２電極層１２，１４は、発光層１３で発光する光の波長に対して透明な材料から成る導電性の薄膜であり、一方が陽極、他方が陰極となる。第１及び第２電極層１２，１４は、発光層１３が可視光を発光するので、例えば、ＩＴＯ（Indium Tin Oxide）等で形成される。第１電極層１２は、その一部が基板１１の一方端側に第１封止部材１６から露出するように引き出されて端子部１２１を形成している。また、第２電極層１４は、その一部が基板１１の一方端側に対向する他方端側に第１封止部材１６から露出するように引き出されて端子部１４１を形成している。

【0019】

発光層１３は、例えば、正孔注入層、蛍光物質の有機材料又は蛍光物質を含む有機材料から成る発光層、及び電子注入層の各層を備えて構成される有機ＥＬ発光体が用いられる。なお、発光層１３は、有機ＥＬ発光体に限られず、例えば無機ＥＬ発光体やＬＥＤ（Light Emitting Diode）等、他の発光素子であってもよい。

【0020】

拡散反射層１５は、第２電極層１４及び第２封止部材１７を透過して入射した光を第２封止部材１７に向けて拡散反射させる反射部材である。図２は、拡散反射層１５の構成の一例を示す断面図である。図２に示す拡散反射層１５は、白色の反射層で、例えば、以下のような工程で製造される。まず、金属基板１８の表面に、エポキシメラミンアクリル樹脂（久保考ペイント社製、品番ＫＭクリアー５９６－００３）をスプレー塗装した後、１６０℃で３０分加熱して、厚み８～１５μｍのアンダーコート層１５１を形成する。次いで、アンダーコート層１５１の表面に、スパッタリング法により銀の金属層１５２を１５０ｎｍ形成する。

【0021】

次に、熱硬化シリコン変性アクリル系樹脂（大日本インキ化学工業社製、品番ＨＣ６２２５／ＨＣ６２０２）に、光拡散粒子Ａとしてシリカ粒子（粒径１～３μｍ）及びアエロジル粒子を含有し、金属不活性化剤としてトリルトリアゾールの誘導体（Ｃｉｂａ　Ｓｐｅｃｉａｌｔｙ　ｃｈｅｍｉｃａｌｓ社製、商品名Ｉｒｇａｍｅｔ３９）を含有する樹脂組成物を、金属層の表面にスプレー塗装した後、１４０℃で３０分加熱して、厚み８～１３μｍのオーバーコート層１５３を形成する。なお、オーバーコート層１５３を形成する樹脂組成物１００重量部中には、シリカ粒子を２重量部含有し、金属不活性化剤を０．５重量部含有するようにしてもよい。これにより、第２封止部材１７に臨む側の一方面１５４が白色の拡散反射層１５が構成される。

【0022】

また、例えば、このようにして得られた白色の拡散反射層１５における一方面１５４を、例えばサンドブラストにより粗面にしてもよい。

【0023】

また、拡散反射層１５は、第２封止部材１７に臨む側の一方面１５４が、フォトリソグラフィー法により粗面にされていてもよい。例えば金属基板１８の表面に感光性樹脂を塗布し、パターン形成されたマスクを介して感光性樹脂層に紫外線を照射し、樹脂層の露光部分又は未露光部分を現像液で除去して露出面を形成し、さらに再度同様の工程を繰り返して、一方面１５４に凹凸を形成し、すなわち粗面にされた拡散反射層１５を形成するフォトリソグラフィー法により、拡散反射層１５を作製してもよい。

SDC EX. 1016 - 794/959

【0024】
あるいは、上述のようなフォトリソグラフィー法により作製したフィルム状の拡散反射層１５において、一方面１５４とは反対側の表面に、さらにスパッタによりＡｌ金属膜０．１μｍを成膜して拡散反射層１５を作製してもよい。また、粗面にされた一方面１５４の、凹凸段差は例えば２～３μｍ程度、凹凸ピッチは例えば１０μｍ程度のものを用いることができる。
【0025】
あるいは、拡散反射層１５として、ポリエステルフィルムを延伸することにより、フィルム内部に微細な気泡（大きさとしては１～数十μｍ）が生じ、これによる拡散反射により白い外観を呈するもの、例えば東レ株式会社製のルミラー（登録商標）を用いてもよい。
【0026】
上述のように、一方面１５４が白色にされ、あるいは粗面にされた拡散反射層１５は、一方面１５４から入射した光を拡散反射することができる。
【0027】
第１及び第２封止部材１６，１７は、基板１１と協同して発光層１３を気密に封止するための絶縁性の部材である。そして、例えば、基板１１、第１電極層１２、発光層１３、及び第２電極層１４が積層され、その上に第２封止部材１７が載せられ、例えば接着性を有する樹脂製の第１封止部材１６が、端子部１２１を除く第１電極層１２、発光層１３、端子部１４１を除く第２電極層１４、及び拡散反射層１５を覆うように塗布され、第１封止部材１６を介して第２電極層１４上に載せられた第２封止部材１７に圧力が加えられることによって、第２封止部材１７が第１封止部材１６によって第２電極層１４に接着されると共に、第２封止部材１７の周縁部が第１封止部材１６によって基板１１に気密に接着して接合される。これによって第１及び第２封止部材１６，１７は、基板１１と協同して発光層１３を気密に封止する。
【0028】
このような照明パネル２は、例えば、次の各工程によって製造される。まず、８ｃｍ□のガラス製の基板１１上における略中央部にＩＴＯの第１電極層１２を幅６ｃｍ、厚み１５００オングストローム、シート抵抗１０Ω/□で形成する。次に、この第１電極層１２のＩＴＯ薄膜を形成した基板１１を、アセトン、イソプロピルアルコール（共に（株）関東化学製）、セミコクリーン（フルウチ科学製）、超純水で、それぞれ１０分間超音波洗浄を行った後、イソプロピルアルコールの蒸気で洗浄し、乾燥させる。次に、大気圧プラズマ表面処理装置（松下電工（株）製）で、３分間、この第１電極層１２のＩＴＯ薄膜が形成された基板１１の表面処理を行う。
【0029】
次に、６．４ｃｍ□の開口部を有する有機発光層用マスクを用い、４，４’－ビス［Ｎ－（ナフチル）－Ｎ－フェニル－アミノ］ビフェニル（α－ＮＰＤ）を５００オングストローム、Ａｌｑ３にクマリンを１質量％ドープした層を厚み３００オングストロームで蒸着する。次に、Ａｌｑ３を厚み４００オングストローム、ＬｉＦを厚み５オングストロームで蒸着する。これによって正孔注入層、発光層及び電子注入層を備える発光層１３が形成される。
【0030】
次に、ＩＴＯ薄膜の第１電極層１２と直交する向きに幅６ｃｍの開口部を有する第２電極用マスクを用いて、ＩＴＯの第２電極層１４を幅６ｃｍ、厚み１５００オングストローム、シート抵抗１０Ω/□で形成する。
【0031】
次に、第２封止部材１７を、拡散反射層１５が第２電極層１４に接するように第１封止部材１６としてのエポキシ系接着剤で基板１１に貼付することによって気密に封止する。さらに、第２封止部材１７の上に、上述のようにして表面に拡散反射層１５が形成された金属基板１８が拡散反射層１５を内側にして接着され、照明パネル２が形成される。これ

SDC EX. 1016 - 795/959

によって図１に示す照明パネル２が作製される。

【００３２】

このような構成の照明パネル２は、電源部３によって、第１電極層１２の端子部１２１と第２電極層１４の端子部１４１との間に直流の電力を供給することによって、発光層１３が発光する。この発光層１３で発光した光は、一部が第１電極層１２と基板１１とを透過して照明パネル２の出力光として外部へ射出され、残りの一部が第２電極層１４、第２封止部材１７を透過して拡散反射層１５で拡散反射され、第２封止部材１７、第２電極層１４、発光層１３、第１電極層１２、基板１１を透過して照明パネル２の出力光として外部へ射出される。

【００３３】

図３は、電源部３の構成の一例を示す回路図である。図３に示す電源部３は、電源スイッチＳＷと、整流器ＲＥと、コンデンサＣ１、Ｃ２と、スイッチング素子Ｑと、ダイオードＤと、コイルＬと、出力制御回路３１とを備えて構成される。整流器ＲＥは、電源スイッチＳＷを介して交流電源ＡＣに接続される。コンデンサＣ１は、整流器ＲＥの出力陽極端子と出力陰極端子との間に並列に接続され、整流器ＲＥの出力電圧を平滑する。スイッチング素子Ｑの一方端子は、整流器ＲＥの出力陽極端子に接続され、スイッチング素子Ｑの他方端子は、出力制御回路３１のモニタ入力、ダイオードＤのカソード及びコイルＬの一方端に接続される。ダイオードＤのアノードは、整流器ＲＥの出力陰極端子に接続され、コイルＬの他方端は、コンデンサＣ２を介して整流器ＲＥの出力陰極端子に接続される。スイッチング素子Ｑにおけるオンオフの制御端子は、出力制御回路３１の制御出力に接続される。このような構成の電源部３では、電源スイッチＳＷがオンされると、交流電源ＡＣの交流は、整流器ＲＥで直流に変換され、その電圧がコンデンサＣ１で平滑される。コンデンサＣ１で電圧が平滑された直流は、スイッチング素子Ｑ、ダイオードＤ、コイルＬ、コンデンサＣ２及び出力制御回路３１から成るＤＣ－ＤＣコンバークにより降圧され、コンデンサＣ２の両端子から所定の電圧で出力され、発光層１３が発光する。

【００３４】

そして、電源スイッチＳＷがオフされると、電源部３の出力電圧がゼロとなり、発光層１３が消灯する。そうすると、照明パネル２の外部から基板１１に入射した光は、基板１１、第１電極層１２、発光層１３、第２電極層１４、及び第２封止部材１７を透過して拡散反射層１５で拡散反射され、再び第２封止部材１７、第２電極層１４、発光層１３、第１電極層１２、基板１１を透過して照明パネル２から外部へ拡散光として射出される。そうすると、照明パネル２の消灯時に、外部から照明パネル２に入射した光は、拡散反射層１５で拡散反射され、拡散光として出射されるので、照射面の見栄えを改善することができる。

【００３５】

また、拡散反射層１５は、発光層１３を挟持する第１及び第２電極層１２，１４の外側に設けられているので、背景技術に係る特許文献１に記載のＥＬ表示パネルのように、拡散反射層１５により電力損失が生じることが無く、消費電力の増大を抑制することができる。また、拡散反射層１５が、発光層１３を挟持する第１及び第２電極層１２，１４の外側に設けられていることにより、拡散反射層１５で電圧降下が生じることが無く、第１及び第２電極層１２，１４間の印加電圧の増大を抑制し、故障が発生するおそれの増大を抑制することができる。

【００３６】

また、拡散反射層１５は、例えば白色の拡散反射層であって、背景技術に係る特許文献２に記載の発光素子のように光反射率の低い材料ではないので、照明パネル２の点灯時には、発光層１３から出力された光のうち、第１電極層１２側へ出力された光は、第１電極層１２と基板１１とを透過して照明パネル２の出力光として外部へ射出され、第２電極層１４側へ出力された光は、第２電極層１４及び第２封止部材１７を透過して拡散反射層１５で拡散反射され、第２封止部材１７、第２電極層１４、発光層１３、第１電極層１２、基板１１を透過して照明パネル２の出力光として外部へ射出される。そうすると、発光層

SDC EX. 1016 - 796/959

１３から第２電極層１４側へ出力された光も、照明パネル２の出力光として外部へ射出されるので、特許文献２に記載の発光素子のように、エネルギー効率が低下して消費電力が増大することが抑制される。

【0037】

なお、拡散反射層１５は、白色に限られず、例えば、発光層１３の補色としてもよい。発光層１３を構成する有機ＥＬ発光体は、一般に、赤褐色から黄褐色であることが多い。そのため、拡散反射層１５が白色であると、照明パネル２の消灯時に外部から入射した光は、照明パネル２に入射する際と、拡散反射層１５で拡散反射されて出射する際に発光層１３を透過し、赤褐色から黄褐色の光となる。そうすると、照明パネル２の照射面が赤褐色から黄褐色に見えるため、ユーザに違和感を生じるおそれがある。

【0038】

そこで、拡散反射層１５を、例えば発光層１３の色である赤褐色から黄褐色の補色、すなわち緑、青緑、あるいは紺といった色にすることにより、照明パネル２による反射光を無彩色にすることができるので、照射面の見栄えを改善することができる。

【図面の簡単な説明】

【0039】

【図1】本発明の一実施形態に係る照明パネルを用いた照明装置の構成の一例を示す図である。

【図2】図１に示す拡散反射層の構成の一例を示す断面図である。

【図3】図１に示す電源部の構成の一例を示す回路図である。

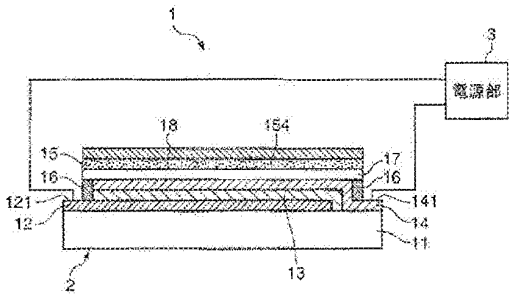
【符号の説明】

【0040】

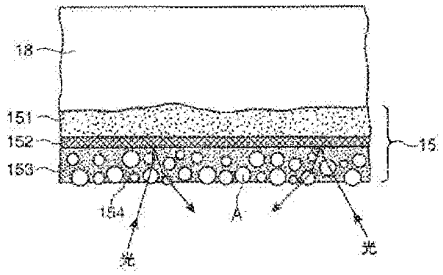
１　照明装置
２　照明パネル
３　電源部
１１　基板
１２　第１電極層
１３　発光層
１４　第２電極層
１５　拡散反射層
１６　第１封止部材
１７　第２封止部材
１８　金属基板
１２１　端子部
１４１　端子部
１５１　アンダーコート層
１５２　金属層
１５３　オーバーコート層

SDC EX. 1016 - 797/959

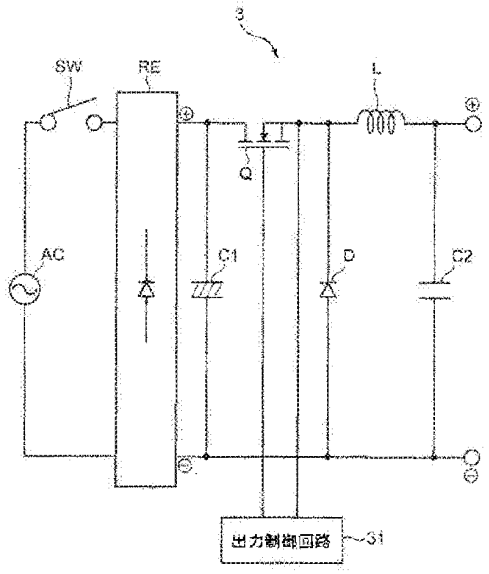
【図1】


1
3
電源部
18
154
15
17
16
16
121
141
12
14
11
2
13

【図2】


18
151
152
153
15
154
A
光
光

【図3】


3
SW
RE
L
Q
AC
C1
D
C2
出力制御回路
31

(72)発明者　信井　友也
大阪府門真市大字門真１０４８番地　松下電工株式会社内
(72)発明者　河野　謙司
大阪府門真市大字門真１０４８番地　松下電工株式会社内
(72)発明者　近藤　陽介
大阪府門真市大字門真１０４８番地　松下電工株式会社内

審査官　東松　修太郎

(56)参考文献　特開２００５－２８５７０８（ＪＰ，Ａ）
特開平３－６４８０２（ＪＰ，Ａ）
特開平１１－８４３７３（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０１Ｌ　５１／５０－５１／５６
Ｈ０５Ｂ　３３／００－３３／２８

SDC EX. 1016 - 799/959

Espacenet

Bibliographic data: JP4828881 (B2) — 2011-11-30

ORGANIC EL DISPLAY DEVICE

Inventor(s): OKUYA SATOSHI

Applicant(s): TOSHIBA MATSUSHITA DISPLAY TECHNOLOGY CO LTD

Classification: **- international:** ***G09F9/30; H01L27/32; H01L51/50; H05B33/24***
- cooperative:

Application number: JP20050206958 20050715 Global Dossier

Priority number(s): JP20050206958 20050715

Also published as: JP2007026867 (A)

Abstract of JP2007026867 (A)

PROBLEM TO BE SOLVED: To reduce observation direction dependency of hue in an organic EL display device adopting a micro-cavity structure for an organic EL element emitting white color. ;SOLUTION: The organic EL display device is provided with the organic EL element OLED which includes a front electrode CE, a rear electrode PE, an organic layer ORG interposed between the electrodes and composes an optical resonator, and a coloring layer CL1 facing the organic EL element OLED. The wavelength λ<SB>res</SB>of the light with the maximum intensity emitted by the organic EL element OLED in the normal line direction is shorter than the wavelength λ<SB>max</SB>, by which the coloring layer CL1 shows the maximum transmittance T<SB>max</SB>, when the wavelength λ<SB>res</SB>is compared with the wavelength λ<SB>max</SB>. ;COPYRIGHT: (C)2007,JPO&INPIT

SDC EX. 1016 - 800/959

(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4828881号
(P4828881)
(45)発行日　平成23年11月30日(2011.11.30)　(24)登録日　平成23年9月22日(2011.9.22)

(51)Int.Cl.　　F I
H05B 33/24 (2006.01)　　H05B 33/24
H01L 51/50 (2006.01)　　H05B 33/14　A
G09F 9/30 (2006.01)　　G09F 9/30　365Z
H01L 27/32 (2006.01)

請求項の数 6　(全 13 頁)

(21)出願番号　特願2005-206958(P2005-206958)
(22)出願日　平成17年7月15日(2005.7.15)
(65)公開番号　特開2007-26867(P2007-26867A)
(43)公開日　平成19年2月1日(2007.2.1)
審査請求日　平成20年6月10日(2008.6.10)

(73)特許権者　302020207
東芝モバイルディスプレイ株式会社
埼玉県深谷市幡羅町一丁目９番地２
(74)代理人　100091351
弁理士　河野　哲
(74)代理人　100088683
弁理士　中村　誠
(74)代理人　100108855
弁理士　蔵田　昌俊
(74)代理人　100075672
弁理士　峰　隆司
(74)代理人　100109830
弁理士　福原　淑弘
(74)代理人　100084618
弁理士　村松　貞男

最終頁に続く

(54)【発明の名称】有機ＥＬ表示装置

(57)【特許請求の範囲】

【請求項1】

前面電極と背面電極とそれらの間に介在した有機物層とを含むと共に光共振器を構成した有機ＥＬ素子と、前記有機ＥＬ素子と向き合った着色層とを具備し、前記有機ＥＬ素子が法線方向に放出する最大強度の光の波長λ_{res}は、前記着色層が最大の透過率T_{max}を示す波長λ_{max}と比較してより短く、前記有機物層は白色光を放出し、前記着色層は、波長λ_{max}と比較してより短い第１波長から前記波長λ_{max}へ向けて透過率が増加し、前記波長λ_{max}から前記波長λ_{max}と比較してより長い第２波長へ向けて透過率が減少する透過特性を示すことを特徴とする有機ＥＬ表示装置。

【請求項2】

前記波長λ_{res}は、前記波長λ_{max}と比較してより短く且つ前記着色層が前記透過率T_{max}の９０％の透過率T_{90}を示す波長λ_{90}と等しいか又はそれよりも短いことを特徴とする請求項１に記載の有機ＥＬ表示装置。

【請求項3】

前面電極と背面電極とそれらの間に介在した有機物層とを含むと共に光共振器を構成した有機ＥＬ素子と、前記有機ＥＬ素子と向き合った着色層とを具備し、前記有機ＥＬ素子が法線方向に放出する最大強度の光の波長λ_{res}は、前記着色層が最大の透過率T_{max}を示す波長λ_{max}と比較してより短く、前記波長λ_{res}は青色光の波長範囲内にあることを特徴とする有機ＥＬ表示装置。

【請求項4】

SDC EX. 1016 - 801/959

前面電極と背面電極とそれらの間に介在した有機物層とを含むと共に光共振器を構成した有機ＥＬ素子と、前記前面電極と向き合った着色層とを各々が含んだ第１乃至第３画素を具備し、

前記第１画素は、前記第２画素と比較して、前記有機ＥＬ素子が法線方向に放出する最大強度の光の波長λ_{res}がより短く、前記第３画素は前記第２画素と比較して前記波長λ_{res}がより長く、

前記第１画素は、前記第２画素と比較して、前記着色層が最大の透過率T_{max}を示す波長λ_{max}がより短く、前記第３画素は前記第２画素と比較して前記波長λ_{max}がより長く、

前記第１乃至第３画素の各々において、前記波長λ_{res}は前記波長λ_{max}と比較してより短いことを特徴とする有機ＥＬ表示装置。

【請求項5】

前記第１乃至第３画素の各々において、前記波長λ_{res}は、前記波長λ_{max}と比較してより短く且つ前記着色層が前記透過率T_{max}の９０％の透過率T_{90}を示す波長λ_{90}と等しいか又はそれよりも短いことを特徴とする請求項４に記載の有機ＥＬ表示装置。

【請求項6】

前記第１乃至第３画素の各々において、前記有機物層は白色光を放出することを特徴とする請求項４に記載の有機ＥＬ表示装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、有機エレクトロルミネッセンス（ＥＬ）表示装置に関する。

【背景技術】

【0002】

カラー画像を表示可能な表示装置として、白色に発光する有機ＥＬ素子とカラーフィルタとを組み合わせた有機ＥＬ表示装置がある。非特許文献１には、そのような有機ＥＬ表示装置において、マイクロキャビティ構造を採用した有機ＥＬ素子，すなわち、光共振器としての機能を有する有機ＥＬ素子，を使用することが記載されている。

【0003】

白色に発光する有機ＥＬ素子にマイクロキャビティ構造を採用すると、或る波長の光は繰り返し反射干渉によって強さを増す。すなわち、白色に発光する有機ＥＬ素子にマイクロキャビティ構造を採用すると、有機ＥＬ素子がその外部に放出する光は白色光から着色光へと変化する。

【0004】

この強さを増す光の波長は、例えば、マイクロキャビティ構造の光路長を変更することにより変化させることができる。したがって、カラーフィルタの着色層毎にマイクロキャビティ構造の光路長を適宜設定することにより、マイクロキャビティ構造が放出する最大強度の光の波長を、カラーフィルタの着色層が最大透過率を示す波長と一致させることができる。それゆえ、この技術によれば、高効率及び高彩度を実現することができる。

【0005】

しかしながら、本発明者は、本発明を為すに際し、この有機ＥＬ表示装置で表示した画像を法線方向から観察し、次いで、斜め方向から観察すると、色相が変化することを見い出している。すなわち、この有機ＥＬ表示装置は、カラーフィルタを使用しているにも拘らず、色相の観察方向依存性が大きい。

【非特許文献1】Kashiwabara et al., "Advanced AM-OLED Display Based on White Emitter with Microcavity Structure", SID 04 DIGEST, pp.1017-1019

【発明の開示】

【発明が解決しようとする課題】

【0006】

本発明の目的は、白色に発光する有機ＥＬ素子にマイクロキャビティ構造を採用した有機ＥＬ表示装置において、色相の観察方向依存性を小さくすることにある。

【課題を解決するための手段】
【0007】
本発明の第１側面によると、前面電極と背面電極とそれらの間に介在した有機物層とを含むと共に光共振器を構成した有機ＥＬ素子と、前記有機ＥＬ素子と向き合った着色層とを具備し、前記有機ＥＬ素子が法線方向に放出する最大強度の光の波長λ_{res}は、前記着色層が最大の透過率T_{max}を示す波長λ_{max}と比較してより短く、前記有機物層は白色光を放出し、前記着色層は、波長λ_{max}と比較してより短い第１波長から前記波長λ_{max}へ向けて透過率が増加し、前記波長λ_{max}から前記波長λ_{max}と比較してより長い第２波長へ向けて透過率が減少する透過特性を示すことを特徴とする有機ＥＬ表示装置が提供される。
本発明の第２側面によると、前面電極と背面電極とそれらの間に介在した有機物層とを含むと共に光共振器を構成した有機ＥＬ素子と、前記有機ＥＬ素子と向き合った着色層とを具備し、前記有機ＥＬ素子が法線方向に放出する最大強度の光の波長λ_{res}は、前記着色層が最大の透過率T_{max}を示す波長λ_{max}と比較してより短く、前記波長λ_{res}は青色光の波長範囲内にあることを特徴とする有機ＥＬ表示装置が提供される。
【0008】
本発明の第３側面によると、前面電極と背面電極とそれらの間に介在した有機物層とを含むと共に光共振器を構成した有機ＥＬ素子と、前記前面電極と向き合った着色層とを各々が含んだ第１乃至第３画素を具備し、前記第１画素は、前記第２画素と比較して、前記有機ＥＬ素子が法線方向に放出する最大強度の光の波長λ_{res}がより短く、前記第３画素は前記第２画素と比較して前記波長λ_{res}がより長く、前記第１画素は、前記第２画素と比較して、前記着色層が最大の透過率T_{max}を示す波長λ_{max}がより短く、前記第３画素は前記第２画素と比較して前記波長λ_{max}がより長く、前記第１乃至第３画素の各々において、前記波長λ_{res}は前記波長λ_{max}と比較してより短いことを特徴とする有機ＥＬ表示装置が提供される。
【発明の効果】
【0009】
本発明によると、白色に発光する有機ＥＬ素子にマイクロキャビティ構造を採用した有機ＥＬ表示装置において、色相の観察方向依存性を小さくすることができる。
【発明を実施するための最良の形態】
【0010】
以下、本発明の態様について、図面を参照しながら詳細に説明する。なお、各図において、同様又は類似した機能を発揮する構成要素には同一の参照符号を付し、重複する説明は省略する。
【0011】
図１は、本発明の一態様に係る表示装置を概略的に示す平面図である。図２は、図１の表示装置に採用可能な構造の一例を概略的に示す断面図である。なお、図２では、表示装置を、その表示面，すなわち前面又は光出射面，が上方を向き、背面が下方を向くように描いている。
【0012】
図１の表示装置は、アクティブマトリクス型駆動方式を採用した上面発光型の有機ＥＬ表示装置である。この有機ＥＬ表示装置は、後述するように、表示色が互いに異なる画素ＰＸ１乃至ＰＸ３を含んでおり、これら画素ＰＸ１乃至ＰＸ３は、有機ＥＬ素子ＯＬＥＤに加え、カラーフィルタＣＦの着色層ＣＬ１乃至ＣＬ３をそれぞれ含んでいる。
【0013】
この有機ＥＬ表示装置は、アレイ基板ＡＳと、封止基板ＣＳと、映像信号線ドライバＸＤＲと、走査信号線ドライバＹＤＲとを含んでいる。
【0014】
アレイ基板ＡＳは、例えば、ガラス基板などの絶縁基板ＳＵＢ１を含んでいる。
基板ＳＵＢ１上には、図２に示すように、アンダーコート層ＵＣとして、例えば、SiN_x層とSiO_x層とが順次積層されている。

SDC EX. 1016 - 803/959

【0015】
アンダーコート層ＵＣ上には、例えばチャネル及びソース・ドレインが形成されたポリシリコン層である半導体層ＳＣ、例えばＴＥＯＳ（TetraEthyl OrthoSilicate）などを用いて形成され得るゲート絶縁膜ＧＩ、及び例えばＭｏＷなどからなるゲートＧＥが順次積層されており、それらは電界効果トランジスタであるトップゲート型の薄膜トランジスタを構成している。この例では、これら薄膜トランジスタは、ｐチャネル薄膜トランジスタであり、図１の駆動制御素子ＤＲ及びスイッチＳＷａ乃至ＳＷｃとして利用している。
【0016】
ゲート絶縁膜ＧＩ上には、図１に示す走査信号線ＳＬ１及びＳＬ２と、図示しない下部電極とがさらに配置されている。走査信号線ＳＬ１及びＳＬ２並びに下部電極は、ゲートＧＥと同一の工程で形成可能である。
【0017】
走査信号線ＳＬ１及びＳＬ２は、図１に示すように、各々が画素ＰＸ１乃至ＰＸ３の行方向（Ｘ方向）に延びており、画素ＰＸ１乃至ＰＸ３の列方向（Ｙ方向）に交互に配列している。これら走査信号線ＳＬ１及びＳＬ２は、走査信号線ドライバＹＤＲに接続されている。
【0018】
下部電極は、駆動制御素子ＤＲのゲートに接続されている。下部電極は、後述するキャパシタＣの一方の電極として利用する。
【0019】
ゲート絶縁膜ＧＩ、ゲートＧＥ、走査信号線ＳＬ１及びＳＬ２、並びに下部電極は、図２に示す層間絶縁膜ＩＩで被覆されている。層間絶縁膜ＩＩは、例えばプラズマＣＶＤ法などにより成膜されたSiO_2などからなる。この層間絶縁膜ＩＩのうち下部電極上の部分は、キャパシタＣの誘電体層として利用する。
【0020】
層間絶縁膜ＩＩ上には、図２に示すソース電極ＳＥ及びドレイン電極ＤＥ、図１に示す映像信号線ＤＬ、電源線ＰＳＬ、並びに図示しない上部電極が配置されている。これらは、同一工程で形成可能であり、例えば、Ｍｏ／Ａｌ／Ｍｏの三層構造を有している。
【0021】
ソース電極ＳＥ及びドレイン電極ＤＥは、層間絶縁膜ＩＩに設けられたコンタクトホールを介して薄膜トランジスタのソース及びドレインに電気的に接続されている。
【0022】
映像信号線ＤＬは、図１に示すように、各々がＹ方向に延びており、Ｘ方向に配列している。これら映像信号線ＤＬの各々の一端は、映像信号線ドライバＸＤＲに接続されている。
【0023】
電源線ＰＳＬは、この例では、各々がＹ方向に延びており、Ｘ方向に配列している。また、この例では、電源線ＰＳＬは、映像信号線ドライバＸＤＲに接続されている。
【0024】
上部電極は、電源線ＰＳＬに接続されている。上部電極は、キャパシタＣの他方の電極として利用する。
【0025】
ソース電極ＳＥ、ドレイン電極ＤＥ、映像信号線ＤＬ、電源線ＰＳＬ、及び上部電極は、図２に示すパッシベーション膜ＰＳで被覆されている。パッシベーション膜ＰＳは、例えばSiN_xなどからなる。
【0026】
パッシベーション膜ＰＳ上には、平坦化層ＦＬが形成されている。平坦化層ＦＬは、例えば硬質樹脂からなる。
【0027】
平坦化層ＦＬ上では、スイッチＳＷａに対応して反射層ＲＦが配列している。反射層Ｒ

Ｆの材料としては、例えば、Ａｌなどの金属材料を使用することができる。

【0028】

反射層ＲＦ上には、背面電極として、光透過性の画素電極ＰＥが形成されている。画素電極ＰＥは、平坦化層ＦＬ及びパッシベーション膜ＰＳに設けた貫通孔を介して、スイッチＳＷａのドレイン電極ＤＥに接続されている。

【0029】

画素電極ＰＥは、この例では陽極である。画素電極ＰＥの材料としては、例えば、ＩＴＯ（Indium Tin Oxide）のような透明導電性酸化物を使用することができる。

【0030】

平坦化層ＦＬ上には、さらに、図２に示す隔壁絶縁層ＰＩが形成されている。隔壁絶縁層ＰＩには、画素電極ＰＥに対応した位置に貫通孔が設けられているか、或いは、画素電極ＰＥが形成する列又は行に対応した位置にスリットが設けられている。ここでは、一例として、隔壁絶縁層ＰＩには、画素電極ＰＥに対応した位置に貫通孔が設けられていることとする。

【0031】

隔壁絶縁層ＰＩは、例えば、有機絶縁層である。隔壁絶縁層ＰＩは、例えば、フォトリソグラフィ技術を用いて形成することができる。

【0032】

画素電極ＰＥ上には、活性層として発光層を含んだ有機物層ＯＲＧが配置されている。発光層は、白色に発光するように設計された薄膜である。発光層は、例えば、発光色が赤色のルミネセンス性有機化合物と発光色が緑色のルミネセンス性有機化合物と発光色が青色のルミネセンス性有機化合物との混合物を含んでいる。この有機物層ＯＲＧは、発光層に加え、正孔注入層、正孔輸送層、正孔ブロッキング層、電子輸送層、電子注入層などもさらに含むことができる。

【0033】

隔壁絶縁層ＰＩ及び有機物層ＯＲＧは、前面電極である対向電極ＣＥで被覆されている。対向電極ＣＥは、画素ＰＸ１乃至ＰＸ３間で互いに接続された共通電極であり、この例では半透過性の陰極である。ここで、「半透過性」の電極は、光透過性と光反射性との双方を有している電極を意味する。対向電極ＣＥは、例えば、パッシベーション膜ＰＳと平坦化層ＦＬと隔壁絶縁層ＰＩとに設けられたコンタクトホールを介して、映像信号線ＤＬと同一の層上に形成された電極配線（図示せず）に電気的に接続されている。各々の有機ＥＬ素子ＯＬＥＤは、画素電極ＰＥ、有機物層ＯＲＧ及び対向電極ＣＥで構成されている。

【0034】

これら有機ＥＬ素子ＯＬＥＤは、光共振器（マイクロキャビティ構造）を構成している。この例では、有機物層ＯＲＧが放出した光が反射層ＲＦと対向電極ＣＥとの間で繰り返し反射干渉する構成を採用している。

【0035】

画素ＰＸ１が含む有機ＥＬ素子ＯＬＥＤは、画素ＰＸ２が含む有機ＥＬ素子ＯＬＥＤと比較して、反射層ＲＦと対向電極ＣＥとの間の光路長がより短い。画素ＰＸ３が含む有機ＥＬ素子ＯＬＥＤは、画素ＰＸ２が含む有機ＥＬ素子ＯＬＥＤと比較して、反射層ＲＦと対向電極ＣＥとの間の光路長がより長い。ここでは、一例として、画素ＰＸ１乃至ＰＸ３間で画素電極ＰＥの厚さのみを異ならしめることにより、先の光路長の相違を生じさせている。このような構造は、例えば、画素ＰＸ１の画素電極ＰＥを１回の成膜で形成し、画素ＰＸ２の画素電極ＰＥを２回の成膜で形成し、画素ＰＸ３の画素電極ＰＥを３回の成膜で形成することにより得られる。

【0036】

先の光路長の相違は、画素電極ＰＥと反射層ＲＦとの間にＳｉＮ及びSiO_2などの無機絶縁体や感光性樹脂などの有機絶縁体からなる透明絶縁層を配置し、この透明絶縁層の厚さのみを画素ＰＸ１乃至ＰＸ３間で異ならしめることにより生じさせてもよい。或いは

SDC EX. 1016 - 805/959

、画素ＰＸ１乃至ＰＸ３間で有機物層ＯＲＧの厚さのみを異ならしめることにより、先の光路長の相違を生じさせてもよい。或いは、これらを組み合わせてもよい。

【0037】

画素ＰＸ１は、画素ＰＸ２と比較して、有機ＥＬ素子ＯＬＥＤが法線方向に放出する最大強度の光の波長λ_{PR}がより短い。画素ＰＸ３は、画素ＰＸ２と比較して、有機ＥＬ素子ＯＬＥＤが法線方向に放出する最大強度の光の波長λ_{PB}がより長い。この例では、画素ＰＸ１が含む有機ＥＬ素子ＯＬＥＤの波長λ_{PR}は青色光の波長範囲内にあり、画素ＰＸ２が含む有機ＥＬ素子ＯＬＥＤの波長λ_{PG}は緑色光の波長範囲内にあり、画素ＰＸ３が含む有機ＥＬ素子ＯＬＥＤの波長λ_{PB}は赤色光の波長範囲内にある。

【0038】

画素ＰＸ１乃至ＰＸ３の各々が含む画素回路は、この例では、駆動制御素子（駆動トランジスタ）ＤＲと、出力制御スイッチＳＷａと、映像信号供給制御スイッチＳＷｂと、ダイオード接続スイッチＳＷｃと、キャパシタＣとを含んでいる。上記の通り、この例では、駆動制御素子ＤＲ及びスイッチＳＷａ乃至ＳＷｃはｐチャネル薄膜トランジスタである。また、この例では、映像信号供給制御スイッチＳＷｂとダイオード接続スイッチＳＷｃとは、駆動制御素子ＤＲのドレインと映像信号線ＤＬと駆動制御素子ＤＲのゲートとの接続状態を、それらが互いに接続された第１状態と、それらが互いから遮断された第２状態との間で切り替えるスイッチ群を構成している。

【0039】

駆動制御素子ＤＲと出力制御スイッチＳＷａと有機ＥＬ素子ＯＬＥＤとは、第１電源端子ＮＤ１と第２電源端子ＮＤ２との間で、この順に直列に接続されている。この例では、第１電源端子ＮＤ１は高電位電源端子であり、第２電源端子ＮＤ２は低電位電源端子である。

【0040】

出力制御スイッチＳＷａのゲートは、走査信号線ＳＬ１に接続されている。映像信号供給制御スイッチＳＷｂは映像信号線ＤＬと駆動制御素子ＤＲのドレインとの間に接続されており、そのゲートは走査信号線ＳＬ２に接続されている。ダイオード接続スイッチＳＷｃは駆動制御素子ＤＲのゲートとドレインとの間に接続されており、そのゲートは走査信号線ＳＬ２に接続されている。

【0041】

キャパシタＣは、駆動制御素子ＤＲのゲートと定電位端子ＮＤ１’との間に接続されている。定電位端子ＮＤ１’は、例えば第１電源端子ＮＤ１に接続する。

【0042】

封止基板ＣＳは、例えば、ガラス基板などの絶縁基板ＳＵＢ２を含んでいる。絶縁基板ＳＵＢ２は、対向電極ＣＥと向き合っている。

【0043】

基板ＳＵＢ２のアレイ基板ＡＳとの対向面上には、着色層ＣＬ１乃至ＣＬ３を含んだカラーフィルタＣＦが配置されている。着色層ＣＬ１乃至ＣＬ３の各々は、有機ＥＬ素子ＯＬＥＤと向き合っている。

【0044】

画素ＰＸ１の各々は、有機ＥＬ素子ＯＬＥＤと、これと向き合った着色層ＣＬ１とを含んでいる。画素ＰＸ２の各々は、有機ＥＬ素子ＯＬＥＤと、これと向き合った着色層ＣＬ２とを含んでいる。画素ＰＸ３の各々は、有機ＥＬ素子ＯＬＥＤと、これと向き合った着色層ＣＬ３とを含んでいる。

【0045】

着色層ＣＬ１は、着色層ＣＬ２と比較して、最大の透過率T_{max}を示す波長λ_{max}がより短い。着色層ＣＬ３は、着色層ＣＬ２と比較して、最大の透過率T_{max}を示す波長λ_{max}がより長い。この例では、着色層ＣＬ１が最大の透過率T_{max}を示す波長λ_{max}は青色光の波長範囲内にあり、着色層ＣＬ２が最大の透過率T_{max}を示す波長λ_{max}は緑色光の波長範囲内にあり、着色層ＣＬ３が最大の透過率T_{max}を示す波長λ_{max}は赤色光の波長範囲内にあ

る。

【0046】

アレイ基板ＡＳと封止基板ＣＳとの間には、枠形状のシール層（図示せず）が介在している。シール層はアレイ基板ＡＳと封止基板ＣＳとの間に密閉空間を形成しており、この密閉空間は不活性ガスで満たされている。なお、先の密閉空間には、不活性ガスを充填する代わりに、エポキシ樹脂などの樹脂を充填してもよい。この場合、対向電極ＣＥ上には、ＳｉＮなどからなるバリア層を形成してもよい。

【0047】

映像信号線ドライバＸＤＲ及び走査信号線ドライバＹＤＲは、この例では、アレイ基板ＡＳ上に配置されている。すなわち、この例では、映像信号線ドライバＸＤＲ及び走査信号線ドライバＹＤＲをＣＯＧ（chip on glass）実装している。映像信号線ドライバＸＤＲ及び走査信号線ドライバＹＤＲは、ＣＯＧ実装する代わりに、ＴＣＰ（tape carrier package）実装してもよい。

【0048】

この有機ＥＬ表示装置で画像を表示する場合、例えば、走査信号線ＳＬ１及びＳＬ２の各々を線順次駆動する。そして、或る行の画素ＰＸ１乃至ＰＸ３に映像信号を書き込む書込期間では、まず、走査信号線ドライバＹＤＲから、先の画素ＰＸ１乃至ＰＸ３が接続された走査信号線ＳＬ１にスイッチＳＷａを開く（ＯＦＦ）走査信号を電圧信号として出力し、続いて、先の画素ＰＸ１乃至ＰＸ３が接続された走査信号線ＳＬ２にスイッチＳＷｂ及びＳＷｃを閉じる（ＯＮ）走査信号を電圧信号として出力する。この状態で、映像信号線ドライバＸＤＲから、先の画素ＰＸ１乃至ＰＸ３が接続された映像信号線ＤＬに映像信号を電流信号としてそれぞれ出力し、駆動制御素子ＤＲのゲート－ソース間電圧を、先の映像信号に対応した大きさに設定する。その後、走査信号線ドライバＹＤＲから、先の画素ＰＸ１乃至ＰＸ３が接続された走査信号線ＳＬ２にスイッチＳＷｂ及びＳＷｃを開く（ＯＦＦ）走査信号を電圧信号として出力し、続いて、先の画素ＰＸ１乃至ＰＸ３が接続された走査信号線ＳＬ１にスイッチＳＷａを閉じる（ＯＮ）走査信号を電圧信号として出力する。

【0049】

スイッチＳＷａを閉じ（ＯＮ）ている有効表示期間では、有機ＥＬ素子ＯＬＥＤには、駆動制御素子ＤＲのゲート－ソース間電圧に対応した大きさの駆動電流が流れる。有機ＥＬ素子ＯＬＥＤは、駆動電流の大きさに対応した輝度で発光する。

【0050】

この有機ＥＬ表示装置では、画素ＰＸ１において、有機ＥＬ素子ＯＬＥＤが法線方向に放出する最大強度の光の波長λ_{res}は、着色層ＣＬ１が最大の透過率T_{max}を示す波長λ_{max}と比較してより短い。画素ＰＸ２において、有機ＥＬ素子ＯＬＥＤが法線方向に放出する最大強度の光の波長λ_{res}は、着色層ＣＬ２が最大の透過率T_{max}を示す波長λ_{max}と比較してより短い。画素ＰＸ３において、有機ＥＬ素子ＯＬＥＤが法線方向に放出する最大強度の光の波長λ_{res}は、着色層ＣＬ３が最大の透過率T_{max}を示す波長λ_{max}と比較してより短い。

【0051】

画素ＰＸ１において、波長λ_{res}は、典型的には、波長λ_{max}と比較してより短く且つ着色層ＣＬ１が透過率T_{max}の９０％の透過率T_{90}を示す波長λ_{90}と等しいか又はそれよりも短い。画素ＰＸ２において、波長λ_{res}は、典型的には、波長λ_{max}と比較してより短く且つ着色層ＣＬ２が透過率T_{max}の９０％の透過率T_{90}を示す波長λ_{90}と等しいか又はそれよりも短い。画素ＰＸ１において、波長λ_{res}は、典型的には、波長λ_{max}と比較してより短く且つ着色層ＣＬ３が透過率T_{max}の９０％の透過率T_{90}を示す波長λ_{90}と等しいか又はそれよりも短い。

【0052】

このような構成によると、色相の観察方向依存性を小さくすることができる。これについて、以下に説明する。

SDC EX. 1016 - 807/959

【0053】
図３は、有機ＥＬ素子に採用可能な構造の一例を概略的に示す断面図である。図４は、図３の有機ＥＬ素子が含む発光層の発光スペクトルの一例を示すグラフである。図４において、横軸は波長を示し、縦軸は光強度を示している。

【0054】
図３の有機ＥＬ素子ＯＬＥＤにおいて、有機物層ＯＲＧは、正孔輸送層ＨＴＬ、発光層ＥＭＬ、正孔ブロッキング層ＨＢＬ、電子輸送層ＥＴＬを含んでいる。ここでは、一例として、正孔輸送層ＨＴＬ、発光層ＥＭＬ、正孔ブロッキング層ＨＢＬ、電子輸送層ＥＴＬは、下記表１に示す屈折率及び厚さを有していることとする。また、ここでは、発光層ＥＭＬの発光スペクトルは、図４に示すプロファイルを有していることとする。

【表1】

表　１

	屈折率	厚さ（nm）
電子輸送層	1.7	40
正孔ブロッキング層	1.7	10
発光層	1.8	30
正孔輸送層	1.9	50
画素電極	1.9	130
光路長（nm）	481	

【0055】
なお、上記表１において、「光路長」で表記した欄に記載した数値は、下記等式を用いて算出した反射層ＲＦと対向電極ＣＥとの間の光路長Ｌである。式中、「λ_{res}」は有機ＥＬ素子ＯＬＥＤが形成する光共振器の共振波長を示し、「Φ」は対向電極ＣＥと反射層ＦＬとにおける反射に起因した位相シフトの和を示し、「ｍ」は整数を示している。

【数1】

$$\frac{2L}{\lambda_{res}}+\frac{\Phi}{2\pi}=m$$

【0056】
図５は、表１の構造を採用した図３の有機ＥＬ素子の発光スペクトルの例を示すグラフである。図中、横軸は波長を示し、縦軸は光の強度を示している。図５では、有機ＥＬ素子が法線方向に放出する光のスペクトルを実線で示し、有機ＥＬ素子が法線方向に対して６０°を為す方向に放出する光のスペクトルを破線で示している。また、図５では、実線で示すスペクトルと破線で示すスペクトルとは、それらの最大ピークの高さがほぼ等しくなるように描いている。なお、この例では、法線方向に伝播する光の共振波長は、光の波長λ_{res}と等しい。

【0057】
図３の有機ＥＬ素子ＯＬＥＤに表１の構造を採用した場合、この有機ＥＬ素子ＯＬＥＤは、共振波長が例えば５３０ｎｍの光共振器を構成する。その結果、図４の曲線と図５の実線で描いた曲線との対比から明らかなように、有機ＥＬ素子ＯＬＥＤの発光スペクトルは、それが含む発光層ＥＭＴの発光スペクトルとは大きく異なることとなる。

【0058】
ところで、光共振器の共振波長には、伝播方向依存性がある。すなわち、光共振器内を法線方向に伝播する光の共振波長は、光共振器内を斜め方向に伝播する光についての共振波長とは異なっている。

【0059】
発光層ＥＭＬの発光スペクトルは、図４に示すようにブロードである。そのため、斜め方向から有機ＥＬ素子ＯＬＥＤを観察した場合には、法線方向から有機ＥＬ素子ＯＬＥＤ

を観察した場合と比較して、より短い波長の光が強くなる。図５の例では、法線方向に伝播する光のスペクトルは約５３０ｎｍで最大強度を示しているのに対し、法線方向に対して６０°の角度を為す方向に伝播する光のスペクトルは約４８０ｎｍで最大強度を示している。

【００６０】

図６は、カラーフィルタが含む緑色着色層が示す透過特性の一例を示すグラフである。図７は、表１の構造を採用した有機ＥＬ素子が放出した光を図６の透過特性を示す着色層に透過させたときの透過光のスペクトルの例を示すグラフである。図６において、横軸は波長を示し、縦軸は透過率を示している。図７において、横軸は波長を示し、縦軸は光強度を示している。図７では、緑色着色層が法線方向に透過した光のスペクトルを実線で示し、緑色着色層が法線方向に対して６０°を為す方向に透過した光のスペクトルを破線で示している。また、図７では、実線で示すスペクトルと破線で示すスペクトルとは、それらの最大ピークの高さがほぼ等しくなるように描いている。

【００６１】

図６に透過特性を示す緑色着色層は、波長が約４６０ｎｍ乃至約６６０ｎｍの光を透過し、波長が約５３０ｎｍ（＝λ_{max}）の光に対して最大の透過率T_{max}を示す。そして、波長が４８０ｎｍの光についての透過率は透過率T_{max}の約５０％である。

【００６２】

すなわち、図３の有機ＥＬ素子ＯＬＥＤにおいて表１の構造を採用した場合には、光共振器内を法線方向に伝播する光についての共振波長と、着色層が最大の透過率T_{max}を示す波長λ_{max}とが一致する。また、光共振器内を法線方向に対して６０°の角度を為す方向に伝播する光についての共振波長において、着色層は最大透過率T_{max}の約５０％の透過率を示す。

【００６３】

そのため、有機ＥＬ素子ＯＬＥＤに表１の構造を採用した場合、図６の透過率スペクトルを示す着色層が透過する光のスペクトルは、図７に示すように、光の伝播方向に応じて大きく変化する。すなわち、この場合、色相の観察方向依存性が大きい。

【００６４】

この色相の観察方向依存性は、例えば、緑色着色層が透過する光の最短波長をより長くすることにより小さくすることができる。但し、カラーフィルタの吸収特性の大幅な変更は非現実的である。

【００６５】

そこで、本態様では、光共振器内を法線方向に伝播する光についての共振波長をより短波長側にシフトさせる。すなわち、この例では、有機ＥＬ素子ＯＬＥＤが法線方向に放出する最大強度の光の波長λ_{res}をより短波長側にシフトさせる。こうすると、緑色着色層が透過する光の最短波長をより長くした場合と同様の効果が得られる。すなわち、色相の観察方向依存性を小さくすることができる。

【００６６】

例えば、先の有機ＥＬ素子ＯＬＥＤにおいて、下記表２の構成を採用する。すなわち、画素電極ＰＥの厚さを１３０ｎｍから１１０ｎｍへと変更する。

SDC EX. 1016 - 809/959

【表2】

表　２

	屈折率	厚さ（nm）
電子輸送層	1.7	40
正孔ブロッキング層	1.7	10
発光層	1.8	30
正孔輸送層	1.9	50
画素電極	1.9	110
光路長（nm）	443	

【0067】

図８は、表２の構造を採用した図３の有機ＥＬ素子の発光スペクトルの例を示すグラフである。図９は、表２の構造を採用した有機ＥＬ素子が放出した光を図６の透過特性を示す着色層に透過させたときの透過光のスペクトルの例を示すグラフである。図中、横軸は波長を示し、縦軸は光の強度を示している。図８及び図９では、法線方向に伝播する光のスペクトルを実線で示し、法線方向に対して６０°を為す方向に伝播する光のスペクトルを破線で示している。また、図８及び図９では、実線で示すスペクトルと破線で示すスペクトルとは、それらの最大ピークの高さがほぼ等しくなるように描いている。

【0068】

有機ＥＬ素子ＯＬＥＤに表２の構造を採用した場合、図８に示すように、有機ＥＬ素子ＯＬＥＤが法線方向に放出する最大強度の光の波長λ_{res}は４８０ｎｍであり、この波長は、光共振器内を法線方向に伝播する光についての共振波長と等しい。また、この共振波長は、着色層が最大透過率T_{max}を示す波長λ_{max}と比較してより短い。したがって、この場合、図９に示すように、色相の観察方向依存性を小さくすることができる。

【0069】

上記の通り、有機ＥＬ素子ＯＬＥＤが法線方向に放出する最大強度の光の波長λ_{res}は、典型的には、着色層が最大透過率T_{max}を示す波長λ_{max}と比較してより短く且つ着色層が最大透過率T_{max}の９０％の透過率T_{90}を示す波長λ_{90}と等しいか又はそれよりも短い。通常、上述した効果は、波長λ_{res}が波長λ_{90}と等しいか又はそれよりも短い場合に得られる。

【0070】

波長λ_{res}は、最大透過率T_{max}の７５％の透過率を示す波長と等しいか又はそれよりも短くてもよい。この場合、色相の観察方向依存性をほぼゼロとすることができる。

【0071】

有機ＥＬ素子ＯＬＥＤが法線方向に放出する最大強度の光の波長λ_{res}は、典型的には、着色層が透過し得る光の最短波長と等しいか又はそれよりも長い。例えば、波長λ_{res}は、最大透過率T_{max}の３０％の透過率を示す波長と等しいか又はそれよりも長くてもよい。この場合、効率の観点で有利である。

【0072】

本態様では、本発明を下面発光型の有機ＥＬ表示装置に適用したが、本発明は上面発光型の有機ＥＬ表示装置にも適用可能である。また、本態様では、画素回路に映像信号として電流信号を書き込む構成を採用したが、画素回路に映像信号として電圧信号を書き込む構成を採用することも可能である。

【図面の簡単な説明】

【0073】

【図1】本発明の一態様に係る表示装置を概略的に示す平面図。

【図2】図１の表示装置に採用可能な構造の一例を概略的に示す断面図。

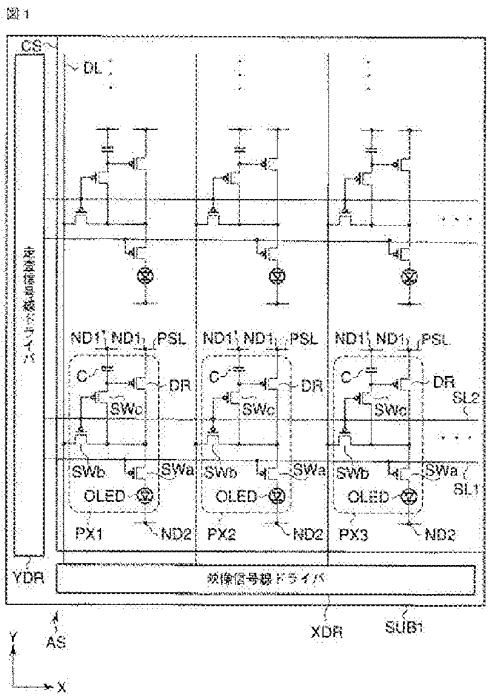
【図3】有機ＥＬ素子に採用可能な構造の一例を概略的に示す断面図。

【図4】図３の有機ＥＬ素子が含む発光層の発光スペクトルの一例を示すグラフ。

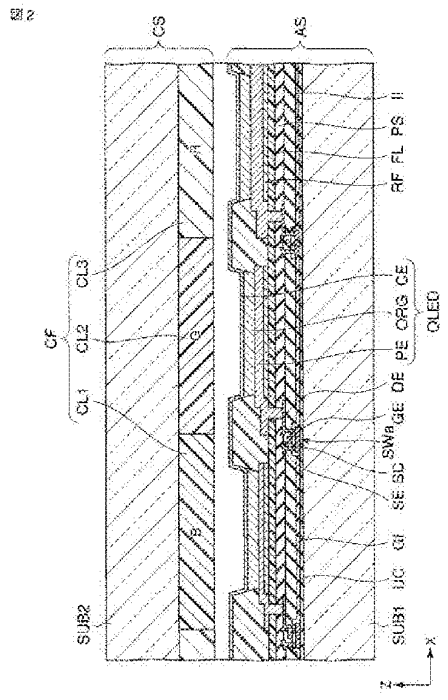
SDC EX. 1016 - 810/959

【図5】表１の構造を採用した図３の有機ＥＬ素子の発光スペクトルの例を示すグラフ。
【図6】カラーフィルタが含む緑色着色層が示す透過特性の一例を示すグラフ。
【図7】表１の構造を採用した有機ＥＬ素子が放出した光を図６の透過特性を示す着色層に透過させたときの透過光のスペクトルの例を示すグラフ。
【図8】表２の構造を採用した図３の有機ＥＬ素子の発光スペクトルの例を示すグラフ。
【図9】表２の構造を採用した有機ＥＬ素子が放出した光を図６の透過特性を示す着色層に透過させたときの透過光のスペクトルの例を示すグラフ。
【符号の説明】
【0074】
ＡＳ…アレイ基板、Ｃ…キャパシタ、ＣＥ…対向電極、ＣＦ…カラーフィルタ、ＣＬ１…着色層、ＣＬ２…着色層、ＣＬ３…着色層、ＣＳ…封止基板、ＤＥ…ドレイン電極、ＤＬ…映像信号線、ＤＲ…駆動制御素子、ＥＭＬ…発光層、ＥＴＬ…電子輸送層、ＦＬ…平坦化層、ＧＥ…ゲート、ＧＩ…ゲート絶縁膜、ＨＢＬ…正孔ブロッキング層、ＨＴＬ…正孔輸送層、ＩＩ…層間絶縁膜、ＮＤ１…電源端子、ＮＤ１’…定電位端子、ＮＤ２…電源端子、ＯＬＥＤ…有機ＥＬ素子、ＯＲＧ…有機物層、ＰＥ…画素電極、ＰＩ…隔壁絶縁層、ＰＳ…パッシベーション膜、ＰＳＬ…電源線、ＰＸ１…画素、ＰＸ２…画素、ＰＸ３…画素、ＲＦ…反射層、ＳＣ…半導体層、ＳＥ…ソース電極、ＳＬ１…走査信号線、ＳＬ２…走査信号線、ＳＵＢ１…絶縁基板、ＳＵＢ２…絶縁基板、ＳＷａ…出力制御スイッチ、ＳＷｂ…映像信号供給制御スイッチ、ＳＷｃ…ダイオード接続スイッチ、ＵＣ…アンダーコート層、ＸＤＲ…映像信号線ドライバ、ＹＤＲ…走査信号線ドライバ。

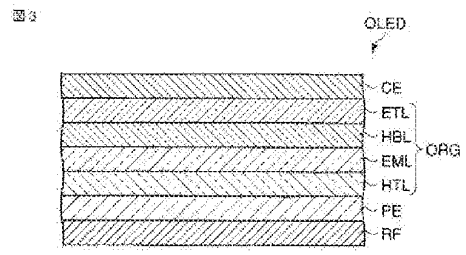
【図1】



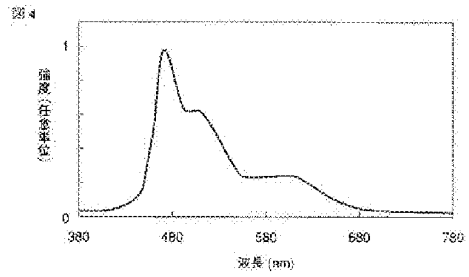
【図2】



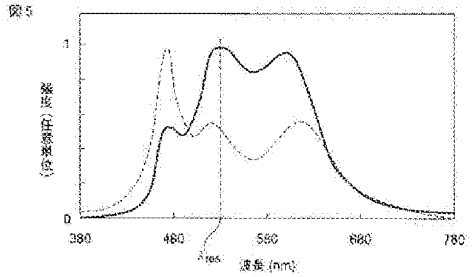
【図3】



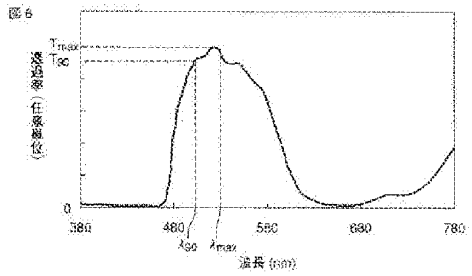
【図4】



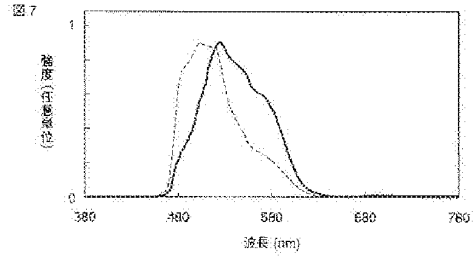
【図5】



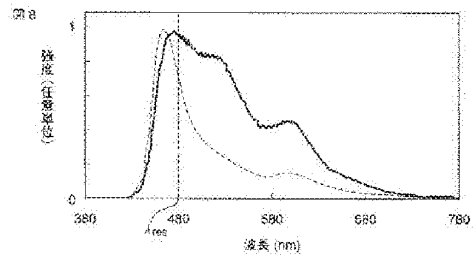
【図6】



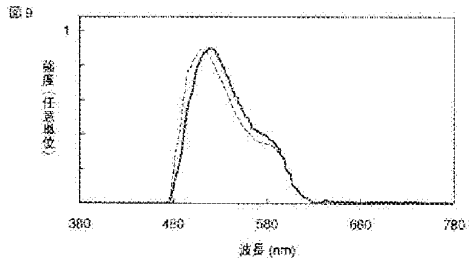
【図7】



【図8】



【図9】



(74)代理人　100092196
弁理士　橋本　良郎
(72)発明者　奥谷　聡
東京都港区港南四丁目１番８号　東芝松下ディスプレイテクノロジー株式会社内

審査官　濱野　隆

(56)参考文献　特表２００７－５２０８６２（ＪＰ，Ａ）
国際公開第２００５／０７１７７０（ＷＯ，Ａ１）
特開２００５－１２９５１０（ＪＰ，Ａ）
特開２０００－２７７２６６（ＪＰ，Ａ）
国際公開第２００５／０３９２４８（ＷＯ，Ａ１）
国際公開第０１／０３９５５４（ＷＯ，Ａ１）

(58)調査した分野(Int.Cl.，ＤＢ名)
Ｈ０５Ｂ　３３／２４
Ｇ０９Ｆ　９／３０
Ｈ０１Ｌ　２７／３２
Ｈ０１Ｌ　５１／５０

SDC EX. 1016 - 813/959

Espacenet

Bibliographic data: JP2004047179 (A) — 2004-02-12

ANTISTATIC ORGANIC EL ELEMENT AND ITS MANUFACTURING METHOD

Inventor(s): SATO TAMOTSU; ITO NOBUYUKI ± (SATO TAMOTSU, ; ITO NOBUYUKI)

Applicant(s): DAINIPPON PRINTING CO LTD ± (DAINIPPON PRINTING CO LTD)

Classification: **- international:** ***G09F9/00; G09F9/30; H01L51/50; H05B33/02; H05B33/10; H05B33/14;*** (IPC1-7): G09F9/00; G09F9/30; H05B33/02; H05B33/10; H05B33/14

- cooperative:

Application number: JP20020200337 20020709

Priority number(s): JP20020200337 20020709

Abstract of JP2004047179 (A)

PROBLEM TO BE SOLVED: To provide an EL element sufficiently subjected to antistatic treatment, and its manufacturing method. ;SOLUTION: The antistatic organic EL element has at least a thin film transistor, an organic light emitting layer, and an electrode on a substrate, and an antistatic film is formed at least on a second principal plane which is a backside of a thin film transistor substrate of the substrate. ;COPYRIGHT: (C)2004,JPO

SDC EX. 1016 - 814/959

(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-47179
(P2004-47179A)
(43)公開日　平成16年2月12日(2004.2.12)

(51)Int.Cl.[7]	F I		テーマコード（参考）
H05B 33/02	H05B 33/02		3K007
G09F 9/00	G09F 9/00	309Z	5C094
G09F 9/30	G09F 9/30	365	5G435
H05B 33/10	H05B 33/10		
H05B 33/14	H05B 33/14	A	

審査請求 未請求　請求項の数 6　OL　（全 8 頁）

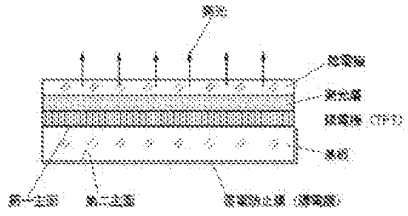
(21)出願番号　特願2002-200337(P2002-200337)
(22)出願日　平成14年7月9日(2002.7.9)

(71)出願人　000002897
大日本印刷株式会社
東京都新宿区市谷加賀町一丁目１番１号
(74)代理人　100077698
弁理士　吉田　勝広
(74)代理人　100098707
弁理士　近藤　利英子
(72)発明者　佐藤　保
東京都新宿区市谷加賀町一丁目１番１号
大日本印刷株式会社内
(72)発明者　伊藤　信行
東京都新宿区市谷加賀町一丁目１番１号
大日本印刷株式会社内

Fターム(参考)　3K007 AB18 DB03
5C094 AA43 BA27 EB02 FB12 GB10
5G435 BB05 HH02 HH12 KK05

(54)【発明の名称】帯電防止有機ＥＬ素子およびその製造方法

(57)【要約】
【課題】充分に帯電防止処理された有機ＥＬ素子およびその製造方法を提供すること。
【解決手段】基板上に、少なくとも薄膜トランジスタと有機発光層と電極とを有する有機ＥＬ素子において、上記基板の少なくとも薄膜トランジスタ基板の裏面である第二主面に帯電防止膜が形成されていることを特徴とする帯電防止有機ＥＬ素子およびその製造方法。
【選択図】　図１



【特許請求の範囲】
【請求項１】
基板上に、少なくとも薄膜トランジスタと有機発光層と電極とを有するＥＬ素子において、上記基板の少なくとも薄膜トランジスタ基板の裏面である第二主面に帯電防止膜が形成されていることを特徴とする帯電防止有機ＥＬ素子。
【請求項２】
基板側面にも帯電防止膜が形成されている請求項１に記載の帯電防止有機ＥＬ素子。
【請求項３】
ボトムエミッション型有機ＥＬ素子であって、帯電防止膜が透明導電膜である請求項１に記載の帯電防止有機ＥＬ素子。
【請求項４】
導電膜が、画像表示部の周辺に形成されている請求項１に記載の帯電防止有機ＥＬ素子。
【請求項５】
表面に薄膜トランジスタが形成された基板の裏面（第二主面）に帯電防止膜を形成し、上記薄膜トランジスタの表面に少なくとも有機発光層と電極とを形成することを特徴とする帯電防止有機ＥＬ素子の製造方法。
【請求項６】
前記薄膜トランジスタの表面に有機発光層および電極を形成後、上記帯電防止膜の少なくとも１部を除去する請求項５に記載の帯電防止有機ＥＬ素子の製造方法。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、帯電防止された有機発光層を有するエレクトロルミネッセンス（ＥＬ）素子およびその製造方法に関する。
【０００２】
【従来の技術】
ＥＬ素子は、図５および図６に示すように、対向する陰電極と陽電極とから注入された正孔および電子が発光層内で結合し、そのエネルギーで発光層中の蛍光物質を励起し、蛍光物質に応じた色の発光を行うものであり、自発光の面状表示素子として注目されている。これらのＥＬ素子の発光層は無機物質からなるものと有機物質からなるものとが知られている。
【０００３】
その中でも有機発光材料を用いた有機薄膜ＥＬディスプレイは、印加電圧が１０Ｖ弱であっても高輝度な発光が実現するなど、発光効率が高く、単純な素子構造で発光が可能で、特定のパターンを発光表示させる広告、その他の低価格の簡易表示ディスプレイへの応用が期待されている。図５に示す例は、陰電極を透明電極とし、陽電極（薄膜トランジスタ：ＴＦＴ）を反射性電極として、発光をトップエミッション型としたものであり、図６に示す例は、陰電極を反射性電極とし、陽電極を透明性電極として，発光をボトムエミッション型としたものである。
【０００４】
また、ＥＬ素子においては、有機発光層を、発光色の異なる有機発光材料からストライプパターンやマトリックスパターンに形成し、陽電極を薄膜トランジスタ（ＴＦＴ）として駆動させることで、フルカラー画像の表示も可能である。このようなＴＦＴをガラス板や透明樹脂板の表面に形成したＥＬ素子基板は、これらの基板が絶縁性であることから、発光層や陰電極などを形成するＴＦＴ付き基板の取り扱い中に摩擦などにより静電気が帯電し、ＴＦＴが破損して最終的に得られるＥＬ素子において不良品が発生するという問題がある。
【０００５】
ＴＦＴを用いたＥＬ素子の製造方法おいては、ＴＦＴ付き基板上に、有機発光層および陰電極などを形成するが、有機発光材料は酸素や水分によって劣化しやすく，かかる劣化を

SDC EX. 1016 - 816/959

防止するために、酸素濃度および水分が厳密にコントロールされた環境下において有機発光層や陰電極の成膜を行っている。このような操作中においては、操作雰囲気に水分が殆ど存在しないことから、ＴＦＴ付き基板の搬送や接触時に静電気が帯電し、該静電気によってＴＦＴが破壊される可能性が高くなり、十分な静電対策が必要である。

【０００６】

【発明が解決しようとする課題】

上記静電対策としては、通常イオナイザーにより除電が行われるが、有機発光層や陰電極の形成は、上記のように酸素および水分が厳密にコントロールされた窒素雰囲気下で行われるので、上記イオナイザーは充分に機能せず、ＴＦＴ付き基板の搬送などによって生じる静電気を十分に除去することができない。

従って、本発明の目的は、充分に帯電防止処理されたＥＬ素子およびその製造方法を提供することである。

【０００７】

【課題を解決するための手段】

上記目的は以下の本発明によって達成される。すなわち、本発明は、基板上に、少なくとも薄膜トランジスタと有機発光層と電極とを有するＥＬ素子において、上記基板の少なくとも薄膜トランジスタ基板の裏面である第二主面に帯電防止膜が形成されていることを特徴とする帯電防止有機ＥＬ素子を提供する。

【０００８】

また、本発明は、表面に薄膜トランジスタが形成された基板の裏面（第二主面）に帯電防止膜を形成し、上記薄膜トランジスタの表面に少なくとも有機発光層と電極とを形成することを特徴とする帯電防止有機ＥＬ素子の製造方法を提供する。

【０００９】

【発明の実施の形態】

次に好ましい実施の形態を挙げて本発明をさらに詳細に説明する。

図１は、トップエミッション型のＥＬ素子の構造を図解的に示しており、このＥＬ素子においては、例えば、ガラス板などの基板の裏面（第二主面）に帯電防止膜（導電膜）が形成され、基板の表面にＴＦＴ電極、有機発光層および透明陰電極が少なくとも形成されている。この実施例おいて不図示のドライバーによりＴＦＴを駆動させることによって、矢印に示す方向に、例えば、ＲＧＢが発光され、フルカラー画像が表示可能である。この場合の帯電防止膜である導電膜は、透明導電膜でも不透明導電膜（例えば金属膜）であってもよい。また、図示のように基板の少なくとも１個の側面にも導電膜を形成してもよい。

【００１０】

図２は、ボトムエミッション型のＥＬ素子の構造を図解的に示しており、このＥＬ素子においては、陰電極が反射性であり、ＴＦＴが透明性であり、例えば、ガラス板などの基板の裏面（第二主面）に帯電防止用の透明導電膜が形成されている。この実施例においても不図示のドライバーによりＴＦＴを駆動させることによって、矢印に示す方向に、例えば、ＲＧＢが発光され、フルカラー画像が表示可能である。この場合の帯電防止膜である導電膜は、透明導電膜でも不透明導電膜（例えば金属膜）であってもよいが、少なくとも画像表示部は透明導電膜であるか、若しくは導電膜が形成されていないことが必要である。また、図示のように基板の全ての側面にも導電膜を形成してもよい。

【００１１】

図３は、図２において発光面である第二主面の帯電防止膜である導電膜の形状を示したものであり、第二主面の全面ではなく、導電膜を画像表示部の周辺のみに形成したものである。このような導電膜を形成することによって、透明導電膜を全面に形成した場合と比べ、透明導電膜による透過率の低下や発光波長の変化をなくし、より優れた画像表示が可能である。また、この実施形態では導電膜は不透明で良導電性金属膜でもよい。このようなパターン状導電膜は適当なマスクを用いて導電膜を形成することにより容易に作成できる。

【００１２】

本発明の帯電防止ＥＬ素子の製造方法を図４を参照して説明する。本発明では予めＴＦＴ

SDC EX. 1016 - 817/959

が形成されている基板（ａ）の裏面（第二主面）に帯電防止膜として導電膜を形成する（ｂ）。このように導電膜を形成しておくことにより、乾燥窒素雰囲気において、発光層、陰電極、その他の層を形成する際の基板の取扱時に、基板に静電気が帯電することがなく、従ってＴＦＴの損傷が防止できる。このような導電膜が透明である場合には、該導電膜はそのままでもよい（ｃ）が、金属層の如く透明性が低い導電膜の場合には、エッチングなどの適当な方法で全面的に除去するか（ｄ）或いは図３の示すようにパターン状に除去することが必要である。

【００１３】

以上の如く、基板の第二主面に導電膜を形成しておくことにより、ＴＦＴを有するＥＬ素子の製造および搬送などの取扱時において、ＴＦＴの損傷が発生せず、不良品率を顕著に低下させることができる。

【００１４】

本発明の帯電防止ＥＬ素子およびその製造方法は以上の通りであるが、上記本発明で使用する各材料および方法についてさらに説明する。

（基板）

本発明で使用するＥＬ素子のＴＦＴ付き基板としては、従来のＥＬ素子や液晶表示素子に使用されているＴＦＴ付きガラス板や透明プラスチックシートなどの基板であればよく特に限定されない。これらの基板の厚みは通常約０．１～２．０ｍｍである。

【００１５】

（電極材料）

トップエミッション型のＥＬ素子の好ましい陰極材料としては、例えば、酸化インジウム、酸化錫、ＩＴＯなどが挙げられる。ボトムエミッション型のＥＬ素子の好ましい陰極材料としては、例えば、マグネシウム合金（ＭＧ－Ａｇなど）、アルミニウム合金（Ａｌ－Ｌｉ、Ａｌ－Ｃａ、Ａｌ－Ｍｇなど）、金属カルシウムおよび仕事関数の小さい金属が挙げられる。また、陽極でもあるＴＦＴ自体は、従来の液晶表示素子に使用されているＴＦＴと同様でよい。これらの電極層の厚みは、それぞれ通常約２０～１０００Ａである。

【００１６】

（帯電防止導電膜）

帯電防止導電膜材料としては、上記の電極材料と同様な材料が使用され、例えば、図１に示す実施形態の導電膜としては、光透過性の材料でも、光不透過性材料でもよく、図２に示す実施形態では光透過性の材料を使用するが、図３に示すように後に画像表示部を作製する場合には、光不透過性材料であってもよい。さらに図４に示す如き実施形態では、導電性に優れた金属膜を使用することが好ましい。導電膜の形成方法は、蒸着、スパッタリング、ＣＶＤ法など従来公知の方法でよい。形成する導電膜の導電性は十分に高いことが必要であり、その厚みは好ましくは５～１０，０００Ａ程度、さらに好ましくは１，０００～５，０００Ａ程度である。なお、導電膜の厚みは使用する導電性材料によって調整することができる。

【００１７】

（電荷注入層）

本発明のＥＬ素子には、図示していないが、陽電極（ＴＦＴ）および陰電極と発光層との間に他の層が形成されていてもよい。この層には、バッファー層、正孔注入層および／または電子注入層が含まれる。これらは、例えば、特開平１１－４０１１号公報に記載のもののように、従来のＥＬ素子に一般に用いられているものであれば特に限定されない。

【００１８】

（発光層）

陽電極（ＴＦＴ）上に形成する有機発光層は、主として蛍光を発光する有機物（低分子化合物および高分子化合物）と、これを補助するドーパントとから通常形成される。このような発光材料としては、例えば、下記の如き材料が挙げられる。

１．色素系材料

色素系材料としては、例えば、シクロペンダミン誘導体、テトラフェニルブタジエン誘導

SDC EX. 1016 - 818/959

体化合物、トリフェニルアミン誘導体、オキサジアゾール誘導体、ピラゾロキノリン誘導体、ジスチリルベンゼン誘導体、ジスチリルアリーレン誘導体、ピロール誘導体、チオフェン環化合物、ピリジン環化合物、ペリノン誘導体、ペリレン誘導体、オリゴチオフェン誘導体、トリアミニルアミン誘導体、オキサジアゾールダイマー、ピラゾリンダイマーなどが挙げられる。

【００１９】

２．金属錯体系材料

金属錯体系材料としては、例えば、アルミキノリノール錯体、ベンゾキノリノールベリリウム錯体、ベンゾオキサゾリル亜鉛錯体、ベンゾチアゾール亜鉛錯体、アゾメチル亜鉛錯体、ポルフィリン亜鉛錯体、ユーロピウム錯体など、中心金属に、Ａｌ、Ｚｎ、Ｂｅなど またはＴｂ、Ｅｕ、Ｄｙなどの希土類金属を有し、配位子にオキサジアゾール、チアジアゾール、フェニルピリジン、フェニルベンゾイミダゾール、キノリン構造などを有する金属錯体などを挙げることができる。

【００２０】

３．高分子系材料

高分子系材料としては、ポリパラフェニレンビニレン誘導体、ポリチオフェン誘導体、ポリパラフェニレン誘導体、ポリシラン誘導体、ポリアセチレン誘導体、ポリフルオレン誘導体、ポリビニルカルバゾール誘導体、上記色素体や金属錯体系発光材料を高分子化したものなどが挙げられる。

【００２１】

上記発光性材料のうち、青色に発光する材料としては、ジスチリルアリーレン誘導体、オキサジアゾール誘導体、およびそれらの重合体、ポリビニルカルバゾール誘導体、ポリパラフェニレン誘導体、ポリフルオレン誘導体などを挙げることができる。なかでも高分子材料のポリビニルカルバゾール誘導体、ポリパラフェニレン誘導体やポリフルオレン誘導体などが好ましい。

【００２２】

また、緑色に発光する材料としては、キナクリドン誘導体、クマリン誘導体、およびそれらの重合体、ポリパラフェニレンビニレン誘導体、ポリフルオレン誘導体などを挙げることができる。なかでも高分子材料のポリパラフェニレンビニレン誘導体、ポリフルオレン誘導体などが好ましい。

【００２３】

また、赤色に発光する材料としては、クマリン誘導体、チオフェン環化合物、およびそれらの重合体、ポリパラフェニレンビニレン誘導体、ポリチオフェン誘導体、ポリフルオレン誘導体などを挙げることができる。なかでも高分子材料のポリパラフェニレンビニレン誘導体、ポリチオフェン誘導体、ポリフルオレン誘導体などが好ましい。

【００２４】

（ドーパント材料）

発光層中に発光効率の向上や発光波長を変化させるなどの目的で、ドーパントを添加することができる。このようなドーパントとしては、例えば、ペリレン誘導体、クマリン誘導体、ルブレン誘導体、キナクリドン誘導体、スクアリウム誘導体、ポルフィレン誘導体、スチリル系色素、テトラセン誘導体、ピラゾロン誘導体、デカシクレン、フェノキサゾンなどを挙げることができる。以上の如き有機発光層の厚みは、それぞれ通常約２０～２０００Åである。

【００２５】

（バッファー層）

本発明では、発光層を形成する工程の他にバッファー層を形成する工程を有してもよい。本発明でいうバッファー層とは、発光層に電荷の注入が容易に行われるように、陽極（ＩＴＯ）と発光層との間に、または陰極と発光層との間に設けられ、有機物、特に有機導電体などを含む層である。例えば、発光層への正孔注入効率を高めて、電極などの凹凸を平坦化する機能を有する導電性高分子から形成することができる。以上の如きバッファー層

SDC EX. 1016 - 819/959

の厚みは、通常約１００～２０００Ａである。
【００２６】
上記バッファー層は、その導電性が高い場合、素子のダイオード特性を保ち、クロストークを防ぐために、パターニングされていることが望ましい。なお、バッファー層の抵抗が高い場合などはパターニングされていなくてもよい場合があり、また、バッファー層が省ける素子の場合はバッファー層は設けなくてもよい場合がある。
【００２７】
バッファー層を形成する材料としては、具体的には、ポリアルキルチオフェン誘導体、ポリアニリン誘導体、トリフェニルアミンなどの正孔輸送性物質の重合体、無機化合物のゾルゲル膜、トリフルオロメタンなどの有機物の重合膜、ルイス酸を含む有機化合物膜などが挙げられる。
【００２８】
以上の如き発光層やバッファー層を形成する方法としては通常の発光層などの形成と同様であって、特に制限されないが、蒸着法のほかに電着法、材料の溶解液、溶液または混合液を使用するスピンコーティング法、キャスティング法、ディッピング法、バーコート法、アレードコーティング法、ロールコート法、グラビアコート法、フレキソ印刷法、スプレーコート法などが挙げられる。
【００２９】
（封止材料）
本発明のＥＬ素子は最終的には、外気の酸素や水分から遮断するための封止板と封止材とを用いて封止する。封止材は、従来公知の方法で使用されている封止材でよく、特に限定されないが、溶剤を含んでいない、いわゆる無溶剤接着剤を使用することが好ましい。具体的には、熱によって接着性を発揮する熱可塑性樹脂（ヒートシール剤）、ポリオールとポリイソシアネートとからなる二液型接着剤、エポキシ系やシアノアクリレート系などの感圧接着剤、アクリレートオリゴマーなどの重合性成分を含む感光性接着剤などが挙げられる。このような無溶剤型接着剤を用いることにより、封止後に溶剤によるＥＬ層に対する悪影響を排除することができる。
【００３０】
以上の如き封止材は、さらに水分や酸素が封止材層を透過しないように、封止材中に酸化カルシウムなどのアルカリ土類金属の酸化物や、還元剤や酸化鉄などの酸素吸収剤を適当な量で添加しておくことが好ましい。なお、封止材中には封止板の押圧によってＥＬ層が破壊されないように、ＥＬ層の厚みより径が大きいガラスビーズなどのスペーサーを含ませておくことが好ましい。
【００３１】
（封止板）
本発明で用いる封止板は、水分や酸素の透過性が低い材料であれば何れの材料でもよく、例えば、ガラス板、ガスバリヤー性に優れた樹脂板、金属板などが挙げられる。これらの封止板のサイズは通常ＥＬ素子の基板と略同一サイズである。
【００３２】
【実施例】
次に実施例を挙げて本発明をさらに詳しく説明する。
＜実施例１（図１参照）＞
板厚１．１ｍｍで、表面にＴＦＴが形成された基板の裏面（第二主面）に、蒸着方法により厚み３，０００Ａのアルミニウム合金薄膜を形成した。次いでＴＦＴの面にＴＦＴの構造に合わせて、フォトリソグラフィー法にてＲＧＢの発光層をパターニングして膜厚８００Ａの有機発光層を形成した。赤色発光層は、ポリビニルカルバゾール７０重量部、オキサジアゾール３０重量部、ジシアノメチレンピラン誘導体１重量部、モノクロロベンゼン４９００重量部からなる塗布液を用い、緑色発光層は、ポリビニルカルバゾール７０重量部、オキサジアゾール３０重量部、クマリン６の１重量部、モノクロロベンゼン４９００重量部からなる塗布液を用い、青色発光層は、ポリビニルカルバゾール７０重量部、オキ

SDC EX. 1016 - 820/959

サジアゾール３０重量部、ペリレン１重量部、モノクロロベンゼン４９００重量部からなる塗布液を用いて形成した。

【００３３】

これらの発光層の表面に透明陰電極としてＩＴＯをマスクスパッタ方法で１，５００Ａの厚みに形成し、最後に常法に従って封止材と封止板とでＥＬ層を封止して本発明のＥＬ素子を作製した。以上の操作は全て窒素ガス雰囲気で行った。ＴＦＴ電極側を陽極に、そしてＩＴＯ陰電極側を負極に接続し、駆動回路を接続して表示実験を行ったところ、表示信号に従ってフルカラー表示が可能であり、この際に意図しない発光や発光不良がなく、ＴＦＴが静電気によって損傷していないことが明らかとなった。

【００３４】

＜実施例２（図２参照）＞

実施例１において、板厚１．１ｍｍで、表面にＴＦＴが形成された基板の裏面（第二主面）に、ＣＶＤ法により厚み１，６００ＡのＩＴＯ薄膜を形成し、陰電極としてＣαを１００Ａ、さらに保護層としてＡｇを２，５００Ａの厚みで蒸着した以外は実施例１と同様にして本発明のＥＬ素子を作製した。このＥＬ素子についても実施例１と同様にしてＴＦＴの損傷は認められなかった。

【００３５】

＜実施例３（図３参照）＞

実施例２において、板厚１．１ｍｍで、表面にＴＦＴが形成された基板の裏面（第二主面）に、スパッタリング法により所定のマスク（画像表示面をマスクするパターン）を介して厚み８，０００Ａの銀の薄膜を形成した以外は実施例２と同様にして本発明のＥＬ素子を作製した。このＥＬ素子についても実施例１と同様にしてＴＦＴの損傷は認められなかった。

【００３６】

＜実施例４（図４参照）＞

実施例２において、板厚１．１ｍｍで、表面にＴＦＴが形成された基板の裏面（第二主面）に、スパッタリング法により厚み１，０００Ａの銀の薄膜を形成し、ＥＬ層および陰電極を形成後、上記の銀の薄膜を図３に示す形状に適当なマスクを介してドライエッチングにより除去した以外は実施例３と同様にして本発明のＥＬ素子を作製した。このＥＬ素子についても実施例１と同様にしてＴＦＴの損傷は認められなかった。

【００３７】

【発明の効果】

以上の如き本発明によれば、充分に帯電防止処理されたＥＬ素子およびその製造方法を提供することができる。

【図面の簡単な説明】

【図１】本発明の帯電防止ＥＬ素子を説明する図。

【図２】本発明の別の実施形態の帯電防止ＥＬ素子を説明する図。

【図３】本発明の帯電防止ＥＬ素子の画像表示面を説明する図。

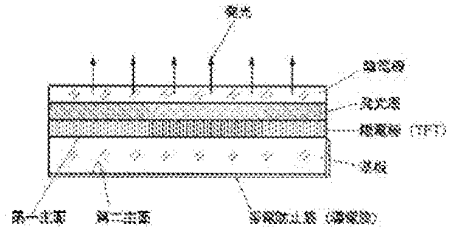
【図４】本発明の方法を説明する図。

【図５】従来のＥＬ素子の基本構成を示す図。

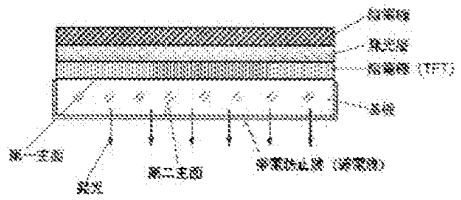
【図６】従来のＥＬ素子の基本構成を示す図。

SDC EX. 1016 - 821/959

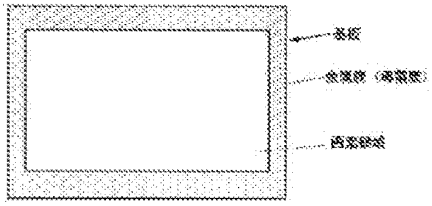
【図１】



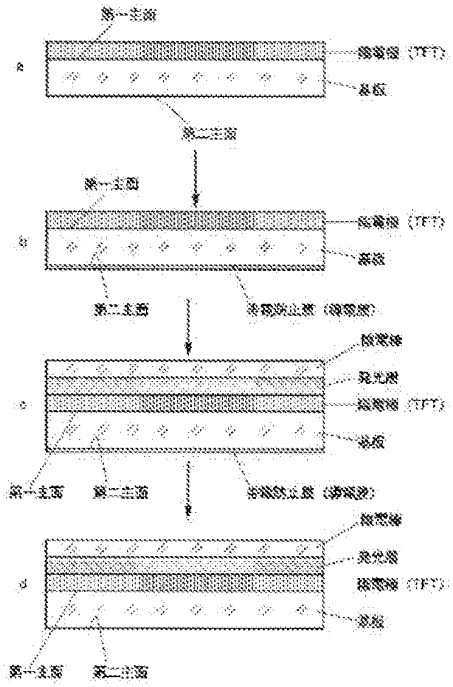
【図２】



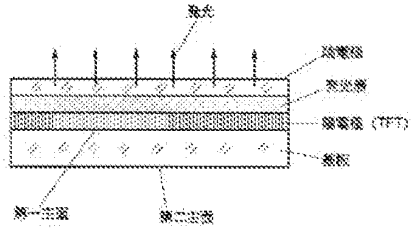
【図３】



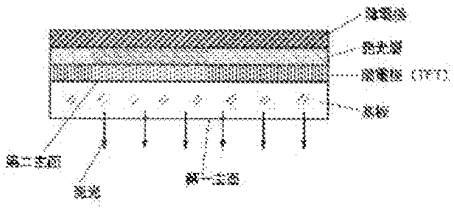
【図４】



【図５】



【図６】



Espacenet

Bibliographic data: JP2003195775 (A) — 2003-07-09

ELECTRO-OPTICAL DEVICE, MANUFACTURING METHOD THEREFOR, CIRCUIT BOARD, MANUFACTURING METHOD THEREFOR, AND ELECTRONIC EQUIPMENT

Inventor(s): MIYAZAWA TAKASHI ± (MIYAZAWA TAKASHI)

Applicant(s): SEIKO EPSON CORP ± (SEIKO EPSON CORP)

Classification: - international: ***G09F9/00; G09F9/30; G09F9/33; H01L27/32; H01L29/786; H01L51/50; H01L51/52; H05B33/02;*** (IPC1-7): G09F9/00; G09F9/30; G09F9/33; H01L29/786; H05B33/02; H05B33/14
- cooperative: **H01L51/5262; H05B33/22;** G02F1/133502; H01L27/3244

Application number: JP20010398522 20011227

Priority number(s): JP20010398522 20011227

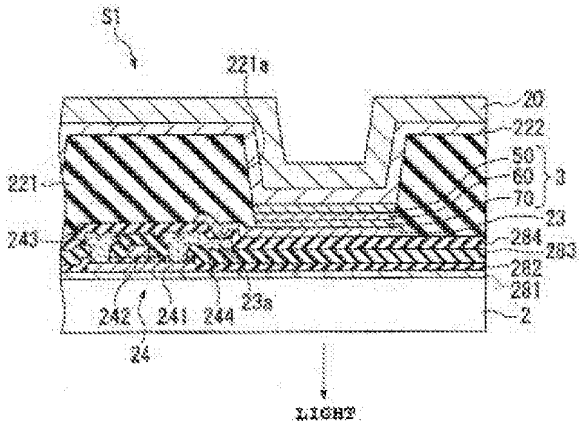
Also published as: CN1251556 (C) CN1429054 (A) CN1633224 (A) CN1633224 (B) CN1901244 (A) EP1324642 (A2) EP1324642 (A3) EP1976340 (A2) EP1976340 (A3) JP4182467 (B2) KR100512047 (B1) KR20030057371 (A) TW200301456 (A) TWI301605 (B) US2003160247 (A1) US2007170429 (A1) US7211838 (B2) US7714328 (B2) less

Abstract of JP2003195775 (A)

PROBLEM TO BE SOLVED: To provide an electro-optical device capable of improving an efficiency of externally taking out light, and realizing high visibility. ;SOLUTION: An organic EL display device has a plurality of material layers including light emitting elements 3, and between a substrate 2, which is placed on the front surface among a plurality of the material layers placed in the direction of taking out the light from a light emitting element 3, and the light emitting element 3, 1st and 2nd interlayer insulating layers 283, 284 having a refractive index lower than that of the substrate 2 are arranged. ;COPYRIGHT: (C)2003,JPO

SDC EX. 1016 - 823/959

Fig.3



SDC EX. 1016 - 824/959

(19)日本国特許庁（ＪＰ）　(12)公開特許公報（Ａ）　(11)特許出願公開番号
特開2003－195775
（P2003－195775A）
(43)公開日　平成15年７月９日(2003.7.9)

(51)Int.Cl.⁷		識別記号	FI		テーマコード（参考）
Ｇ０９Ｆ	9/00	３１３	Ｇ０９Ｆ 9/00	３１３	３Ｋ００７
	9/30	３６５	9/30	３６５Ｚ	５Ｃ０９４
	9/33		9/33	Ｚ	５Ｆ１１０
Ｈ０１Ｌ	29/786		Ｈ０５Ｂ 33/02		５Ｇ４３５
Ｈ０５Ｂ	33/02		33/14	Ａ	

審査請求　未請求　請求項の数27　ＯＬ　（全 22 頁）　最終頁に続く

(21)出願番号　特願2001－398522(P2001－398522)

(22)出願日　平成13年12月27日(2001.12.27)

(71)出願人　000002369
セイコーエプソン株式会社
東京都新宿区西新宿２丁目４番１号

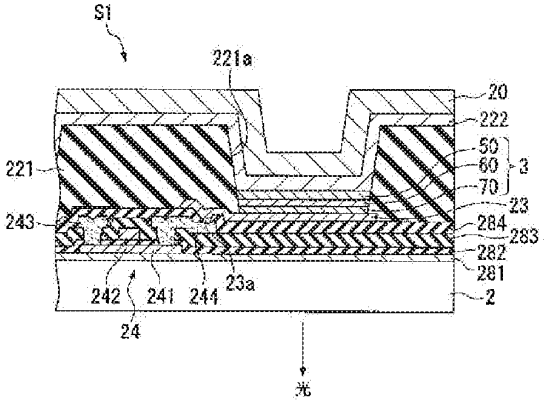
(72)発明者　宮澤　貴士
長野県諏訪市大和３丁目３番５号　セイコーエプソン株式会社内

(74)代理人　100095728
弁理士　上柳　雅誉　（外２名）

最終頁に続く

(54)【発明の名称】　電気光学装置、電気光学装置の製造方法、回路基板、回路基板の製造方法、電子機器

(57)【要約】
【課題】　光の外部取り出し効率を向上でき、高い視認性が実現される電気光学装置を提供する。
【解決手段】　有機ＥＬ表示装置は、発光素子３を含む複数の材料層を有しており、発光素子３からの光が取り出される方向に位置する複数の材料層のうち、最表面に位置する基板２と発光素子３との間には、基板２の屈折率より低い屈折率を有する第１，第２層間絶縁層２８３，２８４が配置されている。



SDC EX. 1016 - 825/959

【特許請求の範囲】

【請求項１】　電気光学素子を有する電気光学素子層を含む複数の材料層が積層されている電気光学装置であって、

前記電気光学素子からの光が取り出される方向に位置する複数の材料層が配置され、

前記複数の材料層のうち最表面に位置する表面材料層と前記電気光学素子層との間に前記表面材料層の屈折率より低い屈折率を有する低屈折率層が配置されていることを特徴とする電気光学装置。

【請求項２】　請求項１に記載の電子光学装置において、

前記電気光学素子は発光素子であることを特徴とする電気光学装置。

【請求項３】　請求項１または請求項２に記載の電気光学装置において、

前記低屈折率層が層間絶縁層として形成されていることを特徴とする電気光学装置。

【請求項４】　請求項１～請求項３のいずれか一項に記載の電気光学装置において、

前記低屈折率層の屈折率は１．５以下であることを特徴とする電気光学装置。

【請求項５】　請求項１～請求項３のいずれか一項に記載の電気光学装置において、

前記低屈折率層の屈折率は１．２以下であることを特徴とする電気光学装置。

【請求項６】　請求項１～請求項５のいずれか一項に記載の電気光学装置において、

前記低屈折率材料は、光を透過可能な多孔質体であることを特徴とする電気光学装置。

【請求項７】　請求項１～請求項６のいずれか一項に記載の電気光学装置において、

前記低屈折率材料は、エアロゲル、多孔質シリカ、フッ化マグネシウム、フッ素系ポリマー、多孔性ポリマーのうち少なくともいずれか１つからなることを特徴とする電気光学装置。

【請求項８】　請求項１～請求項７のいずれか一項に記載の電気光学装置において、

前記低屈折率材料は、所定の材料に無機微粒子及び有機微粒子の少なくともいずれか一方を含有したものであることを特徴とする電気光学装置。

【請求項９】　請求項８に記載の電気光学装置において、

前記低屈折率材料は、フッ化マグネシウムの微粒子を分散したゲルを含むことを特徴とする電気光学装置。

【請求項１０】　請求項１～請求項９のいずれか一項に記載の電気光学装置において、

前記電気光学素子は、有機エレクトロルミネッセンス素子からなることを特徴とする電気光学装置。

【請求項１１】　請求項１～請求項１０のいずれか一項に記載の電気光学装置において、

さらに能動素子を備えていることを特徴とする電気光学装置。

【請求項１２】　請求項１１に記載の電気光学装置において、

前記能動素子はトランジスタであることを特徴とする電気光学装置。

【請求項１３】　請求項１２に記載の電気光学装置において、

前記トランジスタは薄膜トランジスタであることを特徴とする電気光学装置。

【請求項１４】　第１の基材上に薄膜トランジスタを配置する工程と、前記薄膜トランジスタ及び前記第１の基材を含む第２の基材上に低屈折率層を形成する工程とを含むことを特徴とする電気光学装置の製造方法。

【請求項１５】　基板上に複数の材料層が積層されている回路基板であって、

前記基板より屈折率が低い低屈折率材料からなる、少なくとも１つの低屈折率層が配置されていることを特徴とする回路基板。

【請求項１６】　請求項１５に記載の回路基板において、

前記複数の材料層のうち少なくとも１つは層間絶縁層であり、前記層間絶縁層は前記低屈折率材料からなることを特徴とする回路基板。

【請求項１７】　請求項１５又は請求項１６に記載の回路基板において、

前記低屈折率層の屈折率は１．５以下であることを特徴とする回路基板。

【請求項１８】　請求項１５又は請求項１６に記載の回路基板において、

前記低屈折率層の屈折率は１．２以下であることを特徴とする回路基板。

【請求項１９】　請求項１５～請求項１８のいずれか一項に記載の回路基板において、

前記低屈折率材料は、光を透過可能な多孔質体であることを特徴とする回路基板。

【請求項２０】　請求項１５～請求項１９のいずれか一項に記載の回路基板において、

前記低屈折率材料は、エアロゲル、多孔質シリカ、フッ化マグネシウム、フッ素系ポリマー、多孔性ポリマーのうち少なくともいずれか１つからなることを特徴とする回路基板。

【請求項２１】　請求項１５～請求項２０のいずれか一項に記載の回路基板において、

前記低屈折率材料は、所定の材料に無機微粒子及び有機微粒子の少なくともいずれか一方を含有したものであることを特徴とする回路基板。

【請求項２２】　請求項２１に記載の回路基板において、

SDC EX. 1016 - 826/959

前記低屈折率材料は、フッ化マグネシウムの微粒子を分散したゲルを含むことを特徴とする回路基板。

【請求項23】 請求項15～請求項22のいずれか一項に記載の回路基板において、
さらに能動素子を備えていることを特徴とする回路基板。

【請求項24】 請求項23に記載の回路基板において、
前記能動素子はトランジスタであることを特徴とする回路基板。

【請求項25】 第1の基材上にトランジスタを配置する工程と、前記トランジスタ及び前記第1の基材を含む第2の基材上に低屈折率層を形成する工程とを含むことを特徴とする回路基板の製造方法。

【請求項26】 請求項1～請求項13のいずれか一項に記載の電気光学装置を備えたことを特徴とする電子機器。

【請求項27】 請求項15～請求項24のいずれか一項に記載の回路基板を備えたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、電気光学素子が発する光や電気光学素子により変調された光が効率良く取り出される電気光学装置及び電気光学装置の製造方法、この電気光学装置を備えた電子機器、並びに回路基板及び回路基板の製造方法に関するものである。

【0002】

【従来の技術】従来、液晶装置、有機ＥＬ（エレクトロルミネッセンス；electroluminescence）装置等の電気光学装置においては、基板上に複数の回路素子、電極、液晶又はＥＬ素子等が積層された構成を有するものがある。例えば有機ＥＬ装置においては、発光物質を含む発光層を陽極及び陰極の電極層で挟んだ構成の発光素子を有しており、陽極側から注入された正孔と、陰極側から注入された電子とを発光能を有する発光層内で再結合し、励起状態から失活する際に発光する現象を利用している。

【0003】

【発明が解決しようとする課題】一般に電気光学装置は電気光学素子層を含めて複数の材料層により構成されているので、電気光学素子層が発した光あるいは変調した光を外部に取り出す際には、光が通過する材料層によって減衰してしまい、十分な光の取り出し効率が得られないことがある。

【0004】本発明はこのような事情に鑑みてなされたものであって、光の外部取り出し効率を向上でき、高い視認性が実現される電気光学装置及びその製造方法、回路基板及びその製造方法、電子機器を提供することを目的とする。

【0005】

【課題を解決するための手段】上記の課題を解決するため、本発明の電気光学装置は、電気光学素子を有する電気光学素子層を含む複数の材料層が積層されている電気光学装置であって、前記電気光学素子からの光が取り出される方向に位置する複数の材料層が配置され、前記複数の材料層のうち最表面に位置する表面材料層と前記電気光学素子層との間に前記表面材料層の屈折率より低い屈折率を有する低屈折率層が配置されていることを特徴とする。

【0006】ここで、前記「電気光学素子からの光」とは電気光学素子が発した光のみを指すのではなく、例えば、電気光学素子によって透過光や反射光が変調された光をも含む。「最表面に位置する表面材料層」とは外界と接する材料層を意味している。

【0007】本発明によれば、電気光学素子からの光は表面材料層より低屈折率な低屈折率層を通過してから表面材料層に入射するので、臨界角以上の角度で低屈折率層に入射した光は表面材料層との界面で臨界角以下となる方向に屈折し、表面材料層内での全反射条件から外れ、外部に取り出される。これにより、光の取り出し効率が向上し高い視認性を得ることができる。また、屈折率と誘電率とには強い正の相関関係があり、所定の材料層を低屈折率層とすることにより、低誘電率層を形成できる。

【0008】前記電気光学素子としては、例えば、液晶素子、電気泳動素子、電子放出素子等が採用可能であるが、上記の電気光学装置の構成は、電気光学素子が発光素子である場合に特に好適である。発光素子としては、例えば、ＬＥＤ（発光ダイオード）素子、ＬＤ（レーザーダイオード）素子、ＥＬ（エレクトロルミネッセンス）素子、電子放出素子を用いた発光素子などが挙げられる。

【0009】上記の電気光学装置において、前記低屈折率層を層間絶縁層とすることにより、層間絶縁層を通過する光の取り出し効率を向上させることができる。また、屈折率と誘電率とは正の強い相関関係を示すので、層間絶縁層により、例えば、配線や電極などの導電部材が絶縁されている場合、配線間に生ずる容量を減ずるという利点も有することになる。したがって、高い光の取り出し効率と高速動作とを併せ持つ電気光学装置となる。

【0010】この場合において、前記低屈折率層の屈折率は1．5以下に設定され、好ましくは1．2以下に設定される。

【0011】低屈折率材料としては、光を透過可能な多孔質体、エアロゲル、多孔質シリカ、フッ化マグネシウムあるいはこれを含む材料、フッ化マグネシウムの微粒子を分散したゲル、フッ素系ポリマーあるいはこれを含む材料、分岐構造を有するような多孔性ポリマー、所定

SDC EX. 1016 - 827/959

の材料に無機微粒子及び有機微粒子の少なくともいずれか一方を含有した材料などが挙げられる。

【００１２】前記電気光学素子としては、例えば、有機エレクトロルミネッセンス素子が使用可能である。有機エレクトロルミネッセンス素子は、例えば、低電圧駆動が可能であり、また、液晶素子に比べて視野角依存性が少ないなど、種々の有利性を有している。

【００１３】上記の電気光学装置において、更に能動素子を設けても良い。これにより、アクティブ駆動が可能となる。前記能動素子としては、例えば、薄膜トランジスタをはじめとするトランジスタや、薄膜ダイオード等が挙げられる。

【００１４】本発明の電気光学装置の製造方法は、第１の基材上に薄膜トランジスタを配置する工程と、前記薄膜トランジスタ及び前記第１の基材を含む第２の基材上に低屈折率層を形成する工程とを含むことを特徴とする。

【００１５】本発明の回路基板は、基板上に複数の材料層が積層されている回路基板であって、前記基板より屈折率が低い低屈折率材料からなる、少なくとも１つの低屈折率層が配置されていることを特徴とする。

【００１６】上記の回路基板において、前記複数の材料層のうち少なくとも１つは層間絶縁層であり、前記層間絶縁層は前記低屈折率材料からなる。前記低屈折率層の屈折率は１．５以下であり、好ましくは１．２以下である。

【００１７】前記低屈折率材料としては、光を透過可能な多孔質体、エアロゲル、多孔質シリカ、フッ化マグネシウム、フッ素系ポリマー、多孔性ポリマー。所定の材料に無機微粒子及び有機微粒子の少なくともいずれか一方を含有したもの、フッ化マグネシウムの微粒子を分散したゲルなどが挙げられる。

【００１８】この場合において、回路基板は能動素子を備えており、能動素子としてはトランジスタなどが挙げられる。

【００１９】本発明の回路基板の製造方法は、第１の基材上にトランジスタを配置する工程と、前記トランジスタ及び前記第１の基材を含む第２の基材上に低屈折率層を形成する工程とを含むことを特徴とする。

【００２０】本発明の電子機器は、上記本発明の電気光学装置あるいは回路基板を備えたことを特徴とする。本発明によれば、表示品位に優れ、明るい画面の表示部を備えた電子機器を実現できる。

【００２１】

【発明の実施の形態】以下、本発明の電気光学装置について図１，図２，図３を参照しながら説明する。図１，図２は本発明に係る電気光学装置を、有機エレクトロルミネッセンス素子を用いたアクティブマトリクス型の表示装置に適用した場合の一例を示すものであって、図１は全体回路図、図２は、図１のうち対向電極や発光素子である有機エレクトロルミネッセンス素子を取り除いた状態での各画素の拡大平面図である。

【００２２】なお、本実施形態では、有機エレクトロルミネッセンス素子（以下、適宜「ＥＬ素子」と称する）を用いた表示装置を例として説明するが、液晶素子、電気泳動素子、電子放出素子などを用いた表示装置、あるいは、ＬＥＤ（発光ダイオード）素子、ＬＤ（レーザーダイオード）素子などの発光素子を用いた表示装置にも適用可能である。

【００２３】図１に示すように、有機エレクトロルミネッセンス表示装置（以下、適宜「有機ＥＬ表示装置」と称する）Ｓ１は、基板と、基板上に配線された複数の走査線１３１と、これら走査線１３１に対して交差する方向に延びるように配線された複数のデータ線１３２と、これらデータ線１３２に並列に延びるように配線された複数の共通給電線１３３とを有しており、走査線１３１及びデータ線１３２の各交点に対応して、画素（画素領域素）ＡＲが設けられて構成されたものである。

【００２４】データ線１３２に対しては、シフトレジスタ、レベルシフタ、ビデオライン、Ｄ／Ａコンバータ、デコーダ、ラッチ回路及びアナログスイッチのうち少なくとも１つを備えるデータ線駆動回路９０が電気的に接続されている。一方、走査線１３１に対しては、シフトレジスタ、レベルシフタ及びデコーダのうち少なくとも１つを備える走査線駆動回路８０が電気的に接続されている。

【００２５】なお、本実施形態では、データ線駆動回路９０及び走査線駆動回路８０はともに基板上に配置されているが、データ線駆動回路９０及び走査線駆動回路８０のそれぞれを基板上に配置するか、または基板の外に配置するかについては、適宜選択できる。

【００２６】また、図１に示すように、画素領域ＡＲの各々には、走査線１３１を介して走査信号がゲート電極に供給される第１の薄膜トランジスタ２２と、この第１の薄膜トランジスタ２２を介してデータ線１３２から供給される画像信号を保持する保持容量ｃａｐと、保持容量ｃａｐによって保持された画像信号がゲート電極に供給される第２の薄膜トランジスタ２４と、この第２の薄膜トランジスタ２４を介して共通給電線１３３に電気的に接続したときに共通給電線１３３から駆動電流が流れ込む画素電極２３と、この画素電極（陽極）２３と対向電極（陰極）２２２との間に挟み込まれた発光素子３とが設けられている。なお、発光素子３としては、ＥＬ（エレクトロルミネッセンス）素子の他に、ＬＥＤ（発光ダイオード）素子、ＬＤ（レーザーダイオード）素子などの発光素子が挙げられる。

【００２７】走査線１３１を介して供給される走査信号により第１の薄膜トランジスタ２２がオンとなると、そのときのデータ線１３２を介して供給されるデータ信号に対応する電荷が保持容量ｃａｐに保持され、該保持容

SDC EX. 1016 - 828/959

量ｃａｐの状態に応じて、第２の薄膜トランジスタ２４の導通状態が決まる。そして、第２の薄膜トランジスタ２４のチャネルを介して共通給電線１３３から画素電極２３に電流が流れ、さらに発光層６０を通じて対向電極２２２に電流が流れることにより、発光層６０は、これを流れる電流量に応じて発光する。

【００２８】次に、図２を参照しながら、各画素ＡＲの平面構造について説明する。図２は、対向電極や有機エレクトロルミネッセンス素子を取り除いた状態での図１の拡大平面図である。図２に示すように、平面視長方形状に設定された画素電極２３は、その四辺を、データ線１３２、共通給電線１３３、走査線１３１及び図示しない他の画素電極用の走査線によって囲まれている。なお、画素電極の形状は長方形に限られず、円形、長円形等の形状でもよい。後述するインクジェット法のように液体材料を用いて発光層などＥＬ素子を構成する材料層を形成する場合は、画素電極を特に角のない円形や長円形などの形状とすることにより均一な材料層が得られる。

【００２９】次に、有機ＥＬ表示装置の断面構造を図３を参照しながら説明する。図３は図２のＡ－Ａ矢視断面図である。ここで、図３に示す有機ＥＬ表示装置は、薄膜トランジスタ（ＴＦＴ：Thin Film Transistor）が配置された基板２側から光を取り出す形態、いわゆるバックエミッション型である。したがって、本実施形態においては、基板２が、発光素子３からの光が取り出される最表面に位置する表面材料層となっている。なお、基板２の表面に他の材料層が積層された場合には、この他の材料層が表面材料層となる。

【００３０】図３に示すように、バックエミッション型の有機ＥＬ表示装置Ｓ１は、基板２と、インジウム錫酸化物（ＩＴＯ：Indium Tin Oxide）等の透明電極材料からなる陽極（画素電極）２３と、陽極２３上に配置された発光素子３と、陽極２３との間で発光素子３を挟み込むように配置されている陰極（対向電極）２２２と、基板２上に形成され、画素電極２３に対する通電を制御する通電制御部としての薄膜トランジスタ（以下、「ＴＦＴ」と称する）２４とを有している。更に、陰極２２２の上層には封止層２０が設けられている。陰極２２２は、アルミニウム（Ａｌ）やマグネシウム（Ｍｇ）、金（Ａｕ）、銀（Ａｇ）、カルシウム（Ｃａ）から選ばれる少なくとも１つの金属から構成されている。陰極２２２は上述した各材料の合金や積層したものをも含む。ＴＦＴ２４は、走査線駆動回路８０及びデータ線駆動回路９０からの作動指令信号に基づいて作動し、画素電極２３への通電制御を行う。

【００３１】発光素子３は、陽極２３から正孔を輸送可能な正孔輸送層７０と、電気光学物質の１つである有機ＥＬ物質を含む発光層６０と、発光層６０の上面に設けられている電子輸送層５０とから概略構成されている。そして、電子輸送層５０の上面に陰極（対向電極）２２２が配置されている。

【００３２】ＴＦＴ２４は、SiO_2を主体とする下地保護層２８１を介して基板２の表面に設けられている。このＴＦＴ２４は、下地保護層２８１の上層に形成されたシリコン層２４１と、シリコン層２４１を覆うように下地保護層２８１の上層に設けられたゲート絶縁層２８２と、ゲート絶縁層２８２の上面のうちシリコン層２４１に対向する部分に設けられたゲート電極２４２と、ゲート電極２４２を覆うようにゲート絶縁層２８２の上層に設けられた第１層間絶縁層２８３と、ゲート絶縁層２８２及び第１層間絶縁層２８３にわたって開孔するコンタクトホールを介してシリコン層２４１と接続するソース電極２４３と、ゲート電極２４２を挟んでソース電極２４３と対向する位置に設けられ、ゲート絶縁層２８２及び第１層間絶縁層２８３にわたって開孔するコンタクトホールを介してシリコン層２４１と接続するドレイン電極２４４と、ソース電極２４３及びドレイン電極２４４を覆うように第１層間絶縁層２８３の上層に設けられた第２層間絶縁層２８４とを備えている。

【００３３】そして、第２層間絶縁層２８４の上面に画素電極２３が配置され、画素電極２３とドレイン電極２４４とは、第２層間絶縁層２８４に設けられたコンタクトホール２３ａを介して接続されている。また、第２層間絶縁層２８４の表面のうち発光素子（ＥＬ素子）３が設けられている以外の部分と陰極２２２との間には、合成樹脂などからなる第３絶縁層（バンク層）２２１が設けられている。

【００３４】なお、ドレイン電極２４４の上層に、ＴＦＴの保護層を設けても良い。この保護層の形成材料としては、珪素を含む絶縁層（特に窒化酸化珪素層又は窒化珪素層が好ましい）を用いることができる。この保護層は形成されたＴＦＴ２４を金属イオンや水分から保護する役割を持つ。すなわち、保護層はこれらの金属イオンなど可動イオンをＴＦＴ２４側に侵入させない保護層としても働く。

【００３５】また、保護層に放熱効果を持たせることで発光素子の熱劣化を防ぐことも有効である。ただし、発光素子として有機材料を用いる場合、酸素との結合により劣化するので、酸素を放出しやすい絶縁層は用いないことが好ましい。

【００３６】可動イオンの透過を妨げ、さらに放熱効果をもつ透光性材料としては、Ｂ（ホウ素）、Ｃ（炭素）、Ｎ（窒素）から選ばれた少なくとも一つの元素と、Ａｌ（アルミニウム）、Ｓｉ（珪素）、Ｐ（リン）から選ばれた少なくとも一つの元素とを含む絶縁層が挙げられる。例えば、窒化アルミニウム（ＡｌｘＮｙ）に代表されるアルミニウムの窒化物、炭化珪素（ＳｉｘＣｙ）に代表される珪素の炭化物、窒化珪素（ＳｉｘＮｙ）に代表される珪素の窒化物、窒化ホウ素（ＢｘＮ

SDC EX. 1016 - 829/959

y）に代表されるホウ素の窒化物、リン化ホウ素（BxPy）に代表されるホウ素のリン化物を用いることが可能である。また、酸化アルミニウム（AlxOy）に代表されるアルミニウムの酸化物は透光性に優れ熱伝導率が20$Wm^{-1}K^{-1}$であり、好ましい材料の一つと言える。これらの材料には上記効果だけでなく、水分の侵入を防ぐ効果もある。

【0037】上記化合物に他の元素を組み合わせることもできる。例えば、酸化アルミニウムに窒素を添加して、AlNxOyで示される窒化酸化アルミニウムを用いることも可能である。この材料にも放熱効果だけでなく、水分や可動イオン等の侵入を防ぐ効果がある。

【0038】また、Si、Al、N、O、Mを含む絶縁膜（但し、Mは希土類元素の少なくとも一種、好ましくはCe（セリウム）、Yb（イッテルビウム）、Sm（サマリウム）、Er（エルビウム）、Y（イットリウム）、La（ランタン）、Gd（ガドリニウム）、Dy（ジスプロシウム）、Nd（ネオジウム）から選ばれた少なくとも一つの元素）を用いることもできる。これらの材料にも放熱効果だけでなく、水分や可動イオンの侵入を防ぐ効果がある。

【0039】また、少なくともダイヤモンド薄膜又はアモルファスカーボン膜（特にダイヤモンドに特性の近いもの、ダイヤモンドライクカーボン等と呼ばれる。）を含む炭素膜を用いることもできる。これらは非常に熱伝導率が高く、放熱層として極めて有効である。但し、膜厚が厚くなると褐色を帯びて透過率が低下するため、なるべく薄い膜厚（好ましくは5～100nm）で用いることが好ましい。

【0040】なお、保護層の目的はあくまで可動イオンや水分からTFTを保護することにあるので、その効果を損なうものでないことが好ましい。したがって、上記放熱効果をもつ材料からなる薄膜を単体で用いることもできるが、これらの薄膜と、可動イオンや水分の透過を妨げうる絶縁膜（代表的には窒化珪素膜（SixNy）や窒化酸化珪素膜（SiOxNy））とを積層することは有効である。

【0041】シリコン層241のうち、ゲート絶縁層282を挟んでゲート電極242と重なる領域がチャネル領域とされている。また、シリコン層241のうち、チャネル領域のソース側にはソース領域が設けられている。一方、チャネル領域のドレイン側にはドレイン領域が設けられている。このうち、ソース領域が、ゲート絶縁層282と第1層間絶縁層283とにわたって開孔するコンタクトホールを介して、ソース電極243に接続されている。一方、ドレイン領域が、ゲート絶縁層282と第1層間絶縁層283とにわたって開孔するコンタクトホールを介して、ソース電極243と同一層からなるドレイン電極244に接続されている。画素電極23は、ドレイン電極244を介して、シリコン層241のドレイン領域に接続されている。

【0042】本例では、発光層60からの発光光をTFT24が設けられている基板2側から取り出す構成（バックエミッション型）であるため、基板2の形成材料としては、光を透過可能な透明あるいは半透明材料、例えば、透明なガラス、石英、サファイア、あるいはポリエステル、ポリアクリレート、ポリカーボネート、ポリエーテルケトンなどの透明な合成樹脂などが用いられる。特に、基板の形成材料としては、安価なソーダガラスが好適に用いられる。ソーダガラスを用いた場合、これにシリカコートを施すのが、酸アルカリに弱いソーダガラスを保護する効果を有し、さらに基板の平坦性をよくする効果も有するため好ましい。また、基板に色フィルター膜や発光性物質を含む色変換膜、あるいは誘電体反射膜を配置して、発光色を制御するようにしてもよい。

【0043】一方、TFT24が設けられている基板2とは反対側から発光光を取り出す構成（トップエミッション型）である場合には、基板2は不透明であってもよく、その場合、アルミナ等のセラミック、ステンレス等の金属シートに表面酸化などの絶縁処理を施したもの、熱硬化性樹脂、熱可塑性樹脂などを用いることができる。

【0044】下地保護層281を形成する際には、基板2に対し、TEOS（テトラエトキシシラン）や酸素ガスなどを原料としてプラズマCVD法によって製膜することにより、下地保護層281として厚さ約200～500nmのシリコン酸化膜が形成される。

【0045】シリコン層241を形成する際には、まず、基板2の温度を約350℃に設定して、下地保護膜281の表面にプラズマCVD法あるいはICVD法により厚さ約30～70nmのアモルファスシリコン層を形成する。次いで、このアモルファスシリコン層に対してレーザアニール法、急速加熱法、または固相成長法などによって結晶化工程を行い、アモルファスシリコン層をポリシリコン層に結晶化する。レーザアニール法では、例えばエキシマレーザでビームの長寸が400mmのラインビームを用い、その出力強度は例えば200mJ／cm^2とする。ラインビームについては、その短寸方向におけるレーザ強度のピーク値の90%に相当する部分が各領域毎に重なるようにラインビームを走査する。次いで、ポリシリコン層をフォトリソグラフィ法によってパターンニングして、島状のシリコン層241とする。

【0046】なお、シリコン層241は、図1に示した第2の薄膜トランジスタ24のチャネル領域及びソース・ドレイン領域となるものであるが、異なる断面位置においては第1の薄膜トランジスタ22のチャネル領域及びソース・ドレイン領域となる半導体膜も形成されている。つまり、二種類のトランジスタ22、24は同時に形成されるが、同じ手順で作られるため、以下の説明に

SDC EX. 1016 - 830/959

おいて、トランジスタに関しては、第2の薄膜トランジスタ24についてのみ説明し、第1の薄膜トランジスタ22についてはその説明を省略する。

【0047】ゲート絶縁層282を形成する際には、シリコン層241の表面に対して、TEOSや酸素ガスなどを原料としてプラズマCVD法を用いて製膜することにより、厚さ約60～150nmのシリコン酸化膜または窒化膜からなるゲート絶縁層282が形成される。

【0048】ゲート電極242は、ゲート絶縁層282上にアルミニウム、タンタル、モリブデン、チタン、タングステンなどの金属を含む導電膜をスパッタ法により形成した後、これをパターニングすることにより形成される。

【0049】シリコン層241にソース領域及びドレイン領域を形成するには、ゲート電極242を形成した後、このゲート電極242をパターニング用マスクとして用い、この状態でリンイオンを注入する。その結果、ゲート電極242に対してセルフアライン的に高濃度不純物が導入されて、シリコン層241中にソース領域及びドレイン領域が形成される。なお、不純物が導入されなかった部分がチャネル領域となる。

【0050】第1層間絶縁層283は、基板2より屈折率が低い低屈折率材料からなり、ゲート絶縁層282の上層に形成される。第1層間絶縁層283の形成材料としては、シリコン酸化膜、窒化膜、あるいは多孔性を有するシリコン酸化膜（SiO_2膜）などが挙げられる。多孔性を有するSiO_2膜からなるゲート絶縁層282は、反応ガスとしてSi_2H_6とO_2とを用いて、CVD法（化学的気相成長法）により形成される。これらの反応ガスを用いると、気相中に粒子の大きいSiO_2が形成され、ゲート絶縁層282の上に堆積する。そのため、第1層間絶縁層283は、層中に多くの空隙を有し、多孔質体となる。そして、第1層間絶縁層283は多孔質体となることによって低屈折率材料となり、光の取り出し効率が向上できる。

【0051】多孔質体からなる低屈折率層は、密度が0.4g／cm^3以下であることが好ましい。

【0052】低屈折率層としての第1層間絶縁層283の屈折率は1.5以下、好ましくは1.2以下に設定される。

【0053】なお、第1層間絶縁層283の表面にH（水素）プラズマ処理をしてもよい。これにより、空隙の表面のSi－O結合中のダングリングボンドがSi－H結合に置き換えられ、膜の耐吸湿性が良くなる。そして、このプラズマ処理された第1絶縁層283の表面に別のSiO_2層を設けてもよい。また、第1層間絶縁層283をCVD法で形成する際の反応ガスは、$Si_2H_6+O_2$の他に、$Si_2H_6+O_3$、$Si_3H_8+O_3$、$Si_3H_8+O_2$としてもよい。更に、上記の反応ガスに加えて、B（ホウ素）含有の反応ガス、F（フッ素）含有の反応ガスを用いてもよい。

【0054】第1層間絶縁層283を多孔質体として形成する際、多孔性を有するSiO_2膜と、通常の減圧化学的気相成長法により形成されたSiO_2膜とを積層することにより、膜質の安定した多孔質体としての第1層間絶縁層283を形成することもできる。そして、これらの膜を積層するには、減圧下におけるSiH_4とO_2の雰囲気中において、プラズマを断続的、又は周期的に発生させることによって可能となる。具体的には、第1層間絶縁層283は、基板2を所定のチャンバ内に収容し、例えば400℃に保持しながら、反応ガスとしてSiH_4とO_2を用い、RF電圧（高周波電圧）をチャンバに印加することにより形成される。成膜中においては、SiH_4流量、O_2流量が一定であるのに対し、RF電圧は10秒の周期でチャンバに印加される。これにともない、プラズマが10秒の周期で発生、消滅する。このように、時間変化するプラズマを用いることにより、1つのチャンバー内で、減圧CVDを用いるプロセスと、減圧下におけるプラズマCVDを用いるプロセスとを繰り返し行うことができる。そして、減圧CVDと減圧下におけるプラズマCVDとを繰り返し行うことにより、膜中に多数の空隙を有するSiO_2膜が形成される。すなわち、第1層間絶縁層283は多孔性を有することになる。

【0055】第1層間絶縁層283は、エアロゲルによって構成することもできる。エアロゲルとは、金属アルコキシドのゾルゲル反応により形成される湿潤ゲルを超臨界乾燥することによって得られる均一な超微細構造を持った光透過性の多孔質体である。エアロゲルにはシリカエアロゲルやアルミナを基調としたエアロゲルがある。このうち、シリカエアロゲルは、体積の90%以上を空隙が占め、残りが樹枝状に凝集した数10nmの微細なSiO_2粒子で構成された材料であり、粒子径が光の波長よりも小さいため、光透過性を有し、その屈折率は1.2以下である。また、空隙率を変化させることによって屈折率を調整できる。ここで、基板2の材料であるガラスの屈折率は1.54、石英の屈折率は1.45である。

【0056】シリカエアロゲルは、ゾルーゲル法により湿潤ゲルを作製する工程、湿潤ゲルを熟成させる工程、及び超臨界乾燥法により湿潤ゲルを乾燥してエアロゲルを得る超臨界乾燥工程を経て製造される。超臨界乾燥法は、固相と液相とからなるゼリー状のゲル物質中の液体を超臨界流体と置換、除去することにより、ゲルを収縮させることなくゲル物質を乾燥するのに適した方法であって、高い空隙率を有するエアロゲルが得られる。

【0057】例えば第1層間絶縁層283をシリカエアロゲルによって形成する際には、ゲート絶縁層282の上にエアロゲルの原料である湿潤ゲルをスピンコート法等を用いてコーティングし、超臨界乾燥することにより

SDC EX. 1016 - 831/959

形成される。超臨界流体を用いた超臨界乾燥法によって、湿潤ゲル中の溶媒を超臨界流体で置換することにより、湿潤ゲル中の溶媒が除去される。なお、超臨界流体としては、二酸化炭素（CO_2）、若しくは、メタノールやエタノールのようなアルコール、NH_3、H_2O、N_2O、メタン、エタン、エチレン、プロパン、ペンタン、イソプロパノール、イソブタノール、シクロトリフルオロメタン、モノフルオロメタン、シクロヘキサノールなどを用いることができる。

【００５８】低屈折率層（各絶縁層）をシリカエアロゲルによって形成する際、基材上にスピンコートなどによって湿潤ゲルを塗布した後、超臨界乾燥するが、湿潤ゲルに合成樹脂（有機物）を混合しておいてもよい。この場合の合成樹脂は、その熱変性温度が超臨界流体の臨界温度よりも高く光を透過可能な合成樹脂である。超臨界流体として例えばアルコールを用いた場合、その熱変性温度がアルコールの臨界温度よりも高く光を透過可能な合成樹脂としては、ヒドロキシルプロピルセルロース（ＨＰＣ），ポリビニルブチラール（ＰＶＢ），エチルセルロース（ＥＣ）等が挙げられる（なお、ＰＶＢ及びＥＣはアルコールに可溶で水には不溶）。溶媒としてエーテルを用いる場合には樹脂として塩素系ポリエチレン等を選択し、またCO_2を溶媒として用いる場合にはＨＰＣ等を選択することが望ましい。

【００５９】低屈折率層としては、シリカエアロゲルの他にアルミナを基調としたエアロゲルでもよく、基板２より低屈折率で光を透過可能な多孔質体であればよい。そして、多孔質体（エアロゲル）は密度が０．４ｇ／ｃｍ^{3}以下であることが好ましい。

【００６０】低屈折率層としては多孔質体でなくてもよく、エポキシ系接着剤（屈折率：１．４２）やアクリル系接着剤（屈折率：１．４３）など、光を透過可能で基板２より低屈折率な高分子材料からなる接着剤でもよい。これらの接着剤を単独で使用した場合であっても、基板２を構成するガラスや石英よりも屈折率が低いため、光の取り出し効率を向上できる。

【００６１】更に、低屈折率層としては、多孔質シリカでもよいし、フッ化マグネシウム（屈折率：１．３８）あるいはこれを含む材料でもよい。フッ化マグネシウムによる低屈折率層はスパッタリングによって形成可能である。あるいは、フッ化マグネシウムの微粒子を分散したゲルでもよい。あるいは、フッ素系ポリマー又はこれを含む材料、例えば、パーフルオロアルキル－ポリエーテル、パーフルオロアルキルアミン、またはパーフルオロアルキル－ポリエーテル－パーフルオロアルキルアミン混合フィルムでもよい。

【００６２】更には、低屈折率層として、所定のポリマーバインダーに、可溶性もしくは分散性である低屈折率のフルオロカーボン化合物を混在したものでもよい。ポリマーバインダーとしては、ポリビニルアルコール、ポリアクリル酸、ポリビニルピロリドン、ポリビニルスルホン酸ナトリウム塩、ポリビニルメチルエーテル、ポリエチレングリコール、ポリα－トリフルオロメチルアクリル酸、ポリビニルメチルエーテル－コ－無水マレイン酸、ポリエチレングリコール－コ－プロピレングリコール、ポリメタアクリル酸などが挙げられる。また、フルオロカーボン化合物としては、パーフルオロオクタン酸－アンモニウム塩、パーフルオロオクタン酸－テトラメチルアンモニウム塩、Ｃ－７とＣ－１０のパーフルオロアルキルスルホン酸アンモニウム塩、Ｃ－７とＣ－１０のパーフルオロアルキルスルホン酸テトラメチルアンモニウム塩、フッ素化アルキル第４級アンモニウムアイオダイド、パーフルオロアジピン酸、およびパーフルオロアジピン酸の第４級アンモニウム塩などが挙げられる。

【００６３】更に、低屈折率層として空隙を導入する方法が有効であるため、上記エアロゲルの他に、微粒子を用いて微粒子間または微粒子内のミクロボイドとして空隙を形成してもよい。微粒子としては、無機微粒子あるいは有機微粒子を低屈折率層に用いることができる。無機微粒子は、非晶質であることが好ましい。無機微粒子は、金属の酸化物、窒化物、硫化物またはハロゲン化物からなることが好ましく、金属酸化物または金属ハロゲン化物からなることがさらに好ましく、金属酸化物または金属フッ化物からなることが最も好ましい。金属原子としては、Ｎａ、Ｋ、Ｍｇ、Ｃａ、Ｂａ、Ａｌ、Ｚｎ、Ｆｅ、Ｃｕ、Ｔｉ、Ｓｎ、Ｉｎ、Ｗ、Ｙ、Ｓｂ、Ｍｎ、Ｇａ、Ｖ、Ｎｂ、Ｔａ、Ａｇ、Ｓｉ、Ｂ、Ｂｉ、Ｍｏ、Ｃｅ、Ｃｄ、Ｂｅ、ＰｂおよびＮｉが好ましく、Ｍｇ、Ｃａ、ＢおよびＳｉがさらに好ましい。二種類の金属を含む無機化合物を用いてもよい。特に好ましい無機化合物は、二酸化ケイ素、すなわちシリカである。

【００６４】無機微粒子内ミクロボイドは、例えば、粒子を形成するシリカの分子を架橋させることにより形成することができる。シリカの分子を架橋させると体積が縮小し、粒子が多孔質になる。ミクロボイドを有する（多孔質）無機微粒子は、ゾル－ゲル法（特開昭５３－１１２７３２号、特公昭５７－９０５１号の各公報記載）または析出法（APPLIED OPTICS、27、3356頁（1988）記載）により、分散物として直接合成することができる。また、乾燥・沈澱法で得られた粉体を、機械的に粉砕して分散物を得ることもできる。市販の多孔質無機微粒子（例えば、二酸化ケイ素ゾル）を用いてもよい。ミクロボイドを有する無機微粒子は、低屈折率層の形成のため、適当な媒体に分散した状態で使用することが好ましい。分散媒としては、水、アルコール（例、メタノール、エタノール、イソプロピルアルコール）およびケトン（例、メチルエチルケトン、メチルイソブチルケトン）が好ましい。

【００６５】有機微粒子も、非晶質であることが好ましい。有機微粒子は、モノマーの重合反応（例えば乳化重

SDC EX. 1016 - 832/959

合法）により合成されるポリマー微粒子であることが好ましい。有機微粒子のポリマーはフッ素原子を含むことが好ましい。含フッ素ポリマーを合成するために用いるフッ素原子を含むモノマーの例には、フルオロオレフィン類（例、フルオロエチレン、ビニリデンフルオライド、テトラフルオロエチレン、ヘキサフルオロプロピレン、パーフルオロ－２，２－ジメチル－１，３－ジオキソール）、アクリル酸またはメタクリル酸のフッ素化アルキルエステル類およびフッ素化ビニルエーテル類が含まれる。フッ素原子を含むモノマーとフッ素原子を含まないモノマーとのコポリマーを用いてもよい。フッ素原子を含まないモノマーの例には、オレフィン類（例、エチレン、プロピレン、イソプレン、塩化ビニル、塩化ビニリデン）、アクリル酸エステル類（例、アクリル酸メチル、アクリル酸エチル、アクリル酸２－エチルヘキシル）、メタクリル酸エステル類（例、メタクリル酸メチル、メククリル酸エチル、メタクリル酸ブチル）、スチレン類（例、スチレン、ビニルトルエン、α－メチルスチレン）、ビニルエーテル類（例、メチルビニルエーテル）、ビニルエステル類（例、酢酸ビニル、プロピオン酸ビニル）、アクリルアミド類（例、Ｎ－tert－ブチルアクリルアミド、Ｎ－シクロヘキシルアクリルアミド）、メタクリルアミド類およびアクリルニトリル類が含まれる。

【００６６】有機微粒子内ミクロボイドは、例えば、粒子を形成するポリマーを架橋させることにより形成することができる。ポリマーを架橋させると体積が縮小し、粒子が多孔質になる。粒子を形成するポリマーを架橋させるためには、ポリマーを合成するためのモノマーの２０モル％以上を多官能モノマーとすることが好ましい。多官能モノマーの割合は、３０乃至８０モル％であることがさらに好ましく、３５乃至５０モル％であることが最も好ましい。多官能モノマーの例には、ジエン類（例、ブタジエン、ペンタジエン）、多価アルコールとアクリル酸とのエステル（例、エチレングリコールジアクリレート、１，４－シクロヘキサンジアクリレート、ジペンタエリスリトールヘキサアクリレート）、多価アルコールとメタクリル酸とのエステル（例、エチレングリコールジメタクリレート、１，２，４－シクロヘキサンテトラメタクリレート、ペンタエリスリトールテトラメタクリレート）、ジビニル化合物（例、ジビニルシクロヘキサン、１，４－ジビニルベンゼン）、ジビニルスルホン、ビスアクリルアミド類（例、メチレンビスアクリルアミド）およびビスメタクリルアミド類が含まれる。粒子間のミクロボイドは、微粒子を少なくとも２個以上積み重ねることにより形成することができる。

【００６７】低屈折率層を、微細空孔と微粒子状無機物とを有する材料によって構成してもよい。この場合、低屈折率層はコーティングにより形成され、微細空孔は層の塗布後に活性化ガス処理を行ない、ガスが層から離脱することによって形成される。あるいは、２種類以上の超微粒子（例えば、MgF_2とSiO_2）を混在させて、膜厚方向にその混合比を変化させることによって低屈折率層を形成してもよい。混合比を変化させることにより屈折率が変化する。超微粒子は、エチルシリケートの熱分解で生じたSiO_2により接着している。エチルシリケートの熱分解では、エチル部分の燃焼によって、二酸化炭素と水蒸気も発生する。二酸化炭素と水蒸気が層から離脱することにより、超微粒子の間に間隙が生じている。あるいは、多孔質シリカよりなる無機微粉末とバインダーとを含有して低屈折率層を形成してもよいし、含フッ素ポリマーからなる微粒子を２個以上積み重ねることにより、微粒子間に空隙を形成した低屈折率層を形成してもよい。

【００６８】分岐構造レベルで空隙率を向上させることもできる。例えばデンドリマーなどの分岐構造を有するポリマーを用いても低屈折率が得られる。

【００６９】そして、上記の材料を用いて、低屈折率層は、屈折率が１．５以下、好ましくは１．２以下に設定されていることが望ましい。基板２として屈折率が１．４５の石英や、屈折率が約１．５４のガラスなどを用いた際、基板２の屈折率より低い屈折率となる。

【００７０】ソース電極２４３及びドレイン電極２４４を形成するには、まず、第１層間絶縁層２８３にフォトリソグラフィ法を用いてパターニングすることにより、ソース電極及びドレイン電極に対応するコンタクトホールを形成する。次に、第１層間絶縁層２８３を覆うように、アルミニウムやクロム、タンタル等の金属からなる導電層を形成した後、この導電層のうち、ソース電極及びドレイン電極が形成されるべき領域を覆うようにパターニング用マスクを設けるとともに、導電層をパターニングすることにより、ソース電極２４３及びドレイン電極２４４が形成される。

【００７１】第２層間絶縁層２８４は、第１層間絶縁層２８３同様、低屈折率材料によって構成され、第１層間絶縁層２８３の形成方法と同様の手順で第１層間絶縁層２８３の上層に形成される。ここで、第２層間絶縁層２８４を形成したら、第２層間絶縁層２８４のうちドレイン電極２４４に対応する部分にコンタクトホール２３ａを形成する。

【００７２】発光素子３に接続する陽極２３は、ＩＴＯやフッ素をドープしてなるSnO_2、更にＺｎＯやポリアミン等の透明電極材料からなり、コンタクトホール２３ａを介してＴＦＴ２４のドレイン電極２４４に接続されている。陽極２３を形成するには、前記透明電極材料からなる膜を第２層間絶縁層２８４上面に形成し、この膜をパターニングすることにより形成される。

【００７３】第３絶縁層（バンク層）２２１はアクリル樹脂、ポリイミド樹脂などの合成樹脂によって構成されている。第３絶縁層２２１は、陽極２３が形成された後

SDC EX. 1016 - 833/959

に形成される。具体的な第３絶縁層２２１の形成方法としては、例えば、アクリル樹脂、ポリイミド樹脂などのレジストを溶媒に融かしたものを、スピンコート、ディップコート等により塗布して絶縁層を形成する。なお、絶縁層の構成材料は、後述するインクの溶媒に溶解せず、しかもエッチング等によってパターニングしやすいものであればどのようなものでもよい。更に、絶縁層をフォトリソグラフィ技術等により同時にエッチングして、開口部２２１ａを形成することにより、開口部２２１ａを備えた第３絶縁層２２１が形成される。

【００７４】ここで、第３絶縁層２２１の表面には、親液性（親インク性）を示す領域と、撥液性（撥インク性）を示す領域とが形成される。本実施形態においてはプラズマ処理工程により、各領域を形成するものとしている。具体的にプラズマ処理工程は、予備加熱工程と、開口部２２１ａの壁面並びに画素電極２３の電極面を親インク性にする親インク化工程と、第３絶縁層２２１の上面を撥インク性にする撥インク化工程と、冷却工程とを有している。すなわち、基材（第３絶縁層等を含む基板２）を所定温度（例えば７０～８０℃程度）に加熱し、次いで親インク化工程として大気雰囲気中で酸素を反応ガスとするプラズマ処理（O_2プラズマ処理）を行う。続いて、撥インク化工程として大気雰囲気中で４フッ化メタンを反応ガスとするプラズマ処理（CF_4プラズマ処理）を行い、プラズマ処理のために加熱された基材を室温まで冷却することで、親インク性及び撥インク性が所定箇所に付与されることとなる。なお、画素電極２３の電極面についても、このCF_4プラズマ処理の影響を多少受けるが、画素電極２３の材料であるＩＴＯ等はフッ素に対する親和性に乏しいため、親インク化工程で付与された水酸基がフッ素基で置換されることがなく、親インク性が保たれる。

【００７５】なお、第１層間絶縁層２８３、第２層間絶縁層２８４のそれぞれを低屈折率層としているが、これら２つの層を低屈折率層とする必要はなく、少なくともいずれか一方の層だけ低屈折率層としてもよい。

【００７６】一方、第１層間絶縁層２８３及び第２層間絶縁層２８４に加えて、ゲート絶縁層２８２も低屈折率材料により形成してもよい。こうすることにより光の取り出し効率が向上するが、ＴＦＴなどトランジスタの性能を向上させるためにはゲート絶縁層を高誘電率材料により形成することが好ましい場合がある。

【００７７】また、低屈折率材料からなる層は発光層６０からの光が通過する部分に設けられていればよいので、絶縁層以外の層を低屈折率層としてもよい。更には、有機バンク層２２１を低屈折率層としてもよい。

【００７８】正孔輸送層７０は陽極２３の上面に形成されている。ここで、正孔輸送層７０の形成材料としては、特に限定されることなく公知のものが使用可能であり、例えばピラゾリン誘導体、アリールアミン誘導体、スチルベン誘導体、トリフェニルジアミン誘導体等が挙げられる。具体的には、特開昭６３－７０２５７号、同６３－１７５８６０号公報、特開平２－１３５３５９号、同２－１３５３６１号、同２－２０９９８８号、同３－３７９９２号、同３－１５２１８４号公報に記載されているもの等が例示されるが、トリフェニルジアミン誘導体が好ましく、中でも４，４′－ビス（Ｎ（３－メチルフェニル）－Ｎ－フェニルアミノ）ビフェニルが好適とされる。

【００７９】なお、正孔輸送層に代えて正孔注入層を形成するようにしてもよく、さらに正孔注入層と正孔輸送層を両方形成するようにしてもよい。その場合、正孔注入層の形成材料としては、例えば銅フタロシアニン（ＣｕＰｃ）や、ポリテトラヒドロチオフェニルフェニレンであるポリフェニレンビニレン、１，１－ビス－（４－Ｎ，Ｎ－ジトリルアミノフェニル）シクロヘキサン、トリス（８－ヒドロキシキノリノール）アルミニウム等が挙げられるが、特に銅フタロシアニン（ＣｕＰｃ）を用いるのが好ましい。

【００８０】正孔注入／輸送層７０を形成する際には、インクジェット法が用いられる。すなわち、上述した正孔注入／輸送層材料を含む組成物インクを陽極２３の電極面上に吐出した後に、乾燥処理及び熱処理を行うことにより、電極２３上に正孔注入／輸送層７０が形成される。なお、この正孔注入／輸送層形成工程以降は、正孔注入／輸送層７０及び発光層（有機ＥＬ層）６０の酸化を防止すべく、窒素雰囲気、アルゴン雰囲気等の不活性ガス雰囲気で行うことが好ましい。例えば、インクジェットヘッド（不図示）に正孔注入／輸送層材料を含む組成物インクを充填し、インクジェットヘッドの吐出ノズルを陽極２３の電極面に対向させ、インクジェットヘッドと基材（基板２）とを相対移動させながら、吐出ノズルから１滴当たりの液量が制御されたインキ滴を電極面に吐出する。次に、吐出後のインク滴を乾燥処理して組成物インクに含まれる極性溶媒を蒸発させることにより、正孔注入／輸送層７０が形成される。

【００８１】なお、組成物インクとしては、例えば、ポリエチレンジオキシチオフェン等のポリチオフェン誘導体と、ポリスチレンスルホン酸等との混合物を、イソプロピルアルコール等の極性溶媒に溶解させたものを用いることができる。ここで、吐出されたインク滴は、親インク処理された陽極２３の電極面上に広がり、開口部２２１ａの底部近傍に満たされる。その一方で、撥インク処理された第３絶縁層２２１の上面にはインク滴がはじかれて付着しない。したがって、インク滴が所定の吐出位置からはずれて第３絶縁層２２１の上面に吐出されたとしても、該上面がインク滴で濡れることがなく、はじかれたインク滴が第３絶縁層２２１の開口部２２１ａ内に転がり込むものとされている。

【００８２】発光層６０は、正孔注入／輸送層７０上面

SDC EX. 1016 - 834/959

に形成される。発光層６０の形成材料としては、特に限定されることなく、低分子の有機発光色素や高分子発光体、すなわち各種の蛍光物質や燐光物質からなる発光物質が使用可能である。発光物質となる共役系高分子の中ではアリーレンビニレン構造を含むものが特に好ましい。低分子蛍光体では、例えばナフタレン誘導体、アントラセン誘導体、ペリレン誘導体、ポリメチン系、キサテン系、クマリン系、シアニン系などの色素類、８－ヒドロキノリンおよびその誘導体の金属錯体、芳香族アミン、テトラフェニルシクロペンタジエン誘導体等、または特開昭５７－５１７８１、同５９－１９４３９３号公報等に記載されている公知のものが使用可能である。

【００８３】発光層６０の形成材料として高分子蛍光体を用いる場合には、側鎖に蛍光基を有する高分子を用いることができるが、好ましくは共役系構造を主鎖に含むもので、特に、ポリチオフェン、ポリ－ｐ－フェニレン、ポリアリーレンビニレン、ポリフルオレンおよびその誘導体が好ましい。中でもポリアリーレンビニレンおよびその誘導体が好ましい。該ポリアリーレンビニレンおよびその誘導体は、下記化学式（１）で示される繰り返し単位を全繰り返し単位の５０モル％以上含む重合体である。繰り返し単位の構造にもよるが、化学式（１）で示される繰り返し単位が全繰り返し単位の７０％以上であることがさらに好ましい。

－Ａｒ－ＣＲ＝ＣＲ’－　　（１）

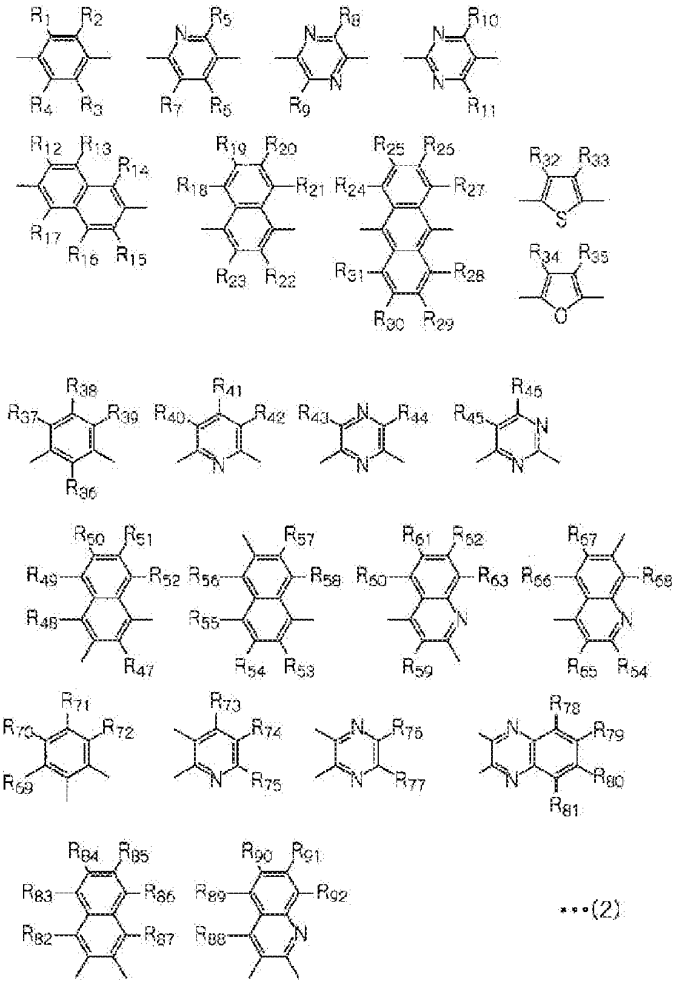
〔ここで、Ａｒは、共役結合に関与する炭素原子数が４個以上２０個以下からなるアリーレン基または複素環化合物基、Ｒ、Ｒ’はそれぞれ独立に水素、炭素数１～２０のアルキル基、炭素数６～２０のアリール基、炭素数４～２０の複素環化合物、シアノ基からなる群から選ばれた基を示す。〕

【００８４】該高分子蛍光体は、化学式（１）で示される繰り返し単位以外の繰り返し単位として、芳香族化合物基またはその誘導体、複素環化合物基またはその誘導体、およびそれらを組み合わせて得られる基などを含んでいてもよい。また、化学式（１）で示される繰り返し単位や他の繰り返し単位が、エーテル基、エステル基、アミド基、イミド基などを有する非共役の単位で連結されていてもよいし、繰り返し単位にそれらの非共役部分が含まれていてもよい。

【００８５】前記高分子蛍光体において化学式（１）のＡｒとしては、共役結合に関与する炭素原子数が４個以上２０個以下からなるアリーレン基または複素環化合物基であり、下記の化学式（２）で示す芳香族化合物基またはその誘導体基、複素環化合物基またはその誘導体基、およびそれらを組み合わせて得られる基などが例示される。

【００８６】

【化１】



...(2)

（Ｒ１～Ｒ９２は、それぞれ独立に、水素、炭素数１～２０のアルキル基、アルコキシ基およびアルキルチオ基；炭素数６～１８のアリール基およびアリールオキシ基；ならびに炭素数４～１４の複素環化合物基からなる群から選ばれた基である。）

【００８７】これらのなかでフェニレン基、置換フェニレン基、ビフェニレン基、置換ビフェニレン基、ナフタレンジイル基、置換ナフタレンジイル基、アントラセン－９，１０－ジイル基、置換アントラセン－９，１０－ジイル基、ピリジン－２，５－ジイル基、置換ピリジン－２，５－ジイル基、チエニレン基および置換チエニレン基が好ましい。さらに好ましくは、フェニレン基、ビフェニレン基、ナフタレンジイル基、ピリジン－２，５－ジイル基、チエニレン基である。

【００８８】化学式（１）のＲ、Ｒ’が水素またはシアノ基以外の置換基である場合について述べると、炭素数１～２０のアルキル基としては、メチル基、エチル基、プロピル基、ブチル基、ペンチル基、ヘキシル基、ヘプチル基、オクチル基、デシル基、ラウリル基などが挙げられ、メチル基、エチル基、ペンチル基、ヘキシル基、ヘプチル基、オクチル基が好ましい。アリール基としては、フェニル基、４－Ｃ１～Ｃ１２アルコキシフェニル基（Ｃ１～Ｃ１２は炭素数１～１２であることを示す。以下も同様である。）、４－Ｃ１～Ｃ１２アルキルフェニル基、１－ナフチル基、２－ナフチル基などが例示される。

【００８９】溶媒可溶性の観点からは化学式（１）のＡｒが、１つ以上の炭素数４～２０のアルキル基、アルコキシ基およびアルキルチオ基、炭素数６～１８のアリール基およびアリールオキシ基ならびに炭素数４～１４の複素環化合物基から選ばれた基を有していることが好ましい。

【００９０】これらの置換基としては以下のものが例示される。炭素数４～２０のアルキル基としては、ブチル基、ペンチル基、ヘキシル基、ヘプチル基、オクチル基、デシル基、ラウリル基などが挙げられ、ペンチル基、ヘキシル基、ヘプチル基、オクチル基が好ましい。また、炭素数４～２０のアルコキシ基としては、ブトキシ基、ペンチルオキシ基、ヘキシルオキシ基、ヘプチルオキシ基、オクチルオキシ基、デシルオキシ基、ラウリ

ルオキシ基などが挙げられ、ペンチルオキシ基、ヘキシルオキシ基、ヘプチルオキシ基、オクチルオキシ基が好ましい。炭素数４～２０のアルキルチオ基としては、ブチルチオ基、ペンチルチオ基、ヘキシルチオ基、ヘプチルチオ基、オクチルチオ基、デシルオキシ基、ラウリルチオ基などが挙げられ、ペンチルチオ基、ヘキシルチオ基、ヘプチルチオ基、オクチルチオ基が好ましい。アリール基としては、フェニル基、４－Ｃ１～Ｃ１２アルコキシフェニル基、４－Ｃ１～Ｃ１２アルキルフェニル基、１－ナフチル基、２－ナフチル基などが例示される。アリールオキシ基としては、フェノキシ基が例示される。複素環化合物基としては２－チエニル基、２－ピロリル基、２－フリル基、２－、３－または４－ピリジル基などが例示される。これら置換基の数は、該高分子蛍光体の分子量と繰り返し単位の構成によっても異なるが、溶解性の高い高分子蛍光体を得る観点から、これらの置換基が分子量６００当たり１つ以上であることがより好ましい。

【００９１】なお、前記高分子蛍光体は、ランダム、ブロックまたはグラフト共重合体であってもよいし、それらの中間的な構造を有する高分子、例えばブロック性を帯びたランダム共重合体であってもよい。蛍光の量子収率の高い高分子蛍光体を得る観点からは完全なランダム共重合体よりブロック性を帯びたランダム共重合体やブロックまたはグラフト共重合体が好ましい。また、ここで形成する有機エレクトロルミネッセンス素子は、薄膜からの蛍光を利用することから、該高分子蛍光体は固体状態で蛍光を有するものが用いられる。

【００９２】該高分子蛍光体に対して溶媒を使用する場合に、好適なものとしては、クロロホルム、塩化メチレン、ジクロロエタン、テトラヒドロフラン、トルエン、キシレンなどが例示される。高分子蛍光体の構造や分子量にもよるが、通常はこれらの溶媒に０．１ｗｔ％以上溶解させることができる。また、前記高分子蛍光体としては、分子量がポリスチレン換算で10^3～10^7であることが好ましく、それらの重合度は繰り返し構造やその割合によっても変わる。成膜性の点から一般には繰り返し構造の合計数で好ましくは４～１００００、さらに好ましくは５～３０００、特に好ましくは１０～２０００である。

【００９３】このような高分子蛍光体の合成法としては、特に限定されないものの、例えばアリーレン基にアルデヒド基が２つ結合したジアルデヒド化合物と、アリーレン基にハロゲン化メチル基が２つ結合した化合物とトリフェニルホスフィンとから得られるジホスホニウム塩からのＷｉｔｔｉｇ反応が例示される。また、他の合成法としては、アリーレン基にハロゲン化メチル基が２つ結合した化合物からの脱ハロゲン化水素法が例示される。さらに、アリーレン基にハロゲン化メチル基が２つ結合した化合物のスルホニウム塩をアルカリで重合して得られる中間体から熱処理により該高分子蛍光体を得るスルホニウム塩分解法が例示される。いずれの合成法においても、モノマーとして、アリーレン基以外の骨格を有する化合物を加え、その存在割合を変えることにより、生成する高分子蛍光体に含まれる繰り返し単位の構造を変えることができるので、化学式（１）で示される繰り返し単位が５０モル％以上となるように加減して仕込み、共重合してもよい。これらのうち、Ｗｉｔｔｉｇ反応による方法が、反応の制御や収率の点で好ましい。

【００９４】さらに具体的に、前記高分子蛍光体の１つの例であるアリーレンビニレン系共重合体の合成法を説明する。例えば、Ｗｉｔｔｉｇ反応により高分子蛍光体を得る場合には、例えばまず、ビス（ハロゲン化メチル）化合物、より具体的には、例えば２，５－ジオクチルオキシ－ｐ－キシリレンジブロミドをＮ，Ｎ－ジメチルホルムアミド溶媒中、トリフェニルホスフィンと反応させてホスホニウム塩を合成し、これとジアルデヒド化合物、より具体的には、例えば、テレフタルアルデヒドとを、例えばエチルアルコール中、リチウムエトキシドを用いて縮合させるＷｉｔｔｉｇ反応により、フェニレンビニレン基と２，５－ジオクチルオキシ－ｐ－フェニレンビニレン基を含む高分子蛍光体が得られる。このとき、共重合体を得るために２種類以上のジホスホニウム塩および／または２種類以上のジアルデヒド化合物を反応させてもよい。これらの高分子蛍光体を発光層の形成材料として用いる場合、その純度が発光特性に影響を与えるため、合成後、再沈精製、クロマトグラフによる分別等の純化処理をすることが望ましい。

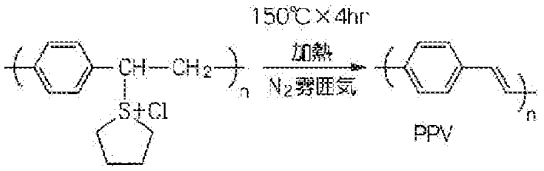
【００９５】また、前記の高分子蛍光体からなる発光層の形成材料としては、フルカラー表示をなすため、赤、緑、青の三色の発光層形成材料が用いられ、それぞれが所定のパターニング装置（インクジェット装置）によって予め設定された位置の画素ＡＲに射出され、パターニングされる。なお、前記の発光物質としては、ホスト材料にゲスト材料を添加した形態のものを用いることもできる。

【００９６】このような発光材料としては、ホスト材料として例えば高分子有機化合物や低分子材料が、またゲスト材料として得られる発光層の発光特性を変化させるための蛍光色素、あるいは燐光物質を含んでなるものが好適に用いられる。高分子有機化合物としては、溶解性の低い材料の場合、例えば前駆体が塗布された後、以下の化学式（３）に示すように加熱硬化されることによって共役系高分子有機エレクトロルミネッセンス層となる発光層を生成し得るものがある。例えば、前駆体のスルホニウム塩の場合、加熱処理されることによりスルホニウム基が脱離し、共役系高分子有機化合物となるもの等がある。また、溶解性の高い材料では、材料をそのまま塗布した後、溶媒を除去して発光層にし得るものもある。

SDC EX. 1016 - 837/959

【００９７】

【化２】



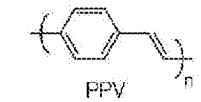
・・・(3)

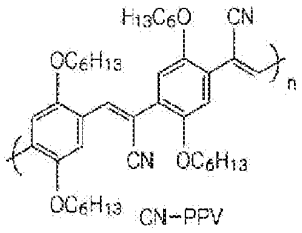
【００９８】前記の高分子有機化合物は固体で強い蛍光を持ち、均質な固体超薄膜を形成することができる。しかも、形成能に富みＩＴＯ電極との密着性も高く、さらに、固化した後は強固な共役系高分子膜を形成する。

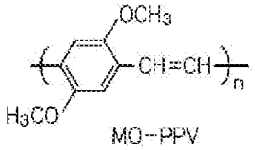
【００９９】このような高分子有機化合物としては、例えばポリアリーレンビニレンが好ましい。ポリアリーレンビニレンは水系溶媒あるいは有機溶媒に可溶で第２の基体１１に塗布する際の塗布液への調製が容易であり、さらに一定条件下でポリマー化することができるため、光学的にも高品質の薄膜を得ることができる。このようなポリアリーレンビニレンとしては、ＰＰＶ（ポリ（パラーフェニレンビニレン））、ＭＯ－ＰＰＶ（ポリ（２，５－ジメトキシ－１，４－フェニレンビニレン））、ＣＮ－ＰＰＶ（ポリ（２，５－ビスヘキシルオキシ－１，４－フェニレン－（１－シアノビニレン））、ＭＥＨ－ＰＰＶ（ポリ［２－メトキシ－５－（２’－エチルヘキシルオキシ）］－パラ－フェニレンビニレン）、等のＰＰＶ誘導体、ＰＴＶ（ポリ（２，５－チエニレンビニレン））等のポリ（アルキルチオフェン）、ＰＦＶ（ポリ（２，５－フリレンビニレン））、ポリ（パラフェニレン）、ポリアルキルフルオレン等が挙げられるが、なかでも化学式（４）に示すようなＰＰＶまたはＰＰＶ誘導体の前駆体からなるものや、化学式（５）に示すようなポリアルキルフルオレン（具体的には化学式（６）に示すようなポリアルキルフルオレン系共重合体）が特に好ましい。ＰＰＶ等は強い蛍光を持ち、二重結合を形成するπ電子がポリマー鎖上で非極在化している導電性高分子でもあるため、高性能の有機エレクトロルミネッセンス素子を得ることができる。

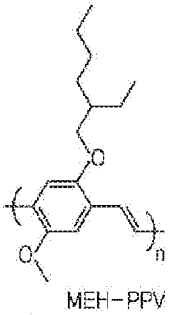
【０１００】

【化３】





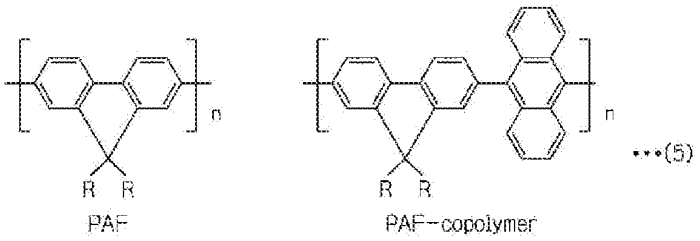




・・・(4)

【０１０１】

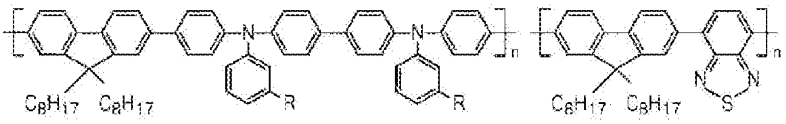
【化４】

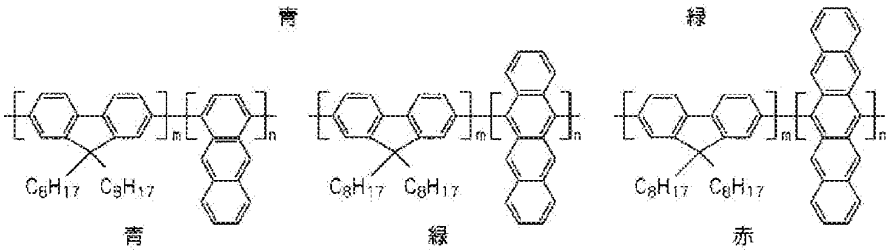


•••(5)

【0102】

【化5】





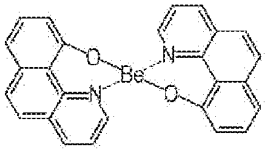
•••(6)

ポリフルオレン系共重合体

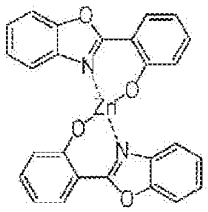
【0103】なお、前記ＰＰＶ薄膜の他に発光層を形成し得る高分子有機化合物や低分子材料、すなわち本例においてホスト材料として用いられるものは、例えばアルミキノリノール錯体（Ａｌｑ３）やジスチリルビフェニル、さらに化学式（７）に示すＢｅＢｑ２やＺｎ（ＯＸＺ）$_2$、そしてＴＰＤ、ＡＬＯ、ＤＰＶＢｉ等の従来より一般的に用いられているものに加え、ピラゾリンダイマー、キノリジンカルボン酸、ベンゾピリリウムパークロレート、ベンゾピラノキノリジン、ルブレン、フェナントロリンユウロピウム錯体等が挙げられ、これらの１種または２種以上を含む有機エレクトロルミネッセンス素子用組成物を用いることができる。

【0104】

【化6】



$BeBg_2$



$Zn(OXZ)_2$

•••(7)

【0105】一方、このようなホスト材料に添加されるゲスト材料としては、前記したように蛍光色素や燐光物質が挙げられる。特に蛍光色素は、発光層の発光特性を変化させることができ、例えば、発光層の発光効率の向上、または光吸収極大波長（発光色）を変えるための手段としても有効である。すなわち、蛍光色素は単に発光層材料としてではなく、発光機能そのものを担う色素材料として利用することができる。例えば、共役系高分子有機化合物分子上のキャリア再結合で生成したエキシトンのエネルギーを蛍光色素分子上に移すことができる。この場合、発光は蛍光量子効率が高い蛍光色素分子からのみ起こるため、発光層の電流量子効率も増加する。したがって、発光層の形成材料中に蛍光色素を加えることにより、同時に発光層の発光スペクトルも蛍光分子のも

のとなるので、発光色を変えるための手段としても有効となる。

【0106】なお、ここでいう電流量子効率とは、発光機能に基づいて発光性能を考察するための尺度であって、下記式により定義される。

ηE ＝放出されるフォトンのエネルギー／入力電気エネルギー

そして、蛍光色素のドープによる光吸収極大波長の変換によって、例えば赤、青、緑の3原色を発光させることができ、その結果フルカラー表示体を得ることが可能となる。さらに蛍光色素をドーピングすることにより、エレクトロルミネッセンス素子の発光効率を大幅に向上させることができる。

【0107】蛍光色素としては、赤色の発色光を発光する発光層を形成する場合、レーザー色素のＤＣＭ－１、あるいはローダミンまたはローダミン誘導体、ペニレン等を用いるのが好ましい。これらの蛍光色素をＰＰＶなどホスト材料にドープすることにより、発光層を形成することができるが、これらの蛍光色素は水溶性のものが多いので、水溶性を有するＰＰＶ前駆体であるスルホニウム塩にドープし、その後、加熱処理すれば、より均一な発光層の形成が可能になる。このような蛍光色素として具体的には、ローダミンＢ、ローダミンＢベース、ローダミン６Ｇ、ローダミン１０１過塩素酸塩等が挙げられ、これらを２種以上混合したものであってもよい。

【0108】また、緑色の発色光を発光する発光層を形成する場合、キナクリドン、ルブレン、ＤＣＪＴおよびその誘導体を用いるのが好ましい。これらの蛍光色素についても、前記の蛍光色素と同様、ＰＰＶなどホスト材料にドープすることにより、発光層を形成することができるが、これらの蛍光色素は水溶性のものが多いので、水溶性を有するＰＰＶ前駆体であるスルホニウム塩にドープし、その後、加熱処理すれば、より均一な発光層の形成が可能になる。

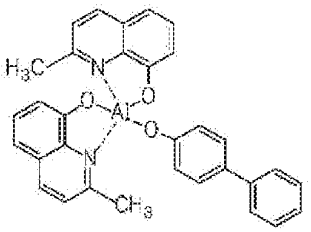
【0109】さらに、青色の発色光を発光する発光層を形成する場合、ジスチリルビフェニルおよびその誘導体を用いるのが好ましい。これらの蛍光色素についても、前記の蛍光色素と同様、ＰＰＶなどホスト材料にドープすることにより、発光層を形成することができるが、これらの蛍光色素は水溶性のものが多いので、水溶性を有するＰＰＶ前駆体であるスルホニウム塩にドープし、その後、加熱処理すれば、より均一な発光層の形成が可能になる。

【0110】また、青色の発色光を有する他の蛍光色素としては、クマリンおよびその誘導体を挙げることができる。これらの蛍光色素は、ＰＰＶと相溶性がよく発光層の形成が容易である。また、これらのうち特にクマリンは、それ自体は溶媒に不溶であるものの、置換基を適宜に選択することによって溶解性を増し、溶媒に可溶となるものもある。このような蛍光色素として具体的には、クマリン－１、クマリン－６、クマリン－７、クマリン１２０、クマリン１３８、クマリン１５２、クマリン１５３、クマリン３１１、クマリン３１４、クマリン３３４、クマリン３３７、クマリン３４３等が挙げられる。

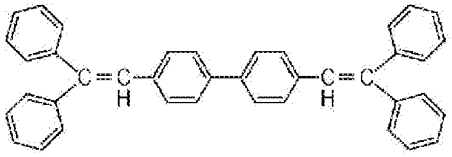
【0111】さらに、別の青色の発色光を有する蛍光色素としては、テトラフェニルブタジエン（ＴＰＢ）またはＴＰＢ誘導体、ＤＰＶＢｉ等を挙げることができる。これらの蛍光色素は、前記赤色蛍光色素等と同様に水溶液に可溶であり、またＰＰＶと相溶性がよく発光層の形成が容易である。以上の蛍光色素については、各色ともに１種のみを用いてもよく、また２種以上を混合して用いてもよい。なお、このような蛍光色素としては、化学式（８）に示すようなものや、化学式（９）に示すようなもの、さらに化学式（１０）に示すようなものが用いられる。

【0112】

【化7】



BALQ

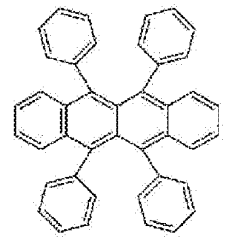


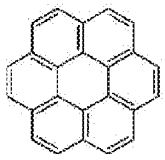
DSA

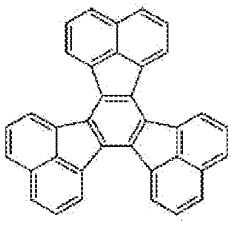
•••(8)

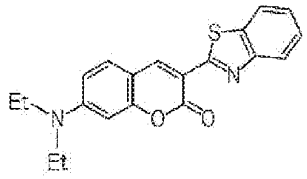
【0113】

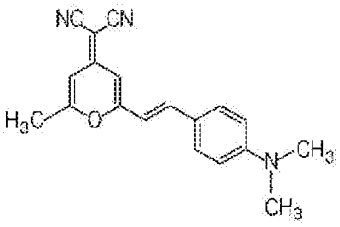
【化8】

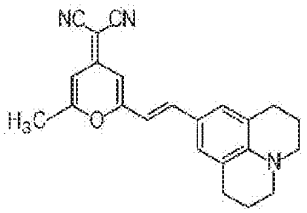








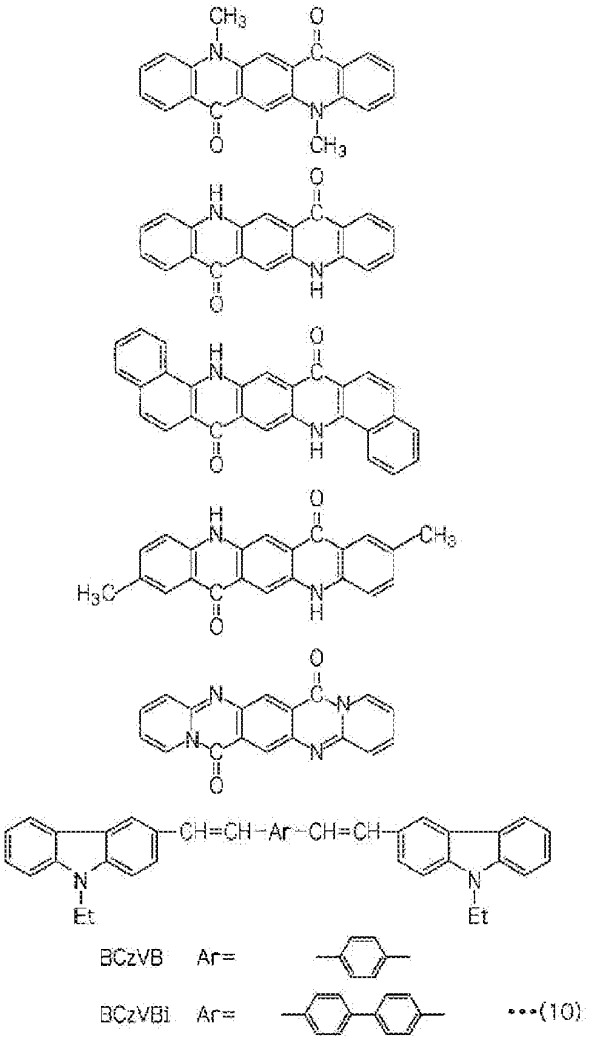




...(9)

【0114】

【化9】



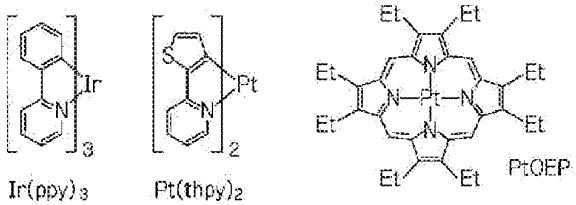
•••(10)

【0115】これらの蛍光色素については、前記共役系高分子有機化合物等からなるホスト材料に対し、後述する方法によって0．5～10wt%添加するのが好ましく、1．0～5．0wt%添加するのがより好ましい。蛍光色素の添加量が多過ぎると得られる発光層の耐候性および耐久性の維持が困難となり、一方、添加量が少な過ぎると、前述したような蛍光色素を加えることによる効果が十分に得られないからである。

【0116】また、ホスト材料に添加されるゲスト材料としての燐光物質としては、化学式（11）に示すIr（ppy）$_3$、Pt（thpy）$_2$、PtOEPなどが好適に用いられる。

【0117】

【化10】



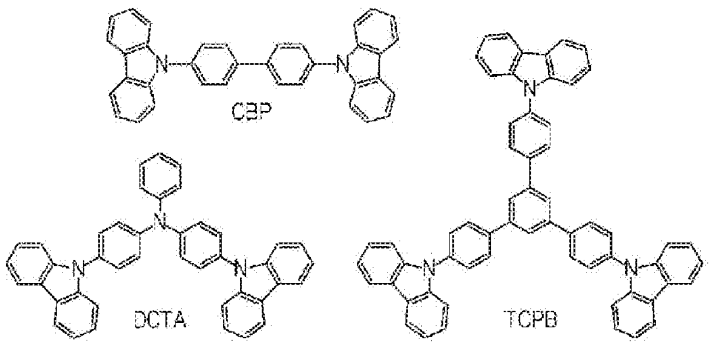
•••(11)

【0118】なお、前記の化学式（11）に示した燐光物質をゲスト材料とした場合、ホスト材料としては、特に化学式（12）に示すCBP、DCTA、TCPBや、前記したDPVBi、Alq3が好適に用いられる。また、前記蛍光色素と燐光物質については、これらを共にゲスト材料としてホスト材料に添加するようにし

てもよい。

【0119】

【化11】



•••(12)

【0120】なお、このようなホスト／ゲスト系の発光物質によって発光層60を形成する場合、例えば予めパターニング装置（インクジェット装置）にノズル等の材料供給系を複数形成しておき、これらノズルからホスト材料とゲスト材料とを予め設定した量比で同時に吐出させることにより、ホスト材料に所望する量のゲスト材料が添加されてなる発光物質による、発光層60を形成することができる。

【0121】発光層60は、正孔注入／輸送層70の形成方法と同様の手順で形成される。すなわち、インクジェット法によって発光層材料を含む組成物インクを正孔注入／輸送層70の上面に吐出した後に、乾燥処理及び熱処理を行うことにより、第3絶縁層221に形成された開口部221a内部の正孔注入／輸送層70上に発光層60が形成される。この発光層形成工程も上述したように不活性ガス雰囲気化で行われる。吐出された組成物インクは撥インク処理された領域ではじかれるので、インク滴が所定の吐出位置からはずれたとしても、はじかれたインク滴が第3絶縁層221の開口部221a内に転がり込む。

【0122】電子輸送層50は発光層60の上面に形成される。電子輸送層50も発光層60の形成方法と同様、インクジェット法により形成される。電子輸送層50の形成材料としては、特に限定されることなく、オキサジアゾール誘導体、アントラキノジメタンおよびその誘導体、ベンゾキノンおよびその誘導体、ナフトキノンおよびその誘導体、アントラキノンおよびその誘導体、テトラシアノアンスラキノジメタンおよびその誘導体、フルオレノン誘導体、ジフェニルジシアノエチレンおよびその誘導体、ジフェノキノン誘導体、8-ヒドロキシキノリンおよびその誘導体の金属錯体等が例示される。具体的には、先の正孔輸送層の形成材料と同様に、特開昭63-70257号、同63-175860号公報、特開平2-135359号、同2-135361号、同2-209988号、同3-37992号、同3-152184号公報に記載されているもの等が例示され、特に2-(4-ビフェニリル)-5-(4-t-ブチルフェニル)-1，3，4-オキサジアゾール、ベンゾキノン、アントラキノン、トリス(8-キノリノール)アルミニウムが好適とされる。

【0123】なお、前述した正孔注入／輸送層70の形成材料や電子輸送層50の形成材料を発光層60の形成材料に混合し、発光層形成材料として使用してもよく、その場合に、正孔注入／輸送層形成材料や電子輸送層形成材料の使用量については、使用する化合物の種類等によっても異なるものの、十分な成膜性と発光特性を阻害しない量範囲でそれらを考慮して適宜決定される。通常は、発光層形成材料に対して1～40重量%とされ、さらに好ましくは2～30重量%とされる。

【0124】なお、正孔注入／輸送層70や電子輸送層50などは、インクジェット法に限らず、マスク蒸着法を用いて形成することも可能である。

【0125】陰極222は、電子輸送層50及び第3絶縁層221の表面全体、あるいはストライプ状に形成されている。陰極222については、もちろんAl、Mg、Li、Caなどの単体材料やMg：Ag（10：1合金）の合金材料からなる1層で形成してもよいが、2層あるいは3層からなる金属（合金を含む。）層として形成してもよい。具体的には、Li_2O（0.5nm程度）／AlやLiF（0.5nm程度）／Al、MgF_2／Alといった積層構造のものも使用可能である。陰極222は上述した金属からなる薄膜であり、光を透過可能である。

【0126】封止層20は、外部から有機EL素子に対して大気が侵入するのを遮断するものであって、膜厚や材料は適宜選択される。封止層20を構成する材料としては、例えばセラミックや窒化珪素、酸化窒化珪素、酸化珪素などが用いられ、中でも酸化窒化珪素が透明性、ガスバリア性の観点から好ましい。封止層20は陰極222上にプラズマCVD法によって形成してもよい。

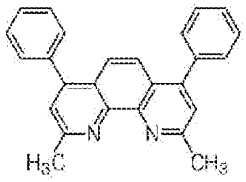
SDC EX. 1016 - 843/959

【0127】以上説明したように、発光層60からの基板2より低屈折率な低屈折率材料からなる各絶縁層283，284を通過してから基板2に入射するので、臨界角以上の角度でこれら各絶縁層283，284に入射した光は基板2との界面で臨界角以下となる方向に屈折し、基板2内での全反射条件から外れ、外部に取り出される。これにより、光の取り出し効率が向上し、高い視認性を得ることができる。また、屈折率と誘電率とには強い相関関係があり、各絶縁層283，284を低屈折率層とすることにより低誘電率層とすることができ、配線間容量を小さくすることができるので、電気光学装置の動作速度の高速化など、動作性能を向上できる。

【0128】なお、前記の正孔注入／輸送層70、発光層60、電子輸送層50に加えて、ホールブロッキング層を例えば発光層60の対向電極222側に形成して、発光層60の長寿命化を図ってもよい。このようなホールブロッキング層の形成材料としては、例えば化学式（13）に示すBCPや化学式（14）で示すBA1qが用いられるが、長寿命化の点ではBA1qの方が好ましい。

【0129】

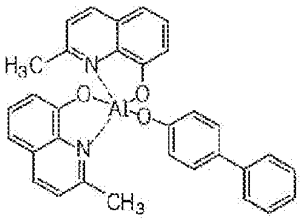
【化12】



BCP ･･･(13)

【0130】

【化13】



BAlq ･･･(14)

【0131】［電子機器］上記実施の形態の有機EL表示装置を備えた電子機器の例について説明する。図4は、携帯電話の一例を示した斜視図である。図4において、符号1000は携帯電話本体を示し、符号1001は上記の有機EL表示装置を用いた表示部を示している。

【0132】図5は、腕時計型電子機器の一例を示した斜視図である。図5において、符号1100は時計本体を示し、符号1101は上記の有機EL表示装置を用いた表示部を示している。

【0133】図6は、ワープロ、パソコンなどの携帯型情報処理装置の一例を示した斜視図である。図6において、符号1200は情報処理装置、符号1202はキーボードなどの入力部、符号1204は情報処理装置本体、符号1206は上記の有機EL表示装置を用いた表示部を示している。

【0134】図4～図6に示す電子機器は、上記実施の形態の有機EL表示装置を備えているので、表示品位に優れ、明るい画面の有機EL表示部を備えた電子機器を実現することができる。

【0135】なお、本発明の技術範囲は上記実施の形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲において種々の変更を加えることが可能である。例えば上記実施の形態では、有機EL素子の構成として発光層と正孔輸送層とを一対の電極で挟持した例を挙げたが、発光層や正孔輸送層の他、電子輸送層、正孔注入層、電子注入層などの各種の機能を有する有機層を挿入してもよい。その他、実施の形態で挙げた具体的な材料などはほんの一例に過ぎず、適宜変更が可能である。

【0136】また、本実施形態の構成の表示装置S1において、電気光学素子である発光層60を液晶層等、その他の光学表示物質に置き換えることが可能である。

【0137】また、上記実施形態においては、TFT24が配置された基板2側から光を取り出すいわゆるバックエミッション型について説明したが、TFTが配置された基板とは反対側から光を取り出すいわゆるトップエミッション型についても、本発明の低屈折率層を適用できる。

【0138】

【発明の効果】本発明によれば、電気光学素子からの光は基板より低屈折率な低屈折率材料からなる材料層を通過してから基板に入射するので、臨界角以上の角度で低屈折率層に入射した光は基板との界面で臨界角以下となる方向に屈折し、基板内での全反射条件から外れ、外部に取り出される。これにより、光の取り出し効率が向上し、高い視認性を得ることができる。また、屈折率と誘電率とには強い相関関係があり、所定の材料層を低屈折率層とすることにより低誘電率層を形成でき、配線間容量を小さくすることができるので、電気光学装置の動作速度の高速化など、動作性能を向上できる。

【図面の簡単な説明】

【図1】本発明の電気光学装置の一実施形態を示す図であって、エレクトロルミネッセンス表示装置に適用した例を示す概略構成図である。

【図2】図1の表示装置における画素部の平面構造を示す拡大図である。

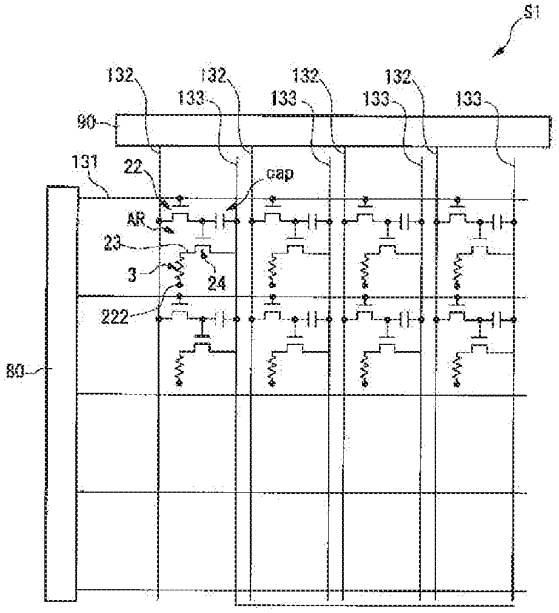
【図3】本発明の電気光学装置の一実施形態を示す図であって、図2のA－A矢視断面図である。

【図4】本発明の電気光学装置を備えた電子機器の一例を示す図である。

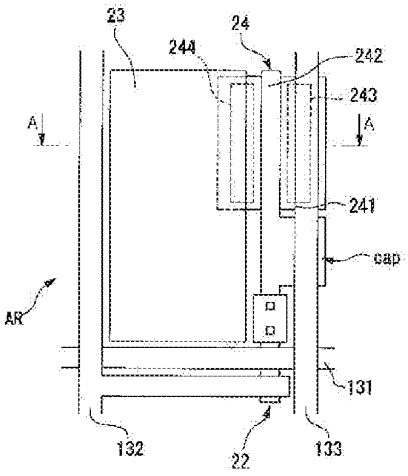
SDC EX. 1016 - 844/959

【図５】本発明の電気光学装置を備えた電子機器の一例を示す図である。
【図６】本発明の電気光学装置を備えた電子機器の一例を示す図である。
【符号の説明】
２　基板
３　発光素子（電気光学素子）
２３　画素電極（電極）
６０　発光層（電気光学素子層）
Ｓ１　有機ＥＬ表示装置（電気光学装置、回路基板）
２２２　陰極（電極）
２８２　ゲート絶縁層
２８３　第１層間絶縁層（低屈折率層）
２８４　第２層間絶縁層（低屈折率層）

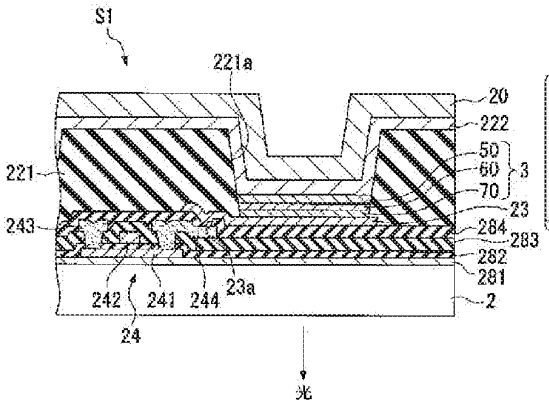
【図１】



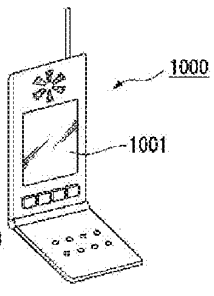
【図２】



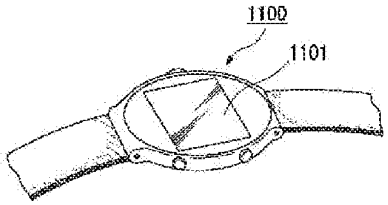
【図３】



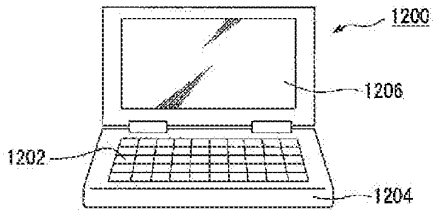
【図４】



【図５】



【図6】



フロントページの続き

(51)Int.Cl.[7]	識別記号	FI	テーマコード(参考)
H05B 33/14		H01L 29/78	619A

Fターム(参考) 3K007 AB03 AB17 BB06 DB03 GA00
5C094 AA10 AA13 BA02 BA12 BA23
BA27 CA19 CA24 DA15 FB00
FB15 HA08 JA13
5F110 AA02 AA21 BB01 BB02 CC02
DD01 DD02 DD03 DD04 DD13
EE03 EE04 EE44 FF02 FF03
FF30 GG02 GG13 GG25 GG45
HJ01 HJ13 HL03 HL04 NN03
NN04 NN22 NN23 NN24 NN27
NN28 NN32 NN35 NN36 NN73
PP01 PP02 PP03 PP06 QQ11
QQ25
5G435 AA01 BB04 BB05 CC09 CC12
DD11 FF02 HH02 HH14 HH16
LL06 LL07 LL08

Electronic Acknowledgement Receipt

EFS ID:	36684510
Application Number:	15651508
International Application Number:	
Confirmation Number:	2349
Title of Invention:	Organic-Light-Emitting Diode
First Named Inventor/Applicant Name:	Ulrich KASTNER-JUNG
Customer Number:	27799
Filer:	Edward M. Weisz/Sheri Michals
Filer Authorized By:	Edward M. Weisz
Attorney Docket Number:	5367-694P/CON\409926
Receipt Date:	25-JUL-2019
Filing Date:	17-JUL-2017
Time Stamp:	09:26:15
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Information Disclosure Statement (IDS) Form (SB08)	5367-694PCON-IDS.pdf	77522 b65013b3e8e082fc61cc333345547b49576944dc	no	3

Warnings:

Information:					
This is not an USPTO supplied IDS fillable form					
2	Non Patent Literature	Eng-trans-SR-page.pdf	90408 f89212ddc8fe80fd131c373222dbb58ce092450e	no	1
Warnings:					
Information:					
3	Non Patent Literature	Notice-Of-Allowance.pdf	2138322 f79d2305eebccc83f4b4d7cae49ee1da48badf4d	no	6
Warnings:					
Information:					
4	Foreign Reference	JP2007-200887-WITH-ABS.pdf	7848035 bbd7d4f750a2c38f413b97205a5695d4176ab121	no	27
Warnings:					
Information:					
5	Foreign Reference	JP2004-296423-with-abs.pdf	16783326 ad57fec0ab54c202d2455bc83dafa6df4a41dd2a	no	45
Warnings:					
Information:					
6	Foreign Reference	JP2008-538155-with-abs.pdf	7340890 c7466c5ff87aa7ea41bad30467d7368537a48c86	no	20
Warnings:					
Information:					
7	Foreign Reference	JP4182467B2-with-abs.pdf	11533092 835efe93ec29b79741a9e1b40389390b5d3d8081	no	34
Warnings:					
Information:					
8	Foreign Reference	JP4637390B2-with-abs.pdf	9998920 5217dbf0f72f8b41293ff04cb8b318946ee4fe16	no	27
Warnings:					
Information:					

9	Foreign Reference	JP4713010B2-with-abs.pdf	7237060 f7b68cea12e53e2705b978a7036e38d506a727ef	no	20
Warnings:					
Information:					
10	Foreign Reference	JP4742880B2-with-abs.pdf	3141738 0c69d823703a9353d6eef14cb824d938284832fa	no	10
Warnings:					
Information:					
11	Foreign Reference	JP4828881B2-with-abs.pdf	4866826 126603a2021cf876a94934cfebae012a1b0005ce	no	14
Warnings:					
Information:					
12	Foreign Reference	JP2004-047179-with-abs.pdf	1674884 04e40da36a2f556b17500f73334574907e9a78bf	no	9
Warnings:					
Information:					
13	Foreign Reference	JP2003195775-with-abs.pdf	10549963 6cdcaad6b8a3173408193d60f624361d32e77a3c	no	24
Warnings:					
Information:					
14	Foreign Reference	JP4228248B2-with-abs---Part-1.pdf	21830279 88959dc7957ceb6489e288e8c02f94c2b42743fd	no	30
Warnings:					
Information:					
15	Foreign Reference	JP4228248B2-with-abs---PartII.pdf	24605831 9a8e5f9237a5832fa651428bd0731c838b4e8abd	no	38
Warnings:					
Information:					
		Total Files Size (in bytes):	129717096		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Espacenet

Bibliographic data: JP4228248 (B2) — 2009-02-25

FABRICATION OF ELECTROOPTIC DEVICE AND PRODUCTION OF DRIVE SUBSTRATE THEREFOR

Inventor(s): YAMANAKA HIDEO, ; YAMOTO HISAYOSHI, ; SATO YUICHI, ; YAGI HAJIME

Applicant(s): SONY CORP

Classification: **- international:** ***G02F1/136; G02F1/1368; G09F9/00; G09F9/33; H01J29/96; H01J31/12; H01L21/20; H01L21/336; H01L29/786***

- cooperative:

Application number: JP19980271737 19980925

Priority number(s): JP19980271737 19980925

Also published as: JP2000101089 (A)

Abstract of JP2000101089 (A)

PROBLEM TO BE SOLVED: To realize a high image quality, high definition, narrow frame, high efficiency, large screen display panel in which a large glass substrate having relatively low strain point can be employed while enhancing productivity and reducing the cost without requiring an expensive fabrication facility, threshold level can be adjusted easily and high speed operation can be realized through reduction of the resistance. SOLUTION: Using a thin film 50 of crystalline sapphire formed on a substrate 1 as a seed, a single crystal silicon layer 7 is formed from a low melting point metal layer of molten polysilicon through heteroepitaxial growth and the single crystal silicon layer 7 is employed in a top gate type MOSFET of an electrooptic device, e.g. a display section-peripheral drive circuit integrated LCD.

SDC EX. 1016 - 851/959

(19)日本国特許庁(JP)　(12)特　許　公　報(B2)　(11)特許番号
特許第4228248号
(P4228248)
(45)発行日　平成21年2月25日(2009.2.25)　(24)登録日　平成20年12月12日(2008.12.12)

(51)Int.Cl.　F I
H01L 21/336 (2006.01)　H01L 29/78　618A
H01L 29/786 (2006.01)　H01L 29/78　612B
H01L 21/20 (2006.01)　H01L 21/20
G02F 1/1368 (2006.01)　G02F 1/1368
G09F 9/00 (2006.01)　G09F 9/00　346G
請求項の数 6　(全 67 頁)　最終頁に続く

(21)出願番号　特願平10-271737
(22)出願日　平成10年9月25日(1998.9.25)
(65)公開番号　特開2000-101089(P2000-101089A)
(43)公開日　平成12年4月7日(2000.4.7)
審査請求日　平成17年9月14日(2005.9.14)

(73)特許権者　000002185
ソニー株式会社
東京都港区港南１丁目７番１号
(74)代理人　100076059
弁理士　逢坂　宏
(72)発明者　山中　英雄
東京都品川区北品川６丁目７番３５号　ソニー株式会社内
(72)発明者　矢元　久良
東京都品川区北品川６丁目７番３５号　ソニー株式会社内
(72)発明者　佐藤　勇一
東京都品川区北品川６丁目７番３５号　ソニー株式会社内

最終頁に続く

(54)【発明の名称】電気光学装置の製造方法及び電気光学装置用の駆動基板の製造方法

(57)【特許請求の範囲】

【請求項1】

画素電極が配された表示部と、この表示部の周辺に配された周辺駆動回路部とを第１の基板上に有し、この第１の基板と第２の基板との間に所定の光学材料を介在させてなる電気光学装置の製造方法において、

前記第１の基板の一方の面上に段差を形成する工程と、

前記第１の基板の前記一方の面上に、サファイア、スピネル構造体、フッ化カルシウム、フッ化ストロンチウム、フッ化バリウム、リン化ボロン、酸化イットリウム及び酸化ジルコニウムからなる群より選ばれた物質からなる物質層を形成する工程と、

この物質層を含む前記第１の基板上に多結晶又はアモルファスシリコン層の如き半導体層を所定厚さに形成する工程と、

前記物質層を含む前記第１の基板上であって前記半導体層上又は下に低融点金属層を形成するか、或いは、前記物質層を含む前記第１の基板上にシリコンの如き半導体材料を含有する低融点金属層を形成する工程と、

加熱処理によって前記半導体層又は前記半導体材料を前記低融点金属層に溶解させる工程と、

次いで冷却処理によって前記半導体層の半導体材料又は前記低融点金属層の半導体材料を前記物質層及び前記段差をシードとしてヘテロ及びグラフォエピタキシャル成長させ、単結晶シリコン層の如き単結晶半導体層を析出させる工程と、

この単結晶半導体層に所定の処理を施して、前記段差による凹部内に存在する前記単

SDC EX. 1016 - 852/959

結晶半導体層をチャンネル領域とし、この両側に前記凹部外へ延設された前記単結晶半導体層をソース領域及びドレイン領域とする電界効果トランジスタの構成層を形成する工程と

を有することを特徴とする、電気光学装置の製造方法。

【請求項2】

前記第１の基板上に前記段差を形成し、この段差を含む前記第１の基板上に前記物質層を形成し、この物質層上に前記単結晶シリコン層を形成する、請求項１に記載した電気光学装置の製造方法。

【請求項3】

断面において底面に対し側面が直角状若しくは下端側へ傾斜状となるような前記凹部として前記段差を形成し、この段差を前記物質層と共に前記単結晶シリコン層のエピタキシャル成長時のシードとする、請求項２に記載した電気光学装置の製造方法。

【請求項4】

前記物質層に前記段差を形成し、この段差を含む前記物質層上に前記単結晶シリコン層を形成する、請求項１に記載した電気光学装置の製造方法。

【請求項5】

断面において底面に対し側面が直角状若しくは下端側へ傾斜状となるような前記凹部として前記段差を形成し、この段差を前記物質層と共に前記単結晶シリコン層のエピタキシャル成長時のシードとする、請求項４に記載した電気光学装置の製造方法。

【請求項6】

画素電極が配された表示部と、この表示部の周辺に配された周辺駆動回路部とを基板上に有する、電気光学装置用の駆動基板の製造方法において、

前記基板の一方の面上に段差を形成する工程と、

前記基板の前記一方の面上に、サファイア、スピネル構造体、フッ化カルシウム、フッ化ストロンチウム、フッ化バリウム、リン化ボロン、酸化イットリウム及び酸化ジルコニウムからなる群より選ばれた物質からなる物質層を形成する工程と、

この物質層を含む前記基板上に多結晶又はアモルファスシリコン層の如き半導体層を所定厚さに形成する工程と、

前記物質層を含む前記基板上であって前記半導体層上又は下に低融点金属層を形成するか、或いは、前記物質層を含む前記基板上にシリコンの如き半導体材料を含有する低融点金属層を形成する工程と、

加熱処理によって前記半導体層又は前記半導体材料を前記低融点金属層に溶解させる工程と、

次いで、冷却処理によって前記半導体層の半導体材料又は前記低融点金属層の半導体材料を前記物質層及び前記段差をシードとしてヘテロ及びグラフォエピタキシャル成長させ、単結晶シリコン層の如き単結晶半導体層を析出させる工程と、

この単結晶半導体層に所定の処理を施して、前記段差による凹部内に存在する前記単結晶半導体層をチャンネル領域とし、この両側に前記凹部外へ延設された前記単結晶半導体層をソース領域及びドレイン領域とする電界効果トランジスタの構成層を形成する工程と

を有することを特徴とする、電気光学装置用の駆動基板の製造方法。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】

本発明は、電気光学装置の製造方法及び電気光学装置用の駆動基板の製造方法に関し、特に絶縁基板上にヘテロエピタキシャル成長させた単結晶シリコン層を能動領域に用いるトップゲート型の薄膜絶縁ゲート型電界効果トランジスタ（以降、トップゲート型ＭＯＳＴＦＴと呼ぶ。尚、トップゲート型にはスタガー型とコプラナー型が含まれる。）と受動領域を有する液晶表示装置などに好適な方法に関するものである。

【０００２】

【従来の技術】
アクティブマトリクス型の液晶表示装置として、アモルファスシリコンをＴＦＴに用いた表示部と外付け駆動回路用ＩＣとを有するものや、固相成長法による多結晶シリコンをＴＦＴに用いた表示部と駆動回路との一体型（特開平６－２４２４３３号公報）、エキシマレーザーアニールを行った多結晶シリコンをＴＦＴに用いた表示部と駆動回路との一体型（特開平７－１３１０３０号公報）などが知られている。
【０００３】
【発明が解決しようとする課題】
しかし、上記した従来のアモルファスシリコンＴＦＴは、生産性は良いが、電子移動度は０．５～１．０cm^2／ｖ・ｓｅｃ前後と低いために、ｐチャンネルのＭＯＳＴＦＴ（以降、ｐＭＯＳＴＦＴと呼ぶ。）を作ることができない。従って、ｐＭＯＳＴＦＴを用いた周辺駆動部を表示部と同じガラス基板上に形成できないため、ドライバＩＣは外付けとなり、ＴＡＢ方式等により実装されるので、コストダウンが難しい。また、このために、高精細化には限界がある。更に、電子移動度は０．５～１．０cm^2／ｖ・ｓｅｃ前後と低いので、十分なオン電流がとれず、表示部に用いた場合、トランジスタサイズが必然的に大きくなり、画素の高開口率に不利である。
【０００４】
また、上記した従来の多結晶シリコンＴＦＴの電子移動度は７０～１００cm^2／ｖ・ｓｅｃで高精細化にも対応できるので、最近は駆動回路一体型の多結晶シリコンＴＦＴを用いたＬＣＤ（液晶表示装置）が注目されている。しかし、１５インチ以上の大型ＬＣＤの場合は、多結晶シリコンの電子移動度は７０～１００cm^2／ｖ・ｓｅｃであるため、駆動能力が不足し、結局、外付けの駆動回路用ＩＣが必要となっている。
【０００５】
また、固相成長法により成膜された多結晶シリコンを用いるＴＦＴでは、６００℃以上で十数時間のアニールと、約１０００℃の熱酸化によるゲートSiO_2の形成が必要なために、半導体製造装置を採用せざるを得ない。そのために、ウエーハサイズ８～１２インチφが限界であり、高耐熱性で高価な石英ガラスの採用が余儀なくされ、コストダウンが難しい。従って、ＥＶＦやデータ／ＡＶプロジェクタ用途に限定されている。
【０００６】
更に、上記した従来のエキシマレーザーアニールによる多結晶シリコンＴＦＴでは、エキシマレーザー出力の安定性、生産性、大型化による装置価格の上昇、歩留／品質低下等の問題が山積している。
【０００７】
特に、１ｍ角等の大型ガラス基板になると、前記の問題が拡大し、ますます性能／品質向上とコストダウンが難しくなる。
【０００８】
本発明の目的は、特に周辺駆動回路部において、高い電子／正孔移動度の単結晶シリコン薄膜を比較的低温でかつ均一に成膜して、高性能ドライバ内蔵のアクティブマトリクス基板と、これを用いた表示用薄膜半導体装置等の電気光学装置の製造を可能とし、高いスイッチング特性と低リーク電流を有するＬＤＤ構造（Lightly doped drain 構造）のｎチャンネルのＭＯＳＴＦＴ（以降、ｎＭＯＳＴＦＴと呼ぶ。）又はｐＭＯＳＴＦＴ又は高い駆動能力の相補型薄膜絶縁ゲート電界効果トランジスタ（以降、ｃＭＯＳＴＦＴと呼ぶ。）の表示部と、このｃＭＯＳＴＦＴ又はｎＭＯＳＴＦＴ又はｐＭＯＳＴＦＴ、或いはこれらの混在からなる周辺駆動回路とを一体化した構成を可能とし、高画質、高精細、狭額縁、高効率、大画面の表示パネルを実現することができ、しかも歪点が比較的低い大型のガラス基板であっても使用でき、生産性が高く、高価な製造設備が不要であってコストダウンが可能となり、更に、しきい値調整が容易であって低抵抗化による高速動作と大画面化を可能にすることにある。
【０００９】
【課題を解決するための手段】

即ち、本発明は、画素電極（例えばマトリクス状に配列された複数の画素電極：以下、同様）が配された表示部と、この表示部の周辺に配された周辺駆動回路部とを第１の基板（即ち、駆動用の基板：以下、同様）上に有し、この第１の基板と第２の基板（即ち、対向基板：以下、同様）との間に液晶などの所定の光学材料を介在させてなる電気光学装置、及びこの電気光学装置用の駆動基板のそれぞれの製造方法において、

前記第１の基板の一方の面上に段差を形成する工程と、

前記第１の基板の前記一方の面上に、単結晶シリコンの如き単結晶半導体と格子整合の良い後述の物質層を形成する工程と、

この物質層を含む前記第１の基板上に多結晶又はアモルファスシリコン層の如き半導体層を所定厚さに形成する工程と、

前記物質層を含む前記第１の基板上であって前記半導体層上又は下に低融点金属層を形成するか、或いは、前記物質層を含む前記第１の基板上にシリコンの如き半導体材料を含有する低融点金属層を形成する工程と、

加熱処理によって前記半導体層又は前記半導体材料を前記低融点金属層に溶解させる工程と、

次いで冷却処理（望ましくは徐冷処理）によって前記半導体層の半導体材料又は前記低融点金属層の半導体材料を前記物質層及び前記段差をシードとしてヘテロ及びグラフォエピタキシャル成長させ、単結晶シリコン層の如き単結晶半導体層を析出させる工程と、

この単結晶半導体層に所定の処理を施して能動素子及び受動素子のうちの少なくとも能動素子を形成する工程（例えば前記単結晶シリコン層の析出後に、この単結晶シリコン層に所定の処理を施して、前記段差による凹部内にチャンネル領域、この両側に前記凹部外へ延設された単結晶シリコン層にソース領域及びドレイン領域を形成する工程と、前記チャンネル領域の上部にゲート絶縁膜及びゲート電極からなるゲート部、更にはソース及びドレイン電極を形成して、絶縁ゲート型電界効果トランジスタの構成層を形成し、前記周辺駆動回路部の少なくとも一部を構成するトップゲート型の第１の薄膜トランジスタ（特にＭＯＳＴＦＴ：以下、同様）を能動素子として形成する工程とを行う工程、又は、抵抗、キャパシタンス、インダクタンス等の受動素子を形成する工程）とを有することを特徴とする、電気光学装置、及びこの電気光学装置用の駆動基板の製造方法に係るものである。なお、本発明において、上記単結晶半導体層は単結晶シリコン層は勿論、単結晶化合物半導体層も含む概念である（以下、同様）。また、上記能動素子は薄膜トランジスタやその他のダイオード等の素子を含む概念であり、上記受動素子は抵抗などを含む概念である（以下、同様）。その代表例としての薄膜トランジスタとは、電界効果トランジスタ（ＦＥＴ）（これにはＭＯＳ型と接合型があるが、いずれでもよい。）とバイポーラトランジスタとがあるが、本発明はいずれのトランジスタにも適用できる（以下、同様）。また、上記受動素子は抵抗、インダクタンス、キャパシタンス等を含む概念であり、例えばシリコンナイトライド（以後ＳｉＮと呼ぶ。）等の高誘電体膜を低抵抗化した前記単結晶シリコン層等（電極）で挟み込んで形成したキャパシタンスがある。

【００１０】

本発明によれば、特に単結晶シリコンと格子整合の良い上記物質層（例えば結晶性サファイア膜）及び上記段差をシードにして、多結晶シリコン又はアモルファスシリコン又はシリコンなどの半導体材料を溶解した低融点金属層から、ヘテロエピタキシャル成長で単結晶シリコン薄膜などの単結晶半導体薄膜を形成し、このエピタキシャル成長層をアクティブマトリクス基板などの駆動基板の周辺駆動回路のトップゲート型ＭＯＳＴＦＴや表示部一周辺駆動回路一体型のＬＣＤなどの電気光学装置の周辺駆動回路のトップゲート型ＭＯＳＴＦＴなどの能動素子や、抵抗、インダクタンス、キャパシタンス等の受動素子のうちの少なくとも能動素子に用いているので、次の（Ａ）～（Ｇ）に示す顕著な作用効果を得ることができる。

【００１１】

（Ａ）単結晶シリコンと格子整合の良い物質層（例えば結晶性サファイア膜）を基板上

に形成し、その物質層と段差をシードとしてヘテロエピタキシャル成長させることにより、５４０ｃｍ^2／Ｖ・ｓｅｃ以上の高い電子移動度の単結晶シリコン薄膜の如き単結晶半導体層が得られるので、高性能ドライバ内蔵の表示用薄膜半導体装置などの電気光学装置の製造が可能となる。

【００１２】

（Ｂ）特にこの単結晶シリコン薄膜は、従来のアモルファスシリコン薄膜や多結晶シリコン薄膜に比べて、単結晶シリコン基板並の高い電子及び正孔移動度を示すので、これによる単結晶シリコントップゲート型ＭＯＳＴＦＴは、高いスイッチング特性〔望ましくは更に、電界強度を緩和して低リーク電流化するＬＤＤ(Lightly doped drain) 構造〕を有するｎＭＯＳ又はｐＭＯＳＴＦＴ又はｃＭＯＳＴＦＴからなる表示部と、高い駆動能力のｃＭＯＳ、又はｎＭＯＳ、ｐＭＯＳＴＦＴ又はこれらの混在からなる周辺駆動回路部とを一体化した構成が可能となり、高画質、高精細、狭額縁、高効率、大画面の表示パネルが実現する。特に、多結晶シリコンではＬＣＤ用ＴＦＴとして、高い正孔移動度のｐＭＯＳＴＦＴは形成し難いが、本発明による単結晶シリコン薄膜は正孔でも十分に高い移動度を示すため、電子と正孔をそれぞれ単独でも、或いは双方を組み合せて駆動する周辺駆動回路を作製でき、これをｎＭＯＳ又はｐＭＯＳ又はｃＭＯＳのＬＤＤ構造の表示部用ＴＦＴと一体化したパネルを実現できる。また、小型～中型パネルの場合には、周辺の一対の垂直駆動回路の一方を省略できる可能性がある。

【００１３】

（Ｃ）そして、上記した物質層及び段差をヘテロエピタキシャル成長のシードとして用い、かつこの物質層上に上記した多結晶又はアモルファスシリコン層などをプラズマ又は減圧ＣＶＤ（化学的気相成長：基板温度１００～４００℃）などの方法で形成でき、上記した低融点金属層は真空蒸着法又はスパッタ法などの方法で形成でき、更に、上記したシリコンエピタキシャル成長時の加熱処理温度は９３０℃以下が可能であるから、絶縁基板上に比較的低温（例えば４００～４５０℃）でシリコン単結晶膜を均一に形成することができる。

【００１４】

（Ｄ）固相成長法の場合のような中温で長時間（約６００℃、十数時間）のアニールや、エキシマレーザーアニールが不要となるから、生産性が高く、高価な製造設備が不要でコストダウンが可能となる。

【００１５】

（Ｅ）このヘテロエピタキシャル成長では、結晶性サファイア等の物質層の結晶性、多結晶又はアモルファスシリコンと低融点金属との組成比、基板の加熱温度、冷却速度等の調整により広範囲のＰ型不純物濃度と高移動度の単結晶シリコン薄膜が容易に得られるので、Ｖｔｈ（しきい値）調整が容易であり、低抵抗化による高速動作が可能である。

【００１６】

（Ｆ）また、多結晶又はアモルファスシリコン又はシリコン含有低融点金属層の成膜時に、３族又は５族の不純物元素（ボロン、リン、アンチモン、ひ素、ビスマス、アルミニウムなど）を別途適量ドープしておけば、ヘテロエピタキシャル成長による単結晶シリコン薄膜の不純物種及び／又はその濃度、即ちＰ型／Ｎ型等の導電型及び／又はキャリア濃度を任意に制御することができる。

【００１７】

（Ｇ）結晶性サファイア薄膜などの上記物質層は、様々な原子の拡散バリアになるため、ガラス基板からの不純物の拡散を抑制することができる。

【００１８】

【発明の実施の形態】

本発明においては、前記単結晶シリコン層に所定の処理を施してチャンネル領域、ソース領域及びドレイン領域とし、前記チャンネル領域の上部にゲート部を有するトップゲート型の第１の薄膜トランジスタが前記周辺駆動回路部の少なくとも一部を構成するのがよい。

【００１９】
そして、前記第１の基板として絶縁基板が用いられるのがよい。前記物質層は、サファイア（Al_2O_3）、スピネル構造体（例えば$MgO \cdot Al_2O_3$）、フッ化カルシウム（CaF_2）、フッ化ストロンチウム（SrF_2）、フッ化バリウム（BaF_2）、リン化ボロン（ＢＰ）、酸化イットリウム（$(Y_2O_3)_m$）及び酸化ジルコニウム（$(ZrO_2)_{1-x}$）等からなる群より選ばれた物質で形成されている。
【００２０】
このような物質層上に、前記多結晶又はアモルファスシリコン層を減圧ＣＶＤ法、触媒ＣＶＤ法、プラズマＣＶＤ法、スパッタ法などの基板温度１００～４００℃の低温成膜技術で例えば数μｍ～０．００５μｍの厚みに形成し、更に前記低融点金属層を前記多結晶又はアモルファスシリコン層の例えば数１０～数１００倍の厚さに真空蒸着法又はスパッタ法などで堆積させた後、前記加熱処理を行うのがよい。
【００２１】
この場合、多結晶又はアモルファスシリコン層を上記した低温成膜技術で形成し、この上又は下に前記低融点金属層を堆積させてよい。或いは、前記シリコン含有の低融点金属層を堆積させ、前記加熱処理を行ってよい。
【００２２】
また、前記基板として絶縁基板、例えばガラス基板、耐熱性有機基板を使用し、前記低融点金属層をインジウム、ガリウム、スズ、ビスマス、鉛、亜鉛、アンチモン及びアルミニウムからなる群より選ばれた少なくとも１種で形成することができる。
【００２３】
この場合、前記低融点金属層をインジウムで形成するときには前記加熱処理を水素系（水素、又は窒素－水素混合物、又はアルゴン－水素混合物など：以下、同様）雰囲気下、８５０～１１００℃（望ましくは９００～９５０℃）で行ってインジウム・シリコン溶融液となし、前記低融点金属層をインジウム・ガリウム又はガリウムで形成するときには前記加熱処理を水素系雰囲気下、３００～１１００℃（望ましくは３５０～６００℃）又は４００～１１００℃（望ましくは４２０～６００℃）で行ってインジウム・ガリウム・シリコン溶融液又はガリウム・シリコン溶融液となすことができる。基板の加熱は、電気炉やランプ等を用いて基板全体を均一に加熱する方法の他、光レーザー、電子ビーム等によって、所定の場所のみを局部的に加熱する方法も可能である。
【００２４】
このようにシリコンを含有する低融点金属は、図１０に示す状態図から明らかなように、低融点金属の割合に応じて融点が低下する。インジウムを用いるときには、シリコンを含有（例えば１重量％含有）するインジウム溶融液層を８５０～１１００℃の基板温度で形成するのは、１０００℃程度までは基板として石英板ガラスを使用でき、１１００℃～８５０℃まではそれよりも耐熱性が低いガラス、例えば結晶化ガラスでも使用できることになる。ガリウムを用いるときにも、上記と同様の理由から、シリコンを含有（例えば１重量％含有）するガリウム溶融液層を４００～１１００℃の基板温度で形成することができる。
【００２５】
後者の場合（インジウム・ガリウム・シリコン又はガリウム・シリコンの場合）、基板として、比較的歪点の低いガラス基板や耐熱性有機基板を用い得るので、大型ガラス基板（例えば１m^2 以上）上に半導体結晶層を作成することが可能であるが、このような基板は、安価で、薄板化が容易であり、長尺ロール化されたガラス板を作製できる。これを用いて、長尺ロール化ガラス板や耐熱性有機基板上に、上記手法により、ヘテロエピタキシャル成長による単結晶シリコン薄膜を連続して又は非連続に作製することができる。
【００２６】
このように、歪点が低いガラスの上層へは、このガラス内部から、その構成元素が拡散し易いので、これを抑える目的で、拡散バリア層の薄膜（例えばシリコンナイトライド（ＳｉＮ）：厚さ５０～２００ｎｍ程度）などの膜を形成するのがよい。従ってこの場合、拡

散バリア層上に前記多結晶又はアモルファスシリコン層又はシリコン含有の低融点金属層を形成する。

【００２７】

上記したシリコンを溶かした低融点金属から、徐冷によって、上記物質層をシードとしてヘテロエピタキシャル成長により前記単結晶シリコン層を析出させた後に、この上の前記低融点金属の層を塩酸などで溶解除去し、しかる後に前記単結晶シリコン層に所定の処理を施して能動素子と受動素子を作製することができる。

【００２８】

このように、徐冷後に単結晶シリコン層の上に析出したインジウムなどの低融点金属薄膜は塩酸等を用いて溶解除去するが、インジウム等はシリコン層中に微量（10^{18}ａｔｏｍｓ／ｃｃ程度）しか残留しないよう作成できるので、作成直後はＰ型の単結晶シリコン薄膜の半導体が作成される。従って、これはｎＭＯＳＴＦＴの作製にとって都合が良い。しかし、適量のリン原子などのＮ型不純物を全面又は選択的にイオン注入することによって、全面又は選択的にＮ型の単結晶シリコン薄膜を作成することができるので、ｐＭＯＳＴＦＴも作成することができる。このため、ｃＭＯＳＴＦＴも作成できることになる。多結晶又はアモルファスシリコン又はシリコン含有低融点金属層の成膜時に、溶解度が大きい３族又は５族の不純物元素（ボロン、リン、アンチモン、ひ素、ビスマスなど）を別途適量ドープしておけば、成長するシリコンエピタキシャル成長層の不純物種及び／又はその濃度、即ち、Ｐ型／Ｎ型及び／又はキャリア濃度を任意に制御することができる。

【００２９】

このように、基板上にヘテロエピタキシャル成長した前記単結晶シリコン層を周辺駆動回路の少なくとも一部を構成するトップゲート型ＭＯＳＴＦＴのチャンネル領域、ソース領域及びドレイン領域に適用し、これら各領域の不純物種及び／又はその濃度を制御することができる。

【００３０】

前記周辺駆動回路部及び前記表示部の薄膜トランジスタがｎチャンネル型、ｐチャンネル型又は相補型の絶縁ゲート電界効果トランジスタを構成し、例えば相補型とｎチャンネル型との組、相補型とｐチャンネル型との組、又は相補型とｎチャンネル型とｐチャンネル型との組からなっていてよい。また、前記周辺駆動回路部及び／又は前記表示部の薄膜トランジスタの少なくとも一部がＬＤＤ（Lightly doped drain)構造を有しているのがよい。なお、ＬＤＤ構造は、ゲートードレイン間のみならず、ゲートーソース間にも、又はゲートーソース間及びゲートードレイン間の両方に設けてもよい（これをダブルＬＤＤと呼ぶ）。

【００３１】

特に、前記ＭＯＳＴＦＴは表示部では、ｎＭＯＳ又はｐＭＯＳ又はｃＭＯＳのＬＤＤ型ＴＦＴを構成し、また周辺駆動回路部では、ｃＭＯＳ又はｎＭＯＳ又はｐＭＯＳＴＦＴ又はこれらの混在を構成しているのがよい。

【００３２】

本発明においては、前記基板及び／又はその上の膜に段差を設け、この段差を断面において底面に対し側面が直角状若しくは下端側へ望ましくは９０°以下の底角をなすように傾斜状となるような凹部として、絶縁基板又はその上のＳｉＮなどの膜（或いはこれらの双方）に形成するのがよい。この段差は、前記単結晶シリコン層のヘテロエピタキシャル成長時のシードとなり、単結晶シリコン膜の結晶性を高め、その成長を促進させる作用があると思われる。この段差は、前記能動素子、例えば薄膜トランジスタの前記チャンネル領域、前記ソース領域及び前記ドレイン領域で形成される素子領域の少なくとも一辺に沿って形成するのがよい。また、前記受動素子、例えば抵抗が形成される素子領域の少なくとも一辺に沿って形成されているのがよい。

【００３３】

この場合、前記基板としての絶縁基板上に、前記ヘテロエピタキシャル成長のシードとなり、単結晶シリコン膜の結晶性を高め、その成長を促進する作用がある上記した如き所定

形状の段差を所定位置に形成し、この段差を含む前記絶縁基板上に前記物質層を形成することができる。

【００３４】

或いは、前記物質層に上記と同様な所定形状の段差を形成し、この段差を含む前記物質層上に前記単結晶シリコン層を形成することができる。

【００３５】

これらの場合、上記物質層に加え、上記段差もヘテロエピタキシャル成長のシードとして作用するため、より結晶性の高い単結晶シリコン層を形成でき、その成長を促進することができる。

【００３６】

前記ＭＯＳＴＦＴの如き第１の薄膜トランジスタを前記段差による基板凹部内に設けるが、凹部外の凹部付近にも設けてよい。前記段差はリアクティブイオンエッチングなどのドライエッチングによって形成してよい。

【００３７】

この場合、前記第１の基板の一方の面上に上記の段差を形成し、この段差を含む前記基板上に結晶性サファイア膜と単結晶、多結晶又はアモルファスシリコン層を形成し、前記第２の薄膜トランジスタを、前記単結晶、多結晶又はアモルファスシリコン層をチャンネル領域、ソース領域及びドレイン領域とし、前記チャンネル領域の上部及び／又は下部にゲート部を有するトップゲート型、ボトムゲート型又はデュアルゲート型としてよい。

【００３８】

この場合も、断面において底面に対し側面が直角状若しくは下端側へ望ましくは９０°以下の底角をなすように傾斜状となるような凹部として上記と同様の前記段差を形成し、この段差を前記単結晶シリコン層のヘテロエピタキシャル成長時のシードとし、成長速度の向上及び結晶性を高める役割をさせる。

【００３９】

前記第２の薄膜トランジスタは、前記第１の基板及び／又はその上の膜に形成した前記段差による基板凹部内及び／又は外に設け、前記第１の薄膜トランジスタと同様にヘテロエピタキシャル成長による単結晶シリコン層を用いて、そのソース、ドレイン、チャンネルの各領域を形成してよい。

【００４０】

この第２の薄膜トランジスタでも、上記したと同様、前記単結晶、多結晶又はアモルファスシリコン層の３族又は５族の不純物種及び／又はその濃度を制御したり、前記段差を、前記第２の薄膜トランジスタの前記チャンネル領域、前記ソース領域及び前記ドレイン領域で形成される素子領域の少なくとも一辺に沿って形成してよい。また、前記単結晶、多結晶又はアモルファスシリコン層下のゲート電極をその側端部にて台形状にするのがよい。前記第１の基板と前記単結晶、多結晶又はアモルファスシリコン層との間に拡散バリア層を設けてよい。

【００４１】

前記第１及び／又は第２の薄膜トランジスタのソース又はドレイン電極を前記段差を含む領域上に形成するのがよい。

【００４２】

前記第１の薄膜トランジスタを、チャンネル領域の上部及び／又は下部にゲート部を有するトップゲート型、ボトムゲート型又はデュアルゲート型の中から選ばれた少なくともトップゲート型とし、かつ、表示部において画素電極をスイッチングするスイッチング素子を、前記トップゲート型、前記ボトムゲート型又は前記デュアルゲート型の第２の薄膜トランジスタとしてよい。

【００４３】

この場合、チャンネル領域の下部に設けられたゲート電極を耐熱性材料で形成したり、前記第２の薄膜トランジスタの上部ゲート電極と前記第１の薄膜トランジスタのゲート電極とを共通の材料で形成してよい。

【００４４】
前記周辺駆動回路部において、前記第１の薄膜トランジスタ以外に、多結晶又はアモルファスシリコン層をチャンネル領域とし、このチャンネル領域の上部及び／又は下部にゲート部を有するトップゲート型、ボトムゲート型又はデュアルゲート型の薄膜トランジスタ、或いは前記単結晶シリコン層又は多結晶シリコン層又はアモルファスシリコン層を用いたダイオード、抵抗、キャパシタンス、インダクタンス素子などを設けてよい。
【００４５】
前記周辺駆動回路部及び／又は前記表示部の薄膜トランジスタを、シングルゲート又はマルチゲートに構成してよい。
【００４６】
前記周辺駆動回路部及び／又は前記表示部のｎ又はｐチャンネル型の薄膜トランジスタがデュアルゲート型であるときには、上部又は下部ゲート電極を電気的にオープンとするか或いは任意の負電圧（ｎチャンネル型の場合）又は正電圧（ｐチャンネル型の場合）を印加し、ボトムゲート型又はトップゲート型の薄膜トランジスタとして動作するのがよい。
【００４７】
前記周辺駆動回路部の薄膜トランジスタをｎチャンネル型、ｐチャンネル型又は相補型の前記第１の薄膜トランジスタとし、前記表示部の薄膜トランジスタを、単結晶シリコン層をチャンネル領域とするときはｎチャンネル型、ｐチャンネル型又は相補型であり、多結晶シリコン層をチャンネル領域とするときにはｎチャンネル型、ｐチャンネル型又は相補型とし、アモルファスシリコン層をチャンネル領域とするときにはｎチャンネル型、ｐチャンネル型又は相補型としてよい。
【００４８】
本発明において、前記単結晶シリコン層の成長後、この単結晶シリコン層上にゲート絶縁膜とゲート電極とからなる上部ゲート部を形成し、この上部ゲート部をマスクとして前記単結晶シリコン層に３族又は５族の不純物元素を導入して前記チャンネル領域、前記ソース領域及び前記ドレイン領域を形成してよい。
【００４９】
また、前記第２の薄膜トランジスタがボトムゲート型又はデュアルゲート型であるときは、前記チャンネル領域の下部に耐熱性材料からなる下部ゲート電極を設け、このゲート電極上にゲート絶縁膜を形成して下部ゲート部を形成した後、前記段差の形成工程を含めて前記第１の薄膜トランジスタと共通の工程を経て前記第２の薄膜トランジスタを形成することができる。この場合、前記第２の薄膜トランジスタの上部ゲート電極と前記第１の薄膜トランジスタのゲート電極とを共通の材料で形成することができる。
【００５０】
また、前記下部ゲート部上に前記単結晶シリコン層を形成した後、この単結晶シリコン層に３族又は５族の不純物元素を導入し、ソース及びドレイン領域を形成した後に、活性化処理を行うことができる。
【００５１】
また、前記単結晶シリコン層の形成後にレジストをマスクとして前記第１及び第２の薄膜トランジスタの各ソース及びドレイン領域を前記不純物元素のイオン注入で形成し、このイオン注入後に前記活性化処理を行い、ゲート絶縁膜の形成後に、前記第１の薄膜トランジスタのゲート電極と、必要あれば前記第２の薄膜トランジスタの上部ゲート電極とを形成してよい。
【００５２】
前記薄膜トランジスタがトップゲート型のとき、前記単結晶シリコン層の形成後にレジストをマスクとして前記第１及び第２の薄膜トランジスタの各ソース及びドレイン領域を前記不純物元素のイオン注入で形成し、このイオン注入後に活性化処理を行い、しかる後に前記第１及び第２の薄膜トランジスタのゲート絶縁膜とゲート電極とからなる各ゲート部を形成することができる。
【００５３】

或いは、前記薄膜トランジスタがトップゲート型のとき、前記単結晶シリコン層の形成後に前記第１及び第２の薄膜トランジスタの各ゲート絶縁膜と耐熱性材料からなる各ゲート電極とを形成して各ゲート部を形成し、これらのゲート部をマスクとして各ソース及びドレイン領域を前記不純物元素のイオン注入で形成し、このイオン注入後に活性化処理を行ってもよい。

【００５４】

また、前記ＬＤＤ構造を形成する際に用いたレジストマスクを残して、これを覆うレジストマスクを用いてソース領域及びドレイン領域形成用のイオン注入を行うことができる。

【００５５】

また、前記基板を光学的に不透明又は透明とし、反射型、又は透過型の表示部用画素電極を設けてよい。

【００５６】

前記表示部が前記画素電極とカラーフィルタ層との積層構造を有していると、表示アレイ部上にカラーフィルタを作り込むことにより、表示パネルの開口率、輝度等の改善をはじめ、カラーフィルタ基板の省略、生産性改善等によるコストダウンが実現する。

【００５７】

この場合、前記画素電極が反射電極であるときは、樹脂膜に最適な反射特性と視野角特性を得るための凹凸を形成し、この上に画素電極を設け、また前記画素電極が透明電極であるときは、透明平坦化膜によって表面を平坦化し、この平坦化面上に画素電極を設けるのがよい。

【００５８】

前記表示部は、前記ＭＯＳＴＦＴによる駆動で発光又は調光を行うように構成し、例えば液晶表示装置（ＬＣＤ）、エレクトロルミネセンス表示装置（ＥＬ）又は電界放出型表示装置（ＦＥＤ）、発光ポリマー表示装置（ＬＥＰＤ）、発光ダイオード表示装置（ＬＥＤ）などとして構成してよい。この場合、前記表示部に複数の前記画素電極をマトリクス状に配列し、これらの画素電極のそれぞれに前記スイッチング素子を接続してよい。

【００５９】

次に、本発明を好ましい実施の形態について更に詳細に説明する。

【００６０】

＜第１の実施の形態＞

図１～図１２は、本発明の第１の実施の形態を示すものである。

【００６１】

本実施の形態は、耐熱性基板に設けた上述した段差（凹部）を含む面上に、上述した物質層（例えば結晶性サファイア膜）を形成し、この物質層をシードとしてインジウム・シリコンから単結晶シリコン層を高温ヘテロエピタキシャル成長させ、これを用いてトップゲート型ＭＯＳＴＦＴを構成したアクティブマトリクス反射型液晶表示装置（ＬＣＤ）に関するものである。まず、この反射型ＬＣＤの全体のレイアウトを図１１～図１３について説明する。

【００６２】

図１１に示すように、このアクティブマトリクス反射型ＬＣＤは、主基板１（これはアクティブマトリクス基板を構成する。）と対向基板３２とをスペーサ（図示せず）を介して貼り合わせたフラットパネル構造からなり、両基板１－３２間に液晶（ここでは図示せず）が封入されている。主基板１の表面には、マトリクス状に配列した画素電極２９（又は４１）と、この画素電極を駆動するスイッチング素子とからなる表示部、及びこの表示部に接続される周辺駆動回路部とが設けられている。

【００６３】

表示部のスイッチング素子は、本発明に基づくｎＭＯＳ又はｐＭＯＳ又はｃＭＯＳでＬＤＤ構造のトップゲート型ＭＯＳＴＦＴで構成される。また、周辺駆動回路部にも、回路要素として、本発明に基づくトップゲート型ＭＯＳＴＦＴのｃＭＯＳ又はｎＭＯＳ又はｐＭＯＳＴＦＴ又はこれらの混在が形成されている。なお、一方の周辺駆動回路部はデータ信

号を供給して各画素のＴＦＴを水平ライン毎に駆動する水平駆動回路であり、また他方の周辺駆動回路部は各画素のＴＦＴのゲートを走査ライン毎に駆動する垂直駆動回路であり、通常は表示部の両辺にそれぞれ設けられる。これらの駆動回路は、点順次アナログ方式、線順次デジタル方式のいずれも構成できる。

【００６４】

図１２に示すように、直交するゲートバスラインとデータバスラインの交差部に上記のＴＦＴが配置され、このＴＦＴを介して液晶容量（C_{LC}）に画像情報を書き込み、次の情報がくるまで電荷を保持する。この場合、ＴＦＴのチャンネル抵抗だけで保持させるには十分ではないので、それを補うため液晶容量と並列に蓄積容量（補助容量）（C_S）を付加し、リーク電流による液晶電圧の低下を補ってよい。こうしたＬＣＤ用ＴＦＴでは、画素部（表示部）に使用するＴＦＴの特性と周辺駆動回路に使用するＴＦＴの特性とでは要求性能が異なり、特に画素部のＴＦＴではオフ電流の制御、オン電流の確保が重要な問題となる。このため、表示部には、後述の如きＬＤＤ構造のＴＦＴを設けることによって、ゲートードレイン間に電界がかかりにくい構造としてチャンネル領域にかかる実効的な電界を低減させ、オフ電流を低減し、特性の変化も小さくできる。しかし、プロセス的には複雑になり、素子サイズも大きくなり、かつオン電流が低下するなどの問題も発生するため、それぞれの使用目的に合わせた最適設計が必要である。

【００６５】

なお、使用可能な液晶としては、ＴＮ液晶（アクティブマトリクス駆動のＴＮモードに用いられるネマチック液晶）をはじめ、ＳＴＮ（スーパーツイステッドネマチック）、ＧＨ（ゲスト・ホスト）、ＰＣ（フェーズ・チェンジ）、ＦＬＣ（強誘電性液晶）、ＡＦＬＣ（反強誘電性液晶）、ＰＤＬＣ（ポリマー分散型液晶）等の各種モード用の液晶を採用してよい。

【００６６】

また、図１３について周辺駆動回路の回路方式とその駆動方法の概略を述べる。駆動回路はゲート側駆動回路とデータ側駆動回路に分けられ、ゲート側、データ側ともにシフトレジスタを構成する必要がある。シフトレジスタは一般的に、ｐＭＯＳＴＦＴとｎＭＯＳＴＦＴの両方を使用したもの（いわゆるＣＭＯＳ回路）やいずれか一方のＭＯＳＴＦＴのみを使用したものがあるが、動作速度、信頼性、低消費電力の面でＣＭＯＳＴＦＴ又はＣＭＯＳ回路が一般的である。

【００６７】

走査側駆動回路はシフトレジスタとバッファから構成されており、水平走査期間と同期したパルスをシフトレジスタから各ラインに送る。一方、データ側駆動回路は点順次方式と線順次方式の二つの駆動方法があり、図示した点順次方式では回路の構成は比較的簡単であって、表示信号をアナログスイッチを通してシフトレジスタで制御しながら直接に各画素に書き込む。各画素に一水平走査時間内に順次書き込む（図中のＲ、Ｇ、Ｂは各色毎に画素を概略的に示している）。

【００６８】

次に、図１～図９について、本実施の形態によるアクティブマトリクス反射型ＬＣＤをその製造工程に従って説明する。但し、図１～図６において、各図の左側は表示部の製造工程、右側は周辺駆動回路部の製造工程を示す。

【００６９】

まず、図１の（１）に示すように、石英ガラス、透明性結晶化ガラスなどの絶縁基板１の一主面において、少なくともＴＦＴ形成領域に、フォトレジスト２を所定パターンに形成し、これをマスクとして例えばCF_4プラズマのF^+イオン３を照射し、リアクティブイオンエッチング（ＲＩＥ）などの汎用フォトリソグラフィ及びエッチング（フォトエッチング）によって基板１に段差４を適当な形状及び寸法で複数個形成する。

【００７０】

この場合、絶縁基板１として石英ガラス、透明性結晶化ガラス、セラミック等（但し、後述の透過型ＬＣＤでは、不透明のセラミック基板や低透明性の結晶化ガラスは使用できな

い。）の高耐熱性基板（８～１２インチφ、７００～８００μｍ厚）が使用可能である。また、段差４は、後述の単結晶シリコンのエピタキシャル成長時のシードとなるものであって、深さｄ０．１～０．４μｍ、幅ｗ２～１０μｍ、長さ（紙面垂直方向）１０～２０μｍであってよく、底辺と側面のなす角（底角）は直角とする。なお、基板１の表面には、ガラス基板からのＮａイオンなどの拡散防止のため、ＳｉＮ膜（例えば５０～２００ｎｍ厚）と必要に応じてシリコン酸化膜（以後SiO_2膜と呼ぶ。）（例えば約１００ｎｍ厚）を予め連続形成してよい。

【００７１】

次いで、図１の（２）に示すように、フォトレジスト２の除去後に、絶縁基板１の一主面において、段差４を含む少なくともＴＦＴ形成領域に、結晶性サファイア薄膜（厚さ２０～２００ｎｍ）５０を形成する。この結晶性サファイア薄膜５０は、高密度プラズマＣＶＤ法や、触媒ＣＶＤ法（特開昭６３－４０３１４号公報参照）等により、トリメチルアルミニウムガスなどを酸化性ガス（酸素・水分）で酸化し、結晶化させて作成する。絶縁基板１として高耐熱性ガラス基板（８～１２インチφ、７００～８００μｍ厚）が使用可能である。

【００７２】

次いで、図１の（３）に示すように、公知の触媒ＣＶＤ法やプラズマＣＶＤ法、スパッタ法などによって、段差４を含む結晶性サファイア薄膜５０上の全面に多結晶シリコン膜５を基板温度約１００～４００℃で数μｍ～０．００５μｍ（例えば０．１μｍ）の厚みに堆積させる。なお、多結晶シリコン膜５に代えて、アモルファスシリコン膜を形成してもよいが、以下、多結晶シリコン膜を代表例として説明する。

【００７３】

次いで、図１の（４）に示すように、多結晶シリコン膜５上に、インジウム膜６をトリメチルインジウムのＭＯＣＶＤ法やスパッタ法、真空蒸着法によって多結晶シリコン膜５の数１０～数１００倍の厚さ（例えば１０～１５μｍ）に形成する。

【００７４】

次いで、基板１を水素又は窒素－水素混合物又はアルゴン－水素混合物等の水素系雰囲気下で１０００℃以下、特に９００～９３０℃に約５分間保持する。これによって、多結晶シリコン５はインジウム６の溶融液に溶解する。この溶融液では、シリコンは本来の析出温度よりもずっと低温で析出する性質を呈する。基板１の加熱は、電気炉等を用いて基板全体を均一に加熱する方法の他に、光レーザー、電子ビーム等によって、所定の場所のみ、例えば、ＴＦＴ形成領域のみを局部的に加熱する方法も可能である。

【００７５】

次いで、徐々に冷却することによって、インジウムに溶解していたシリコンは、結晶性サファイア薄膜５０（更には段差４の底辺の角部）をシード（種）として図２の（５）に示すようにヘテロエピタキシャル成長し、厚さ例えば０．１μｍ程度のＰ型単結晶シリコン層７として析出する。

【００７６】

上記のようにして堆積した単結晶シリコン層７は結晶性サファイア膜５０が単結晶シリコンと良好な格子整合を示すために、例えば（１００）面が基板上にヘテロエピタキシャル成長する。この場合、段差４もグラフォエピタキシャル成長と称される公知の現象を加味したヘテロエピタキシャル成長に寄与し、より結晶性の高い単結晶シリコン層７が得られる。これについては、図８に示すように、非晶質基板（ガラス）１に上記の段差４の如き垂直な壁を作り、この上にエピタキシー層を形成すると、図８（ａ）のようなランダムな面方位であったものが図８（ｂ）のように（１００）面が段差４の面に沿って結晶成長する。この単結晶粒の大きさは、温度・時間に比例して大きくなるが、温度・時間を低く、短くする時は、上記段差の間隔を短くしなければならない。また、上記段差の形状を図９（ａ）～（ｆ）のように種々に変えることによって、成長層の結晶方位を制御することができる。ＭＯＳトランジスタを作成する場合は、（１００）面が最も多く採用されている。要するに、段差４の断面形状は、底辺角部の角度（底角）が直角をはじめ、上端から下

SDC EX. 1016 - 863/959

端にかけて内向き又は外向きに傾斜していてもよく、結晶成長が生じ易い特定方向の面を有していればよい。段差４の底角は通常は直角又は９０° 以下が望ましく、その底面の角部は僅かな曲率を有しているのがよい。

【００７７】

こうして、ヘテロエピタキシャル成長によって基板１上に単結晶シリコン層７を析出させた後、図２の（６）のように、表面側に析出したインジウム膜６Ａを塩酸、硫酸などのよって溶解除去（この際、低級シリコン酸化膜が生成しないように後処理）し、単結晶シリコン層７をチャンネル領域とするトップゲート型ＭＯＳＴＦＴの作製を行う。

【００７８】

まず、上記のヘテロエピタキシャル成長による単結晶シリコン薄膜７はインジウムの含有によってＰ型化しているが、そのＰ型不純物濃度はばらついているので、ｐチャンネルＭＯＳＴＦＴ部をフォトレジスト（図示せず）でマスクし、Ｐ型不純物イオン（例えばB^+）を１０ｋＶで２、７×10^{11}ａｔｏｍｓ／ｃｍ^2 のドーズ量でドーピングし、比抵抗を調整する。また、図２の（７）に示すように、ｐＭＯＳＴＦＴ形成領域の不純物濃度制御のため、ｎＭＯＳＴＦＴ部をフォトレジスト６０でマスクし、Ｎ型不純物イオン（例えばP^+）６５を１０ｋＶで１×10^{11}ａｔｏｍｓ／ｃｍ^2 のドーズ量でドーピングし、Ｎ型ウエル７Ａを形成する。

【００７９】

次いで、図３の（８）に示すように、単結晶シリコン薄膜層７の全面上に、プラズマＣＶＤ、高密度プラズマＣＶＤ、触媒ＣＶＤ法等でSiO_2（約２００ｎｍ厚）とＳｉＮ（約１００ｎｍ厚）をこの順に連続形成してゲート絶縁膜８を形成し、更に、モリブデン・タンタル（Ｍｏ・Ｔａ）合金のスパッタ膜９（５００～６００ｎｍ厚）を形成する。

【００８０】

次いで、図３の（９）に示すように、汎用のフォトリソグラフィ技術により、表示領域のＴＦＴ部と、周辺駆動領域のＴＦＴ部とのそれぞれの段差領域（凹部内）にフォトレジストパターン１０を形成し、連続したエッチングにより、（Ｍｏ・Ｔａ）合金のゲート電極１１とゲート絶縁膜（ＳｉＮ／SiO_2）１２とを形成し、単結晶シリコン薄膜層７を露出させる。（Ｍｏ・Ｔａ）合金膜９は酸系エッチング液、ＳｉＮはCF_4 ガスのプラズマエッチング、SiO_2 はフッ酸系エッチング液で処理する。

【００８１】

次いで、図３の（１０）に示すように、周辺駆動領域のｎＭＯＳ及びｐＭＯＳＴＦＴ全部と、表示領域のｎＭＯＳＴＦＴのゲート部をフォトレジスト１３でカバーし、露出したｎＭＯＳＴＦＴのソース／ドレイン領域にリンイオン１４を例えば２０ｋＶで５×10^{13}ａｔｏｍｓ／ｃｍ^2 のドーズ量でドーピング（イオン注入）して、N^+ 型層からなるＬＤＤ部１５を自己整合的（セルフアライン）に形成する。

【００８２】

次いで、図４の（１１）に示すように、周辺駆動領域のｐＭＯＳＴＦＴ全部と、周辺駆動領域のｎＭＯＳＴＦＴのゲート部と、表示領域のｎＭＯＳＴＦＴのゲート及びＬＤＤ部とをフォトレジスト１６でカバーし、露出した領域にリン又はひ素イオン１７を例えば２０ｋＶで５×10^{15}ａｔｏｍｓ／ｃｍ^2 のドーズ量でドーピング（イオン注入）して、ｎＭＯＳＴＦＴのN^+ 型層からなるソース部１８及びドレイン部１９とＬＤＤ部１５とを形成する。

【００８３】

次いで、図４の（１２）に示すように、周辺駆動領域のｎＭＯＳＴＦＴ及び表示領域のｎＭＯＳＴＦＴの全部とｐＭＯＳＴＦＴのゲート部をフォトレジスト２０でカバーし、露出した領域にボロンイオン２１を例えば１０ｋＶで５×10^{15}ａｔｏｍｓ／ｃｍ^2 のドーズ量でドーピング（イオン注入）してｐＭＯＳＴＦＴのP^+ 層のソース部２２及びドレイン部２３を形成する。なお、この作業は、ｎＭＯＳ周辺駆動回路の場合はｐＭＯＳＴＦＴが無いので、不要な作業である。

【００８４】

SDC EX. 1016 - 864/959

次いで、図４の（１３）に示すように、ＴＦＴ、ダイオードなどの能動素子部や、抵抗、インダクタンスなどの受動素子部をアイランド化するため、フォトレジスト２４を設け、周辺駆動領域及び表示領域のすべての能動素子部及び受動素子部以外の単結晶シリコン薄膜層を汎用フォトリソグラフィ及びエッチング技術で除去する。エッチング液はフッ酸系である。

【００８５】

次いで、図５の（１４）に示すように、プラズマＣＶＤ、高密度プラズマＣＶＤ、触媒ＣＶＤ法等により、SiO_2膜（約２００ｎｍ厚）及びリンシリケートガラス（ＰＳＧ）膜（約３００ｎｍ厚）をこの順に全面に連続形成して保護膜２５を形成する。

【００８６】

そして、この状態で単結晶シリコン層を活性化処理する。この活性化においてハロゲン等のランプアニール条件は約１０００℃、約１０秒程度であり、これに耐えるゲート電極材が必要であるが、高融点のＭｏ・Ｔａ合金は適している。このゲート電極材は従って、ゲート部のみならず配線として広範囲に亘って引き廻して設けることができる。なお、ここでは高価なエキシマレーザーアニールは使用しないが、仮に利用するとすれば、その条件はＸｅＣｌ（３０８ｎｍ波長）で全面、又は能動素子部及び受動素子部のみの選択的な９０％以上のオーバーラップスキャンニングが望ましい。

【００８７】

次いで、図５の（１５）に示すように、汎用フォトリソグラフィ及びエッチング技術により、周辺駆動回路の全ＴＦＴのソース／ドレイン部、及び表示用ＴＦＴのソース部のコンタクト用窓開けを行う。

【００８８】

そして、全面に５００～６００ｎｍ厚のアルミニウム又はアルミニウム合金、例えば１％Ｓｉ入りアルミニウム又は１～２％銅入りアルミニウム、銅等のスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、周辺駆動回路及び表示部のすべてのＴＦＴのソース電極２６と周辺駆動回路部のドレイン電極２７を形成すると同時に、データライン及びゲートラインを形成する。その後に、フォーミングガス（N_2 ＋H_2）中、約４００℃／１ｈで、シンター処理する。

【００８９】

次いで、図５の（１６）に示すように、プラズマＣＶＤ、高密度プラズマＣＶＤ、触媒ＣＶＤ法等により、ＰＳＧ膜（約３００ｎｍ厚）及びＳｉＮ膜（約３００ｎｍ厚）からなる絶縁膜３６を全面に形成する。次いで、表示用ＴＦＴのドレイン部のコンタクト用窓開けを行う。なお、画素部のSiO_2、ＰＳＧ及びＳｉＮ膜は除去する必要はない。

【００９０】

反射型液晶表示装置の基本的要件としては、液晶パネルの内部に入射光を反射させる機能と散乱させる機能を合わせ持たなければならない。これは、ディスプレイに対する観察者の方向はほぼ決まっているが、入射光の方向が一義的に決められないためである。このため、任意の方向に点光源が存在することを想定して反射板の設計を行う必要がある。そこで、図６の（１７）に示すように、全面に、スピンコート等で２～３μｍ厚みの感光性樹脂膜２８を形成し、図６の（１８）に示すように、汎用フォトリソグラフィ及びエッチング技術により、少なくとも画素部に最適な反射特性と視野角特性を得るための凹凸形状パターンを形成し、リフローさせて凹凸粗面２８Ａからなる反射面下部を形成する。同時に表示用ＴＦＴのドレイン部のコンタクト用の樹脂窓開けを行う。

【００９１】

次いで、図６の（１９）に示すように、全面に４００～５００ｎｍ厚のアルミニウム又は１％Ｓｉ入りアルミニウム等のスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、画素部以外のアルミニウム膜等を除去し、表示用ＴＦＴのドレイン部１９と接続した凹凸形状のアルミニウム等の反射部２９を形成する。これは表示用の画素電極として用いられる。その後に、フォーミングガス中、約３００℃／１ｈでシンター処理し、コンタクトを十分にする。尚、反射率を高めるために、アルミニウム系に代えて銀又

SDC EX. 1016 - 865/959

は銀合金を使用してもよい。

【００９２】

以上のようにして、段差４を含むサファイア薄膜５０を高温ヘテロエピタキシャル成長のシードとして単結晶シリコン層７を形成し、この単結晶シリコン層７を用いた表示部及び周辺駆動回路部にそれぞれ、トップゲート型のｎＭＯＳＬＤＤ－ＴＦＴ、ｐＭＯＳＴＦＴ及びｎＭＯＳＴＦＴで構成するＣＭＯＳ回路を作り込んだ表示部一周辺駆動回路部一体型のアクティブマトリクス基板３０を作製することができる。

【００９３】

次に、このアクティブマトリクス基板（駆動基板）３０を用いて、反射型液晶表示装置（ＬＣＤ）を製造する方法を図7について説明する。以降では、このアクティブマトリクス基板をＴＦＴ基板と呼称する。

【００９４】

このＬＣＤの液晶セルを面面組立で作製する場合（２インチサイズ以上の中／大型液晶パネルに適している。）、まずＴＦＴ基板３０と、全面ベタのＩＴＯ（ｉｎｄｉｕｍ　ｔｉｎ　ｏｘｉｄｅ）電極３１を設けた対向基板３２の素子形成面に、ポリイミド配向膜３３、３４を形成する。このポリイミド配向膜はロールコート、スピンコート等により５０～１００ｎｍ厚に形成し、１８０℃／２ｈで硬化キュアする。

【００９５】

次いで、ＴＦＴ基板３０と対向基板３２をラビング、又は光配向処理する。ラビングバフ材にはコットンやレーヨン等があるが、バフかす（ゴミ）やリクデーション等の面からはコットンの方が安定している。光配向は非接触の線型偏光紫外線照射による液晶分子の配向技術である。なお、配向には、ラビング以外にも、偏光又は非偏光を斜め入射させることによって高分子配向膜を形成することができる（このような高分子化合物は、例えばアゾベンゼンを有するポリメチルメタクリレート系高分子等がある）。

【００９６】

次いで、洗浄後に、ＴＦＴ基板３０側にはコモン剤塗布、対向基板３２側にはシール剤塗布する。ラビングバフかす除去のために、水、又はＩＰＡ（イソプロピルアルコール）洗浄する。コモン剤は導電性フィラーを含有したアクリル、又はエポキシアクリレート、又はエポキシ系接着剤であってよく、シール剤はアクリル、又はエポキシアクリレート、又はエポキシ系接着剤であってよい。加熱硬化、紫外線照射硬化、紫外線照射硬化＋加熱硬化のいずれも使用できるが、重ね合せの精度と作業性からは紫外線照射硬化＋加熱硬化タイプが良い。

【００９７】

次いで、対向基板３２側に所定のギャップを得るためのスペーサを散布し、ＴＦＴ基板３０と所定の位置で重ね合せる。対向基板３２側のアライメントマークとＴＦＴ基板３０側のアライメントマークとを精度よく合わせた後に、紫外線照射してシール剤を仮硬化させ、その後に一括して加熱硬化する。

【００９８】

次いで、スクライブブレークして、ＴＦＴ基板３０と対向基板３２を重ね合せた単個の液晶パネルを作成する。

【００９９】

次いで、液晶３５を両基板３０－３２間のギャップ内に注入し、注入口を紫外線接着剤で封止後に、ＩＰＡ洗浄する。液晶の種類はなんでも良いが、例えばネマティック液晶を用いる高速応答のＴＮ（ツイストネマティック）モードが一般的である。

【０１００】

次いで、加熱急冷処理して、液晶３５を配向させる。

【０１０１】

次いで、ＴＦＴ基板３０のパネル電極取り出し部にフレキシブル配線を異方性導電膜の熱圧着で接続し、更に対向基板３２に偏光板を貼合わせる。

【０１０２】

また、液晶パネルの面単純立の場合（２インチサイズ以下の小型液晶パネルに適している。）、上記と同様、ＴＦＴ基板３０と対向基板３２の素子形成面に、ポリイミド配向３３、３４を形成し、両基板をラビング、又は非接触の線型偏光紫外線光の配向処理する。

【０１０３】

次いで、ＴＦＴ基板３０と対向基板３２をダイシング又はスクライブブレークで単個に分割し、水又はＩＰＡ洗浄する。ＴＦＴ基板３０にはコモン剤塗布、対向基板３２にはスペーサ含有のシール剤塗布し、両基板を重ね合せる。これ以降のプロセスは上記に準ずる。

【０１０４】

上記した反射型ＬＣＤにおいて、対向基板３２はＣＦ（カラーフィルタ）基板であって、カラーフィルタ層４６をＩＴＯ電極３１下に設けたものである。対向基板３２側からの入射光は反射膜２９で効率良く反射されて対向基板３２側から出射する。

【０１０５】

他方、ＴＦＴ基板３０として、図7のような上記した基板構造以外に、ＴＦＴ基板３０にカラーフィルタを設けたオンチップカラーフィルタ（ＯＣＣＦ）構造のＴＦＴ基板とするときには、対向基板３２にはＩＴＯ電極がベタ付け（又はブラックマスタ付きのＩＴＯ電極がベタ付け）される。

【０１０６】

なお、図１２に示した補助容量C_sを画素部に組み込む場合は、上記した基板１上に設けた誘電体層（図示せず）を単結晶シリコンのドレイン領域１９と接続すればよい。

【０１０７】

以上に説明したように、本実施の形態によれば、次の如き顕著な作用効果が得られる。

【０１０８】

（ａ）所定形状／寸法の段差４を設けた基板１に結晶性サファイア薄膜５０を形成し、これをシードとして高温ヘテロエピタキシャル成長（但し、成長時の加熱温度は９００～９３０℃と比較的低温）させることにより、５４０cm^2／ｖ・ｓｅｃ以上の高い電子移動度の単結晶シリコン薄膜７が得られるので、高性能ドライバ内蔵のＬＣＤの製造が可能となる。段差４はこのヘテロエピタキシャル成長を促進するため、より結晶性の高い単結晶シリコン薄膜７が得られる。

【０１０９】

（ｂ）この単結晶シリコン薄膜は、従来のアモルファスシリコン薄膜や多結晶シリコン薄膜に比べて、単結晶シリコン基板並の高い電子及び正孔移動度を示すので、これによる単結晶シリコントップゲート型ＭＯＳＴＦＴは、高いスイッチング特性と低リーク電流のＬＤＤ構造を有するｎＭＯＳ又はｐＭＯＳ又はｃＭＯＳＴＦＴの表示部と、高い駆動能力のｃＭＯＳ、ｎＭＯＳ又はｐＭＯＳＴＦＴ又はこれらの混在からなる周辺駆動回路部とを一体化した構成が可能となり、高画質、高精細、狭額縁、大画面、高効率の表示パネルが実現する。この単結晶シリコン薄膜７は十分に高い正孔移動度を示すため、電子と正孔をそれぞれ単独でも、或いは双方を組み合せて駆動する周辺駆動回路を作製でき、これをｎＭＯＳ又はｐＭＯＳ又はｃＭＯＳのＬＤＤ構造の表示用ＴＦＴと一体化したパネルを実現できる。また、小型～中型パネルの場合には、周辺の一対の垂直駆動回路の一方を省略できる可能性がある。

【０１１０】

（ｃ）そして、上記した多結晶シリコン（又はアモルファスシリコン）層５はプラズマ又は減圧ＣＶＤ（化学的気相成長：基板温度１００～４００℃）などの方法で形成でき、上記した低融点金属層６は真空蒸着法又はスパッタ法などの方法で形成でき、更に、上記したヘテロエピタキシャル成長時の加熱処理温度は９３０℃以下が可能であるから、絶縁基板上に比較的低温（例えば９００～９３０℃以下）で単結晶シリコン膜７を均一に形成することができる。なお、基板としては、石英ガラスや結晶化ガラス、セラミック基板などが使用可能である。

【０１１１】

（ｄ）固相成長法の場合のような中温で長時間のアニールや、エキシマレーザーアニール

が不要となるから、生産性が高く、高価な製造設備が不要でコストダウンが可能となる。

【０１１２】

（ｅ）この高温ヘテロエピタキシャル成長では、結晶性サファイア薄膜等の結晶性、インジウム・シリコン組成比、段差の形状、基板加熱温度、冷却速度、添加するＮ型又はＰ型キャリア不純物濃度等の調整により、広範囲のＰ型不純物濃度と高移動度の単結晶シリコン薄膜が容易に得られるので、Ｖｔｈ（しきい値）調整が容易であり、低抵抗化による高速動作が可能である。

【０１１３】

（ｆ）表示アレイ部上にカラーフィルタを作り込めば、表示パネルの開口率、輝度等の改善をはじめ、カラーフィルタ基板の省略、生産性改善等によるコストダウンが実現する。

【０１１４】

（ｇ）結晶性サファイア薄膜などの上記物質層は、様々な原子の拡散バリアになるため、ガラス基板からの不純物の拡散を抑制することができる。

【０１１５】

＜第２の実施の形態＞

図１４は、本発明の第２の実施の形態を示すものである。

【０１１６】

本実施の形態では、上述の第１の実施の形態と同様のアクティブマトリクス反射型ＬＣＤに関するものであるが、上述の第１の実施の形態と比べて、図１の（２）の工程後に、図１４の（３）に示すように、段差４を含む結晶性サファイア薄膜５０上の全面にまず、例えばインジウム膜６をスパッタ法又は真空蒸着法で例えば１０～２０μｍの厚みに形成する。インジウム膜６に代えて、インジウム・ガリウム膜又はガリウム膜も適用できるが、以下、インジウム膜を代表例として説明する。

【０１１７】

次いで、図１４の（４）に示すように、公知のプラズマＣＶＤ法によって、インジウム膜６上にアモルファスシリコン膜５を数μｍ～０．００５μｍ（例えば０．１μｍ）の厚みに堆積させる。

【０１１８】

この場合、シリコン膜の形成温度は、低融点金属６の融点（インジウムは融点１５６℃、ガリウムの場合は融点２９．７７℃）を大幅に越えないようにすべきであるから、多結晶シリコン膜形成（６００～６５０℃）は困難である。従って、プラズマＣＶＤにより、アモルファスシリコン膜５をインジウム膜６上に形成する。

【０１１９】

次いで、基板１を水素系雰囲気下で１０００℃以下（特に９００～９３０℃）に約５分間保持する。これによって、アモルファスシリコン膜５はインジウムの溶融液に溶解する。

【０１２０】

次いで、徐々に冷却することによって、インジウム溶融液に溶解したシリコンは、結晶性サファイア薄膜５０（更には段差４）をシード（種）として図１４の（５）に示すようにヘテロエピタキシャル成長し、厚さ例えば０．１μｍ程度の単結晶シリコン層７として析出する。

【０１２１】

この場合、単結晶シリコン層７は上述したと同様に（１００）面が基板上にヘテロエピタキシャル成長したものであるが、上記段差の形状を図９（ａ）～（ｆ）のように種々に変えることによって、成長層の結晶方位を制御することができる。

【０１２２】

こうして、ヘテロエピタキシャル成長によって基板１上に単結晶シリコン層７を析出させた後、上述した第１の実施の形態と同様に、表面側のインジウムを塩酸などによって溶解除去し、更に単結晶シリコン層７に所定の処理を施す工程を経て表示部及び周辺駆動回路部の各ＴＦＴの作製を行う。

【０１２３】

本実施の形態では、段差４上に低融点金属層６を形成し、この上にアモルファスシリコン層５を形成した後、加熱溶融、冷却処理しているが、低融点金属の溶融液からの単結晶シリコンのヘテロエピタキシャル成長は、既述した実施の形態と同様に生じる。

【０１２４】

＜第３の実施の形態＞

図１５は、本発明の第３の実施の形態を示すものである。

【０１２５】

本実施の形態は、上述の第１の実施の形態と同様のアクティブマトリクス反射型ＬＣＤに関するものであるが、上述の第１の実施の形態と比べて、図１の（２）の工程後に、図１５の（３）に示すように、段差４を含む結晶性サファイア薄膜５０上の全面に、所定量（例えば約１重量％）のシリコンを含有する例えばインジウム膜６Ａをスパッタ法又は真空蒸着法で例えば１０～２０μｍの厚みに形成する。

【０１２６】

次いで、基板１を水素系雰囲気下で１０００℃以下（特に９００～９３０℃）に約５分間保持する。これによって、上記のシリコンはインジウムの溶融液に溶解する。

【０１２７】

次いで、徐々に冷却することによって、インジウム溶融液に溶解したシリコンは、結晶性サファイア薄膜５０（更には段差４）をシード（種）として図１５の（４）に示すようにヘテロエピタキシャル成長し、厚さ例えば０．１μｍ程度の単結晶シリコン層７として析出する。

【０１２８】

この場合、単結晶シリコン層７は上述したと同様に（１００）面が基板上にヘテロエピタキシャル成長したものであるが、上記段差の形状を図９（ａ）～（ｆ）のように種々に変えることによって、成長層の結晶方位を制御することができる。

【０１２９】

こうして、ヘテロエピタキシャル成長によって基板１上に単結晶シリコン層７を析出させた後、上述した第１の実施の形態と同様に、表面側のインジウムを塩酸などによって溶解除去し、更に単結晶シリコン層７に所定の処理を施す工程を経て表示部及び周辺駆動回路部の各ＴＦＴの作製を行う。

【０１３０】

本実施の形態では、段差４上にシリコンを含有する低融点金属層６Ａを形成した後、加熱溶融、冷却処理しているが、低融点金属の溶融液からの単結晶シリコンのヘテロエピタキシャル成長は、既述した実施の形態と同様に生じる。

【０１３１】

＜第４の実施の形態＞

図１６～図１８について、本発明の第４の実施の形態を説明する。

【０１３２】

本実施の形態は、上述の第１の実施の形態と比べて、同様のトップゲート型ＭＯＳＴＦＴを表示部及び周辺駆動回路部に有するが、上述の第１の実施の形態とは異なって、透過型ＬＣＤに関するものである。即ち、図１の（１）から図５の（１６）に示す工程までは同様であるが、その工程後に、図１６の（１７）に示すように、絶縁膜２５、３６に表示用ＴＦＴのドレイン部コンタクト用の窓開け１９を行うと同時に、透過率向上のために画素開口部の不要なSiO_2、ＰＳＧ及びＳｉＮ膜を除去する。

【０１３３】

次いで、図１６の（１８）に示すように、全面にスピンコート等で２～３μｍ厚みの感光性アクリル系透明樹脂の平坦化膜２８Ｂを形成し、汎用フォトリソグラフィにより、表示用ＴＦＴのドレイン側の透明樹脂２８Ｂの窓開けを行い、所定条件で硬化させる。

【０１３４】

次いで、図１６の（１９）に示すように、全面に１３０～１５０ｎｍ厚のＩＴＯスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、表示用ＴＦＴのドレイ

ン部１９とコンタクトしたＩＴＯ透明電極４１を形成する。そして、熱処理（フォーミングガス中、２００～２５０℃／１ｈ）により、表示用ＴＦＴのドレインとＩＴＯのコンタクト抵抗の低減化とＩＴＯ透明度の向上を図る。

【０１３５】

そして、図１７に示すように、対向基板３２と組み合わせ、上述の第１の実施の形態と同様にして透過型ＬＣＤを組み立てる。但し、ＴＦＴ基板側にも偏光板を貼り合わせる。この透過型ＬＣＤでは、実線のように透過光が得られるが、一点鎖線のように対向基板３２側からの透過光が得られるようにもできる。

【０１３６】

この透過型ＬＣＤの場合、次のようにしてオンチップカラーフィルタ（ＯＣＣＦ）構造とオンチップブラック（ＯＣＢ）構造を作製することができる。

【０１３７】

即ち、図１の（１）～図５の（１５）までの工程は上記の工程に準じて行うが、その後、図１８の（１６）に示すように、ＰＳＧ／SiO_2の絶縁膜２５のドレイン部も窓開けしてドレイン電極用のアルミニウム埋込み層４１Ａを形成した後、ＳｉＮ／ＰＳＧの絶縁膜３６を形成する。

【０１３８】

次いで、図１８の（１７）に示すように、Ｒ、Ｇ、Ｂの各色を各セグメント毎に顔料分散したフォトレジスト６１を所定厚さ（１～１．５μｍ）で形成した後、図１８の（１８）に示すように、汎用フォトリソグラフィ技術で所定位置（各画素部）のみを残すパターニングで各カラーフィルタ層６１（Ｒ）、６１（Ｇ）、６１（Ｂ）を形成する（オンチップカラーフィルタ構造）。この際、ドレイン部の窓開けも行う。なお、不透明なセラミック基板や低透過率のガラス及び耐熱性樹脂基板は使用できない。

【０１３９】

次いで、図１８の（１８）に示すように、表示用ＴＦＴのドレインに連通するコンタクトホールに、カラーフィルタ層上にかけてブラックマスク層となる遮光層４３を金属のパターニングで形成する。例えば、スパッタ法により、モリブデンを２００～２５０ｎｍ厚で成膜し、表示用ＴＦＴを覆って遮光する所定の形状にパターニングする（オンチップブラック構造）。

【０１４０】

次いで、図１８の（１９）に示すように、透明樹脂の平坦化膜２８Ｂを形成し、更にこの平坦化膜に設けたスルーホールにＩＴＯ透明電極４１を遮光層４３に接続するように形成する。

【０１４１】

このように、表示アレイ部上に、カラーフィルタ６１やブラックマスク４３を作り込むことにより、液晶表示パネルの開口率を改善し、またバックライトも含めたディスプレイモジュールの低消費電力化が実現する。

【０１４２】

＜第５の実施の形態＞

本発明の第５の実施の形態を説明する。

【０１４３】

本実施の形態は、歪点の低いガラス基板に上述した段差（凹部）４及び結晶性サファイア薄膜５０を形成し、これをシードとしてインジウム・ガリウム・シリコン又はガリウム・シリコン溶融液から単結晶シリコン層を低温ヘテロエピタキシャル成長させ、これを用いてトップゲート型ＭＯＳＴＦＴを構成したアクティブマトリクス反射型液晶表示装置（ＬＣＤ）に関するものである。

【０１４４】

即ち、本実施の形態では、上述の第１の実施の形態と比べて、図１の（１）に示す工程で、基板１として、歪点又は最高使用温度が例えば６００℃程度と低いガラス、例えばホウケイ酸ガラスやアルミノケイ酸ガラスなどのガラス基板を用いる。これは、安価でかつ大

型化が容易であり、薄板大型化（例えば５００×６００×０．１～１．１ｍｍ厚）すればロール化／長尺化が可能である。もちろん、石英基板や結晶化ガラス基板も採用することができる。

【０１４５】

そして、上述と同様に段差４及び結晶性サファイア薄膜５０、更には多結晶シリコン層５を形成した後、図１の（４）に示す工程で、多結晶シリコン膜５上に、インジウム・ガリウム膜（又はガリウム膜）をトリメチルインジウムガリウムやトリメチルガリウムのＭＯＣＶＤ法やスパッタ法、真空蒸着法によって多結晶シリコン膜５の数１０～数１００倍の厚さ（例えば１０～２０μｍ）に形成する。

【０１４６】

次いで、基板１を水素系雰囲気下で３００～６００℃（又は４２０～６００℃）に約５分間保持する。これによって、多結晶シリコン５（又はアモルファスシリコン）はインジウム・ガリウムの溶融液又はガリウムの溶融液に溶解する。この溶融液では、シリコンは本来の析出温度よりもずっと低温で析出する性質を呈する。

【０１４７】

次いで、徐々に冷却することによって、インジウム・ガリウム（又はガリウム）に溶解していたシリコンは、段差４の底辺の角部をシード（種）として図２の（５）に示すようにヘテロエピタキシャル成長し、厚さ例えば０．１μｍ程度の単結晶シリコン層７として析出する。

【０１４８】

この場合、単結晶シリコン層７は上述したと同様に（１００）面が基板上にヘテロエピタキシャル成長したものであるが、上記段差の形状を図９（ａ）～（ｆ）のように種々に変えることによって、成長層の結晶方位を制御することができる。

【０１４９】

こうして、低温ヘテロエピタキシャル成長によって基板１上に単結晶シリコン層７を析出させた後、図２の（６）のように、表面側のインジウム・ガリウム（又はガリウム）を塩酸、硫酸などによって溶解除去する。

【０１５０】

しかる後、単結晶シリコン層７を用いて上述の第１の実施の形態と同様にして表示部及び周辺駆動回路部にトップゲート型のＭＯＳＴＦＴの作製を行う。また図７に示した構造は、本実施の形態でも同様に適用されてよい。

【０１５１】

本実施の形態によれば、上述した第１の実施の形態で述べた作用効果に加え、次の如き顕著な作用効果が得られる。

【０１５２】

（ａ）ガラス基板１上に、約３００～６００℃又は４２０～６００℃と更に低温でのヘテロエピタキシャル成長により、シリコン単結晶薄膜７を均一に形成することができる。

【０１５３】

（ｂ）従って、ガラス基板のみならず、有機基板などの絶縁基板上に、シリコン単結晶薄膜を形成できるため、歪点が低く、低コストで物性も良好な基板材質を任意に選択でき、また、基板の大型化も可能となる。ガラス基板や有機基板は、石英基板やセラミック基板に比べて、安価に作成することができ、さらに薄板化／長尺化／ロール化が可能であるので、シリコン単結晶薄膜を形成した薄板を長尺／ロール化した大型ガラス基板などを生産性良く、安価に作製することができる。ガラス基板として、ガラス歪点（又は最高使用温度）が低い（例えば５００℃）ガラスを用いると、この上層へガラス内部からその構成元素が拡散して、トランジスタ特性に影響する場合には、これを抑制する目的で、バリア層薄膜（例えばシリコンナイトライド；厚さ５０～２００ｎｍ程度）を形成すればよい。しかし、これは、結晶性サファイア薄膜５０の拡散防止作用によって、省略可能である。

【０１５４】

（ｃ）この低温ヘテロエピタキシャル成長では、インジウム・ガリウム膜のインジウム／

ガリウム組成比、加熱温度、冷却速度等の調整により、広範囲のＰ型不純物濃度と高移動度の単結晶シリコン薄膜が容易に得られるので、Ｖｔｈ調整が容易で低抵抗化による高速動作が可能である。

【０１５５】

＜第６の実施の形態＞

本発明の第６の実施の形態を説明する。

【０１５６】

本実施の形態は、上述の第５の実施の形態と比べて透過型ＬＣＤに関するものであってその製造工程は上述の第４の実施の形態で述べたと同様、インジウム・ガリウム膜を用いた低温ヘテロエピタキシャル成長によって単結晶シリコン薄膜を形成することができる。

【０１５７】

そして、この単結晶シリコン薄膜を用い、上述した第４の実施の形態で述べたと同様、図１６～図１８に示した工程によって透過型ＬＣＤを作製することができる。但し、不透明のセラミック基板や、不透明又は低透過率の有機基板は適していない。

【０１５８】

従って、本実施の形態では、上述した第５の実施の形態及び第４の実施の形態の双方の優れた作用効果を併せ持つことができる。即ち、上述した第１の実施の形態の有する作用効果に加え、ホウケイ酸ガラスや耐熱性のポリイミド等の有機基板などの低コストで薄板、長尺化が可能な基板１を用い得ること、インジウム／ガリウム組成比によって単結晶シリコン薄膜７の導電型やＶｔｈの調整が容易となること、表示アレイ部上にカラーフィルタ４２やブラックマスク４３を作りこむことにより、液晶表示パネルの開口率を改善し、またバックライトも含めたディスプレイモジュールの低消費電力化が実現することである。

【０１５９】

＜第７の実施の形態＞

図１９～図２７は、本発明の第７の実施の形態を示すものである。

【０１６０】

本実施の形態では、周辺駆動回路部は上述した第１の実施の形態と同様のトップゲート型のｐＭＯＳＴＦＴとｎＭＯＳＴＦＴとからなるＣＭＯＳ駆動回路で構成する。表示部は反射型ではあるが、ＴＦＴを各種ゲート構造のものとして、種々の組み合わせにしている。

【０１６１】

即ち、図１９（Ａ）は、上述した第１の実施の形態と同様のトップゲート型のｎＭＯＳＬＤＤ－ＴＦＴを表示部に設けているが、図１９（Ｂ）に示す表示部にはボトムゲート型のｎＭＯＳＬＤＤ－ＴＦＴ、図１９（Ｃ）に示す表示部にはデュアルゲート型のｎＭＯＳＬＤＤ－ＴＦＴをそれぞれ設けている。これらのボトムゲート型、デュアルゲート型ＭＯＳＴＦＴのいずれも、後述のように、周辺駆動回路部のトップゲート型ＭＯＳＴＦＴと共通の工程で作製可能であるが、特にデュアルゲート型の場合には上下のゲート部によって駆動能力が向上し、高速スイッチングに適し、また上下のゲート部のいずれかを選択的に用いて場合に応じてトップゲート型又はボトムゲート型として動作させることもできる。

【０１６２】

なお、図１９（Ｂ）のボトムゲート型ＭＯＳＴＦＴにおいて、図中の７１はＭｏ・Ｔａ等のゲート電極であり、７２はＳｉＮ膜及び７３はSiO_2膜であってゲート絶縁膜を形成し、このゲート絶縁膜上にはトップゲート型ＭＯＳＴＦＴと同様の単結晶シリコン層を用いたチャンネル領域等が形成されている。また、図１９（Ｃ）のデュアルゲート型ＭＯＳＴＦＴにおいて、下部ゲート部はボトムゲート型ＭＯＳＴＦＴと同様であるが、上部ゲート部は、ゲート絶縁膜７３をSiO_2膜とＳｉＮ膜で形成し、この上に上部ゲート電極７４を設けている。但し、いずれにおいても、ヘテロエピタキシャル成長時のシードであると同時に単結晶シリコン膜の成長を促進し、その結晶性を高める作用を有する段差４の外側に各ゲート部を構成している。

【０１６３】

次に、上記のボトムゲート型ＭＯＳＴＦＴの製造方法を図２０～図２４で、上記のデュア

ルゲート型ＭＯＳＴＦＴの製造方法を図２５～図２７でそれぞれ説明する。なお、周辺駆動回路部のトップゲート型ＭＯＳＴＦＴの製造方法は図１～図６において述べたものと同じであるので、ここでは図示を省略している。

【０１６４】

表示部において、ボトムゲート型ＭＯＳＴＦＴを製造するには、まず、図２０の（１）に示すように、基板１上に、モリブデン／タンタル（Ｍｏ・Ｔａ）合金のスパッタ膜７１（５００～６００ｎｍ厚）を形成する。

【０１６５】

次いで、図２０の（２）に示すように、フォトレジスト７０を所定パターンに形成し、これをマスクにしてＭｏ・Ｔａ膜７１をテーパエッチングし、側端部７１ａが台形状に２０～４５度でなだらかに傾斜したゲート電極７１を形成する。

【０１６６】

次いで、図２０の（３）に示すように、フォトレジスト７０の除去後に、モリブデン・タンタル合金膜７１を含む基板１上に、プラズマＣＶＤ法等により、ＳｉＮ膜（約１００ｎｍ厚）７２とSiO_2膜（約２００ｎｍ厚）７３とを、この順に積層したゲート絶縁膜を形成する。

【０１６７】

次いで、図２０の（４）に示すように、図１の（１）と同じ工程において、少なくともＴＦＴ形成領域に、フォトレジスト２を所定パターンに形成し、これをマスクとして上述したと同様に基板１上のゲート絶縁膜に（更には基板１にも）段差４を適当な形状及び寸法で複数個形成する。この段差４は、後述の単結晶シリコンのヘテロエピタキシャル成長時のシードであると同時に単結晶シリコン膜の成長を促進し、その結晶性を高める作用を有するものであって、深さｄ＝０．３～０．４μｍ、幅ｗ＝２～３μｍ、長さ（紙面垂直方向）＝１０～２０μｍであってよく、底辺と側面のなす角（底角）は直角とする。

【０１６８】

次いで、図２０の（５）に示すように、フォトレジスト２の除去後に、図１の（２）と同じ工程において、上述したと同様に絶縁基板１の一主面において、段差４を含む少なくともＴＦＴ形成領域に、結晶性サファイア薄膜（厚さ２０～２００ｎｍ）５０を形成する。

【０１６９】

次いで、図２１の（６）に示すように、図１の（３）と同じ工程において多結晶シリコン膜５を形成する。

【０１７０】

次いで、図２１の（７）に示すように、図１の（４）と同じ工程においてインジウム（又はインジウム・ガリウム又はガリウム）膜６を堆積させる。

【０１７１】

次いで、図２１の（８）に示すように、図１の（５）と同じ工程において、単結晶シリコンをヘテロエピタキシャル成長し、厚さ例えば０．１μｍ程度の単結晶シリコン層７として析出させる。この際、下地のゲート電極７１の側端部７１ａはなだらかな傾斜面となっているので、この面上には、段差４によるヘテロエピタキシャル成長を阻害せず、段切れなしに単結晶シリコン層７が成長することになる。

【０１７２】

次いで、図２１の（９）に示すように、インジウム等の膜６Ａを除去し、更に図２の（７）～図３の（９）の工程を経た後、図２１の（１０）に示すように、図３の（１０）と同じ工程において、表示部のｎＭＯＳＴＦＴのゲート部をフォトレジスト１３でカバーし、露出したｎＭＯＳＴＦＴのソース／ドレイン領域にリンイオン１４をドーピング（イオン注入）して、N^-型層からなるＬＤＤ部１５を自己整合的に形成する。このとき、ボトムゲート電極７１の存在によって表面高低差（又はパターン）を認識し易く、フォトレジスト１３の位置合わせ（マスク合わせ）を行い易く、アライメントずれが生じにくい。

【０１７３】

次いで、図２２の（１１）に示すように、図４の（１１）と同じ工程において、ｎＭＯＳ

ＴＦＴのゲート部及びＬＤＤ部をフォトレジスト１６でカバーし、露出した領域にリン又はひ素イオン１７をドーピング（イオン注入）して、ｎＭＯＳＴＦＴのN+ 型層からなるソース部１８及びドレイン部１９を形成する。

【０１７４】

次いで、図２２の（１２）に示すように、図4の（１２）と同じ工程において、ｎＭＯＳＴＦＴの全部をフォトレジスト２０でカバーし、ボロンイオン２１をドーピング（イオン注入）して周辺駆動回路部のｐＭＯＳＴＦＴのP+ 層のソース部及びドレイン部を形成する。

【０１７５】

次いで、図２２の（１３）に示すように、図4の（１３）と同じ工程において、能動素子部と受動素子部をアイランド化するため、フォトレジスト２４を設け、単結晶シリコン薄膜層を汎用フォトリソグラフィ及びエッチング技術で選択的に除去する。

【０１７６】

次いで、図２２の（１４）に示すように、図5の（１４）と同じ工程において、プラズマＣＶＤ、高密度プラズマＣＶＤ、触媒ＣＶＤ法等により、SiO_2 膜５３（約３００ｎｍ厚）とリンシリケートガラス（ＰＳＧ）膜５４（約３００ｎｍ厚）をこの順に全面に形成する。なお、SiO_2 膜５３とＰＳＧ膜５４は上述した保護膜２５に相当するものである。そして、この状態で単結晶シリコン膜を上述したと同様に活性化処理する。

【０１７７】

次いで、図２３の（１５）に示すように、図5の（１５）と同じ工程において、汎用フォトリソグラフィ及びエッチング技術により、ソース部のコンタクト用窓開けを行う。そして、全面に４００～５００ｎｍ厚のアルミニウム等のスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、ＴＦＴのソース電極２６を形成すると同時に、データライン及びゲートラインを形成する。その後に、フォーミングガス中、約４００℃／１ｈで、シンター処理する。

【０１７８】

次いで、図２３の（１６）に示すように、図5の（１６）と同じ工程において、高密度プラズマＣＶＤ、触媒ＣＶＤ法等により、ＰＳＧ膜（約３００ｎｍ厚）及びＳｉＮ膜（約３００ｎｍ厚）からなる絶縁膜３６を全面に形成し、表示用のＴＦＴのドレイン部のコンタクト用窓開けを行う。

【０１７９】

次いで、図２３の（１７）に示すように、図6の（１７）と同じ工程において、スピンコート等で2～3μｍ厚みの感光性樹脂膜２８を形成し、図２３の（１８）に示すように、汎用フォトリソグラフィ及びエッチング技術により、少なくとも画素部に最適な反射特性と視野角特性を得るような凹凸形状パターンを形成し、リフローさせて凹凸粗面２８Ａからなる反射面下部を形成する。同時に表示用ＴＦＴのドレイン部のコンタクト用の樹脂窓開けを行う。

【０１８０】

次いで、図２３の（１８）に示すように、図6の（１９）と同じ工程において、全面に４００～５００ｎｍ厚のアルミニウム等のスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、表示用ＴＦＴのドレイン部１９と接続した凹凸形状のアルミニウム等の反射部２９を形成する。

【０１８１】

以上のようにして、結晶性サファイア薄膜５０及び段差4をヘテロエピタキシャル成長のシードとして形成された単結晶シリコン層7を用いた表示部にボトムゲート型のｎＭＯＳＬＤＤ－ＴＦＴ（周辺部ではトップゲート型のｐＭＯＳＴＦＴ及びｎＭＯＳＴＦＴからなるＣＭＯＳ駆動回路）を作り込んだ表示部一周辺駆動回路部一体型のアクティブマトリクス基板３０を作製することができる。

【０１８２】

図２４は、表示部に設ける上記のボトムゲート型ＭＯＳＴＦＴのゲート絶縁膜をＭｏ・Ｔ

ａの陽極酸化法で形成した例を示す。

【０１８３】

即ち、図２０の（２）の工程後に、図２４の（３）に示すようにモリブデン・タンタル合金膜７１を公知の陽極酸化処理することによって、その表面にTa_2O_5からなるゲート絶縁膜７４を１００～２００ｎｍ厚に形成する。

【０１８４】

この後の工程は、図２４の（４）に示すように、図２０の（４）～図２１の（８）の工程と同様にして段差４、更には結晶性サファイア薄膜５０を形成し、単結晶シリコン膜７をヘテロエピタキシャル成長した後、図２１の（９）～図２３の（１８）の工程と同様にして図２４の（５）に示すように、アクティブマトリクス基板３０を作製する。

【０１８５】

次に、表示部において、デュアルゲート型ＭＯＳＴＦＴを製造するには、まず、図２０の（１）～図２１の（９）までの工程は、上述したと同様に行う。

【０１８６】

即ち、図２５の（１０）に示すように、絶縁膜７２、７３及び基板１に段差４を形成し、更に、結晶性サファイア薄膜５０及び段差４をシードとして単結晶シリコン層７をヘテロエピタキシャル成長させる。次いで、図3の（８）と同じ工程において、単結晶シリコン薄膜７上の全面に、プラズマＣＶＤ、触媒ＣＶＤ等によりSiO_2膜（約２００ｎｍ厚）とＳｉＮ膜（約１００ｎｍ厚）をこの順に連続形成して絶縁膜８０（これは上述の絶縁膜８に相当）を形成し、更に、Ｍｏ・Ｔａ合金のスパッタ膜８１（５００～６００ｎｍ厚）（これは上述のスパッタ膜9に相当）を形成する。

【０１８７】

次いで、図２５の（１１）に示すように、図3の（９）と同じ工程において、フォトレジストパターン１０を形成し、連続したエッチングによりＭｏ・Ｔａ合金のトップゲート電極８２（これは上述のゲート電極１２に相当）と、ゲート絶縁膜８３（これは上述のゲート絶縁膜１１に相当）を形成し、単結晶シリコン薄膜層７を露出させる。

【０１８８】

次いで、図２５の（１２）に示すように、図3の（１０）と同じ工程において、ｎＭＯＳＴＦＴのトップゲート部をフォトレジスト１３でカバーし、露出した表示用のｎＭＯＳＴＦＴのソース／ドレイン領域にリンイオン１４をドーピング（イオン注入）して、N^-型層のＬＤＤ部１５を形成する。

【０１８９】

次いで、図２５（１３）に示すように、図4の（１１）と同じ工程において、ｎＭＯＳＴＦＴのゲート部及びＬＤＤ部をフォトレジスト１６でカバーし、露出した領域にリン又はひ素イオン１７をドーピング（イオン注入）して、ｎＭＯＳＴＦＴのN^+型層からなるソース部１８及びドレイン部１９を形成する。

【０１９０】

次いで、図２６の（１４）に示すように、図4の（１２）と同じ工程において、ｐＭＯＳＴＦＴのゲート部をフォトレジスト２０でカバーし、露出した領域にボロンイオン２１をドーピング（イオン注入）して周辺駆動回路部のｐＭＯＳＴＦＴのP^+層のソース部及びドレイン部を形成する。

【０１９１】

次いで、図２６の（１５）に示すように、図4の（１３）と同じ工程において、能動素子部と受動素子部をアイランド化するため、フォトレジスト２４を設け、能動素子部と受動素子部以外の単結晶シリコン薄膜層を汎用フォトリソグラフィ及びエッチング技術で選択的に除去する。

【０１９２】

次いで、図２６の（１６）に示すように、図5の（１４）と同じ工程において、プラズマＣＶＤ、高密度プラズマＣＶＤ、触媒ＣＶＤ法等により、SiO_2膜５３（約２００ｎｍ厚）とリンシリケートガラス（ＰＳＧ）膜５４（約３００ｎｍ厚）を全面に形成する。こ

れらの膜５３、５４は上述の保護膜２５に相当する。そして、単結晶シリコン層７を活性化処理する。

【０１９３】

次いで、図２６の（１７）に示すように、図5の（１５）と同じ工程において、ソース部のコンタクト用窓開けを行う。そして、全面に４００～５００ｎｍ厚のアルミニウムのスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、ソース電極２６を形成すると同時に、データライン及びゲートラインを形成する。

【０１９４】

次いで、図２７の（１８）に示すように、図5の（１６）と同じ工程でＰＳＧ膜（約３００ｎｍ厚）及びＳｉＮ膜（約３００ｎｍ厚）からなる絶縁膜３６を全面に形成し、表示用のＴＦＴのドレイン部のコンタクト用窓開けを行う。

【０１９５】

次いで、図２７の（１９）に示すように、全面に、スピンコート等で２～３μｍ厚みの感光性樹脂膜２８を形成し、図２７の（２０）に示すように、図6の（１８）、（１９）の工程と同様に、少なくとも画素部に凹凸粗面２８Ａからなる反射面下部を形成し、同時に表示用ＴＦＴのドレイン部のコンタクト用の樹脂窓開けを行い、更に表示用ＴＦＴのドレイン部１９と接続した、最適な反射特性と視野角特性を得るための凹凸形状のアルミニウム等の反射部２９を形成する。

【０１９６】

以上のようにして、サファイア薄膜５０及び段差４をヘテロエピタキシャル成長のシードとして形成された単結晶シリコン層７を用い、表示部にデュアルゲート型のｎＭＯＳＬＤＤＴＦＴを、周辺駆動回路部にトップゲート型のｐＭＯＳＴＦＴ及びｎＭＯＳＴＦＴからなるＣＭＯＳ駆動回路を作り込んだ表示部一周辺駆動回路部一体型のアクティブマトリクス基板３０を作製することができる。

【０１９７】

＜第８の実施の形態＞

図２８～図３３は、本発明の第８の実施の形態を示すものである。

【０１９８】

本実施の形態では、上述した実施の形態とは異なり、トップゲート部のゲート電極をアルミニウム等の比較的耐熱性の低い材料で形成している。

【０１９９】

まず、表示部及び周辺駆動回路部共にトップゲート型ＭＯＳＴＦＴを設ける場合には、上述した第１の実施の形態における図１の（１）～図２の（７）までの工程は同様に行って、図２８の（７）に示すように、周辺駆動回路部のｐＭＯＳＴＦＴ部にＮ型ウエル７Ａを形成する。

【０２００】

次いで、図２８の（８）に示すように、周辺駆動領域のｎＭＯＳ及びｐＭＯＳＴＦＴ全部と、表示領域のｎＭＯＳＴＦＴのゲート部をフォトレジスト１３でカバーし、露出したｎＭＯＳＴＦＴのソース／ドレイン領域にリンイオン１４を例えば２０ｋＶで5×10^{15}ａｔｏｍｓ／ｃｍ^{2}のドーズ量でドーピング（イオン注入）して、N^-型層からなるＬＤＤ部１５を自己整合的に形成する。

【０２０１】

次いで、図２９の（９）に示すように、周辺駆動領域のｐＭＯＳＴＦＴ全部と、周辺駆動領域のｎＭＯＳＴＦＴのゲート部と、表示領域のｎＭＯＳＴＦＴのゲート及びＬＤＤ部とをフォトレジスト１６でカバーし、露出した領域にリン又はひ素イオン１７を例えば２０ｋＶで5×10^{15}ａｔｏｍｓ／ｃｍ^{2}のドーズ量でドーピング（イオン注入）して、ｎＭＯＳＴＦＴのN^+型層からなるソース部１８及びドレイン部１９とＬＤＤ部１５とを形成する。この場合、仮想線のようにレジスト１３を残し、これを覆うようにレジスト１６を設ければ、レジスト１６形成時のマスクの位置合せをレジスト１３を目安にでき、マスク合せが容易となり、アライメントずれも少なくなる。

SDC EX. 1016 - 876/959

【０２０２】
次いで、図２９の（１０）に示すように、周辺駆動領域のｎＭＯＳＴＦＴ及び表示領域のｎＭＯＳＴＦＴの全部とｐＭＯＳＴＦＴのゲート部をフォトレジスト２０でカバーし、露出した領域にボロンイオン２１を例えば１０ｋＶで5×10^{15}ａｔｏｍｓ／ｃｍ^2 のドーズ量でドーピング（イオン注入）してｐＭＯＳＴＦＴのP$^+$ 層のソース部２２及びドレイン部２３を形成する。
【０２０３】
次いで、レジスト２０の除去後に、図２９の（１１）に示すように、単結晶シリコン層７、７Ａを上述したと同様に活性化処理し、更に表面にゲート絶縁膜１２、ゲート電極材料（アルミニウム又は１％Ｓｉ入りアルミニウム等）１１を形成する。ゲート電極材料層１１は真空蒸着法又はスパッタ法で形成可能である。
【０２０４】
次いで、上述したと同様に、各ゲート部をパターニングした後、能動素子部と受動素子部をアイランド化し、更に図３０の（１２）に示すように、SiO_2 膜（約２００ｎｍ厚）及びリンシリケートガラス（ＰＳＧ）膜（約３００ｎｍ厚）をこの順に全面に連続形成して保護膜２５を形成する。
【０２０５】
次いで、図３０の（１３）に示すように、汎用フォトリソグラフィ及びエッチング技術により、周辺駆動回路の全ＴＦＴのソース／ドレイン部、及び表示用ＴＦＴのソース部のコンタクト用窓開けを行う。
【０２０６】
そして、全面に５００～６００ｎｍ厚のアルミニウム又は１％Ｓｉ入りアルミニウム等のスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、周辺駆動回路及び表示部のすべてのＴＦＴのソース電極２６と周辺駆動回路部のドレイン電極２７を形成すると同時に、データライン及びゲートラインを形成する。その後に、フォーミングガス（N_2 ＋H_2 ）中、約４００℃／１ｈで、シンター処理する。
【０２０７】
次いで、図５の（１６）～図６の（１９）と同様にして単結晶シリコン層７を用いた表示部及び周辺駆動回路部にそれぞれ、アルミニウム又は１％Ｓｉ入りアルミニウム等をゲート電極とするトップゲート型のｎＭＯＳＬＤＤ－ＴＦＴ、ｐＭＯＳＴＦＴ及びｎＭＯＳＴＦＴで構成するＣＭＯＳ駆動回路を作り込んだ表示部一周辺駆動回路部一体型のアクティブマトリクス基板３０を作製することができる。
【０２０８】
本実施の形態では、単結晶シリコン層７の活性化処理後にアルミニウム又は１％Ｓｉ入りアルミニウム等のゲート電極１１を形成しているので、その活性化処理時の熱の影響はゲート電極材料の耐熱性とは無関係となるため、トップゲート電極材料として比較的耐熱性が低く、低コストのアルミニウム又は１％Ｓｉ入りアルミニウム等でも使用可能となり、電極材料の選択の幅も広がる。これは、表示部がボトムゲート型ＭＯＳＴＦＴの場合も同様である。
【０２０９】
次に、表示部にデュアルゲート型ＭＯＳＴＦＴ、周辺駆動回路はトップゲート型ＭＯＳＴＦＴを設ける場合には、上述した第７の実施の形態における図２０の（１）～図２１の（９）までの工程は同様に行って、図３１の（９）に示すように、周辺駆動回路部のｐＭＯＳＴＦＴ部にＮ型ウエル７Ａを形成する。
【０２１０】
次いで、図３１の（１０）に示すように、図２８の（８）と同様にして、表示部のＴＦＴ部にリンイオン１４をドープしてＬＤＤ部１５を形成する。
【０２１１】
次いで、図３２の（１１）に示すように、図２９の（９）と同様にして表示部及び周辺駆動回路部のｎＭＯＳＴＦＴ部にリンイオン１７をドープしてN$^+$ 型ソース領域１８及びド

レイン領域１９をそれぞれ形成する。

【０２１２】

次いで、図３２の（１２）に示すように、図２９の（１０）と同様にして周辺駆動回路部のｐＭＯＳＴＦＴ部にボロンイオン２１をドープしてP+ 型ソース領域２２及びドレイン領域２３をそれぞれ形成する。

【０２１３】

次いで、レジスト２０の除去後に、図３２の（１３）に示すように、単結晶シリコン層７をパターニングして能動素子部と受動素子部をアイランド化した後、図３３の（１４）に示すように、単結晶シリコン層７、７Ａを上述したと同様に活性化処理し、更に表示部では表面にゲート絶縁膜８０を形成し、周辺駆動回路部では表面にゲート絶縁膜１２を形成する。

【０２１４】

次いで、図３３の（１５）に示すように、全面にスパッタ法で成膜したアルミニウム又は１％Ｓｉ入りアルミニウム等をパターニングして、表示部の各上部ゲート電極８３、周辺駆動回路部の各ゲート電極１１を形成する。

【０２１５】

次いで、図３３の（１６）に示すように、SiO_2膜（約２００ｎｍ厚）及びリンシリケートガラス（ＰＳＧ）膜（約３００ｎｍ厚）をこの順に全面に連続形成して保護膜２５を形成する。

【０２１６】

次いで、上述したと同様にして、周辺駆動回路及び表示部のすべてのＴＦＴのソース電極２６と周辺駆動回路部のドレイン電極２７を形成し、単結晶シリコン層７を用いた表示部及び周辺駆動回路部にそれぞれ、アルミニウム等をゲート電極とするデュアルゲート型のｎＭＯＳＬＤＤ－ＴＦＴ、トップゲート型のｐＭＯＳＴＦＴ及びｎＭＯＳＴＦＴで構成するＣＭＯＳ駆動回路を作り込んだ表示部一周辺駆動回路部一体型のアクティブマトリクス基板３０を作製することができる。

【０２１７】

本実施の形態でも、単結晶シリコン層７の活性化処理後にアルミニウム等のゲート電極１１、８３を形成しているので、その活性化処理時の熱の影響はゲート電極材料の耐熱性とは無関係となるため、トップゲート電極材料として比較的耐熱性が低く、低コストのアルミニウム等でも使用可能となり、電極材料の選択の幅も広がる。なお、図３３の（１５）の工程でソース電極２６を（更にはドレイン電極も）同時に形成することができるが、この場合には製法上のメリットがある。

【０２１８】

なお、上述したいずれの実施の形態においても、例えばボトムゲート型又はトップゲート型、デュアルゲート型ＭＯＳＴＦＴを作製するに際し、図３４（Ａ）に概略的に示すように、段差４を設けるとこの上に成長する単結晶シリコン膜７が薄いために段切れ（接続不良）や細り（抵抗の増大）を生じることがあるので、ソース電極２６（又はドレイン電極）との接続を確実に行うためには、図３４（Ｂ）、（Ｃ）に示すように、その電極を段差４を含む領域上に被着することが望ましい。

【０２１９】

なお、図２８の（８）の工程又は図３１の（１０）の工程において、単結晶シリコン層７上にトップゲート絶縁膜の形成後に、イオン注入、活性化処理し、その後にトップゲート電極、ソース、ドレイン電極をアルミニウムで同時に形成してよい。

【０２２０】

また、上記した段差４は、図３５（Ａ）に示すように、上述の例では基板１に（更にはその上のＳｉＮ等の膜にも）形成したが、例えば図３５（Ｂ）に示すように、基板１上の結晶性サファイア薄膜５０（これはガラス基板１からのイオンの拡散ストッパ機能がある。）に形成することもできる。この結晶性サファイア薄膜５０の代わりに、或いはこの結晶性サファイア膜の下に上述したゲート絶縁膜７２及び７３を設け、これに段差４を形成し

てもよい。結晶性サファイア薄膜５０に段差４を設けた例を図３５（Ｃ）、（Ｄ）、（Ｅ）にそれぞれ例示した。

【０２２１】

＜第９の実施の形態＞

図３６～図３８は、本発明の第９の実施の形態を示すものである。

【０２２２】

本実施の形態では、上述した段差４の外側に（即ち、段差以外の基板１上に）各ＴＦＴを形成した各種の例を示す。なお、単結晶シリコン層７やゲート／ソース／ドレイン電極２６、２７については簡略に図示している。

【０２２３】

まず、図３６はトップゲート型ＴＦＴを示すが、（ａ）は段差による凹部４をソース側の一辺にソース領域に沿って形成し、この凹部以外の基板平坦面上において単結晶シリコン層７上にゲート絶縁膜１２及びゲート電極１１を形成している。同様に、（ｂ）は、段差による凹部４をソース領域のみならずチャンネル長方向にドレイン領域端まで沿って２辺に亘ってＬ字パターンに形成した例、（ｃ）は同様の凹部４をＴＦＴ能動領域を囲むように４辺に亘って矩形状に形成した例を示す。また、（ｄ）は同様の凹部４を３辺に亘って形成した例、（ｅ）は同様の凹部４を２辺に亘ってＬ字パターンに形成した例であるが、いずれも、隣接する凹部４－４間は連続していない。

【０２２４】

このように、各種パターンの凹部４を形成可能であると共に、ＴＦＴを凹部４以外の平坦面上に設けているので、ＴＦＴの作製が容易となる。

【０２２５】

図３７は、ボトムゲート型ＭＯＳＴＦＴの場合であるが、図３６に示した各種パターンの段差（又は凹部）４を同様に形成することができる。即ち、図３７（ａ）は図３６（ａ）に対応した例であって、ボトムゲート型ＭＯＳＴＦＴを段差による凹部４以外の平坦面上に形成したものである。同様に、図３７（ｂ）は図３６（ｂ）に、図３７（ｃ）は図３６（ｃ）や（ｄ）に対応した例を示す。図３７（ｄ）は結晶性サファイア薄膜５０に段差４を設けた場合である。

【０２２６】

図３８は、デュアルゲート型ＭＯＳＴＦＴの場合であるが、これも図３６に示した各種パターンの段差（又は凹部）４を同様に形成することができ、例えば図３６（ｃ）に示した段差４の内側領域の平坦面上にデュアルゲート型ＭＯＳＴＦＴを作製することができる。

【０２２７】

＜第１０の実施の形態＞

図３９～図４１は、本発明の第１０の実施の形態を示すものである。

【０２２８】

図３９の例は、自己整合型ＬＤＤ構造のＴＦＴ、例えばトップゲート型ＬＤＤ－ＴＦＴを複数個連ねたダブルゲート型ＭＯＳＴＦＴに関するものである。

【０２２９】

これによれば、ゲート電極１１を２つに分岐させ、一方を第１のゲートとして第１のＬＤＤ－ＴＦＴ用、他方を第２のゲートとしての第２のＬＤＤ－ＴＦＴ用として用いる（但し、単結晶シリコン層の中央部においてゲート電極間にN^+型領域１００を設け、低抵抗化を図っている）。この場合、各ゲートに異なる電圧を印加してもよいし、また何らかの原因で一方のゲートが動作不能になったとしても、残りのゲートを用いることによってソース／ドレイン間でのキャリアの移動を行え、信頼性の高いデバイスを提供できることになる。また、第１のＬＤＤ－ＴＦＴと第２のＬＤＤ－ＴＦＴとを直列に２個接続して各画素を駆動する薄膜トランジスタを形成するようにしたので、オフしているときに、各薄膜トランジスタのソース－ドレイン間に印加される電圧を大幅に減少させることができる。したがって、オフ時に流れるリーク電流を少なくすることができ、液晶ディスプレイのコントラスト及び画質を良好に改善することができる。また、上記ＬＤＤトランジスタにおけ

る低濃度ドレイン領域と同じ半導体層のみを用いて上記２つのＬＤＤトランジスタを接続するようにしているので、各トランジスタ間の接続距離を短くすることができ、ＬＤＤトランジスタを２個つなげても所要面積が大きくならないようにすることができる。なお、上記の第１、第２のゲートは互いに完全に分離し、独立して動作させることも可能である。

【０２３０】

図４０の例は、ボトムゲート型ＭＯＳＴＦＴをダブルゲート構造としたもの（Ａ）と、デュアルゲート型ＭＯＳＴＦＴをダブルゲート構造としたもの（Ｂ）である。

【０２３１】

これらのダブルゲート型ＭＯＳＴＦＴも、上記のトップゲート型と同様の利点を有するが、このうちデュアルゲート型の場合は更に、上下のゲート部のいずれかが動作不能となっても一方のゲート部を使用できることも利点である。

【０２３２】

図４１には、上記の各ダブルゲート型ＭＯＳＴＦＴの等価回路図を示している。なお、上記においては、ゲートを２つに分岐したが、３つ又はそれ以上に分岐又は分割することもできる。これらのダブルゲート又はマルチゲート構造において、チャンネル領域内に２以上の分岐した同電位のゲート電極を有するか、又は分割された異電位又は同電位のゲート電極を有していてよい。

【０２３３】

＜第１１の実施の形態＞

図４２は、本発明の第１１の実施の形態を示すものであって、ｎＭＯＳＴＦＴのデュアルゲート型構造のＴＦＴにおいて、上下のゲート部のいずれか一方をトランジスタ動作させるが、他方のゲート部は次のように動作させている。

【０２３４】

即ち、図４２（Ａ）は、ｎＭＯＳＴＦＴにおいて、トップゲート側のゲート電極に常に任意の負電圧を印加してバックチャンネルのリーク電流を低減させるものである。トップゲート電極をオープンにする場合は、ボトムゲート型として使用するときである。また、図４２（Ｂ）は、ボトムゲート側のゲート電極に常に任意の負電圧を印加してバックチャンネルのリーク電流を低減させるものである。この場合も、ボトムゲート電極をオープンにすると、トップゲート型として使用できる。なお、ｐＭＯＳＴＦＴの場合には、常に任意の正電圧をゲート電極に印加すれば、バックチャンネルのリーク電流を減らせる。

【０２３５】

いずれも、単結晶シリコン層７と絶縁膜との界面は結晶性が悪く、リーク電流が流れやすいが、上記のような電極の負電圧印加によってリーク電流を遮断できる。これは、ＬＤＤ構造の効果と併せて、有利となる。また、ガラス基板１側から入射する光でリーク電流が流れることがあるが、ボトムゲート電極で光を遮断するので、リーク電流を低減できる。

【０２３６】

＜第１２の実施の形態＞

図４３～図４８は、本発明の第１２の実施の形態を示すものである。

【０２３７】

本実施の形態は、基板には上述した如き段差（凹部）を設けず、基板の平坦面上に上述した物質層（例えば結晶性サファイア膜）を形成し、この物質層をシードとして単結晶シリコン層をヘテロエピタキシャル成長させ、これを用いてトップゲート型ＭＯＳＴＦＴを構成したアクティブマトリクス反射型液晶表示装置（ＬＣＤ）に関するものである。

【０２３８】

図４３～図４８について、本実施の形態によるアクティブマトリクス反射型ＬＣＤをその製造工程に従って説明する。但し、図４３～図４７において、各図の左側は表示部の製造工程、右側は周辺駆動回路部の製造工程を示す。

【０２３９】

まず、図４３の（１）に示すように、石英ガラス、透明性結晶化ガラスなどの絶縁基板１

の一主面において、少なくともＴＦＴ形成領域に、結晶性サファイア薄膜（厚さ２０～２００ｎｍ）５０を形成する。この結晶性サファイア薄膜５０は、高密度プラズマＣＶＤ法や、触媒ＣＶＤ法（特開昭６３－４０３１４号公報参照）等により、トリメチルアルミニウムガスなどを酸化性ガス（酸素・水分）で酸化し、結晶化させて作成する。絶縁基板１として高耐熱性ガラス基板（８～１２インチφ、７００～８００μｍ厚）が使用可能である。

【０２４０】

次いで、図４３の（２）に示すように、図１の（３）と同様に、公知の触媒ＣＶＤ法やプラズマＣＶＤ法、スパッタ法などによって、結晶性サファイア薄膜５０上の全面に多結晶シリコン膜５を基板温度約１００～４００℃で数μｍ～０．００５μｍ（例えば０．１μｍ）の厚みに堆積させる。

【０２４１】

次いで、図４３の（３）に示すように、多結晶シリコン膜５上に、インジウム膜６をトリメチルインジウムのＭＯＣＶＤ法やスパッタ法、真空蒸着法によって多結晶シリコン膜５の数１０～数１００倍の厚さ（例えば１０～１５μｍ）に形成する。なお、インジウム膜６に代えて、インジウム・ガリウム又はガリウム膜も適用可能であるが、以下、インジウム膜を代表例として説明する。

【０２４２】

次いで、基板１を水素又は窒素－水素混合物又はアルゴン－水素混合物等の水素系雰囲気下で１０００℃以下、特に９００～９３０℃に約５分間保持する。これによって、多結晶シリコン５はインジウム６の溶融液に溶解する。この溶融液では、シリコンは本来の析出温度よりもずっと低温で析出する性質を呈する。基板１の加熱は、電気炉等を用いて基板全体を均一に加熱する方法の他に、光レーザー、電子ビーム等によって、所定の場所のみ、例えば、ＴＦＴ形成領域のみを局部的に加熱する方法も可能である。

【０２４３】

次いで、徐々に冷却することによって、インジウムに溶解していたシリコンは、結晶性サファイア薄膜５０をシード（種）として図４３の（４）に示すようにヘテロエピタキシャル成長し、厚さ例えば０．１μｍ程度のＰ型単結晶シリコン層７として析出する。

【０２４４】

上記のようにして堆積した単結晶シリコン層７は結晶性サファイア膜５０が単結晶シリコンと良好な格子整合を示すために、例えば（１００）面が基板上にヘテロエピタキシャル成長する。

【０２４５】

こうして、ヘテロエピタキシャル成長によって基板１上に単結晶シリコン層７を析出させた後、図４４の（５）に示すように、表面のインジウム膜６Ａを塩酸、硫酸などによって溶解除去し、更に上述したと同様にして、単結晶シリコン層７をチャンネル領域とするトップゲート型ＭＯＳＴＦＴの作製を行う。

【０２４６】

まず、上記のヘテロエピタキシャル成長による単結晶シリコン薄膜７の全面にＰ型キャリア不純物、例えばボロンイオンを適量ドーピングして比抵抗を調整する。また、ｐＭＯＳＴＦＴ形成領域のみ、選択的にＮ型キャリア不純物をドーピングしてＮ型ウエルを形成する。例えば、ｐチャンネルＴＦＴ部をフォトレジスト（図示せず）でマスクし、Ｐ型不純物イオン（例えばB^+）を１０ｋＶで２．７×10^{11}ａｔｏｍｓ／ｃｍ^{2}のドーズ量でドーピングし、比抵抗を調整する。また、図４４の（６）に示すように、ｐＭＯＳＴＦＴ形成領域の不純物濃度制御のため、ｎＭＯＳＴＦＴ部をフォトレジスト６０でマスクし、Ｎ型不純物イオン（例えばP^+）６５を１０ｋＶで１×10^{11}ａｔｏｍｓ／ｃｍ^{2}のドーズ量でドーピングし、Ｎ型ウエル７Ａを形成する。

【０２４７】

次いで、図４４の（７）に示すように、単結晶シリコン薄膜層７の全面上に、プラズマＣＶＤ、高密度プラズマＣＶＤ、触媒ＣＶＤ法等でSiO_2（約２００ｎｍ厚）とＳｉＮ（

SDC EX. 1016 - 881/959

約１００ｎｍ厚）をこの順に連続形成してゲート絶縁膜８を形成し、更に、モリブデン・タンタル（Ｍｏ・Ｔａ）合金のスパッタ膜９（５００～６００ｎｍ厚）を形成する。

【０２４８】

次いで、図４４の（８）に示すように、汎用のフォトリソグラフィ技術により、表示領域のＴＦＴ部と、周辺駆動領域のＴＦＴ部とのそれぞれの段差領域（凹部内）にフォトレジストパターン１０を形成し、連続したエッチングにより、（Ｍｏ・Ｔａ）合金のゲート電極１１とゲート絶縁膜（ＳｉＮ／SiO_2）１２とを形成し、単結晶シリコン薄膜層７を露出させる。（Ｍｏ・Ｔａ）合金膜９は酸系エッチング液、ＳｉＮはCF_4ガスのプラズマエッチング、SiO_2はフッ酸系エッチング液で処理する。

【０２４９】

次いで、図４５の（９）に示すように、周辺駆動領域のｎＭＯＳ及びｐＭＯＳＴＦＴ全部と、表示領域のｎＭＯＳＴＦＴのゲート部をフォトレジスト１３でカバーし、露出したｎＭＯＳＴＦＴのソース／ドレイン領域にリンイオン１４を例えば２０ｋＶで5×10^{13}ａｔｏｍｓ／cm^2のドーズ量でドーピング（イオン注入）して、N^-型層からなるＬＤＤ部１５を自己整合的（セルフアライン）に形成する。

【０２５０】

次いで、図４５の（１０）に示すように、周辺駆動領域のｐＭＯＳＴＦＴ全部と、周辺駆動領域のｎＭＯＳＴＦＴのゲート部と、表示領域のｎＭＯＳＴＦＴのゲート及びＬＤＤ部とをフォトレジスト１６でカバーし、露出した領域にリン又はひ素イオン１７を例えば２０ｋＶで5×10^{15}ａｔｏｍｓ／cm^2のドーズ量でドーピング（イオン注入）して、ｎＭＯＳＴＦＴのN^+型層からなるソース部１８及びドレイン部１９とＬＤＤ部１５とを形成する。

【０２５１】

次いで、図４５の（１１）に示すように、周辺駆動領域のｎＭＯＳＴＦＴ及び表示領域のｎＭＯＳＴＦＴの全部とｐＭＯＳＴＦＴのゲート部をフォトレジスト２０でカバーし、露出した領域にボロンイオン２１を例えば１０ｋＶで5×10^{15}ａｔｏｍｓ／cm^2のドーズ量でドーピング（イオン注入）してｐＭＯＳＴＦＴのP^+層のソース部２２及びドレイン部２３を形成する。なお、この作業は、ｎＭＯＳ周辺駆動回路の場合はｐＭＯＳＴＦＴが無いので、不要な作業である。

【０２５２】

次いで、図４６の（１２）に示すように、ＴＦＴ、ダイオードなどの能動素子部や、抵抗、インダクタンスなどの受動素子部をアイランド化するため、フォトレジスト２４を設け、周辺駆動領域及び表示領域のすべての能動素子部及び受動素子部以外の単結晶シリコン薄膜層を汎用フォトリソグラフィ及びエッチング技術で除去する。エッチング液はフッ酸系である。

【０２５３】

次いで、図４６の（１３）に示すように、プラズマＣＶＤ、高密度プラズマＣＶＤ、触媒ＣＶＤ法等により、SiO_2膜（約２００ｎｍ厚）及びリンシリケートガラス（ＰＳＧ）膜（約３００ｎｍ厚）をこの順に全面に連続形成して保護膜２５を形成する。

【０２５４】

そして、この状態で単結晶シリコン層を活性化処理する。この活性化においてハロゲン等のランプアニール条件は約１０００℃、約１０秒程度であり、これに耐えるゲート電極材が必要であるが、高融点のＭｏ・Ｔａ合金は適している。このゲート電極材は従って、ゲート部のみならず配線として広範囲に亘って引き廻して設けることができる。なお、ここでは高価なエキシマレーザーアニールは使用しないが、仮に利用するとすれば、その条件はＸｅＣｌ（３０８ｎｍ波長）で全面、又は能動素子部及び受動素子部のみの選択的な９０％以上のオーバーラップスキャンニングが望ましい。

【０２５５】

次いで、図４６の（１４）に示すように、汎用フォトリソグラフィ及びエッチング技術により、周辺駆動回路の全ＴＦＴのソース／ドレイン部、及び表示用ＴＦＴのソース部のコ

ンタクト用窓開けを行う。

【０２５６】

そして、全面に５００～６００ｎｍ厚のアルミニウム又は１％Ｓｉ入りアルミニウム等のスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、周辺駆動回路及び表示部のすべてのＴＦＴのソース電極２６と周辺駆動回路部のドレイン電極２７を形成すると同時に、データライン及びゲートラインを形成する。その後に、フォーミングガス（N_2 ＋H_2 ）中、約４００℃／１ｈで、シンター処理する。

【０２５７】

次いで、図４６の（１５）に示すように、プラズマＣＶＤ、高密度プラズマＣＶＤ、触媒ＣＶＤ法等により、ＰＳＧ膜（約３００ｎｍ厚）及びＳｉＮ膜（約３００ｎｍ厚）からなる絶縁膜３６を全面に形成する。次いで、表示用ＴＦＴのドレイン部のコンタクト用窓開けを行う。なお、画素部のSiO_2 、ＰＳＧ及びＳｉＮ膜は除去する必要はない。

【０２５８】

次いで、図６の（１８）で述べたと同様の目的で、図４７の（１６）に示すように、全面に、スピンコート等で2～3μｍ厚みの感光性樹脂膜２８を形成し、図４７の（１７）に示すように、汎用フォトリソグラフィ及びエッチング技術により、少なくとも画素部に最適な反射特性と視野角特性を得るための凹凸形状パターンを形成し、リフローさせて凹凸粗面２８Ａからなる反射面下部を形成する。同時に表示用ＴＦＴのドレイン部のコンタクト用の樹脂窓開けを行う。

【０２５９】

次いで、図４７の（１８）に示すように、全面に４００～５００ｎｍ厚のアルミニウム又は１％Ｓｉ入りアルミニウム等のスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、画素部以外のアルミニウム膜等を除去し、表示用ＴＦＴのドレイン部１９と接続した凹凸形状のアルミニウム等の反射部２９を形成する。これは表示用の画素電極として用いられる。その後に、フォーミングガス中、約３００℃／１ｈでシンター処理し、コンタクトを十分にする。尚、反射率を高めるために、アルミニウム系に代えて銀又は銀合金を使用してもよい。

【０２６０】

以上のようにして、結晶性サファイア膜５０を高温ヘテロエピタキシャル成長のシードとして単結晶シリコン層７を形成し、この単結晶シリコン層７を用いた表示部及び周辺駆動回路部にそれぞれ、トップゲート型のｎＭＯＳＬＤＤ－ＴＦＴ、ｐＭＯＳＴＦＴ及びｎＭＯＳＴＦＴで構成するＣＭＯＳ回路を作り込んだ表示部一周辺駆動回路部一体型のアクティブマトリクス基板３０を作製することができる。

【０２６１】

こうして得られたアクティブマトリクス基板（駆動基板）３０を用いて、図７で述べたと同様にして図４８の反射型液晶表示装置（ＬＣＤ）を製造する。

【０２６２】

本実施の形態では、上述した第１の実施の形態で述べた優れた効果が得られることは明らかである。その上、基板１に段差を設けることなしに結晶性サファイア薄膜５０のみによって単結晶シリコン層７をヘテロエピタキシャル成長させているので、段差の形成工程を省略し、より製造工程を簡略化できると共に、成長する単結晶シリコン層の段切れ等の問題も解消できることになる。

【０２６３】

＜第１３の実施の形態＞

図４９は、本発明の第１３の実施の形態を示すものである。

【０２６４】

本実施の形態では、上述の第１２の実施の形態と同様のアクティブマトリクス反射型ＬＣＤに関するものであるが、上述の第１２の実施の形態と比べて、図４３の（１）の工程後に、図４９の（２）に示すように、結晶性サファイア薄膜５０上の全面にまず、例えばインジウム膜６をスパッタ法又は真空蒸着法で例えば１０～２０μｍの厚みに形成する。

【０２６５】
次いで、図４９の（３）に示すように、公知のプラズマＣＶＤ法によって、インジウム膜６上にアモルファスシリコン膜５を数μｍ～０．００５μｍ（例えば０．１μｍ）の厚みに堆積させる。
【０２６６】
この場合、シリコン膜の形成温度は、低融点金属６の融点（インジウムは融点１５６℃、ガリウムの場合は融点２９．７７℃）を大幅に越えないようにすべきであるから、多結晶シリコン膜形成（６００～６５０℃）は困難である。従って、プラズマＣＶＤにより、アモルファスシリコン膜５をインジウム膜６上に形成する。
【０２６７】
次いで、基板１を水素系雰囲気下で１０００℃以下（特に９００～９３０℃）に約５分間保持する。これによって、アモルファスシリコン膜５はインジウムの溶融液に溶解する。
【０２６８】
次いで、徐々に冷却することによって、インジウム溶融液に溶解したシリコンは、結晶性サファイア薄膜５０をシード（種）として図４９の（４）に示すようにヘテロエピタキシャル成長し、厚さ例えば０．１μｍ程度の単結晶シリコン層７として析出する。
【０２６９】
この場合、単結晶シリコン層７は上述したと同様に（１００）面が基板上にヘテロエピタキシャル成長したものである。
【０２７０】
こうして、ヘテロエピタキシャル成長によって基板１上に単結晶シリコン層７を析出させた後、上述した第１２の実施の形態と同様に、表面側のインジウムを塩酸などによって溶解除去し、更に単結晶シリコン層７に所定の処理を施す工程を経て表示部及び周辺駆動回路部の各ＴＦＴの作製を行う。
【０２７１】
本実施の形態では、結晶性サファイア薄膜５０上に低融点金属層６を形成し、この上にアモルファスシリコン層５を形成した後、加熱溶融、冷却処理しているが、低融点金属の溶融液からの単結晶シリコンのヘテロエピタキシャル成長は、既述した実施の形態と同様に生じる。
【０２７２】
＜第１４の実施の形態＞
図５０は、本発明の第１４の実施の形態を示すものである。
【０２７３】
本実施の形態は、上述の第１２の実施の形態と同様のアクティブマトリクス反射型ＬＣＤに関するものであるが、上述の第１の実施の形態と比べて、図４３の（１）の工程後に、図５０の（２）に示すように、結晶性サファイア薄膜５０上の全面に、所定量（例えば約１重量％）のシリコンを含有する例えばインジウム膜６Ａをスパッタ法又は真空蒸着法で例えば１０～２０μｍの厚みに形成する。
【０２７４】
次いで、基板１を水素系雰囲気下で１０００℃以下（特に９００～９３０℃）に約５分間保持する。これによって、上記のシリコンはインジウムの溶融液に溶解する。
【０２７５】
次いで、徐々に冷却することによって、インジウム溶融液に溶解したシリコンは、結晶性サファイア薄膜５０をシード（種）として図５０の（３）に示すようにヘテロエピタキシャル成長し、厚さ例えば０．１μｍ程度の単結晶シリコン層７として析出する。
【０２７６】
この場合、単結晶シリコン層７は上述したと同様に（１００）面が基板上にヘテロエピタキシャル成長したものである。
【０２７７】
こうして、ヘテロエピタキシャル成長によって基板１上に単結晶シリコン層７を析出させ

た後、上述した第１２の実施の形態と同様に、表面側のインジウムを塩酸などによって溶解除去し、更に単結晶シリコン層７に所定の処理を施す工程を経て表示部及び周辺駆動回路部の各ＴＦＴの作製を行う。

【０２７８】

本実施の形態では、結晶性サファイア薄膜５０上にシリコンを含有する低融点金属層６Ａを形成した後、加熱溶融、冷却処理しているが、低融点金属の溶融液からの単結晶シリコンのヘテロエピタキシャル成長は、既述した実施の形態と同様に生じる。

【０２７９】

＜第１５の実施の形態＞

図５１～図５３について、本発明の第１５の実施の形態を説明する。

【０２８０】

本実施の形態は、上述の第１２の実施の形態と比べて、同様のトップゲート型ＭＯＳＴＦＴを表示部及び周辺駆動回路部に有するが、上述の第１２の実施の形態とは異なって、透過型ＬＣＤに関するものである。即ち、図４３の（１）から図４６の（１５）に示す工程までは同様であるが、その工程後に、図５１の（１６）に示すように、絶縁膜２５、３６に表示用ＴＦＴのドレイン部コンタクト用の窓開け１９を行うと同時に、透過率向上のために画素開口部の不要なSiO_2、ＰＳＧ及びＳｉＮ膜を除去する。

【０２８１】

次いで、図５１の（１７）に示すように、全面にスピンコート等で２～３μｍ厚みの感光性アクリル系透明樹脂の平坦化膜２８Ｂを形成し、汎用フォトリソグラフィにより、表示用ＴＦＴのドレイン側の透明樹脂２８Ｂの窓開けを行い、所定条件で硬化させる。

【０２８２】

次いで、図５１の（１８）に示すように、全面に１３０～１５０ｎｍ厚のＩＴＯスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、表示用ＴＦＴのドレイン部１９とコンタクトしたＩＴＯ透明電極４１を形成する。そして、熱処理（フォーミングガス中、２００～２５０℃／１ｈ）により、表示用ＴＦＴのドレインとＩＴＯのコンタクト抵抗の低減化とＩＴＯ透明度の向上を図る。

【０２８３】

そして、図５２に示すように、対向基板３２と組み合わせ、上述の第４の実施の形態と同様にして透過型ＬＣＤを組み立てる。但し、ＴＦＴ基板側にも偏光板を貼り合わせる。この透過型ＬＣＤでは、実線のように透過光が得られるが、一点鎖線のように対向基板３２側からの透過光が得られるようにもできる。

【０２８４】

この透過型ＬＣＤの場合、次のようにしてオンチップカラーフィルタ（ＯＣＣＦ）構造とオンチップブラック（ＯＣＢ）構造を作製することができる。

【０２８５】

即ち、図４３の（１）～図４６の（１４）までの工程は上記の工程に準じて行うが、その後、図５３の（１５）に示すように、ＰＳＧ／SiO_2の絶縁膜２５のドレイン部も窓開けしてドレイン電極用のアルミニウム埋込み層４１Ａを形成した後、ＳｉＮ／ＰＳＧの絶縁膜３６を形成する。

【０２８６】

次いで、図５３の（１６）に示すように、Ｒ、Ｇ、Ｂの各色を各セグメント毎に顔料分散したフォトレジスト６１を所定厚さ（１～１．５μｍ）で形成した後、図５３の（１７）に示すように、汎用フォトリソグラフィ技術で所定位置（各画素部）のみを残すパターニングで各カラーフィルタ層６１（Ｒ）、６１（Ｇ）、６１（Ｂ）を形成する（オンチップカラーフィルタ構造）。この際、ドレイン部の窓開けも行う。なお、不透明なセラミック基板は使用できない。

【０２８７】

次いで、図５３の（１７）に示すように、表示用ＴＦＴのドレインに連通するコンタクトホールに、カラーフィルタ層上にかけてブラックマスク層となる遮光層４３を金属のパタ

ーニングで形成する。例えば、スパッタ法により、モリブデンを２００～２５０ｎｍ厚で成膜し、表示用ＴＦＴを覆って遮光する所定の形状にパターニングする（オンチップブラック構造）。

【０２８８】

次いで、図５３の（１８）に示すように、透明樹脂の平坦化膜２８Ｂを形成し、更にこの平坦化膜に設けたスルーホールにＩＴＯ透明電極４１を遮光層４３に接続するように形成する。

【０２８９】

このように、表示アレイ部上に、カラーフィルタ６１やブラックマスク４３を作り込むことにより、液晶表示パネルの開口率を改善し、またバックライトも含めたディスプレイモジュールの低消費電力化が実現する。

【０２９０】

＜第１６の実施の形態＞

図５４～図６２は、本発明の第１６の実施の形態を示すものである。

【０２９１】

本実施の形態では、周辺駆動回路部は上述した第１２の実施の形態と同様のトップゲート型のｐＭＯＳＴＦＴとｎＭＯＳＴＦＴとからなるＣＭＯＳ駆動回路で構成する。表示部は反射型ではあるが、ＴＦＴを各種ゲート構造のものとして、種々の組み合わせにしている。

【０２９２】

即ち、図５４（Ａ）は、上述した第１２の実施の形態と同様のトップゲート型のｎＭＯＳＬＤＤ－ＴＦＴを表示部に設けているが、図５４（Ｂ）に示す表示部にはボトムゲート型のｎＭＯＳＬＤＤ－ＴＦＴ、図５４（Ｃ）に示す表示部にはデュアルゲート型のｎＭＯＳＬＤＤ－ＴＦＴをそれぞれ設けている。これらのボトムゲート型、デュアルゲート型ＭＯＳＴＦＴのいずれも、後述のように、周辺駆動回路部のトップゲート型ＭＯＳＴＦＴと共通の工程で作製可能であるが、特にデュアルゲート型の場合には上下のゲート部によって駆動能力が向上し、高速スイッチングに適し、また上下のゲート部のいずれかを選択的に用いて場合に応じてトップゲート型又はボトムゲート型として動作させることもできる。

【０２９３】

なお、図５４（Ｂ）のボトムゲート型ＭＯＳＴＦＴにおいて、図中の７１はＭｏ・Ｔａ等のゲート電極であり、７２はＳｉＮ膜及び７３はSiO_2膜であってゲート絶縁膜を形成し、このゲート絶縁膜上にはトップゲート型ＭＯＳＴＦＴと同様の単結晶シリコン層を用いたチャンネル領域等が形成されている。また、図５４（Ｃ）のデュアルゲート型ＭＯＳＴＦＴにおいて、下部ゲート部はボトムゲート型ＭＯＳＴＦＴと同様であるが、上部ゲート部は、ゲート絶縁膜７３をSiO_2膜とＳｉＮ膜で形成し、この上に上部ゲート電極７４を設けている。

【０２９４】

次に、上記のボトムゲート型ＭＯＳＴＦＴの製造方法を図５５～図５９で、上記のデュアルゲート型ＭＯＳＴＦＴの製造方法を図６０～図６２でそれぞれ説明する。なお、周辺駆動回路部のトップゲート型ＭＯＳＴＦＴの製造方法は図４３～図４７において述べたものと同じであるので、ここでは図示を省略している。

【０２９５】

表示部において、ボトムゲート型ＭＯＳＴＦＴを製造するには、まず、図５５の（１）に示すように、基板１上に、モリブデン／タンタル（Ｍｏ・Ｔａ）合金のスパッタ膜７１（５００～６００ｎｍ厚）を形成する。

【０２９６】

次いで、図５５の（２）に示すように、フォトレジスト７０を所定パターンに形成し、これをマスクにしてＭｏ・Ｔａ膜７１をテーパエッチングし、側端部７１ａが台形状に２０～４５度でなだらかに傾斜したゲート電極７１を形成する。

【０２９７】

次いで、図５５の（３）に示すように、フォトレジスト７０の除去後に、モリブデン・タンタル合金膜７１を含む基板１上に、プラズマＣＶＤ法等により、ＳｉＮ膜（約１００ｎｍ厚）７２とSiO_2膜（約２００ｎｍ厚）７３とを、この順に積層したゲート絶縁膜を形成する。

【０２９８】

次いで、図５６の（４）に示すように、図４３の（１）と同じ工程において、上述したと同様に絶縁基板１の一主面において、少なくともＴＦＴ形成領域に、結晶性サファイア薄膜（厚さ２０～２００ｎｍ）５０を形成する。

【０２９９】

次いで、図５６の（５）に示すように、図４３の（２）～（４）と同じ工程において、上述したと同様に単結晶シリコンをヘテロエピタキシャル成長し、厚さ例えば０．１μｍ程度の単結晶シリコン層７として析出させる。この際、下地のゲート電極７１の側端部７１ａはなだらかな傾斜面となっているので、この面上には、段差４によるヘテロエピタキシャル成長を阻害せず、段切れなしに単結晶シリコン層７が成長することになる。

【０３００】

次いで、図５６の（６）に示すように、図４４の（５）～（８）の工程を経た後、図４５の（９）と同じ工程において、表示部のｎＭＯＳＴＦＴのゲート部をフォトレジスト１３でカバーし、露出したｎＭＯＳＴＦＴのソース／ドレイン領域にリンイオン１４をドーピング（イオン注入）して、N^-型層からなるＬＤＤ部１５を自己整合的に形成する。このとき、ボトムゲート電極７１の存在によって表面高低差（又はパターン）を認識し易く、フォトレジスト１３の位置合わせ（マスク合わせ）を行い易く、アライメントずれが生じにくい。

【０３０１】

次いで、図５７の（７）に示すように、図４５の（１０）と同じ工程において、ｎＭＯＳＴＦＴのゲート部及びＬＤＤ部をフォトレジスト１６でカバーし、露出した領域にリン又はひ素イオン１７をドーピング（イオン注入）して、ｎＭＯＳＴＦＴのN^+型層からなるソース部１８及びドレイン部１９を形成する。

【０３０２】

次いで、図５７の（８）に示すように、図４５の（１１）と同じ工程において、ｎＭＯＳＴＦＴの全部をフォトレジスト２０でカバーし、ボロンイオン２１をドーピング（イオン注入）して周辺駆動回路部のｐＭＯＳＴＦＴのP^+層のソース部及びドレイン部を形成する。

【０３０３】

次いで、図５７の（９）に示すように、図４６の（１２）と同じ工程において、能動素子部と受動素子部をアイランド化するため、フォトレジスト２４を設け、単結晶シリコン薄膜層を汎用フォトリソグラフィ及びエッチング技術で選択的に除去する。

【０３０４】

次いで、図５７の（１０）に示すように、図４６の（１３）と同じ工程において、プラズマＣＶＤ、高密度プラズマＣＶＤ、触媒ＣＶＤ法等により、SiO_2膜５３（約３００ｎｍ厚）とリンシリケートガラス（ＰＳＧ）膜５４（約３００ｎｍ厚）をこの順に全面に形成する。なお、SiO_2膜５３とＰＳＧ膜５４は上述した保護膜２５に相当するものである。そして、この状態で単結晶シリコン膜を上述したと同様に活性化処理する。

【０３０５】

次いで、図５８の（１１）に示すように、図４６の（１４）と同じ工程において、汎用フォトリソグラフィ及びエッチング技術により、ソース部のコンタクト用窓開けを行う。そして、全面に４００～５００ｎｍ厚のアルミニウム又は１％Ｓｉ入りアルミニウム等のスパック膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、ＴＦＴのソース電極２６を形成すると同時に、データライン及びゲートラインを形成する。その後に、フォーミングガス中、約４００℃／１ｈで、シンター処理する。

【０３０６】

次いで、図５８の（１２）に示すように、図４６の（１５）と同じ工程において、高密度プラズマＣＶＤ、触媒ＣＶＤ法等により、ＰＳＧ膜（約３００ｎｍ厚）及びＳｉＮ膜（約３００ｎｍ厚）からなる絶縁膜３６を全面に形成し、表示用のＴＦＴのドレイン部のコンタクト用窓開けを行う。

【０３０７】

次いで、図５８の（１３）に示すように、図４７の（１６）と同じ工程において、スピンコート等で２～３μｍ厚みの感光性樹脂膜２８を形成し、図５８の（１４）に示すように、汎用フォトリソグラフィ及びエッチング技術により、少なくとも画素部に最適な反射特性と視野角特性を得るような凹凸形状パターンを形成し、リフローさせて凹凸粗面２８Ａからなる反射面下部を形成する。同時に表示用ＴＦＴのドレイン部のコンタクト用の樹脂窓開けを行う。

【０３０８】

次いで、図５８の（１４）に示すように、図４７の（１８）と同じ工程において、全面に４００～５００ｎｍ厚のアルミニウム又は１％Ｓｉ入りアルミニウム等のスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、表示用ＴＦＴのドレイン部１９と接続した凹凸形状のアルミニウム反射部２９を形成する。

【０３０９】

以上のようにして、結晶性サファイア薄膜５０を高温ヘテロエピタキシャル成長のシードとして形成された単結晶シリコン層７を用いた表示部にボトムゲート型のｎＭＯＳＬＤＤ－ＴＦＴ（周辺部ではトップゲート型のｐＭＯＳＴＦＴ及びｎＭＯＳＴＦＴからなるＣＭＯＳ駆動回路）を作り込んだ表示部一周辺駆動回路部一体型のアクティブマトリクス基板３０を作製することができる。

【０３１０】

図５９は、表示部に設ける上記のボトムゲート型ＭＯＳＴＦＴのゲート絶縁膜をＭｏ・Ｔａの陽極酸化法で形成した例を示す。

【０３１１】

即ち、図５５の（２）の工程後に、図５９の（３）に示すようにモリブデン・タンタル合金膜７１を公知の陽極酸化処理することによって、その表面にTa_2O_5からなるゲート絶縁膜７４を１００～２００ｎｍ厚に形成する。

【０３１２】

この後の工程は、図５９の（４）に示すように、図５５の（４）～図５６の（５）の工程と同様にして結晶性サファイア薄膜５０を形成し、単結晶シリコン膜７をヘテロエピタキシャル成長した後、図５６の（６）～図５８の（１４）の工程と同様にして図５９の（５）に示すように、アクティブマトリクス基板３０を作製する。

【０３１３】

次に、表示部において、デュアルゲート型ＭＯＳＴＦＴを製造するには、まず、図５５の（１）～図５５の（５）までの工程は、上述したと同様に行う。

【０３１４】

即ち、図６０の（６）に示すように、絶縁膜７２、７３上に結晶性サファイア薄膜５０を形成し、更に、この結晶性サファイア薄膜５０をシードとして単結晶シリコン層７をヘテロエピタキシャル成長させる。次いで、図４４の（７）と同じ工程において、単結晶シリコン薄膜７上の全面に、プラズマＣＶＤ、触媒ＣＶＤ等によりSiO_2膜（約２００ｎｍ厚）とＳｉＮ膜（約１００ｎｍ厚）をこの順に連続形成して絶縁膜８０（これは上述の絶縁膜８に相当）を形成し、更に、Ｍｏ・Ｔａ合金のスパッタ膜８１（５００～６００ｎｍ厚）（これは上述のスパッタ膜７１に相当）を形成する。

【０３１５】

次いで、図６０の（７）に示すように、図４４の（８）と同じ工程において、フォトレジストパターン１０を形成し、連続したエッチングによりＭｏ・Ｔａ合金のトップゲート電極８２（これは上述のゲート電極１２に相当）と、ゲート絶縁膜８３（これは上述のゲート絶縁膜１１に相当）を形成し、単結晶シリコン薄膜層７を露出させる。

【０３１６】
次いで、図６０の（８）に示すように、図４５の（９）と同じ工程において、ｎＭＯＳＴＦＴのトップゲート部をフォトレジスト１３でカバーし、露出した表示用のｎＭＯＳＴＦＴのソース／ドレイン領域にリンイオン１４をドーピング（イオン注入）して、N^-型層のＬＤＤ部１５を形成する。
【０３１７】
次いで、図６０（９）に示すように、図４５の（１０）と同じ工程において、ｎＭＯＳＴＦＴのゲート部及びＬＤＤ部をフォトレジスト１６でカバーし、露出した領域にリン又はひ素イオン１７をドーピング（イオン注入）して、ｎＭＯＳＴＦＴのN^+型層からなるソース部１８及びドレイン部１９を形成する。
【０３１８】
次いで、図６１の（１０）に示すように、図４５の（１１）と同じ工程において、ｐＭＯＳＴＦＴのゲート部をフォトレジスト２０でカバーし、露出した領域にボロンイオン２１をドーピング（イオン注入）して周辺駆動回路部のｐＭＯＳＴＦＴのP^+層のソース部及びドレイン部を形成する。
【０３１９】
次いで、図６１の（１１）に示すように、図４６の（１２）と同じ工程において、能動素子部と受動素子部をアイランド化するため、フォトレジスト２４を設け、能動素子部と受動素子部以外の単結晶シリコン薄膜層を汎用フォトリソグラフィ及びエッチング技術で選択的に除去する。
【０３２０】
次いで、図６１の（１２）に示すように、図４６の（１３）と同じ工程において、プラズマＣＶＤ、高密度プラズマＣＶＤ、触媒ＣＶＤ法等により、SiO_2膜５３（約２００ｎｍ厚）とリンシリケートガラス（ＰＳＧ）膜５４（約３００ｎｍ厚）を全面に形成する。これらの膜５３、５４は上述の保護膜２５に相当する。そして、単結晶シリコン層７を活性化処理する。
【０３２１】
次いで、図６１の（１３）に示すように、図４６の（１４）と同じ工程において、ソース部のコンタクト用窓開けを行う。そして、全面に４００～５００ｎｍ厚のアルミニウム又は１％Ｓｉ入りアルミニウム等のスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、ソース電極２６を形成すると同時に、データライン及びゲートラインを形成する。
【０３２２】
次いで、図６２の（１４）に示すように、図４７の（１６）と同じ工程でＰＳＧ膜（約３００ｎｍ厚）及びＳｉＮ膜（約３００ｎｍ厚）からなる絶縁膜３６を全面に形成し、表示用のＴＦＴのドレイン部のコンタクト用窓開けを行う。
【０３２３】
次いで、図６２の（１５）に示すように、全面に、スピンコート等で２～３μｍ厚みの感光性樹脂膜２８を形成し、図６２の（１６）に示すように、図４７の（１７）、（１８）の工程と同様に、少なくとも画素部に凹凸粗面２８Ａからなる反射面下部を形成し、同時に表示用ＴＦＴのドレイン部のコンタクト用の樹脂窓開けを行い、更に表示用ＴＦＴのドレイン部１９と接続した、最適な反射特性と視野角特性を得るための凹凸形状のアルミニウム等の反射部２９を形成する。
【０３２４】
以上のようにして、結晶性サファイア薄膜５０をヘテロエピタキシャル成長のシードとして形成された単結晶シリコン層７を用い、表示部にデュアルゲート型のｎＭＯＳＬＤＤＴＦＴを、周辺駆動回路部にトップゲート型のｐＭＯＳＴＦＴ及びｎＭＯＳＴＦＴからなるＣＭＯＳ駆動回路を作り込んだ表示部一周辺駆動回路部一体型のアクティブマトリクス基板３０を作製することができる。
【０３２５】

＜第１７の実施の形態＞
図６３～図６５は、本発明の第１７の実施の形態を示すものである。
【０３２６】
本実施の形態では、上述した実施の形態とは異なり、トップゲート部のゲート電極をアルミニウム等の比較的耐熱性の低い材料で形成している。
【０３２７】
まず、表示部及び周辺駆動回路部共にトップゲート型ＭＯＳＴＦＴを設ける場合には、上述した第１２の実施の形態における図４３の（１）～図４４の（６）までの工程は同様に行って、図６３の（６）に示すように、周辺駆動回路部のｐＭＯＳＴＦＴ部にＮ型ウエル７Ａを形成する。
【０３２８】
次いで、図６３の（７）に示すように、周辺駆動領域のｎＭＯＳ及びｐＭＯＳＴＦＴ全部と、表示領域のｎＭＯＳＴＦＴのゲート部をフォトレジスト１３でカバーし、露出したｎＭＯＳＴＦＴのソース／ドレイン領域にリンイオン１４を例えば２０ｋＶで5×10^{13}ａｔｏｍｓ／ｃｍ^{2}のドーズ量でドーピング（イオン注入）して、N^-型層からなるＬＤＤ部１５を自己整合的に形成する。
【０３２９】
次いで、図６４の（８）に示すように、周辺駆動領域のｐＭＯＳＴＦＴ全部と、周辺駆動領域のｎＭＯＳＴＦＴのゲート部と、表示領域のｎＭＯＳＴＦＴのゲート及びＬＤＤ部とをフォトレジスト１６でカバーし、露出した領域にリン又は砒素イオン１７を例えば２０ｋＶで5×10^{15}ａｔｏｍｓ／ｃｍ^{2}のドーズ量でドーピング（イオン注入）して、ｎＭＯＳＴＦＴのN^+型層からなるソース部１８及びドレイン部１９とＬＤＤ部１５とを形成する。この場合、仮想線のようにレジスト１３を残し、これを覆うようにレジスト１６を設ければ、レジスト１６形成時のマスクの位置合せをレジスト１３を目安にでき、マスク合せが容易となり、アライメントずれも少なくなる。
【０３３０】
次いで、図６４の（９）に示すように、周辺駆動領域のｎＭＯＳＴＦＴ及び表示領域のｎＭＯＳＴＦＴの全部とｐＭＯＳＴＦＴのゲート部をフォトレジスト２０でカバーし、露出した領域にボロンイオン２１を例えば１０ｋＶで5×10^{15}ａｔｏｍｓ／ｃｍ^{2}のドーズ量でドーピング（イオン注入）してｐＭＯＳＴＦＴのP^+層のソース部２２及びドレイン部２３を形成する。
【０３３１】
次いで、レジスト２０の除去後に、図６４の（１０）に示すように、単結晶シリコン層７、７Ａを上述したと同様に活性化処理し、更に表面にゲート絶縁膜１２、ゲート電極材料（アルミニウム又は１％Ｓｉ入りアルミニウム等）１１を形成する。ゲート電極材料層１１は真空蒸着法又はスパッタ法で形成可能である。
【０３３２】
次いで、上述したと同様に、各ゲート部をパターニングした後、能動素子部と受動素子部をアイランド化し、更に図６５の（１１）に示すように、SiO_2膜（約２００ｎｍ厚）及びリンシリケートガラス（ＰＳＧ）膜（約３００ｎｍ厚）をこの順に全面に連続形成して保護膜２５を形成する。
【０３３３】
次いで、図６５の（１２）に示すように、汎用フォトリソグラフィ及びエッチング技術により、周辺駆動回路の全ＴＦＴのソース／ドレイン部、及び表示用ＴＦＴのソース部のコンタクト用窓開けを行う。
【０３３４】
そして、全面に５００～６００ｎｍ厚のアルミニウムのスパッタ膜を形成し、汎用フォトリソグラフィ及びエッチング技術により、周辺駆動回路及び表示部のすべてのＴＦＴのソース電極２６と周辺駆動回路部のドレイン電極２７を形成すると同時に、データライン及びゲートラインを形成する。その後に、フォーミングガス（N_2+H_2）中、約４００℃

／１ｈで、シンター処理する。

【０３３５】

次いで、図４６の（１５）～図４７の（１８）と同様にして単結晶シリコン層７を用いた表示部及び周辺駆動回路部にそれぞれ、アルミニウム又は１％Ｓｉ入りアルミニウム等をゲート電極とするトップゲート型のｎＭＯＳＬＤＤ－ＴＦＴ、ｐＭＯＳＴＦＴ及びｎＭＯＳＴＦＴで構成するＣＭＯＳ駆動回路を作り込んだ表示部一周辺駆動回路部一体型のアクティブマトリクス基板３０を作製することができる。

【０３３６】

本実施の形態では、単結晶シリコン層７の活性化処理後にアルミニウム又は１％Ｓｉ入りアルミニウム等のゲート電極１１を形成しているので、その活性化処理時の熱の影響はゲート電極材料の耐熱性とは無関係となるため、トップゲート電極材料として比較的耐熱性が低く、低コストのアルミニウム又は１％Ｓｉ入りアルミニウム等でも使用可能となり、電極材料の選択の幅も広がる。これは、表示部がボトムゲート型ＭＯＳＴＦＴの場合も同様である。

【０３３７】

次に、表示部にデュアルゲート型ＭＯＳＴＦＴ、周辺駆動回路にトップゲート型ＭＯＳＴＦＴを設ける場合には、上述した第８の実施の形態における図３１の（９）～図３３の（１６）で述べた工程と同様に行って、表示部及び周辺駆動回路部にそれぞれ、アルミニウム等をゲート電極とするデュアルゲート型のｎＭＯＳＬＤＤ－ＴＦＴ、トップゲート型ｐＭＯＳＴＦＴ及びｎＭＯＳＴＦＴで構成するＣＭＯＳ駆動回路を作り込んだ表示部－周辺駆動回路部一体型のアクティブマトリクス基板３０を作製することができる。

【０３３８】

＜第１８の実施の形態＞

図６６～図６７は、本発明の第１８の実施の形態を示すものである。

【０３３９】

図６６の例は、上述の第１２の実施の形態において、自己整合型ＬＤＤ構造のＴＦＴ、例えばトップゲート型ＬＤＤ－ＴＦＴを複数個連ねたダブルゲート型ＭＯＳＴＦＴに関するものである。

【０３４０】

図６７の例は、ボトムゲート型ＭＯＳＴＦＴをダブルゲート構造としたもの（Ａ）と、デュアルゲート型ＭＯＳＴＦＴをダブルゲート構造としたもの（Ｂ）である。

【０３４１】

これらのダブルゲート型ＭＯＳＴＦＴも、上述した図３９～図４０で述べたと同様の利点を有する。

【０３４２】

＜第１９の実施の形態＞

図６８～図７６は、本発明の第１９の実施の形態を示すものである。

【０３４３】

上述したように、トップゲート型、ボトムゲート型、デュアルゲート型の各ＴＦＴはそれぞれ構造上、機能上の差異又は特長があることから、これらを表示部と周辺駆動回路部において採用する際に、これら各部間でＴＦＴを種々に組み合わせて設けることが有利なことがある。

【０３４４】

例えば、図６８に示すように、表示部にトップゲート型、ボトムゲート型、デュアルゲート型のいずれかのＭＯＳＴＦＴを採用した場合、周辺駆動回路にはトップゲート型ＭＯＳＴＦＴ、ボトムゲート型ＭＯＳＴＦＴ、デュアルゲート型ＭＯＳＴＦＴのうち、少なくともトップゲート型を採用するか、或いはそれらが混在することも可能である。この組み合わせは１２通り（No.1～No.12)挙げられる。特に、周辺駆動回路のＭＯＳＴＦＴにデュアルゲート構造を用いると、このようなデュアルゲート構造は、上下のゲート部の選択によってトップゲート型にもボトムゲート型にも容易に変更することができ、また、周辺駆動

回路の一部に大きな駆動能力のＴＦＴが必要な場合は、デュアルゲート型が必要となる場合もある。例えば、ＬＣＤ以外の電気光学装置として本発明を有機ＥＬやＦＥＤ等に適用する場合は必要であると考えられる。

【０３４５】

図６９及び図７０は表示部のＭＯＳＴＦＴがＬＤＤ構造でないとき、図７１及び図７２は表示部のＭＯＳＴＦＴがＬＤＤ構造であるとき、図７３及び図７４は周辺駆動回路部のＭＯＳＴＦＴがＬＤＤ構造のＴＦＴを含むとき、図７５及び図７６は周辺駆動回路部と表示部の双方がＬＤＤ構造のＭＯＳＴＦＴを含むときのそれぞれにおいて、周辺駆動回路部と表示部の各ＭＯＳＴＦＴの組み合わせをチャンネル導電型別に示した各種の例（No.1～No.216）を示す。

【０３４６】

このように、図６８に示したゲート構造別の組み合わせは、具体的には図６９～図７６に示したようになる。これは、周辺駆動回路部がトップゲート型と他のゲート型との混在したＭＯＳＴＦＴからなっている場合も、同様の組み合わせが可能である。なお、図６８～図７６に示したＴＦＴの各種組合せは、ＴＦＴのチャンネル領域などを単結晶シリコンで形成する場合に限らず、多結晶シリコンやアモルファスシリコン（但し、表示部のみ）で形成する場合も同様に適用可能である。

【０３４７】

＜第２０の実施の形態＞

図７７～図７８は、本発明の第２０の実施の形態を示すものである。

【０３４８】

本実施の形態では、アクティブマトリクス駆動ＬＣＤにおいて、周辺駆動回路部は、駆動能力の向上の点から、本発明に基づいて上述の単結晶シリコン層を用いたＴＦＴを設ける。但し、これはトップゲート型に限らず、他のゲート型が混在してよいし、チャンネル導電型も種々であってもよく、また単結晶シリコン層以外の多結晶シリコン層を用いたＭＯＳＴＦＴが含まれていてもよい。これに対し、表示部のＭＯＳＴＦＴは、単結晶シリコン層を用いるのが望ましいが、これに限らず、多結晶シリコンやアモルファスシリコン層を用いたものであってよく、或いは３種のシリコン層の少なくとも２種が混在したものであってもよい。但し、表示部をｎＭＯＳＴＦＴで形成するときは、アモルファスシリコン層を用いても実用的なスイッチング速度は得られるが、単結晶シリコン又は多結晶シリコン層の方がＴＦＴ面積を小さくでき、画素欠陥の減少の面でもアモルファスシリコンよりは有利である。なお、既述したヘテロエピタキシャル成長時に単結晶シリコンだけでなく、多結晶シリコンも同時に生じ、いわゆるＣＧＳ（Continuous grain silicon）構造も含まれることもあるが、これも能動素子と受動素子の形成に利用できる。

【０３４９】

図７７には、各部間でのＭＯＳＴＦＴの各種組み合わせ例（Ａ）、（Ｂ）、（Ｃ）を示し、図７８にはその具体例を例示した。単結晶シリコンを用いると、電流駆動能力が向上するため、素子を小さくでき、大画面化が可能となり、表示部では開口率が向上する。

【０３５０】

なお、周辺駆動回路部では、上記のＭＯＳＴＦＴだけでなく、ダイオード、キャパシタンス、抵抗、インダクタンス等を集積した電子回路が絶縁基板（ガラス基板等）に一体形成されてよいことは勿論である。

【０３５１】

＜第２１の実施の形態＞

図７９は、本発明の第２１の実施の形態例を示すものである。

【０３５２】

本実施の形態は、上述した各実施の形態がアクティブマトリクス駆動の例についてのものであるのに対し、本発明をパッシブマトリクス駆動に適用したものである。

【０３５３】

即ち、表示部は、上述したＭＯＳＴＦＴの如きスイッチング素子を設けず、対向する基板

に形成した一対の電極間に印加する電圧による電位差でのみ表示部の入射光又は反射光が調光される。こうした調光素子には、反射型、透過型のＬＣＤをはじめ、有機又は無機ＥＬ（エレクトロルミネセンス表示素子）、ＦＥＤ（電界放出型表示素子）、ＬＥＰＤ（発光ポリマー表示素子）、ＬＥＤ（発光ダイオード表示素子）なども含まれる。

【０３５４】

＜第２２の実施の形態＞

図８０は、本発明の第２２の実施の形態を示すものである。

【０３５５】

本実施の形態は、本発明をＬＣＤ以外の電気光学装置である有機又は無機ＥＬ（エレクトロルミネセンス）素子やＦＥＤ（電界放出型表示素子）、ＬＥＰＤ（発光ポリマー表示素子）、ＬＥＤ（発光ダイオード表示素子）などに適用したものである。

【０３５６】

即ち、図８０（Ａ）には、アクティブマトリクス駆動のＥＬ素子を示し、例えばアモルファス有機化合物を用いた有機ＥＬ層（又はＺｎＳ：Ｍｎを用いた無機ＥＬ層）９０を基板１上に設け、その下部に既述した透明電極（ＩＴＯ）４１を形成し、上部に陰極９１を形成し、これら両極間の電圧印加によって所定色の発光がフィルタ６１を通して得られる。

【０３５７】

この際、アクティブマトリクス駆動により透明電極４１へデータ電圧を印加するために、基板１上の結晶性サファイア膜５０（更には段差４）をシードとしてヘテロエピタキシャル成長させた単結晶シリコン層を用いた本発明による単結晶シリコンＭＯＳＴＦＴ（即ち、ｎＭＯＳＬＤＤ－ＴＦＴ）が基板１上に作り込まれている。同様のＴＦＴは周辺駆動回路にも設けられる。このＥＬ素子は、単結晶シリコン層を用いたＭＯＳＬＤＤ－ＴＦＴで駆動しているので、スイッチング速度が早く、またリーク電流も少ない。なお、上記のフィルタ６１は、ＥＬ層９０が特定色を発光するものであれば、省略可能である。

【０３５８】

なお、ＥＬ素子の場合、駆動電圧が高いため、周辺駆動回路部には、上記のＭＯＳＴＦＴ以外に、高耐圧のドライバ素子（高耐圧ｃＭＯＳＴＦＴとバイポーラ素子など）を設けるのが有利である。

【０３５９】

図８０（Ｂ）は、パッシブマトリクス駆動のＦＥＤを示すが、対向するガラス基板１－３２間の真空部において、両電極９２－９３間の印加電圧によって冷陰極９４から放出された電子をゲートライン９５の選択によって対向する螢光体層９６へ入射させ、所定色の発光を得るものである。

【０３６０】

ここで、エミッタライン９２は、周辺駆動回路へ導かれ、データ電圧で駆動されるが、その周辺駆動回路には、本発明に基づいて単結晶シリコン層を用いたＭＯＳＴＦＴが設けられ、エミッタライン９２の高速駆動に寄与している。なお、このＦＥＤは、各画素に上記のＭＯＳＴＦＴを接続することにより、アクティブマトリクス駆動させることも可能である。

【０３６１】

なお、図８０（Ａ）の素子において、ＥＬ層９０の代わりに公知の発光ポリマーを用いれば、パッシブマトリクス又はアクティブマトリクス駆動の発光ポリマー表示装置（ＬＥＰＤ）として構成することができる。その他、図８０（Ｂ）の素子において、ダイアモンド薄膜をカソード側に用いたＦＥＤと類似のデバイスも構成できる。また、発光ダイオードにおいて、発光部に本発明によりエピタキシャル成長させた単結晶シリコンのＭＯＳＴＦＴにより、例えばガリウム系（ガリウム・アルミニウム・ひ素など）の膜からなる発光部を駆動できる。或いは、本発明のエピタキシャル成長法で発光部の膜を単結晶成長させることも考えられる。

【０３６２】

以上に述べた本発明の実施の形態は、本発明の技術的思想に基いて種々変形が可能である

。

【０３６３】

例えば、上述した多結晶シリコン膜５の成膜時に、溶解度が大きい３族又は５族元素を、例えばボロン、リン、アンチモン、ひ素、アルミニウム、ガリウム、インジウム、ビスマスなどを多結晶シリコン又はアモルファスシリコン膜５に適量ドープしておけば、成長するシリコンエピタキシャル成長層７のＰ型又はＮ型のチャンネル導電型や、そのキャリア濃度を任意に制御することができる。

【０３６４】

また、上述した第５の実施の形態（インジウム・ガリウム又は金属ガリウムを使用）に、上述した第２又は第３の実施の形態の手法を適用してよい。また、ガラス基板からのイオンの拡散防止のために基板表面にＳｉＮ膜（例えば５０～２００ｎｍ厚）、更には必要に応じてＳｉO_2膜（例えば１００ｎｍ厚）を設けてよく、またこれらの膜に既述した如き段差４を形成してもよい。上述した段差はＲＩＥ以外にもイオンミリング法などによっても形成可能である。また、上述したように、段差４を基板１に形成する以外にも、結晶性サファイア膜又はサファイア基板自体の厚み内に段差４を形成してもよいことは勿論である。

【０３６５】

また、上述したサファイア（Al_2O_3）に代えて、単結晶シリコンと格子整合の良好なスピネル構造体（例えばマグネシアスピネル）（$MgO \cdot Al_2O_3$）や、CaF_2、SrF_2、BaF_2、ＢＰ、$(Y_2O_3)_a$、$(ZrO_2)_{1-a}$等が使用可能である。

【０３６６】

また、本発明は周辺駆動回路のＴＦＴに好適なものであるが、それ以外にもダイオードなどの素子の能動領域や、抵抗、キャパシタンス、インダクタンスなどの受動領域を本発明による単結晶シリコン層で形成することも可能である。

【０３６７】

【発明の作用効果】

本発明によれば、特に単結晶シリコンと格子整合の良い上記物質層（例えば結晶性サファイア膜）及び上記段差をシードにして、多結晶シリコン又はアモルファスシリコン又はシリコンなどの半導体材料を溶解した低融点金属層から、ヘテロエピタキシャル成長で単結晶シリコン薄膜などの単結晶半導体薄膜を形成し、このエピタキシャル成長層をアクティブマトリクス基板などの駆動基板の周辺駆動回路のトップゲート型ＭＯＳＴＦＴや表示部一周辺駆動回路一体型のＬＣＤなどの電気光学装置の周辺駆動回路のトップゲート型ＭＯＳＴＦＴなどの能動素子や、抵抗、インダクタンス、キャパシタンス等の受動素子のうちの少なくとも能動素子に用いているので、次の（Ａ）～（Ｇ）に示す顕著な作用効果を得ることができる。

【０３６８】

（Ａ）単結晶シリコンと格子整合の良い物質層（例えば結晶性サファイア膜）を基板上に形成し、その物質層及び上記段差をシードとしてヘテロエピタキシャル成長させることにより、５４０cm^2／Ｖ・ｓｅｃ以上の高い電子移動度の単結晶シリコン薄膜の如き単結晶半導体層が得られるので、高性能ドライバ内蔵の表示用薄膜半導体装置などの電気光学装置の製造が可能となる。

【０３６９】

（Ｂ）特にこの単結晶シリコン薄膜による単結晶シリコントップゲート型ＴＦＴは、高いスイッチング特性を有し、ＬＤＤ構造を有するｎＭＯＳ又はｐＭＯＳ又はｃＭＯＳＴＦＴの表示部と、高い駆動能力のｃＭＯＳ、又はｎＭＯＳ又はｐＭＯＳＴＦＴ又はこれらの混在からなる周辺駆動回路とを一体化した構成が可能となり、高画質、高精細、狭額縁、高効率、大画面の表示パネルが実現する。

【０３７０】

（Ｃ）そして、上記した物質層及び段差をヘテロエピタキシャル成長のシードとして用い、かつこの物質層上に上記した多結晶又はアモルファスシリコン層などをプラズマ又は

減圧ＣＶＤ（化学的気相成長：基板温度１００～４００℃）などの方法で形成でき、上記した低融点金属層は真空蒸着法又はスパッタ法などの方法で形成でき、更に、上記したシリコンエピタキシャル成長時の加熱処理温度は９３０℃以下が可能であるから、絶縁基板上に比較的低温（例えば４００～４５０℃）でシリコン単結晶膜を均一に形成することができる。

【０３７１】

（Ｄ）固相成長法の場合のような中温で長時間（約６００℃、十数時間）のアニールや、エキシマレーザーアニールが不要となるから、生産性が高く、高価な製造設備が不要でコストダウンが可能となる。

【０３７２】

（Ｅ）このヘテロエピタキシャル成長では、結晶性サファイア膜等の物質層の結晶性、多結晶又はアモルファスシリコンと低融点金属との組成比、基板の加熱温度、冷却速度等の調整により広範囲のＰ型不純物濃度と高移動度の単結晶シリコン薄膜が容易に得られるので、Ｖｔｈ（しきい値）調整が容易であり、低抵抗化による高速動作が可能である。

【０３７３】

（Ｆ）また、多結晶又はアモルファスシリコン又はシリコン含有低融点金属層の成膜時に、３族又は５族の不純物元素（ボロン、リン、アンチモン、ひ素、ビスマス、アルミニウムなど）を別途適量ドープしておけば、ヘテロエピタキシャル成長による単結晶シリコン薄膜の不純物種及び／又はその濃度、即ちＰ型／Ｎ型等の導電型及び／又はキャリア濃度を任意に制御することができる。

【０３７４】

（Ｇ）結晶性サファイア薄膜などの上記物質層は、様々な原子の拡散バリアになるため、ガラス基板からの不純物の拡散を抑制することができる。

【図面の簡単な説明】

【図１】本発明の第１の実施の形態によるＬＣＤ（液晶表示装置）の製造プロセスを工程順に示す断面図である。

【図２】同、ＬＣＤの製造プロセスを工程順に示す断面図である。

【図３】同、ＬＣＤの製造プロセスを工程順に示す断面図である。

【図４】同、ＬＣＤの製造プロセスを工程順に示す断面図である。

【図５】同、ＬＣＤの製造プロセスを工程順に示す断面図である。

【図６】同、ＬＣＤの製造プロセスを工程順に示す断面図である。

【図７】同、ＬＣＤの要部断面図である。

【図８】非晶質基板上のシリコン結晶成長の状況を説明するための概略斜視図である。

【図９】グラフォエピタキシャル成長技術における各種段差形状とシリコン成長結晶方位を示す概略断面図である。

【図１０】Ｓｉ－Ｉｎ状態図（Ａ）及びＳｉ－Ｇａ状態図（Ｂ）である。

【図１１】本発明の第１の実施の形態によるＬＣＤの全体の概略レイアウトを示す斜視図である。

【図１２】同、ＬＣＤの等価回路図である。

【図１３】同、ＬＣＤの概略構成図である。

【図１４】本発明の第２の実施の形態によるＬＣＤの製造プロセスを工程順に示す断面図である。

【図１５】本発明の第３の実施の形態によるＬＣＤの製造プロセスを工程順に示す断面図である。

【図１６】本発明の第４の実施の形態によるＬＣＤの製造プロセスを工程順に示す断面図である。

【図１７】同、ＬＣＤの要部断面図である。

【図１８】同、ＬＣＤの製造プロセスを工程順に示す断面図である。

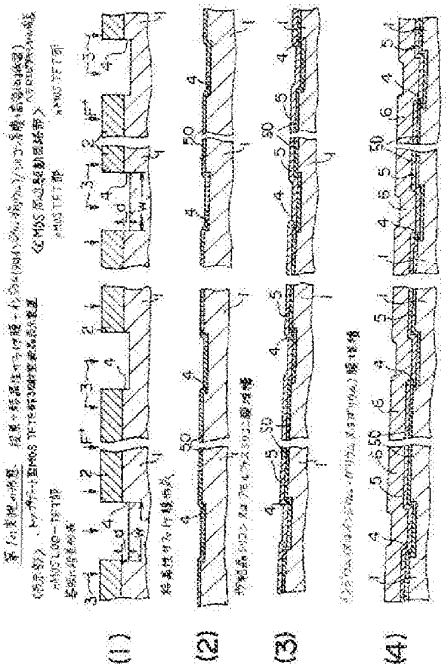
【図１９】本発明の第７の実施の形態によるＬＣＤの要部断面図である。

【図２０】同、ＬＣＤの製造プロセスを工程順に示す断面図である。

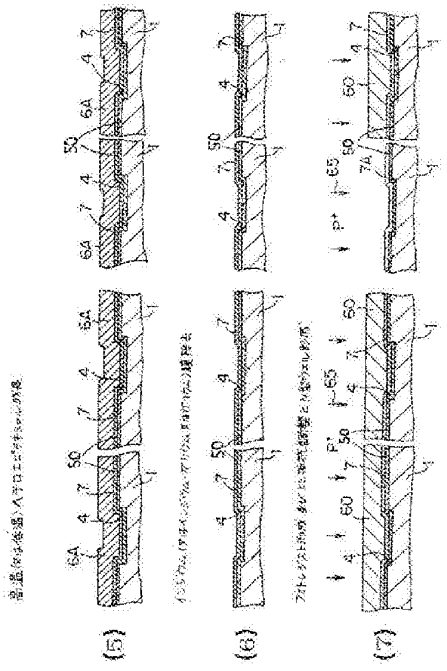
【図２１】同、ＬＣＤの製造プロセスを工程順に示す断面図である。
【図２２】同、ＬＣＤの製造プロセスを工程順に示す断面図である。
【図２３】同、ＬＣＤの製造プロセスを工程順に示す断面図である。
【図２４】同、ＬＣＤの製造プロセスを工程順に示す断面図である。
【図２５】同、ＬＣＤの製造プロセスを工程順に示す断面図である。
【図２６】同、ＬＣＤの製造プロセスを工程順に示す断面図である。
【図２７】同、ＬＣＤの製造プロセスを工程順に示す断面図である。
【図２８】本発明の第８の実施の形態によるＬＣＤの製造プロセスを工程順に示す断面図である。
【図２９】同、ＬＣＤの製造プロセスを工程順に示す断面図である。
【図３０】同、ＬＣＤの製造プロセスを工程順に示す断面図である。
【図３１】同、ＬＣＤの製造プロセスを工程順に示す断面図である。
【図３２】同、ＬＣＤの製造プロセスを工程順に示す断面図である。
【図３３】同、ＬＣＤの製造プロセスを工程順に示す断面図である。
【図３４】同、ＬＣＤの製造時の要部断面図である。
【図３５】同、ＬＣＤの製造時の要部断面図である。
【図３６】本発明の第９の実施の形態によるＬＣＤの各種ＴＦＴを示す平面図又は断面図である。
【図３７】同、ＬＣＤの製造時の各種ＴＦＴを示す断面図である。
【図３８】同、ＬＣＤの要部断面図である。
【図３９】本発明の第１０の実施の形態によるＬＣＤの要部断面図又は平面図である。
【図４０】同、ＬＣＤの各種ＴＦＴの要部断面図である。
【図４１】同、ＬＣＤのＴＦＴの等価回路図である。
【図４２】本発明の第１１の実施の形態によるＬＣＤのＴＦＴの要部断面図である。
【図４３】本発明の第１２の実施の形態によるＬＣＤの製造プロセスを工程順に示す断面図である。
【図４４】同、ＬＣＤの製造プロセスを工程順に示す断面図である。
【図４５】同、ＬＣＤの製造プロセスを工程順に示す断面図である。
【図４６】同、ＬＣＤの製造プロセスを工程順に示す断面図である。
【図４７】同、ＬＣＤの製造プロセスを工程順に示す断面図である。
【図４８】同、ＬＣＤの要部断面図である。
【図４９】本発明の第１３の実施の形態によるＬＣＤの製造プロセスを工程順に示す断面図である。
【図５０】本発明の第１４の実施の形態によるＬＣＤの製造プロセスを工程順に示す断面図である。
【図５１】本発明の第１５の実施の形態によるＬＣＤの製造プロセスを工程順に示す断面図である。
【図５２】同、ＬＣＤの要部断面図である。
【図５３】同、ＬＣＤの製造プロセスを工程順に示す断面図である。
【図５４】本発明の第１６の実施の形態によるＬＣＤの要部断面図である。
【図５５】同、ＬＣＤの製造プロセスを工程順に示す断面図である。
【図５６】同、ＬＣＤの製造プロセスを工程順に示す断面図である。
【図５７】同、ＬＣＤの製造プロセスを工程順に示す断面図である。
【図５８】同、ＬＣＤの製造プロセスを工程順に示す断面図である。
【図５９】同、ＬＣＤの製造プロセスを工程順に示す断面図である。
【図６０】同、ＬＣＤの製造プロセスを工程順に示す断面図である。
【図６１】同、ＬＣＤの製造プロセスを工程順に示す断面図である。
【図６２】同、ＬＣＤの製造プロセスを工程順に示す断面図である。
【図６３】本発明の第１７の実施の形態によるＬＣＤの製造プロセスを工程順に示す断面図である。

【図６４】同、ＬＣＤの製造プロセスを工程順に示す断面図である。
【図６５】同、ＬＣＤの製造プロセスを工程順に示す断面図である。
【図６６】本発明の第１８の実施の形態によるＬＣＤの要部断面図又は平面図である。
【図６７】同、ＬＣＤの各種ＴＦＴの要部断面図である。
【図６８】本発明の第１９の実施の形態によるＬＣＤの各部ＴＦＴの組み合せを示す図である。
【図６９】同、ＬＣＤの各部ＴＦＴの組み合せを示す図である。
【図７０】同、ＬＣＤの各部ＴＦＴの組み合せを示す図である。
【図７１】同、ＬＣＤの各部ＴＦＴの組み合せを示す図である。
【図７２】同、ＬＣＤの各部ＴＦＴの組み合せを示す図である。
【図７３】同、ＬＣＤの各部ＴＦＴの組み合せを示す図である。
【図７４】同、ＬＣＤの各部ＴＦＴの組み合せを示す図である。
【図７５】同、ＬＣＤの各部ＴＦＴの組み合せを示す図である。
【図７６】同、ＬＣＤの各部ＴＦＴの組み合せを示す図である。
【図７７】本発明の第２０の実施の形態によるＬＣＤの概略レイアウト図である。
【図７８】同、ＬＣＤの各部ＴＦＴの組み合わせを示す図である。
【図７９】本発明の第２１の実施例によるデバイスの概略レイアウト図である。
【図８０】本発明の第２２の実施の形態によるＥＬ及びＦＥＤの要部断面図である。
【符号の説明】
１…ガラス（又は石英）基板、４…段差、７…単結晶シリコン層、
９…Ｍｏ・Ｔａ層、１１…ゲート電極、１２…ゲート酸化膜、
１４、１７…Ｎ型不純物イオン、１５…ＬＤＤ部、
１８、１９…N^+ 型ソース又はドレイン領域、２１…Ｐ型不純物イオン、
２２、２３…P^+ 型ソース又はドレイン領域、２５、３６…絶縁膜、
２６、２７、３１、４１…電極、２８…平坦化膜、２８Ａ…粗面（凹凸）、
２９…反射膜（又は電極）、３０…ＬＣＤ（ＴＦＴ）基板、
３３、３４…配向膜、３５…液晶、３７、４６…カラーフィルタ層、
４３…ブラックマスク層、５０…結晶性サファイア薄膜

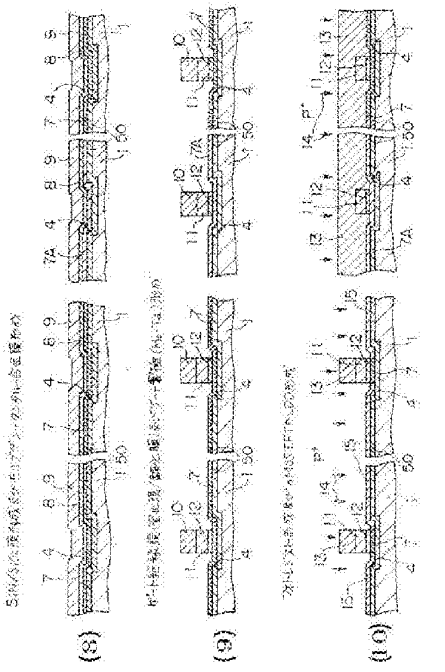
【図1】



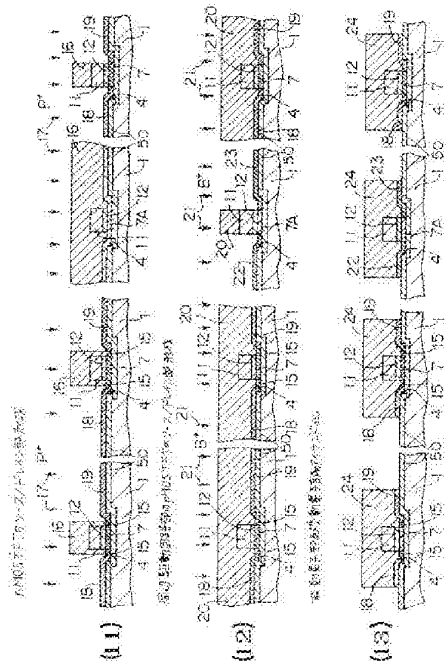
【図2】



【図3】

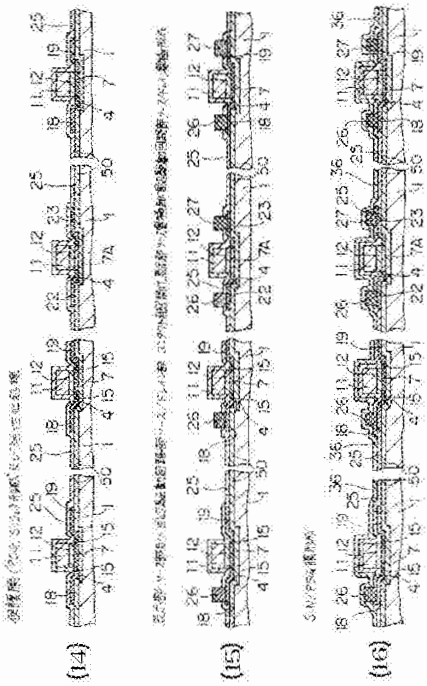


【図4】

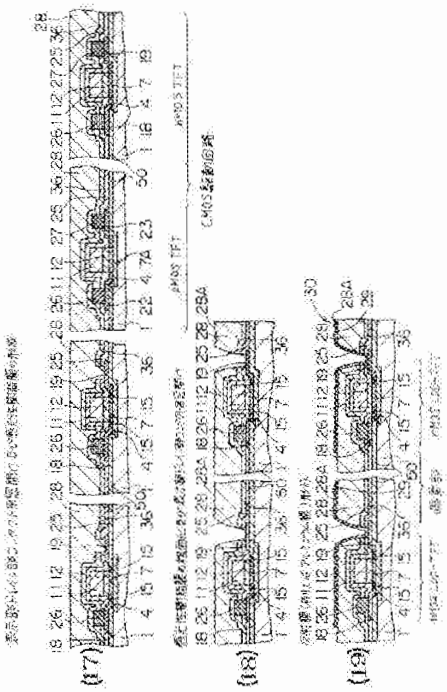


SDC EX. 1016 - 898/959

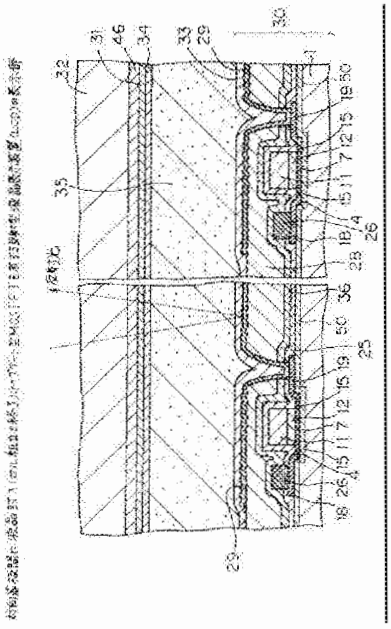
【図5】



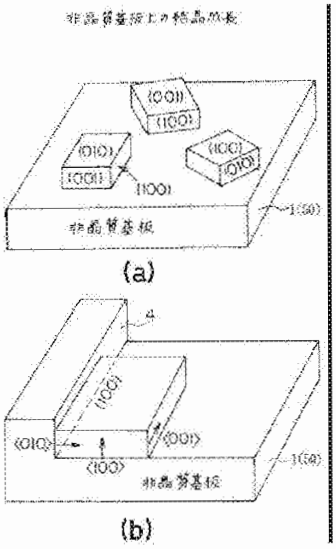
【図6】



【図7】

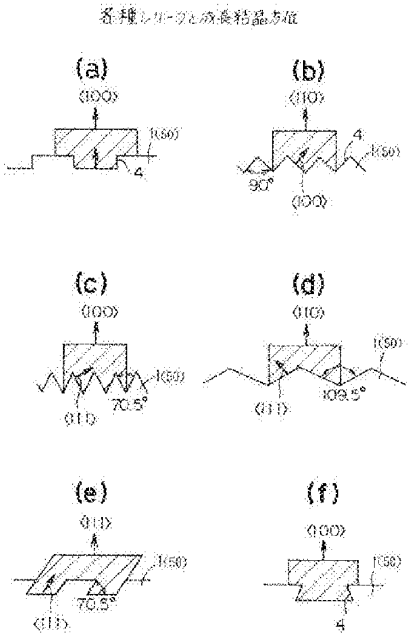


【図8】

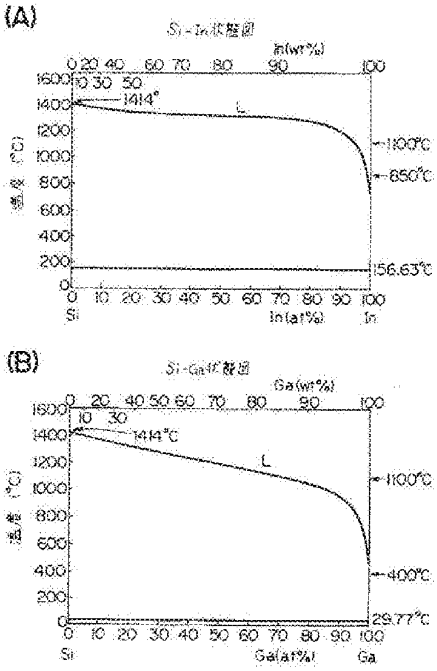


SDC EX. 1016 - 899/959

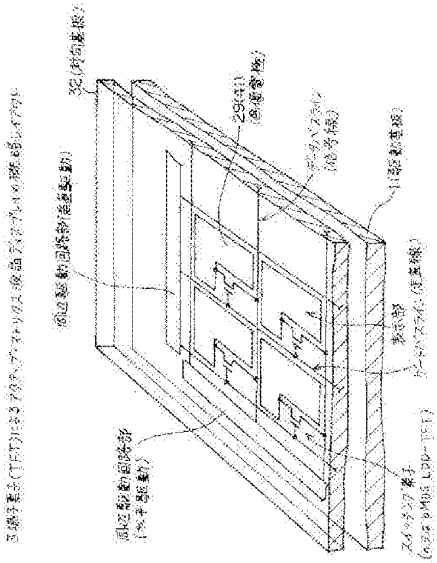
【図9】



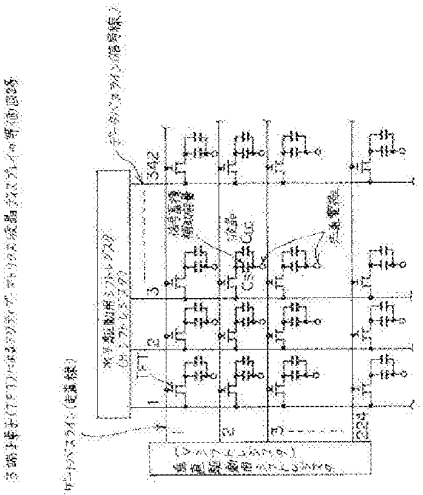
【図10】



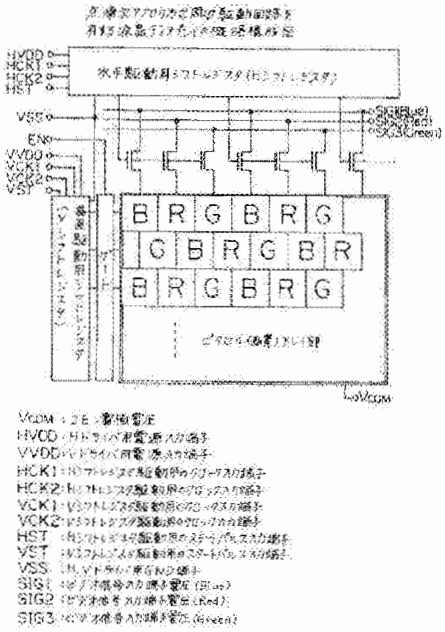
【図11】



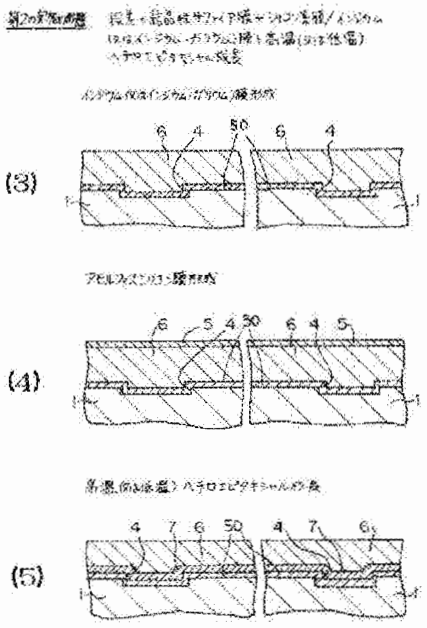
【図12】



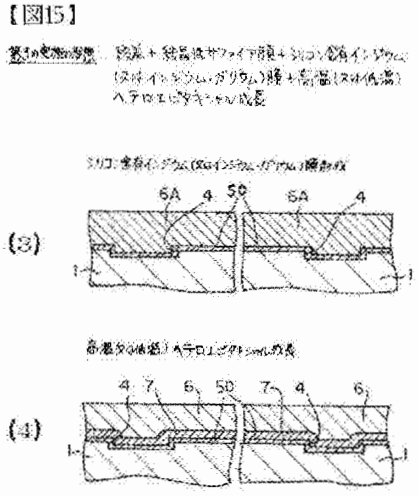
【図13】



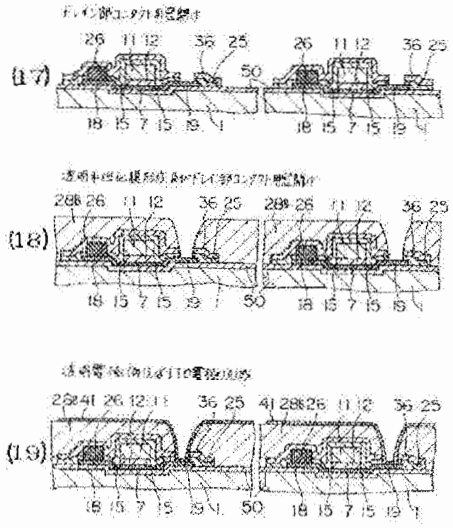
【図14】



【図15】

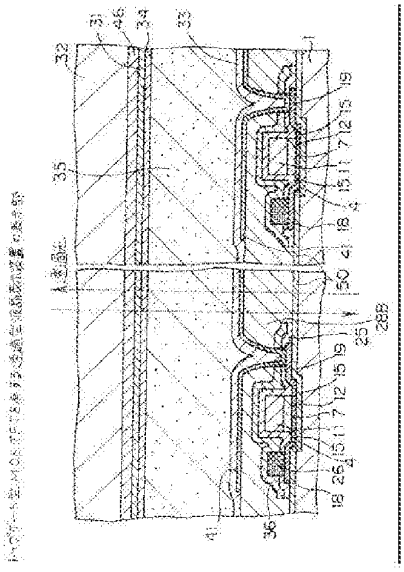


【図16】

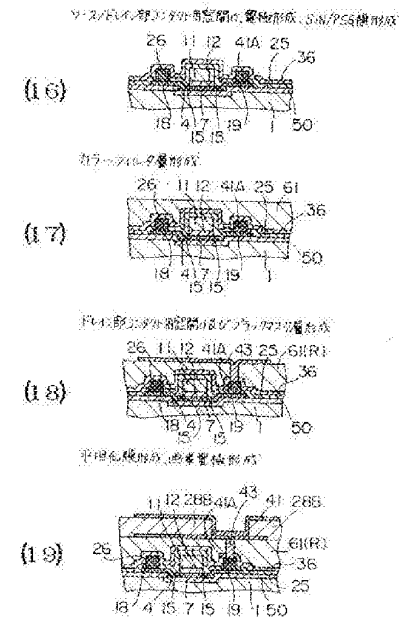


SDC EX. 1016 - 901/959

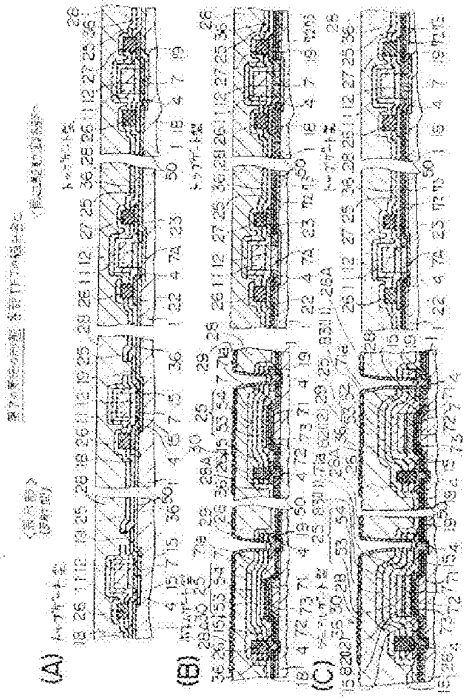
【図17】



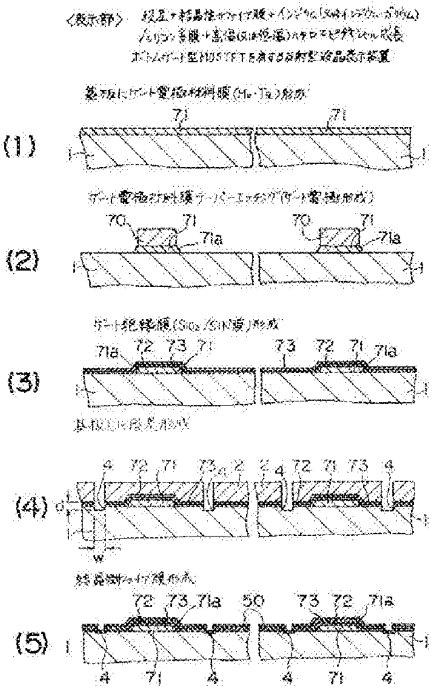
【図18】



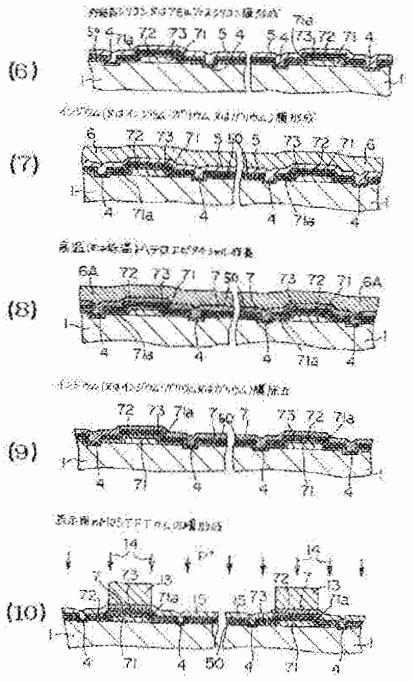
【図19】



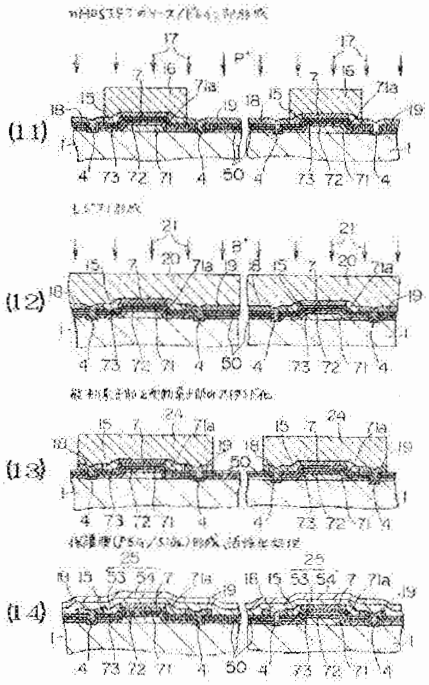
【図20】



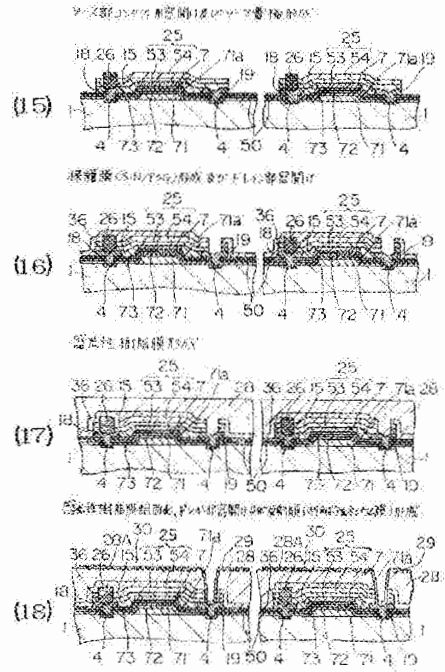
【図21】



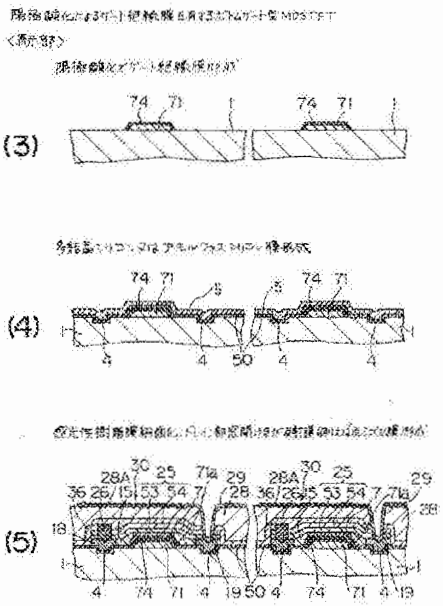
【図22】



【図23】

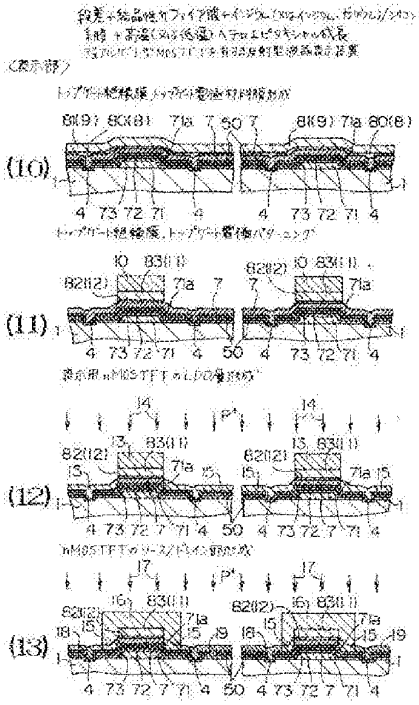


【図24】

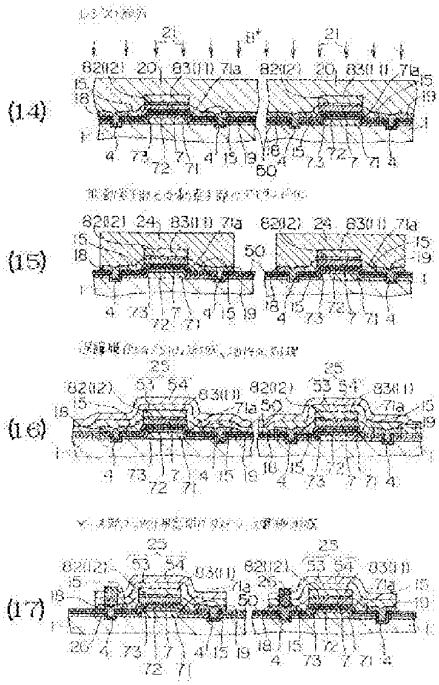


SDC EX. 1016 - 903/959

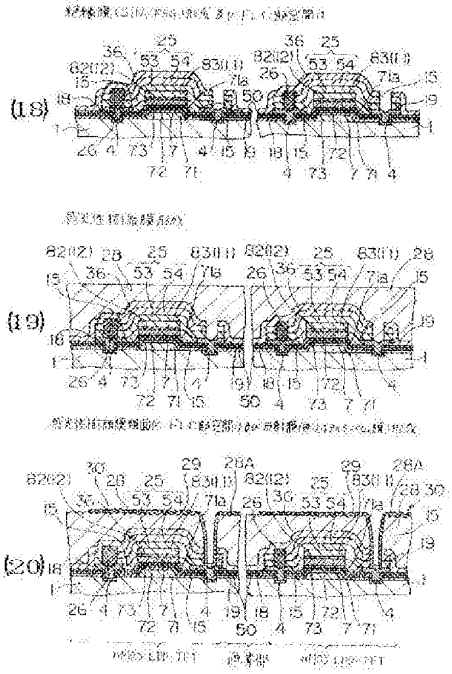
【図25】



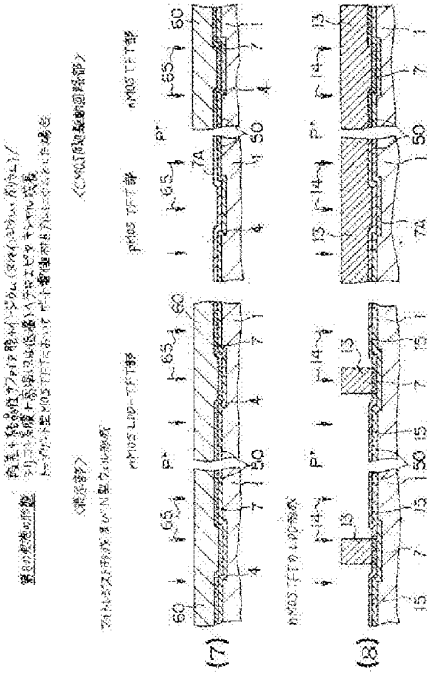
【図26】



【図27】



【図28】



【図29】

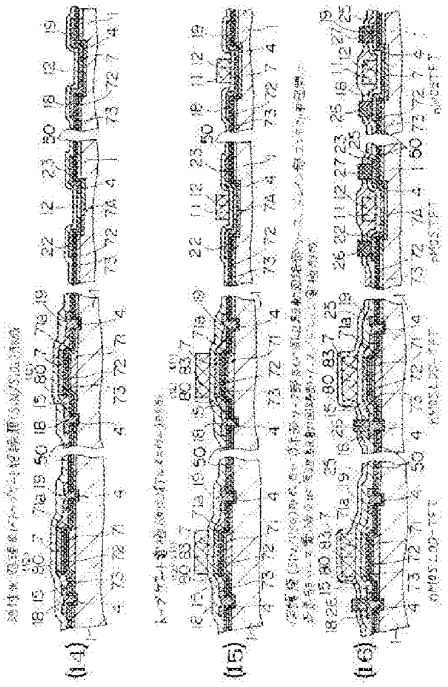
【図30】

【図31】

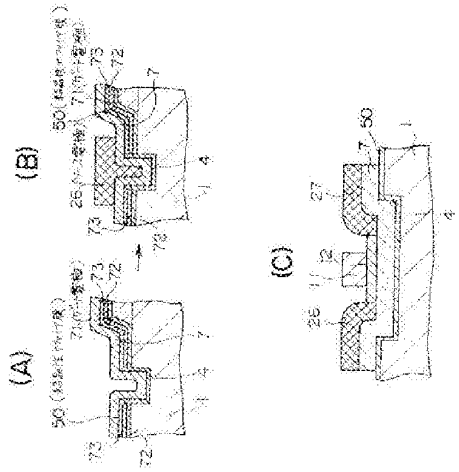
【図32】

SDC EX. 1016 - 905/959

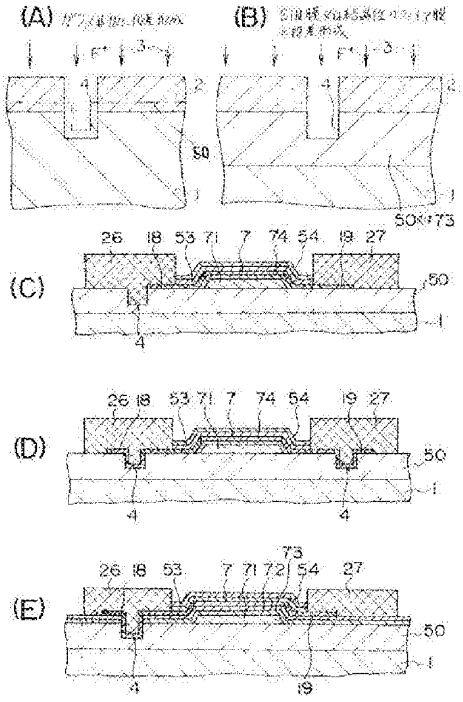
【図33】



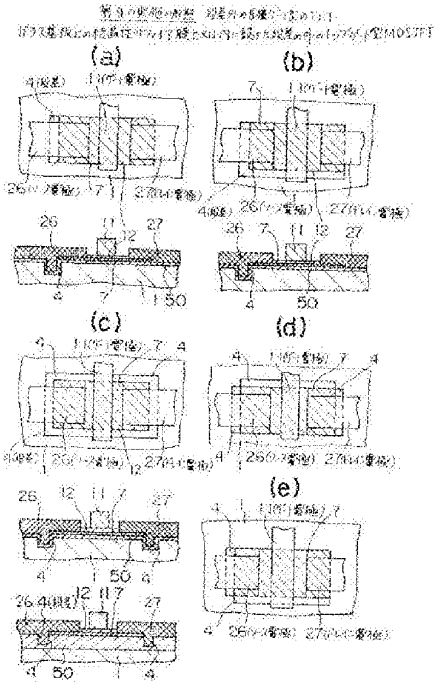
【図34】



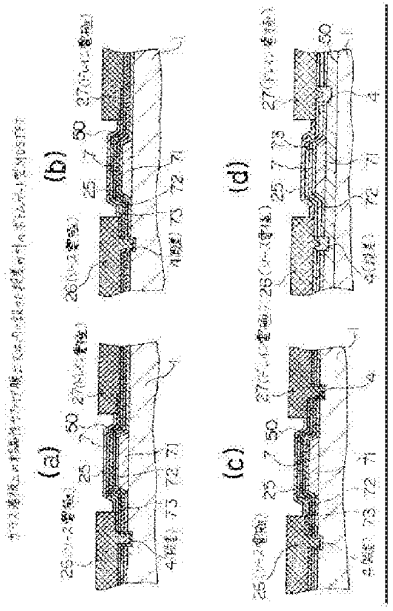
【図35】



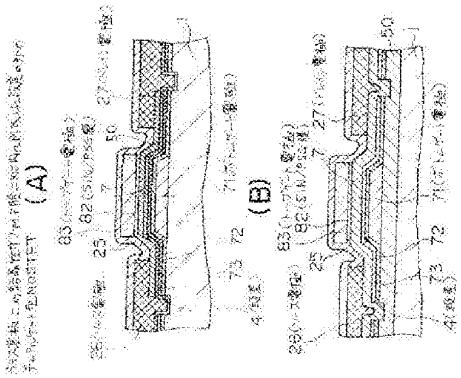
【図36】



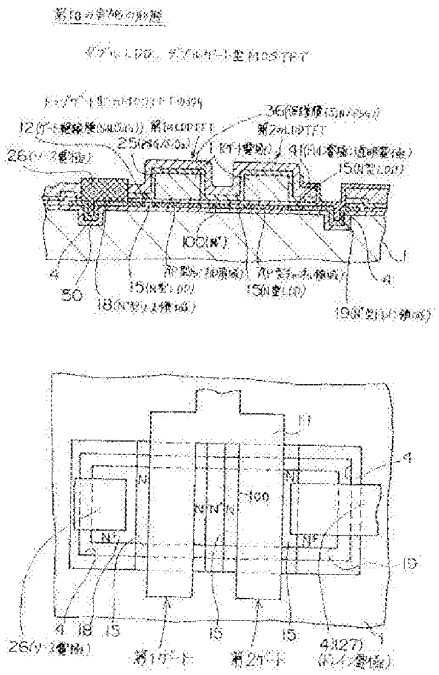
【図37】



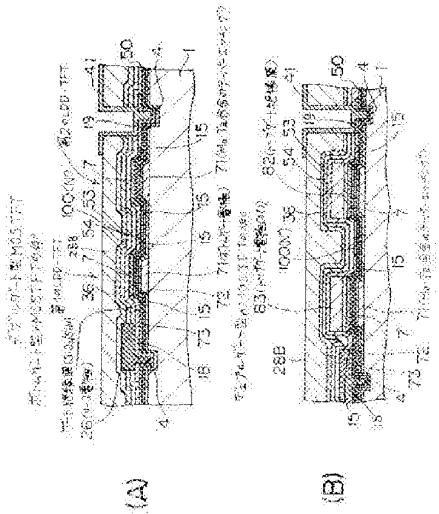
【図38】



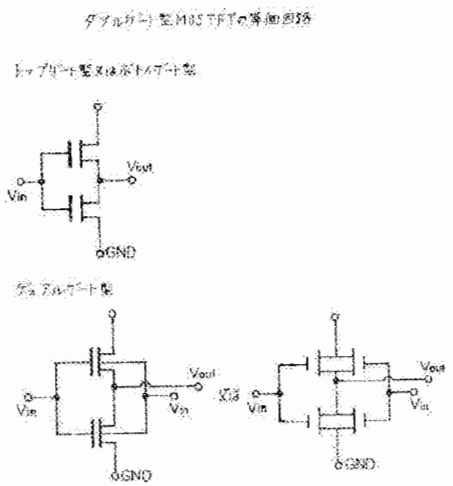
【図39】



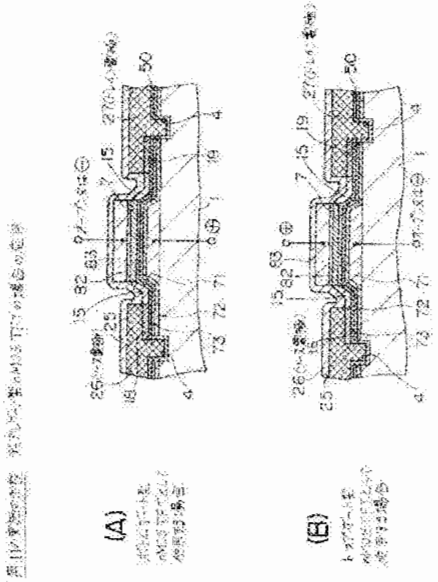
【図40】



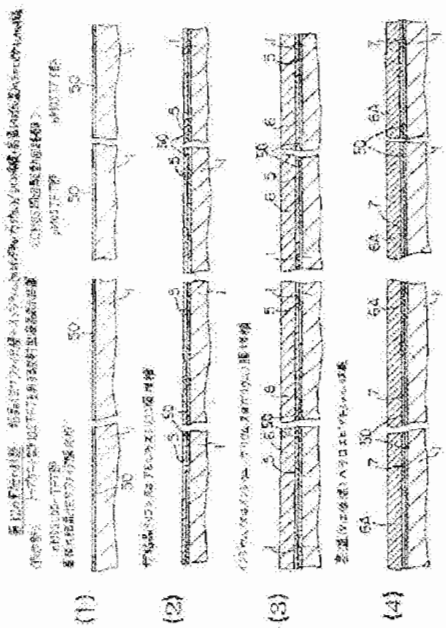
【図41】



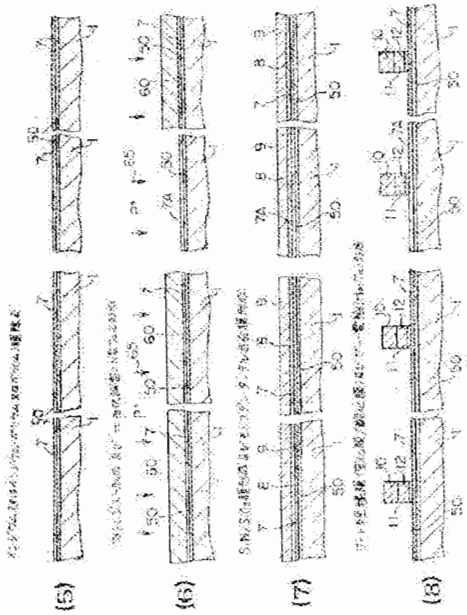
【図42】



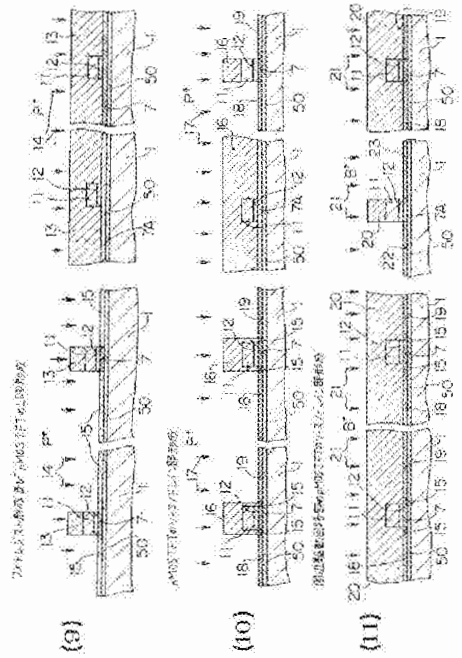
【図43】



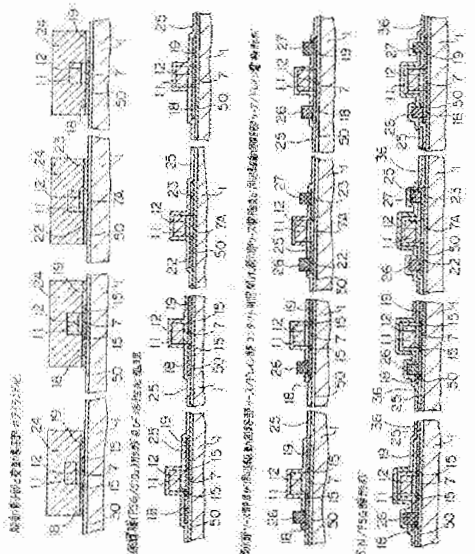
【図44】



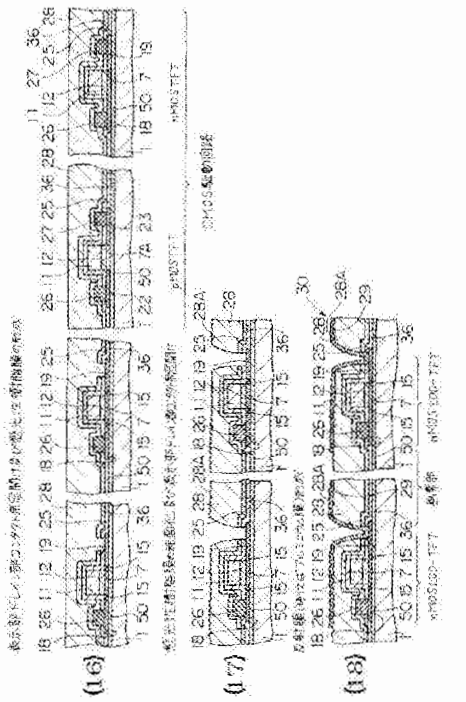
【図45】



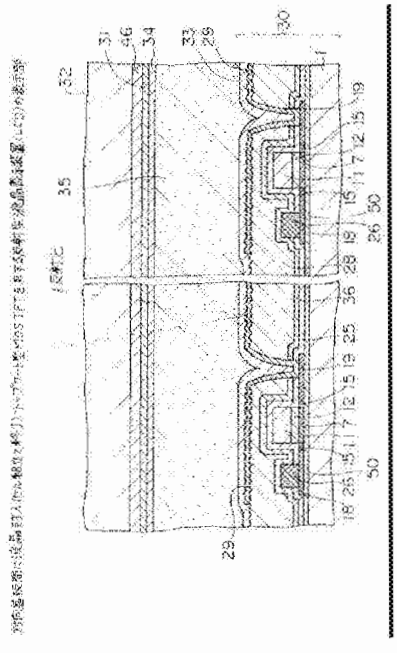
【図46】



【図47】

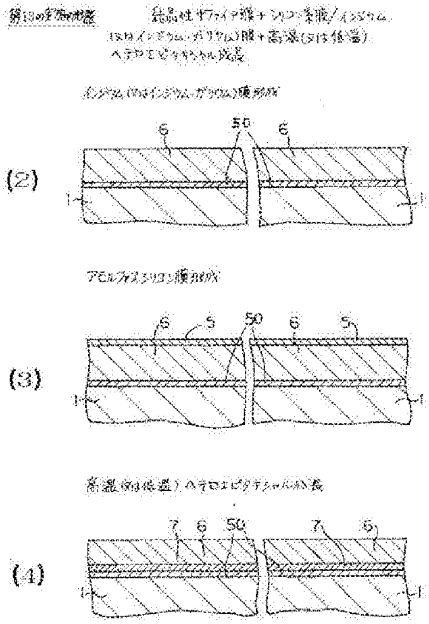


【図48】

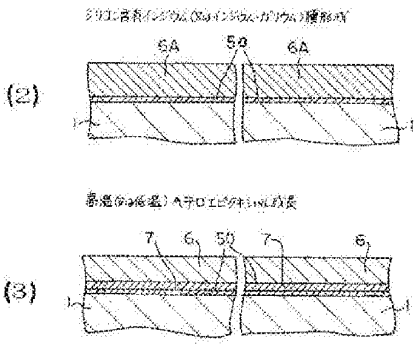


SDC EX. 1016 - 909/959

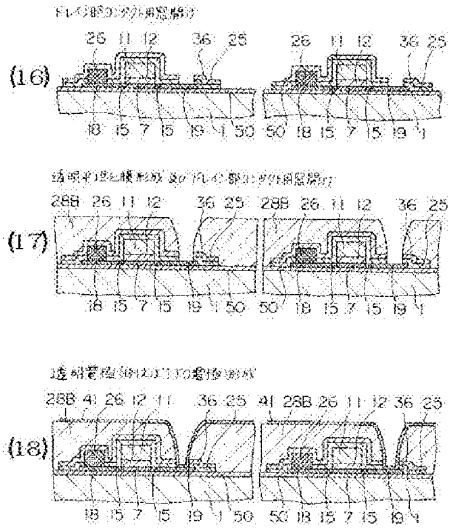
【図49】



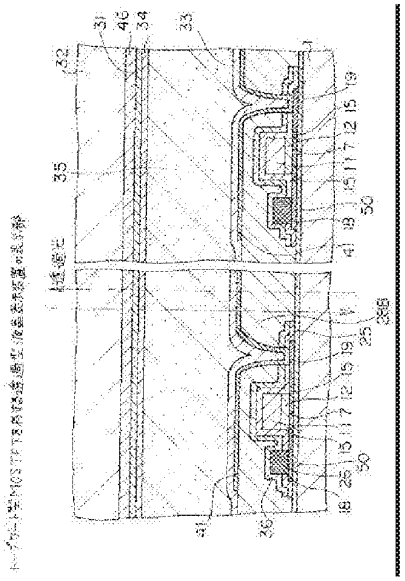
【図50】



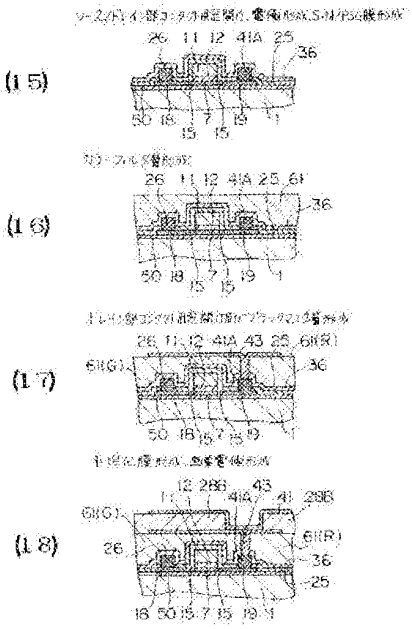
【図51】



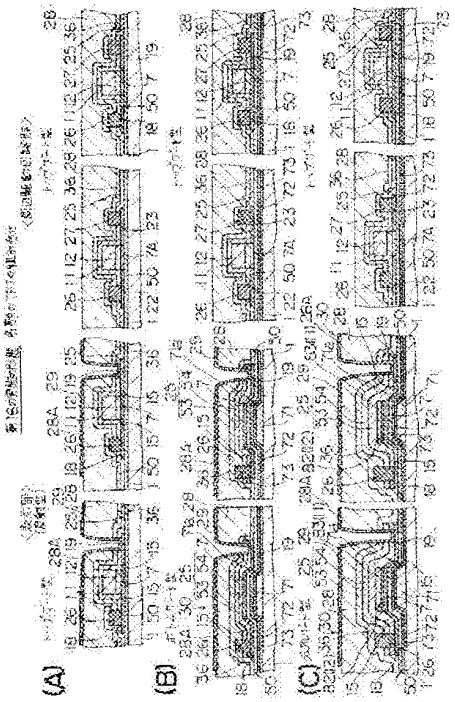
【図52】



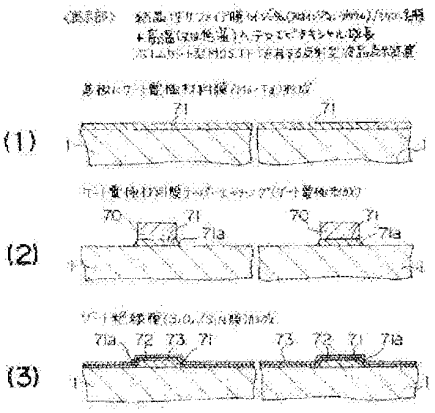
【図53】



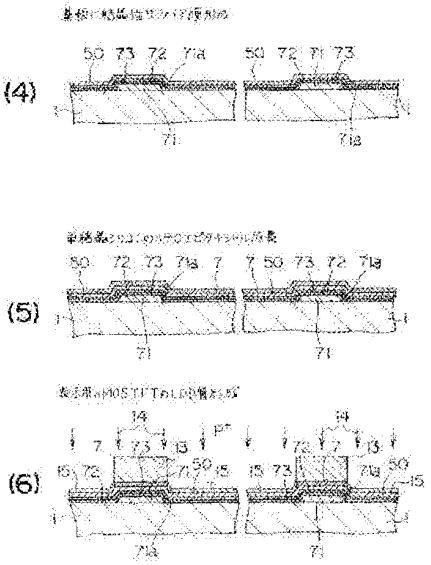
【図54】



【図55】

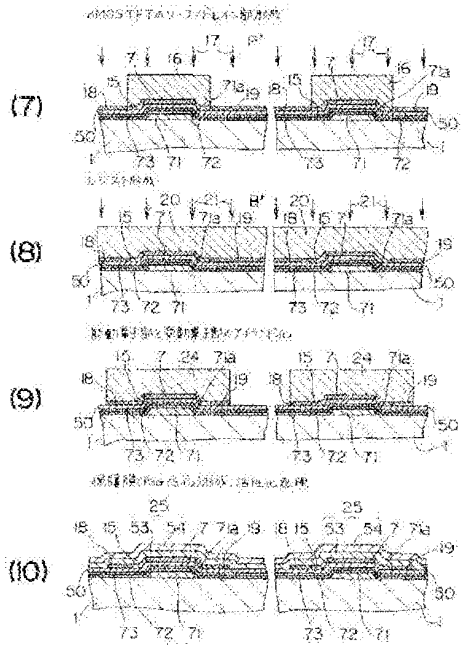


【図56】

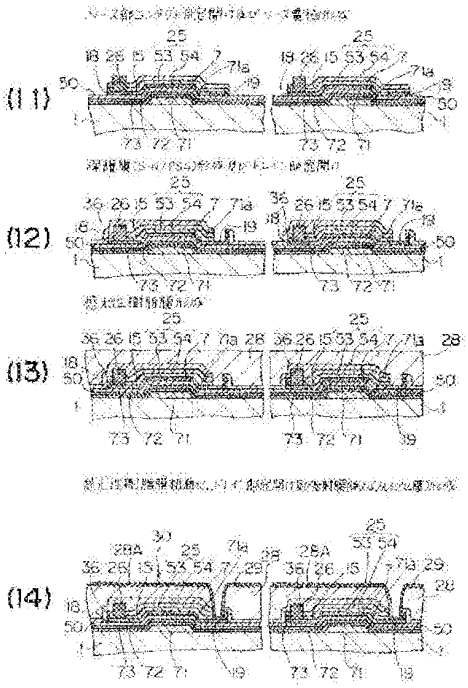


SDC EX. 1016 - 911/959

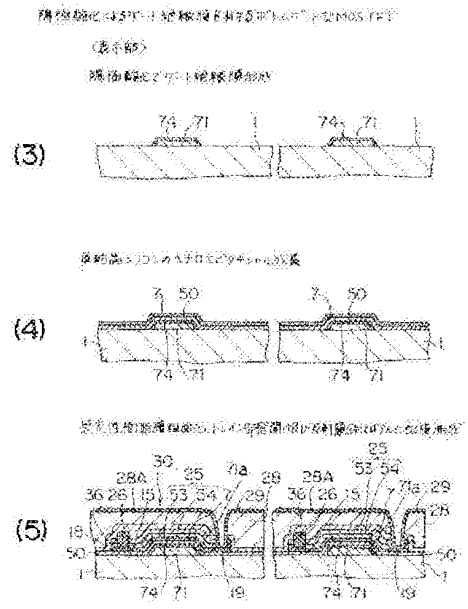
【図57】



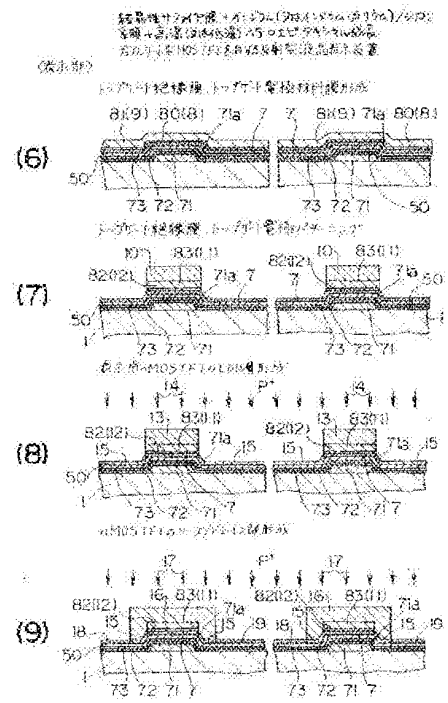
【図58】



【図59】

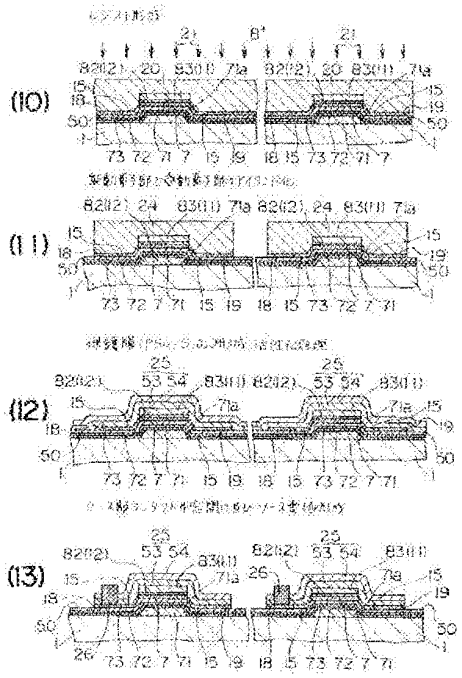


【図60】

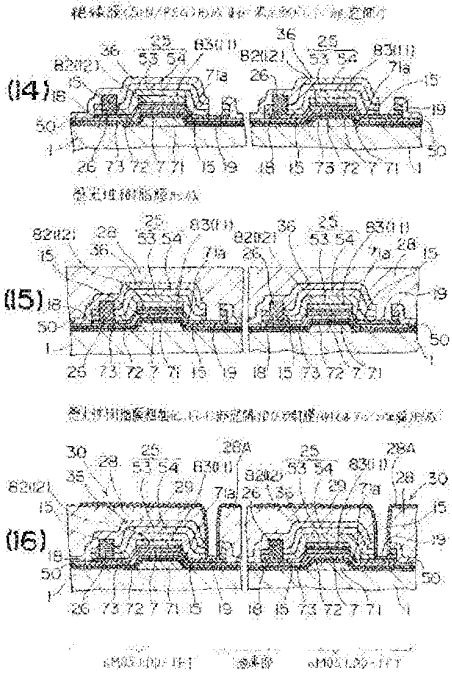


SDC EX. 1016 - 912/959

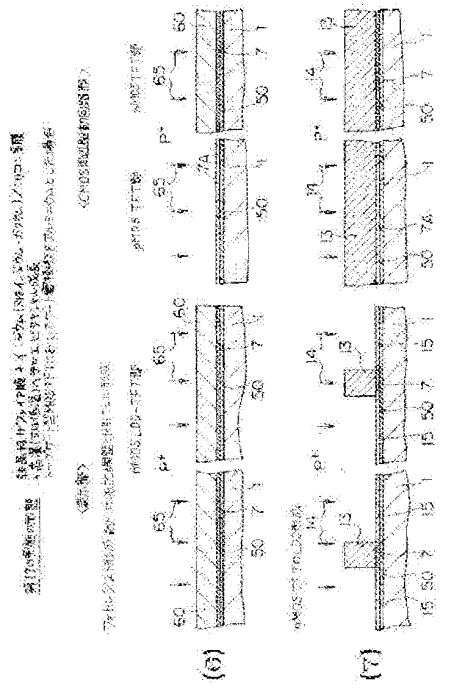
【図61】



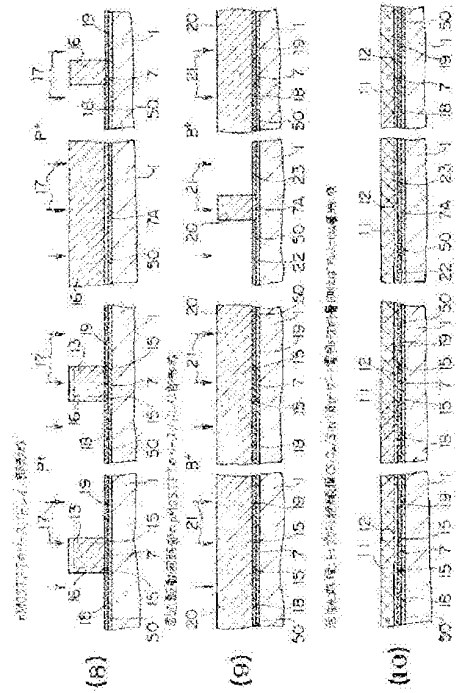
【図62】



【図63】

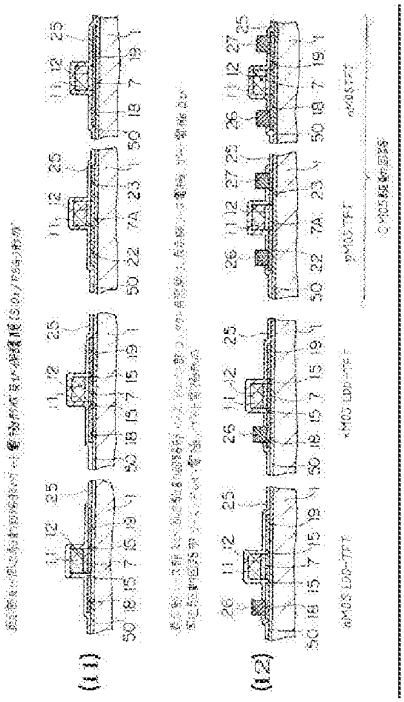


【図64】

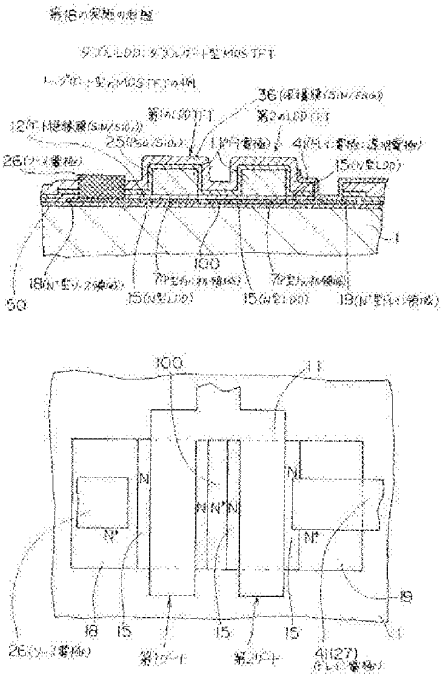


SDC EX. 1016 - 913/959

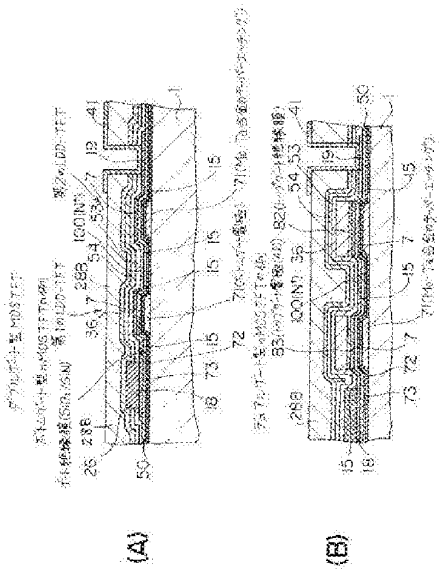
【図65】



【図66】



【図67】



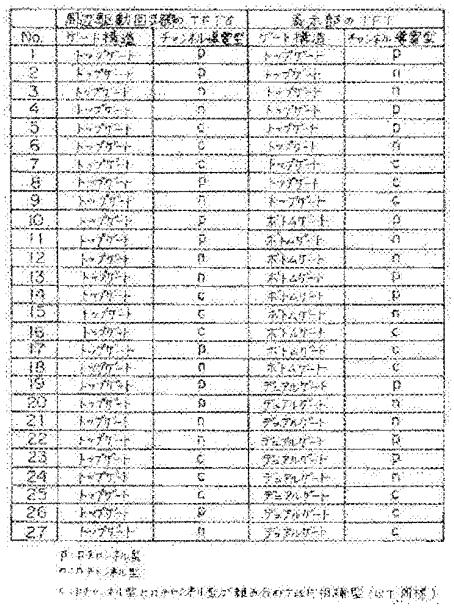
【図68】

第19の実施の形態

各部のMOS TFT種お各位

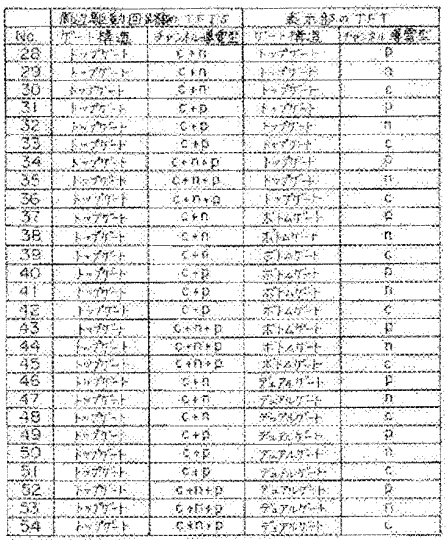
No.	周辺駆動回路部	表示部
1	トップゲート型	トップゲート型
2	トップゲート型	ボトムゲート型
3	トップゲート型	デュアルゲート型
4	トップゲート型＋ボトムゲート型	トップゲート型
5	トップゲート型＋ボトムゲート型	ボトムゲート型
6	トップゲート型＋ボトムゲート型	デュアルゲート型
7	トップゲート型＋デュアルゲート型	トップゲート型
8	トップゲート型＋デュアルゲート型	ボトムゲート型
9	トップゲート型＋デュアルゲート型	デュアルゲート型
10	トップゲート型＋ボトムゲート型＋デュアルゲート型	トップゲート型
11	トップゲート型＋ボトムゲート型＋デュアルゲート型	ボトムゲート型
12	トップゲート型＋ボトムゲート型＋デュアルゲート型	デュアルゲート型

【図69】



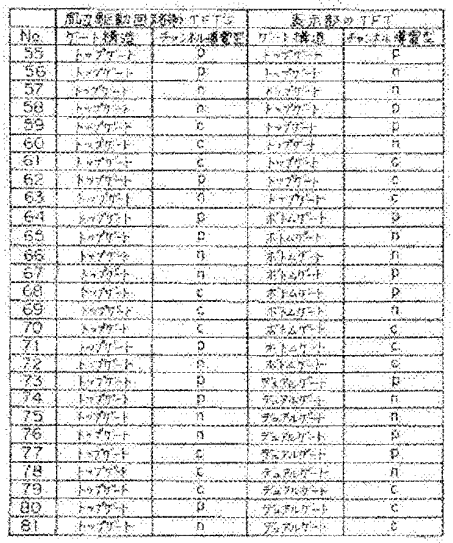
No.	周辺駆動回路部のTFT		表示部のTFT	
	ゲート構造	チャネル導電型	ゲート構造	チャネル導電型
1	トップゲート	p	トップゲート	p
2	トップゲート	p	トップゲート	n
3	トップゲート	n	トップゲート	n
4	トップゲート	n	トップゲート	p
5	トップゲート	c	トップゲート	p
6	トップゲート	c	トップゲート	n
7	トップゲート	c	トップゲート	c
8	トップゲート	p	トップゲート	c
9	トップゲート	n	トップゲート	c
10	トップゲート	p	ボトムゲート	p
11	トップゲート	p	ボトムゲート	n
12	トップゲート	n	ボトムゲート	n
13	トップゲート	n	ボトムゲート	p
14	トップゲート	c	ボトムゲート	p
15	トップゲート	c	ボトムゲート	n
16	トップゲート	c	ボトムゲート	c
17	トップゲート	p	ボトムゲート	c
18	トップゲート	n	ボトムゲート	c
19	トップゲート	p	デュアルゲート	p
20	トップゲート	p	デュアルゲート	n
21	トップゲート	n	デュアルゲート	n
22	トップゲート	n	デュアルゲート	p
23	トップゲート	c	デュアルゲート	p
24	トップゲート	c	デュアルゲート	n
25	トップゲート	c	デュアルゲート	c
26	トップゲート	p	デュアルゲート	c
27	トップゲート	n	デュアルゲート	c

【図70】



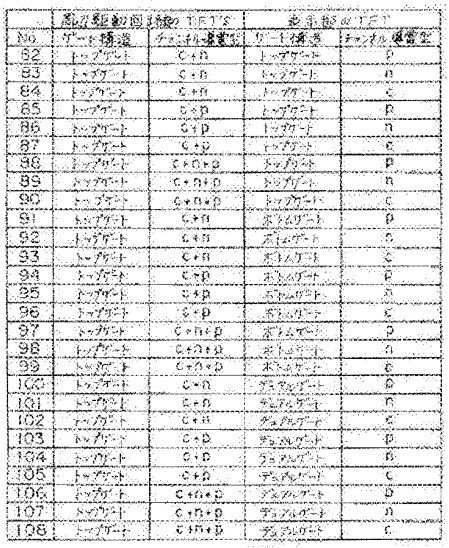
No.	周辺駆動回路部のTFT		表示部のTFT	
	ゲート構造	チャネル導電型	ゲート構造	チャネル導電型
28	トップゲート	c+n	トップゲート	p
29	トップゲート	c+n	トップゲート	n
30	トップゲート	c+n	トップゲート	c
31	トップゲート	c+p	トップゲート	p
32	トップゲート	c+p	トップゲート	n
33	トップゲート	c+p	トップゲート	c
34	トップゲート	c+n+p	トップゲート	p
35	トップゲート	c+n+p	トップゲート	n
36	トップゲート	c+n+p	トップゲート	c
37	トップゲート	c+n	ボトムゲート	p
38	トップゲート	c+n	ボトムゲート	n
39	トップゲート	c+n	ボトムゲート	c
40	トップゲート	c+p	ボトムゲート	p
41	トップゲート	c+p	ボトムゲート	n
42	トップゲート	c+p	ボトムゲート	c
43	トップゲート	c+n+p	ボトムゲート	p
44	トップゲート	c+n+p	ボトムゲート	n
45	トップゲート	c+n+p	ボトムゲート	c
46	トップゲート	c+n	デュアルゲート	p
47	トップゲート	c+n	デュアルゲート	n
48	トップゲート	c+n	デュアルゲート	c
49	トップゲート	c+p	デュアルゲート	p
50	トップゲート	c+p	デュアルゲート	n
51	トップゲート	c+p	デュアルゲート	c
52	トップゲート	c+n+p	デュアルゲート	p
53	トップゲート	c+n+p	デュアルゲート	n
54	トップゲート	c+n+p	デュアルゲート	c

【図71】



No.	周辺駆動回路部のTFT		表示部のTFT	
	ゲート構造	チャネル導電型	ゲート構造	チャネル導電型
55	トップゲート	p	トップゲート	p
56	トップゲート	p	トップゲート	n
57	トップゲート	n	トップゲート	n
58	トップゲート	n	トップゲート	p
59	トップゲート	c	トップゲート	p
60	トップゲート	c	トップゲート	n
61	トップゲート	c	トップゲート	c
62	トップゲート	p	トップゲート	c
63	トップゲート	n	トップゲート	c
64	トップゲート	p	ボトムゲート	p
65	トップゲート	n	ボトムゲート	n
66	トップゲート	n	ボトムゲート	n
67	トップゲート	n	ボトムゲート	p
68	トップゲート	c	ボトムゲート	p
69	トップゲート	c	ボトムゲート	n
70	トップゲート	c	ボトムゲート	c
71	トップゲート	p	ボトムゲート	c
72	トップゲート	n	ボトムゲート	c
73	トップゲート	p	デュアルゲート	p
74	トップゲート	p	デュアルゲート	n
75	トップゲート	n	デュアルゲート	n
76	トップゲート	n	デュアルゲート	p
77	トップゲート	c	デュアルゲート	p
78	トップゲート	c	デュアルゲート	n
79	トップゲート	c	デュアルゲート	c
80	トップゲート	p	デュアルゲート	c
81	トップゲート	n	デュアルゲート	c

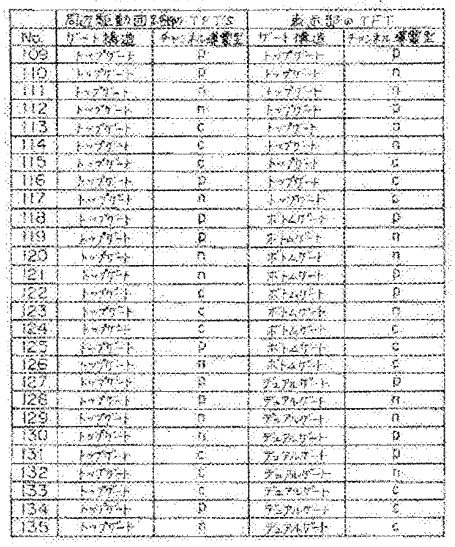
【図72】



No.	周辺駆動回路部のTFT		表示部のTFT	
	ゲート構造	チャネル導電型	ゲート構造	チャネル導電型
82	トップゲート	c+n	トップゲート	p
83	トップゲート	c+n	トップゲート	n
84	トップゲート	c+n	トップゲート	c
85	トップゲート	c+p	トップゲート	p
86	トップゲート	c+p	トップゲート	n
87	トップゲート	c+p	トップゲート	c
88	トップゲート	c+n+p	トップゲート	p
89	トップゲート	c+n+p	トップゲート	n
90	トップゲート	c+n+p	トップゲート	c
91	トップゲート	c+n	ボトムゲート	p
92	トップゲート	c+n	ボトムゲート	n
93	トップゲート	c+n	ボトムゲート	c
94	トップゲート	c+p	ボトムゲート	p
95	トップゲート	c+p	ボトムゲート	n
96	トップゲート	c+p	ボトムゲート	c
97	トップゲート	c+n+p	ボトムゲート	p
98	トップゲート	c+n+p	ボトムゲート	n
99	トップゲート	c+n+p	ボトムゲート	c
100	トップゲート	c+n	デュアルゲート	p
101	トップゲート	c+n	デュアルゲート	n
102	トップゲート	c+n	デュアルゲート	c
103	トップゲート	c+p	デュアルゲート	p
104	トップゲート	c+p	デュアルゲート	n
105	トップゲート	c+p	デュアルゲート	c
106	トップゲート	c+n+p	デュアルゲート	p
107	トップゲート	c+n+p	デュアルゲート	n
108	トップゲート	c+n+p	デュアルゲート	c

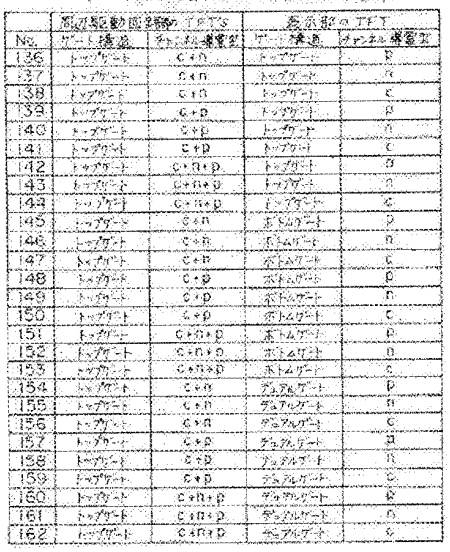
SDC EX. 1016 - 915/959

【図73】



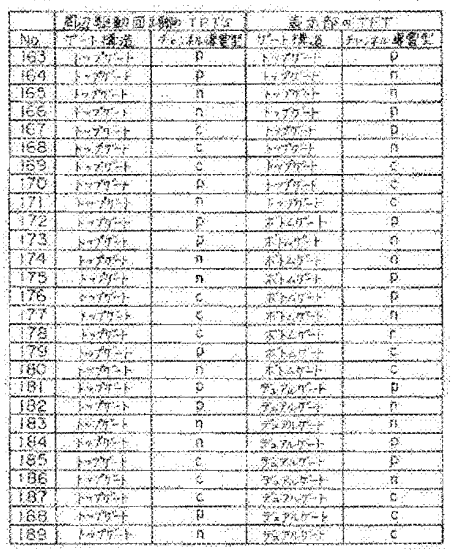
No.	周辺駆動回路部のTFTs		表示部のTFT	
	ゲート構造	チャネル導電型	ゲート構造	チャネル導電型
109	トップゲート	p	トップゲート	p
110	トップゲート	p	トップゲート	n
111	トップゲート	n	トップゲート	n
112	トップゲート	n	トップゲート	p
113	トップゲート	c	トップゲート	p
114	トップゲート	c	トップゲート	n
115	トップゲート	c	トップゲート	c
116	トップゲート	p	トップゲート	c
117	トップゲート	n	トップゲート	c
118	トップゲート	p	ボトムゲート	p
119	トップゲート	p	ボトムゲート	n
120	トップゲート	n	ボトムゲート	n
121	トップゲート	n	ボトムゲート	p
122	トップゲート	c	ボトムゲート	p
123	トップゲート	c	ボトムゲート	n
124	トップゲート	c	ボトムゲート	c
125	トップゲート	p	ボトムゲート	c
126	トップゲート	n	ボトムゲート	c
127	トップゲート	p	デュアルゲート	p
128	トップゲート	p	デュアルゲート	n
129	トップゲート	n	デュアルゲート	n
130	トップゲート	n	デュアルゲート	p
131	トップゲート	c	デュアルゲート	p
132	トップゲート	c	デュアルゲート	n
133	トップゲート	c	デュアルゲート	c
134	トップゲート	p	デュアルゲート	c
135	トップゲート	n	デュアルゲート	c

【図74】



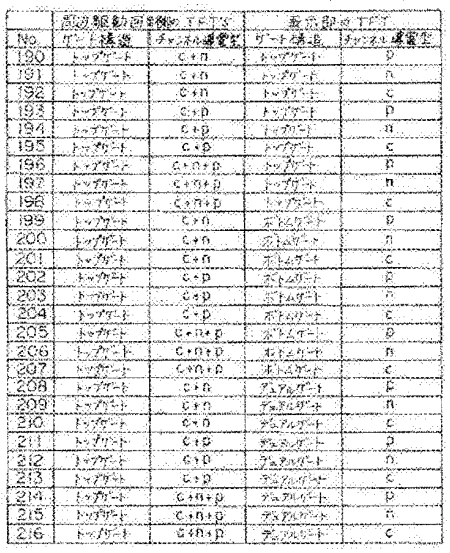
No.	周辺駆動回路部のTFTs		表示部のTFT	
	ゲート構造	チャネル導電型	ゲート構造	チャネル導電型
136	トップゲート	c+n	トップゲート	p
137	トップゲート	c+n	トップゲート	n
138	トップゲート	c+n	トップゲート	c
139	トップゲート	c+p	トップゲート	p
140	トップゲート	c+p	トップゲート	n
141	トップゲート	c+p	トップゲート	c
142	トップゲート	c+n+p	トップゲート	p
143	トップゲート	c+n+p	トップゲート	n
144	トップゲート	c+n+p	トップゲート	c
145	トップゲート	c+n	ボトムゲート	p
146	トップゲート	c+n	ボトムゲート	n
147	トップゲート	c+n	ボトムゲート	c
148	トップゲート	c+p	ボトムゲート	p
149	トップゲート	c+p	ボトムゲート	n
150	トップゲート	c+p	ボトムゲート	c
151	トップゲート	c+n+p	ボトムゲート	p
152	トップゲート	c+n+p	ボトムゲート	n
153	トップゲート	c+n+p	ボトムゲート	c
154	トップゲート	c+n	デュアルゲート	p
155	トップゲート	c+n	デュアルゲート	n
156	トップゲート	c+n	デュアルゲート	c
157	トップゲート	c+p	デュアルゲート	p
158	トップゲート	c+p	デュアルゲート	n
159	トップゲート	c+p	デュアルゲート	c
160	トップゲート	c+n+p	デュアルゲート	p
161	トップゲート	c+n+p	デュアルゲート	n
162	トップゲート	c+n+p	デュアルゲート	c

【図75】



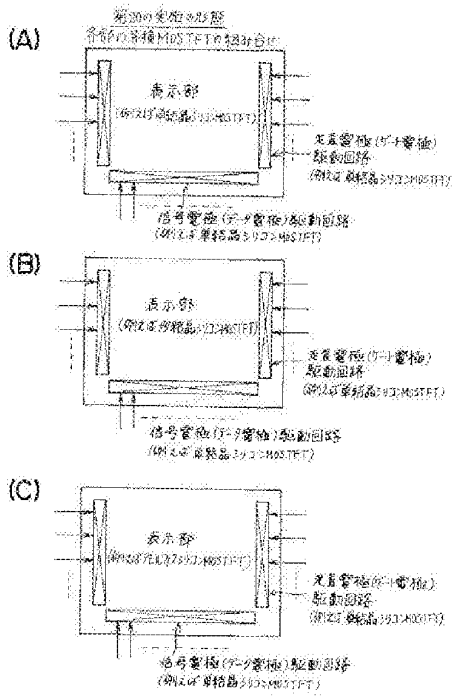
No.	周辺駆動回路部のTFTs		表示部のTFT	
	ゲート構造	チャネル導電型	ゲート構造	チャネル導電型
163	トップゲート	p	トップゲート	p
164	トップゲート	p	トップゲート	n
165	トップゲート	n	トップゲート	n
166	トップゲート	n	トップゲート	p
167	トップゲート	c	トップゲート	p
168	トップゲート	c	トップゲート	n
169	トップゲート	c	トップゲート	c
170	トップゲート	p	トップゲート	c
171	トップゲート	n	トップゲート	c
172	トップゲート	p	ボトムゲート	p
173	トップゲート	p	ボトムゲート	n
174	トップゲート	n	ボトムゲート	n
175	トップゲート	n	ボトムゲート	p
176	トップゲート	c	ボトムゲート	p
177	トップゲート	c	ボトムゲート	n
178	トップゲート	c	ボトムゲート	c
179	トップゲート	p	ボトムゲート	c
180	トップゲート	n	ボトムゲート	c
181	トップゲート	p	デュアルゲート	p
182	トップゲート	p	デュアルゲート	n
183	トップゲート	n	デュアルゲート	n
184	トップゲート	n	デュアルゲート	p
185	トップゲート	c	デュアルゲート	p
186	トップゲート	c	デュアルゲート	n
187	トップゲート	c	デュアルゲート	c
188	トップゲート	p	デュアルゲート	c
189	トップゲート	n	デュアルゲート	c

【図76】

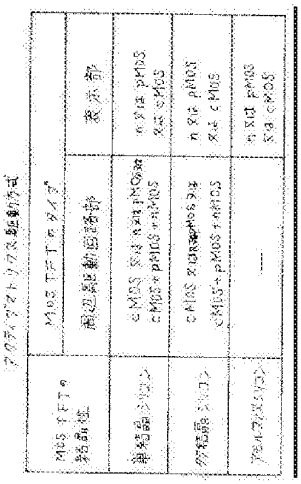


No.	周辺駆動回路部のTFTs		表示部のTFT	
	ゲート構造	チャネル導電型	ゲート構造	チャネル導電型
190	トップゲート	c+n	トップゲート	p
191	トップゲート	c+n	トップゲート	n
192	トップゲート	c+n	トップゲート	c
193	トップゲート	c+p	トップゲート	p
194	トップゲート	c+p	トップゲート	n
195	トップゲート	c+p	トップゲート	c
196	トップゲート	c+n+p	トップゲート	p
197	トップゲート	c+n+p	トップゲート	n
198	トップゲート	c+n+p	トップゲート	c
199	トップゲート	c+n	ボトムゲート	p
200	トップゲート	c+n	ボトムゲート	n
201	トップゲート	c+n	ボトムゲート	c
202	トップゲート	c+p	ボトムゲート	p
203	トップゲート	c+p	ボトムゲート	n
204	トップゲート	c+p	ボトムゲート	c
205	トップゲート	c+n+p	ボトムゲート	p
206	トップゲート	c+n+p	ボトムゲート	n
207	トップゲート	c+n+p	ボトムゲート	c
208	トップゲート	c+n	デュアルゲート	p
209	トップゲート	c+n	デュアルゲート	n
210	トップゲート	c+n	デュアルゲート	c
211	トップゲート	c+p	デュアルゲート	p
212	トップゲート	c+p	デュアルゲート	n
213	トップゲート	c+p	デュアルゲート	c
214	トップゲート	c+n+p	デュアルゲート	p
215	トップゲート	c+n+p	デュアルゲート	n
216	トップゲート	c+n+p	デュアルゲート	c

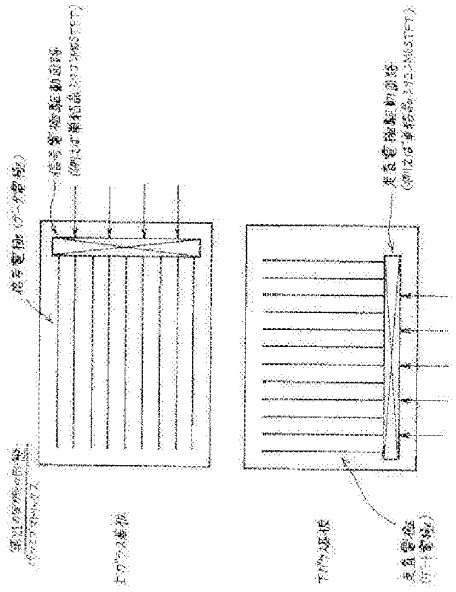
【図77】



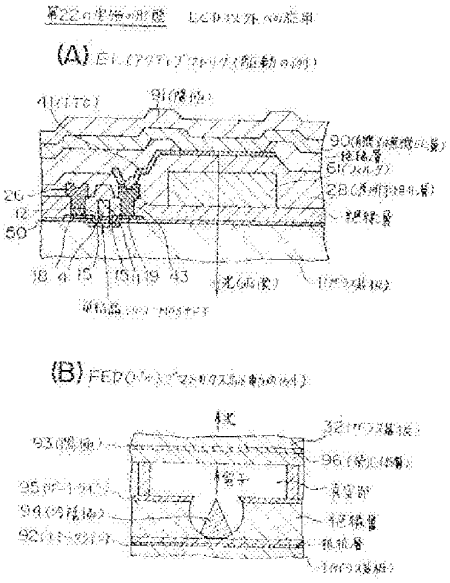
【図78】



【図79】



【図80】



(51)Int.Cl.　　FI
　Ｇ０９Ｆ　9/33　　(2006.01)　　Ｇ０９Ｆ　9/33　　Ｍ

(72)発明者　矢木　肇
　　東京都品川区北品川６丁目７番３５号　ソニー株式会社内

審査官　河本　充雄

(56)参考文献　特開平０４－３４９６１８（ＪＰ，Ａ）
　　特開平０７－２３５４８８（ＪＰ，Ａ）

(58)調査した分野(Int.Cl.，ＤＢ名)
　　H01L　29/786
　　H01L　21/336
　　H01L　21/20
　　G02F　1/1368
　　G09F　9/00
　　G09F　9/33

SDC EX. 1016 - 918/959

Electronic Acknowledgement Receipt

EFS ID:	36991719
Application Number:	15651508
International Application Number:	
Confirmation Number:	2349
Title of Invention:	Organic-Light-Emitting Diode
First Named Inventor/Applicant Name:	Ulrich KASTNER-JUNG
Customer Number:	27799
Filer:	Edward M. Weisz/Jennifer Colwell
Filer Authorized By:	Edward M. Weisz
Attorney Docket Number:	5367-694P/CON\409926
Receipt Date:	27-AUG-2019
Filing Date:	17-JUL-2017
Time Stamp:	14:51:26
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Amendment/Req. Reconsideration-After Non-Final Reject	5367-694PCON_Amendment.pdf	125068 f7c81b73eca82ac66f75efddeac9f80f5eb19d34	no	11

Warnings:

Information:	
Total Files Size (in bytes):	125068

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of Kastner-Jung, Ulrich et al. Serial No.: 15/651,508 Filed: July 17, 2017 For: Organic-Light-Emitting Diode	Examiner: CHO, James H. Group Art Unit: 2844 Conf. No.: 2349

Mail Stop **Amendment**
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

RESPONSE AFTER NON-FINAL OFFICE ACTION

SIR:

In response to the non-final Office Action dated May 31, 2019, please amend the above-identified application as follows:

Amendments to the Claims are reflected in the listing of claims which begins on page 2 of this paper;

Remarks/Arguments begin on page 6 of this paper.

SDC EX. 1016 - 921/959

Listing of Claims:

1. (Previously Presented) An organic light-emitting diode comprising an organic layer sequence, a carrier and an encapsulation,

wherein the organic layer sequence comprises at least one radiation-emitting region which generates electromagnetic radiation in the spectral range from infrared radiation to UV radiation during operation,

wherein the carrier forms a radiation exit area,

wherein the radiation exit area is structured, so that the electromagnetic radiation has a directional emission profile,

wherein the encapsulation forms a seal of the organic layer sequence against environmental influences,

wherein the carrier comprises a multiplicity of parallel prisms having first areas and second areas which are arranged in a tilted manner with respect to one another,

wherein functional layers of the organic layer sequence are applied to the first and/or the second areas at the top side of the carrier, and

wherein the functional layers, which are arranged on different areas, are driven separately from one another.

2. (Cancelled).

3. (Previously Presented) The organic light-emitting diode according to claim 1,

wherein the prisms comprises a length and width which are arranged parallel to the main plane of the organic layer sequence,

wherein the length is at least 1 cm, and

wherein the width is bigger than the wavelength of the electromagnetic radiation which is induced by the organic light-emitting diode.

4. (Currently amended) The organic light-emitting diode according to claim 1,

wherein the directional emission profile is a symmetrical cardioid in one direction or

SDC EX. 1016 - 922/959

asymmetrical in at least one of the directions.

5. (Previously presented) The organic light-emitting diode according to claim 1,

wherein the first areas are transparent, and the second areas are reflective, so that the directional emission profile has a tilt angle which depends on an angle α.

6. (Cancelled).

7. (Previously presented) The organic light-emitting diode according to claim 1,

wherein the structured radiation exit area comprises a multiplicity of the parallel prisms,

wherein the parallel prisms comprise a length and width which are arranged parallel to the main plane of the organic layer sequence,

wherein the parallel prisms form in side view an isosceles triangle,

wherein the directional emission profile is symmetrical and has two main radiation directions, wherein the two main radiation directions are inclined from the z-axis by an angle $\alpha = \beta$ in positive and negative x-directions, and

wherein the main plane forms an x-y-plane.

8. (Previously Presented) The organic light-emitting diode according to claim 1,

wherein the first areas and/or the second areas are nonplanar.

9. (Previously Presented) The organic light-emitting diode according to claim 1,

wherein the first areas and/or the second areas are formed in the manner of cylinder sections.

SDC EX. 1016 - 923/959

10. (Previously Presented) The organic light-emitting diode according to claim 1, wherein the directional emission profile has a maximum in the direction perpendicular to the first areas.

11. (Previously Presented) The organic light-emitting diode according to claim 1, wherein the second areas are reflective, which is induced by metallization with metal particles.

12. (Previously Presented) The organic light-emitting diode according to claim 1, wherein the structured radiation exit area is embodied as a separate structured foil, which is arranged on a carrier.

13. (Currently amended) The organic light-emitting diode according to claim 1, wherein the organic light-emitting diode comprises [[a]] the carrier which is structured,

wherein the radiation exit area is arranged on the carrier, and

wherein the structuring of the radiation exit area is induced by the structuring of the carrier.

14. (Cancelled).

15. (Cancelled).

16. (Cancelled).

17. (Previously Presented) The organic light-emitting diode according to claim 1, wherein the organic light-emitting diode is an organic light-emitting diode emitting on both sides, which comprises two radiation exit areas,

wherein the two radiation exit areas are arranged on opposite sides of the organic light-emitting diode, and

wherein the radiation exit areas are structured.

SDC EX. 1016 - 924/959

18. (Previously Presented) A luminaire having at least one light-emitting diode according to claim 1 as a light source,

wherein the luminaire is one of the following devices or is at least part of one of the following devices: alarm clock, shower cubicle, shower head, solar protection, rain protection, lamp, bag, signaling light, changing cubicle, vision protection, housing, emergency lighting, mirror, tile, ceiling light, radiator cladding, louver, noise protection, umbrella, warning light.

19. (Cancelled).

20. (New) An organic light-emitting diode comprising an organic layer sequence, a carrier and an encapsulation,

wherein the organic layer sequence comprises at least one radiation-emitting region which generates electromagnetic radiation in the spectral range from infrared radiation to UV radiation during operation,

wherein the carrier forms a radiation exit area,

wherein the radiation exit area is structured, so that the electromagnetic radiation has a directional emission profile,

wherein the encapsulation forms a seal of the organic layer sequence against environmental influences,

wherein the carrier comprises a multiplicity of first areas and second areas which are arranged in a tilted manner with respect to one another,

wherein functional layers of the organic layer sequence are applied to the first and/or the second areas at the top side of the carrier, and

wherein the functional layers each comprise a first electrode, an organic layer sequence, and a second electrode.

SDC EX. 1016 - 925/959

REMARKS/ARGUMENTS

Status of claims

Claims 1, 3-5, 7-13, and 17-19 have been examined.

Claims 4 and 13 are being modified for better format as suggested by the Examiner.

Claim 19 is being canceled, without prejudice.

Claim 20 has been newly added. Support for new claim 20 can be found at, e.g., originally-filed claim 1 and paragraph [0048] of the specification.

Upon entry of the amendments, claims 1, 3-5, 7-13, 17, 18, and 20 are presented for examination. Wit claims 1 and 20 being the only independent claims.

Summary of Office Action

Claims 4 and 13 have been objected to.

Claims 1, 3-5, 7-13, and 17-19 have been rejected under pre-AIA 35 USC 103(a) as being unpatentable over Cina et al. (US 2009/0072711 Al) in view of Garditz (US 2007/0114520 A1).

Reconsideration and withdrawal of these rejections are respectfully requested in view of the claim modifications made herein and in light of the following remarks.

Remarks

Objection to the claims

Claims 4 and 13 have been objected to due to several informalities, which have now been corrected as suggested by the Examiner. Therefore, this objection to the claims is moot.

Rejection under 35 U.S.C. § 103

Claims 1, 3-5, 7-13, and 17-19 have been rejected under pre-AIA 35 USC 103(a) as being unpatentable over Cina et al. (US 20019/0072711 Al) in view of Garditz (US 2007/0114520 A1). Reconsideration and withdrawal of this rejection are respectfully requested.

SDC EX. 1016 - 926/959

Independent claim 1 of the present application recites:

> 1. An organic light-emitting diode comprising an organic layer sequence, a carrier and an encapsulation,
>
> wherein the organic layer sequence comprises at least one radiation-emitting region which generates electromagnetic radiation in the spectral range from infrared radiation to UV radiation during operation,
>
> wherein the carrier forms a radiation exit area,
>
> wherein the radiation exit area is structured, so that the electromagnetic radiation has a directional emission profile,
>
> wherein the encapsulation forms a seal of the organic layer sequence against environmental influences,
>
> wherein the carrier comprises a multiplicity of parallel prisms having first areas and second areas which are arranged in a tilted manner with respect to one another,
>
> wherein functional layers of the organic layer sequence are applied to the first and/or the second areas at the top side of the carrier, and
>
> wherein the functional layers, which are arranged on different areas, are driven separately from one another.

(Emphasis added.)

According to the Examiner, the primary reference Cina discloses an organic light-emitting diode (OLED) in connection with the exemplary embodiment of Figure 1. The OLED comprises a substrate (2) on which are arranged a rear electrode (3), a light-emitting organic layer (4), a transparent organic layer (5) and a transparent electrode (6).

SDC EX. 1016 - 927/959

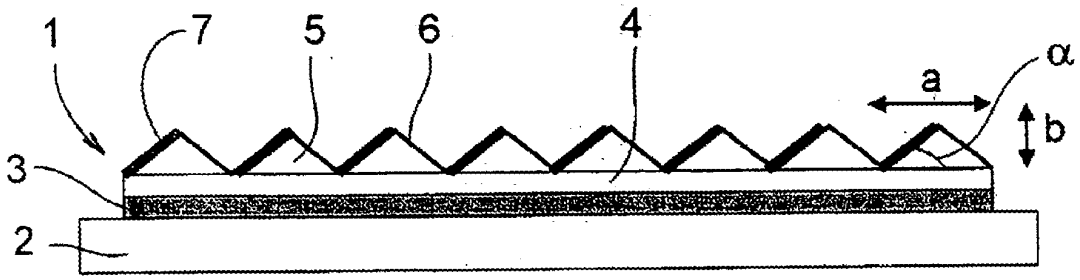


FIG. 1

The Examiner acknowledges that Cina does not teach an encapsulation wherein the encapsulation forms a seal of the organic layer sequence against environmental influences and an OLED generating electromagnetic radiation in the spectral range from infrared radiation to UV radiation during operation. To remedy Cina's deficiencies, the Examiner further cites Garditz which, according to the Examiner, discloses encapsulation. Therefore, the Examiner argues that "it would have been obvious to one ordinary skill in the art at the time of invention was made to utilize the encapsulation of Garditz et al. in order to provide protections for reliable operation as well as the teaching of Garditz et al. where a typical OLED would emit light in the spectral range from infrared to UV radiation." *See* page 3, last paragraph of the Office Action.

Regarding the feature "wherein the functional layers, which are arranged on different areas, are driven separately from one another" recited in independent claim 1, the Examiner argues that "functional layers" according to Cina can be driven separately from one another by referring to the rear electrode (3) on "the bottom" and the transparent electrode (6) on "the top." Applicant respectfully disagrees, as explained below.

SDC EX. 1016 - 928/959

First, Cina discloses at paragraphs [0079] to [0081] as follows (emphasis added):

> The front electrode of the second front type 6 comprises two layers:
>
> a very thin and conductive transparent layer with a thickness of the order of 5 nm, **covering the entire surface of the embossed organic layer** while matching its relief patterns, and
>
> thicker metallic strips with a thickness of the order of 500 nm forming the opaque reflective zones 7, these strips therefore covering only a part of the surface of the embossed organic layer, also while matching its relief patterns.

Thus, the transparent electrode (6) is formed continuously and is not structured. If a current is applied to the transparent electrode (6) and to the rear electrode (3), the light-emitting organic layer (4) is supplied with a current over its entire surface. Thus, Cina fails to teach, disclose, or suggest the feature of claim 1 of the present application "wherein the functional layers, which are arranged on different areas, are driven separately from one another."

Furthermore, Cina discloses at paragraph [0097] that the "plurality of extraction zones corresponding in practice to a single 'pixel' of the OLED diode." Therefore, Cina has explicitly taught away from an OLED that has areas that can be operated separately from one another.

The secondary reference Garditz, which, as stated above, is merely cited in connection with encapsulation and spectral range, cannot remedy Cina's deficiencies that are pointed out above. Therefore, combining the teachings of Cina and Garditz, as proposed by the Examiner, would not arrive at the invention as recited in claim 1 of the present application.

Based on the foregoing, claim 1 is patentable under pre-AIA 35 U.S.C. § 103(a) over Cina in view of Garditz.

SDC EX. 1016 - 929/959

Each of claims 3-5, 7-13, 17 and 18 depends, either directly or indirectly, on claim 1 and, thus, is allowable therewith under pre-AIA 35 U.S.C. § 103(a) over Garditz in view of Chen.

Regarding independent claim 19, it has now been cancelled. Therefore, the rejection of claim 19 is moot.

Withdrawal of the rejection of claims 1, 3-5, 7-13, 17, and 18 under pre-AIA 35 U.S.C. § 103(a) over Cina in view of Garditz is respectfully requested.

Concerning new claim 20, the cited prior art does not teach the features wherein "functional layers of the organic layer sequence are applied to the first and/or the second areas at the top side of the carrier, and wherein the functional layers comprise each a first electrode, an organic layer sequence, and a second electrode". The cited prior art discloses organic layer sequences intended to generate electromagnetic radiation, which are formed continuously and, therefore, not structured according to new claim 20. Thus, claim 20 is allowable under pre-AIA 35 U.S.C. § 103(a) over Garditz in view of Chen.

SDC EX. 1016 - 930/959

Conclusion

Based on all of the above, the present application is now in proper condition for allowance. Prompt and favorable action to this effect and early passing of this application to issue are respectfully solicited.

It is believed that no additional fees or charges are required at this time in connection with the present application. However, if any additional fees or charges are required at this time, they may be charged to our U.S. Patent and Trademark Office Deposit Account No. 50-3111.

Respectfully submitted,
COZEN O'CONNOR

By /Thomas Langer/
Thomas Langer
Reg. No. 27,264
277 Park Avenue
New York, New York 10172
(212) 883-4900

Dated: August 27, 2019

SDC EX. 1016 - 931/959

PTO/SB/06 (09-11)
Approved for use through 1/31/2014. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD Substitute for Form PTO-875	Application or Docket Number 15/651,508	Filing Date 07/17/2017	☐ To be Mailed

ENTITY: ☑ LARGE ☐ SMALL ☐ MICRO

APPLICATION AS FILED - PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA		RATE ($)	FEE ($)
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A		N/A	
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A		N/A	
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A		N/A	
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*		x $80 =	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*		x $420 =	
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $310 ($155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).				
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))					
* If the difference in column 1 is less than zero, enter "0" in column 2.				TOTAL	

APPLICATION AS AMENDED - PART II

AMENDMENT	08/27/2019	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA		RATE ($)	ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	* 14	Minus	** 20	= 0		x $100 =	0
	Independent (37 CFR 1.16(h))	* 2	Minus	*** 3	= 0		x $460 =	0
	☐ Application Size Fee (37 CFR 1.16(s))							
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							
							TOTAL ADD'L FEE	0

AMENDMENT		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA		RATE ($)	ADDITIONAL FEE ($)
	Total (37 CFR 1.16(i))	*	Minus	**	=		x $0 =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=		x $0 =	
	☐ Application Size Fee (37 CFR 1.16(s))							
	☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							
							TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.	LIE
** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".	/TINA M. BELL/
*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".	
The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.	

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

27799 7590 12/02/2019

Cozen O'Connor
277 Park Avenue, 20th floor
NEW YORK, NY 10172

EXAMINER
CHO, JAMES HYONCHOL

ART UNIT	PAPER NUMBER
2844	

DATE MAILED: 12/02/2019

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
15/651,508	07/17/2017	Ulrich KASTNER-JUNG	5367-694P/CON\409926	2349

TITLE OF INVENTION: Organic-Light-Emitting Diode

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$1000	$0.00	$0.00	$1000	03/02/2020

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the ENTITY STATUS shown above. If the ENTITY STATUS is shown as SMALL or MICRO, verify whether entitlement to that entity status still applies.

If the ENTITY STATUS is the same as shown above, pay the TOTAL FEE(S) DUE shown above.

If the ENTITY STATUS is changed from that shown above, on PART B - FEE(S) TRANSMITTAL, complete section number 5 titled "Change in Entity Status (from status indicated above)".

For purposes of this notice, small entity fees are 1/2 the amount of undiscounted fees, and micro entity fees are 1/2 the amount of small entity fees.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Maintenance fees are due in utility patents issuing on applications filed on or after Dec. 12, 1980. It is patentee's responsibility to ensure timely payment of maintenance fees when due. More information is available at www.uspto.gov/PatentMaintenanceFees.

SDC EX. 1016 - 933/959

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), by mail or fax, or via EFS-Web.

By mail, send to: Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

By fax, send to: (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

27799 7590 12/02/2019
Cozen O'Connor
277 Park Avenue, 20th floor
NEW YORK, NY 10172

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being transmitted to the USPTO via EFS-Web or by facsimile to (571) 273-2885, on the date below.

(Typed or printed name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
15/651,508	07/17/2017	Ulrich KASTNER-JUNG	5367-694P/CON\409926	2349

TITLE OF INVENTION: Organic-Light-Emitting Diode

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$1000	$0.00	$0.00	$1000	03/02/2020

EXAMINER	ART UNIT	CLASS-SUBCLASS
CHO, JAMES HYONCHOL	2844	315-360000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

❑ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.

❑ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-09 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 _____
2 _____
3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document must have been previously recorded, or filed for recordation, as set forth in 37 CFR 3.11 and 37 CFR 3.81(a). Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent) : ❑ Individual ❑ Corporation or other private group entity ❑ Government

4a. Fees submitted: ❑Issue Fee ❑Publication Fee (if required) ❑Advance Order - # of Copies _____

4b. Method of Payment: *(Please first reapply any previously paid fee shown above)*

❑ Electronic Payment via EFS-Web ❑ Enclosed check ❑ Non-electronic payment by credit card (Attach form PTO-2038)

❑ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment to Deposit Account No. _____

5. **Change in Entity Status** (from status indicated above)

❑ Applicant certifying micro entity status. See 37 CFR 1.29

❑ Applicant asserting small entity status. See 37 CFR 1.27

❑ Applicant changing to regular undiscounted fee status.

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.
NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.
NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature _____ Date _____

Typed or printed name _____ Registration No. _____

SDC EX. 1016 - 934/959

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
15/651,508	07/17/2017	Ulrich KASTNER-JUNG	5367-694P/CON\409926	2349

27799 7590 12/02/2019

Cozen O'Connor
277 Park Avenue, 20th floor
NEW YORK, NY 10172

EXAMINER	
CHO, JAMES HYONCHOL	
ART UNIT	PAPER NUMBER
2844	

DATE MAILED: 12/02/2019

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(Applications filed on or after May 29, 2000)

The Office has discontinued providing a Patent Term Adjustment (PTA) calculation with the Notice of Allowance.

Section 1(h)(2) of the AIA Technical Corrections Act amended 35 U.S.C. 154(b)(3)(B)(i) to eliminate the requirement that the Office provide a patent term adjustment determination with the notice of allowance. See Revisions to Patent Term Adjustment, 78 Fed. Reg. 19416, 19417 (Apr. 1, 2013). Therefore, the Office is no longer providing an initial patent term adjustment determination with the notice of allowance. The Office will continue to provide a patent term adjustment determination with the Issue Notification Letter that is mailed to applicant approximately three weeks prior to the issue date of the patent, and will include the patent term adjustment on the patent. Any request for reconsideration of the patent term adjustment determination (or reinstatement of patent term adjustment) should follow the process outlined in 37 CFR 1.705.

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

SDC EX. 1016 - 935/959

OMB Clearance and PRA Burden Statement for PTOL-85 Part B

The Paperwork Reduction Act (PRA) of 1995 requires Federal agencies to obtain Office of Management and Budget approval before requesting most types of information from the public. When OMB approves an agency request to collect information from the public, OMB (i) provides a valid OMB Control Number and expiration date for the agency to display on the instrument that will be used to collect the information and (ii) requires the agency to inform the public about the OMB Control Number's legal significance in accordance with 5 CFR 1320.5(b).

The information collected by PTOL-85 Part B is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 30 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450. Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Notice of Allowability	Application No. 15/651,508	Applicant(s) KASTNER-JUNG et al.	
	Examiner James H Cho	Art Unit 2844	AIA (FITF) Status No

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☑ This communication is responsive to the response filed 8/27/2019.
   ☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.

2. ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

3. ☑ The allowed claim(s) is/are 1,3-5,7-13,17-18 and 20 . As a result of the allowed claim(s), you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see **http://www.uspto.gov/patents/init_events/pph/index.jsp** or send an inquiry to **PPHfeedback@uspto.gov.**

4. ☑ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

   Certified copies:

   a) ☑ All b) ☐ Some *c) ☐ None of the:

   1. ☐ Certified copies of the priority documents have been received.
   2. ☑ Certified copies of the priority documents have been received in Application No. 13/139514 .
   3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

   * Certified copies not received: _____ .

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
   ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____ .

Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).

6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☐ Notice of References Cited (PTO-892)
2. ☑ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date _____.
3. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material _____.
4. ☐ Interview Summary (PTO-413), Paper No./Mail Date. _____.
5. ☐ Examiner's Amendment/Comment
6. ☑ Examiner's Statement of Reasons for Allowance
7. ☐ Other _____.

/JAMES H CHO/ Examiner, Art Unit 2844	/MINH D A/ Primary Examiner, Art Unit 2844

SDC EX. 1016 - 937/959

DETAILED ACTION

Notice of Pre-AIA or AIA Status

The present application is being examined under the pre-AIA first to invent provisions.

Receipt is acknowledged of the Amendment filed August 27, 2019.

Allowable Subject Matter

Claims 1, 3-5, 7-13, 17-18 and 20 are allowable over the prior art of record.

The following is an examiner's statement of reasons for allowance:

one of ordinary skill in the art would not have been motivated to modify the teaching of Cina et al. and/or Garditz et al. to further includes, among other things, the specific of an organic light-emitting diode comprising an organic layer sequence, a carrier and an encapsulation where the carrier comprises a multiplicity of parallel prisms having first areas and second areas which are arranged in a tilted manner with respect to one another, functional layers of the organic layer sequence are applied to the first and/or the second areas at the top side of the carrier, and the functional layers, which are arranged on different areas, are driven separately from one another (**claim 1**), and the specific of an organic light-emitting diode comprising an organic layer sequence, a carrier and an encapsulation where the carrier comprises a multiplicity of first areas and second areas which are arranged in a tilted manner with respect to one another, functional layers of the organic layer sequence are applied to the first and/or the second areas at the top side of the carrier, and the functional layers each comprise a first electrode, an organic layer sequence, and a second electrode (**claim 20**).

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."

Conclusion

Any inquiry concerning this communication or earlier communications from the examiner should be directed to James H Cho whose telephone number is (571)272-1802. The examiner can normally be reached on M-F 8-5.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Alex Taningco can be reached on 571-272-8048. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/JAMES H CHO/
Examiner, Art Unit 2844

/MINH D A/
Primary Examiner, Art Unit 2844

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	15/651,508	KASTNER-JUNG et al.
	Examiner	Art Unit
	James H Cho	2844

CPC - Searched*		
Symbol	Date	Examiner
B60Q3/30,745 B05B1/18,268 B60Q7/00 F21S10/02 F21V23/0442,0016,004,0052,006 F21Y2113/20,10 F21Y2115/15 F21Y2105/00 (text search, see the search history printout)	2/1/2018	JC
F21S8/033,04,061 F21S9/03 G04C19/02 G04G11/00 G04G13/023 H05B33/0896,22 H05B37/00,0281 H01L2251/5361 Y02B20/36,42 (text search, see the search history printout)	2/1/201	JC

CPC Combination Sets - Searched*		
Symbol	Date	Examiner

US Classification - Searched*			
Class	Subclass	Date	Examiner

* See search history printout included with this form or the SEARCH NOTES box below to determine the scope of the search.

Search Notes		
Search Notes	Date	Examiner
BRS text search, see the search history printout	2/1/2018	JC
updated search	03/15/2019	JC
updated search	05/13/2019	JC
inventors search	11/23/2019	JC

SDC EX. 1016 - 940/959

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	15/651,508	KASTNER-JUNG et al.
	Examiner	Art Unit
	James H Cho	2844

Interference Search			
US Class/CPC Symbol	US Subclass/CPC Group	Date	Examiner
PGPub	text search	11/23/2019	JC

SDC EX. 1016 - 941/959

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	15/651,508	KASTNER-JUNG et al.
	Examiner	**Art Unit**
	James H Cho	2844

CPC								
Symbol							**Type**	**Version**
F21S	/	10	/	02			F	2013-01-01
F21V	/	23	/	0442			I	2013-01-01
F21V	/	33	/	0016			I	2013-01-01
F21V	/	33	/	004			I	2013-01-01
F21V	/	33	/	0052			I	2013-01-01
F21V	/	33	/	006			I	2013-01-01
G04C	/	19	/	02			I	2013-01-01
G04G	/	11	/	00			I	2013-01-01
G04G	/	13	/	023			I	2013-01-01
H05B	/	33	/	0896			I	2013-01-01
H05B	/	33	/	22			I	2013-01-01
H05B	/	37	/	00			I	2013-01-01
H05B	/	37	/	0281			I	2013-01-01
B60Q	/	3	/	745			I	2017-02-01
B60Q	/	3	/	30			I	2017-02-01
B60Q	/	1	/	268			I	2013-01-01
B60Q	/	7	/	00			I	2013-01-01
B05B	/	1	/	18			I	2013-01-01
F24D	/	19	/	06			I	2013-01-01
F21S	/	8	/	033			A	2013-01-01
F21S	/	8	/	04			A	2013-01-01
F21S	/	8	/	061			A	2013-01-01
F21S	/	9	/	03			A	2013-01-01
Y02B	/	20	/	42			A	2013-01-01
F21Y	/	2105	/	00			A	2013-01-01
F21Y	/	2115	/	15			A	2016-08-01
F21Y	/	2113	/	10			A	2016-08-01
F21Y	/	2113	/	20			A	2016-08-01
H01L	/	2251	/	5361			A	2013-01-01
Y02B	/	20	/	36			A	2013-01-01
H01L	/	51	/	504			A	2013-01-01

/JAMES H CHO/ Examiner, Art Unit 2844 (Assistant Examiner)	23 November 2019 (Date)	**Total Claims Allowed:** 14	
/MINH D A/ Primary Examiner, Art Unit 2844 (Primary Examiner)	24 November 2019 (Date)	O.G. Print Claim(s) 1	O.G. Print Figure 23

U.S. Patent and Trademark Office

Part of Paper No.: 20191123

SDC EX. 1016 - 942/959

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	15/651,508	KASTNER-JUNG et al.
	Examiner	**Art Unit**
	James H Cho	2844

CPC								
Symbol							**Type**	**Version**
H01L	/	51	/	5076			A	2013-01-01
H01L	/	51	/	506			A	2013-01-01

CPC Combination Sets								
Symbol					**Type**	**Set**	**Ranking**	**Version**
	/		/					

/JAMES H CHO/ Examiner, Art Unit 2844 (Assistant Examiner)	23 November 2019 (Date)	**Total Claims Allowed:** 14	
/MINH D A/ Primary Examiner, Art Unit 2844 (Primary Examiner)	24 November 2019 (Date)	O.G. Print Claim(s) 1	O.G. Print Figure 23

U.S. Patent and Trademark Office

Part of Paper No.: 20191123

SDC EX. 1016 - 943/959

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	15/651,508	KASTNER-JUNG et al.
	Examiner	**Art Unit**
	James H Cho	2844

INTERNATIONAL CLASSIFICATION				
CLAIMED				
F21S10/02	/	10	/	02
F21V23/04	/	23	/	04
F21V33/00	/	33	/	00
G04C19/02	/	19	/	02
G04G11/00	/	11	/	00
G04G13/02	/	13	/	02
H05B33/08	/	33	/	08
H05B33/22	/	33	/	22
H05B37/00	/	37	/	00
H05B37/02	/	37	/	02
B60Q3/74	/	3	/	74
B60Q3/30	/	3	/	30
B60Q1/26	/	1	/	26
B60Q7/00	/	7	/	00
B05B1/18	/	1	/	18
F24D19/06	/	19	/	06
F21S8/00	/	8	/	00
F21S8/04	/	8	/	04
F21S8/06	/	8	/	06
F21S9/03	/	9	/	03

NON-CLAIMED				
	/		/	

US ORIGINAL CLASSIFICATION	
CLASS	**SUBCLASS**

/JAMES H CHO/ Examiner, Art Unit 2844 (Assistant Examiner)	23 November 2019 (Date)	**Total Claims Allowed:** 14	
/MINH D A/ Primary Examiner, Art Unit 2844 (Primary Examiner)	24 November 2019 (Date)	O.G. Print Claim(s) 1	O.G. Print Figure 23

U.S. Patent and Trademark Office

Part of Paper No.: 20191123

SDC EX. 1016 - 944/959

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	15/651,508	KASTNER-JUNG et al.
	Examiner	**Art Unit**
	James H Cho	2844

CROSS REFERENCES(S)						
CLASS	**SUBCLASS (ONE SUBCLASS PER BLOCK)**					

/JAMES H CHO/ Examiner, Art Unit 2844	23 November 2019	**Total Claims Allowed:**	
(Assistant Examiner)	(Date)	14	
/MINH D A/ Primary Examiner, Art Unit 2844	24 November 2019	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	23

U.S. Patent and Trademark Office — Part of Paper No.: 20191123

SDC EX. 1016 - 945/959

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	15/651,508	KASTNER-JUNG et al.
	Examiner	Art Unit
	James H Cho	2844

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

CLAIMS

Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
1	1	8	10	-	19										
-	2	9	11	14	20										
2	3	10	12												
3	4	11	13												
4	5	-	14												
-	6	-	15												
5	7	-	16												
6	8	12	17												
7	9	13	18												

/JAMES H CHO/ Examiner, Art Unit 2844 (Assistant Examiner)	23 November 2019 (Date)	**Total Claims Allowed:** 14	
/MINH D A/ Primary Examiner, Art Unit 2844 (Primary Examiner)	24 November 2019 (Date)	O.G. Print Claim(s) 1	O.G. Print Figure 23

U.S. Patent and Trademark Office

Part of Paper No.: 20191123

SDC EX. 1016 - 946/959

Attorney Docket # 5367-694P/CON/409926 Patent

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of	Examiner: CHO, JAMES H.
Kastner-Jung, Ulrich et al.	Group Art: 2844
Serial No.: 15/651,508	
Filed: July 17, 2017	
For: Organic-Light-Emitting Diode	

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

INFORMATION DISCLOSURE STATEMENT

S I R:

In compliance with the duty of disclosure under 37 C.F.R. §1.56 and in accordance with the practice under 37 C.F.R. §§1.97 and 1.98, the Examiner's attention is directed to the documents listed on the enclosed Form PTO/SB/08a. Copies of the listed non-US documents are also enclosed.

Enclosed is a copy of a Notice of Allowance (and a partial English translation) dated July 9, 2019 issued in Korean Patent Application No. 10-2017-7026128 which corresponds to the present application. The references from the Korean Notice of Allowance that are not listed on the attached Form PTO/SB/08a were submitted to the USPTO in a previously filed IDS.

This information is being submitted subsequent to the later of three months after the filing date of the present application or the mailing of the first Office Action on the merits, but before the mailing of a final Office Action or the Notice of Allowance.

STATEMENT

Each item of information contained in the Information Disclosure Statement was first cited in any communication received from a foreign Patent Office in a counterpart foreign application not more than three months prior to the filing of the Information Disclosure Statement.

LEGAL\42104196\1 14560.0001.000/409926.000

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /JC/

SDC EX. 1016 - 947/959

Attorney Docket # 5367-694P/CON/409926

In accordance with 37 C.F.R §§1.97(g) and (h), the filing of this Information Disclosure Statement should not be construed as a representation that a search has been made or that information cited is, or is considered to be, material to patentability as defined in §1.56(b), or that any cited document listed or attached is (or constitutes) prior art. Unless otherwise indicated, the date of publication indicated for an item is taken from the face of the item and Applicant(s) reserve(s) the right to prove that the date of publication is in fact different.

It is believed that no additional fees or charges are required at this time in connection with the present application. However, if any fees or charges are required at this time, they may be charged to our Patent and Trademark Office Deposit Account No. 503111.

It is respectfully requested that the above information be considered by the Examiner and that a copy of the enclosed Form PTO/SB/08a be returned indicating that such information has been considered.

Respectfully submitted,
COZEN O'CONNOR

By /Thomas Langer/
Thomas Langer
Reg. No. 27,264
277 Park Avenue
New York, New York 10172
(212) 883-4900

Dated: July 25, 2019

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /JC/

SDC EX. 1016 - 948/959

Attorney Docket # 5367-694P/CON/409926

PTO/SB/08A (04-03)
Approved for use through 04/30/2003. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number

Substitute for Form 1449/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Use as many sheets as necessary)

Sheet 1 of 1

Complete if Known	
Application Number	15/651,508
Filing Date	July 17, 2017
First Named Inventor	Kastner-Jung, Ulrich
Art Unit	2844
Examiner Name	CHO, JAMES H.
Attorney Docket	5367-694P/CON/409926

U.S. PATENT DOCUMENTS

Examiner Initials*	Cite No. [1]	Document Number / Number-Kind-Code [2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No. [1]	Foreign Patent Document / Country Code[3]- Number[4]- Kind-Code [5] (if known	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T[6]
		JP 2007-200887	08-09-2007	Dong-Soo et al.		Abs.
		JP 2004-296423	10-21-2004	Toshitaka et al.		Abs.
		JP 2008-538155	10-09-2008	Cok et al.		Abs.
		JP 4182467B2	11-19-2008	Takashi		Abs.
		JP 4228248B2	02-25-2009	Hideo et al.		Abs.
		JP 4637390B2	02-23-2011	Shunpei et al.		Abs.
		JP 4713010B2	06-29-2011	Kenji		Abs.
		JP 4742880B2	08-10-2011	Osamu et al.		Abs.
		JP 4828881B2	11-30-2011	Satoshi		Abs.
		JP 2003-195775	07-09-2003	Takashi		Abs.
		JP 2004-047179	02-12-2004	Tamotsu et al.		Abs.

Examiner Signature	/JAMES H CHO/	Date Considered	11/23/2019

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. 1 Applicant's unique citation designation number (optional). 2 See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. 3 Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4 For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5 Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6 Applicant is to place a check mark here if English language Translation is attached. This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, Washington, DC 20231.** *If you need assistance in completing the form, call 1-800-PTO-9199 (1-800-786-9199) and select option 2..*

LEGAL\42104196\1 14560.0001.000/409926.000

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /JC/

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L4	4	("7733011").URPN.	USPAT	OR	ON	2019/11/23 20:13
L3	1	("7733011").PN.	US-PGPUB; USPAT; USOCR	OR	OFF	2019/11/23 20:13
L5	37	(US-20100076527-$ or US-20080138624-$ or US-20020003403-$ or US-20110133628-$ or US-20090173957-$ or US-20090091258-$ or US-20080188156-$ or US-20080138539-$ or US-20070114520-$ or US-20060128042-$ or US-20090039272-$ or US-20010043046-$ or US-20050156520-$ or US-20050242709-$ or US-20040080938-$ or US-20090167981-$ or US-20070230211-$ or US-20070176195-$ or US-20070153543-$ or US-20090072711-$ or US-20120256534-$ or US-20100044730-$).did. or (US-6926572-$ or US-6884465-$ or US-7922358-$ or US-7733008-$ or US-6331063-$ or US-6575584-$ or US-8987711-$ or US-7560727-$ or US-7358663-$ or US-7205714-$ or US-8123391-$ or US-8653548-$ or US-9797567-$ or US-7733011-$ or US-6703780-$).did.	US-PGPUB; USPAT	OR	ON	2019/11/23 20:21
L8	36	7 and organic and LED.u/c.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/11/23 21:39
L7	994	kastner$2jung.ulrich$.in. klein-markus$.in. maes-stan$.in. sign-romana$.in. haid-annette$.in. lintner-stephan$.in. herget-julian$.in. matjan-gregor$.in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2019/11/23 21:39

EAST Search History (Interference)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L6	2	"Term Removed"	US-PGPUB	OR	ON	2019/11/23 20:21
L9	462	(organic and (LED.u/c. light$4 lamp bulb luminair$4) and layer and (radiat$4 exit$4) and carrier).clm.	US-PGPUB; USPAT	OR	ON	2019/11/23 21:51
L10	213	9 and (tilt$4 prism angl$4)	US-PGPUB;	OR	ON	2019/11/23 21:52

SDC EX. 1016 - 950/959

			USPAT			
L12	114	10 and 11	US-PGPUB; USPAT	OR	ON	2019/11/23 21:53
L11	248	9 and @ad<"20081211"	US-PGPUB; USPAT	OR	ON	2019/11/23 21:53
L13	6	("7940340").URPN.	USPAT	OR	ON	2019/11/23 22:07
L14	134	11 not 12	US-PGPUB; USPAT	OR	ON	2019/11/23 22:10
L15	551	(organic and (LED.u/c. light$4 lamp bulb luminair$4) and layer and prism).clm.	US-PGPUB; USPAT	OR	ON	2019/11/23 22:20
L16	370	15 and organic with layer	US-PGPUB; USPAT	OR	ON	2019/11/23 22:21
L19	77	18 and @ad<"20081211"	US-PGPUB; USPAT	OR	ON	2019/11/23 22:22
L18	149	17 not 9	US-PGPUB; USPAT	OR	ON	2019/11/23 22:22
L17	156	16 and radiat$4	US-PGPUB; USPAT	OR	ON	2019/11/23 22:22

11/ 23/ 2019 10:39:53 PM
C:\ Users\ jcho\ Documents\ EAST\ Workspaces\ 15651508.wsp

SDC EX. 1016 - 951/959

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), by mail or fax, or via EFS-Web.

By mail, send to: Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

By fax, send to: (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

27799 7590 12/02/2019
Cozen O'Connor
277 Park Avenue, 20th floor
NEW YORK, NY 10172

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being transmitted to the USPTO via EFS-Web or by facsimile to (571) 273-2885, on the date below.

(Typed or printed name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
15/651,508	07/17/2017	Ulrich KASTNER-JUNG	5367-694P/CON\409926	2349

TITLE OF INVENTION: Organic-Light-Emitting Diode

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$1000	$0.00	$0.00	$1000	03/02/2020

EXAMINER	ART UNIT	CLASS-SUBCLASS
CHO, JAMES HYONCHOL	2844	315-360000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.

☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-09 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 Cozen O'Connor
2
3

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document must have been previously recorded, or filed for recordation, as set forth in 37 CFR 3.11 and 37 CFR 3.81(a). Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE: OSRAM Opto Semiconductors GmbH

(B) RESIDENCE: (CITY and STATE OR COUNTRY): Regensburg, Germany

Please check the appropriate assignee category or categories (will not be printed on the patent) : ☐ Individual ☒ Corporation or other private group entity ☐ Government

4a. Fees submitted: ☒ Issue Fee ☐ Publication Fee (if required) ☐ Advance Order - # of Copies _____

4b. Method of Payment: *(Please first reapply any previously paid fee shown above)*

☐ Electronic Payment via EFS-Web ☐ Enclosed check ☒ Non-electronic payment by credit card (Attach form PTO-2038)

☒ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment to Deposit Account No. 503111

5. **Change in Entity Status** (from status indicated above)

☐ Applicant certifying micro entity status. See 37 CFR 1.29

☐ Applicant asserting small entity status. See 37 CFR 1.27

☐ Applicant changing to regular undiscounted fee status.

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.
NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.
NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature /Edward M. Weisz/ Date February 14, 2020

Typed or printed name Edward M. Weisz Registration No. 37,257

PTOL-85 Part B (08-18) Approved for use through 01/31/2020 OMB 0651-0033 U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

SDC EX. 1016 - 952/959

Electronic Patent Application Fee Transmittal

Application Number:	15651508
Filing Date:	17-Jul-2017
Title of Invention:	Organic-Light-Emitting Diode
First Named Inventor/Applicant Name:	Ulrich KASTNER-JUNG
Filer:	Edward M. Weisz/Sheri Michals
Attorney Docket Number:	5367-694P/CON\409926

Filed as Large Entity

Filing Fees for Utility under 35 USC 111(a)

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
UTILITY APPL ISSUE FEE	1501	1	1000	1000

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Extension-of-Time:				
Miscellaneous:				
			Total in USD ($)	**1000**

Electronic Acknowledgement Receipt

EFS ID:	38588811
Application Number:	15651508
International Application Number:	
Confirmation Number:	2349
Title of Invention:	Organic-Light-Emitting Diode
First Named Inventor/Applicant Name:	Ulrich KASTNER-JUNG
Customer Number:	27799
Filer:	Edward M. Weisz/Sheri Michals
Filer Authorized By:	Edward M. Weisz
Attorney Docket Number:	5367-694P/CON\409926
Receipt Date:	14-FEB-2020
Filing Date:	17-JUL-2017
Time Stamp:	10:37:28
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	CARD
Payment was successfully received in RAM	$1000
RAM confirmation Number	E20202DA37498987
Deposit Account	503111
Authorized User	Sheri Michals
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows: 37 CFR 1.16 (National application filing, search, and examination fees) 37 CFR 1.17 (Patent application and reexamination processing fees)	

37 CFR 1.19 (Document supply fees)

37 CFR 1.20 (Post Issuance fees)

37 CFR 1.21 (Miscellaneous fees and charges)

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Issue Fee Payment (PTO-85B)	5367-694PCON-Issue-Fee-.pdf	134654 4a4f7796847536eebc373df2ec065c0667bc48b4	no	1
Warnings:					
Information:					
2	Fee Worksheet (SB06)	fee-info.pdf	30625 657bdd544d70787eb42b3689eb3e4340e827151f	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	165279		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Attorney Docket # 5367-694P/CON/409926

PTO/SB/08A (04-03)
Approved for use through 04/30/2003. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number

Substitute for Form 1449/PTO	*Complete if Known*	
INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Use as many sheets as necessary)	Application Number	15/651,508
	Filing Date	July 17, 2017
	First Named Inventor	Kastner-Jung, Ulrich
	Art Unit	2811
	Examiner Name	Not Yet Assigned
Sheet 1 of 1	Attorney Docket	5367-694P/CON/409926

U.S. PATENT DOCUMENTS

Examiner Initials*	Cite No. [1]	Document Number Number-Kind-Code [2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
Change(s) applied to document, /S.B./ 1/24/2020	1	US-7,733,008	06-08-2010	Agency for Science, ~~Technology~~ and Research	Ke et al.

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No. [1]	Foreign Patent Document Country Code[3]- Number[4]- Kind-Code [5] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T[6]
	2	JP 2005-510851	04-21-2005	Agency for Science, Technology and Research		See 1
	3	KR 100743545	07-23-2007	Lee Young Jong		Abs.
	4	KR 1020050065948	11-11-2013	LG Electronics Inc.		Abs.

NON PATENT LITERATURE DOCUMENTS

Examiner Initials*	Cite No. [1]	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T[6]
	5	Notice of Allowance dated July 20, 2017 which issued in the corresponding Korean Patent Application No. 10-2011-7015909.	✓

Examiner Signature	/JAMES H CHO/	Date Considered	01/31/2018

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. 1 Applicant's unique citation designation number (optional). 2 See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. 3 Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). 4 For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. 5 Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. 6 Applicant is to place a check mark here if English language Translation is attached. This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, Washington, DC 20231.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /JC/

PTO/SB/08A (04-03)
Approved for use through 04/30/2003. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number

Substitute for Form 1449/PTO	Complete if Known	
INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Use as many sheets as necessary)	Application Number	
	Filing Date	
	First Named Inventor	Ulrich KASTNER-JUNG
	Art Unit	
	Examiner Name	
Sheet 1 of 3	Attorney Docket No.	5367-694PCON

U.S. PATENT DOCUMENTS

Examiner Initials*	Cite No. [1]	Document Number Number-Kind-Code [2] (if known)	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		US-2007/0278937	12-06-2007	Forrest et al.	
		US-2003/0064540	04-03-2003	Auch et al.	
		US-7,280,439	10-09-2007	Shaddox	
		US-2003/0231495	12-18-2003	Searfoss, III	
		US-6,236,622	05-22-2001	Blackman	
Change(s) applied		US-2008/0219013	09-11-2008	Budinger et al.	
to document, /S.B./ 1/24/2020		US-7,317,210	01-08-2008	Osram Opto ~~Semiconductors~~ GmbH	Brabec et al.
		US-2009/0039272	02-12-2009	Osram Opto ~~Semiconductors~~ GmbH	Krummacher et al.
		US-7,922,358	04-12-2011	Osram Opto ~~Semiconductors~~ GmbH	von Malm
		US-2001/0052752	12-2001	Ghosh	
		US-2002/0125822	09-2002	Graff	
		US-2002/0167270	11-2002	Siwinski	
		US-2003/0071804	04-2003	Yamazaki	
		US-2003/0121767	07-2003	Caldwell	
		US-2003/0175553	09-2003	Thompson	
		US-2003/0222577	12-2003	Lu	
		US-2004/0113542	06-2004	Hsiao	
		US-2005/0099824	05-2005	Dowling	
		US-2006/0049381	03-2006	Klein	
		US-2007/0278937	12-2007	Forrest	
		US-2008/0248191	10-2008	Daniels	
		US-2010/0157585	06-2010	Diekmann	
		US-2012/0258294	10-2012	Leyder	
		US-5,734,225	03-1998	Biebuyck et al.	
		US-5,895,228	04-1999	Biebuyck	

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant. [1] Applicant's unique citation designation number (optional). [2] See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. [3] Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). [4] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [5] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible. [6] Applicant is to place a check mark here if English language Translation is attached. This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, Washington, DC 20231. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, Washington, DC 20231.**

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /JC/

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
15/651,508	03/31/2020	10605422	5367-694P/CON\409926	2349

27799 7590 03/11/2020

COZEN O'CONNOR
277 PARK AVENUE , 20TH FLOOR
NEW YORK, NY 10172

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment is 0 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Data Management (ODM) at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site http://pair.uspto.gov for additional applicants):

Ulrich KASTNER-JUNG, Munich, GERMANY;
OSRAM OLED GmbH, Regensburg, GERMANY;
Markus KLEIN, Tegernheim, GERMANY;
Stan MAES, Dilsen-Stokken, BELGIUM;
Romana SIGL, Salzburg, AUSTRIA;
Annette HAID, Salzburg, AUSTRIA;
Stephan LINTNER, Salzburg, AUSTRIA;
Julian HERGET, Marktschellenberg, GERMANY;
Gregor MATJAN, Bergheim, AUSTRIA;

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The USA offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to encourage and facilitate business investment. To learn more about why the USA is the best country in the world to develop technology, manufacture products, and grow your business, visit SelectUSA.gov.