IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF TOMOYUKI ITO, ET AL.

FOR: POWER SUPPLY DEVICE, ELECTRONIC DEVICE USING THE SAME, AND SEMICONDUCTOR DEVICE

PRELIMINARY AMENDMENT

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

Before examining the present application, please amend as follows:

MPS
Exhibit 1002
MPS v. Reed

Page 1 of 301

IN THE SPECIFICATION:

The attached substitute specification in compliance with 37 CFR 1.52, 1.121(b)(3) and 1.125 replaces all prior versions. A substitute specification with markings showing all the changes relative to the immediate version of the specification of record and a substitute specification in clean version (without markings) is herein provided. No new matter is added to the substitute specification (37 CFR 1.125).

Please add the following CROSS REFERENCE TO RELATED APPLICATIONS paragraph to the first page of the application after the Title and before the BACKGROUND OF THE INVENTION:

Cross Reference To Related Applications

This is a U.S. national stage of application No. PCT/JP2006/324029, filed on 30 November 2006. Priority under 35 U.S.C. §119(a) and 35 U.S.C. §365(b) is claimed from Japanese Application No. 2005-356077, filed 9 December 2005, the disclosure of which is also incorporated herein by reference.

IN THE CLAIMS:

1. (Original) A power supply apparatus comprising:

a switching power supply which stabilizes an input voltage provided from outside;

a reference voltage source which generates a predetermined reference voltage; and

a linear regulator which stabilizes the input voltage, based on the reference voltage generated by the reference voltage source; wherein

an output voltage of the linear regulator is supplied as a power supply voltage of a controller of the switching power supply and the reference voltage source.

2. (Original) A power supply apparatus according to claim 1, wherein

the linear regulator is configured to enable switching of a regulation mode in which a voltage is outputted according to the reference voltage, and a bypass mode in which the input voltage is outputted as it is, with no relation to the reference voltage, and

when the power supply apparatus is started up, the linear regulator operates in the bypass mode, during a time period until the reference voltage reaches a predetermined voltage value, and when the reference voltage exceeds the predetermined voltage value, operates in the regulation mode.

3. (Original) A power supply apparatus according to claim 2, wherein the linear regulator comprises:

an operational amplifier to which are inputted the reference voltage and a feedback voltage corresponding to the output voltage of the linear regulator;

a transistor in which an error voltage outputted from the operational amplifier is inputted to a control terminal, and the input voltage is applied to an end, and which outputs the output voltage from another end; and

a switch circuit which changes electrical potential of a control terminal of the transistor, in the bypass mode, and forcibly turns the transistor ON.

4. (Original) A power supply apparatus according to claim 3, wherein the switch circuit includes a switch arranged between a terminal with a fixed electrical potential and the control terminal of the transistor, which is ON in the bypass mode.

5. (Original) A power supply apparatus according to claim 2, wherein,

when the reference voltage generated by the reference voltage source reaches a predetermined voltage value, the reference voltage source outputs a mode control signal of a predetermined level, and

when the mode control signal outputted from the reference voltage source becomes the predetermined level, the linear regulator transitions to the regulation mode.

6. (Original) A power supply apparatus according to claim 5, wherein the reference voltage source generates the mode control signal based on current flowing in a transistor that is ON when the reference voltage reaches a predetermined voltage value.

7. (Currently Amended) A power supply apparatus according to ~~any of claims 1 through 6~~claim 1, wherein the reference voltage source, the linear regulator, and the controller of the switching power supply are integrated on one semiconductor substrate.

8. (Currently Amended) A power supply apparatus according to ~~any of claims 1 through 6~~claim 1, wherein the switching power supply is a step-up switching regulator which steps up the input voltage.

9. (Original) An electronic device comprising:

a battery;

a load circuit; and

the power supply apparatus according to claim 8, which has voltage of the battery as an input voltage, and steps up the voltage to supply the load circuit.

10. (Original) An electronic device according to claim 9, further comprising an imaging unit, wherein the load circuit includes a xenon tube which operates as a flash when an image is taken by the imaging unit.

11. (Original) A semiconductor device comprising:

a reference voltage source which generates a predetermined reference voltage; and

a linear regulator which stabilizes an input voltage, based on the reference voltage generated by the reference voltage source; wherein

the semiconductor device supplies an output voltage of the linear regulator as a power supply voltage of the reference voltage source.

12. (Original) A semiconductor device according to claim 11, wherein

the linear regulator is configured to enable switching of a regulation mode in which a voltage is outputted according to the reference voltage, and a bypass mode in which the input voltage is outputted as it is, with no relation to the reference voltage, and

when the semiconductor device is started up, the linear regulator operates in the bypass mode, during a time period until the reference voltage reaches a predetermined voltage, and when the reference voltage exceeds the predetermined voltage, operates in the regulation mode.

IN THE ABSTRACT:

Please add the following Abstract starting on a new page after the Claims section:

A linear regulator is provided which stabilizes an input voltage based on a reference voltage source that generates a reference voltage, and the reference voltage generated by the reference voltage. An output voltage of the linear regulator is supplied as a power supply voltage of a switching controller and the reference voltage source. The linear regulator is configured to enable switching of a regulation mode in which voltage is outputted according to the reference voltage, and a bypass mode in which an input voltage is outputted as it is, with no relation to the reference voltage. When a power supply apparatus is started up, during a time period until the input voltage reaches a predetermined threshold voltage, the linear regulator operates in the bypass mode, and when the input voltage exceeds the threshold voltage, operates in the regulation mode.

REMARKS

Applicants request entry of the present amendments. No new matter is being introduced by this Amendment as support is set forth in the original specification and in the original claims.

Prosecution on the merits is respectfully requested.

The Examiner is invited to contact Applicant's Attorneys at the below-listed telephone number regarding this Preliminary Amendment or otherwise regarding the present application.

If there are any charges with respect to this Amendment or otherwise, please charge them to Deposit Account No. 06-1130 maintained by Applicant's attorneys.

Respectfully submitted,

By:/Daniel P. Lent/
Daniel P. Lent
Registration No. 44,867
CANTOR COLBURN LLP
20 Church Street
22nd Floor
Hartford, CT 06103
Telephone (860) 286-2929
Facsimile (860) 286-0115
Customer No. 23413

Date: June 9, 2008

SUBSTITUTE SPECIFICATION – MARKED-UP VERSION

POWER SUPPLY APPARATUS ~~DEVICE, ELECTRONIC DEVICE USING THE SAME, AND SEMICONDUCTOR DEVICE~~

BACKGROUND OF THE INVENTION

1. Field of the Invention

~~TECHNICAL FIELD~~

[0001] The present invention relates to power supply apparatuses, and in particular to technology for generating stable voltage that is not affected by noise.

2. Description of the Related Art

~~RELATED ART~~

[0002] In various kinds of electronic devices, in order to supply a voltage higher or a voltage lower than a power supply voltage supplied from a battery or the like, to a load circuit, a step-up or a step-down switching power supply is used. For example, Patent Documents 1 and 2 disclose an insulating DC/DC converter as a switching power supply.

[0003] This type of switching power supply is configured to have a switching element for controlling current flowing in an inductor or a transformer. In this switching power supply, switching noise is generated from the switching element which turns ON and OFF at a high frequency during a stepping up or stepping down operation.

Patent Document 1: 2004-201474

Patent Document 2: 2005-73483

~~DISCLOSURE OF THE INVENTION~~

~~PROBLEMS TO BE SOLVED BY THE INVENTION~~

[0004] A switching power supply is provided with a control circuit which controls ON and OFF states of a switching element. This control circuit turns ON and OFF the switching element, based on a reference voltage outputted from a reference voltage source such as a bandgap reference circuit or the like, and stabilizes output voltage of the switching power supply.

[0005] Here, switching noise generated by the switching element has an impact on another circuit block connected via power supply wiring or the like. When the switching noise is inputted to the reference voltage source, since the noise is superimposed on the reference voltage, there is a risk that a stepping up or a stepping down operation will be hindered.

SUMMARY OF THE INVENTION

[0006] The present invention has been made in light of these problems, and a general purpose thereof is to provide a power supply apparatus which can generate a stabilized voltage without being affected by the noise, and a semiconductor device.

~~MEANS FOR SOLVING THE PROBLEMS~~

[0007] The power supply apparatus of an embodiment of the present invention is provided with a switching power supply which

stabilizes an input voltage provided from outside, a reference voltage source which generates a predetermined reference voltage, and a linear regulator which stabilizes the input voltage, based on the reference voltage generated by the reference voltage source. An output voltage of the linear regulator is supplied as a power supply voltage of a control circuit of the switching power supply and the reference voltage source.

[0008] According to the embodiment, since the reference voltage source generates the reference voltage, with the output voltage of the linear regulator as the power supply voltage, an impact of noise generated in the switching element can be reduced, and it is possible to generate the reference voltage with a small noise component.

[0009] The linear regulator may be configured to enable switching of a regulation mode in which voltage is outputted according to the reference voltage, and a bypass mode in which input voltage is outputted as it is, with no relation to the reference voltage. When the present power supply apparatus is started up, the linear regulator may operate in the bypass mode, during a time period until the reference voltage reaches a predetermined voltage value, and when the reference voltage exceeds the predetermined voltage value, may operate in the regulation mode.

[0010] In such cases, at the startup time, since the input voltage from the linear regulator is outputted as it is, when the reference voltage is lower than a threshold voltage, the input

voltage is supplied as it is, to the reference voltage source. When the voltage supplied to the reference voltage source increases, the reference voltage source starts normal operation, and the reference voltage rises and exceeds a predetermined voltage value. When the reference voltage exceeds the predetermined voltage value, since the linear regulator operates in the regulation mode, a voltage that is stabilized by the linear regulator is supplied as the power supply voltage to the reference voltage source. As a result, the present power supply apparatus including the reference voltage source is started up in a preferred manner.

[0011] The linear regulator may have a configuration provided with an operational amplifier to which are inputted the reference voltage and a feedback voltage corresponding to the output voltage of the linear regulator; a transistor in which an error voltage outputted from the operational amplifier is inputted to a control terminal, and which outputs the output voltage from another end; and a switch circuit which changes electrical potential of the control terminal of the transistor, in the bypass mode, and forcibly turns the transistor ON. The switch circuit may include a switch arranged between a terminal with a fixed electrical potential and the control terminal of the transistor, which is ON in the bypass mode.

[0012] When in the bypass mode, by turning the transistor fully ON using the switch circuit, it is possible to output the input voltage from the linear regulator, as it is.

[0013] When the reference voltage generated by the reference voltage source reaches a predetermined voltage value, the reference voltage source may output a mode control signal at a predetermined level, and when the mode control signal outputted from the reference voltage source reaches a predetermined level, the linear regulator may transition to the regulation mode. The reference voltage source may generate the mode control signal based on current flowing in the transistor that is ON when the reference voltage reaches the predetermined voltage value.

[0014] In such cases, before the reference voltage reaches the predetermined value, the linear regulator goes into the bypass mode and outputs the input voltage as it is, and after the predetermined value has been reached, transitions to the regulation mode, so that the input voltage can be stabilized based on the reference voltage that has been stabilized.

[0015] The reference voltage source, the linear regulator, and the control circuit of the switching power supply may be integrated on one semiconductor substrate. "Integrated" includes cases in which all component elements of the circuit are formed on the semiconductor substrate, and cases in which main component elements of the circuit are integrated, and some resistors, capacitors, or the like, for adjusting a circuit constant, may be arranged outside the semiconductor substrate.

[0016] The switching power supply may be a step-up switching regulator which steps up the input voltage. In such cases, the noise generated in the switching element runs into the reference

voltage source, via an inductor or a transformer, but the reference voltage source curtails the impact of this noise, and it is possible to generate the stabilized reference voltage.

[0017] Another embodiment of the present invention is an electronic device. The electronic device is provided with a battery, a load circuit, and the abovementioned power supply apparatus which has voltage of the battery as an input voltage, and which steps up this voltage to supply the load circuit. This electronic device may be further provided with an imaging unit. Furthermore, the load circuit may include a xenon tube which operates as a flash when an image is taken by the imaging unit.

[0018] Another embodiment of the present invention relates to a semiconductor device. The semiconductor device is provided with a reference voltage source which generates a predetermined reference voltage, and a linear regulator which stabilizes input voltage, based on the reference voltage generated by the reference voltage source. The semiconductor device supplies an output voltage of the linear regulator as a power supply voltage of the reference voltage source.

[0019] In the semiconductor device of this embodiment also, the linear regulator may be configured to enable switching of a regulation mode in which a voltage is outputted according to the reference voltage, and a bypass mode in which the input voltage is outputted as it is, with no relation to the reference voltage. When the present semiconductor device is started up, the linear regulator may operate in the bypass mode, during a time period

until the input voltage reaches a predetermined threshold voltage, and when the input voltage exceeds the threshold voltage, may operate in the regulation mode.

[0020] ~~Furthermore, configurations in which optional combinations of the abovementioned component elements, and the component elements and representations of the invention are mutually substituted among methods, devices, and systems, are valid embodiments of the present invention.~~

It is to be noted that any arbitrary combination or rearrangement of the above-described structural components and so forth is effective as and encompassed by the present embodiments.

Moreover, this summary of the invention does not necessarily describe all necessary features so that the invention may also be a sub-combination of these described features.

~~EFFECTS OF THE INVENTION~~

~~**[0021]** According to the power supply apparatus and the semiconductor device according to the present invention, it is possible to reduce impact of noise, and to generate stabilized voltage.~~

BRIEF DESCRIPTION OF THE DRAWINGS

Embodiments will now be described, by way of example only, with reference to the accompanying drawings which are meant to be exemplary, not limiting, and wherein like elements are numbered alike in several Figures, in which:

[0022] Fig. 1 is a block diagram showing a configuration of a power supply apparatus according to an embodiment;

Fig. 2 is a block diagram showing a configuration of an electronic device in which the power supply apparatus of Fig. 1 is installed;

Fig. 3 is a circuit diagram showing a configuration of a linear regulator of Fig. 1;

Fig. 4 is a circuit diagram showing a configuration of a reference voltage source of Fig. 1;

Figs. 5A and 5B are time charts of the power supply apparatus of Fig. 1 at startup time and during stable operation; and

Figs. 6A to 6C are time charts of the power supply apparatus of Fig. 1 at startup time and during stable operation.

DETAILED DESCRIPTION OF THE INVENTION

~~BEST MODE FOR CARRYING OUT THE INVENTION~~

[0023] The invention will now be described based on preferred embodiments which do not intend to limit the scope of the present invention but exemplify the invention. All of the features and the combinations thereof described in the embodiment are not necessarily essential to the invention.

[0024] Fig. 1 is a block diagram showing a configuration of a power supply apparatus 100 according to an embodiment. Fig. 2 is a block diagram showing a configuration of an electronic device 300 in which the power supply apparatus 100 of Fig. 1 is installed. The electronic device 300 is a mobile telephone in

which a camera is installed, and is provided with a battery 310, a communication processor 312, a DSP (Digital Signal Processor) 314, an imaging unit 316, and a light emitting device 200.

[0025] The battery 310 is, for example, a lithium-ion battery, and is provided as a power supply of the electronic device 300. The battery 310 outputs a voltage of about 3 to 4 V as a battery voltage Vbat. The DSP 314 is a block which performs overall control of the entire electronic device 300, and is connected to the communication processor 312, the imaging unit 316, and the light emitting device 200. The communication processor 312 includes an antenna, a high frequency circuit, and the like, and is a block which performs communication with a base station. The imaging unit 316 is an imaging device such as a CCD (Charge Coupled Device), a CMOS sensor, or the like. The light emitting device 200 is a light source used as a flash, when taking an image with the imaging unit 316.

[0026] The light emitting device 200 is provided with a power supply apparatus 100, a light emitting element 212, and a light emission control circuit 214. A xenon tube or the like is used as the light emitting element 212. The power supply apparatus 100 is a switching regulator, and steps up the battery voltage Vbat supplied from the battery 310, to supply a driving voltage Vout of about 300 V to the light emitting element 212. The light emission control circuit 214 controls timing of light emission of the light emitting device 200.

[0027] The DSP 314 outputs a flash signal FLASH to the light

emission control circuit 214 in synchronization with timing of taking of an image by a user. When the flash signal FLASH is inputted to the light emission control circuit 214, the light emitting element 212 is made to emit light.

[0028] Returning to Fig. 1, an explanation will be given concerning the power supply apparatus 100 which steps up the battery voltage Vbat. The power supply apparatus 100 includes a control circuit 110, a transformer 10, a rectifier diode 12, an output capacitor C1, and a bypass capacitor C2.

[0029] In Fig. 1, a switching controller 40 and a switching transistor Tr1 of the power supply apparatus 100, and the transformer 10, which is external, the rectifier diode 12, and the output capacitor C1 form a switching power supply. The battery voltage Vbat is applied as an input voltage Vin to a first terminal of a primary coil of the transformer 10. A second terminal of the primary coil is connected to a switching terminal 102 of the control circuit 110. Furthermore, an anode of the rectifier diode 12 is connected to a first terminal of a secondary coil of the transformer 10, and the output capacitor C1 is connected between a cathode of the rectifier diode 12 and a ground terminal. A second terminal of the secondary coil of the transformer 10 is grounded.

[0030] Next, an explanation will be given concerning a configuration of the control circuit 110. The control circuit 110 includes a reference voltage source 20 and a linear regulator 30, in addition to the switching transistor Tr1 and the switching

controller 40, and is a function IC integrated on one semiconductor substrate.

[0031] The switching transistor Tr1 is an NPN bipolar transistor; a collector of the switching transistor Tr1 is connected to the primary coil of the transformer 10 via the switching terminal 102; and an emitter is grounded. The switching transistor Tr1 may be configured as a MOSFET.

[0032] The switching controller 40 controls base voltage of the switching transistor Tr1, and controls ON and OFF states thereof. By the switching transistor Tr1 repeatedly turning ON and OFF, a current flows alternately in the primary and secondary coils of the transformer 10, and the output capacitor C1 is charged. An output voltage Vout, obtained by stepping up the input voltage Vin provided from outside, is outputted from the output capacitor C1.

[0033] The reference voltage source 20 is a bandgap reference circuit, and generates a predetermined reference voltage Vref. An enabling signal EN inputted from outside to the reference voltage source 20 may be inputted via an enabling terminal 108. The enabling signal EN goes to a high level when the power supply apparatus 100 starts up. When the enabling signal EN has a high level, the reference voltage source 20 is ON, and generates the predetermined reference voltage Vref.

[0034] The battery voltage Vbat, which is the input voltage, is inputted via a power supply terminal 104, to the linear regulator 30. The linear regulator 30 stabilizes the battery

voltage Vbat, which is the input voltage, based on the reference voltage Vref generated by the reference voltage source 20, and outputs the voltage thus stabilized. An output terminal of the linear regulator 30 is grounded via the bypass capacitor C2 connected to a terminal 106.

[0035] As described later, the linear regulator 30 is configured to enable switching of a regulation mode in which voltage is outputted according to the reference voltage Vref outputted from the reference voltage source 20, and a bypass mode which outputs the battery voltage Vbat as it is, with no relation to the reference voltage Vref. The two modes of the linear regulator 30 are switched by a mode control signal MODE outputted from the reference voltage source 20.

[0036] In the control circuit 110, an output voltage Vreg of the linear regulator 30 is supplied as a power supply voltage of the reference voltage source 20 and the switching controller 40 of the switching power supply.

[0037] Fig. 3 is a circuit diagram showing a configuration of the linear regulator 30 according to the embodiment. The linear regulator 30 includes a transistor Tr2, an operational amplifier 32, a first resistor R1, a second resistor R2, and a switch SW1.

[0038] The transistor Tr2 is a P-channel MOSFET, and a source thereof is connected to an input terminal 34 to which the battery voltage Vbat is applied. The input terminal 34 of the linear regulator 30 is connected to the power supply terminal 104 of the

control circuit 110. The reference voltage Vref outputted from the reference voltage source 20 is inputted to an inverting input terminal of the operational amplifier 32, and an output terminal thereof is connected to a gate, which is a control terminal of the transistor Tr2. A drain of the transistor Tr2 corresponds to an output terminal 36 of the linear regulator 30; the output voltage Vreg that occurs at the output terminal 36 is divided by the first resistor R1 and the second resistor R2, and is fed back to a noninverting input terminal of the operational amplifier 32. The voltage fed back to the noninverting input terminal of the operational amplifier 32 is given by Vout x R1/(R1 + R2), and this voltage is referred to as a feedback voltage Vfb. Moreover, the output terminal 36 is connected to the terminal 106 of the control circuit 110.

[0039] The switch SW1 is arranged between the gate of the transistor Tr2 and a ground potential terminal. The switch SW1 is ON in the bypass mode, and is OFF in the regulation mode. In the bypass mode, when the switch SW1 is ON, since the gate of the transistor Tr2 is forcibly lowered to close to ground potential, the transistor Tr2 is forcibly turned fully ON.

[0040] In the bypass mode, when the transistor Tr2 is fully ON, the difference in electrical potential between drain and source becomes very small. As a result, the input voltage Vbat, as the output voltage Vreg, is outputted as it is, from the linear regulator 30.

[0041] On the other hand, in the regulation mode in which

the switch SW1 is OFF, gate potential of the transistor Tr2 is controlled by the operational amplifier 32. In the regulation mode, the operational amplifier 32 adjusts an error voltage Verr, which is an output thereof, that is, the gate potential of the transistor Tr2, so that the reference voltage Vref and the feedback voltage Vfb match. As a result, the output voltage Vreg of the linear regulator 30 is stabilized to a voltage value given by Vref x (1 + R2/R1).

[0042] At startup time of the power supply apparatus 100, the linear regulator 30 operates in the bypass mode, in a time period until the reference voltage Vref reaches a predetermined voltage value Vpd, and when the reference voltage Vref exceeds the predetermined voltage value Vpd, operates in the regulation mode. The predetermined voltage value Vpd, which is to be compared to the reference voltage Vref, is desirably set to be close to a target value (normally about 1.2 V) of the reference voltage Vref. ON and OFF states of the switch SW1 are controlled by a mode control signal MODE outputted from the reference voltage source 20. When the mode control signal MODE is at a high level, the switch SW1 is ON and the linear regulator 30 is set to the bypass mode, and when at a low level, the switch SW1 is OFF and the linear regulator 30 is set to the regulation mode.

[0043] Fig. 4 is a circuit diagram showing a configuration of the reference voltage source 20 according to the present embodiment. The reference voltage source 20 is provided with transistors Q1 to Q12, resistors R3 to R7, and a switch SW2. The

transistors Q1, Q2, Q7, Q8, Q9, Q11, and Q12 are NPN bipolar transistors, and the transistors Q3, Q4, Q5, Q6, and Q10 are PNP bipolar transistors. The output voltage Vreg of the linear regulator 30 is inputted to a terminal 22, and the battery voltage Vbat is applied to a terminal 24. The reference voltage source 20 outputs the reference voltage Vref at about 1.2 V, which is a target voltage, from an output terminal 26.

[0044] The transistors Q1 to Q4 and the resistor R3 form a general bias current source that uses a thermal voltage. That is, transistor pairs, the transistor Q1 and the transistor Q2, and the transistor Q3 and the transistor Q4 respectively form current mirror circuits. A collector of the transistor Q1 and a collector of the transistor Q3 are mutually connected, and collectors of the transistor Q2 and the transistor Q4 are mutually connected. The resistor R3 is arranged between an emitter of the transistor Q2 and ground. This type of circuit configuration is known as a self-bias circuit, and a constant current Ic4 flows in the transistor Q4.

[0045] The switch SW2 is arranged between an emitter of the transistors Q3 and Q4, and a terminal 22 to which the output voltage Vreg of the linear regulator 30 is applied. The switch SW2 is a P-channel MOSFET, and an enabling signal EN from an external circuit, not shown in the figure, is inputted to a gate. When the switch SW2 is ON, the reference voltage source 20 is ON, and the reference voltage Vref is generated. When the switch SW2 is OFF, a current path of the circuit is shut off, and the reference

voltage source 20 is OFF. The switch SW2 is arranged to provide low power, and if unnecessary may be omitted.

[0046] The transistors Q4, Q5, and Q6 form a current mirror, and the transistors Q5 and Q6 generate a current according to the constant current Ic4 flowing in the transistor Q4. An emitter of the transistor Q7 is grounded. A resistor R4 is arranged between a collector of the transistor Q7 and a collector of the transistor Q5. Furthermore, a base and a collector of the transistor Q7 are connected to a base of the transistor Q8. A resistor R6 is arranged between an emitter of the transistor Q8 and ground, and a resistor R5 is arranged between a collector thereof and a collector of the transistor Q5. The collector terminal of the transistor Q5 is an output terminal 26 of the reference voltage source 20, and the reference voltage Vref occurs.

[0047] The base of the transistor Q9 is connected to a collector of the transistor Q8; an emitter thereof is grounded; and a collector thereof is connected to a collector of the transistor Q6.

[0048] The transistors Q10, Q11, Q12, and the resistor R7 are provided in order to generate the mode control signal MODE. A base of the transistor Q10 is connected to a collector of the transistor Q9, and an emitter is connected to a collector of the transistor Q11. Furthermore, an emitter of the transistor Q10 is connected to the output terminal 26. The transistor Q11 and the transistor Q12 form a current mirror circuit to which bases and emitters are commonly connected. The resistor R7 is arranged

between the collector of the transistor Q12 and the terminal 24 to which the battery voltage Vbat is applied. In the present embodiment, the transistor Q10 is equivalent to a transistor which turns ON when the reference voltage Vref reaches a predetermined voltage value Vpd (≈ 1.2 V).

[0049] The reference voltage source 20 configured as above operates normally as a bandgap reference circuit when the output voltage Vreg of the linear regulator 30 becomes higher than a predetermined level Vth, and outputs the reference voltage Vref at about 1.2 V.

[0050] Furthermore, with regard to the reference voltage source 20, when the output voltage Vreg of the linear regulator 30 becomes higher than a predetermined level, and the reference voltage Vref reaches the predetermined voltage value Vpd, the transistor Q10 is ON, and a current Ic10 flows. At this time, the transistors Q11 and Q12 that form the current mirror circuit generate a current Ic10' according to the current Ic10 flowing in the transistor Q10. When the current Ic10' flows in the resistor R7, since a voltage drop occurs, the mode control signal MODE goes to a low level.

[0051] When the output voltage Vreg of the linear regulator 30 is lower than a predetermined level, or the reference voltage source 20 is in an OFF state, since the transistor Q10 is OFF, the current Ic10 does not flow. Therefore, at this time, since a voltage drop does not occur across the resistor R7, the mode control signal MODE becomes equal to the battery voltage Vbat,

and has a high level.

[0052] In this way, when the reference voltage Vref generated by the reference voltage source 20 reaches the predetermined voltage value Vpd, the reference voltage source 20 outputs the mode control signal MODE at a predetermined level (low level). Furthermore, as described above, this mode control signal MODE is outputted to the linear regulator 30. Therefore, when the mode control signal MODE outputted from the reference voltage source 20 has the predetermined level (low level), that is, the reference voltage Vref has a predetermined value, the linear regulator 30 transitions to the regulation mode.

[0053] An explanation will be given concerning operations of the power supply apparatus 100 configured as above. Figs. 5A and 5B are time charts of the power supply apparatus 100 according to the present embodiment at startup time and during stable operation. Fig. 5A shows the battery voltage Vbat, the output voltage Vreg of the linear regulator 30, and the reference voltage Vref that is the output of the reference voltage source 20. In addition, Fig. 5B shows a mode control signal MODE. In Figs. 5A and 5B, and in Figs. 6A to 6C described later, in order to make the explanation clear, vertical axes and horizontal axes are shown as enlarged or contracted as appropriate. Furthermore, in order to simply explanations concerning each voltage waveform, there are cases in which actual voltage waveforms differ from those shown.

[0054] At time t0, the electronic device 300, in which the

power supply apparatus 100 is installed, is ON, and the battery voltage Vbat increases with time. Immediately after startup, the mode control signal MODE has a low level, and the linear regulator 30 is in the regulation mode, but since the operational amplifier 32 is OFF and the reference voltage Vref is 0 V, the output voltage thereof Vreg is 0 V.

[0055] In the time period from time t0 to t1, the current Ic10' of the reference voltage source 20 does not flow, and since a voltage drop does not occur across the resistor R7, the mode control signal MODE is almost equal to the battery voltage Vbat and increases with time. At time t1, when the voltage value of the mode control signal MODE becomes larger than a voltage Vt at which the switch SW1 of the linear regulator 30 is ON, that is, has a high level, a bypass mode occurs and Vbat ≈ Vreg.

[0056] After time t1, the output voltage Vreg, approximately equal to the battery voltage Vbat, from the linear regulator 30 is applied to the terminal 22 of the reference voltage source 20. Furthermore, the voltage value of the mode control voltage MODE rises together with the battery voltage Vbat. When the output voltage Vreg (= Vbat) of the linear regulator 30 applied to the terminal 22 of the reference voltage source 20 reaches the predetermined level Vth, the reference voltage source 20 is in an ON state, and the reference voltage Vref is stabilized at a predetermined value (= 1.2 V). When the reference voltage source 20 is in an ON state, the transistor Q10 is ON, and the mode control signal MODE has a low level.

[0057] At time t2, when the mode control signal MODE goes to a low level, since the switch SW1 is OFF, the linear regulator 30 transitions to the regulation mode. After time t2, the output voltage Vreg of the linear regulator 30 is stabilized at a voltage value given by Vref x (1 + R2/R1).

[0058] Figs. 6A to 6C are time charts of the power supply apparatus 100 according to the present embodiment at startup time and during stable operation, and are time charts for cases in which the battery voltage Vbat is assumed to be constant.

[0059] At time t0, the enabling signal EN goes to a high level and the switch SW2 is ON. Immediately after startup, the mode control signal MODE goes to a high level, and the reference voltage source 20 operates in bypass mode. When the linear regulator 30 operates in bypass mode, the transistor Tr2 is fully ON, a current flows from the battery to the bypass capacitor C2 via the transistor Tr2, and with a certain time constant, the output voltage Vreg of the linear regulator 30 increases.

[0060] With the increase of the output voltage Vreg of the linear regulator 30, the reference voltage source 20 begins operation. As a result, at time t1 the reference voltage Vref reaches the predetermined voltage value Vpd, and the mode control signal MODE transitions from a high level to a low level. After time t1, the linear regulator 30 transitions to the regulation mode, and performs voltage generation based on the reference voltage Vref.

[0061] According to the power supply apparatus 100 according

to the present embodiment, the reference voltage source 20, which generates the reference voltage Vref, is power-supplied by the output voltage Vreg of the linear regulator 30 which stabilizes voltage based on the reference voltage Vref. As a result, even in cases in which switching noise that is generated in the switching regulator is superimposed on the battery voltage Vbat, it is possible to generate a stabilized reference voltage Vref with a small noise component, and in addition, it is possible to also stabilize the output voltage Vreg of the linear regulator 30.

[0062] Furthermore, in the power supply apparatus 100 of the present embodiment, the linear regulator 30 is configured to enable switching of the regulation mode and the bypass mode. In addition, in a time period until the reference voltage Vref generated by the reference voltage source 20 reaches the predetermined voltage value Vpd, the linear regulator 30 operates in the bypass mode, and when the reference voltage Vref exceeds the predetermined voltage value Vpd, operates in the regulation mode. In this way, at startup time, when the reference voltage Vref is lower than the predetermined voltage value Vpd, since the linear regulator 30 outputs the battery voltage Vbat as it is, the battery voltage Vbat is supplied to the reference voltage source 20. When the reference voltage Vref exceeds the predetermined voltage value Vpd, the voltage Vreg, stabilized by the linear regulator 30 as a power supply voltage, is supplied to the reference voltage source 20. As a result, the power supply

apparatus 100 including the reference voltage source 20 can be started up preferably.

[0063] Furthermore, in the linear regulator 30, by providing the switch SW1, and turning the transistor Tr2 fully ON using a switch circuit, at bypass mode time, it is possible to output the battery voltage Vbat, which is the input voltage, as it is, from the linear regulator 30.

[0064] Furthermore, in the present embodiment, when the reference voltage Vref generated by the reference voltage source 20 reaches the predetermined voltage value Vpd, the reference voltage source 20 outputs the mode control signal MODE at a predetermined level (low level). The linear regulator 30 switches the regulation mode and the bypass mode based on the mode control signal MODE outputted from the reference voltage source 20. As a result, before the reference voltage Vref reaches a predetermined value (1.2 V), the linear regulator 30 can output the battery voltage Vbat as it is, in bypass mode, and after reaching the predetermined voltage value Vpd, can transition to the regulation mode, and stabilize the battery voltage Vbat, based on the stabilized reference voltage Vref.

[0065] The abovementioned embodiments are examples, and a person skilled in the art will understand that various modified examples in combinations of various component elements and various processes thereof are possible, and that such modified examples are within the scope of the present invention.

[0066] In the embodiment, an explanation has been given of

cases in which the reference voltage source 20 and the linear regulator 30 are applied to the power supply apparatus provided with a step-up switching regulator that uses a transformer, but there is no limitation thereto. For example, the switching regulator may be a non-insulating type using an inductor, or may be a step-down/step-up type, or a step-down type. Furthermore, in place of the switching regulator, a switching power supply, such as a charge pump circuit or the like, may be used.

[0067] In the embodiment, the configuration of the linear regulator 30 explained using Fig. 3 is merely an example, and various types of linear regulator can be used. In Fig. 3, the switch SW1 is arranged between the gate of the transistor Tr2 and ground, and by turning the transistor Tr2 fully ON, the bypass mode is realized; however, there is no limitation thereto, and if there is a switching circuit which turns the transistor Tr2 fully ON, other forms of circuit may be used. Moreover, in Fig. 3, a configuration is used in which, in the bypass mode, the transistor Tr2 itself is turned fully ON and the battery voltage Vbat, which is the input voltage, is outputted as it is; however, there is no limitation thereto, and the transistor for a bypass that is fully ON, in the bypass mode, may be arranged in parallel to the transistor Tr2.

[0068] In addition, the configuration of the reference voltage source 20 explained using Fig. 4 is merely one example, and it is possible to use a constant voltage source of various forms of bandgap regulator circuit and the like.

[0069] In the embodiment, an explanation was given of cases in which the mode control signal MODE, which switches the regulation mode and the bypass mode of the linear regulator 30, is generated in the reference voltage source 20, but there is no limitation thereto. The mode control signal MODE may be separately generated in another circuit block.

[0070] In the embodiment, an explanation was given concerning cases in which the control circuit 110 is integrated on one semiconductor substrate, but there is no limitation thereto; a portion thereof may be configured using a discrete component or a chip part, or a configuration may be integrated on a plurality of semiconductor substrates. These circuit configurations may be appropriately designed in accordance with a specification required for a circuit.

[0071] With regard to the transistors used in the embodiment, the bipolar transistor and the MOSFET can clearly be substituted, and furthermore, the NPN types and PNP types, or the N-channel and the P-channel types can also be substituted.

[0072] The present invention, outside of the power supply apparatus explained in the embodiment, can be used in various types of semiconductor devices provided with the reference voltage source 20 and the linear regulator 30. In these cases, the present invention may be understood as the following embodiment. That is, in this embodiment, the semiconductor device is provided with a reference voltage source which generates a predetermined reference voltage, and a linear regulator which

stabilizes an input voltage Vin, based on the reference voltage generated by the reference voltage source. In addition, an output voltage of the linear regulator is supplied as a power supply voltage of the reference voltage source.

[0073] Also in this embodiment, similar to what was explained using the abovementioned embodiment, it is possible to generate the reference voltage in which a noise component is reduced. For example, it is possible to preferably use the semiconductor device of the embodiment in a circuit in which noise is generated, and, for example, a motor drive circuit or the like may be cited.

[0074] While the preferred embodiments of the present invention have been described using specific terms, such description is for illustrative purposes only, and it is to be understood that changes and variations may be made without departing from the spirit or scope of the appended claims.

~~INDUSTRIAL APPLICABILITY~~

~~**[0075]** The present invention can be used in an electronic circuit.~~

SUBSTITUTE SPECIFICATION - CLEAN VERSION

POWER SUPPLY APPARATUS

BACKGROUND OF THE INVENTION

1. Field of the Invention

[0001] The present invention relates to power supply apparatuses, and in particular to technology for generating stable voltage that is not affected by noise.

2. Description of the Related Art

[0002] In various kinds of electronic devices, in order to supply a voltage higher or a voltage lower than a power supply voltage supplied from a battery or the like, to a load circuit, a step-up or a step-down switching power supply is used. For example, Patent Documents 1 and 2 disclose an insulating DC/DC converter as a switching power supply.

[0003] This type of switching power supply is configured to have a switching element for controlling current flowing in an inductor or a transformer. In this switching power supply, switching noise is generated from the switching element which turns ON and OFF at a high frequency during a stepping up or stepping down operation.

Patent Document 1: 2004-201474

Patent Document 2: 2005-73483

[0004] A switching power supply is provided with a control circuit which controls ON and OFF states of a switching element. This control circuit turns ON and OFF the switching element, based on a reference voltage outputted from a reference voltage source such as a bandgap reference circuit or the like, and stabilizes output voltage of the switching power supply.

[0005] Here, switching noise generated by the switching element has an impact on another circuit block connected via power supply wiring or the like. When the switching noise is inputted to the reference voltage source, since the noise is superimposed on the reference voltage, there is a risk that a stepping up or a stepping down operation will be hindered.

SUMMARY OF THE INVENTION

[0006] The present invention has been made in light of these problems, and a general purpose thereof is to provide a power supply apparatus which can generate a stabilized voltage without being affected by the noise, and a semiconductor device.

[0007] The power supply apparatus of an embodiment of the present invention is provided with a switching power supply which stabilizes an input voltage provided from outside, a reference voltage source which generates a predetermined reference voltage, and a linear regulator which stabilizes the input voltage, based on the reference voltage generated by the reference voltage source.

An output voltage of the linear regulator is supplied as a power supply voltage of a control circuit of the switching power supply and the reference voltage source.

[0008] According to the embodiment, since the reference voltage source generates the reference voltage, with the output voltage of the linear regulator as the power supply voltage, an impact of noise generated in the switching element can be reduced, and it is possible to generate the reference voltage with a small noise component.

[0009] The linear regulator may be configured to enable switching of a regulation mode in which voltage is outputted according to the reference voltage, and a bypass mode in which input voltage is outputted as it is, with no relation to the reference voltage. When the present power supply apparatus is started up, the linear regulator may operate in the bypass mode, during a time period until the reference voltage reaches a predetermined voltage value, and when the reference voltage exceeds the predetermined voltage value, may operate in the regulation mode.

[0010] In such cases, at the startup time, since the input voltage from the linear regulator is outputted as it is, when the reference voltage is lower than a threshold voltage, the input voltage is supplied as it is, to the reference voltage source. When the voltage supplied to the reference voltage source increases, the reference voltage source starts normal operation, and the reference voltage rises and exceeds a predetermined

voltage value. When the reference voltage exceeds the predetermined voltage value, since the linear regulator operates in the regulation mode, a voltage that is stabilized by the linear regulator is supplied as the power supply voltage to the reference voltage source. As a result, the present power supply apparatus including the reference voltage source is started up in a preferred manner.

[0011] The linear regulator may have a configuration provided with an operational amplifier to which are inputted the reference voltage and a feedback voltage corresponding to the output voltage of the linear regulator; a transistor in which an error voltage outputted from the operational amplifier is inputted to a control terminal, and which outputs the output voltage from another end; and a switch circuit which changes electrical potential of the control terminal of the transistor, in the bypass mode, and forcibly turns the transistor ON. The switch circuit may include a switch arranged between a terminal with a fixed electrical potential and the control terminal of the transistor, which is ON in the bypass mode.

[0012] When in the bypass mode, by turning the transistor fully ON using the switch circuit, it is possible to output the input voltage from the linear regulator, as it is.

[0013] When the reference voltage generated by the reference voltage source reaches a predetermined voltage value, the reference voltage source may output a mode control signal at a predetermined level, and when the mode control signal outputted

from the reference voltage source reaches a predetermined level, the linear regulator may transition to the regulation mode. The reference voltage source may generate the mode control signal based on current flowing in the transistor that is ON when the reference voltage reaches the predetermined voltage value.

[0014] In such cases, before the reference voltage reaches the predetermined value, the linear regulator goes into the bypass mode and outputs the input voltage as it is, and after the predetermined value has been reached, transitions to the regulation mode, so that the input voltage can be stabilized based on the reference voltage that has been stabilized.

[0015] The reference voltage source, the linear regulator, and the control circuit of the switching power supply may be integrated on one semiconductor substrate. "Integrated" includes cases in which all component elements of the circuit are formed on the semiconductor substrate, and cases in which main component elements of the circuit are integrated, and some resistors, capacitors, or the like, for adjusting a circuit constant, may be arranged outside the semiconductor substrate.

[0016] The switching power supply may be a step-up switching regulator which steps up the input voltage. In such cases, the noise generated in the switching element runs into the reference voltage source, via an inductor or a transformer, but the reference voltage source curtails the impact of this noise, and it is possible to generate the stabilized reference voltage.

[0017] Another embodiment of the present invention is an

electronic device. The electronic device is provided with a battery, a load circuit, and the abovementioned power supply apparatus which has voltage of the battery as an input voltage, and which steps up this voltage to supply the load circuit. This electronic device may be further provided with an imaging unit. Furthermore, the load circuit may include a xenon tube which operates as a flash when an image is taken by the imaging unit.

[0018] Another embodiment of the present invention relates to a semiconductor device. The semiconductor device is provided with a reference voltage source which generates a predetermined reference voltage, and a linear regulator which stabilizes input voltage, based on the reference voltage generated by the reference voltage source. The semiconductor device supplies an output voltage of the linear regulator as a power supply voltage of the reference voltage source.

[0019] In the semiconductor device of this embodiment also, the linear regulator may be configured to enable switching of a regulation mode in which a voltage is outputted according to the reference voltage, and a bypass mode in which the input voltage is outputted as it is, with no relation to the reference voltage. When the present semiconductor device is started up, the linear regulator may operate in the bypass mode, during a time period until the input voltage reaches a predetermined threshold voltage, and when the input voltage exceeds the threshold voltage, may operate in the regulation mode.

[0020]

It is to be noted that any arbitrary combination or rearrangement of the above-described structural components and so forth is effective as and encompassed by the present embodiments.

Moreover, this summary of the invention does not necessarily describe all necessary features so that the invention may also be a sub-combination of these described features.

BRIEF DESCRIPTION OF THE DRAWINGS

Embodiments will now be described, by way of example only, with reference to the accompanying drawings which are meant to be exemplary, not limiting, and wherein like elements are numbered alike in several Figures, in which:

[0022] Fig. 1 is a block diagram showing a configuration of a power supply apparatus according to an embodiment;

Fig. 2 is a block diagram showing a configuration of an electronic device in which the power supply apparatus of Fig. 1 is installed;

Fig. 3 is a circuit diagram showing a configuration of a linear regulator of Fig. 1;

Fig. 4 is a circuit diagram showing a configuration of a reference voltage source of Fig. 1;

Figs. 5A and 5B are time charts of the power supply apparatus of Fig. 1 at startup time and during stable operation; and

Figs. 6A to 6C are time charts of the power supply apparatus of Fig. 1 at startup time and during stable operation.

DETAILED DESCRIPTION OF THE INVENTION

[0023] The invention will now be described based on preferred embodiments which do not intend to limit the scope of the present invention but exemplify the invention. All of the features and the combinations thereof described in the embodiment are not necessarily essential to the invention.

[0024] Fig. 1 is a block diagram showing a configuration of a power supply apparatus 100 according to an embodiment. Fig. 2 is a block diagram showing a configuration of an electronic device 300 in which the power supply apparatus 100 of Fig. 1 is installed. The electronic device 300 is a mobile telephone in which a camera is installed, and is provided with a battery 310, a communication processor 312, a DSP (Digital Signal Processor) 314, an imaging unit 316, and a light emitting device 200.

[0025] The battery 310 is, for example, a lithium-ion battery, and is provided as a power supply of the electronic device 300. The battery 310 outputs a voltage of about 3 to 4 V as a battery voltage Vbat. The DSP 314 is a block which performs overall control of the entire electronic device 300, and is connected to the communication processor 312, the imaging unit 316, and the light emitting device 200. The communication processor 312 includes an antenna, a high frequency circuit, and the like, and is a block which performs communication with a base station. The imaging unit 316 is an imaging device such as a CCD (Charge Coupled Device), a CMOS sensor, or the like. The light emitting device

200 is a light source used as a flash, when taking an image with the imaging unit 316.

[0026] The light emitting device 200 is provided with a power supply apparatus 100, a light emitting element 212, and a light emission control circuit 214. A xenon tube or the like is used as the light emitting element 212. The power supply apparatus 100 is a switching regulator, and steps up the battery voltage Vbat supplied from the battery 310, to supply a driving voltage Vout of about 300 V to the light emitting element 212. The light emission control circuit 214 controls timing of light emission of the light emitting device 200.

[0027] The DSP 314 outputs a flash signal FLASH to the light emission control circuit 214 in synchronization with timing of taking of an image by a user. When the flash signal FLASH is inputted to the light emission control circuit 214, the light emitting element 212 is made to emit light.

[0028] Returning to Fig. 1, an explanation will be given concerning the power supply apparatus 100 which steps up the battery voltage Vbat. The power supply apparatus 100 includes a control circuit 110, a transformer 10, a rectifier diode 12, an output capacitor C1, and a bypass capacitor C2.

[0029] In Fig. 1, a switching controller 40 and a switching transistor Tr1 of the power supply apparatus 100, and the transformer 10, which is external, the rectifier diode 12, and the output capacitor C1 form a switching power supply. The battery voltage Vbat is applied as an input voltage Vin to a first

terminal of a primary coil of the transformer 10. A second terminal of the primary coil is connected to a switching terminal 102 of the control circuit 110. Furthermore, an anode of the rectifier diode 12 is connected to a first terminal of a secondary coil of the transformer 10, and the output capacitor C1 is connected between a cathode of the rectifier diode 12 and a ground terminal. A second terminal of the secondary coil of the transformer 10 is grounded.

[0030] Next, an explanation will be given concerning a configuration of the control circuit 110. The control circuit 110 includes a reference voltage source 20 and a linear regulator 30, in addition to the switching transistor Tr1 and the switching controller 40, and is a function IC integrated on one semiconductor substrate.

[0031] The switching transistor Tr1 is an NPN bipolar transistor; a collector of the switching transistor Tr1 is connected to the primary coil of the transformer 10 via the switching terminal 102; and an emitter is grounded. The switching transistor Tr1 may be configured as a MOSFET.

[0032] The switching controller 40 controls base voltage of the switching transistor Tr1, and controls ON and OFF states thereof. By the switching transistor Tr1 repeatedly turning ON and OFF, a current flows alternately in the primary and secondary coils of the transformer 10, and the output capacitor C1 is charged. An output voltage Vout, obtained by stepping up the input voltage Vin provided from outside, is outputted from the output capacitor

C1.

[0033] The reference voltage source 20 is a bandgap reference circuit, and generates a predetermined reference voltage Vref. An enabling signal EN inputted from outside to the reference voltage source 20 may be inputted via an enabling terminal 108. The enabling signal EN goes to a high level when the power supply apparatus 100 starts up. When the enabling signal EN has a high level, the reference voltage source 20 is ON, and generates the predetermined reference voltage Vref.

[0034] The battery voltage Vbat, which is the input voltage, is inputted via a power supply terminal 104, to the linear regulator 30. The linear regulator 30 stabilizes the battery voltage Vbat, which is the input voltage, based on the reference voltage Vref generated by the reference voltage source 20, and outputs the voltage thus stabilized. An output terminal of the linear regulator 30 is grounded via the bypass capacitor C2 connected to a terminal 106.

[0035] As described later, the linear regulator 30 is configured to enable switching of a regulation mode in which voltage is outputted according to the reference voltage Vref outputted from the reference voltage source 20, and a bypass mode which outputs the battery voltage Vbat as it is, with no relation to the reference voltage Vref. The two modes of the linear regulator 30 are switched by a mode control signal MODE outputted from the reference voltage source 20.

[0036] In the control circuit 110, an output voltage Vreg

of the linear regulator 30 is supplied as a power supply voltage of the reference voltage source 20 and the switching controller 40 of the switching power supply.

[0037] Fig. 3 is a circuit diagram showing a configuration of the linear regulator 30 according to the embodiment. The linear regulator 30 includes a transistor Tr2, an operational amplifier 32, a first resistor R1, a second resistor R2, and a switch SW1.

[0038] The transistor Tr2 is a P-channel MOSFET, and a source thereof is connected to an input terminal 34 to which the battery voltage Vbat is applied. The input terminal 34 of the linear regulator 30 is connected to the power supply terminal 104 of the control circuit 110. The reference voltage Vref outputted from the reference voltage source 20 is inputted to an inverting input terminal of the operational amplifier 32, and an output terminal thereof is connected to a gate, which is a control terminal of the transistor Tr2. A drain of the transistor Tr2 corresponds to an output terminal 36 of the linear regulator 30; the output voltage Vreg that occurs at the output terminal 36 is divided by the first resistor R1 and the second resistor R2, and is fed back to a noninverting input terminal of the operational amplifier 32. The voltage fed back to the noninverting input terminal of the operational amplifier 32 is given by Vout x R1/(R1 + R2), and this voltage is referred to as a feedback voltage Vfb. Moreover, the output terminal 36 is connected to the terminal 106 of the control circuit 110.

[0039] The switch SW1 is arranged between the gate of the transistor Tr2 and a ground potential terminal. The switch SW1 is ON in the bypass mode, and is OFF in the regulation mode. In the bypass mode, when the switch SW1 is ON, since the gate of the transistor Tr2 is forcibly lowered to close to ground potential, the transistor Tr2 is forcibly turned fully ON.

[0040] In the bypass mode, when the transistor Tr2 is fully ON, the difference in electrical potential between drain and source becomes very small. As a result, the input voltage Vbat, as the output voltage Vreg, is outputted as it is, from the linear regulator 30.

[0041] On the other hand, in the regulation mode in which the switch SW1 is OFF, gate potential of the transistor Tr2 is controlled by the operational amplifier 32. In the regulation mode, the operational amplifier 32 adjusts an error voltage Verr, which is an output thereof, that is, the gate potential of the transistor Tr2, so that the reference voltage Vref and the feedback voltage Vfb match. As a result, the output voltage Vreg of the linear regulator 30 is stabilized to a voltage value given by Vref x (1 + R2/R1).

[0042] At startup time of the power supply apparatus 100, the linear regulator 30 operates in the bypass mode, in a time period until the reference voltage Vref reaches a predetermined voltage value Vpd, and when the reference voltage Vref exceeds the predetermined voltage value Vpd, operates in the regulation mode. The predetermined voltage value Vpd, which is to be

compared to the reference voltage Vref, is desirably set to be close to a target value (normally about 1.2 V) of the reference voltage Vref. ON and OFF states of the switch SW1 are controlled by a mode control signal MODE outputted from the reference voltage source 20. When the mode control signal MODE is at a high level, the switch SW1 is ON and the linear regulator 30 is set to the bypass mode, and when at a low level, the switch SW1 is OFF and the linear regulator 30 is set to the regulation mode.

[0043] Fig. 4 is a circuit diagram showing a configuration of the reference voltage source 20 according to the present embodiment. The reference voltage source 20 is provided with transistors Q1 to Q12, resistors R3 to R7, and a switch SW2. The transistors Q1, Q2, Q7, Q8, Q9, Q11, and Q12 are NPN bipolar transistors, and the transistors Q3, Q4, Q5, Q6, and Q10 are PNP bipolar transistors. The output voltage Vreg of the linear regulator 30 is inputted to a terminal 22, and the battery voltage Vbat is applied to a terminal 24. The reference voltage source 20 outputs the reference voltage Vref at about 1.2 V, which is a target voltage, from an output terminal 26.

[0044] The transistors Q1 to Q4 and the resistor R3 form a general bias current source that uses a thermal voltage. That is, transistor pairs, the transistor Q1 and the transistor Q2, and the transistor Q3 and the transistor Q4 respectively form current mirror circuits. A collector of the transistor Q1 and a collector of the transistor Q3 are mutually connected, and collectors of the transistor Q2 and the transistor Q4 are mutually

connected. The resistor R3 is arranged between an emitter of the transistor Q2 and ground. This type of circuit configuration is known as a self-bias circuit, and a constant current Ic4 flows in the transistor Q4.

[0045] The switch SW2 is arranged between an emitter of the transistors Q3 and Q4, and a terminal 22 to which the output voltage Vreg of the linear regulator 30 is applied. The switch SW2 is a P-channel MOSFET, and an enabling signal EN from an external circuit, not shown in the figure, is inputted to a gate. When the switch SW2 is ON, the reference voltage source 20 is ON, and the reference voltage Vref is generated. When the switch SW2 is OFF, a current path of the circuit is shut off, and the reference voltage source 20 is OFF. The switch SW2 is arranged to provide low power, and if unnecessary may be omitted.

[0046] The transistors Q4, Q5, and Q6 form a current mirror, and the transistors Q5 and Q6 generate a current according to the constant current Ic4 flowing in the transistor Q4. An emitter of the transistor Q7 is grounded. A resistor R4 is arranged between a collector of the transistor Q7 and a collector of the transistor Q5. Furthermore, a base and a collector of the transistor Q7 are connected to a base of the transistor Q8. A resistor R6 is arranged between an emitter of the transistor Q8 and ground, and a resistor R5 is arranged between a collector thereof and a collector of the transistor Q5. The collector terminal of the transistor Q5 is an output terminal 26 of the reference voltage source 20, and the reference voltage Vref occurs.

[0047] The base of the transistor Q9 is connected to a collector of the transistor Q8; an emitter thereof is grounded; and a collector thereof is connected to a collector of the transistor Q6.

[0048] The transistors Q10, Q11, Q12, and the resistor R7 are provided in order to generate the mode control signal MODE. A base of the transistor Q10 is connected to a collector of the transistor Q9, and an emitter is connected to a collector of the transistor Q11. Furthermore, an emitter of the transistor Q10 is connected to the output terminal 26. The transistor Q11 and the transistor Q12 form a current mirror circuit to which bases and emitters are commonly connected. The resistor R7 is arranged between the collector of the transistor Q12 and the terminal 24 to which the battery voltage Vbat is applied. In the present embodiment, the transistor Q10 is equivalent to a transistor which turns ON when the reference voltage Vref reaches a predetermined voltage value Vpd (≈ 1.2 V).

[0049] The reference voltage source 20 configured as above operates normally as a bandgap reference circuit when the output voltage Vreg of the linear regulator 30 becomes higher than a predetermined level Vth, and outputs the reference voltage Vref at about 1.2 V.

[0050] Furthermore, with regard to the reference voltage source 20, when the output voltage Vreg of the linear regulator 30 becomes higher than a predetermined level, and the reference voltage Vref reaches the predetermined voltage value Vpd, the

transistor Q10 is ON, and a current Ic10 flows. At this time, the transistors Q11 and Q12 that form the current mirror circuit generate a current Ic10' according to the current Ic10 flowing in the transistor Q10. When the current Ic10' flows in the resistor R7, since a voltage drop occurs, the mode control signal MODE goes to a low level.

[0051] When the output voltage Vreg of the linear regulator 30 is lower than a predetermined level, or the reference voltage source 20 is in an OFF state, since the transistor Q10 is OFF, the current Ic10 does not flow. Therefore, at this time, since a voltage drop does not occur across the resistor R7, the mode control signal MODE becomes equal to the battery voltage Vbat, and has a high level.

[0052] In this way, when the reference voltage Vref generated by the reference voltage source 20 reaches the predetermined voltage value Vpd, the reference voltage source 20 outputs the mode control signal MODE at a predetermined level (low level). Furthermore, as described above, this mode control signal MODE is outputted to the linear regulator 30. Therefore, when the mode control signal MODE outputted from the reference voltage source 20 has the predetermined level (low level), that is, the reference voltage Vref has a predetermined value, the linear regulator 30 transitions to the regulation mode.

[0053] An explanation will be given concerning operations of the power supply apparatus 100 configured as above. Figs. 5A and 5B are time charts of the power supply apparatus 100 according

to the present embodiment at startup time and during stable operation. Fig. 5A shows the battery voltage Vbat, the output voltage Vreg of the linear regulator 30, and the reference voltage Vref that is the output of the reference voltage source 20. In addition, Fig. 5B shows a mode control signal MODE. In Figs. 5A and 5B, and in Figs. 6A to 6C described later, in order to make the explanation clear, vertical axes and horizontal axes are shown as enlarged or contracted as appropriate. Furthermore, in order to simply explanations concerning each voltage waveform, there are cases in which actual voltage waveforms differ from those shown.

[0054] At time t0, the electronic device 300, in which the power supply apparatus 100 is installed, is ON, and the battery voltage Vbat increases with time. Immediately after startup, the mode control signal MODE has a low level, and the linear regulator 30 is in the regulation mode, but since the operational amplifier 32 is OFF and the reference voltage Vref is 0 V, the output voltage thereof Vreg is 0 V.

[0055] In the time period from time t0 to t1, the current Ic10' of the reference voltage source 20 does not flow, and since a voltage drop does not occur across the resistor R7, the mode control signal MODE is almost equal to the battery voltage Vbat and increases with time. At time t1, when the voltage value of the mode control signal MODE becomes larger than a voltage Vt at which the switch SW1 of the linear regulator 30 is ON, that is, has a high level, a bypass mode occurs and Vbat ≈ Vreg.

[0056] After time t1, the output voltage Vreg, approximately equal to the battery voltage Vbat, from the linear regulator 30 is applied to the terminal 22 of the reference voltage source 20. Furthermore, the voltage value of the mode control voltage MODE rises together with the battery voltage Vbat. When the output voltage Vreg (= Vbat) of the linear regulator 30 applied to the terminal 22 of the reference voltage source 20 reaches the predetermined level Vth, the reference voltage source 20 is in an ON state, and the reference voltage Vref is stabilized at a predetermined value (= 1.2 V). When the reference voltage source 20 is in an ON state, the transistor Q10 is ON, and the mode control signal MODE has a low level.

[0057] At time t2, when the mode control signal MODE goes to a low level, since the switch SW1 is OFF, the linear regulator 30 transitions to the regulation mode. After time t2, the output voltage Vreg of the linear regulator 30 is stabilized at a voltage value given by Vref x (1 + R2/R1).

[0058] Figs. 6A to 6C are time charts of the power supply apparatus 100 according to the present embodiment at startup time and during stable operation, and are time charts for cases in which the battery voltage Vbat is assumed to be constant.

[0059] At time t0, the enabling signal EN goes to a high level and the switch SW2 is ON. Immediately after startup, the mode control signal MODE goes to a high level, and the reference voltage source 20 operates in bypass mode. When the linear regulator 30 operates in bypass mode, the transistor Tr2 is fully ON, a current

flows from the battery to the bypass capacitor C2 via the transistor Tr2, and with a certain time constant, the output voltage Vreg of the linear regulator 30 increases.

[0060] With the increase of the output voltage Vreg of the linear regulator 30, the reference voltage source 20 begins operation. As a result, at time t1 the reference voltage Vref reaches the predetermined voltage value Vpd, and the mode control signal MODE transitions from a high level to a low level. After time t1, the linear regulator 30 transitions to the regulation mode, and performs voltage generation based on the reference voltage Vref.

[0061] According to the power supply apparatus 100 according to the present embodiment, the reference voltage source 20, which generates the reference voltage Vref, is power-supplied by the output voltage Vreg of the linear regulator 30 which stabilizes voltage based on the reference voltage Vref. As a result, even in cases in which switching noise that is generated in the switching regulator is superimposed on the battery voltage Vbat, it is possible to generate a stabilized reference voltage Vref with a small noise component, and in addition, it is possible to also stabilize the output voltage Vreg of the linear regulator 30.

[0062] Furthermore, in the power supply apparatus 100 of the present embodiment, the linear regulator 30 is configured to enable switching of the regulation mode and the bypass mode. In addition, in a time period until the reference voltage Vref

generated by the reference voltage source 20 reaches the predetermined voltage value Vpd, the linear regulator 30 operates in the bypass mode, and when the reference voltage Vref exceeds the predetermined voltage value Vpd, operates in the regulation mode. In this way, at startup time, when the reference voltage Vref is lower than the predetermined voltage value Vpd, since the linear regulator 30 outputs the battery voltage Vbat as it is, the battery voltage Vbat is supplied to the reference voltage source 20. When the reference voltage Vref exceeds the predetermined voltage value Vpd, the voltage Vreg, stabilized by the linear regulator 30 as a power supply voltage, is supplied to the reference voltage source 20. As a result, the power supply apparatus 100 including the reference voltage source 20 can be started up preferably.

[0063] Furthermore, in the linear regulator 30, by providing the switch SW1, and turning the transistor Tr2 fully ON using a switch circuit, at bypass mode time, it is possible to output the battery voltage Vbat, which is the input voltage, as it is, from the linear regulator 30.

[0064] Furthermore, in the present embodiment, when the reference voltage Vref generated by the reference voltage source 20 reaches the predetermined voltage value Vpd, the reference voltage source 20 outputs the mode control signal MODE at a predetermined level (low level). The linear regulator 30 switches the regulation mode and the bypass mode based on the mode control signal MODE outputted from the reference voltage source

20. As a result, before the reference voltage Vref reaches a predetermined value (1.2 V), the linear regulator 30 can output the battery voltage Vbat as it is, in bypass mode, and after reaching the predetermined voltage value Vpd, can transition to the regulation mode, and stabilize the battery voltage Vbat, based on the stabilized reference voltage Vref.

[0065] The abovementioned embodiments are examples, and a person skilled in the art will understand that various modified examples in combinations of various component elements and various processes thereof are possible, and that such modified examples are within the scope of the present invention.

[0066] In the embodiment, an explanation has been given of cases in which the reference voltage source 20 and the linear regulator 30 are applied to the power supply apparatus provided with a step-up switching regulator that uses a transformer, but there is no limitation thereto. For example, the switching regulator may be a non-insulating type using an inductor, or may be a step-down/step-up type, or a step-down type. Furthermore, in place of the switching regulator, a switching power supply, such as a charge pump circuit or the like, may be used.

[0067] In the embodiment, the configuration of the linear regulator 30 explained using Fig. 3 is merely an example, and various types of linear regulator can be used. In Fig. 3, the switch SW1 is arranged between the gate of the transistor Tr2 and ground, and by turning the transistor Tr2 fully ON, the bypass mode is realized; however, there is no limitation thereto, and

if there is a switching circuit which turns the transistor Tr2 fully ON, other forms of circuit may be used. Moreover, in Fig. 3, a configuration is used in which, in the bypass mode, the transistor Tr2 itself is turned fully ON and the battery voltage Vbat, which is the input voltage, is outputted as it is; however, there is no limitation thereto, and the transistor for a bypass that is fully ON, in the bypass mode, may be arranged in parallel to the transistor Tr2.

[0068] In addition, the configuration of the reference voltage source 20 explained using Fig. 4 is merely one example, and it is possible to use a constant voltage source of various forms of bandgap regulator circuit and the like.

[0069] In the embodiment, an explanation was given of cases in which the mode control signal MODE, which switches the regulation mode and the bypass mode of the linear regulator 30, is generated in the reference voltage source 20, but there is no limitation thereto. The mode control signal MODE may be separately generated in another circuit block.

[0070] In the embodiment, an explanation was given concerning cases in which the control circuit 110 is integrated on one semiconductor substrate, but there is no limitation thereto; a portion thereof may be configured using a discrete component or a chip part, or a configuration may be integrated on a plurality of semiconductor substrates. These circuit configurations may be appropriately designed in accordance with a specification required for a circuit.

[0071] With regard to the transistors used in the embodiment, the bipolar transistor and the MOSFET can clearly be substituted, and furthermore, the NPN types and PNP types, or the N-channel and the P-channel types can also be substituted.

[0072] The present invention, outside of the power supply apparatus explained in the embodiment, can be used in various types of semiconductor devices provided with the reference voltage source 20 and the linear regulator 30. In these cases, the present invention may be understood as the following embodiment. That is, in this embodiment, the semiconductor device is provided with a reference voltage source which generates a predetermined reference voltage, and a linear regulator which stabilizes an input voltage Vin, based on the reference voltage generated by the reference voltage source. In addition, an output voltage of the linear regulator is supplied as a power supply voltage of the reference voltage source.

[0073] Also in this embodiment, similar to what was explained using the abovementioned embodiment, it is possible to generate the reference voltage in which a noise component is reduced. For example, it is possible to preferably use the semiconductor device of the embodiment in a circuit in which noise is generated, and, for example, a motor drive circuit or the like may be cited.

[0074] While the preferred embodiments of the present invention have been described using specific terms, such description is for illustrative purposes only, and it is to be understood that changes and variations may be made without

departing from the spirit or scope of the appended claims.

Electronic Patent Application Fee Transmittal

Application Number:	
Filing Date:	
Title of Invention:	POWER SUPPLY DEVICE, ELECTRONIC DEVICE USING THE SAME, AND SEMICONDUCTOR DEVICE
First Named Inventor/Applicant Name:	Tomoyuki ITO
Filer:	Daniel P. Lent/Elizabeth Dyer
Attorney Docket Number:	PRM-0155

Filed as Large Entity

U.S. National Stage under 35 USC 371 Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
National Stage Fee	1631	1	310	310
Natl Stage Search Fee - Report provided	1642	1	410	410
National Stage Exam - all other cases	1633	1	210	210
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Miscellaneous:				
			Total in USD ($)	**930**

Electronic Acknowledgement Receipt

EFS ID:	3427113
Application Number:	12096765
International Application Number:	PCT/JP2006/324029
Confirmation Number:	4525
Title of Invention:	POWER SUPPLY DEVICE, ELECTRONIC DEVICE USING THE SAME, AND SEMICONDUCTOR DEVICE
First Named Inventor/Applicant Name:	Tomoyuki ITO
Customer Number:	23413
Filer:	Daniel P. Lent/Elizabeth Dyer
Filer Authorized By:	Daniel P. Lent
Attorney Docket Number:	PRM-0155
Receipt Date:	09-JUN-2008
Filing Date:	
Time Stamp:	18:32:49
Application Type:	U.S. National Stage under 35 USC 371

Payment information:

Submitted with Payment	yes
Payment Type	Deposit Account
Payment was successfully received in RAM	$930
RAM confirmation Number	3617
Deposit Account	061130
Authorized User	

The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:

Charge any Additional Fees required under 37 C.F.R. 1.492 (National application filing, search, and examination fees)

Charge any Additional Fees required under 37 C.F.R. Section 1.17 (Patent application and reexamination processing fees)

File Listing:

Document Number	Document Description	File Name	File Size(Bytes) /Message Digest	Multi Part /.zip	Pages (if appl.)
1	Application Data Sheet	22Q0270.PDF	1105312 c44677cbdc430bc9060950f84da5353eedbbe8b2	no	5
Warnings:					
Information:					
2	Specification	22Q0552.PDF	2178217 4f8f2df52295c2de50f7f02979ade854fb9d6691	no	24
Warnings:					
Information:					
3		22Q0555.PDF	2693130 da17e8fb5fe2ac9a07d3a22c2bb2264ae2d8c5aa	yes	34

Multipart Description/PDF files in .zip description

Document Description	Start	End
Specification	1	25
Claims	26	29
Drawings-only black and white line drawings	30	34

Warnings:					
Information:					
4	Oath or Declaration filed	22Q0556.PDF	266472 a4caeae23fe53260e3ba9b887f223b23576e283a	no	2
Warnings:					
Information:					
5		22Q0562.PDF	77227 680a3f6eb6925d10b0fba46dfb1101272672 8f29	yes	7

Multipart Description/PDF files in .zip description

Document Description	Start	End
Preliminary Amendment	1	1
Specification	2	2
Claims	3	5

	Abstract		6		6
	Applicant Arguments/Remarks Made in an Amendment		7		7
Warnings:					
Information:					
6	Specification	22Q0073.PDF	165325 a10e0377dd879bb33b352802ca8900bc6d761577	no	25
Warnings:					
Information:					
7	Specification	22Q0063.PDF	157695 9b027dd87fde73fd570b2b9f522b7f74f58777a3	no	25
Warnings:					
Information:					
8	Fee Worksheet (PTO-06)	fee-info.pdf	8454 297b857b5b24600f15c2f066ac18dad331eec4c5	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	6651832		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	PRM-0155
	Application Number	
Title of Invention	POWER SUPPLY DEVICE, ELECTRONIC DEVICE USING THE SAME, AND SEMICONDUCTOR DEVICE	

The application data sheet is part of the provisional or nonprovisional application for which it is being submitted. The following form contains the bibliographic data arranged in a format specified by the United States Patent and Trademark Office as outlined in 37 CFR 1.76.
This document may be completed electronically and submitted to the Office in electronic format using the Electronic Filing System (EFS) or the document may be printed and included in a paper filed application.

Secrecy Order 37 CFR 5.2

☐ Portions or all of the application associated with this Application Data Sheet may fall under a Secrecy Order pursuant to 37 CFR 5.2 (Paper filers only. Applications that fall under Secrecy Order may not be filed electronically.)

Applicant Information:

Applicant 1 Remove

Applicant Authority	◉ Inventor	○ Legal Representative under 35 U.S.C. 117	○ Party of Interest under 35 U.S.C. 118

Prefix	Given Name	Middle Name	Family Name	Suffix
	Tomoyuki		ITO	

Residence Information (Select One) ○ US Residency ◉ Non US Residency ○ Active US Military Service

City	Kyoto	Country Of Residence[i]	JP
Citizenship under 37 CFR 1.41(b)[i]	JP		

Mailing Address of Applicant:

Address 1	c/o ROHM CO., LTD.		
Address 2	21, Saiin Mizosaki-Cho, Ukyo-Ku		
City	Kyoto	State/Province	
Postal Code	615-8585	Country[i]	JP

Applicant 2 Remove

Applicant Authority	◉ Inventor	○ Legal Representative under 35 U.S.C. 117	○ Party of Interest under 35 U.S.C. 118

Prefix	Given Name	Middle Name	Family Name	Suffix
	Yoichi		TAMEGAI	

Residence Information (Select One) ○ US Residency ◉ Non US Residency ○ Active US Military Service

City	Kyoto	Country Of Residence[i]	JP
Citizenship under 37 CFR 1.41(b)[i]	JP		

Mailing Address of Applicant:

Address 1	c/o ROHM CO., LTD.		
Address 2	21, Saiin Mizosaki-Cho, Ukyo-Ku		
City	Kyoto	State/Province	
Postal Code	615-8585	Country[i]	JP

Applicant 3 Remove

Applicant Authority	◉ Inventor	○ Legal Representative under 35 U.S.C. 117	○ Party of Interest under 35 U.S.C. 118

Prefix	Given Name	Middle Name	Family Name	Suffix
	Koki		TAMAKAWA	

Residence Information (Select One) ○ US Residency ◉ Non US Residency ○ Active US Military Service

City	Kyoto	Country Of Residence[i]	JP

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	PRM-0155
	Application Number	
Title of Invention	POWER SUPPLY DEVICE, ELECTRONIC DEVICE USING THE SAME, AND SEMICONDUCTOR DEVICE	

Citizenship under 37 CFR 1.41(b) i	JP			
Mailing Address of Applicant:				
Address 1	c/o ROHM CO., LTD.			
Address 2	21, Saiin Mizosaki-Cho, Ukyo-Ku			
City	Kyoto	**State/Province**		
Postal Code	615-8585	**Country**i	JP	

Applicant 4 Remove

Applicant Authority (•) Inventor ( ) Legal Representative under 35 U.S.C. 117 ( ) Party of Interest under 35 U.S.C. 118

Prefix	Given Name	Middle Name	Family Name	Suffix
	Isao		YAMAMOTO	

Residence Information (Select One) ( ) US Residency (•) Non US Residency ( ) Active US Military Service

City	Kyoto	**Country Of Residence**i	JP
Citizenship under 37 CFR 1.41(b) i	JP		
Mailing Address of Applicant:			
Address 1	c/o ROHM CO., LTD.		
Address 2	21, Saiin Mizosaki-Cho, Ukyo-Ku		
City	Kyoto	**State/Province**	
Postal Code	615-8585	**Country**i	JP

All Inventors Must Be Listed - Additional Inventor Information blocks may be generated within this form by selecting the **Add** button. Add

Correspondence Information:

Enter either Customer Number or complete the Correspondence Information section below.
For further information see 37 CFR 1.33(a).

☐ **An Address is being provided for the correspondence Information of this application.**

Customer Number	23413		
Email Address		Add Email	Remove Email

Application Information:

Title of the Invention	POWER SUPPLY DEVICE, ELECTRONIC DEVICE USING THE SAME, AND SEMICONDUCTOR DEVICE		
Attorney Docket Number	PRM-0155	**Small Entity Status Claimed**	☐
Application Type	Nonprovisional		
Subject Matter	Utility		
Suggested Class (if any)		**Sub Class (if any)**	
Suggested Technology Center (if any)			
Total Number of Drawing Sheets (if any)	5	**Suggested Figure for Publication (if any)**	

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	PRM-0155
	Application Number	
Title of Invention	POWER SUPPLY DEVICE, ELECTRONIC DEVICE USING THE SAME, AND SEMICONDUCTOR DEVICE	

Publication Information:

☐	Request Early Publication (Fee required at time of Request 37 CFR 1.219)
☐	**Request Not to Publish.** I hereby request that the attached application not be published under 35 U.S.C. 122(b) and certify that the invention disclosed in the attached application **has not and will not** be the subject of an application filed in another country, or under a multilateral international agreement, that requires publication at eighteen months after filing.

Representative Information:

Representative information should be provided for all practitioners having a power of attorney in the application. Providing this information in the Application Data Sheet does not constitute a power of attorney in the application (see 37 CFR 1.32).
Enter either Customer Number or complete the Representative Name section below. If both sections are completed the Customer Number will be used for the Representative Information during processing.

Please Select One:	◉ Customer Number	○ US Patent Practitioner	○ Limited Recognition (37 CFR 11.9)
Customer Number	23413		

Domestic Benefit/National Stage Information:

This section allows for the applicant to either claim benefit under 35 U.S.C. 119(e), 120, 121, or 365(c) or indicate National Stage entry from a PCT application. Providing this information in the application data sheet constitutes the specific reference required by 35 U.S.C. 119(e) or 120, and 37 CFR 1.78(a)(2) or CFR 1.78(a)(4), and need not otherwise be made part of the specification.

Prior Application Status	Pending		Remove
Application Number	Continuity Type	Prior Application Number	Filing Date (YYYY-MM-DD)
	a 371 of international	PCT/JP2006/324029	2006-11-30

Additional Domestic Benefit/National Stage Data may be generated within this form by selecting the **Add** button. Add

Foreign Priority Information:

This section allows for the applicant to claim benefit of foreign priority and to identify any prior foreign application for which priority is not claimed. Providing this information in the application data sheet constitutes the claim for priority as required by 35 U.S.C. 119(b) and 37 CFR 1.55(a).

Remove

Application Number	Country [i]	Parent Filing Date (YYYY-MM-DD)	Priority Claimed
JP2005-356077	JP	2005-12-09	◉ Yes ○ No

Additional Foreign Priority Data may be generated within this form by selecting the **Add** button. Add

Assignee Information:

Providing this information in the application data sheet does not substitute for compliance with any requirement of part 3 of Title 37 of the CFR to have an assignment recorded in the Office.

Assignee 1 Remove

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	PRM-0155
	Application Number	
Title of Invention	POWER SUPPLY DEVICE, ELECTRONIC DEVICE USING THE SAME, AND SEMICONDUCTOR DEVICE	

If the Assignee is an Organization check here. ☒			
Organization Name	ROHM CO., LTD.		
Mailing Address Information:			
Address 1	21, Saiin Mizosaki-Cho, Ukyo-Ku		
Address 2			
City	Kyoto	**State/Province**	
Country [i]	JP	Postal Code	615-8585
Phone Number		Fax Number	
Email Address			
Additional Assignee Data may be generated within this form by selecting the **Add** button.		Add	

Signature:

A signature of the applicant or representative is required in accordance with 37 CFR 1.33 and 10.18. Please see 37 CFR 1.4(d) for the form of the signature.					
Signature	/Daniel P. Lent/			Date (YYYY-MM-DD)	2008-06-09
First Name	Daniel P.	Last Name	Lent	Registration Number	44867

This collection of information is required by 37 CFR 1.76. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 23 minutes to complete, including gathering, preparing, and submitting the completed application data sheet form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

明 細 書

電源装置およびそれを用いた電子機器ならびに半導体装置

技術分野

[0001] 本発明は、電源装置に関し、特にノイズの影響を受けずに安定した電圧を生成する技術に関する。

背景技術

[0002] さまざまな電子機器において、電池などから供給される電源電圧よりも高い電圧、あるいは低い電圧を負荷回路に供給するために、昇圧型、あるいは降圧型のスイッチング電源が用いられている。たとえば、特許文献1、2には、スイッチング電源として絶縁型のDC／DCコンバータが開示されている。

[0003] こうしたスイッチング電源は、インダクタあるいはトランスに流れる電流を制御するためのスイッチング素子を備えて構成される。かかるスイッチング電源において、昇圧または降圧動作中に高い周波数でオンオフするスイッチング素子からは、スイッチングノイズが発生する。

特許文献1:特開2004－201474号公報

特許文献2:特開2005－73483号公報

発明の開示

発明が解決しようとする課題

[0004] スイッチング電源は、スイッチング素子のオンオフを制御する制御回路を備えている。この制御回路は、バンドギャップリファレンス回路などの基準電圧源から出力される基準電圧にもとづいて、スイッチング素子をオンオフし、スイッチング電源の出力電圧を安定化させる。

[0005] ここで、スイッチング素子から発生するスイッチングノイズは、電源配線等を介して接続される他の回路ブロックに影響を及ぼすことになる。スイッチングノイズが基準電圧源に入力されると、基準電圧にノイズが重畳されるため、昇圧または降圧動作に支障をきたすおそれがある。

[0006] 本発明はこうした課題に鑑みてなされたものであり、その目的は、ノイズの影響を受

けにくく、安定した電圧を生成可能な電源装置および半導体装置の提供にある。

課題を解決するための手段

[0007] 本発明のある態様の電源装置は、外部から与えられる入力電圧を安定化するスイッチング電源と、所定の基準電圧を生成する基準電圧源と、基準電圧源により生成される基準電圧にもとづき、入力電圧を安定化するリニアレギュレータと、を備える。リニアレギュレータの出力電圧を、スイッチング電源の制御回路および基準電圧源の電源電圧として供給する。

[0008] この態様によると、基準電圧源は、リニアレギュレータの出力電圧を電源電圧として基準電圧を生成するため、スイッチング素子において発生するノイズの影響を低減し、ノイズ成分の小さな基準電圧を生成することができる。

[0009] リニアレギュレータは、基準電圧に応じた電圧を出力するレギュレーションモードと、基準電圧とは無関係に、入力電圧をそのまま出力するバイパスモードと、を切り替え可能に構成するとよい。リニアレギュレータは、本電源装置の起動時において、基準電圧が所定の電圧値に達するまでの期間、バイパスモードで動作し、基準電圧が所定の電圧値を上回ると、レギュレーションモードで動作するようにするとよい。

[0010] この場合、起動時において、基準電圧がしきい値電圧より低いときには、リニアレギュレータから入力電圧がそのまま出力されるため、基準電圧源には、入力電圧がそのまま供給される。基準電圧源に供給される電圧が上昇すると、基準電圧源が正常動作を開始し、基準電圧が立ち上がり、所定の電圧値を超える。基準電圧が所定の電圧値を超えると、リニアレギュレータがレギュレーションモードで動作するため、基準電圧源には、電源電圧としてリニアレギュレータにより安定化された電圧が供給される。その結果、基準電圧源を含む本電源装置は好適に起動される。

[0011] リニアレギュレータは、当該リニアレギュレータの出力電圧に応じた帰還電圧および基準電圧が入力された演算増幅器と、制御端子に演算増幅器から出力される誤差電圧が入力され、他端から出力電圧を出力するトランジスタと、バイパスモードにおいて、トランジスタの制御端子の電位を変化せしめて、トランジスタを強制的にオンさせるスイッチ回路と、を備える構成とするとよい。スイッチ回路は、トランジスタの制御端子および電位の固定された端子間に設けられ、バイパスモードにおいてオンするスイ

ッチを含むとよい。

[0012] バイパスモード時において、スイッチ回路を用いてトランジスタをフルオンさせることにより、リニアレギュレータから、入力電圧をそのまま出力することができる。

[0013] 基準電圧源は、自らが生成する基準電圧が所定の電圧値に達すると、所定レベルとなるモード制御信号を出力し、リニアレギュレータは、基準電圧源から出力されるモード制御信号が所定レベルとなると、レギュレーションモードに移行するようにするとよい。基準電圧源は、基準電圧が所定の電圧値に達するとオンするトランジスタに流れる電流にもとづきモード制御信号を生成するとよい。

[0014] この場合、リニアレギュレータは、基準電圧が所定値に達する前には、バイパスモードとなり入力電圧をそのまま出力し、所定値に達した後は、レギュレーションモードに移行して、安定した基準電圧にもとづいて、入力電圧を安定化することができる。

[0015] 基準電圧源と、リニアレギュレータと、スイッチング電源の制御回路と、を1つの半導体基板上に一体集積化してもよい。「一体集積化」とは、回路の構成要素のすべてが半導体基板上に形成される場合や、回路の主要構成要素が一体集積化される場合が含まれ、回路定数の調節用に一部の抵抗やキャパシタなどが半導体基板の外部に設けられていてもよい。

[0016] スイッチング電源は、入力電圧を昇圧する昇圧型のスイッチングレギュレータであってもよい。この場合、スイッチング素子において発生したノイズが、インダクタやトランスを介して、基準電圧源に回り込むが、基準電圧源は、このノイズの影響を抑えて、安定した基準電圧を生成することができる。

[0017] 本発明の別の態様は、電子機器である。この電子機器は、電池と、負荷回路と、電池の電圧を入力電圧とし、これを昇圧して負荷回路に供給する上述の電源装置と、を備える。この電子機器は、撮像部をさらに備えてもよい。また、負荷回路は、撮像部による撮像の際にフラッシュとして動作するキセノンチューブを含んでもよい。

[0018] 本発明の別の態様は、半導体装置に関する。この半導体装置は、所定の基準電圧を生成する基準電圧源と、基準電圧源により生成される基準電圧にもとづき、入力電圧を安定化するリニアレギュレータと、を備える。半導体装置は、リニアレギュレータの出力電圧を、基準電圧源の電源電圧として供給する。

[0019] この態様の半導体装置においても、リニアレギュレータは、基準電圧に応じた電圧を出力するレギュレーションモードと、基準電圧とは無関係に、入力電圧をそのまま出力するバイパスモードと、が切り替え可能に構成するとよい。リニアレギュレータは、本半導体装置の起動時において、入力電圧が所定のしきい値電圧に達するまでの期間、バイパスモードで動作し、入力電圧がしきい値電圧を上回ると、レギュレーションモードで動作するようにするとよい。

[0020] なお、以上の構成要素の任意の組合せや本発明の構成要素や表現を、方法、装置、システムなどの間で相互に置換したものもまた、本発明の態様として有効である。

発明の効果

[0021] 本発明に係る電源装置および半導体装置によれば、ノイズの影響を低減し、安定した電圧を生成することができる。

図面の簡単な説明

[0022] [図1]実施の形態に係る電源装置の構成を示すブロック図である。

[図2]図1の電源装置を搭載した電子機器の構成を示すブロック図である。

[図3]図1のリニアレギュレータの構成を示す回路図である。

[図4]図1の基準電圧源の構成を示す回路図である。

[図5]図5(a)、(b)は、図1の電源装置の起動時および安定動作時のタイムチャートである。

[図6]図6(a)～(c)は、図1の電源装置の起動時および安定動作時のタイムチャートである。

発明を実施するための最良の形態

[0023] 以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

[0024] 図1は、実施の形態に係る電源装置100の構成を示すブロック図である。図2は、図1の電源装置100を搭載した電子機器300の構成を示すブロック図である。電子

機器300は、カメラを搭載した携帯電話端末であり、電池310、通信処理部312、DSP(Digital Signal Processor)314、撮像部316、発光装置200を備える。

[0025] 電池310は、たとえばリチウムイオン電池であり、電子機器300の電源として設けられる。電池310は、電池電圧Vbatとして3～4V程度の電圧を出力する。DSP314は、電子機器300全体を統括的に制御するブロックであり、通信処理部312、撮像部316、発光装置200と接続されている。通信処理部312は、アンテナ、高周波回路などを含み、基地局との通信を行うブロックである。撮像部316は、CCD(Charge Coupled Device)やCMOSセンサなどの撮像装置である。発光装置200は、撮像部316による撮像の際に、フラッシュとして用いられる光源である。

[0026] 発光装置200は、電源装置100、発光素子212、発光制御回路214を備える。発光素子212としてはキセノンチューブなどが用いられる。電源装置100は、スイッチングレギュレータであって、電池310から供給される電池電圧Vbatを昇圧し、発光素子212に300V程度の駆動電圧Voutを供給する。発光制御回路214は、発光装置200の発光のタイミングを制御する。

[0027] DSP314は、ユーザによる撮像のタイミングと同期してフラッシュ信号FLASHを発光制御回路214に対して出力する。発光制御回路214はフラッシュ信号FLASHが入力されると、発光素子212を発光させる。

[0028] 図1に戻り、電池電圧Vbatを昇圧する電源装置100について説明する。電源装置100は、制御回路110、トランス10、整流用ダイオード12、出力キャパシタC1、バイパスキャパシタC2を含む。

[0029] 図1において、電源装置100のスイッチング制御部40、スイッチングトランジスタTr1、ならび外付けされるトランス10、整流用ダイオード12、出力キャパシタC1がスイッチング電源を構成する。トランス10の1次側コイルの第1端子には、入力電圧Vinとして電池電圧Vbatが印加される。1次側コイルの第2端子は、制御回路110のスイッチング端子102と接続される。また、トランス10の2次側コイルの第1端子には、整流用ダイオード12のアノードが接続され、整流用ダイオード12のカソードと接地端子間には出力キャパシタC1が接続されている。トランス10の2次側コイルの第2端子は接地される。

[0030] 次に、制御回路110の構成について説明する。制御回路110は、スイッチングトランジスタTr1、スイッチング制御部40に加えて、基準電圧源20、リニアレギュレータ30を含み、ひとつの半導体基板上に一体集積化された機能ICである。

[0031] スイッチングトランジスタTr1は、NPN型のバイポーラトランジスタであり、スイッチングトランジスタTr1のコレクタは、スイッチング端子102を介してトランス10の1次側コイルに接続され、エミッタは接地されている。スイッチングトランジスタTr1はMOSFETで構成してもよい。

[0032] スイッチング制御部40は、スイッチングトランジスタTr1のベース電圧を制御して、そのオンオフを制御する。スイッチングトランジスタTr1がオンオフを繰り返すことにより、トランス10の1次側、2次側コイルに交互に電流が流れ、出力キャパシタC1が充電される。出力キャパシタC1からは、外部から与えられた入力電圧Vinを昇圧して得られる出力電圧Voutが出力される。

[0033] 基準電圧源20は、バンドギャップリファレンス回路であって、所定の基準電圧Vrefを生成する。基準電圧源20には外部から入力されるイネーブル信号ENが、イネーブル端子108を介して入力されてもよい。イネーブル信号ENは、電源装置100の起動とともにハイレベルとなる。イネーブル信号ENがハイレベルのとき、基準電圧源20はオンし、所定の基準電圧Vrefを生成する。

[0034] リニアレギュレータ30には、電源端子104を介して、入力電圧である電池電圧Vbatが入力されている。リニアレギュレータ30は、基準電圧源20により生成される基準電圧Vrefにもとづき、入力電圧である電池電圧Vbatを安定化して出力する。リニアレギュレータ30の出力端子は、端子106に接続されたバイパスキャパシタC2を介して接地される。

[0035] 後述するように、リニアレギュレータ30は、基準電圧源20から出力される基準電圧Vrefに応じた電圧を出力するレギュレーションモードと、基準電圧Vrefとは無関係に、電池電圧Vbatをそのまま出力するバイパスモードと、が切り替え可能に構成される。リニアレギュレータ30の2つのモードは、基準電圧源20から出力されるモード制御信号MODEによって切り替えられる。

[0036] この制御回路110において、リニアレギュレータ30の出力電圧Vregは、スイッチン

グ電源のスイッチング制御部40および基準電圧源20の電源電圧として供給される。

[0037] 図3は、実施の形態に係るリニアレギュレータ30の構成を示す回路図である。リニアレギュレータ30は、トランジスタTr2、演算増幅器32、第1抵抗R1、第2抵抗R2、スイッチSW1を含む。

[0038] トランジスタTr2は、PチャンネルMOSFETであり、そのソースが電池電圧Vbatの印加されている入力端子34に接続される。リニアレギュレータ30の入力端子34は、制御回路110の電源端子104と接続される。演算増幅器32の反転入力端子には、基準電圧源20から出力される基準電圧Vrefが入力され、その出力端子は、トランジスタTr2の制御端子であるゲートに接続される。トランジスタTr2のドレインは、リニアレギュレータ30の出力端子36に相当し、出力端子36に現れる出力電圧Vregは、第1抵抗R1、第2抵抗R2によって分圧され、演算増幅器32の非反転入力端子に帰還される。演算増幅器32の非反転入力端子に帰還される電圧は、Vout×R1／(R1＋R2)で与えられ、この電圧を帰還電圧Vfbという。なお、出力端子36は、制御回路110の端子106と接続される。

[0039] スイッチSW1は、トランジスタTr2のゲートと接地電位端子間に設けられる。このスイッチSW1は、バイパスモードにおいてオン、レギュレーションモードにおいてオフする。バイパスモードにおいて、スイッチSW1がオンすると、トランジスタTr2のゲートが接地電位付近まで強制的に低下するため、トランジスタTr2が強制的にフルオンする。

[0040] バイパスモードにおいて、トランジスタTr2がフルオンすると、ドレインソース間の電位差が非常に小さくなる。その結果、リニアレギュレータ30からは、出力電圧Vregとして、入力電圧Vbatがそのまま出力される。

[0041] 一方、スイッチSW1がオフするレギュレーションモードにおいては、トランジスタTr2のゲート電位は、演算増幅器32によって制御される。レギュレーションモードにおいて、演算増幅器32は、基準電圧Vrefと、帰還電圧Vfbが一致するように、その出力である誤差電圧Verr、すなわちトランジスタTr2のゲート電位を調節する。その結果、リニアレギュレータ30の出力電圧Vregは、Vref×(1＋R2／R1)で与えられる電圧値に安定化される。

[0042] このリニアレギュレータ30は、電源装置100の起動時において、基準電圧Vrefが

所定の電圧値Vpdに達するまでの期間、バイパスモードで動作し、基準電圧Vrefが所定の電圧値Vpdを上回ると、レギュレーションモードで動作する。基準電圧Vrefと比較されるべき所定の電圧値Vpdは、基準電圧Vrefの目標値(通常1．2V程度である)付近に設定するのが望ましい。スイッチSW1のオンオフは、基準電圧源20から出力されるモード制御信号MODEによって制御される。リニアレギュレータ30は、モード制御信号MODEがハイレベルのときスイッチSW1がオンしてバイパスモードに設定され、ローレベルのときスイッチSW1がオフしてレギュレーションモードに設定される。

[0043] 図4は、本実施の形態に係る基準電圧源20の構成を示す回路図である。基準電圧源20は、トランジスタQ1～Q12、抵抗R3～R7、スイッチSW2、を備える。トランジスタQ1、Q2、Q7、Q8、Q9、Q11、Q12は、NPN型バイポーラトランジスタであり、トランジスタQ3、Q4、Q5、Q6、Q10は、PNP型バイポーラトランジスタである。端子22には、リニアレギュレータ30の出力電圧Vregが入力され、端子24には、電池電圧Vbatが印加される。基準電圧源20は、出力端子26から目標値である1．2V程度の基準電圧Vrefを出力する。

[0044] トランジスタQ1～Q4および抵抗R3は、一般的な熱電圧を用いたバイアス電流源を構成する。すなわち、トランジスタQ1およびトランジスタQ2、トランジスタQ3およびトランジスタQ4のトランジスタペアは、それぞれカレントミラー回路を構成する。トランジスタQ1のコレクタと、トランジスタQ3のコレクタは互いに接続され、トランジスタQ2とトランジスタQ4のコレクタは互いに接続される。抵抗R3は、トランジスタQ2のエミッタと接地間に設けられる。こうした回路構成は、自己バイアス回路として知られ、トランジスタQ4には、定電流Ic4が流れる。

[0045] スイッチSW2は、トランジスタQ3、Q4のエミッタと、リニアレギュレータ30の出力電圧Vregが印加される端子22の間に設けられる。スイッチSW2はPチャンネルMOSFETであって、ゲートには図示しない外部回路からのイネーブル信号ENが入力される。スイッチSW2がオンすると、基準電圧源20はオンし、基準電圧Vrefを生成する。スイッチSW2がオフすると回路の電流経路が遮断され、基準電圧源20はオフする。スイッチSW2は低電力化のために設けられるものであり、不要であれば省略してもよ

い。

[0046] トランジスタQ4とQ5、Q6とは、カレントミラーを構成しており、トランジスタQ5、Q6は、トランジスタQ4に流れる定電流Ic4に応じた電流を生成する。トランジスタQ7は、エミッタが接地される。トランジスタQ7のコレクタと、トランジスタQ5のコレクタ間には、抵抗R4が設けられる。また、トランジスタQ7のベースおよびコレクタは、トランジスタQ8のベースと接続される。トランジスタQ8のエミッタと接地間には、抵抗R6が設けられ、そのコレクタと、トランジスタQ5のコレクタ間には抵抗R5が設けられる。トランジスタQ5のコレクタ端子は、基準電圧源20の出力端子26となっており、基準電圧Vrefが現れる。

[0047] トランジスタQ9のベースは、トランジスタQ8のコレクタと接続され、そのエミッタは接地され、そのコレクタは、トランジスタQ6のコレクタと接続される。

[0048] トランジスタQ10、Q11、Q12および抵抗R7は、モード制御信号MODEを生成するために設けられている。トランジスタQ10のベースは、トランジスタQ9のコレクタと接続され、エミッタはトランジスタQ11のコレクタと接続される。また、トランジスタQ10のエミッタは、出力端子26と接続される。トランジスタQ11とトランジスタQ12はベース、エミッタが共通接続されたカレントミラー回路を構成する。トランジスタQ12のコレクタと、電池電圧Vbatが印加される端子24の間には、抵抗R7が設けられる。本実施の形態において、トランジスタQ10は、基準電圧Vrefが所定の電圧値Vpd(≒1．2V)に達するとオンするトランジスタに相当する。

[0049] 以上のように構成された基準電圧源20は、スイッチSW2がオン状態において、リニアレギュレータ30の出力電圧Vregが、所定レベルVthより高くなると、バンドギャップリファレンス回路として正常に動作し、1．2V程度の基準電圧Vrefを出力する。

[0050] また、この基準電圧源20は、リニアレギュレータ30の出力電圧Vregが所定レベルより高くなり、基準電圧Vrefが所定の電圧値Vpdに達すると、トランジスタQ10がオンして、電流Ic10が流れる。このとき、カレントミラー回路を構成するトランジスタQ11、Q12は、トランジスタQ10に流れる電流Ic10に応じた電流Ic10'を生成する。電流Ic10'が抵抗R7に流れると電圧降下が発生するため、モード制御信号MODEはローレベルとなる。

[0051] リニアレギュレータ30の出力電圧Vregが所定レベルより低いか、または基準電圧源20がオフ状態のときは、トランジスタQ10はオフになっているため、電流Ic10は流れない。したがって、このとき、抵抗R7には電圧降下は発生しないため、モード制御信号MODEは電池電圧Vbatと等しくなり、ハイレベルとなる。

[0052] このように、基準電圧源20は、自らが生成する基準電圧Vrefが所定の電圧値Vpdに達すると、所定レベル(ローレベル)となるモード制御信号MODEを出力する。また、上述のように、このモード制御信号MODEは、リニアレギュレータ30に出力されている。したがって、リニアレギュレータ30は、基準電圧源20から出力されるモード制御信号MODEが所定レベル(ローレベル)となると、すなわち、基準電圧Vrefが所定値となると、レギュレーションモードに移行することになる。

[0053] 以上のように構成された電源装置100の動作について説明する。図5(a)、(b)は、本実施の形態に係る電源装置100の起動時および安定動作時のタイムチャートである。図5(a)は、電池電圧Vbat、リニアレギュレータ30の出力電圧Vreg、基準電圧源20の出力である基準電圧Vrefを示す。また、図5(b)は、モード制御信号MODEを示す。図5(a)、(b)および後述の図6(a)～(c)において、説明の明確化のために、縦軸および横軸は適宜拡大または縮小して示すものとする。また、各電圧波形についても、説明の簡略化のために、実際の電圧波形と異なって示される場合がある。

[0054] 時刻t0に、電源装置100を搭載する電子機器300がオンし、電池電圧Vbatが時間とともに立ち上がる。起動直後においては、モード制御信号MODEはローレベルであり、リニアレギュレータ30はレギュレーションモードとなっているが、演算増幅器32がオフしており、また基準電圧Vrefが0Vであるため、その出力電圧Vregは0Vとなっている。

[0055] 時刻t0～t1の期間、基準電圧源20の電流Ic10'は流れず、抵抗R7に電圧降下が発生しないため、モード制御信号MODEと、電池電圧Vbatもほぼ等しくなり、時間とともに上昇していく。時刻t1に、モード制御信号MODEの電圧値が、リニアレギュレータ30のスイッチSW1をオンする電圧Vtより大きくなると、すなわちハイレベルとなると、バイパスモードとなり、Vbat≒Vregとなる。

[0056] 時刻t1以降、基準電圧源20の端子22には、リニアレギュレータ30から、電池電圧

Vbatにほぼ等しい出力電圧Vregが印加される。また、モード制御電圧MODEの電圧値は、電池電圧Vbatにともない上昇していく。基準電圧源20の端子22に印加されるリニアレギュレータ30の出力電圧Vreg(＝Vbat)が所定レベルVthに達すると、基準電圧源20はオン状態となり、基準電圧Vrefが所定値(＝1．2V)に安定化される。基準電圧源20がオン状態となると、トランジスタQ10がオンし、モード制御信号MODEはローレベルとなる。

[0057] 時刻t2にモード制御信号MODEがローレベルとなると、スイッチSW1がオフするため、リニアレギュレータ30は、レギュレーションモードに移行する。時刻t2以降、リニアレギュレータ30の出力電圧Vregは、Vref×(1＋R2／R1)で与えられる電圧値に安定化される。

[0058] 図6(a)～(c)は、本実施の形態に係る電源装置100の起動時および安定動作時のタイムチャートであり、電池電圧Vbatが一定を仮定した場合のタイムチャートである。

[0059] 時刻t0に、イネーブル信号ENがハイレベルとなり、スイッチSW2がオンする。起動直後において、モード制御信号MODEはハイレベルとなり、基準電圧源20はバイパスモードとして動作する。リニアレギュレータ30がバイパスモードとして動作するとき、トランジスタTr2はフルオンし、電池からトランジスタTr2を介してバイパスキャパシタC2に電流が流れ込み、ある時定数をもってリニアレギュレータ30の出力電圧Vregが上昇する。

[0060] リニアレギュレータ30の出力電圧Vregの上昇にともない、基準電圧源20が動作を開始する。その結果、時刻t1に基準電圧Vrefが所定の電圧値Vpdに達し、モード制御信号MODEがハイレベルからローレベルへと遷移する。時刻t1以降、リニアレギュレータ30はレギュレーションモードに移行し、基準電圧Vrefに基づいた電圧生成を行う。

[0061] 本実施の形態に係る電源装置100によれば、基準電圧Vrefを生成する基準電圧源20の電源を、その基準電圧Vrefにもとづき電圧安定化するリニアレギュレータ30の出力電圧Vregとしている。その結果、スイッチングレギュレータにおいて発生するスイッチングノイズが、電池電圧Vbatに重畳された場合においても、ノイズ成分の小

さな安定した基準電圧Vrefを生成することができ、さらにリニアレギュレータ30の出力電圧Vregをも安定化することができる。

[0062] また、本実施の形態に係る電源装置100においては、リニアレギュレータ30を、レギュレーションモードと、バイパスモードと、を切り替え可能に構成する。さらに、リニアレギュレータ30は、基準電圧源20により生成される基準電圧Vrefが所定の電圧値Vpdに達するまでの期間、バイパスモードで動作し、基準電圧Vrefが所定の電圧値Vpdを上回ると、レギュレーションモードで動作する。これによって、起動時において、基準電圧Vrefが所定の電圧値Vpdより低いときには、リニアレギュレータ30が電池電圧Vbatをそのまま出力するため、基準電圧源20には、電池電圧Vbatが供給される。基準電圧Vrefが所定の電圧値Vpdを超えると、基準電圧源20には、電源電圧としてリニアレギュレータ30により安定化された電圧Vregが供給される。その結果、基準電圧源20を含む電源装置100を好適に起動することができる。

[0063] また、リニアレギュレータ30に、スイッチSW1を設け、バイパスモード時において、スイッチ回路を用いてトランジスタTr2をフルオンさせることにより、リニアレギュレータ30から、入力電圧である電池電圧Vbatをそのまま出力することができる。

[0064] また、本実施の形態において、基準電圧源20は、自らが生成する基準電圧Vrefが所定の電圧値Vpdに達すると、所定レベル(ローレベル)となるモード制御信号MODEを出力する。リニアレギュレータ30は、基準電圧源20から出力されるモード制御信号MODEにもとづき、レギュレーションモード、バイパスモードを切り換える。その結果、リニアレギュレータ30は、基準電圧Vrefが所定値(1．2V)に達する前には、バイパスモードとして電池電圧Vbatをそのまま出力し、所定の電圧値Vpdに達した後は、レギュレーションモードに移行して、安定した基準電圧Vrefにもとづいて、電池電圧Vbatを安定化することができる。

[0065] 上記実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

[0066] 実施の形態では、基準電圧源20およびリニアレギュレータ30を、トランスを用いた昇圧型のスイッチングレギュレータを備える電源装置に適用する場合について説明

したがこれには限定されない。たとえば、スイッチングレギュレータはインダクタを用いる非絶縁型であってもよいし、あるいは降圧型、昇降圧型であってもよい。さらに、スイッチングレギュレータに替えて、チャージポンプ回路などのスイッチング電源であってもよい。

[0067] 実施の形態において、図3で説明したリニアレギュレータ30の構成は一例にすぎず、さまざまな形式のリニアレギュレータを用いることができる。図3では、スイッチSW1をトランジスタTr2のゲートと接地間に設け、トランジスタTr2をフルオンさせることにより、バイパスモードを実現したが、これに限定されることはなく、トランジスタTr2をフルオンさせるスイッチ回路であれば、他の回路形式であってもよい。さらに、図3では、バイパスモードにおいて、トランジスタTr2自体をフルオンさせて入力電圧である電池電圧Vbatをそのまま出力する構成としたが、これには限定されず、バイパスモードにおいてフルオンするバイパス用のトランジスタを、トランジスタTr2と並列に設けてもよい。

[0068] また、図4で説明した基準電圧源20の構成は一例にすぎず、さまざまな形式のバンドギャップレギュレータ回路等の定電圧源を用いることができる。

[0069] 実施の形態では、リニアレギュレータ30のレギュレーションモード、バイパスモードを切り換えるモード制御信号MODEを、基準電圧源20において生成する場合について説明したが、これには限定されない。モード制御信号MODEは、他の回路ブロックにおいて別途生成してもよい。

[0070] 実施の形態では、制御回路110を1つの半導体基板上に一体集積化する場合について説明したが、これには限定されず、その一部をチップ部品やディスクリート素子を用いて構成してもよいし、あるいは複数の半導体基板上に集積化してもよい。これらの回路構成は、回路に要求される仕様に応じて適宜設計すればよい。

[0071] 実施の形態で用いたトランジスタは、バイポーラトランジスタ、MOSFETの置換が可能であることはいうまでもなく、さらにNPN型とPNP型、あるいはNチャンネルとPチャンネルの置換も可能である。

[0072] 本発明は、実施の形態で説明した電源装置の他にも、基準電圧源20およびリニアレギュレータ30を備えるさまざまな半導体装置に用いることができる。この場合、本発

明は、以下の態様として把握することができる。すなわち、この態様において、半導体装置は、所定の基準電圧を生成する基準電圧源と、基準電圧源により生成される基準電圧にもとづき、入力電圧Vinを安定化するリニアレギュレータと、を備える。さらに、リニアレギュレータの出力電圧は、基準電圧源の電源電圧として供給される。

[0073] この態様においても、上述の実施の形態で説明したものと同様に、ノイズ成分を低減した基準電圧を生成することができる。たとえば、この態様の半導体装置は、ノイズが発生する回路に好適に使用することができ、たとえば、モータドライバ回路などを挙げることができる。

[0074] 実施の形態にもとづき、本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を離脱しない範囲において、多くの変形例や配置の変更が可能である。

産業上の利用可能性

[0075] 本発明は、電子回路に利用することができる。

請求の範囲

[1] 外部から与えられる入力電圧を安定化するスイッチング電源と、

所定の基準電圧を生成する基準電圧源と、

前記基準電圧源により生成される前記基準電圧にもとづき、前記入力電圧を安定化するリニアレギュレータと、

を備え、

前記リニアレギュレータの出力電圧を、前記スイッチング電源の制御部および前記基準電圧源の電源電圧として供給することを特徴とする電源装置。

[2] 前記リニアレギュレータは、前記基準電圧に応じた電圧を出力するレギュレーションモードと、前記基準電圧とは無関係に、前記入力電圧をそのまま出力するバイパスモードと、が切り替え可能に構成され、

当該リニアレギュレータは、本電源装置の起動時において、前記基準電圧が所定の電圧値に達するまでの期間、バイパスモードで動作し、前記基準電圧が前記所定の電圧値を上回ると、レギュレーションモードで動作することを特徴とする請求項1に記載の電源装置。

[3] 前記リニアレギュレータは、

前記リニアレギュレータの出力電圧に応じた帰還電圧および前記基準電圧が入力された演算増幅器と、

制御端子に前記演算増幅器から出力される誤差電圧が入力され、一端に前記入力電圧が印加され、他端から前記出力電圧を出力するトランジスタと、

前記バイパスモードにおいて、前記トランジスタの制御端子の電位を変化せしめて、前記トランジスタを強制的にオンさせるスイッチ回路と、

を備えることを特徴とする請求項2に記載の電源装置。

[4] 前記スイッチ回路は、

前記トランジスタの制御端子および電位の固定された端子間に設けられ、前記バイパスモードにおいてオンするスイッチを含むことを特徴とする請求項3に記載の電源装置。

[5] 前記基準電圧源は、自らが生成する前記基準電圧が所定の電圧値に達すると、所

定レベルとなるモード制御信号を出力し、

前記リニアレギュレータは、前記基準電圧源から出力される前記モード制御信号が前記所定レベルとなると、レギュレーションモードに移行することを特徴とする請求項2に記載の電源装置。

[6] 前記基準電圧源は、

前記基準電圧が所定の電圧値に達するとオンするトランジスタに流れる電流にもとづき前記モード制御信号を生成することを特徴とする請求項5に記載の電源装置。

[7] 前記基準電圧源と、

前記リニアレギュレータと、

前記スイッチング電源の制御部と、

を1つの半導体基板上に一体集積化したことを特徴とする請求項1から6のいずれかに記載の電源装置。

[8] 前記スイッチング電源は、前記入力電圧を昇圧する昇圧型のスイッチングレギュレータであることを特徴とする請求項1から6のいずれかに記載の電源装置。

[9] 電池と、

負荷回路と、

前記電池の電圧を入力電圧とし、これを昇圧して前記負荷回路に供給する請求項8に記載の電源装置と、

を備えることを特徴とする電子機器。

[10] 撮像部をさらに備え、

前記負荷回路は、前記撮像部による撮像の際にフラッシュとして動作するキセノンチューブを含むことを特徴とする請求項9に記載の電子機器。

[11] 所定の基準電圧を生成する基準電圧源と、

前記基準電圧源により生成される前記基準電圧にもとづき、入力電圧を安定化するリニアレギュレータと、

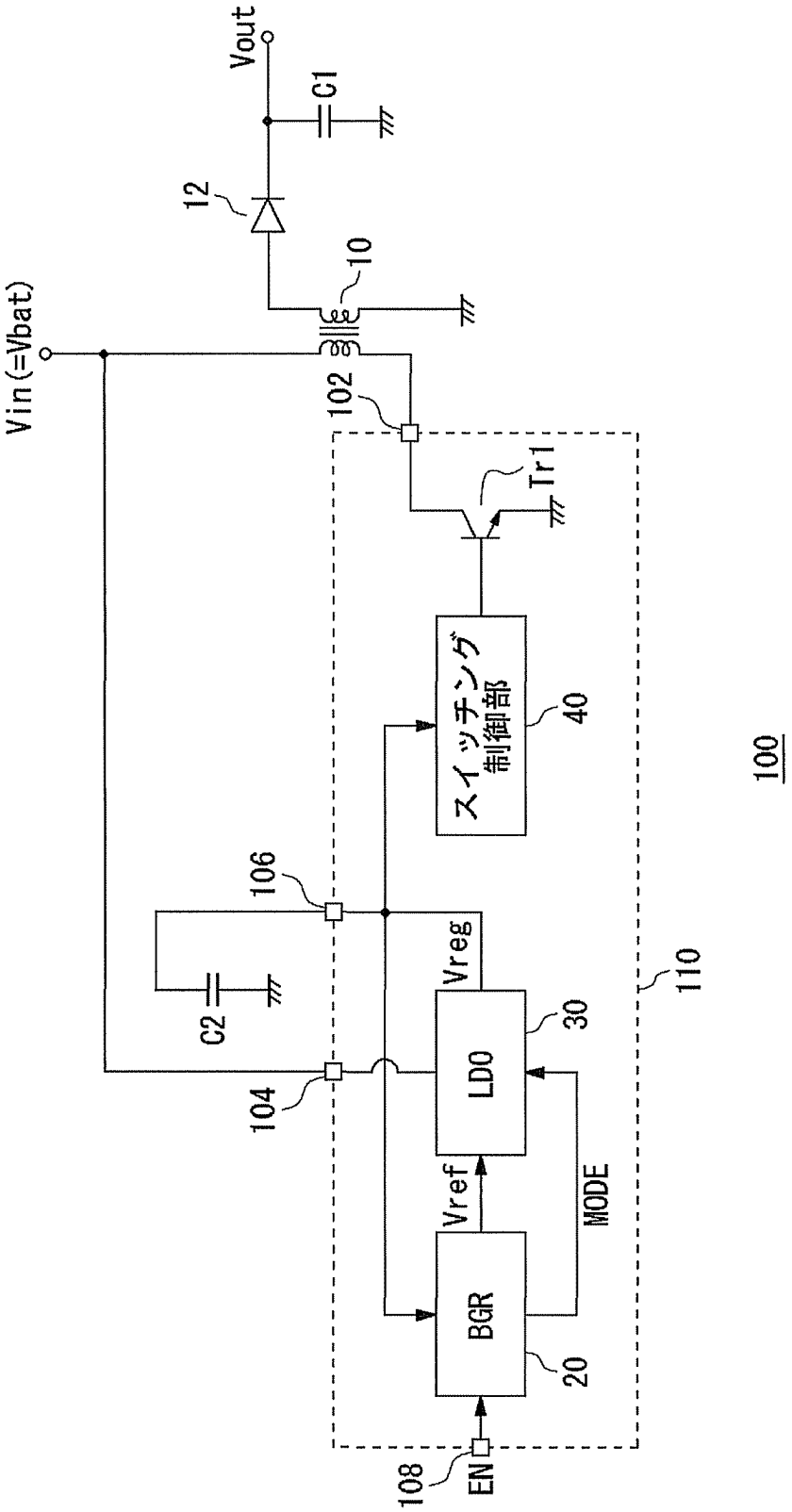
を備え、

前記リニアレギュレータの出力電圧を、前記基準電圧源の電源電圧として供給することを特徴とする半導体装置。

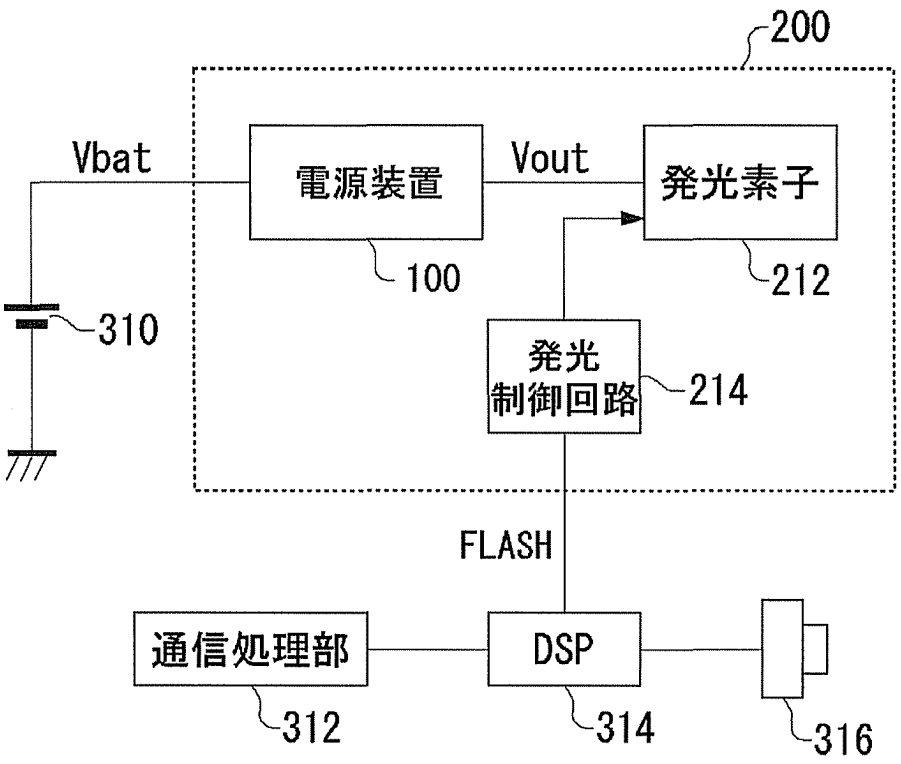
[12] 前記リニアレギュレータは、前記基準電圧に応じた電圧を出力するレギュレーションモードと、前記基準電圧とは無関係に、前記入力電圧をそのまま出力するバイパスモードと、が切り替え可能に構成され、

当該リニアレギュレータは、本半導体装置の起動時において、前記基準電圧が所定の電圧値に達するまでの期間、バイパスモードで動作し、前記基準電圧が前記所定の電圧値を上回ると、レギュレーションモードで動作することを特徴とする請求項11に記載の半導体装置。

[図1]

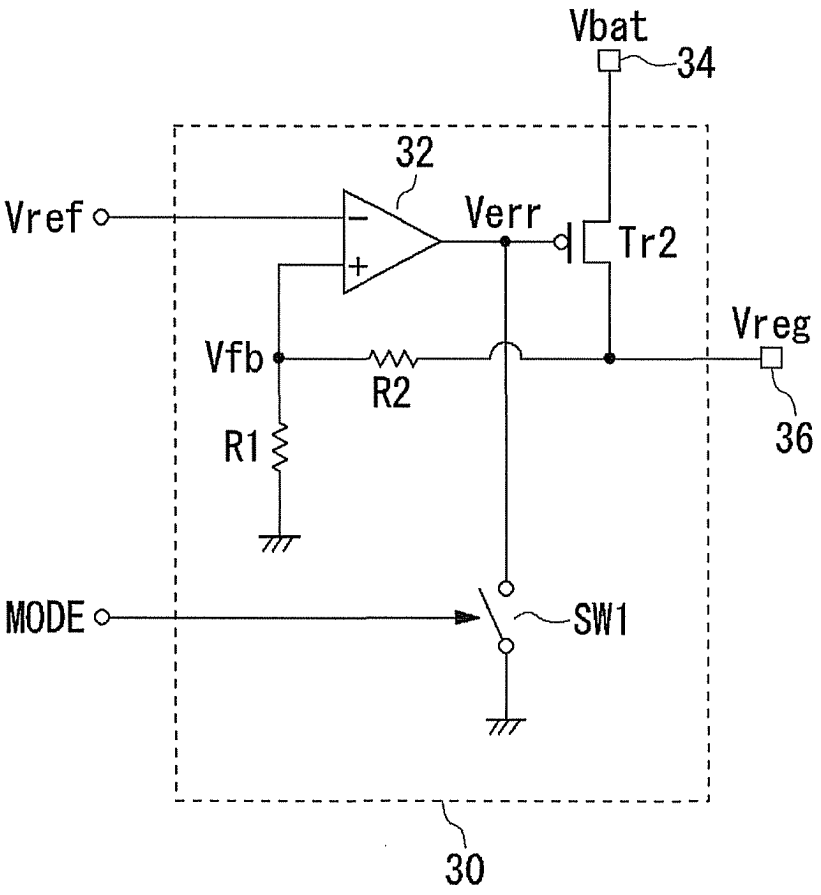

Vout
C1
12
10
Vin(=Vbat)
102
Tr1
スイッチング制御部
40
100
106
Vreg
C2
110
30
LDO
104
Vref
MODE
BGR
20
108
EN

[図2]

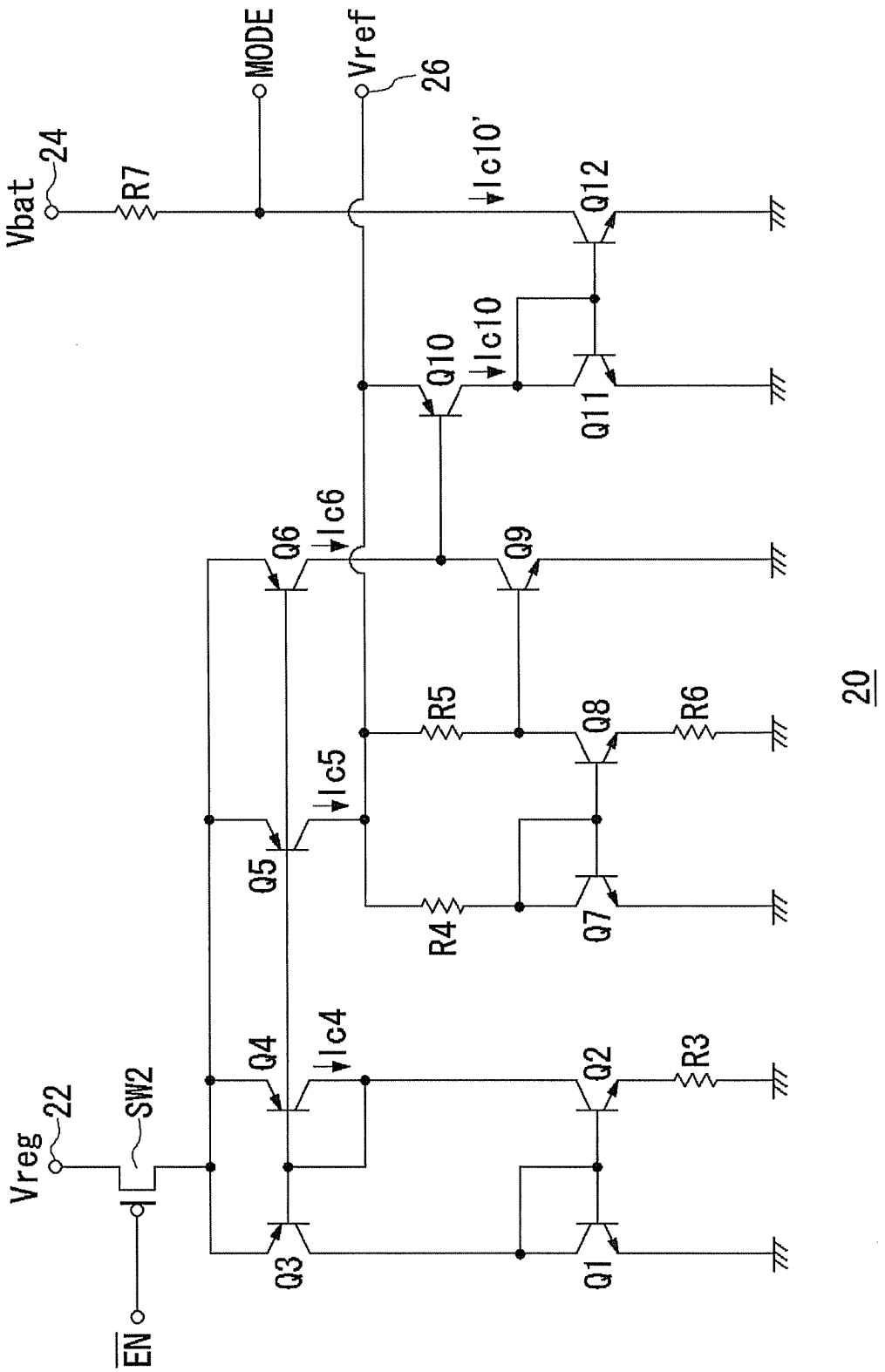

200
Vbat
電源装置
Vout
発光素子
100
212
310
発光
制御回路
214
FLASH
通信処理部
DSP
312
314
316

300

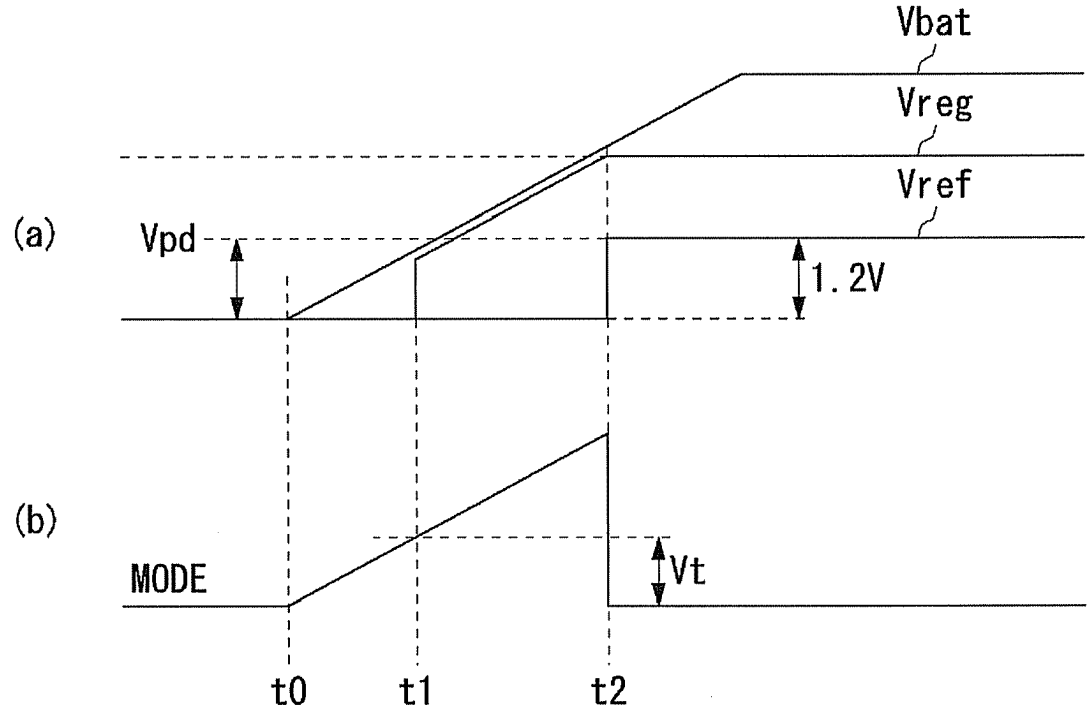
[図3]



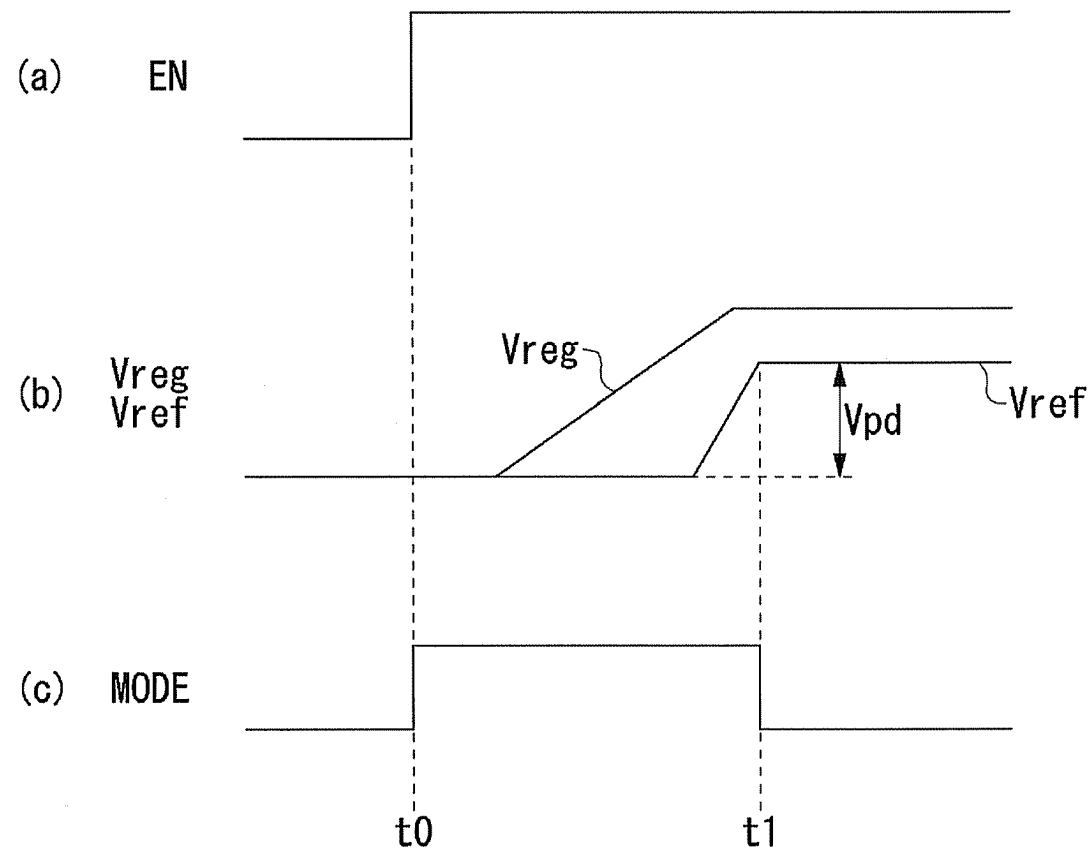
[図4]


MODE
Vref
26
Vbat
24
R7
Ic10'
Q12
Q10
Ic10
Q11
Q6
Ic6
Q9
R5
Q8
R6
Ic5
Q5
R4
Q7
Q4
Ic4
Q2
R3
Vreg
22
SW2
Q3
Q1
EN
20

[図5]


Vbat
Vreg
Vref
(a)
Vpd
1.2V
(b)
MODE
Vt
t0
t1
t2

[図6]


(a)
EN
(b)
Vreg
Vref
Vreg
Vpd
Vref
(c)
MODE
t0
t1

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2006/324029

A. CLASSIFICATION OF SUBJECT MATTER
H02M3/28(2006.01)i, *G05F1/56*(2006.01)i, *G05F3/30*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H02M3/28, G05F1/56, G05F3/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2007
Kokai Jitsuyo Shinan Koho	1971-2007	Toroku Jitsuyo Shinan Koho	1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-32899 A (Murata Mfg. Co., Ltd.), 29 January, 2004 (29.01.04), Par. Nos. [0011] to [0024]; Fig. 4 (Family: none)	1-12
Y	JP 5-35344 A (Sanyo Electric Co., Ltd.), 12 February, 1993 (12.02.93), Par. Nos. [0014] to [0029]; Figs. 1, 3 (Family: none)	1-12
Y	JP 2002-315335 A (Canon Inc.), 25 October, 2002 (25.10.02), Full text; all drawings (Family: none)	7-10

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
26 February, 2007 (26.02.07)	06 March, 2007 (06.03.07)
Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

Form PCT/ISA/210 (second sheet) (April 2005)

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００６／３２４０２９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H02M3/28(2006.01)i, G05F1/56(2006.01)i, G05F3/30(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H02M3/28, G05F1/56, G05F3/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００７年
日本国実用新案登録公報	１９９６－２００７年
日本国登録実用新案公報	１９９４－２００７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	JP 2004-32899 A（株式会社村田製作所）2004.01.29, 段落【0011】-【0024】、図４　（ファミリーなし）	1-12
Y	JP 5-35344 A（三洋電機株式会社）1993.02.12, 段落【0014】-【0029】、図1,3　（ファミリーなし）	1-12
Y	JP 2002-315335 A（キャノン株式会社）2002.10.25, 全文、全図　（ファミリーなし）	7-10

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー

「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの

「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）

「Ｏ」口頭による開示、使用、展示等に言及する文献

「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献

「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「＆」同一パテントファミリー文献

国際調査を完了した日	国際調査報告の発送日
２６．０２．２００７	０６．０３．２００７

国際調査機関の名称及びあて先
日本国特許庁（ＩＳＡ／ＪＰ）
郵便番号１００－８９１５
東京都千代田区霞が関三丁目４番３号

特許庁審査官（権限のある職員）　３Ｖ　３３２８
杉浦　貴之
電話番号　０３－３５８１－１１０１　内線　３３５８

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（２００５年４月）

POWER SUPPLY DEVICE, ELECTRONIC DEVICE USING THE SAME, AND SEMICONDUCTOR DEVICE

TECHNICAL FIELD

[0001] The present invention relates to power supply apparatuses, and in particular to technology for generating stable voltage that is not affected by noise.

RELATED ART

[0002] In various kinds of electronic devices, in order to supply a voltage higher or a voltage lower than a power supply voltage supplied from a battery or the like, to a load circuit, a step-up or a step-down switching power supply is used. For example, Patent Documents 1 and 2 disclose an insulating DC/DC converter as a switching power supply.

[0003] This type of switching power supply is configured to have a switching element for controlling current flowing in an inductor or a transformer. In this switching power supply, switching noise is generated from the switching element which turns ON and OFF at a high frequency during a stepping up or stepping down operation.

Patent Document 1: 2004-201474

Patent Document 2: 2005-73483

DISCLOSURE OF THE INVENTION

PROBLEMS TO BE SOLVED BY THE INVENTION

[0004] A switching power supply is provided with a control circuit which controls ON and OFF states of a switching element. This control circuit turns ON and OFF the switching element, based on a reference voltage outputted from a reference voltage source such as a bandgap reference circuit or the like, and stabilizes output voltage of the switching power supply.

[0005] Here, switching noise generated by the switching element has an impact on another circuit block connected via power supply wiring or the like. When the switching noise is inputted to the reference voltage source, since the noise is superimposed on the reference voltage, there is a risk that a stepping up or a stepping down operation will be hindered.

[0006] The present invention has been made in light of these problems, and a general purpose thereof is to provide a power supply apparatus which can generate a stabilized voltage without being affected by the noise, and a semiconductor device.

MEANS FOR SOLVING THE PROBLEMS

[0007] The power supply apparatus of an embodiment of the present invention is provided with a switching power supply which stabilizes an input voltage provided from outside, a reference voltage source which generates a predetermined reference voltage, and a linear regulator which stabilizes the input voltage, based on the reference voltage generated by the reference voltage source. An output voltage of the linear regulator is supplied as a power supply voltage of a control circuit of the switching power supply

and the reference voltage source.

[0008] According to the embodiment, since the reference voltage source generates the reference voltage, with the output voltage of the linear regulator as the power supply voltage, an impact of noise generated in the switching element can be reduced, and it is possible to generate the reference voltage with a small noise component.

[0009] The linear regulator may be configured to enable switching of a regulation mode in which voltage is outputted according to the reference voltage, and a bypass mode in which input voltage is outputted as it is, with no relation to the reference voltage. When the present power supply apparatus is started up, the linear regulator may operate in the bypass mode, during a time period until the reference voltage reaches a predetermined voltage value, and when the reference voltage exceeds the predetermined voltage value, may operate in the regulation mode.

[0010] In such cases, at the startup time, since the input voltage from the linear regulator is outputted as it is, when the reference voltage is lower than a threshold voltage, the input voltage is supplied as it is, to the reference voltage source. When the voltage supplied to the reference voltage source increases, the reference voltage source starts normal operation, and the reference voltage rises and exceeds a predetermined voltage value. When the reference voltage exceeds the predetermined voltage value, since the linear regulator operates

in the regulation mode, a voltage that is stabilized by the linear regulator is supplied as the power supply voltage to the reference voltage source. As a result, the present power supply apparatus including the reference voltage source is started up in a preferred manner.

[0011] The linear regulator may have a configuration provided with an operational amplifier to which are inputted the reference voltage and a feedback voltage corresponding to the output voltage of the linear regulator; a transistor in which an error voltage outputted from the operational amplifier is inputted to a control terminal, and which outputs the output voltage from another end; and a switch circuit which changes electrical potential of the control terminal of the transistor, in the bypass mode, and forcibly turns the transistor ON. The switch circuit may include a switch arranged between a terminal with a fixed electrical potential and the control terminal of the transistor, which is ON in the bypass mode.

[0012] When in the bypass mode, by turning the transistor fully ON using the switch circuit, it is possible to output the input voltage from the linear regulator, as it is.

[0013] When the reference voltage generated by the reference voltage source reaches a predetermined voltage value, the reference voltage source may output a mode control signal at a predetermined level, and when the mode control signal outputted from the reference voltage source reaches a predetermined level, the linear regulator may transition to the regulation mode. The

reference voltage source may generate the mode control signal based on current flowing in the transistor that is ON when the reference voltage reaches the predetermined voltage value.

[0014] In such cases, before the reference voltage reaches the predetermined value, the linear regulator goes into the bypass mode and outputs the input voltage as it is, and after the predetermined value has been reached, transitions to the regulation mode, so that the input voltage can be stabilized based on the reference voltage that has been stabilized.

[0015] The reference voltage source, the linear regulator, and the control circuit of the switching power supply may be integrated on one semiconductor substrate. "Integrated" includes cases in which all component elements of the circuit are formed on the semiconductor substrate, and cases in which main component elements of the circuit are integrated, and some resistors, capacitors, or the like, for adjusting a circuit constant, may be arranged outside the semiconductor substrate.

[0016] The switching power supply may be a step-up switching regulator which steps up the input voltage. In such cases, the noise generated in the switching element runs into the reference voltage source, via an inductor or a transformer, but the reference voltage source curtails the impact of this noise, and it is possible to generate the stabilized reference voltage.

[0017] Another embodiment of the present invention is an electronic device. The electronic device is provided with a battery, a load circuit, and the abovementioned power supply

apparatus which has voltage of the battery as an input voltage, and which steps up this voltage to supply the load circuit. This electronic device may be further provided with an imaging unit. Furthermore, the load circuit may include a xenon tube which operates as a flash when an image is taken by the imaging unit.

[0018] Another embodiment of the present invention relates to a semiconductor device. The semiconductor device is provided with a reference voltage source which generates a predetermined reference voltage, and a linear regulator which stabilizes input voltage, based on the reference voltage generated by the reference voltage source. The semiconductor device supplies an output voltage of the linear regulator as a power supply voltage of the reference voltage source.

[0019] In the semiconductor device of this embodiment also, the linear regulator may be configured to enable switching of a regulation mode in which a voltage is outputted according to the reference voltage, and a bypass mode in which the input voltage is outputted as it is, with no relation to the reference voltage. When the present semiconductor device is started up, the linear regulator may operate in the bypass mode, during a time period until the input voltage reaches a predetermined threshold voltage, and when the input voltage exceeds the threshold voltage, may operate in the regulation mode.

[0020] Furthermore, configurations in which optional combinations of the abovementioned component elements, and the component elements and representations of the invention are

mutually substituted among methods, devices, and systems, are valid embodiments of the present invention.

EFFECTS OF THE INVENTION

[0021] According to the power supply apparatus and the semiconductor device according to the present invention, it is possible to reduce impact of noise, and to generate stabilized voltage.

BRIEF DESCRIPTION OF THE DRAWINGS

[0022] Fig. 1 is a block diagram showing a configuration of a power supply apparatus according to an embodiment;

Fig. 2 is a block diagram showing a configuration of an electronic device in which the power supply apparatus of Fig. 1 is installed;

Fig. 3 is a circuit diagram showing a configuration of a linear regulator of Fig. 1;

Fig. 4 is a circuit diagram showing a configuration of a reference voltage source of Fig. 1;

Figs. 5A and 5B are time charts of the power supply apparatus of Fig. 1 at startup time and during stable operation; and

Figs. 6A to 6C are time charts of the power supply apparatus of Fig. 1 at startup time and during stable operation.

BEST MODE FOR CARRYING OUT THE INVENTION

[0023] The invention will now be described based on preferred

embodiments which do not intend to limit the scope of the present invention but exemplify the invention. All of the features and the combinations thereof described in the embodiment are not necessarily essential to the invention.

[0024] Fig. 1 is a block diagram showing a configuration of a power supply apparatus 100 according to an embodiment. Fig. 2 is a block diagram showing a configuration of an electronic device 300 in which the power supply apparatus 100 of Fig. 1 is installed. The electronic device 300 is a mobile telephone in which a camera is installed, and is provided with a battery 310, a communication processor 312, a DSP (Digital Signal Processor) 314, an imaging unit 316, and a light emitting device 200.

[0025] The battery 310 is, for example, a lithium-ion battery, and is provided as a power supply of the electronic device 300. The battery 310 outputs a voltage of about 3 to 4 V as a battery voltage Vbat. The DSP 314 is a block which performs overall control of the entire electronic device 300, and is connected to the communication processor 312, the imaging unit 316, and the light emitting device 200. The communication processor 312 includes an antenna, a high frequency circuit, and the like, and is a block which performs communication with a base station. The imaging unit 316 is an imaging device such as a CCD (Charge Coupled Device), a CMOS sensor, or the like. The light emitting device 200 is a light source used as a flash, when taking an image with the imaging unit 316.

[0026] The light emitting device 200 is provided with a power

supply apparatus 100, a light emitting element 212, and a light emission control circuit 214. A xenon tube or the like is used as the light emitting element 212. The power supply apparatus 100 is a switching regulator, and steps up the battery voltage Vbat supplied from the battery 310, to supply a driving voltage Vout of about 300 V to the light emitting element 212. The light emission control circuit 214 controls timing of light emission of the light emitting device 200.

[0027] The DSP 314 outputs a flash signal FLASH to the light emission control circuit 214 in synchronization with timing of taking of an image by a user. When the flash signal FLASH is inputted to the light emission control circuit 214, the light emitting element 212 is made to emit light.

[0028] Returning to Fig. 1, an explanation will be given concerning the power supply apparatus 100 which steps up the battery voltage Vbat. The power supply apparatus 100 includes a control circuit 110, a transformer 10, a rectifier diode 12, an output capacitor C1, and a bypass capacitor C2.

[0029] In Fig. 1, a switching controller 40 and a switching transistor Tr1 of the power supply apparatus 100, and the transformer 10, which is external, the rectifier diode 12, and the output capacitor C1 form a switching power supply. The battery voltage Vbat is applied as an input voltage Vin to a first terminal of a primary coil of the transformer 10. A second terminal of the primary coil is connected to a switching terminal 102 of the control circuit 110. Furthermore, an anode of the

rectifier diode 12 is connected to a first terminal of a secondary coil of the transformer 10, and the output capacitor C1 is connected between a cathode of the rectifier diode 12 and a ground terminal. A second terminal of the secondary coil of the transformer 10 is grounded.

[0030] Next, an explanation will be given concerning a configuration of the control circuit 110. The control circuit 110 includes a reference voltage source 20 and a linear regulator 30, in addition to the switching transistor Tr1 and the switching controller 40, and is a function IC integrated on one semiconductor substrate.

[0031] The switching transistor Tr1 is an NPN bipolar transistor; a collector of the switching transistor Tr1 is connected to the primary coil of the transformer 10 via the switching terminal 102; and an emitter is grounded. The switching transistor Tr1 may be configured as a MOSFET.

[0032] The switching controller 40 controls base voltage of the switching transistor Tr1, and controls ON and OFF states thereof. By the switching transistor Tr1 repeatedly turning ON and OFF, a current flows alternately in the primary and secondary coils of the transformer 10, and the output capacitor C1 is charged. An output voltage Vout, obtained by stepping up the input voltage Vin provided from outside, is outputted from the output capacitor C1.

[0033] The reference voltage source 20 is a bandgap reference circuit, and generates a predetermined reference voltage Vref.

An enabling signal EN inputted from outside to the reference voltage source 20 may be inputted via an enabling terminal 108. The enabling signal EN goes to a high level when the power supply apparatus 100 starts up. When the enabling signal EN has a high level, the reference voltage source 20 is ON, and generates the predetermined reference voltage Vref.

[0034] The battery voltage Vbat, which is the input voltage, is inputted via a power supply terminal 104, to the linear regulator 30. The linear regulator 30 stabilizes the battery voltage Vbat, which is the input voltage, based on the reference voltage Vref generated by the reference voltage source 20, and outputs the voltage thus stabilized. An output terminal of the linear regulator 30 is grounded via the bypass capacitor C2 connected to a terminal 106.

[0035] As described later, the linear regulator 30 is configured to enable switching of a regulation mode in which voltage is outputted according to the reference voltage Vref outputted from the reference voltage source 20, and a bypass mode which outputs the battery voltage Vbat as it is, with no relation to the reference voltage Vref. The two modes of the linear regulator 30 are switched by a mode control signal MODE outputted from the reference voltage source 20.

[0036] In the control circuit 110, an output voltage Vreg of the linear regulator 30 is supplied as a power supply voltage of the reference voltage source 20 and the switching controller 40 of the switching power supply.

[0037] Fig. 3 is a circuit diagram showing a configuration of the linear regulator 30 according to the embodiment. The linear regulator 30 includes a transistor Tr2, an operational amplifier 32, a first resistor R1, a second resistor R2, and a switch SW1.

[0038] The transistor Tr2 is a P-channel MOSFET, and a source thereof is connected to an input terminal 34 to which the battery voltage Vbat is applied. The input terminal 34 of the linear regulator 30 is connected to the power supply terminal 104 of the control circuit 110. The reference voltage Vref outputted from the reference voltage source 20 is inputted to an inverting input terminal of the operational amplifier 32, and an output terminal thereof is connected to a gate, which is a control terminal of the transistor Tr2. A drain of the transistor Tr2 corresponds to an output terminal 36 of the linear regulator 30; the output voltage Vreg that occurs at the output terminal 36 is divided by the first resistor R1 and the second resistor R2, and is fed back to a noninverting input terminal of the operational amplifier 32. The voltage fed back to the noninverting input terminal of the operational amplifier 32 is given by Vout x R1/(R1 + R2), and this voltage is referred to as a feedback voltage Vfb. Moreover, the output terminal 36 is connected to the terminal 106 of the control circuit 110.

[0039] The switch SW1 is arranged between the gate of the transistor Tr2 and a ground potential terminal. The switch SW1 is ON in the bypass mode, and is OFF in the regulation mode. In

the bypass mode, when the switch SW1 is ON, since the gate of the transistor Tr2 is forcibly lowered to close to ground potential, the transistor Tr2 is forcibly turned fully ON.

[0040] In the bypass mode, when the transistor Tr2 is fully ON, the difference in electrical potential between drain and source becomes very small. As a result, the input voltage Vbat, as the output voltage Vreg, is outputted as it is, from the linear regulator 30.

[0041] On the other hand, in the regulation mode in which the switch SW1 is OFF, gate potential of the transistor Tr2 is controlled by the operational amplifier 32. In the regulation mode, the operational amplifier 32 adjusts an error voltage Verr, which is an output thereof, that is, the gate potential of the transistor Tr2, so that the reference voltage Vref and the feedback voltage Vfb match. As a result, the output voltage Vreg of the linear regulator 30 is stabilized to a voltage value given by Vref x (1 + R2/R1).

[0042] At startup time of the power supply apparatus 100, the linear regulator 30 operates in the bypass mode, in a time period until the reference voltage Vref reaches a predetermined voltage value Vpd, and when the reference voltage Vref exceeds the predetermined voltage value Vpd, operates in the regulation mode. The predetermined voltage value Vpd, which is to be compared to the reference voltage Vref, is desirably set to be close to a target value (normally about 1.2 V) of the reference voltage Vref. ON and OFF states of the switch SW1 are controlled

by a mode control signal MODE outputted from the reference voltage source 20. When the mode control signal MODE is at a high level, the switch SW1 is ON and the linear regulator 30 is set to the bypass mode, and when at a low level, the switch SW1 is OFF and the linear regulator 30 is set to the regulation mode.

[0043] Fig. 4 is a circuit diagram showing a configuration of the reference voltage source 20 according to the present embodiment. The reference voltage source 20 is provided with transistors Q1 to Q12, resistors R3 to R7, and a switch SW2. The transistors Q1, Q2, Q7, Q8, Q9, Q11, and Q12 are NPN bipolar transistors, and the transistors Q3, Q4, Q5, Q6, and Q10 are PNP bipolar transistors. The output voltage Vreg of the linear regulator 30 is inputted to a terminal 22, and the battery voltage Vbat is applied to a terminal 24. The reference voltage source 20 outputs the reference voltage Vref at about 1.2 V, which is a target voltage, from an output terminal 26.

[0044] The transistors Q1 to Q4 and the resistor R3 form a general bias current source that uses a thermal voltage. That is, transistor pairs, the transistor Q1 and the transistor Q2, and the transistor Q3 and the transistor Q4 respectively form current mirror circuits. A collector of the transistor Q1 and a collector of the transistor Q3 are mutually connected, and collectors of the transistor Q2 and the transistor Q4 are mutually connected. The resistor R3 is arranged between an emitter of the transistor Q2 and ground. This type of circuit configuration is known as a self-bias circuit, and a constant current Ic4 flows

in the transistor Q4.

[0045] The switch SW2 is arranged between an emitter of the transistors Q3 and Q4, and a terminal 22 to which the output voltage Vreg of the linear regulator 30 is applied. The switch SW2 is a P-channel MOSFET, and an enabling signal EN from an external circuit, not shown in the figure, is inputted to a gate. When the switch SW2 is ON, the reference voltage source 20 is ON, and the reference voltage Vref is generated. When the switch SW2 is OFF, a current path of the circuit is shut off, and the reference voltage source 20 is OFF. The switch SW2 is arranged to provide low power, and if unnecessary may be omitted.

[0046] The transistors Q4, Q5, and Q6 form a current mirror, and the transistors Q5 and Q6 generate a current according to the constant current Ic4 flowing in the transistor Q4. An emitter of the transistor Q7 is grounded. A resistor R4 is arranged between a collector of the transistor Q7 and a collector of the transistor Q5. Furthermore, a base and a collector of the transistor Q7 are connected to a base of the transistor Q8. A resistor R6 is arranged between an emitter of the transistor Q8 and ground, and a resistor R5 is arranged between a collector thereof and a collector of the transistor Q5. The collector terminal of the transistor Q5 is an output terminal 26 of the reference voltage source 20, and the reference voltage Vref occurs.

[0047] The base of the transistor Q9 is connected to a collector of the transistor Q8; an emitter thereof is grounded; and a collector thereof is connected to a collector of the

transistor Q6.

[0048] The transistors Q10, Q11, Q12, and the resistor R7 are provided in order to generate the mode control signal MODE. A base of the transistor Q10 is connected to a collector of the transistor Q9, and an emitter is connected to a collector of the transistor Q11. Furthermore, an emitter of the transistor Q10 is connected to the output terminal 26. The transistor Q11 and the transistor Q12 form a current mirror circuit to which bases and emitters are commonly connected. The resistor R7 is arranged between the collector of the transistor Q12 and the terminal 24 to which the battery voltage Vbat is applied. In the present embodiment, the transistor Q10 is equivalent to a transistor which turns ON when the reference voltage Vref reaches a predetermined voltage value Vpd ($\approx$ 1.2 V).

[0049] The reference voltage source 20 configured as above operates normally as a bandgap reference circuit when the output voltage Vreg of the linear regulator 30 becomes higher than a predetermined level Vth, and outputs the reference voltage Vref at about 1.2 V.

[0050] Furthermore, with regard to the reference voltage source 20, when the output voltage Vreg of the linear regulator 30 becomes higher than a predetermined level, and the reference voltage Vref reaches the predetermined voltage value Vpd, the transistor Q10 is ON, and a current Ic10 flows. At this time, the transistors Q11 and Q12 that form the current mirror circuit generate a current Ic10′ according to the current Ic10 flowing

in the transistor Q10. When the current Ic10' flows in the resistor R7, since a voltage drop occurs, the mode control signal MODE goes to a low level.

[0051] When the output voltage Vreg of the linear regulator 30 is lower than a predetermined level, or the reference voltage source 20 is in an OFF state, since the transistor Q10 is OFF, the current Ic10 does not flow. Therefore, at this time, since a voltage drop does not occur across the resistor R7, the mode control signal MODE becomes equal to the battery voltage Vbat, and has a high level.

[0052] In this way, when the reference voltage Vref generated by the reference voltage source 20 reaches the predetermined voltage value Vpd, the reference voltage source 20 outputs the mode control signal MODE at a predetermined level (low level). Furthermore, as described above, this mode control signal MODE is outputted to the linear regulator 30. Therefore, when the mode control signal MODE outputted from the reference voltage source 20 has the predetermined level (low level), that is, the reference voltage Vref has a predetermined value, the linear regulator 30 transitions to the regulation mode.

[0053] An explanation will be given concerning operations of the power supply apparatus 100 configured as above. Figs. 5A and 5B are time charts of the power supply apparatus 100 according to the present embodiment at startup time and during stable operation. Fig. 5A shows the battery voltage Vbat, the output voltage Vreg of the linear regulator 30, and the reference voltage

Vref that is the output of the reference voltage source 20. In addition, Fig. 5B shows a mode control signal MODE. In Figs. 5A and 5B, and in Figs. 6A to 6C described later, in order to make the explanation clear, vertical axes and horizontal axes are shown as enlarged or contracted as appropriate. Furthermore, in order to simply explanations concerning each voltage waveform, there are cases in which actual voltage waveforms differ from those shown.

[0054] At time t0, the electronic device 300, in which the power supply apparatus 100 is installed, is ON, and the battery voltage Vbat increases with time. Immediately after startup, the mode control signal MODE has a low level, and the linear regulator 30 is in the regulation mode, but since the operational amplifier 32 is OFF and the reference voltage Vref is 0 V, the output voltage thereof Vreg is 0 V.

[0055] In the time period from time t0 to t1, the current Ic10' of the reference voltage source 20 does not flow, and since a voltage drop does not occur across the resistor R7, the mode control signal MODE is almost equal to the battery voltage Vbat and increases with time. At time t1, when the voltage value of the mode control signal MODE becomes larger than a voltage Vt at which the switch SW1 of the linear regulator 30 is ON, that is, has a high level, a bypass mode occurs and Vbat ≈ Vreg.

[0056] After time t1, the output voltage Vreg, approximately equal to the battery voltage Vbat, from the linear regulator 30 is applied to the terminal 22 of the reference voltage source 20.

Furthermore, the voltage value of the mode control voltage MODE rises together with the battery voltage Vbat. When the output voltage Vreg (= Vbat) of the linear regulator 30 applied to the terminal 22 of the reference voltage source 20 reaches the predetermined level Vth, the reference voltage source 20 is in an ON state, and the reference voltage Vref is stabilized at a predetermined value (= 1.2 V). When the reference voltage source 20 is in an ON state, the transistor Q10 is ON, and the mode control signal MODE has a low level.

[0057] At time t2, when the mode control signal MODE goes to a low level, since the switch SW1 is OFF, the linear regulator 30 transitions to the regulation mode. After time t2, the output voltage Vreg of the linear regulator 30 is stabilized at a voltage value given by Vref x (1 + R2/R1).

[0058] Figs. 6A to 6C are time charts of the power supply apparatus 100 according to the present embodiment at startup time and during stable operation, and are time charts for cases in which the battery voltage Vbat is assumed to be constant.

[0059] At time t0, the enabling signal EN goes to a high level and the switch SW2 is ON. Immediately after startup, the mode control signal MODE goes to a high level, and the reference voltage source 20 operates in bypass mode. When the linear regulator 30 operates in bypass mode, the transistor Tr2 is fully ON, a current flows from the battery to the bypass capacitor C2 via the transistor Tr2, and with a certain time constant, the output voltage Vreg of the linear regulator 30 increases.

[0060] With the increase of the output voltage Vreg of the linear regulator 30, the reference voltage source 20 begins operation. As a result, at time t1 the reference voltage Vref reaches the predetermined voltage value Vpd, and the mode control signal MODE transitions from a high level to a low level. After time t1, the linear regulator 30 transitions to the regulation mode, and performs voltage generation based on the reference voltage Vref.

[0061] According to the power supply apparatus 100 according to the present embodiment, the reference voltage source 20, which generates the reference voltage Vref, is power-supplied by the output voltage Vreg of the linear regulator 30 which stabilizes voltage based on the reference voltage Vref. As a result, even in cases in which switching noise that is generated in the switching regulator is superimposed on the battery voltage Vbat, it is possible to generate a stabilized reference voltage Vref with a small noise component, and in addition, it is possible to also stabilize the output voltage Vreg of the linear regulator 30.

[0062] Furthermore, in the power supply apparatus 100 of the present embodiment, the linear regulator 30 is configured to enable switching of the regulation mode and the bypass mode. In addition, in a time period until the reference voltage Vref generated by the reference voltage source 20 reaches the predetermined voltage value Vpd, the linear regulator 30 operates in the bypass mode, and when the reference voltage Vref exceeds

the predetermined voltage value Vpd, operates in the regulation mode. In this way, at startup time, when the reference voltage Vref is lower than the predetermined voltage value Vpd, since the linear regulator 30 outputs the battery voltage Vbat as it is, the battery voltage Vbat is supplied to the reference voltage source 20. When the reference voltage Vref exceeds the predetermined voltage value Vpd, the voltage Vreg, stabilized by the linear regulator 30 as a power supply voltage, is supplied to the reference voltage source 20. As a result, the power supply apparatus 100 including the reference voltage source 20 can be started up preferably.

[0063] Furthermore, in the linear regulator 30, by providing the switch SW1, and turning the transistor Tr2 fully ON using a switch circuit, at bypass mode time, it is possible to output the battery voltage Vbat, which is the input voltage, as it is, from the linear regulator 30.

[0064] Furthermore, in the present embodiment, when the reference voltage Vref generated by the reference voltage source 20 reaches the predetermined voltage value Vpd, the reference voltage source 20 outputs the mode control signal MODE at a predetermined level (low level). The linear regulator 30 switches the regulation mode and the bypass mode based on the mode control signal MODE outputted from the reference voltage source 20. As a result, before the reference voltage Vref reaches a predetermined value (1.2 V), the linear regulator 30 can output the battery voltage Vbat as it is, in bypass mode, and after

reaching the predetermined voltage value Vpd, can transition to the regulation mode, and stabilize the battery voltage Vbat, based on the stabilized reference voltage Vref.

[0065] The abovementioned embodiments are examples, and a person skilled in the art will understand that various modified examples in combinations of various component elements and various processes thereof are possible, and that such modified examples are within the scope of the present invention.

[0066] In the embodiment, an explanation has been given of cases in which the reference voltage source 20 and the linear regulator 30 are applied to the power supply apparatus provided with a step-up switching regulator that uses a transformer, but there is no limitation thereto. For example, the switching regulator may be a non-insulating type using an inductor, or may be a step-down/step-up type, or a step-down type. Furthermore, in place of the switching regulator, a switching power supply, such as a charge pump circuit or the like, may be used.

[0067] In the embodiment, the configuration of the linear regulator 30 explained using Fig. 3 is merely an example, and various types of linear regulator can be used. In Fig. 3, the switch SW1 is arranged between the gate of the transistor Tr2 and ground, and by turning the transistor Tr2 fully ON, the bypass mode is realized; however, there is no limitation thereto, and if there is a switching circuit which turns the transistor Tr2 fully ON, other forms of circuit may be used. Moreover, in Fig. 3, a configuration is used in which, in the bypass mode, the

transistor Tr2 itself is turned fully ON and the battery voltage Vbat, which is the input voltage, is outputted as it is; however, there is no limitation thereto, and the transistor for a bypass that is fully ON, in the bypass mode, may be arranged in parallel to the transistor Tr2.

[0068] In addition, the configuration of the reference voltage source 20 explained using Fig. 4 is merely one example, and it is possible to use a constant voltage source of various forms of bandgap regulator circuit and the like.

[0069] In the embodiment, an explanation was given of cases in which the mode control signal MODE, which switches the regulation mode and the bypass mode of the linear regulator 30, is generated in the reference voltage source 20, but there is no limitation thereto. The mode control signal MODE may be separately generated in another circuit block.

[0070] In the embodiment, an explanation was given concerning cases in which the control circuit 110 is integrated on one semiconductor substrate, but there is no limitation thereto; a portion thereof may be configured using a discrete component or a chip part, or a configuration may be integrated on a plurality of semiconductor substrates. These circuit configurations may be appropriately designed in accordance with a specification required for a circuit.

[0071] With regard to the transistors used in the embodiment, the bipolar transistor and the MOSFET can clearly be substituted, and furthermore, the NPN types and PNP types, or the N-channel

and the P-channel types can also be substituted.

[0072] The present invention, outside of the power supply apparatus explained in the embodiment, can be used in various types of semiconductor devices provided with the reference voltage source 20 and the linear regulator 30. In these cases, the present invention may be understood as the following embodiment. That is, in this embodiment, the semiconductor device is provided with a reference voltage source which generates a predetermined reference voltage, and a linear regulator which stabilizes an input voltage Vin, based on the reference voltage generated by the reference voltage source. In addition, an output voltage of the linear regulator is supplied as a power supply voltage of the reference voltage source.

[0073] Also in this embodiment, similar to what was explained using the abovementioned embodiment, it is possible to generate the reference voltage in which a noise component is reduced. For example, it is possible to preferably use the semiconductor device of the embodiment in a circuit in which noise is generated, and, for example, a motor drive circuit or the like may be cited.

[0074] While the preferred embodiments of the present invention have been described using specific terms, such description is for illustrative purposes only, and it is to be understood that changes and variations may be made without departing from the spirit or scope of the appended claims.

INDUSTRIAL APPLICABILITY

[0075] The present invention can be used in an electronic circuit.

CLAIMS

1. A power supply apparatus comprising:

a switching power supply which stabilizes an input voltage provided from outside;

a reference voltage source which generates a predetermined reference voltage; and

a linear regulator which stabilizes the input voltage, based on the reference voltage generated by the reference voltage source; wherein

an output voltage of the linear regulator is supplied as a power supply voltage of a controller of the switching power supply and the reference voltage source.

2. A power supply apparatus according to claim 1, wherein

the linear regulator is configured to enable switching of a regulation mode in which a voltage is outputted according to the reference voltage, and a bypass mode in which the input voltage is outputted as it is, with no relation to the reference voltage, and

when the power supply apparatus is started up, the linear regulator operates in the bypass mode, during a time period until the reference voltage reaches a predetermined voltage value, and when the reference voltage exceeds the predetermined voltage value, operates in the regulation mode.

3. A power supply apparatus according to claim 2, wherein the linear regulator comprises:

an operational amplifier to which are inputted the reference voltage and a feedback voltage corresponding to the output voltage of the linear regulator;

a transistor in which an error voltage outputted from the operational amplifier is inputted to a control terminal, and the input voltage is applied to an end, and which outputs the output voltage from another end; and

a switch circuit which changes electrical potential of a control terminal of the transistor, in the bypass mode, and forcibly turns the transistor ON.

4. A power supply apparatus according to claim 3, wherein the switch circuit includes a switch arranged between a terminal with a fixed electrical potential and the control terminal of the transistor, which is ON in the bypass mode.

5. A power supply apparatus according to claim 2, wherein,

when the reference voltage generated by the reference voltage source reaches a predetermined voltage value, the reference voltage source outputs a mode control signal of a predetermined level, and

when the mode control signal outputted from the reference voltage source becomes the predetermined level, the linear regulator transitions to the regulation mode.

6. A power supply apparatus according to claim 5, wherein the reference voltage source generates the mode control signal based on current flowing in a transistor that is ON when the reference voltage reaches a predetermined voltage value.

7. A power supply apparatus according to any of claims 1 through 6, wherein the reference voltage source, the linear regulator, and the controller of the switching power supply are integrated on one semiconductor substrate.

8. A power supply apparatus according to any of claims 1 through 6, wherein the switching power supply is a step-up switching regulator which steps up the input voltage.

9. An electronic device comprising:

a battery;

a load circuit; and

the power supply apparatus according to claim 8, which has voltage of the battery as an input voltage, and steps up the voltage to supply the load circuit.

10. An electronic device according to claim 9, further comprising an imaging unit, wherein the load circuit includes a xenon tube which operates as a flash when an image is taken by the imaging unit.

11. A semiconductor device comprising:

a reference voltage source which generates a predetermined reference voltage; and

a linear regulator which stabilizes an input voltage, based on the reference voltage generated by the reference voltage source; wherein

the semiconductor device supplies an output voltage of the linear regulator as a power supply voltage of the reference voltage source.

12. A semiconductor device according to claim 11, wherein

the linear regulator is configured to enable switching of a regulation mode in which a voltage is outputted according to the reference voltage, and a bypass mode in which the input voltage is outputted as it is, with no relation to the reference voltage, and

when the semiconductor device is started up, the linear regulator operates in the bypass mode, during a time period until the reference voltage reaches a predetermined voltage, and when the reference voltage exceeds the predetermined voltage, operates in the regulation mode.

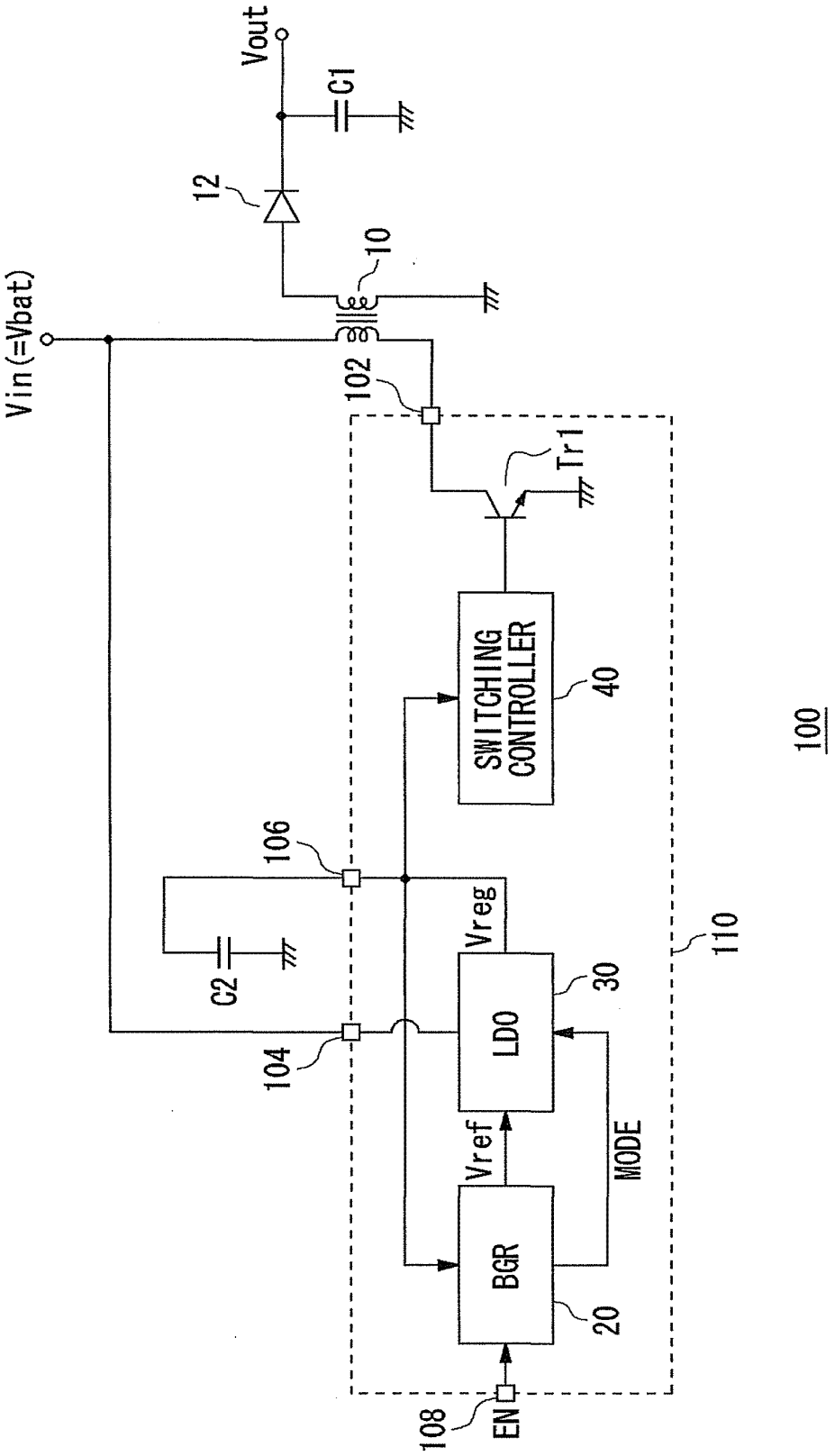
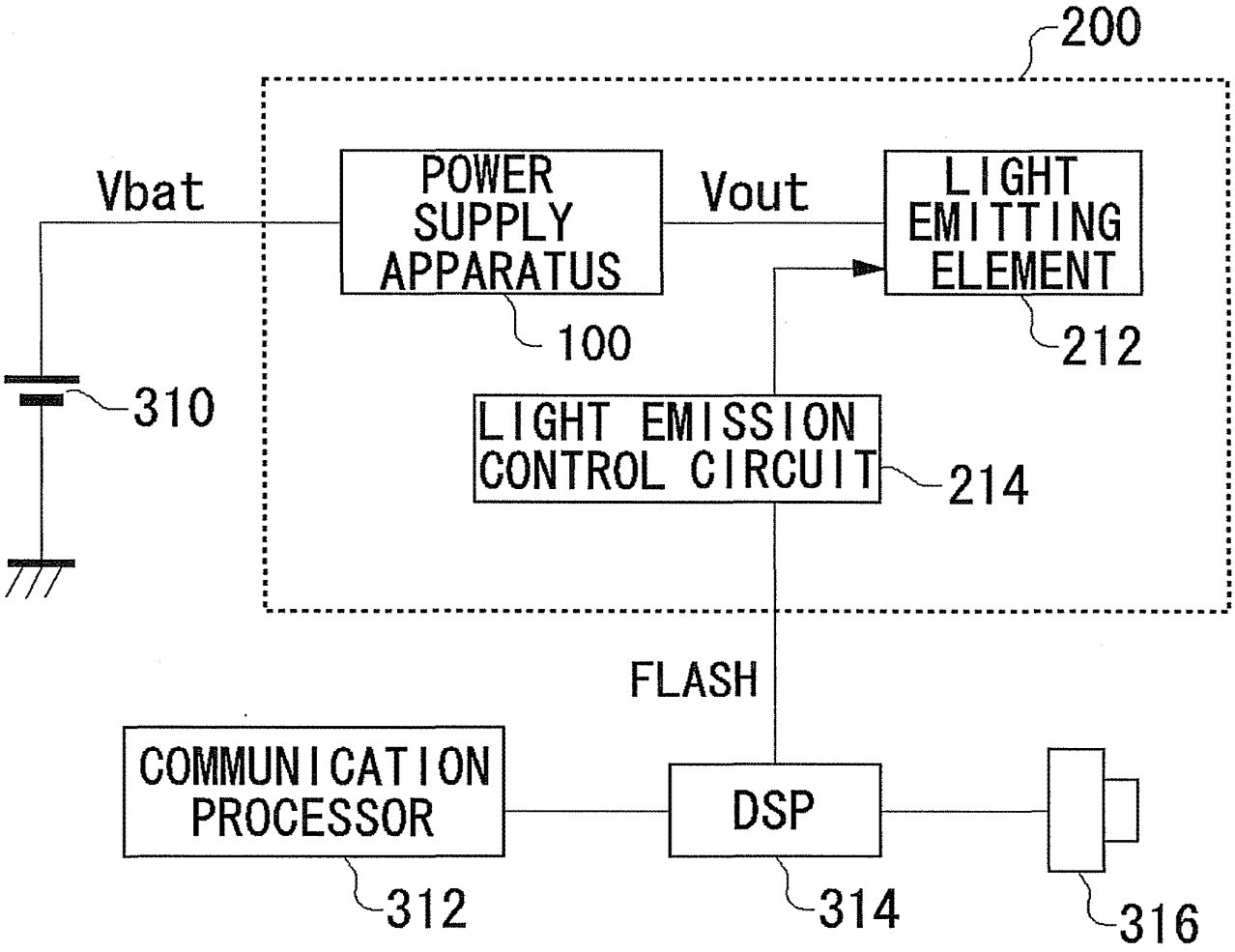

Vout
C1
12
10
Vin (=Vbat)
102
Tr1
SWITCHING CONTROLLER
40
106
C2
Vreg
LDO
30
110
104
Vref
MODE
BGR
20
108
EN
100

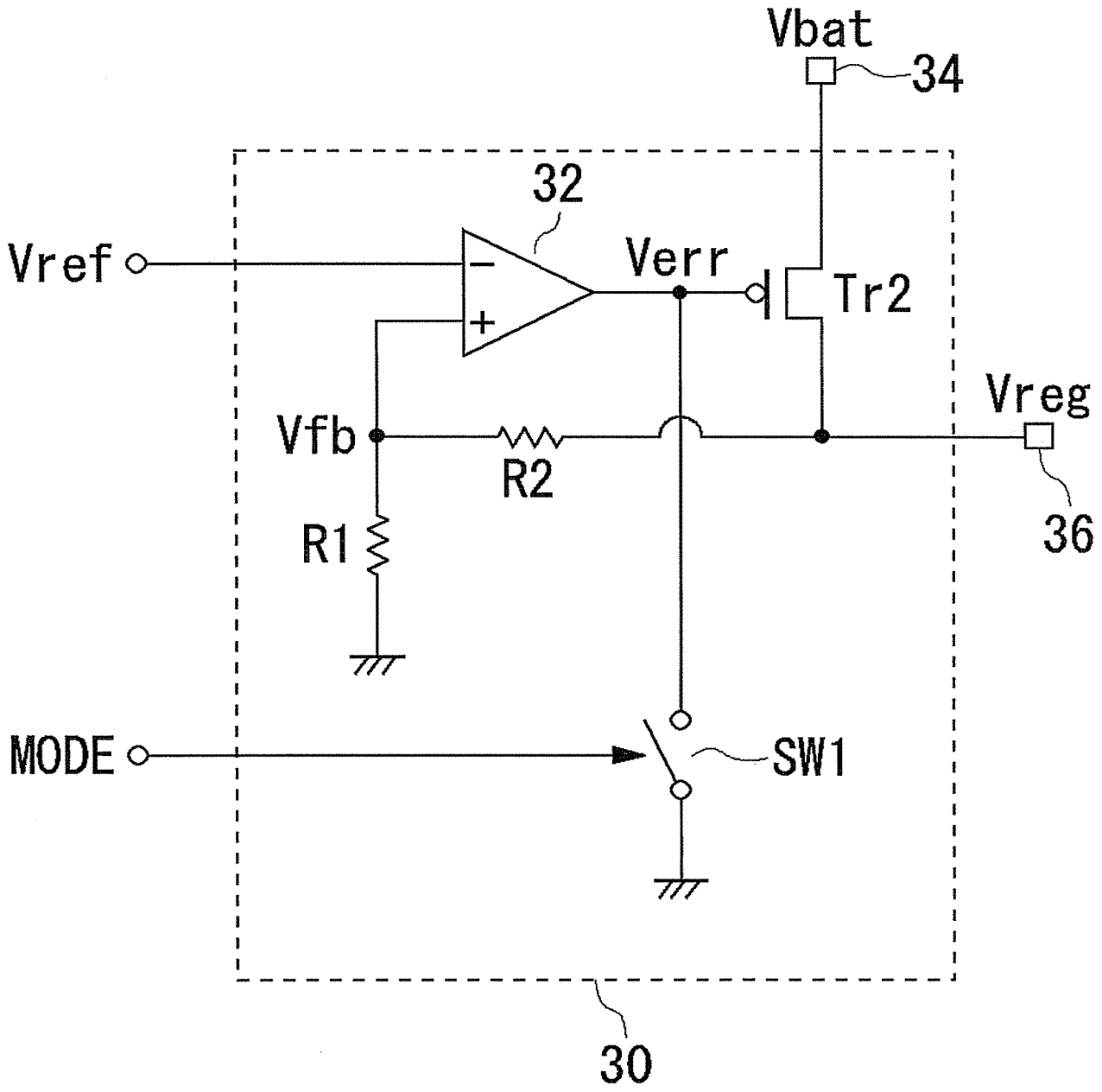
FIG.1

FIG.2


200
Vbat
POWER SUPPLY APPARATUS
Vout
LIGHT EMITTING ELEMENT
100
212
310
LIGHT EMISSION CONTROL CIRCUIT
214
FLASH
COMMUNICATION PROCESSOR
DSP
312
314
316

300

FIG.3



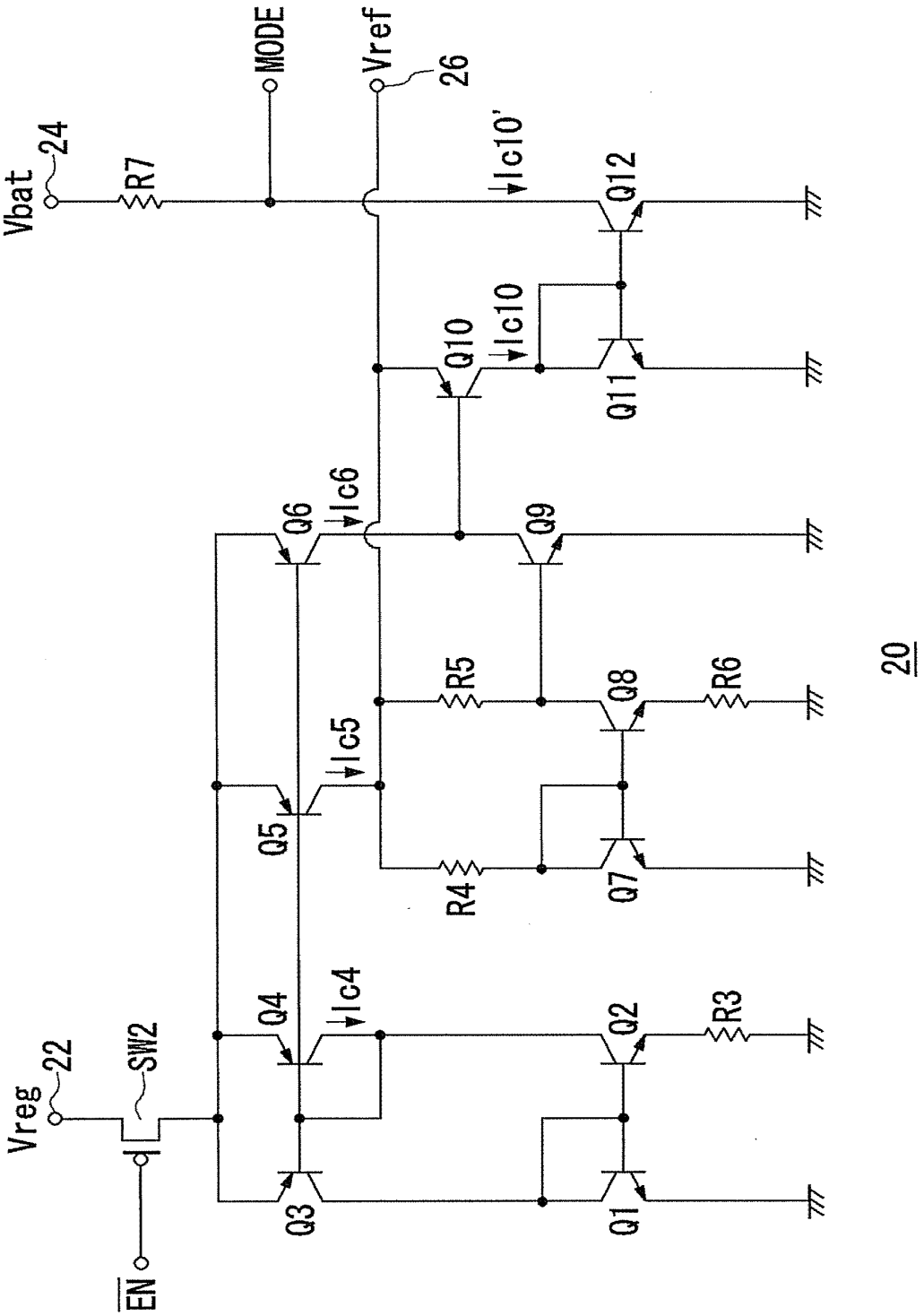

Vbat
24
R7
MODE
Vref
26
Ic10'
Q12
Q10
Ic10
Q11
Q6
Ic6
Q9
R5
Q8
R6
Ic5
Q5
R4
Q7
Vreg
22
SW2
Q4
Ic4
Q2
R3
EN
Q3
Q1
20

FIG.4

FIG.5A

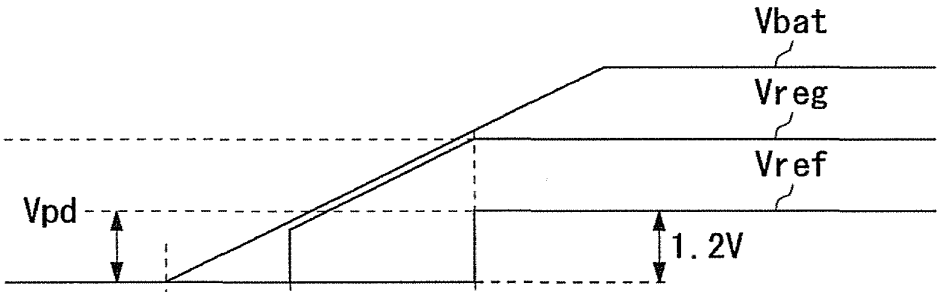


FIG.5B

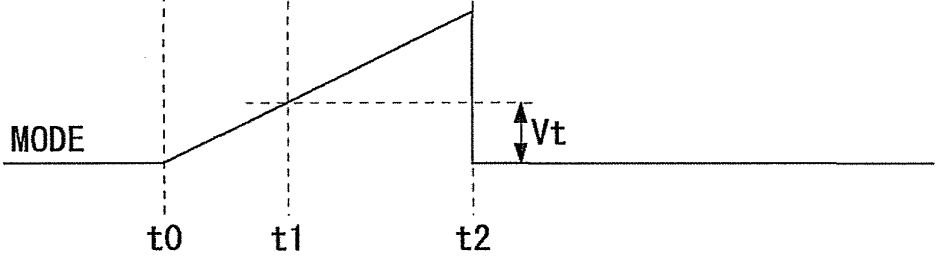


FIG.6A



FIG.6B

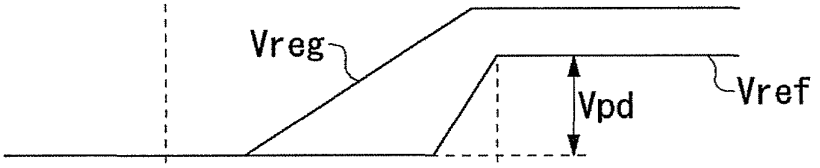
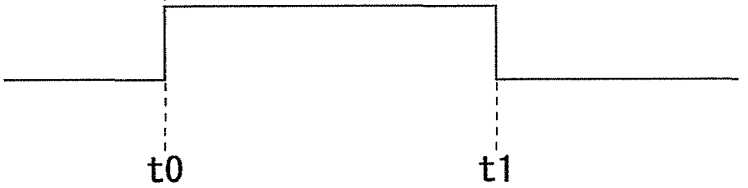


FIG.6C



Combined Declaration for Patent Application and Power of Attorney

As a below named inventor, I hereby declare that:

My residence, post office address and citizenship are as stated below next to my name;

I believe that I am the original, first and sole inventor (if only one name is listed below) or an original, first and joint inventor (if plural names are listed below) of the subject matter which is claimed and for which a patent is sought on the invention entitled POWER SUPPLY DEVICE, ELECTRONIC DEVICE USING THE SAME, AND SEMICONDUCTOR DEVICE the specification of which

(check one)		is attached hereto.
	X	was filed on November 30, 2006 as Application Serial No. PCT/JP2006/324029 and (if applicable) was amended on:

I hereby state that I have reviewed and understand the contents of the above-identified specification, including the claims, as amended by any amendment referred to above.

I acknowledge the duty to disclose information, which is material to the patentability of this application in accordance with Title 37, Code of Federal Regulations, § 1.56(a).

I hereby claim foreign priority benefits under Title 35, United States Code, § 119 of any foreign application(s) for patent or inventor=s certificate listed below and have also identified below any foreign application for patent or inventor=s certificate having filing date before that of the application on which priority is claimed:

Prior Foreign Application(s)			Priority Claimed	
Number	Country	Day Month Year Filed	YES	NO
JP2005-356077	Japan	9 December, 2005	×	

I hereby claim the benefit under Title 35, United States Code, § 120 of any United States Application(s) listed below and, insofar as the subject matter of each of the claims of this application is not disclosed in the prior United States application in the manner provided by the first paragraph of Title 35, United States Code, § 112, I acknowledge the duty to disclose material information as defined in Title 37, Code of Federal Regulation, § 1.56(a) which occurred between the filing date of the prior application and the national or PCT international filing date of this application:

Application Serial No.	Filing Date	Status- patented, pending, abandoned

I hereby claim the benefit under Title 35, United States Code, § 119(e) of any United States provisional application(s) listed below:

PROVISIONAL APPLICATION NUMBER FILING DATE

_____ _____

_____ _____

_____ _____

POWER OF ATTORNEY: As a named inventor, I hereby appoint the following attorneys, and/or agents with full power of substitution, association, and revocation, to prosecute this application and to transact all business in the Patent and Trademark Office connected herewith.

CUSTOMER NUMBER 23413

I hereby direct that all correspondence and telephone calls in connection with this application be addressed to Customer No. 23413, Cantor Colburn LLP, 55 Griffin Road South, Bloomfield, CT 06002, Telephone No. (860) 286-2929.

I hereby further declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code and that such willful false statements may jeopardize the validity of the application of any patent issued thereon.

Full Name of Sole or First Inventor	**Inventor's Signature**	**Date**
Tomoyuki ITO	Tomoyuki Ito	Jul. 5. 2007
Residence: Ukyo-Ku, Kyoto, Japan		Citizenship: Japan
Post Office Address: c/o ROHM CO., LTD. 21, Saiin Mizosaki-Cho, Ukyo-Ku, Kyoto 615-8585 Japan		
Full Name of Second Joint Inventor, If Any	**Inventor's Signature**	**Date**
Yoichi TAMEGAI	Yoichi Tamegai	June. 18. 2007
Residence: Ukyo-Ku, Kyoto, Japan		Citizenship: Japan
Post Office Address: c/o ROHM CO., LTD. 21, Saiin Mizosaki-Cho, Ukyo-Ku, Kyoto 615-8585 Japan		
Full Name of Third Joint Inventor, If Any	**Inventor's Signature**	**Date**
Koki TAMAKAWA	Koki Tamakawa	Jul. 5. 2007
Residence: Ukyo-Ku, Kyoto, Japan		Citizenship: Japan
Post Office Address: c/o ROHM CO., LTD., 21, Saiin Mizosaki-Cho, Ukyo-Ku, Kyoto 615-8585 Japan		
Full Name of Fourth Joint Inventor, If Any	**Inventor's Signature**	**Date**
Isao YAMAMOTO	Isao Yamamoto	Jul. 5, 2007
Residence: Ukyo-Ku, Kyoto, Japan		Citizenship: Japan
Post Office Address: c/o ROHM CO., LTD., 21, Saiin Mizosaki-Cho, Ukyo-Ku, Kyoto 615-8585 Japan		

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2007 年6 月14 日 (14.06.2007)

PCT

(10) 国際公開番号
WO 2007/066583 A1

(51) 国際特許分類:
G05F 1/56 (2006.01) *H02M 3/28* (2006.01)
G05F 3/30 (2006.01)

(21) 国際出願番号: PCT/JP2006/324029

(22) 国際出願日: 2006 年11 月30 日 (30.11.2006)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:
特願2005-356077 2005 年12 月9 日 (09.12.2005) JP

(71) 出願人 (米国を除く全ての指定国について): ローム株式会社 (ROHM CO., LTD.) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１ Kyoto (JP).

(72) 発明者; および

(75) 発明者/出願人 (米国についてのみ): 伊藤 智将 (ITO, Tomoyuki) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１ ローム株式会社内 Kyoto (JP). 爲我井 洋一 (TAMEGAI, Yoichi) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１ ローム株式会社内 Kyoto (JP). 玉川 剛基 (TAMAKAWA, Koki) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１ ローム株式会社内 Kyoto (JP). 山本 勲 (YAMAMOTO, Isao) [JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町２１ ローム株式会社内 Kyoto (JP).

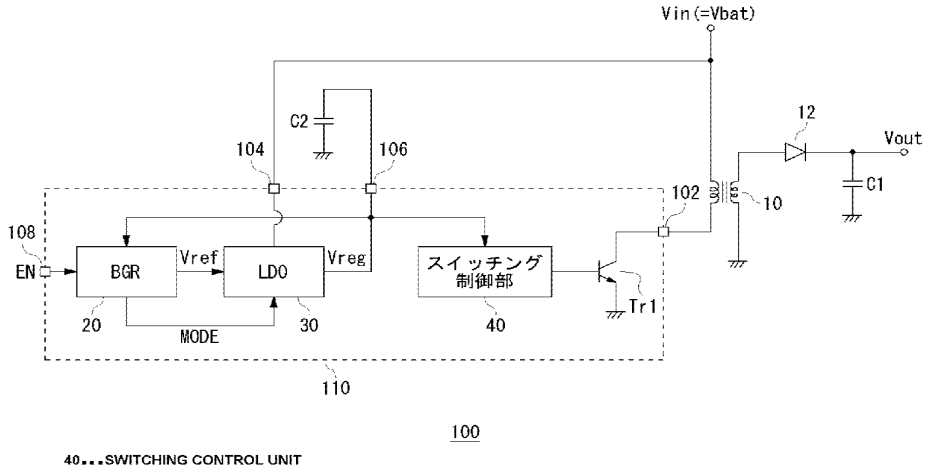
(74) 代理人: 森下 賢樹 (MORISHITA, Sakaki); 〒1500021 東京都渋谷区恵比寿西２－１１－１２ Tokyo (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LV, LY, MA, MD, MG,

[続葉有]

(54) **Title:** POWER SUPPLY DEVICE, ELECTRONIC DEVICE USING THE SAME, AND SEMICONDUCTOR DEVICE

(54) 発明の名称: 電源装置およびそれを用いた電子機器ならびに半導体装置



(57) **Abstract:** A power supply device includes a reference voltage source (20) for generating a reference voltage Vref and a linear regulator (30) for stabilizing an input voltage Vbat according o a reference voltage Vref generated by the reference voltage (20). Output voltage Vreg from the linear regulator (30) is supplied as power supply voltage to a switching control unit (40) and a reference voltage source (20). The linear regulator (30) is configured in such a way that switch can be performed between a regulation mode for outputting voltage in accordance with the reference voltage Vref and a bypass mode for directly outputting the input voltage Vbat regardless of the reference voltage Vref. Upon start of the power supply device (100), the linear regulator (30) operates in the bypass mode during period until the input voltage Vbat reaches a predetermined threshold value Vth and in the regulation mode after the input voltage reaches the threshold value.

(57) 要約: 基準電圧Ｖｒｅｆを生成する基準電圧源２０と、基準電圧源２０により生成される基準電圧Ｖｒｅｆにもとづき、入力電圧Ｖｂａｔを安定化するリニアレギュレータ３０を設ける。リニアレギュレータ３０の出力電圧Ｖｒｅｇを、スイッチング制御部４０および基準電圧源２０の電源電圧として供給する。リニアレギュレータ３０は、基準電圧Ｖｒｅｆに応じた電圧を

[続葉有]

WO 2007/066583 A1

MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LT, LU, LV, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:
— 国際調査報告書

２文字コード及び他の略語については、定期発行される各*PCT*ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

出力するレギュレーションモードと、基準電圧Ｖｒｅｆとは無関係に、入力電圧Ｖｂａｔをそのまま出力するバイパスモードと、が切り替え可能に構成される。電源装置１００の起動時において、リニアレギュレータ３０は、入力電圧Ｖｂａｔが所定のしきい値電圧Ｖｔｈに達するまでの期間、バイパスモードで動作し、入力電圧がしきい値電圧を上回ると、レギュレーションモードで動作する。

明 細 書

電源装置およびそれを用いた電子機器ならびに半導体装置

技術分野

[0001] 本発明は、電源装置に関し、特にノイズの影響を受けずに安定した電圧を生成する技術に関する。

背景技術

[0002] さまざまな電子機器において、電池などから供給される電源電圧よりも高い電圧、あるいは低い電圧を負荷回路に供給するために、昇圧型、あるいは降圧型のスイッチング電源が用いられている。たとえば、特許文献1、2には、スイッチング電源として絶縁型のDC／DCコンバータが開示されている。

[0003] こうしたスイッチング電源は、インダクタあるいはトランスに流れる電流を制御するためのスイッチング素子を備えて構成される。かかるスイッチング電源において、昇圧または降圧動作中に高い周波数でオンオフするスイッチング素子からは、スイッチングノイズが発生する。

特許文献1:特開2004－201474号公報

特許文献2:特開2005－73483号公報

発明の開示

発明が解決しようとする課題

[0004] スイッチング電源は、スイッチング素子のオンオフを制御する制御回路を備えている。この制御回路は、バンドギャップリファレンス回路などの基準電圧源から出力される基準電圧にもとづいて、スイッチング素子をオンオフし、スイッチング電源の出力電圧を安定化させる。

[0005] ここで、スイッチング素子から発生するスイッチングノイズは、電源配線等を介して接続される他の回路ブロックに影響を及ぼすことになる。スイッチングノイズが基準電圧源に入力されると、基準電圧にノイズが重畳されるため、昇圧または降圧動作に支障をきたすおそれがある。

[0006] 本発明はこうした課題に鑑みてなされたものであり、その目的は、ノイズの影響を受

けにくく、安定した電圧を生成可能な電源装置および半導体装置の提供にある。

課題を解決するための手段

[0007] 本発明のある態様の電源装置は、外部から与えられる入力電圧を安定化するスイッチング電源と、所定の基準電圧を生成する基準電圧源と、基準電圧源により生成される基準電圧にもとづき、入力電圧を安定化するリニアレギュレータと、を備える。リニアレギュレータの出力電圧を、スイッチング電源の制御回路および基準電圧源の電源電圧として供給する。

[0008] この態様によると、基準電圧源は、リニアレギュレータの出力電圧を電源電圧として基準電圧を生成するため、スイッチング素子において発生するノイズの影響を低減し、ノイズ成分の小さな基準電圧を生成することができる。

[0009] リニアレギュレータは、基準電圧に応じた電圧を出力するレギュレーションモードと、基準電圧とは無関係に、入力電圧をそのまま出力するバイパスモードと、を切り替え可能に構成するとよい。リニアレギュレータは、本電源装置の起動時において、基準電圧が所定の電圧値に達するまでの期間、バイパスモードで動作し、基準電圧が所定の電圧値を上回ると、レギュレーションモードで動作するようにするとよい。

[0010] この場合、起動時において、基準電圧がしきい値電圧より低いときには、リニアレギュレータから入力電圧がそのまま出力されるため、基準電圧源には、入力電圧がそのまま供給される。基準電圧源に供給される電圧が上昇すると、基準電圧源が正常動作を開始し、基準電圧が立ち上がり、所定の電圧値を超える。基準電圧が所定の電圧値を超えると、リニアレギュレータがレギュレーションモードで動作するため、基準電圧源には、電源電圧としてリニアレギュレータにより安定化された電圧が供給される。その結果、基準電圧源を含む本電源装置は好適に起動される。

[0011] リニアレギュレータは、当該リニアレギュレータの出力電圧に応じた帰還電圧および基準電圧が入力された演算増幅器と、制御端子に演算増幅器から出力される誤差電圧が入力され、他端から出力電圧を出力するトランジスタと、バイパスモードにおいて、トランジスタの制御端子の電位を変化せしめて、トランジスタを強制的にオンさせるスイッチ回路と、を備える構成とするとよい。スイッチ回路は、トランジスタの制御端子および電位の固定された端子間に設けられ、バイパスモードにおいてオンするスイ

ッチを含むとよい。

[0012] バイパスモード時において、スイッチ回路を用いてトランジスタをフルオンさせることにより、リニアレギュレータから、入力電圧をそのまま出力することができる。

[0013] 基準電圧源は、自らが生成する基準電圧が所定の電圧値に達すると、所定レベルとなるモード制御信号を出力し、リニアレギュレータは、基準電圧源から出力されるモード制御信号が所定レベルとなると、レギュレーションモードに移行するようにするとよい。基準電圧源は、基準電圧が所定の電圧値に達するとオンするトランジスタに流れる電流にもとづきモード制御信号を生成するとよい。

[0014] この場合、リニアレギュレータは、基準電圧が所定値に達する前には、バイパスモードとなり入力電圧をそのまま出力し、所定値に達した後は、レギュレーションモードに移行して、安定した基準電圧にもとづいて、入力電圧を安定化することができる。

[0015] 基準電圧源と、リニアレギュレータと、スイッチング電源の制御回路と、を1つの半導体基板上に一体集積化してもよい。「一体集積化」とは、回路の構成要素のすべてが半導体基板上に形成される場合や、回路の主要構成要素が一体集積化される場合が含まれ、回路定数の調節用に一部の抵抗やキャパシタなどが半導体基板の外部に設けられていてもよい。

[0016] スイッチング電源は、入力電圧を昇圧する昇圧型のスイッチングレギュレータであってもよい。この場合、スイッチング素子において発生したノイズが、インダクタやトランスを介して、基準電圧源に回り込むが、基準電圧源は、このノイズの影響を抑えて、安定した基準電圧を生成することができる。

[0017] 本発明の別の態様は、電子機器である。この電子機器は、電池と、負荷回路と、電池の電圧を入力電圧とし、これを昇圧して負荷回路に供給する上述の電源装置と、を備える。この電子機器は、撮像部をさらに備えてもよい。また、負荷回路は、撮像部による撮像の際にフラッシュとして動作するキセノンチューブを含んでもよい。

[0018] 本発明の別の態様は、半導体装置に関する。この半導体装置は、所定の基準電圧を生成する基準電圧源と、基準電圧源により生成される基準電圧にもとづき、入力電圧を安定化するリニアレギュレータと、を備える。半導体装置は、リニアレギュレータの出力電圧を、基準電圧源の電源電圧として供給する。

[0019] この態様の半導体装置においても、リニアレギュレータは、基準電圧に応じた電圧を出力するレギュレーションモードと、基準電圧とは無関係に、入力電圧をそのまま出力するバイパスモードと、が切り替え可能に構成するとよい。リニアレギュレータは、本半導体装置の起動時において、入力電圧が所定のしきい値電圧に達するまでの期間、バイパスモードで動作し、入力電圧がしきい値電圧を上回ると、レギュレーションモードで動作するようにするとよい。

[0020] なお、以上の構成要素の任意の組合せや本発明の構成要素や表現を、方法、装置、システムなどの間で相互に置換したものもまた、本発明の態様として有効である。

発明の効果

[0021] 本発明に係る電源装置および半導体装置によれば、ノイズの影響を低減し、安定した電圧を生成することができる。

図面の簡単な説明

[0022] [図1]実施の形態に係る電源装置の構成を示すブロック図である。

[図2]図1の電源装置を搭載した電子機器の構成を示すブロック図である。

[図3]図1のリニアレギュレータの構成を示す回路図である。

[図4]図1の基準電圧源の構成を示す回路図である。

[図5](a)、(b)は、図1の電源装置の起動時および安定動作時のタイムチャートである。

[図6]図6(a)～(c)は、図1の電源装置の起動時および安定動作時のタイムチャートである。

発明を実施するための最良の形態

[0023] 以下、本発明を好適な実施の形態をもとに図面を参照しながら説明する。各図面に示される同一または同等の構成要素、部材、処理には、同一の符号を付するものとし、適宜重複した説明は省略する。また、実施の形態は、発明を限定するものではなく例示であって、実施の形態に記述されるすべての特徴やその組み合わせは、必ずしも発明の本質的なものであるとは限らない。

[0024] 図1は、実施の形態に係る電源装置100の構成を示すブロック図である。図2は、図1の電源装置100を搭載した電子機器300の構成を示すブロック図である。電子

機器300は、カメラを搭載した携帯電話端末であり、電池310、通信処理部312、DSP(Digital Signal Processor)314、撮像部316、発光装置200を備える。

[0025] 電池310は、たとえばリチウムイオン電池であり、電子機器300の電源として設けられる。電池310は、電池電圧Vbatとして3～4V程度の電圧を出力する。DSP314は、電子機器300全体を統括的に制御するブロックであり、通信処理部312、撮像部316、発光装置200と接続されている。通信処理部312は、アンテナ、高周波回路などを含み、基地局との通信を行うブロックである。撮像部316は、CCD(Charge Coupled Device)やCMOSセンサなどの撮像装置である。発光装置200は、撮像部316による撮像の際に、フラッシュとして用いられる光源である。

[0026] 発光装置200は、電源装置100、発光素子212、発光制御回路214を備える。発光素子212としてはキセノンチューブなどが用いられる。電源装置100は、スイッチングレギュレータであって、電池310から供給される電池電圧Vbatを昇圧し、発光素子212に300V程度の駆動電圧Voutを供給する。発光制御回路214は、発光装置200の発光のタイミングを制御する。

[0027] DSP314は、ユーザによる撮像のタイミングと同期してフラッシュ信号FLASHを発光制御回路214に対して出力する。発光制御回路214はフラッシュ信号FLASHが入力されると、発光素子212を発光させる。

[0028] 図1に戻り、電池電圧Vbatを昇圧する電源装置100について説明する。電源装置100は、制御回路110、トランス10、整流用ダイオード12、出力キャパシタC1、バイパスキャパシタC2を含む。

[0029] 図1において、電源装置100のスイッチング制御部40、スイッチングトランジスタTr1、ならび外付けされるトランス10、整流用ダイオード12、出力キャパシタC1がスイッチング電源を構成する。トランス10の1次側コイルの第1端子には、入力電圧Vinとして電池電圧Vbatが印加される。1次側コイルの第2端子は、制御回路110のスイッチング端子102と接続される。また、トランス10の2次側コイルの第1端子には、整流用ダイオード12のアノードが接続され、整流用ダイオード12のカソードと接地端子間には出力キャパシタC1が接続されている。トランス10の2次側コイルの第2端子は接地される。

[0030] 次に、制御回路110の構成について説明する。制御回路110は、スイッチングトランジスタTr1、スイッチング制御部40に加えて、基準電圧源20、リニアレギュレータ30を含み、ひとつの半導体基板上に一体集積化された機能ICである。

[0031] スイッチングトランジスタTr1は、NPN型のバイポーラトランジスタであり、スイッチングトランジスタTr1のコレクタは、スイッチング端子102を介してトランス10の1次側コイルに接続され、エミッタは接地されている。スイッチングトランジスタTr1はMOSFETで構成してもよい。

[0032] スイッチング制御部40は、スイッチングトランジスタTr1のベース電圧を制御して、そのオンオフを制御する。スイッチングトランジスタTr1がオンオフを繰り返すことにより、トランス10の1次側、2次側コイルに交互に電流が流れ、出力キャパシタC1が充電される。出力キャパシタC1からは、外部から与えられた入力電圧Vinを昇圧して得られる出力電圧Voutが出力される。

[0033] 基準電圧源20は、バンドギャップリファレンス回路であって、所定の基準電圧Vrefを生成する。基準電圧源20には外部から入力されるイネーブル信号ENが、イネーブル端子108を介して入力されてもよい。イネーブル信号ENは、電源装置100の起動とともにハイレベルとなる。イネーブル信号ENがハイレベルのとき、基準電圧源20はオンし、所定の基準電圧Vrefを生成する。

[0034] リニアレギュレータ30には、電源端子104を介して、入力電圧である電池電圧Vbatが入力されている。リニアレギュレータ30は、基準電圧源20により生成される基準電圧Vrefにもとづき、入力電圧である電池電圧Vbatを安定化して出力する。リニアレギュレータ30の出力端子は、端子106に接続されたバイパスキャパシタC2を介して接地される。

[0035] 後述するように、リニアレギュレータ30は、基準電圧源20から出力される基準電圧Vrefに応じた電圧を出力するレギュレーションモードと、基準電圧Vrefとは無関係に、電池電圧Vbatをそのまま出力するバイパスモードと、が切り替え可能に構成される。リニアレギュレータ30の2つのモードは、基準電圧源20から出力されるモード制御信号MODEによって切り替えられる。

[0036] この制御回路110において、リニアレギュレータ30の出力電圧Vregは、スイッチン

グ電源のスイッチング制御部40および基準電圧源20の電源電圧として供給される。

[0037] 図3は、実施の形態に係るリニアレギュレータ30の構成を示す回路図である。リニアレギュレータ30は、トランジスタTr2、演算増幅器32、第1抵抗R1、第2抵抗R2、スイッチSW1を含む。

[0038] トランジスタTr2は、PチャンネルMOSFETであり、そのソースが電池電圧Vbatの印加されている入力端子34に接続される。リニアレギュレータ30の入力端子34は、制御回路110の電源端子104と接続される。演算増幅器32の反転入力端子には、基準電圧源20から出力される基準電圧Vrefが入力され、その出力端子は、トランジスタTr2の制御端子であるゲートに接続される。トランジスタTr2のドレインは、リニアレギュレータ30の出力端子36に相当し、出力端子36に現れる出力電圧Vregは、第1抵抗R1、第2抵抗R2によって分圧され、演算増幅器32の非反転入力端子に帰還される。演算増幅器32の非反転入力端子に帰還される電圧は、Vout×R1／(R1＋R2)で与えられ、この電圧を帰還電圧Vfbという。なお、出力端子36は、制御回路110の端子106と接続される。

[0039] スイッチSW1は、トランジスタTr2のゲートと接地電位端子間に設けられる。このスイッチSW1は、バイパスモードにおいてオン、レギュレーションモードにおいてオフする。バイパスモードにおいて、スイッチSW1がオンすると、トランジスタTr2のゲートが接地電位付近まで強制的に低下するため、トランジスタTr2が強制的にフルオンする。

[0040] バイパスモードにおいて、トランジスタTr2がフルオンすると、ドレインソース間の電位差が非常に小さくなる。その結果、リニアレギュレータ30からは、出力電圧Vregとして、入力電圧Vbatがそのまま出力される。

[0041] 一方、スイッチSW1がオフするレギュレーションモードにおいては、トランジスタTr2のゲート電位は、演算増幅器32によって制御される。レギュレーションモードにおいて、演算増幅器32は、基準電圧Vrefと、帰還電圧Vfbが一致するように、その出力である誤差電圧Verr、すなわちトランジスタTr2のゲート電位を調節する。その結果、リニアレギュレータ30の出力電圧Vregは、Vref×(1＋R2／R1)で与えられる電圧値に安定化される。

[0042] このリニアレギュレータ30は、電源装置100の起動時において、基準電圧Vrefが

所定の電圧値Vpdに達するまでの期間、バイパスモードで動作し、基準電圧Vrefが所定の電圧値Vpdを上回ると、レギュレーションモードで動作する。基準電圧Vrefと比較されるべき所定の電圧値Vpdは、基準電圧Vrefの目標値(通常1．2V程度である)付近に設定するのが望ましい。スイッチSW1のオンオフは、基準電圧源20から出力されるモード制御信号MODEによって制御される。リニアレギュレータ30は、モード制御信号MODEがハイレベルのときスイッチSW1がオンしてバイパスモードに設定され、ローレベルのときスイッチSW1がオフしてレギュレーションモードに設定される。

[0043] 図4は、本実施の形態に係る基準電圧源20の構成を示す回路図である。基準電圧源20は、トランジスタQ1～Q12、抵抗R3～R7、スイッチSW2、を備える。トランジスタQ1、Q2、Q7、Q8、Q9、Q11、Q12は、NPN型バイポーラトランジスタであり、トランジスタQ3、Q4、Q5、Q6、Q10は、PNP型バイポーラトランジスタである。端子22には、リニアレギュレータ30の出力電圧Vregが入力され、端子24には、電池電圧Vbatが印加される。基準電圧源20は、出力端子26から目標値である1．2V程度の基準電圧Vrefを出力する。

[0044] トランジスタQ1～Q4および抵抗R3は、一般的な熱電圧を用いたバイアス電流源を構成する。すなわち、トランジスタQ1およびトランジスタQ2、トランジスタQ3およびトランジスタQ4のトランジスタペアは、それぞれカレントミラー回路を構成する。トランジスタQ1のコレクタと、トランジスタQ3のコレクタは互いに接続され、トランジスタQ2とトランジスタQ4のコレクタは互いに接続される。抵抗R3は、トランジスタQ2のエミッタと接地間に設けられる。こうした回路構成は、自己バイアス回路として知られ、トランジスタQ4には、定電流Ic4が流れる。

[0045] スイッチSW2は、トランジスタQ3、Q4のエミッタと、リニアレギュレータ30の出力電圧Vregが印加される端子22の間に設けられる。スイッチSW2はPチャンネルMOSFETであって、ゲートには図示しない外部回路からのイネーブル信号ENが入力される。スイッチSW2がオンすると、基準電圧源20はオンし、基準電圧Vrefを生成する。スイッチSW2がオフすると回路の電流経路が遮断され、基準電圧源20はオフする。スイッチSW2は低電力化のために設けられるものであり、不要であれば省略してもよ

い。

[0046] トランジスタQ4とQ5、Q6とは、カレントミラーを構成しており、トランジスタQ5、Q6は、トランジスタQ4に流れる定電流Ic4に応じた電流を生成する。トランジスタQ7は、エミッタが接地される。トランジスタQ7のコレクタと、トランジスタQ5のコレクタ間には、抵抗R4が設けられる。また、トランジスタQ7のベースおよびコレクタは、トランジスタQ8のベースと接続される。トランジスタQ8のエミッタと接地間には、抵抗R6が設けられ、そのコレクタと、トランジスタQ5のコレクタ間には抵抗R5が設けられる。トランジスタQ5のコレクタ端子は、基準電圧源20の出力端子26となっており、基準電圧Vrefが現れる。

[0047] トランジスタQ9のベースは、トランジスタQ8のコレクタと接続され、そのエミッタは接地され、そのコレクタは、トランジスタQ6のコレクタと接続される。

[0048] トランジスタQ10、Q11、Q12および抵抗R7は、モード制御信号MODEを生成するために設けられている。トランジスタQ10のベースは、トランジスタQ9のコレクタと接続され、エミッタはトランジスタQ11のコレクタと接続される。また、トランジスタQ10のエミッタは、出力端子26と接続される。トランジスタQ11とトランジスタQ12はベース、エミッタが共通接続されたカレントミラー回路を構成する。トランジスタQ12のコレクタと、電池電圧Vbatが印加される端子24の間には、抵抗R7が設けられる。本実施の形態において、トランジスタQ10は、基準電圧Vrefが所定の電圧値Vpd(≒1．2V)に達するとオンするトランジスタに相当する。

[0049] 以上のように構成された基準電圧源20は、スイッチSW2がオン状態において、リニアレギュレータ30の出力電圧Vregが、所定レベルVthより高くなると、バンドギャップリファレンス回路として正常に動作し、1．2V程度の基準電圧Vrefを出力する。

[0050] また、この基準電圧源20は、リニアレギュレータ30の出力電圧Vregが所定レベルより高くなり、基準電圧Vrefが所定の電圧値Vpdに達すると、トランジスタQ10がオンして、電流Ic10が流れる。このとき、カレントミラー回路を構成するトランジスタQ11、Q12は、トランジスタQ10に流れる電流Ic10に応じた電流Ic10'を生成する。電流Ic10'が抵抗R7に流れると電圧降下が発生するため、モード制御信号MODEはローレベルとなる。

[0051] リニアレギュレータ30の出力電圧Vregが所定レベルより低いか、または基準電圧源20がオフ状態のときは、トランジスタQ10はオフになっているため、電流Ic10は流れない。したがって、このとき、抵抗R7には電圧降下は発生しないため、モード制御信号MODEは電池電圧Vbatと等しくなり、ハイレベルとなる。

[0052] このように、基準電圧源20は、自らが生成する基準電圧Vrefが所定の電圧値Vpdに達すると、所定レベル(ローレベル)となるモード制御信号MODEを出力する。また、上述のように、このモード制御信号MODEは、リニアレギュレータ30に出力されている。したがって、リニアレギュレータ30は、基準電圧源20から出力されるモード制御信号MODEが所定レベル(ローレベル)となると、すなわち、基準電圧Vrefが所定値となると、レギュレーションモードに移行することになる。

[0053] 以上のように構成された電源装置100の動作について説明する。図5(a)、(b)は、本実施の形態に係る電源装置100の起動時および安定動作時のタイムチャートである。図5(a)は、電池電圧Vbat、リニアレギュレータ30の出力電圧Vreg、基準電圧源20の出力である基準電圧Vrefを示す。また、図5(b)は、モード制御信号MODEを示す。図5(a)、(b)および後述の図6(a)～(c)において、説明の明確化のために、縦軸および横軸は適宜拡大または縮小して示すものとする。また、各電圧波形についても、説明の簡略化のために、実際の電圧波形と異なって示される場合がある。

[0054] 時刻t0に、電源装置100を搭載する電子機器300がオンし、電池電圧Vbatが時間とともに立ち上がる。起動直後においては、モード制御信号MODEはローレベルであり、リニアレギュレータ30はレギュレーションモードとなっているが、演算増幅器32がオフしており、また基準電圧Vrefが0Vであるため、その出力電圧Vregは0Vとなっている。

[0055] 時刻t0～t1の期間、基準電圧源20の電流Ic10'は流れず、抵抗R7に電圧降下が発生しないため、モード制御信号MODEと、電池電圧Vbatもほぼ等しくなり、時間とともに上昇していく。時刻t1に、モード制御信号MODEの電圧値が、リニアレギュレータ30のスイッチSW1をオンする電圧Vtより大きくなると、すなわちハイレベルとなると、バイパスモードとなり、Vbat≒Vregとなる。

[0056] 時刻t1以降、基準電圧源20の端子22には、リニアレギュレータ30から、電池電圧

Vbatにほぼ等しい出力電圧Vregが印加される。また、モード制御電圧MODEの電圧値は、電池電圧Vbatにともない上昇していく。基準電圧源20の端子22に印加されるリニアレギュレータ30の出力電圧Vreg(＝Vbat)が所定レベルVthに達すると、基準電圧源20はオン状態となり、基準電圧Vrefが所定値(＝1．2V)に安定化される。基準電圧源20がオン状態となると、トランジスタQ10がオンし、モード制御信号MODEはローレベルとなる。

[0057] 時刻t2にモード制御信号MODEがローレベルとなると、スイッチSW1がオフするため、リニアレギュレータ30は、レギュレーションモードに移行する。時刻t2以降、リニアレギュレータ30の出力電圧Vregは、Vref×(1＋R2／R1)で与えられる電圧値に安定化される。

[0058] 図6(a)～(c)は、本実施の形態に係る電源装置100の起動時および安定動作時のタイムチャートであり、電池電圧Vbatが一定を仮定した場合のタイムチャートである。

[0059] 時刻t0に、イネーブル信号ENがハイレベルとなり、スイッチSW2がオンする。起動直後において、モード制御信号MODEはハイレベルとなり、基準電圧源20はバイパスモードとして動作する。リニアレギュレータ30がバイパスモードとして動作するとき、トランジスタTr2はフルオンし、電池からトランジスタTr2を介してバイパスキャパシタC2に電流が流れ込み、ある時定数をもってリニアレギュレータ30の出力電圧Vregが上昇する。

[0060] リニアレギュレータ30の出力電圧Vregの上昇にともない、基準電圧源20が動作を開始する。その結果、時刻t1に基準電圧Vrefが所定の電圧値Vpdに達し、モード制御信号MODEがハイレベルからローレベルへと遷移する。時刻t1以降、リニアレギュレータ30はレギュレーションモードに移行し、基準電圧Vrefに基づいた電圧生成を行う。

[0061] 本実施の形態に係る電源装置100によれば、基準電圧Vrefを生成する基準電圧源20の電源を、その基準電圧Vrefにもとづき電圧安定化するリニアレギュレータ30の出力電圧Vregとしている。その結果、スイッチングレギュレータにおいて発生するスイッチングノイズが、電池電圧Vbatに重畳された場合においても、ノイズ成分の小

さな安定した基準電圧Vrefを生成することができ、さらにリニアレギュレータ30の出力電圧Vregをも安定化することができる。

[0062] また、本実施の形態に係る電源装置100においては、リニアレギュレータ30を、レギュレーションモードと、バイパスモードと、を切り替え可能に構成する。さらに、リニアレギュレータ30は、基準電圧源20により生成される基準電圧Vrefが所定の電圧値Vpdに達するまでの期間、バイパスモードで動作し、基準電圧Vrefが所定の電圧値Vpdを上回ると、レギュレーションモードで動作する。これによって、起動時において、基準電圧Vrefが所定の電圧値Vpdより低いときには、リニアレギュレータ30が電池電圧Vbatをそのまま出力するため、基準電圧源20には、電池電圧Vbatが供給される。基準電圧Vrefが所定の電圧値Vpdを超えると、基準電圧源20には、電源電圧としてリニアレギュレータ30により安定化された電圧Vregが供給される。その結果、基準電圧源20を含む電源装置100を好適に起動することができる。

[0063] また、リニアレギュレータ30に、スイッチSW1を設け、バイパスモード時において、スイッチ回路を用いてトランジスタTr2をフルオンさせることにより、リニアレギュレータ30から、入力電圧である電池電圧Vbatをそのまま出力することができる。

[0064] また、本実施の形態において、基準電圧源20は、自らが生成する基準電圧Vrefが所定の電圧値Vpdに達すると、所定レベル(ローレベル)となるモード制御信号MODEを出力する。リニアレギュレータ30は、基準電圧源20から出力されるモード制御信号MODEにもとづき、レギュレーションモード、バイパスモードを切り換える。その結果、リニアレギュレータ30は、基準電圧Vrefが所定値(1．2V)に達する前には、バイパスモードとして電池電圧Vbatをそのまま出力し、所定の電圧値Vpdに達した後は、レギュレーションモードに移行して、安定した基準電圧Vrefにもとづいて、電池電圧Vbatを安定化することができる。

[0065] 上記実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

[0066] 実施の形態では、基準電圧源20およびリニアレギュレータ30を、トランスを用いた昇圧型のスイッチングレギュレータを備える電源装置に適用する場合について説明

したがこれには限定されない。たとえば、スイッチングレギュレータはインダクタを用いる非絶縁型であってもよいし、あるいは降圧型、昇降圧型であってもよい。さらに、スイッチングレギュレータに替えて、チャージポンプ回路などのスイッチング電源であってもよい。

[0067] 実施の形態において、図3で説明したリニアレギュレータ30の構成は一例にすぎず、さまざまな形式のリニアレギュレータを用いることができる。図3では、スイッチSW1をトランジスタTr2のゲートと接地間に設け、トランジスタTr2をフルオンさせることにより、バイパスモードを実現したが、これに限定されることはなく、トランジスタTr2をフルオンさせるスイッチ回路であれば、他の回路形式であってもよい。さらに、図3では、バイパスモードにおいて、トランジスタTr2自体をフルオンさせて入力電圧である電池電圧Vbatをそのまま出力する構成としたが、これには限定されず、バイパスモードにおいてフルオンするバイパス用のトランジスタを、トランジスタTr2と並列に設けてもよい。

[0068] また、図4で説明した基準電圧源20の構成は一例にすぎず、さまざまな形式のバンドギャップレギュレータ回路等の定電圧源を用いることができる。

[0069] 実施の形態では、リニアレギュレータ30のレギュレーションモード、バイパスモードを切り換えるモード制御信号MODEを、基準電圧源20において生成する場合について説明したが、これには限定されない。モード制御信号MODEは、他の回路ブロックにおいて別途生成してもよい。

[0070] 実施の形態では、制御回路110を1つの半導体基板上に一体集積化する場合について説明したが、これには限定されず、その一部をチップ部品やディスクリート素子を用いて構成してもよいし、あるいは複数の半導体基板上に集積化してもよい。これらの回路構成は、回路に要求される仕様に応じて適宜設計すればよい。

[0071] 実施の形態で用いたトランジスタは、バイポーラトランジスタ、MOSFETの置換が可能であることはいうまでもなく、さらにNPN型とPNP型、あるいはNチャンネルとPチャンネルの置換も可能である。

[0072] 本発明は、実施の形態で説明した電源装置の他にも、基準電圧源20およびリニアレギュレータ30を備えるさまざまな半導体装置に用いることができる。この場合、本発

明は、以下の態様として把握することができる。すなわち、この態様において、半導体装置は、所定の基準電圧を生成する基準電圧源と、基準電圧源により生成される基準電圧にもとづき、入力電圧Vinを安定化するリニアレギュレータと、を備える。さらに、リニアレギュレータの出力電圧は、基準電圧源の電源電圧として供給される。

[0073] この態様においても、上述の実施の形態で説明したものと同様に、ノイズ成分を低減した基準電圧を生成することができる。たとえば、この態様の半導体装置は、ノイズが発生する回路に好適に使用することができ、たとえば、モータドライバ回路などを挙げることができる。

[0074] 実施の形態にもとづき、本発明を説明したが、実施の形態は、本発明の原理、応用を示しているにすぎず、実施の形態には、請求の範囲に規定された本発明の思想を離脱しない範囲において、多くの変形例や配置の変更が可能である。

産業上の利用可能性

[0075] 本発明は、電子回路に利用することができる。

請求の範囲

[1] 外部から与えられる入力電圧を安定化するスイッチング電源と、

所定の基準電圧を生成する基準電圧源と、

前記基準電圧源により生成される前記基準電圧にもとづき、前記入力電圧を安定化するリニアレギュレータと、

を備え、

前記リニアレギュレータの出力電圧を、前記スイッチング電源の制御部および前記基準電圧源の電源電圧として供給することを特徴とする電源装置。

[2] 前記リニアレギュレータは、前記基準電圧に応じた電圧を出力するレギュレーションモードと、前記基準電圧とは無関係に、前記入力電圧をそのまま出力するバイパスモードと、が切り替え可能に構成され、

当該リニアレギュレータは、本電源装置の起動時において、前記基準電圧が所定の電圧値に達するまでの期間、バイパスモードで動作し、前記基準電圧が前記所定の電圧値を上回ると、レギュレーションモードで動作することを特徴とする請求項1に記載の電源装置。

[3] 前記リニアレギュレータは、

前記リニアレギュレータの出力電圧に応じた帰還電圧および前記基準電圧が入力された演算増幅器と、

制御端子に前記演算増幅器から出力される誤差電圧が入力され、一端に前記入力電圧が印加され、他端から前記出力電圧を出力するトランジスタと、

前記バイパスモードにおいて、前記トランジスタの制御端子の電位を変化せしめて、前記トランジスタを強制的にオンさせるスイッチ回路と、

を備えることを特徴とする請求項2に記載の電源装置。

[4] 前記スイッチ回路は、

前記トランジスタの制御端子および電位の固定された端子間に設けられ、前記バイパスモードにおいてオンするスイッチを含むことを特徴とする請求項3に記載の電源装置。

[5] 前記基準電圧源は、自らが生成する前記基準電圧が所定の電圧値に達すると、所

定レベルとなるモード制御信号を出力し、

前記リニアレギュレータは、前記基準電圧源から出力される前記モード制御信号が前記所定レベルとなると、レギュレーションモードに移行することを特徴とする請求項2に記載の電源装置。

[6] 前記基準電圧源は、

前記基準電圧が所定の電圧値に達するとオンするトランジスタに流れる電流にもとづき前記モード制御信号を生成することを特徴とする請求項5に記載の電源装置。

[7] 前記基準電圧源と、

前記リニアレギュレータと、

前記スイッチング電源の制御部と、

を1つの半導体基板上に一体集積化したことを特徴とする請求項1から6のいずれかに記載の電源装置。

[8] 前記スイッチング電源は、前記入力電圧を昇圧する昇圧型のスイッチングレギュレータであることを特徴とする請求項1から6のいずれかに記載の電源装置。

[9] 電池と、

負荷回路と、

前記電池の電圧を入力電圧とし、これを昇圧して前記負荷回路に供給する請求項8に記載の電源装置と、

を備えることを特徴とする電子機器。

[10] 撮像部をさらに備え、

前記負荷回路は、前記撮像部による撮像の際にフラッシュとして動作するキセノンチューブを含むことを特徴とする請求項9に記載の電子機器。

[11] 所定の基準電圧を生成する基準電圧源と、

前記基準電圧源により生成される前記基準電圧にもとづき、入力電圧を安定化するリニアレギュレータと、

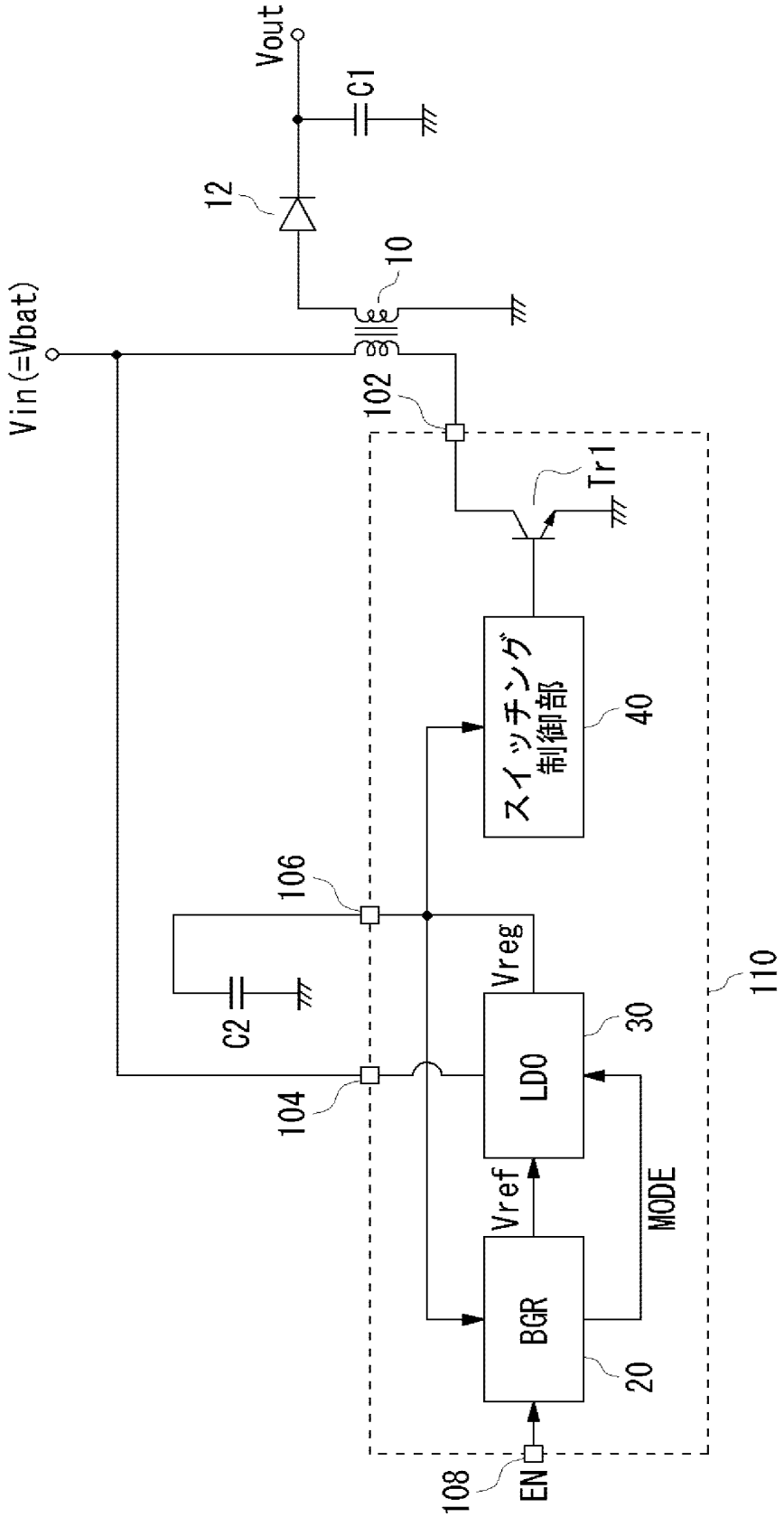
を備え、

前記リニアレギュレータの出力電圧を、前記基準電圧源の電源電圧として供給することを特徴とする半導体装置。

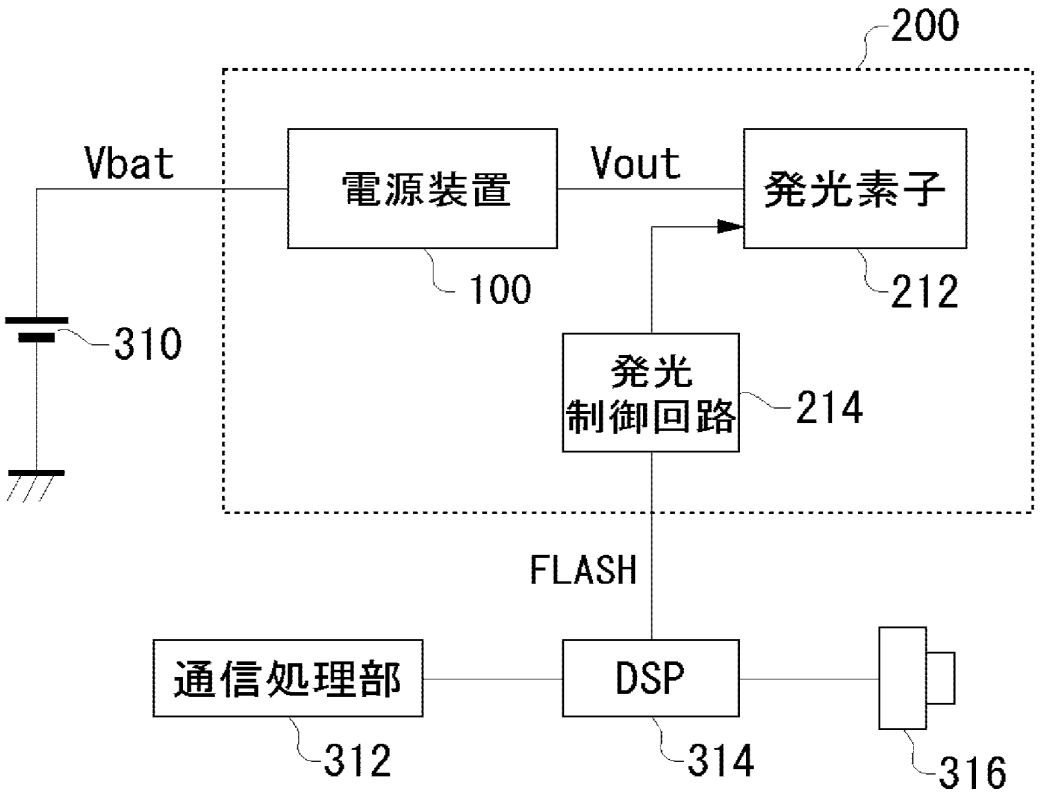
[12] 前記リニアレギュレータは、前記基準電圧に応じた電圧を出力するレギュレーションモードと、前記基準電圧とは無関係に、前記入力電圧をそのまま出力するバイパスモードと、が切り替え可能に構成され、

当該リニアレギュレータは、本半導体装置の起動時において、前記基準電圧が所定の電圧値に達するまでの期間、バイパスモードで動作し、前記基準電圧が前記所定の電圧値を上回ると、レギュレーションモードで動作することを特徴とする請求項11に記載の半導体装置。

[図1]

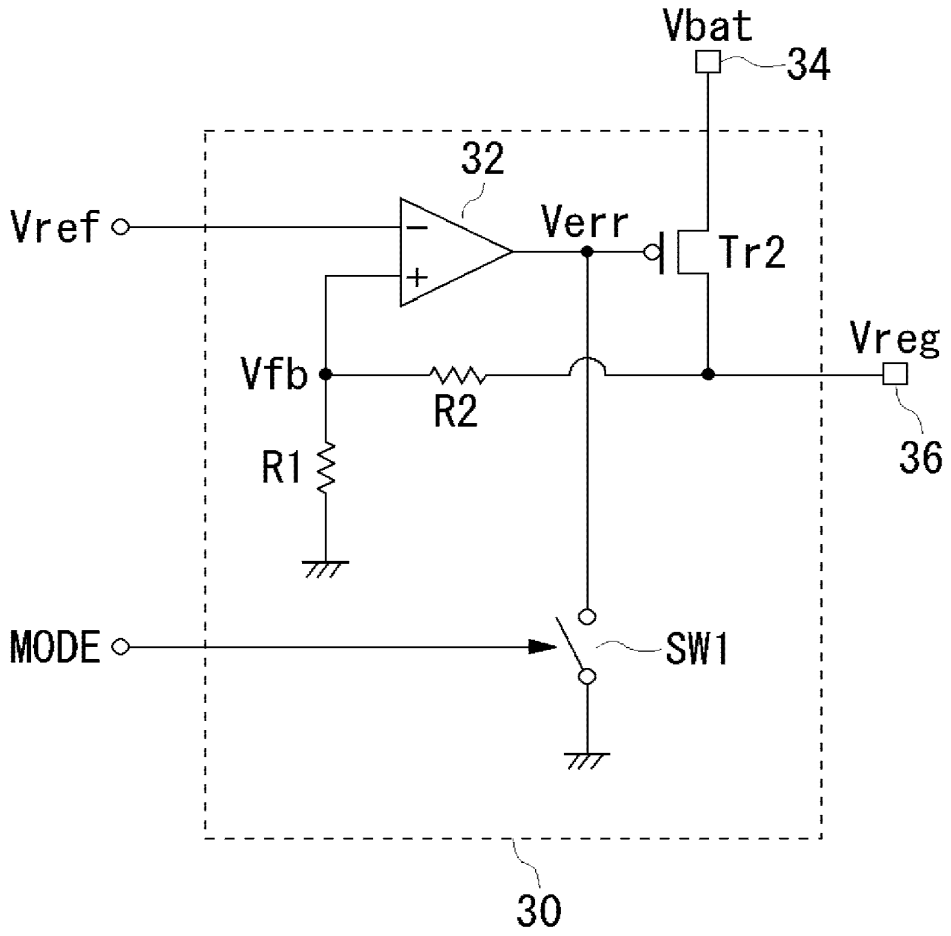

Vout
C1
12
10
Vin(=Vbat)
102
Tr1
スイッチング
制御部
40
100
106
Vreg
C2
110
30
LDO
104
Vref
MODE
BGR
20
108
EN

[図2]

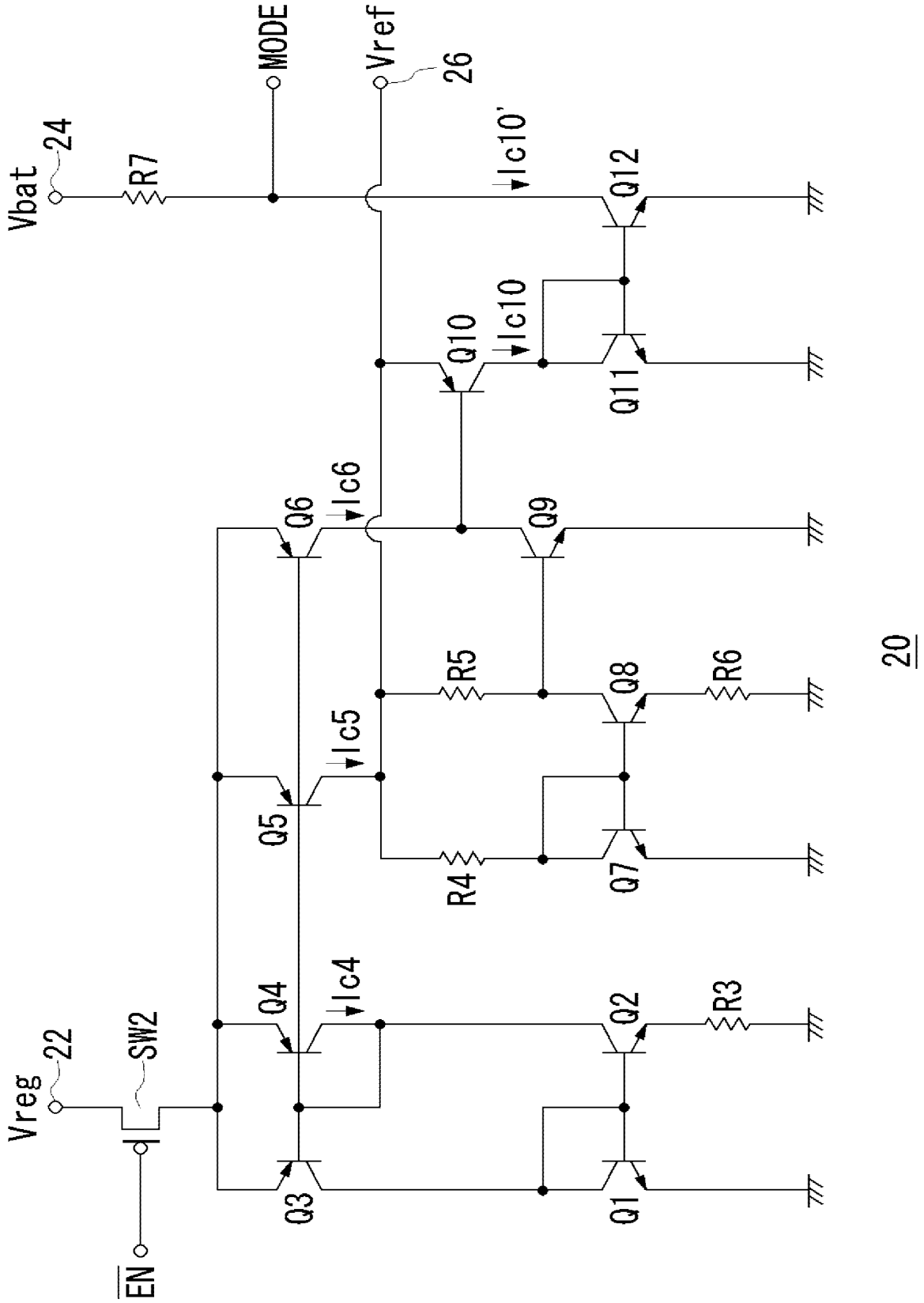

200
Vbat
電源装置
Vout
発光素子
100
212
310
発光
制御回路
214
FLASH
通信処理部
DSP
312
314
316

300

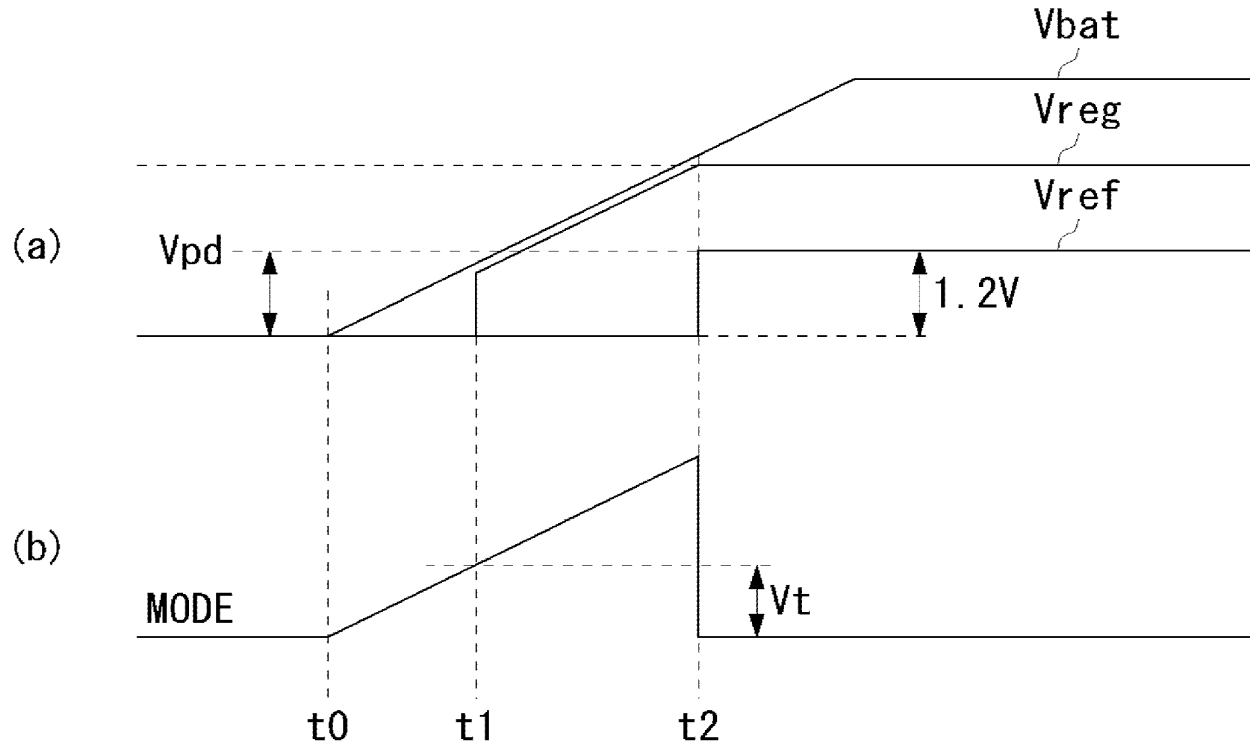
[図3]



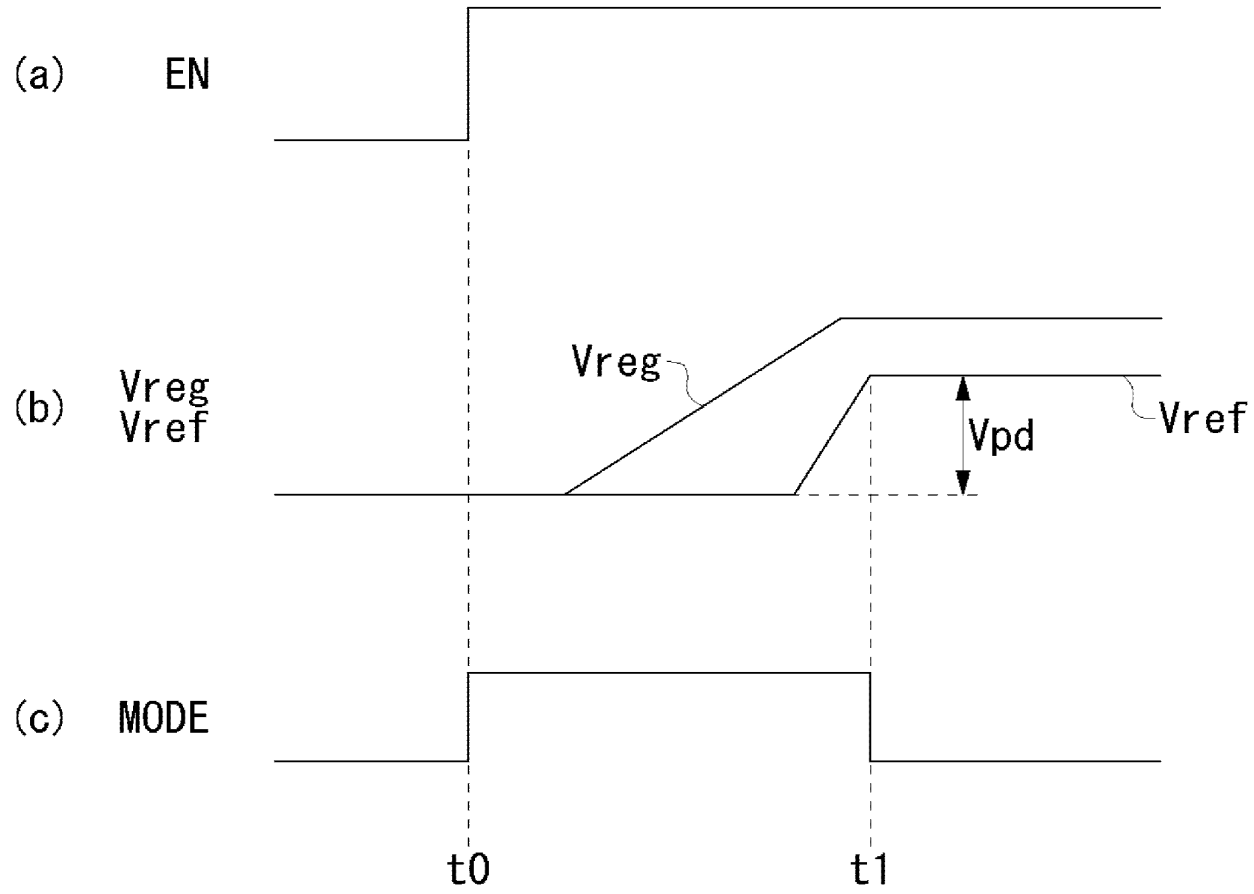
[図4]


MODE
Vref
26
Vbat
24
R7
Ic10'
Q12
Q10
Ic10
Q11
Q6
Ic6
Q9
R5
Q8
R6
Ic5
Q5
R4
Q7
Q4
Ic4
Q2
R3
Vreg
22
SW2
Q3
Q1
EN
20

[図5]


Vbat
Vreg
Vref
(a)
Vpd
1.2V
(b)
MODE
Vt
t0
t1
t2

[図6]


(a)
EN
(b)
Vreg
Vref
Vreg
Vpd
Vref
(c)
MODE
t0
t1

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2006/324029

A. CLASSIFICATION OF SUBJECT MATTER
H02M3/28(2006.01)i, *G05F1/56*(2006.01)i, *G05F3/30*(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H02M3/28, G05F1/56, G05F3/30

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched
Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2007
Kokai Jitsuyo Shinan Koho 1971-2007 Toroku Jitsuyo Shinan Koho 1994-2007

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2004-32899 A (Murata Mfg. Co., Ltd.), 29 January, 2004 (29.01.04), Par. Nos. [0011] to [0024]; Fig. 4 (Family: none)	1-12
Y	JP 5-35344 A (Sanyo Electric Co., Ltd.), 12 February, 1993 (12.02.93), Par. Nos. [0014] to [0029]; Figs. 1, 3 (Family: none)	1-12
Y	JP 2002-315335 A (Canon Inc.), 25 October, 2002 (25.10.02), Full text; all drawings (Family: none)	7-10

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:
"A" document defining the general state of the art which is not considered to be of particular relevance
"E" earlier application or patent but published on or after the international filing date
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
"O" document referring to an oral disclosure, use, exhibition or other means
"P" document published prior to the international filing date but later than the priority date claimed
"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
26 February, 2007 (26.02.07)	06 March, 2007 (06.03.07)
Name and mailing address of the ISA/ Japanese Patent Office Facsimile No.	Authorized officer Telephone No.

Form PCT/ISA/210 (second sheet) (April 2005)

国際調査報告

国際出願番号　ＰＣＴ／ＪＰ２００６／３２４０２９

Ａ．　発明の属する分野の分類（国際特許分類（ＩＰＣ））

Int.Cl.　H02M3/28(2006.01)i, G05F1/56(2006.01)i, G05F3/30(2006.01)i

Ｂ．　調査を行った分野

調査を行った最小限資料（国際特許分類（ＩＰＣ））

Int.Cl.　H02M3/28, G05F1/56, G05F3/30

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	１９２２－１９９６年
日本国公開実用新案公報	１９７１－２００７年
日本国実用新案登録公報	１９９６－２００７年
日本国登録実用新案公報	１９９４－２００７年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

Ｃ．　関連すると認められる文献

引用文献のカテゴリー＊	引用文献名　及び一部の箇所が関連するときは、その関連する箇所の表示	関連する請求の範囲の番号
Y	JP 2004-32899 A (株式会社村田製作所) 2004.01.29, 段落【0011】-【0024】、図４　(ファミリーなし)	1-12
Y	JP 5-35344 A (三洋電機株式会社) 1993.02.12, 段落【0014】-【0029】、図1,3　(ファミリーなし)	1-12
Y	JP 2002-315335 A (キャノン株式会社) 2002.10.25, 全文、全図　(ファミリーなし)	7-10

☐　Ｃ欄の続きにも文献が列挙されている。

☐　パテントファミリーに関する別紙を参照。

＊　引用文献のカテゴリー
「Ａ」特に関連のある文献ではなく、一般的技術水準を示すもの
「Ｅ」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「Ｌ」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「Ｏ」口頭による開示、使用、展示等に言及する文献
「Ｐ」国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献
「Ｔ」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「Ｘ」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Ｙ」特に関連のある文献であって、当該文献と他の１以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「＆」同一パテントファミリー文献

国際調査を完了した日 ２６．０２．２００７	国際調査報告の発送日 ０６．０３．２００７
国際調査機関の名称及びあて先 日本国特許庁（ＩＳＡ／ＪＰ） 郵便番号１００－８９１５ 東京都千代田区霞が関三丁目４番３号	特許庁審査官（権限のある職員）　３Ｖ　３３２８ 杉浦　貴之 電話番号　０３－３５８１－１１０１　内線　３３５８

様式ＰＣＴ／ＩＳＡ／２１０（第２ページ）（２００５年４月）

Document made available under the Patent Cooperation Treaty (PCT)

International application number: PCT/JP2006/324029

International filing date: 30 November 2006 (30.11.2006)

Document type: Certified copy of priority document

Document details: Country/Office: JP
Number: 2005-356077
Filing date: 09 December 2005 (09.12.2005)

Date of receipt at the International Bureau: 18 January 2007 (18.01.2007)

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a) or (b)

World Intellectual Property Organization (WIPO) - Geneva, Switzerland
Organisation Mondiale de la Propriété Intellectuelle (OMPI) - Genève, Suisse

日　本　国　特　許　庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 Date of Application:	２００５年１２月　９日
出願番号 Application Number:	特願２００５－３５６０７７
パリ条約による外国への出願に用いる優先権の主張の基礎となる出願の国コードと出願番号 The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is	ＪＰ２００５－３５６０７７
出願人 Applicant(s):	ローム株式会社

２００６年１２月２７日

特許庁長官
Commissioner,
Japan Patent Office　中嶋　誠

【書類名】　特許願
【整理番号】　05-00630
【提出日】　平成17年12月 9日
【あて先】　特許庁長官殿
【国際特許分類】　H02M 3/00
H02M 3/137
G05F 1/10
G05F 3/00
【発明者】
【住所又は居所】　京都府京都市右京区西院溝崎町２１番地　ローム株式会社内
【氏名】　伊藤　智将
【発明者】
【住所又は居所】　京都府京都市右京区西院溝崎町２１番地　ローム株式会社内
【氏名】　爲我井　洋一
【発明者】
【住所又は居所】　京都府京都市右京区西院溝崎町２１番地　ローム株式会社内
【氏名】　玉川　剛基
【発明者】
【住所又は居所】　京都府京都市右京区西院溝崎町２１番地　ローム株式会社内
【氏名】　山本　勲
【特許出願人】
【識別番号】　000116024
【氏名又は名称】　ローム株式会社
【代理人】
【識別番号】　100105924
【弁理士】
【氏名又は名称】　森下　賢樹
【電話番号】　03-3461-3687
【手数料の表示】
【予納台帳番号】　091329
【納付金額】　16,000円
【提出物件の目録】
【物件名】　特許請求の範囲　1
【物件名】　明細書　1
【物件名】　図面　1
【物件名】　要約書　1

【書類名】特許請求の範囲
【請求項１】
外部から与えられる入力電圧を安定化するスイッチング電源と、
所定の基準電圧を生成する基準電圧源と、
前記基準電圧源により生成される前記基準電圧にもとづき、前記入力電圧を安定化するリニアレギュレータと、
を備え、
前記リニアレギュレータの出力電圧を、前記スイッチング電源の制御部および前記基準電圧源の電源電圧として供給することを特徴とする電源装置。
【請求項２】
前記リニアレギュレータは、前記基準電圧に応じた電圧を出力するレギュレーションモードと、前記基準電圧とは無関係に、前記入力電圧をそのまま出力するバイパスモードと、が切り替え可能に構成され、
当該リニアレギュレータは、本電源装置の起動時において、前記基準電圧が所定の電圧値に達するまでの期間、バイパスモードで動作し、前記基準電圧が前記所定の電圧値を上回ると、レギュレーションモードで動作することを特徴とする請求項１に記載の電源装置。
【請求項３】
前記リニアレギュレータは、
前記リニアレギュレータの出力電圧に応じた帰還電圧および前記基準電圧が入力された演算増幅器と、
制御端子に前記演算増幅器から出力される誤差電圧が入力され、一端に前記入力電圧が印加され、他端から前記出力電圧を出力するトランジスタと、
前記バイパスモードにおいて、前記トランジスタの制御端子の電位を変化せしめて、前記トランジスタを強制的にオンさせるスイッチ回路と、
を備えることを特徴とする請求項２に記載の電源装置。
【請求項４】
前記スイッチ回路は、
前記トランジスタの制御端子および電位の固定された端子間に設けられ、前記バイパスモードにおいてオンするスイッチを含むことを特徴とする請求項３に記載の電源装置。
【請求項５】
前記基準電圧源は、自らが生成する前記基準電圧が所定の電圧値に達すると、所定レベルとなるモード制御信号を出力し、
前記リニアレギュレータは、前記基準電圧源から出力される前記モード制御信号が前記所定レベルとなると、レギュレーションモードに移行することを特徴とする請求項２に記載の電源装置。
【請求項６】
前記基準電圧源は、
前記基準電圧が所定の電圧値に達するとオンするトランジスタに流れる電流にもとづき前記モード制御信号を生成することを特徴とする請求項５に記載の電源装置。
【請求項７】
前記基準電圧源と、
前記リニアレギュレータと、
前記スイッチング電源の制御部と、
を１つの半導体基板上に一体集積化したことを特徴とする請求項１から６のいずれかに記載の電源装置。
【請求項８】
前記スイッチング電源は、前記入力電圧を昇圧する昇圧型のスイッチングレギュレータであることを特徴とする請求項１から６のいずれかに記載の電源装置。
【請求項９】

電池と、
負荷回路と、
前記電池の電圧を入力電圧とし、これを昇圧して前記負荷回路に供給する請求項８に記載の電源装置と、
を備えることを特徴とする電子機器。
【請求項１０】
撮像部をさらに備え、
前記負荷回路は、前記撮像部による撮像の際にフラッシュとして動作するキセノンチューブを含むことを特徴とする請求項９に記載の電子機器。
【請求項１１】
所定の基準電圧を生成する基準電圧源と、
前記基準電圧源により生成される前記基準電圧にもとづき、入力電圧を安定化するリニアレギュレータと、
を備え、
前記リニアレギュレータの出力電圧を、前記基準電圧源の電源電圧として供給することを特徴とする半導体装置。
【請求項１２】
前記リニアレギュレータは、前記基準電圧に応じた電圧を出力するレギュレーションモードと、前記基準電圧とは無関係に、前記入力電圧をそのまま出力するバイパスモードと、が切り替え可能に構成され、
当該リニアレギュレータは、本半導体装置の起動時において、前記基準電圧が所定の電圧値に達するまでの期間、バイパスモードで動作し、前記基準電圧が前記所定の電圧値を上回ると、レギュレーションモードで動作することを特徴とする請求項１１に記載の半導体装置。

【書類名】明細書
【発明の名称】電源装置およびそれを用いた電子機器ならびに半導体装置
【技術分野】
【０００１】
本発明は、電源装置に関し、特にノイズの影響を受けずに安定した電圧を生成する技術に関する。
【背景技術】
【０００２】
さまざまな電子機器において、電池などから供給される電源電圧よりも高い電圧、あるいは低い電圧を負荷回路に供給するために、昇圧型、あるいは降圧型のスイッチング電源が用いられている。たとえば、特許文献１、２には、スイッチング電源として絶縁型のＤＣ／ＤＣコンバータが開示されている。
【０００３】
こうしたスイッチング電源は、インダクタあるいはトランスに流れる電流を制御するためのスイッチング素子を備えて構成される。かかるスイッチング電源において、昇圧または降圧動作中に高い周波数でオンオフするスイッチング素子からは、スイッチングノイズが発生する。
【特許文献１】特開２００４－２０１４７４号公報
【特許文献２】特開２００５－７３４８３号公報
【発明の開示】
【発明が解決しようとする課題】
【０００４】
スイッチング電源は、スイッチング素子をオンオフを制御する制御回路を備えている。この制御回路は、バンドギャップリファレンス回路などの基準電圧源から出力される基準電圧にもとづいて、スイッチング素子をオンオフし、スイッチング電源の出力電圧を安定化させる。
【０００５】
ここで、スイッチング素子から発生するスイッチングノイズは、電源配線等を介して接続される他の回路ブロックに影響を及ぼすことになる。スイッチングノイズが基準電圧源に入力されると、基準電圧にノイズが重畳されるため、昇圧または降圧動作に支障をきたすおそれがある。
【０００６】
本発明はこうした課題に鑑みてなされたものであり、その目的は、ノイズの影響を受けずに安定した電圧を生成可能な電源装置および半導体装置の提供にある。
【課題を解決するための手段】
【０００７】
本発明のある態様の電源装置は、外部から与えられる入力電圧を安定化するスイッチング電源と、所定の基準電圧を生成する基準電圧源と、基準電圧源により生成される基準電圧にもとづき、入力電圧を安定化するリニアレギュレータと、を備える。リニアレギュレータの出力電圧を、スイッチング電源の制御回路および基準電圧源の電源電圧として供給する。
【０００８】
この態様によると、基準電圧源は、リニアレギュレータの出力電圧を電源電圧として基準電圧を生成するため、スイッチング素子において発生するノイズの影響を低減し、ノイズ成分の小さな基準電圧を生成することができる。
【０００９】
リニアレギュレータは、基準電圧に応じた電圧を出力するレギュレーションモードと、基準電圧とは無関係に、入力電圧をそのまま出力するバイパスモードと、が切り替え可能に構成するとよい。リニアレギュレータは、本電源装置の起動時において、基準電圧が所定の電圧値に達するまでの期間、バイパスモードで動作し、基準電圧が所定の電圧値を上

回ると、レギュレーションモードで動作するようにするとよい。

【００１０】

この場合、起動時において、基準電圧がしきい値電圧より低いときには、リニアレギュレータから入力電圧がそのまま出力されるため、基準電圧源には、入力電圧がそのまま供給される。基準電圧源に供給される電圧が上昇すると、基準電圧源が正常動作を開始し、基準電圧が立ち上がり、所定の電圧値を超える。基準電圧が所定の電圧値を超えると、リニアレギュレータがレギュレーションモードで動作するため、基準電圧源には、電源電圧としてリニアレギュレータにより安定化された電圧が供給される。その結果、基準電圧源を含む本電源装置は好適に起動される。

【００１１】

リニアレギュレータは、当該リニアレギュレータの出力電圧に応じた帰還電圧および基準電圧が入力された演算増幅器と、制御端子に演算増幅器から出力される誤差電圧が入力され、他端から出力電圧を出力するトランジスタと、バイパスモードにおいて、トランジスタの制御端子の電位を変化せしめて、トランジスタを強制的にオンさせるスイッチ回路と、を備える構成とするとよい。スイッチ回路は、トランジスタの制御端子および電位の固定された端子間に設けられ、バイパスモードにおいてオンするスイッチを含むとよい。

【００１２】

バイパスモード時において、スイッチ回路を用いてトランジスタをフルオンさせることにより、リニアレギュレータから、入力電圧をそのまま出力することができる。

【００１３】

基準電圧源は、自らが生成する基準電圧が所定の電圧値に達すると、所定レベルとなるモード制御信号を出力し、リニアレギュレータは、基準電圧源から出力されるモード制御信号が所定レベルとなると、レギュレーションモードに移行するようにするとよい。基準電圧源は、基準電圧が所定の電圧値に達するとオンするトランジスタに流れる電流にもとづきモード制御信号を生成するとよい。

【００１４】

この場合、リニアレギュレータは、基準電圧が所定値に達する前には、バイパスモードとなり入力電圧をそのまま出力し、所定値に達した後は、レギュレーションモードに移行して、安定した基準電圧にもとづいて、入力電圧を安定化することができる。

【００１５】

基準電圧源と、リニアレギュレータと、スイッチング電源の制御回路と、を１つの半導体基板上に一体集積化してもよい。

【００１６】

スイッチング電源は、入力電圧を昇圧する昇圧型のスイッチングレギュレータであってもよい。この場合、スイッチング素子において発生したノイズが、インダクタやトランスを介して、基準電圧源に回り込むが、基準電圧源は、このノイズの影響を抑えて、安定した基準電圧を生成することができる。

【００１７】

本発明の別の態様は、電子機器である。この電子機器は、電池と、負荷回路と、電池の電圧を入力電圧とし、これを昇圧して負荷回路に供給する上述の電源装置と、を備える。この電子機器は、撮像部をさらに備えてもよい。また、負荷回路は、撮像部による撮像の際にフラッシュとして動作するキセノンチューブを含んでもよい。

【００１８】

本発明の別の態様は、半導体装置に関する。この半導体装置は、所定の基準電圧を生成する基準電圧源と、基準電圧源により生成される基準電圧にもとづき、入力電圧を安定化するリニアレギュレータと、を備える。リニアレギュレータの出力電圧を、基準電圧源の電源電圧として供給する。

【００１９】

この態様の半導体装置においても、リニアレギュレータは、基準電圧に応じた電圧を出力するレギュレーションモードと、基準電圧とは無関係に、入力電圧をそのまま出力する

バイパスモードと、が切り替え可能に構成するとよい。リニアレギュレータは、本半導体装置の起動時において、入力電圧が所定のしきい値電圧に達するまでの期間、バイパスモードで動作し、入力電圧がしきい値電圧を上回ると、レギュレーションモードで動作するようにするとよい。

【００２０】

なお、以上の構成要素の任意の組合せや本発明の構成要素や表現を、方法、装置、システムなどの間で相互に置換したものもまた、本発明の態様として有効である。

【発明の効果】

【００２１】

本発明に係る電源装置および半導体装置によれば、ノイズの影響を低減し、安定した電圧を生成することができる。

【発明を実施するための最良の形態】

【００２２】

図１は、実施の形態に係る電源装置１００の構成を示すブロック図である。図２は、図１の電源装置１００を搭載した電子機器３００の構成を示すブロック図である。電子機器３００は、カメラを搭載した携帯電話端末であり、電池３１０、通信処理部３１２、ＤＳＰ（Ｄｉｇｉｔａｌ　Ｓｉｇｎａｌ　Ｐｒｏｃｅｓｓｏｒ）３１４、撮像部３１６、発光装置２００を備える。

【００２３】

電池３１０は、たとえばリチウムイオン電池であり、電子機器３００の電源として設けられる。電池３１０は、電池電圧Ｖｂａｔとして３～４Ｖ程度の電圧を出力する。ＤＳＰ３１４は、電子機器３００全体を統括的に制御するブロックであり通信処理部３１２、撮像部３１６、発光装置２００と接続されている。通信処理部３１２は、アンテナ、高周波回路などを含み、基地局との通信を行うブロックである。撮像部３１６は、ＣＣＤ（Ｃｈａｒｇｅ　Ｃｏｕｐｌｅｄ　Ｄｅｖｉｃｅ）やＣＭＯＳセンサなどの撮像装置である。発光装置２００は、撮像部３１６による撮像の際に、フラッシュとして用いられる光源である。

【００２４】

発光装置２００は、電源装置１００、発光素子２１２、発光制御回路２１４を備える。発光素子２１２としてはキセノンチューブなどが用いられる。電源装置１００は、スイッチングレギュレータであって、電池３１０から供給される電池電圧Ｖｂａｔを昇圧し、発光素子２１２に３００Ｖ程度の駆動電圧Ｖｏｕｔを供給する。発光制御回路２１４は、発光装置２００の発光のタイミングを制御する。

【００２５】

ＤＳＰ３１４は、ユーザによる撮像のタイミングと同期してフラッシュ信号ＦＬＡＳＨを発光制御回路２１４に対して出力する。発光制御回路２１４はフラッシュ信号ＦＬＡＳＨが入力されると、発光素子２１２を発光させる。

【００２６】

図１に戻り、電池電圧Ｖｂａｔを昇圧する電源装置１００について説明する。電源装置１００は、制御回路１１０、トランス１０、整流用ダイオード１２、出力キャパシタＣ１、バイパスキャパシタＣ２を含む。

【００２７】

図１において、電源装置１００のスイッチング制御部４０、スイッチングトランジスタＴｒ１、ならび外付けされるトランス１０、整流用ダイオード１２、出力キャパシタＣ１がスイッチング電源を構成する。トランス１０の１次側コイルの第１端子には、入力電圧Ｖｉｎとして電池電圧Ｖｂａｔが印加される。１次側コイルの第２端子は、制御回路１１０のスイッチング端子１０２と接続される。また、トランス１０の２次側コイルの第１端子には、整流用ダイオード１２のアノードが接続され、整流用ダイオード１２のカソードと接地端子間には出力キャパシタＣ１が接続されている。トランス１０の２次側コイルの第２端子は接地される。

【００２８】
次に、制御回路１１０の構成について説明する。制御回路１１０は、スイッチングトランジスタＴｒ１、スイッチング制御部４０に加えて、基準電圧源２０、リニアレギュレータ３０を含み、ひとつの半導体基板上に一体集積化された機能ＩＣである。
【００２９】
スイッチングトランジスタＴｒ１は、ＮＰＮ型のバイポーラトランジスタであり、スイッチングトランジスタＴｒ１のコレクタは、スイッチング端子１０２を介してトランス１０の１次側コイルに接続され、エミッタは接地されている。スイッチングトランジスタＴｒ１はＭＯＳＦＥＴで構成してもよい。
【００３０】
スイッチング制御部４０は、スイッチングトランジスタＴｒ１のベース電圧を制御して、そのオンオフを制御する。スイッチングトランジスタＴｒ１がオンオフを繰り返すことにより、トランス１０の１次側、２次側コイルに交互に電流が流れ、出力キャパシタＣ１が充電される。出力キャパシタＣ１からは、外部から与えられた入力電圧Ｖｉｎを昇圧して得られる出力電圧Ｖｏｕｔが出力される。
【００３１】
基準電圧源２０は、バンドギャップリファレンス回路であって、所定の基準電圧Ｖｒｅｆを生成する。基準電圧源２０には外部から入力されるイネーブル信号ＥＮが、イネーブル端子１０８を介して入力されてもよい。イネーブル信号ＥＮは、電源装置１００の起動とともにハイレベルとなる。イネーブル信号ＥＮがハイレベルのとき、基準電圧源２０はオンし、所定の基準電圧Ｖｒｅｆを生成する。
【００３２】
リニアレギュレータ３０には、電源端子１０４を介して、入力電圧である電池電圧Ｖｂａｔが入力されている。リニアレギュレータ３０は、基準電圧源２０により生成される基準電圧Ｖｒｅｆにもとづき、入力電圧である電池電圧Ｖｂａｔを安定化して出力する。リニアレギュレータ３０の出力端子は、端子１０６に接続されたバイパスキャパシタＣ２を介して接地される。
【００３３】
後述するように、リニアレギュレータ３０は、基準電圧源２０から出力される基準電圧Ｖｒｅｆに応じた電圧を出力するレギュレーションモードと、基準電圧Ｖｒｅｆとは無関係に、電池電圧Ｖｂａｔをそのまま出力するバイパスモードと、が切り替え可能に構成される。リニアレギュレータ３０の２つのモードは、基準電圧源２０から出力されるモード制御信号ＭＯＤＥによって切り替えられる。
【００３４】
この制御回路１１０において、リニアレギュレータ３０の出力電圧Ｖｒｅｇは、スイッチング電源のスイッチング制御部４０および基準電圧源２０の電源電圧として供給される。
【００３５】
図３は、実施の形態に係るリニアレギュレータ３０の構成を示す回路図である。リニアレギュレータ３０は、トランジスタＴｒ２、演算増幅器３２、第１抵抗Ｒ１、第２抵抗Ｒ２、スイッチＳＷ１を含む。
【００３６】
トランジスタＴｒ２は、ＰチャンネルＭＯＳＦＥＴであり、ソースが電池電圧Ｖｂａｔが印加される入力端子３４に接続される。リニアレギュレータ３０の入力端子３４は、制御回路１１０の電源端子１０４と接続される。演算増幅器３２の反転入力端子には、基準電圧源２０から出力される基準電圧Ｖｒｅｆが入力され、その出力端子は、トランジスタＴｒ２の制御端子であるゲートに接続される。トランジスタＴｒ２のドレインは、リニアレギュレータ３０の出力端子３６に相当し、出力端子３６に現れる出力電圧Ｖｒｅｇは、第１抵抗Ｒ１、第２抵抗Ｒ２によって分圧され、演算増幅器３２の非反転入力端子に帰還される。演算増幅器３２の非反転入力端子に帰還される電圧は、Ｖｏｕｔ×Ｒ１／（Ｒ１

＋Ｒ２）で与えられ、この電圧を帰還電圧Ｖｆｂという。なお、出力端子３６は、制御回路１１０の端子１０６と接続される。

【００３７】

スイッチＳＷ１は、トランジスタＴｒ２のゲートと接地電位端子間に設けられる。このスイッチＳＷ１は、バイパスモードにおいてオン、レギュレーションモードにおいてオフする。バイパスモードにおいて、スイッチＳＷ１がオンすると、トランジスタＴｒ２のゲートが接地電位付近まで強制的に低下するため、トランジスタＴｒ２が強制的にフルオンする。

【００３８】

バイパスモードにおいて、トランジスタＴｒ２がフルオンすると、ドレインソース間の電位差が非常に小さくなる。その結果、リニアレギュレータ３０からは、出力電圧Ｖｒｅｇとして、入力電圧Ｖｂａｔがそのまま出力される。

【００３９】

一方、スイッチＳＷ１がオフするレギュレーションモードにおいては、トランジスタＴｒ２のゲート電位は、演算増幅器３２によって制御される。レギュレーションモードにおいて、演算増幅器３２は、基準電圧Ｖｒｅｆと、帰還電圧Ｖｆｂが一致するように、その出力である誤差電圧Ｖｅｒｒ、すなわちトランジスタＴｒ２のゲート電位を調節する。その結果、リニアレギュレータ３０の出力電圧Ｖｒｅｇは、Ｖｒｅｆ×（１＋Ｒ２／Ｒ１）で与えられる電圧値に安定化される。

【００４０】

このリニアレギュレータ３０は、電源装置１００の起動時において、基準電圧Ｖｒｅｆが所定の電圧値Ｖｐｄに達するまでの期間、バイパスモードで動作し、基準電圧Ｖｒｅｆが所定の電圧値Ｖｐｄを上回ると、レギュレーションモードで動作する。基準電圧Ｖｒｅｆと比較されるべき所定の電圧値Ｖｐｄは、基準電圧Ｖｒｅｆの目標値（通常１．２Ｖ程度である）付近に設定するのが望ましい。スイッチＳＷ１のオンオフは、基準電圧源２０から出力されるモード制御信号ＭＯＤＥによって制御される。リニアレギュレータ３０は、モード制御信号ＭＯＤＥがハイレベルのときスイッチＳＷ１がオンしてバイパスモードに設定され、ローレベルのときスイッチＳＷ１がオフしてレギュレーションモードに設定される。

【００４１】

図４は、本実施の形態に係る基準電圧源２０の構成を示す回路図である。基準電圧源２０は、トランジスタＱ１～Ｑ１２、抵抗Ｒ３～Ｒ７、スイッチＳＷ２、を備える。トランジスタＱ１、Ｑ２、Ｑ７、Ｑ８、Ｑ９、Ｑ１１、Ｑ１２は、ＮＰＮ型バイポーラトランジスタであり、トランジスタＱ３、Ｑ４、Ｑ５、Ｑ６、Ｑ１０は、ＰＮＰ型バイポーラトランジスタである。端子２２には、リニアレギュレータ３０の出力電圧Ｖｒｅｇが入力され、端子２４には、電池電圧Ｖｂａｔが印加される。基準電圧源２０は、出力端子２６から目標値である１．２Ｖ程度の基準電圧Ｖｒｅｆを出力する。

【００４２】

トランジスタＱ１～Ｑ４および抵抗Ｒ３は、一般的な熱電圧を用いたバイアス電流源を構成する。すなわち、トランジスタＱ１およびトランジスタＱ２、トランジスタＱ３およびトランジスタＱ４のトランジスタペアは、それぞれカレントミラー回路を構成する。トランジスタＱ１のコレクタと、トランジスタＱ３のコレクタは互いに接続され、トランジスタＱ２とトランジスタＱ４のコレクタは互いに接続される。抵抗Ｒ３は、トランジスタＱ２のエミッタと接地間に設けられる。こうした回路構成は、自己バイアス回路として知られ、トランジスタＱ４には、定電流Ｉｃ４が流れる。

【００４３】

スイッチＳＷ２は、トランジスタＱ３、Ｑ４のエミッタと、リニアレギュレータ３０の出力電圧Ｖｒｅｇが印加される端子２２の間に設けられる。スイッチＳＷ２はＰチャンネルＭＯＳＦＥＴであって、ゲートには図示しない外部回路からのイネーブル信号ＥＮが入力される。スイッチＳＷ２がオンすると、基準電圧源２０はオンし、基準電圧Ｖｒｅｆを

生成する。スイッチＳＷ２がオフすると回路の電流経路が遮断され、基準電圧源２０はオフする。スイッチＳＷ２は低電力化のために設けられるものであり、不要であれば省略してもよい。

【００４４】

トランジスタＱ４とＱ５、Ｑ６とは、カレントミラーを構成しており、トランジスタＱ５、Ｑ６は、トランジスタＱ４に流れる定電流Ｉｃ４に応じた電流を生成する。トランジスタＱ７は、エミッタが接地される。トランジスタＱ７のコレクタと、トランジスタＱ５のコレクタ間には、抵抗Ｒ４が設けられる。また、トランジスタＱ７のベースおよびコレクタは、トランジスタＱ８のベースと接続される。トランジスタＱ８のエミッタと接地間には、抵抗Ｒ６が設けられ、そのコレクタと、トランジスタＱ５のコレクタ間には抵抗Ｒ５が設けられる。トランジスタＱ５のコレクタ端子は、基準電圧源２０の出力端子２６となっており、基準電圧Ｖｒｅｆが現れる。

【００４５】

トランジスタＱ９のベースは、トランジスタＱ８のコレクタと接続され、そのエミッタは接地され、そのコレクタは、トランジスタＱ６のコレクタと接続される。

【００４６】

トランジスタＱ１０、Ｑ１１、Ｑ１２および抵抗Ｒ７は、モード制御信号ＭＯＤＥを生成するために設けられている。トランジスタＱ１０のベースは、トランジスタＱ９のコレクタと接続され、エミッタはトランジスタＱ１１のコレクタと接続される。また、トランジスタＱ１０のエミッタは、出力端子２６と接続される。トランジスタＱ１１とトランジスタＱ１２はベース、エミッタが共通接続されたカレントミラー回路を構成する。トランジスタＱ１２のコレクタと、電池電圧Ｖｂａｔが印加される端子２４の間には、抵抗Ｒ７が設けられる。本実施の形態において、トランジスタＱ１０は、基準電圧Ｖｒｅｆが所定の電圧値Ｖｐｄ（≒１．２Ｖ）に達するとオンするトランジスタに相当する。

【００４７】

以上のように構成された基準電圧源２０は、スイッチＳＷ２がオン状態において、リニアレギュレータ３０の出力電圧Ｖｒｅｇが、所定レベルＶｔｈより高くなると、バンドギャップリファレンス回路として正常に動作し、１．２Ｖ程度の基準電圧Ｖｒｅｆを出力する。

【００４８】

また、この基準電圧源２０は、リニアレギュレータ３０の出力電圧Ｖｒｅｇが所定レベルより高くなり、基準電圧Ｖｒｅｆが所定の電圧値Ｖｐｄに達すると、トランジスタＱ１０がオンして、電流Ｉｃ１０が流れる。このとき、カレントミラー回路を構成するトランジスタＱ１１、Ｑ１２は、トランジスタＱ１０に流れる電流Ｉｃ１０に応じた電流Ｉｃ１０’を生成する。電流Ｉｃ１０’が抵抗Ｒ７に流れると電圧降下が発生するため、モード制御信号ＭＯＤＥはローレベルとなる。

【００４９】

リニアレギュレータ３０の出力電圧Ｖｒｅｇが所定レベルより低いか、または基準電圧源２０がオフ状態のときは、トランジスタＱ１０はオフになっているため、電流Ｉｃ１０は流れない。したがって、このとき、抵抗Ｒ７には電圧降下は発生しないため、モード制御信号ＭＯＤＥは電池電圧Ｖｂａｔと等しくなり、ハイレベルとなる。

【００５０】

このように、基準電圧源２０は、自らが生成する基準電圧Ｖｒｅｆが所定の電圧値Ｖｐｄに達すると、所定レベル（ローレベル）となるモード制御信号ＭＯＤＥを出力する。また、上述のように、このモード制御信号ＭＯＤＥは、リニアレギュレータ３０に出力されている。したがって、リニアレギュレータ３０は、基準電圧源２０から出力されるモード制御信号ＭＯＤＥが所定レベル（ローレベル）となると、すなわち、基準電圧Ｖｒｅｆが所定値となると、レギュレーションモードに移行することになる。

【００５１】

以上のように構成された電源装置１００の動作について説明する。図５（ａ）、（ｂ）

は、本実施の形態に係る電源装置１００の起動時および安定動作時のタイムチャートである。図５（ａ）は、電池電圧Ｖｂａｔ、リニアレギュレータ３０の出力電圧Ｖｒｅｇ、基準電圧源２０の出力である基準電圧Ｖｒｅｆを示す。また、図５（ｂ）は、モード制御信号ＭＯＤＥを示す。図５（ａ）、（ｂ）および後述の図６（ａ）～（ｃ）において、説明の明確化のために、縦軸および横軸は適宜拡大または縮小して示すものとする。また、各電圧波形についても、説明の簡略化のために、実際の電圧波形と異なって示される場合がある。

【００５２】

時刻ｔ０に、電源装置１００を搭載する電子機器３００がオンし、電池電圧Ｖｂａｔが時間とともに立ち上がる。起動直後においては、モード制御信号ＭＯＤＥはローレベルであり、リニアレギュレータ３０はレギュレーションモードとなっているが、演算増幅器３２がオフしており、また基準電圧Ｖｒｅｆが０Ｖであるため、その出力電圧Ｖｒｅｇは０Ｖとなっている。

【００５３】

時刻ｔ０～ｔ１の期間、基準電圧源２０の電流Ｉｃ１０’は流れず、抵抗Ｒ７に電圧降下が発生しないため、モード制御信号ＭＯＤＥと、電池電圧Ｖｂａｔもほぼ等しくなり、時間とともに上昇していく。時刻ｔ１に、モード制御信号ＭＯＤＥの電圧値が、リニアレギュレータ３０のスイッチＳＷ１をオンする電圧Ｖｔより大きくなると、すなわちハイレベルとなると、バイパスモードとなり、Ｖｂａｔ≒Ｖｒｅｇとなる。

【００５４】

時刻ｔ１以降、基準電圧源２０の端子２２には、リニアレギュレータ３０から、電池電圧Ｖｂａｔにほぼ等しい出力電圧Ｖｒｅｇが印加される。また、モード制御電圧ＭＯＤＥの電圧値は、電池電圧Ｖｂａｔにともない上昇していく。基準電圧源２０の端子２２に印加されるリニアレギュレータ３０の出力電圧Ｖｒｅｇ（＝Ｖｂａｔ）が所定レベルＶｔｈに達すると、基準電圧源２０はオン状態となり、基準電圧Ｖｒｅｆが所定値（＝１．２Ｖ）に安定化される。基準電圧源２０がオン状態となると、トランジスタＱ１０がオンし、モード制御信号ＭＯＤＥはローレベルとなる。

【００５５】

時刻ｔ２にモード制御信号ＭＯＤＥがローレベルとなると、スイッチＳＷ１がオフするため、リニアレギュレータ３０は、レギュレーションモードに移行する。時刻ｔ２以降、リニアレギュレータ３０の出力電圧Ｖｒｅｇは、Ｖｒｅｆ×（１＋Ｒ２／Ｒ１）で与えられる電圧値に安定化される。

【００５６】

図６（ａ）～（ｃ）は、本実施の形態に係る電源装置１００の起動時および安定動作時のタイムチャートであり、電池電圧Ｖｂａｔが一定を仮定した場合のタイムチャートである。

【００５７】

時刻ｔ０に、イネーブル信号ＥＮがハイレベルとなり、スイッチＳＷ２がオンする。起動直後において、モード制御信号ＭＯＤＥはハイレベルとなり、基準電圧源２０はバイパスモードとして動作する。リニアレギュレータ３０がバイパスモードとして動作するとき、トランジスタＴｒ２はフルオンし、電池からトランジスタＴｒ２を介してバイパスキャパシタＣ２に電流が流れ込み、ある時定数をもってリニアレギュレータ３０の出力電圧Ｖｒｅｇが上昇する。

【００５８】

リニアレギュレータ３０の出力電圧Ｖｒｅｇの上昇にともない、基準電圧源２０が動作を開始する。その結果、時刻ｔ１に基準電圧Ｖｒｅｆが所定の電圧値Ｖｐｄに達し、モード制御信号ＭＯＤＥがハイレベルからローレベルへと遷移する。時刻ｔ１以降、リニアレギュレータ３０はレギュレーションモードに移行し、基準電圧Ｖｒｅｆに基づいた電圧生成を行う。

【００５９】

本実施の形態に係る電源装置１００によれば、基準電圧Ｖｒｅｆを生成する基準電圧源２０の電源を、その基準電圧Ｖｒｅｆにもとづき電圧安定化するリニアレギュレータ３０の出力電圧Ｖｒｅｇとしている。その結果、スイッチングレギュレータにおいて発生するスイッチングノイズが、電池電圧Ｖｂａｔに重畳された場合においても、ノイズ成分の小さな安定した基準電圧Ｖｒｅｆを生成することができ、さらにリニアレギュレータ３０の出力電圧Ｖｒｅｇをも安定化することができる。

【００６０】

また、本実施の形態に係る電源装置１００においては、リニアレギュレータ３０を、レギュレーションモードと、バイパスモードと、を切り替え可能に構成する。さらに、リニアレギュレータ３０は、基準電圧源２０により生成される基準電圧Ｖｒｅｆが所定の電圧値Ｖｐｄに達するまでの期間、バイパスモードで動作し、基準電圧Ｖｒｅｆが所定の電圧値Ｖｐｄを上回ると、レギュレーションモードで動作する。これによって、起動時において、基準電圧Ｖｒｅｆが所定の電圧値Ｖｐｄより低いときには、リニアレギュレータ３０が電池電圧Ｖｂａｔをそのまま出力するため、基準電圧源２０には、電池電圧Ｖｂａｔが供給される。基準電圧Ｖｒｅｆが所定の電圧値Ｖｐｄを超えると、基準電圧源２０には、電源電圧としてリニアレギュレータ３０により安定化された電圧Ｖｒｅｇが供給される。その結果、基準電圧源２０を含む電源装置１００を好適に起動することができる。

【００６１】

また、リニアレギュレータ３０に、スイッチＳＷ１を設け、バイパスモード時において、スイッチ回路を用いてトランジスタＴｒ２をフルオンさせることにより、リニアレギュレータ３０から、入力電圧である電池電圧Ｖｂａｔをそのまま出力することができる。

【００６２】

また、本実施の形態において、基準電圧源２０は、自らが生成する基準電圧Ｖｒｅｆが所定の電圧値Ｖｐｄに達すると、所定レベル（ローレベル）となるモード制御信号ＭＯＤＥを出力する。リニアレギュレータ３０は、基準電圧源２０から出力されるモード制御信号ＭＯＤＥにもとづき、レギュレーションモード、バイパスモードを切り換える。その結果、リニアレギュレータ３０は、基準電圧Ｖｒｅｆが所定値（１．２Ｖ）に達する前には、バイパスモードとして電池電圧Ｖｂａｔをそのまま出力し、所定の電圧値Ｖｐｄに達した後は、レギュレーションモードに移行して、安定した基準電圧Ｖｒｅｆにもとづいて、電池電圧Ｖｂａｔを安定化することができる。

【００６３】

上記実施の形態は例示であり、それらの各構成要素や各処理プロセスの組合せにいろいろな変形例が可能なこと、またそうした変形例も本発明の範囲にあることは当業者に理解されるところである。

【００６４】

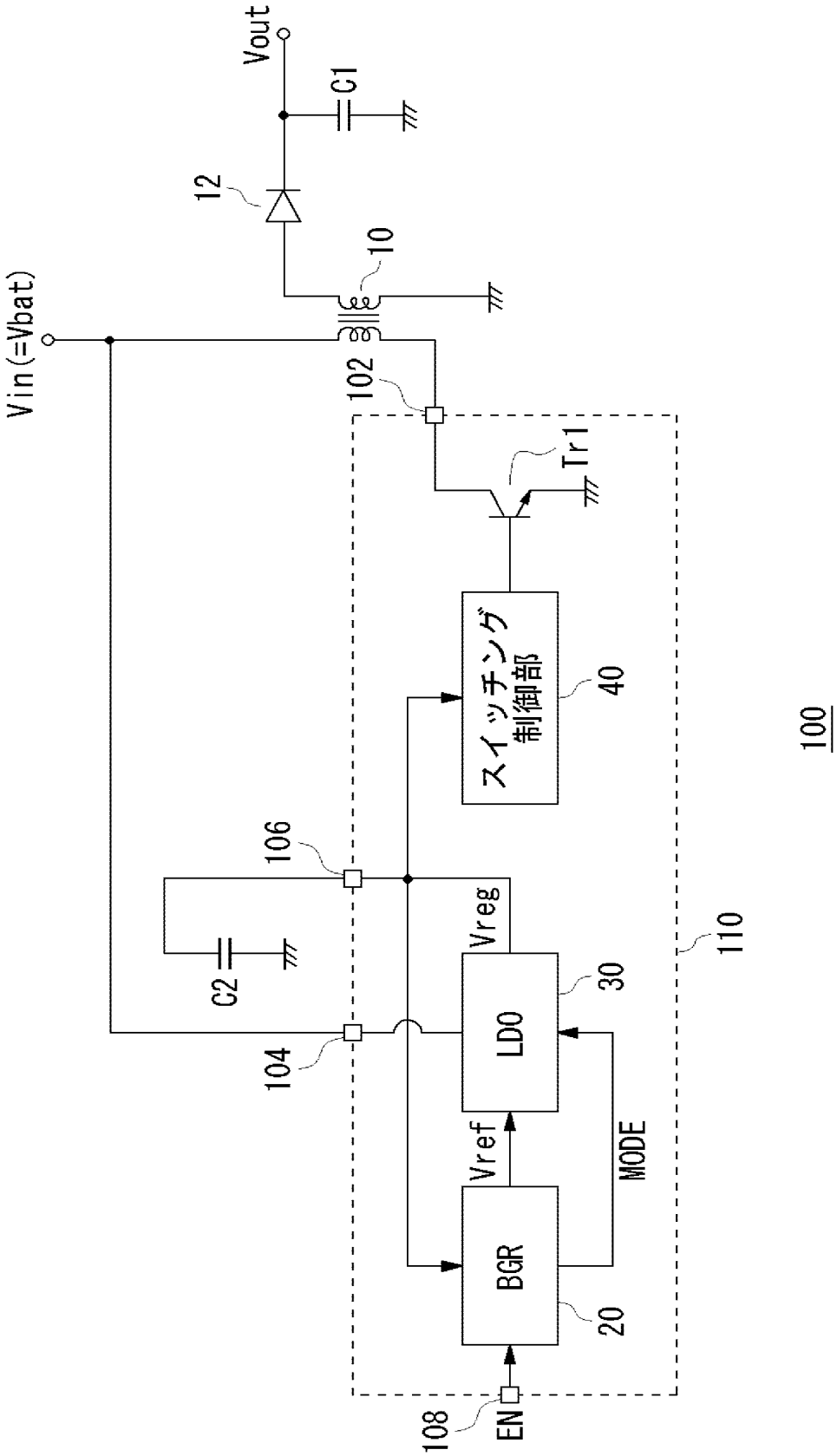
実施の形態では、基準電圧源２０およびリニアレギュレータ３０を、トランスを用いた昇圧型のスイッチングレギュレータを備える電源装置に適用する場合について説明したがこれには限定されない。たとえば、スイッチングレギュレータはインダクタを用いる非絶縁型であってもよいし、あるいは降圧型、昇降圧型であってもよい。さらに、スイッチングレギュレータに替えて、チャージポンプ回路などのスイッチング電源であってもよい。

【００６５】

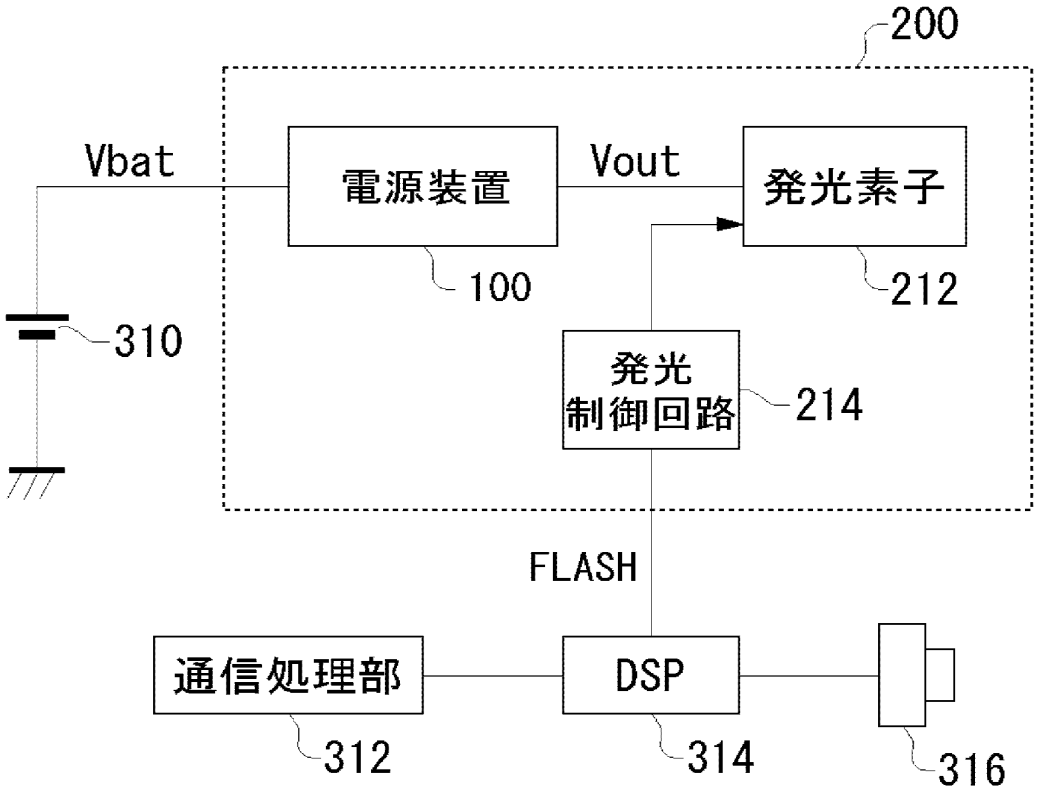
実施の形態において、図３で説明したリニアレギュレータ３０の構成は一例にすぎず、さまざまな形式のリニアレギュレータを用いることができる。図３では、スイッチＳＷ１をトランジスタＴｒ２のゲートと接地間に設け、トランジスタＴｒ２をフルオンさせることにより、バイパスモードを実現したが、これに限定されることはなく、トランジスタＴｒ２をフルオンさせるスイッチ回路であれば、他の回路形式であってもよい。さらに、図３では、バイパスモードにおいて、トランジスタＴｒ２自体をフルオンさせて入力電圧である電池電圧Ｖｂａｔをそのまま出力する構成としたが、これには限定されず、バイパスモードにおいてフルオンするバイパス用のトランジスタを、トランジスタＴｒ２と並列に設けてもよい。

【００６６】
また、図４で説明した基準電圧源２０の構成は一例にすぎず、さまざまな形式のバンドギャップレギュレータ回路等の定電圧源を用いることができる。
【００６７】
実施の形態では、リニアレギュレータ３０のレギュレーションモード、バイパスモードを切り換えるモード制御信号ＭＯＤＥを、基準電圧源２０において生成する場合について説明したが、これには限定されない。モード制御信号ＭＯＤＥは、他の回路ブロックにおいて別途生成してもよい。
【００６８】
実施の形態では、制御回路１１０を１つの半導体基板上に一体集積化する場合について説明したが、これには限定されず、その一部をチップ部品やディスクリート素子を用いて構成してもよいし、あるいは複数の半導体基板上に集積化してもよい。これらの回路構成は、回路に要求される仕様に応じて適宜設計すればよい。
【００６９】
実施の形態で用いたトランジスタは、バイポーラトランジスタ、ＭＯＳＦＥＴの置換が可能であることはいうまでもなく、さらにＮＰＮ型とＰＮＰ型、あるいはＮチャンネルとＰチャンネルの置換も可能である。
【００７０】
本発明は、実施の形態で説明した電源装置の他にも、基準電圧源２０およびリニアレギュレータ３０を備えるさまざまな半導体装置に用いることができる。この場合、本発明は、以下の態様として把握することができる。すなわち、この態様において、半導体装置は、所定の基準電圧を生成する基準電圧源と、基準電圧源により生成される基準電圧にもとづき、入力電圧Ｖｉｎを安定化するリニアレギュレータと、を備える。さらに、リニアレギュレータの出力電圧は、基準電圧源の電源電圧として供給される。
【００７１】
この態様においても、上述の実施の形態で説明したものと同様に、ノイズ成分を低減した基準電圧を生成することができる。たとえば、この態様の半導体装置は、ノイズが発生する回路に好適に使用することができ、たとえば、モータドライバ回路などを挙げることができる。
【図面の簡単な説明】
【００７２】
【図１】実施の形態に係る電源装置の構成を示すブロック図である。
【図２】図１の電源装置を搭載した電子機器の構成を示すブロック図である。
【図３】図１のリニアレギュレータの構成を示す回路図である。
【図４】図１の基準電圧源の構成を示す回路図である。
【図５】図５（ａ）、（ｂ）は、図１の電源装置の起動時および安定動作時のタイムチャートである。
【図６】図６（ａ）～（ｃ）は、図１の電源装置の起動時および安定動作時のタイムチャートである。
【符号の説明】
【００７３】
２０　基準電圧源、　３０　リニアレギュレータ、　３２　演算増幅器、　４０　スイッチング制御部、　Ｔｒ１　スイッチングトランジスタ、　Ｔｒ２　トランジスタ、　ＳＷ１　スイッチ、　１００　電源装置、　１１０　制御回路、　３００　電子機器、　３１０　電池、　３１６　撮像部、　Ｖｒｅｆ　基準電圧、　Ｖｒｅｇ　出力電圧。

【書類名】図面
【図１】

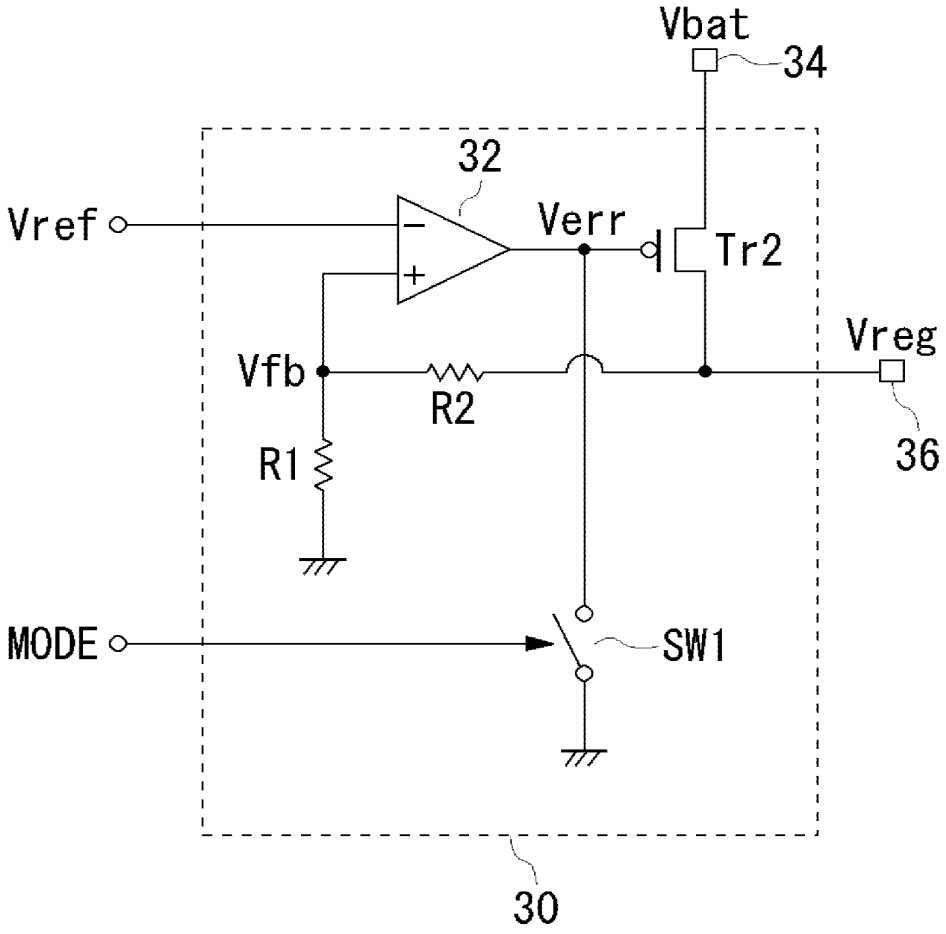

Vout
C1
12
10
Vin(=Vbat)
102
Tr1
スイッチング
制御部
40
106
C2
Vreg
LDO
30
104
Vref
MODE
BGR
20
108
EN
110
100

【図２】

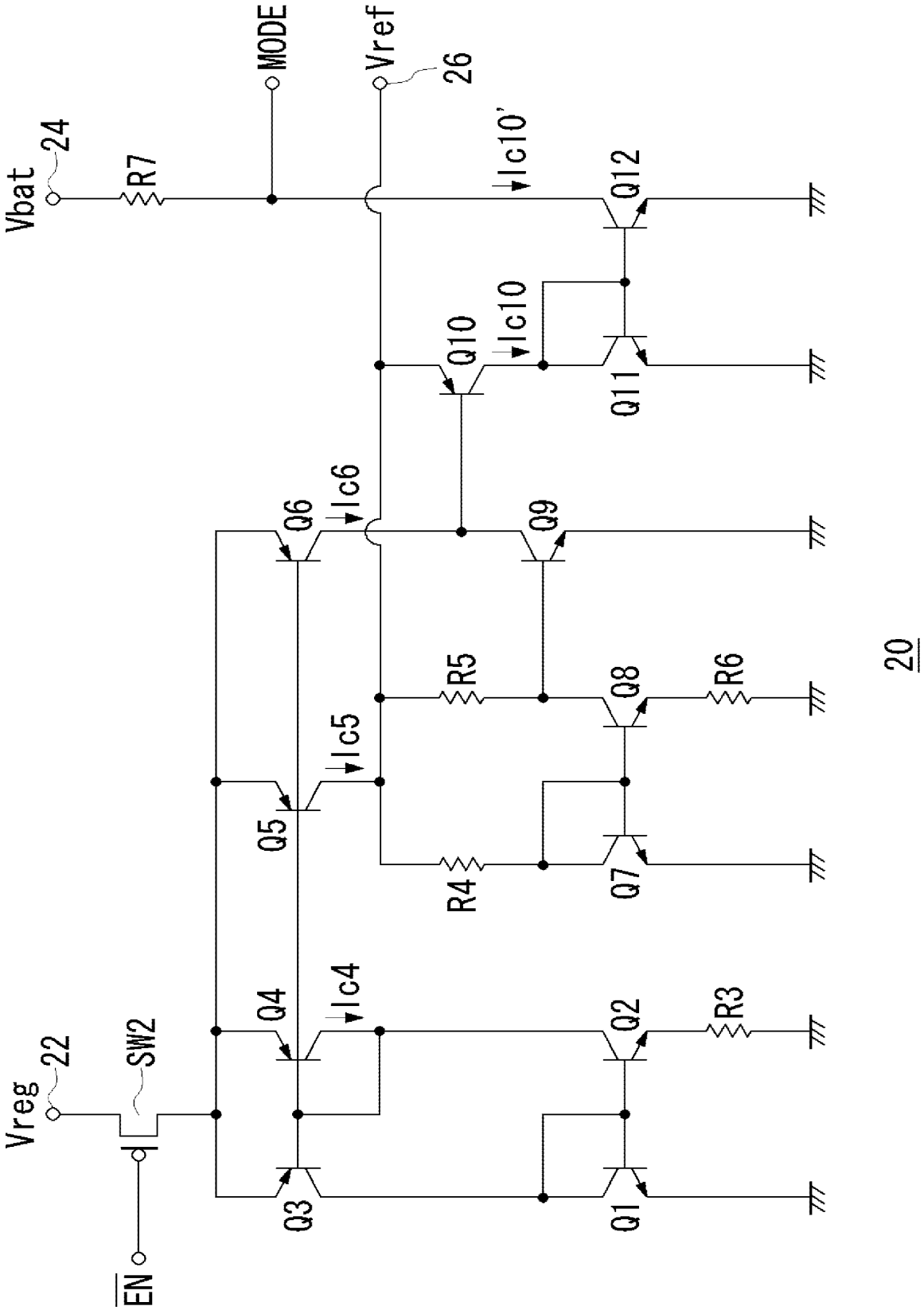

200
Vbat
電源装置
Vout
発光素子
100
212
310
発光
制御回路
214
FLASH
通信処理部
DSP
312
314
316

300

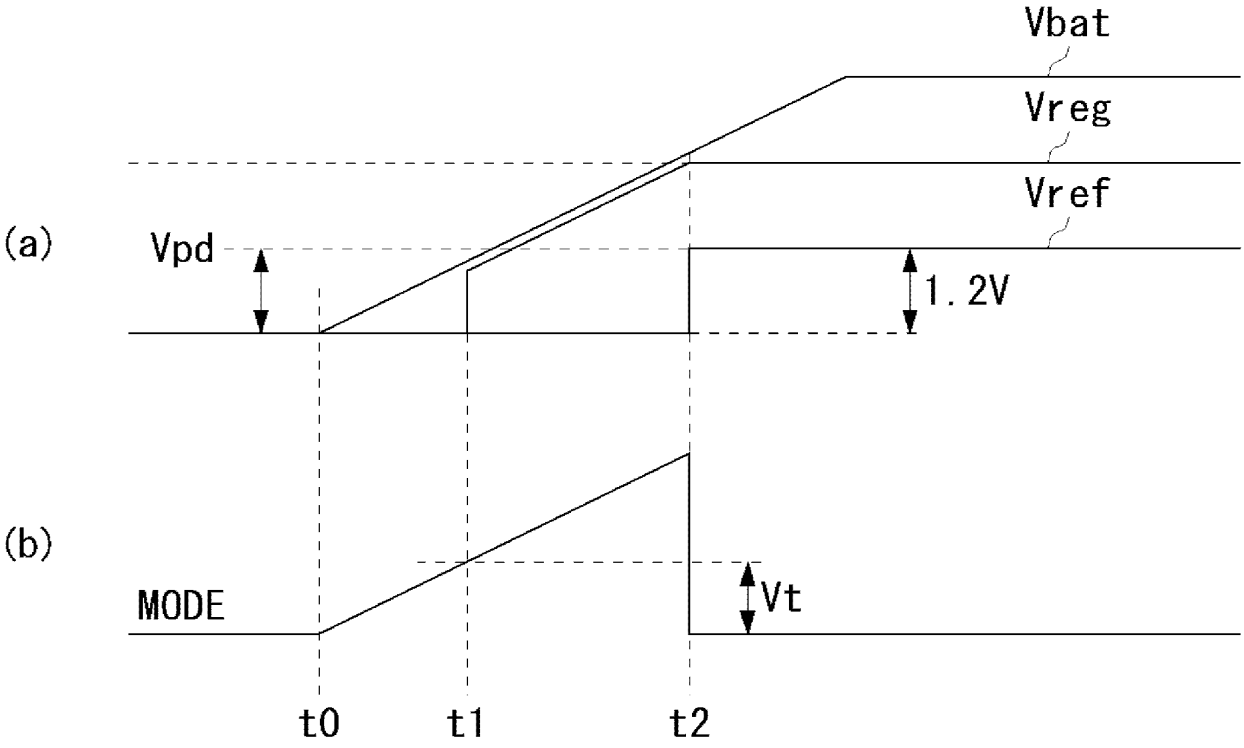
【図３】



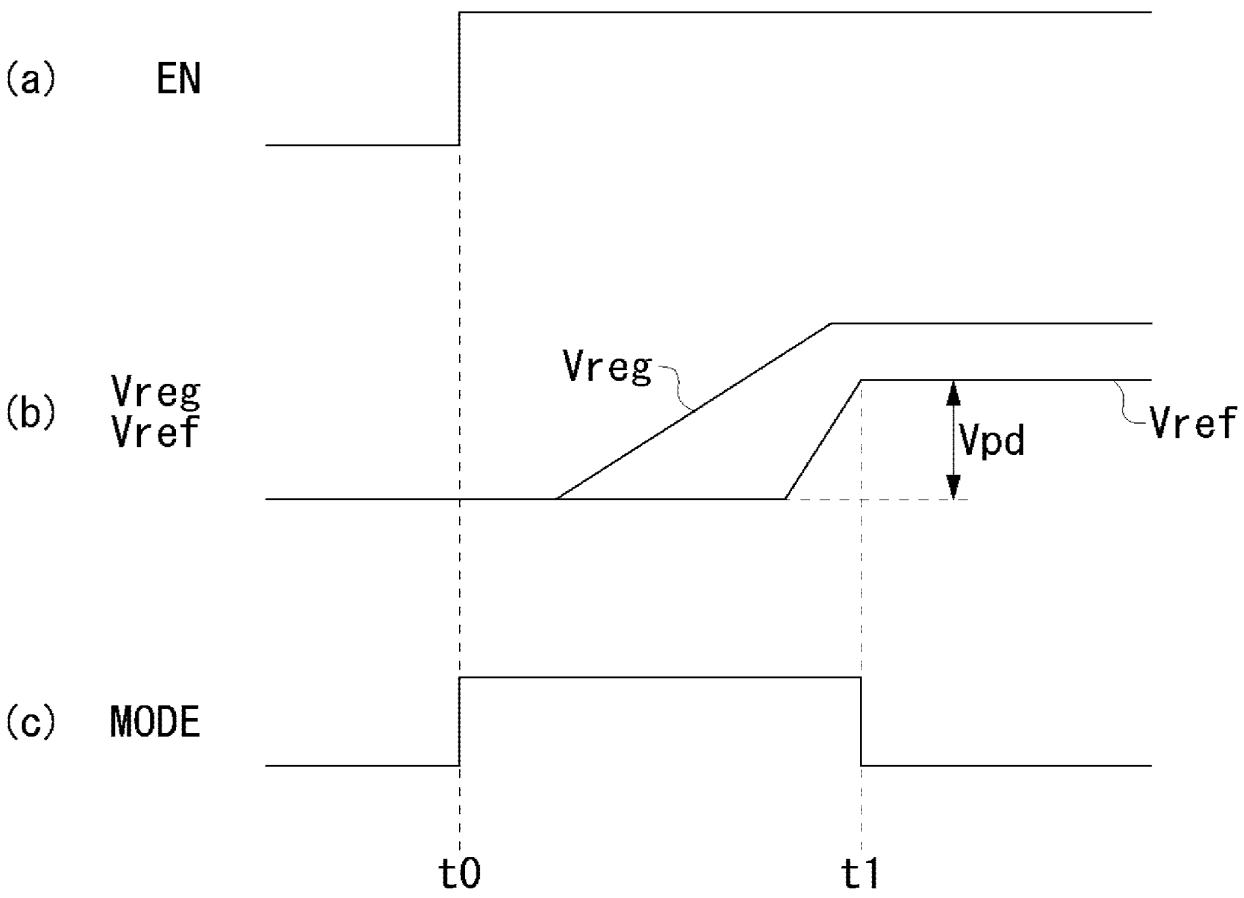
【図４】


MODE
Vref
26
Vbat
24
R7
Ic10'
Q12
Q10
Ic10
Q11
Q6
Ic6
Q9
R5
Q8
R6
Q5
Ic5
R4
Q7
Q4
Ic4
Q2
R3
Vreg
22
SW2
Q3
Q1
EN
20

【図５】


Vbat
Vreg
Vref
(a)
Vpd
1.2V
(b)
MODE
Vt
t0
t1
t2

【図６】


(a)
EN
(b)
Vreg
Vref
Vreg
Vpd
Vref
(c)
MODE
t0
t1

【書類名】要約書
【要約】
【課題】ノイズの影響を受けずに安定した電圧を生成する。
【解決手段】基準電圧Ｖｒｅｆを生成する基準電圧源２０と、基準電圧源２０により生成される基準電圧Ｖｒｅｆにもとづき、入力電圧Ｖｂａｔを安定化するリニアレギュレータ３０を設ける。リニアレギュレータ３０の出力電圧Ｖｒｅｇを、スイッチング制御部４０および基準電圧源２０の電源電圧として供給する。リニアレギュレータ３０は、基準電圧Ｖｒｅｆに応じた電圧を出力するレギュレーションモードと、基準電圧Ｖｒｅｆとは無関係に、入力電圧Ｖｂａｔをそのまま出力するバイパスモードと、が切り替え可能に構成される。電源装置１００の起動時において、リニアレギュレータ３０は、入力電圧Ｖｂａｔが所定のしきい値電圧Ｖｔｈに達するまでの期間、バイパスモードで動作し、入力電圧がしきい値電圧を上回ると、レギュレーションモードで動作する。
【選択図】図１

出願人履歴

０００１１６０２４
19900822
新規登録

京都府京都市右京区西院溝崎町２１番地
ローム株式会社

PTO/SB/06 (07-06)
Approved for use through 1/31/2007. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number	Filing Date	☐ To be Mailed
12/096,765	06/09/2008	

APPLICATION AS FILED – PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA	SMALL ENTITY ☐ RATE ($)	SMALL ENTITY ☐ FEE ($)	OR	OTHER THAN SMALL ENTITY RATE ($)	OTHER THAN SMALL ENTITY FEE ($)
☐ BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	
☐ SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	
☐ EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	
TOTAL CLAIMS (37 CFR 1.16(i))	minus 20 =	*	X $ =		OR	X $ =	
INDEPENDENT CLAIMS (37 CFR 1.16(h))	minus 3 =	*	X $ =			X $ =	
☐ APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $250 ($125 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						
☐ MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	

APPLICATION AS AMENDED – PART II

AMENDMENT 06/09/2008	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE ($)	SMALL ENTITY ADDITIONAL FEE ($)	OR	OTHER THAN SMALL ENTITY RATE ($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE ($)
Total (37 CFR 1.16(i))	* 12	Minus	** 20	= 0	X $ =		OR	X $50=	0
Independent (37 CFR 1.16(h))	* 3	Minus	***3	= 0	X $ =		OR	X $210=	0
☐ Application Size Fee (37 CFR 1.16(s))									
☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	0

AMENDMENT	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE ($)	ADDITIONAL FEE ($)		RATE ($)	ADDITIONAL FEE ($)
Total (37 CFR 1.16(i))	*	Minus	**	=	X $ =		OR	X $ =	
Independent (37 CFR 1.16(h))	*	Minus	***	=	X $ =		OR	X $ =	
☐ Application Size Fee (37 CFR 1.16(s))									
☐ FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
					TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

Legal Instrument Examiner:
/SHARAIN MORELAND/

This collection of information is required by 37 CFR 1.16. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (**Not for submission under 37 CFR 1.99)**		
	Application Number	12096765
	Filing Date	2008-06-09
	First Named Inventor	Tomoyuki ITO
	Art Unit	
	Examiner Name	
	Attorney Docket Number	PRM-0155

U.S.PATENTS Remove

Examiner Initial*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Patent citation information please click the Add button. Add

U.S.PATENT APPLICATION PUBLICATIONS Remove

Examiner Initial*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Published Application citation information please click the Add button. Add

FOREIGN PATENT DOCUMENTS Remove

Examiner Initial*	Cite No	Foreign Document Number[3]	Country Code[2] ¡	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	T[5]
	1	5-35344	JP		1993-02-12	SANYO ELECTRIC CO LTD	(SEE ENGLISH ABSTRACT)	☐
	2	2002-315335	JP		2002-10-25	CANON INC	(SEE ENGLISH ABSTRACT)	☐
	3	2004-32899	JP		2004-01-29	MURATA MFG CO LTD	(SEE ENGLISH ABSTRACT)	☐

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	12096765
	Filing Date	2008-06-09
	First Named Inventor	Tomoyuki ITO
	Art Unit	
	Examiner Name	
	Attorney Docket Number	PRM-0155

	4	2004-201474	JP		2004-07-15	SMK CORP	(SEE ENGLISH ABSTRACT)	☐
	5	2005-73483	JP		2005-03-17	OHIRA DENSHI KK	(SEE ENGLISH ABSTRACT)	☐

If you wish to add additional Foreign Patent Document citation information please click the Add button Add

NON-PATENT LITERATURE DOCUMENTS Remove

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T[5]
	1	International Preliminary Report on Patentability for International Patent Application No. PCT/JP2006/324029 issued June 11, 2008 with English Translation	☒
	2	International Search Report for International Application No. PCT/JP2006/324029 mailed March 6, 2007 with English Translation	☒

If you wish to add additional non-patent literature document citation information please click the Add button Add

EXAMINER SIGNATURE

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. [2] Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). [3] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [4] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [5] Applicant is to place a check mark here if English language translation is attached.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	12096765
	Filing Date	2008-06-09
	First Named Inventor	Tomoyuki ITO
	Art Unit	
	Examiner Name	
	Attorney Docket Number	PRM-0155

CERTIFICATION STATEMENT

Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):

☐ That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).

OR

☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).

☐ See attached certification statement.

☐ Fee set forth in 37 CFR 1.17 (p) has been submitted herewith.

☒ None

SIGNATURE

A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.

Signature	/Daniel P. Lent/	Date (YYYY-MM-DD)	2008-09-09
Name/Print	Daniel P. Lent	Registration Number	44,867

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 1 hour to complete, including gathering, preparing and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these record s.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-035344
(43)Date of publication of application : 12.02.1993

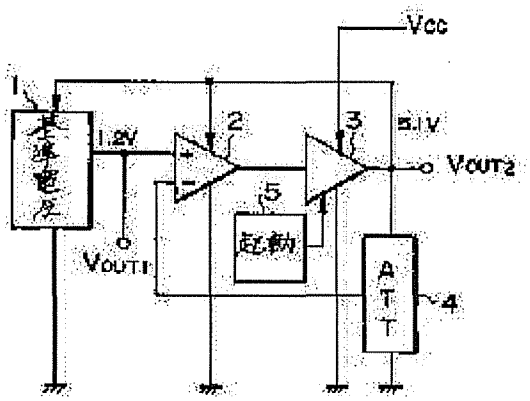
(51)Int.Cl. G05F 1/56

(21)Application number : 03-189936
(22)Date of filing : 30.07.1991

(71)Applicant : SANYO ELECTRIC CO LTD
(72)Inventor : KURIHARA SHINJI

(54) STABILIZED ELECTRIC POWER SUPPLY CIRCUIT

(57)Abstract:
PURPOSE: To obtain a satisfactory ripple removal ratio with simple circuit configuration.
CONSTITUTION: A stablized output voltage Vout 2 is defined as the power supply voltage of a reference voltage generating circuit 1. A starting circuit 5 is provided for staring and by starting an output buffer 3 by the starting circuit 5, the initial power supply voltage is impressed to the reference voltage generating circuit 1. Since the stablized output voltage Vout 2 with a little ripple rather than an external power supply voltage Vcc is impressed to the reference voltage generating circuit 1 as the power supply voltage the ripple removal ratio is improved.



(19)日本国特許庁（ＪＰ）　(12) **公開特許公報（Ａ）**　(11)特許出願公開番号

特開平5－35344

(43)公開日　平成５年(1993)２月12日

(51)Int.Cl.[5]	識別記号	庁内整理番号	ＦＩ	技術表示箇所
Ｇ０５Ｆ　1/56	３１０　Ｅ	4237－5Ｈ		

審査請求　未請求　請求項の数１(全　７　頁)

(21)出願番号　特願平3－189936

(22)出願日　平成３年(1991)７月30日

(71)出願人　000001889
三洋電機株式会社
大阪府守口市京阪本通２丁目18番地

(72)発明者　栗原　信二
大阪府守口市京阪本通２丁目18番地　三洋電機株式会社内

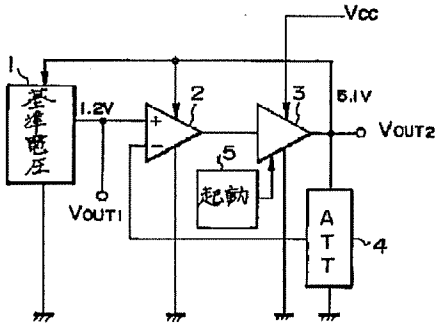
(74)代理人　弁理士　吉田　研二　(外２名)

(54)【発明の名称】　安定化電源回路

(57)【要約】

【目的】　簡素な回路構成で良好なリップル除去率を得る。

【構成】　安定化出力電圧Ｖｏｕｔ２を基準電圧発生回路１の電源電圧とする。起動のため、起動回路５を設け、起動回路５によって出力バッファ３を起動することにより基準電圧発生回路１に初期の電源電圧を与える。外部電源電圧Ｖｃｃよりリップルの少ない安定化出力電圧Ｖｏｕｔ２が基準電圧発生回路１に電源電圧として与えられるため、リップル除去率が向上する。



実施例の構成

1

【特許請求の範囲】

【請求項１】　所定値の基準電圧を発生する基準電圧発生回路と、

出力端子に得られる出力電圧を減衰するアッテネータと、

前記基準電圧と前記アッテネータの出力電圧とを比較し、その差に応じた出力電圧を発生する誤差検出アンプと、

該誤差検出アンプの出力端と前記出力端子との間に接続される出力バッファと、該出力バッファを起動する起動回路と、

前記出力端子に得られる出力電圧を前記基準電圧発生回路の電源電圧として供給する手段とから成る安定化電源回路。

【発明の詳細な説明】

【０００１】

【産業上の利用分野】本発明は、安定化電源回路に関し、特にリップル除去率（ripple rejection;ＲＲ）の改善に関する。

【０００２】

【従来の技術】従来から、ＣＤプレーヤ、ＬＤプレーヤ等の機器には安定化電源回路が用いられている。安定化電源回路は、機器の安定かつ信頼できる動作を実現する目的で用いられ、安定した直流電圧を出力する電源回路である。

【０００３】図４には、一従来例に係る安定化電源回路の構成が示されている。この図に示される回路は、基準電圧発生回路１、誤差検出アンプ（エラーアンプ）２、出力バッファ３及びアッテネータ４から構成されている。基準電圧発生回路１、エラーアンプ２及び出力バッファ３には、いずれも外部電圧Ｖｃｃ（例えば５Ｖ）が電源電圧として印加されている。

【０００４】基準電圧発生回路１は、例えば図５に示されるような回路構成を有している。この回路１は、基準電圧Ｖｏｕｔ１（例えば１．２Ｖ）を出力する。基準電圧Ｖｏｕｔ１は、減衰された出力電圧とともにエラーアンプ２に印加される。エラーアンプ２は、両者を比較し、その差に応じた出力電圧を発生させる。エラーアンプ２の出力は、出力バッファ３を介して安定化出力電圧Ｖｏｕｔ２（例えば５．１Ｖ）として外部、例えばＣＤプレーヤのアナログ回路に供給される。出力バッファ３には、アッテネータ４が接続されており、安定化出力電圧Ｖｏｕｔ２を所定量だけ減衰させてエラーアンプ２にフィードバックする。このようなフィードバック動作により、安定化出力電圧Ｖｏｕｔ２の変動（誤差）が検出され、それを補償するように回路が動作することになる。

【０００５】

【発明が解決しようとする課題】ところで、安定化電源回路には、良好なリップル除去率が求められる。ＣＤプレーヤのアナログ回路では、特に外乱を問題とし、電圧源である安定化電源回路にも９０ｄＢ以上のリップル除去率を求める。しかし、従来は、そのような良好なリップル除去率を簡素な回路構成で実現することができなかった。

2

【０００６】先に述べたように、安定化電源回路は、一例として図５に示されるような構成の基準電圧発生回路１を有している。この回路１では、トランジスタのアーリー効果や、出力部に用いる抵抗による電界変調、帰還ループ等によってリップル除去率が制限される。リップル除去率は、図６に示されるような周波数特性を有し、低周波で７０ｄＢが限度である。図４の安定化電源回路においては、リップル除去率は基準電圧Ｖｏｕｔ１におけるリップル除去率（すなわち基準電圧発生回路１でのリップル除去率）にアッテネータ４の減衰率を乗じた値となる。アッテネータ４の減衰率が例えば－１０ｄＢであるとすれば、安定化出力電圧Ｖｏｕｔ２におけるリップル除去率は７０ｄＢ－１０ｄＢ＝６０ｄＢとなり、ＣＤプレーヤで要求される９０ｄＢという値は実現できない。

【０００７】したがって、必要なリップル除去率を実現するためには、図５に比べ著しく回路構成が複雑な基準電圧発生回路を用いるか、あるいは、図７に示されるように２個の基準電圧発生回路１ａ、１ｂを用い、例えば電源７Ｖの基準電圧発生回路１ａの例えば５Ｖの出力をもう１個の基準電圧発生回路１ｂに電源電圧とするといった手法を用いざるを得なかった。このように、従来、複雑あるいは大規模な回路が必要であった。

【０００８】本発明は、このような問題点を解決することを課題としてなされたものであり、簡素な回路構成でより良好なリップル除去率を実現することを目的とする。

【０００９】

【課題を解決するための手段】このような目的を達成するために、本発明は、所定値の基準電圧を発生する基準電圧発生回路と、出力端子に得られる出力電圧を減衰するアッテネータと、前記基準電圧と前記アッテネータの出力電圧とを比較し、その差に応じた出力電圧を発生する誤差検出アンプと、該誤差検出アンプの出力端と前記出力端子との間に接続される出力バッファと、該出力バッファを起動する起動回路と、前記出力端子に得られる出力電圧を前記基準電圧発生回路の電源電圧として供給する手段とから成ることを特徴とする。

【００１０】

【作用】本発明においては、起動回路によって出力バッファが起動される。この起動によって出力バッファから出力され、出力端子に現れる出力電圧は、基準電圧発生回路に電源電圧として供給される。基準電圧発生回路は、所定の基準電圧を発生させ誤差検出アンプに供給し、誤差検出アンプは、この基準電圧とアッテネータの

出力電圧とを比較して、その差に応じた出力電圧を発生させる。誤差検出アンプの出力は、出力バッファに供給される。このように、本発明においては、基準電圧発生回路に与えられる電源電圧がリップルの少ない電圧であるため、良好なリップル除去率が得られ、またこの作用が比較的小規模な起動回路を設けることにより、回路を複雑化・大型化させることなく得られる。

【００１１】

【実施例】以下、本発明の好適な実施例について図面に基づき説明する。なお、図４乃至図７に示される従来例と同様の構成には同一の符号を付し説明を省略する。

【００１２】図１には、本発明の一実施例に係る安定化電源回路の構成が示されている。この図に示されるように、本実施例は、起動回路５を新たに設けると共に、基準電圧発生回路１とエラーアンプ２の電圧源とするよう、出力バッファ３の出力端を基準電圧発生回路１及びエラーアンプ２に接続している。

【００１３】この回路では、起動回路５によって出力バッファ３が動作し、その出力が基準電圧発生回路１及びエラーアンプ２に電源電圧として与えられる。一旦基準電圧発生回路１の出力（基準電圧Ｖｏｕｔ１）が得られると、後段の回路が動作を継続可能になる。ただし、安定化出力電圧Ｖｏｕｔ２は基準電圧発生回路１及びエラーアンプ２の電源電圧として十分な電圧でなくてはならない。また、リップルの少ない安定化出力電圧Ｖｏｕｔ２を用いて基準電圧発生回路１及びエラーアンプ２を駆動しているため、リップル除去率は著しく向上する。

【００１４】リップル除去率向上の原理は次のようなものである。まず、この回路では、リップルがのっている外部電源電圧Ｖｃｃは出力バッファ３に供給されており基準電圧発生回路１及びエラーアンプ２には供給されていない。従って、従来例と異なり出力バッファ３単独でのリップル除去率が安定化出力電圧Ｖｏｕｔ２におけるリップル除去率に影響を与える。以下、出力バッファ３単独でのリップル除去率をＤと表すこととする。

【００１５】ここに、安定化出力電圧Ｖｏｕｔ２はアッテネータ４を介してエラーアンプ２にフィードバックされているから、エラーアンプ２へのフィードバック入力におけるリップル除去率はリップル除去率Ｄにアッテネータ４の減衰率Ｃを乗じた値となる。エラーアンプ２のオープンループゲインをＢとすれば、エラーアンプ２の出力におけるリップル除去率はさらにＢを乗じた値となる。出力バッファ３はバッファアンプでありゲイン＝１であるから、出力バッファ３の出力、すなわち安定化出力電圧Ｖｏｕｔ２におけるリップル除去率Ｘは、ＢＣＤで表される。ＢＣはフィードバックループの一巡伝達関数であり、言い換えれば、リップル除去率Ｘは当該一巡伝達関数とリップル除去率Ｄとの積である。

【００１６】基準電圧Ｖｏｕｔ１におけるリップル除去率は、リップル除去率Ｘ及び基準電圧発生回路１単独でのリップル除去率Ａから定まる。すなわち、リップル除去率Ｘの安定化出力電圧Ｖｏｕｔ２を電源電圧として基準電圧発生回路１が動作するのであるから、その出力におけるリップル除去率はＸＡ＝ＡＢＣＤである。

【００１７】先に述べた従来例との比較のため、Ａ＝７０ｄＢ、Ｃ＝－１０ｄＢとすると、Ｂ＝１１０ｄＢ、Ｄ＝２０ｄＢであれば、

Ｘ＝ＢＣＤ＝１００－１０＋２０

＝１１０［ｄＢ］

ＸＡ＝７０＋１１０

＝１８０［ｄＢ］

となる。これは、従来例における７０ｄＢ、６０ｄＢという値より著しく良好である。

【００１８】このように、本実施例では、従来に比べ著しく改善されたリップル除去率を実現できる。これにより、例えば、ＣＤプレーヤのアナログ回路での９０ｄＢのような厳しい要求にも応えることができる。さらには、これを、例えば図７のように２個の基準電圧発生回路を用いた場合に比べ簡素な回路構成で実現できる。

【００１９】次に、回路構成の簡素化に関して説明する。実際に図１の回路が従来の回路より簡素であるためには、起動回路５の構成が例えば基準電圧発生回路１よりも十分に簡素な構成である必要がある。図２及び図３には、それぞれ、その様な簡素な構成を有する起動回路５の一例が示されている。

【００２０】まず、図２に示される例はダイオード起動の例である。この図では、起動回路５は抵抗６、ダイオード列７及びダイオード８から構成されている。抵抗６とダイオード列７は外部電源と接地又はアースとの間に直列接続されており、ダイオード８はこの直列接続の接続点と出力バッファ３の出力端との間に接続されている。ダイオード列７は、外部電源電圧Ｖｃｃ印加時にダイオード８のアノード電位を所定電位とするように設けられている。

【００２１】この図の起動回路５を用いて出力バッファ３を起動する動作は、次のようになる。まず、外部電源電圧Ｖｃｃが起動回路５に印加されると、ダイオード８のアノード電位は所定の設定値となる。すると、出力バッファ３の出力端はアッテネータ４を介して接地されているから、ダイオード８は順バイアスとなり、外部電源からダイオード８を介してアッテネータ４に電流が流れる。この結果、出力バッファ３の出力端はある電位まで上昇する。

【００２２】出力バッファ３の出力電圧は図１に示されるように基準電圧発生回路１及びエラーアンプ２に電源電圧として供給されるから、上に述べたようにして得られる出力バッファ３の出力端の電位が電源電圧として十分であれば、基準電圧発生回路１及びエラーアンプ２が動作を開始可能となる。一旦動作が開始されると、出力バッファ３の出力端の電位は、所定の安定化出力電圧Ｖ

5

ｏｕｔ２まで上がる。この状態でダイオード８が逆バイアスとなるよう設定しておけば、所定の安定化出力電圧Ｖｏｕｔ２の出力開始と共に、起動回路５が出力バッファ３から電気的に切断されることになる。なお、ダイオード８のカソードを出力バッファ３の入力端に接続するようにしても良い。

【００２３】また、図３に示される起動回路５は、定電流源９、カレントミラー回路１０、抵抗１１及びトランジスタ１２から構成されている。この図の回路では、外部電源電圧Ｖｃｃの印加開始により定電流源９からカレントミラー回路１０に電流が供給され、抵抗１１に電流が流れてトランジスタ１２がオンする。すると、出力バッファ３に入力が与えられることとなり、この結果、出力バッファ３が起動する。

【００２４】これにより、エラーアンプ２から出力が得られる状態となると、トランジスタ１２のコレクタ電位が所定の安定化出力電圧Ｖｏｕｔ２まで上がる。この状態でトランジスタ１２がオフするよう、エラーアンプ２から所定の電流をトランジスタ１３のエミッタ抵抗に供給し、前記トランジスタ１３をオフにすれば、やはり、所定の安定化出力電圧Ｖｏｕｔ２の出力開始と共に、起動回路５が出力バッファ３から電気的に切断されることになる。

【００２５】これら、図２及び図３に示した起動回路５は、共に基準電圧発生回路１の一般的構成よりも簡素小型である。したがって、前述のリップル除去率向上の効果を回路の複雑化、大型化を伴うことなく実現できる。なお、図２及び図３の構成は一例に過ぎず、少なくとも、出力バッファ３を起動して基準電圧発生回路１に初期の電源電圧を供給させることが可能であれば良い。

【００２６】また、以上説明した実施例では、安定化出力電圧Ｖｏｕｔ２により基準電圧発生回路１及びエラー＊

6

＊アンプ２を駆動するようにしていたが、少なくとも基準電圧発生回路１を駆動していれば足り、この場合でもリップル除去率向上の効果を得ることができる。基準電圧発生回路１の構成について、本発明は何等限定を必要とするものではない。

【００２７】

【発明の効果】このように、本発明によれば、比較的簡素な構成の起動回路の付加及び安定化出力電圧による基準電圧発生回路の電源電圧供給により、回路構成を複雑肥大化させること無く良好なリップル除去率を得られる。

【図面の簡単な説明】

【図１】本発明の一実施例に係る安定化電源回路の構成を示すブロック図である。

【図２】この実施例における起動回路の一例構成を示す回路図である。

【図３】この実施例における起動回路の他の一例構成を示す回路図である。

【図４】一従来例にに係る安定化電源回路の構成を示すブロック図である。

【図５】基準電圧発生回路の一例構成を示す回路図である。

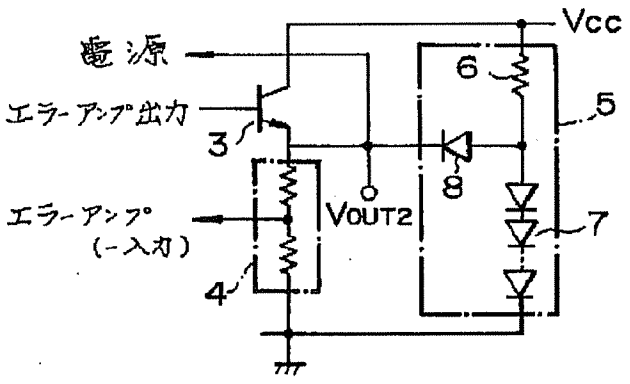
【図６】基準電圧発生回路のリップル除去率の周波数特性を示す図である。

【図７】基準電圧発生回路の２段接続を示すブロック図である。

【符号の説明】

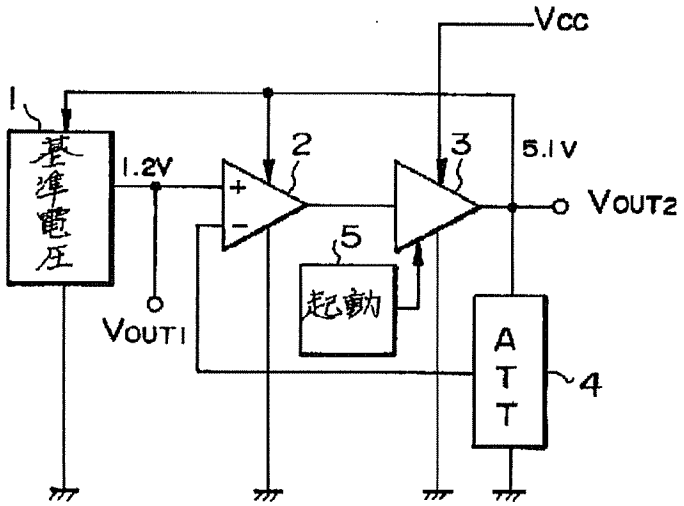
1　基準電圧発生回路
2　誤差検出アンプ（エラーアンプ）
3　出力バッファ
4　アッテネータ
5　起動回路

【図２】



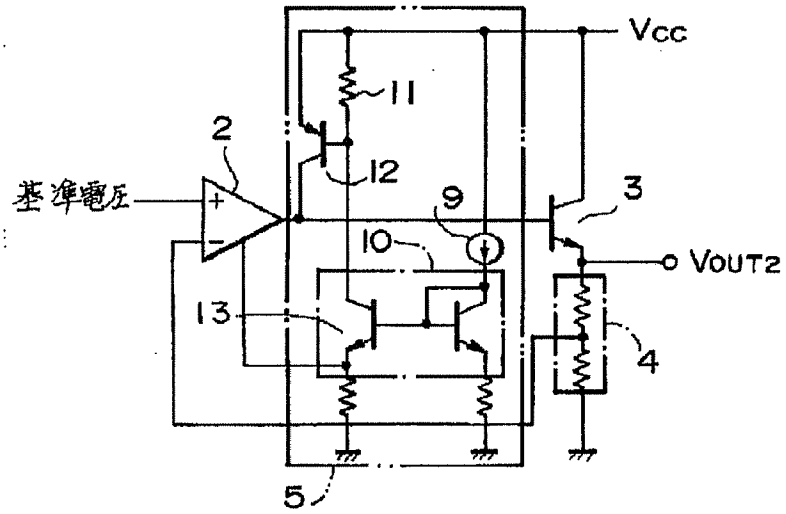
起動回路の例(1)

【図１】



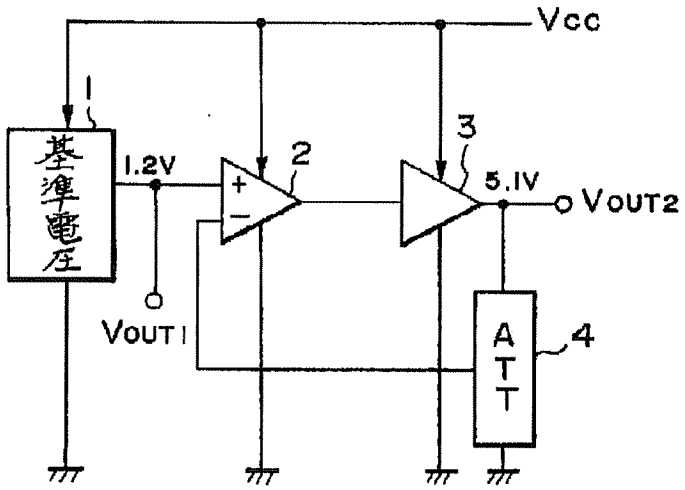
実施例の構成

【図３】



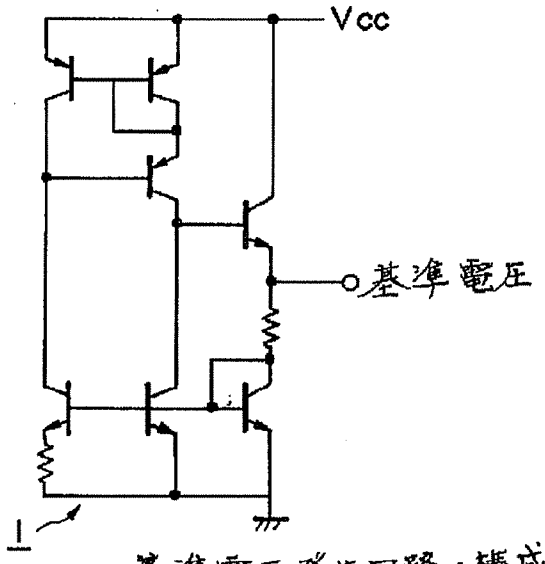
起動回路の例(2)

【図４】



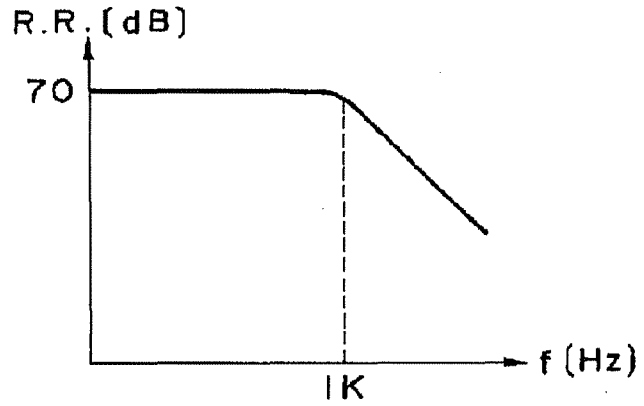
従来例の構成

【図５】



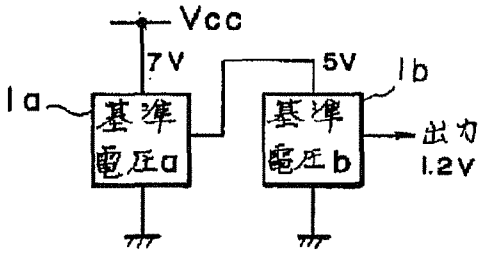
基準電圧発生回路の構成

【図６】



基準電圧発生回路のリップル除去率

【図７】



基準電圧発生回路の２段縦続

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-315335
(43)Date of publication of application : 25.10.2002

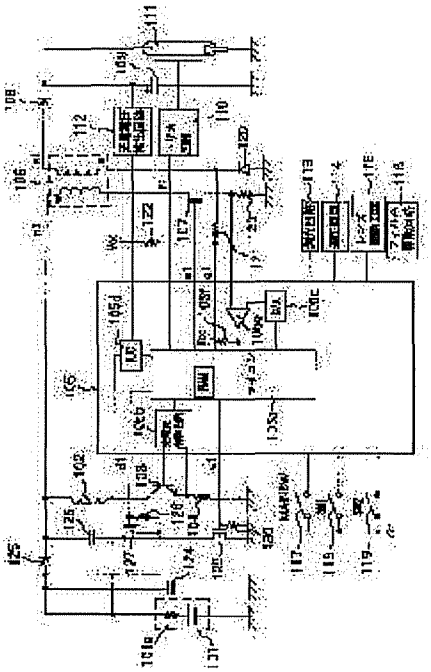
(51)Int.Cl. H02M 3/28
G03B 15/05
H02J 7/10
H05B 41/32
// H02M 3/07

(21)Application number : 2001-111793
(22)Date of filing : 10.04.2001

(71)Applicant : CANON INC
(72)Inventor : ICHIMASA SHIYOUJI

(54) CAPACITOR CHARGER, LIGHT-EMITTING DEVICE AND CAMERA

(57)Abstract:
PROBLEM TO BE SOLVED: To solve the problem of long charging time of a main capacitor in charging by a conventional flyback-type charging circuit, in comparison to charging by the so-called forward-type charging circuit.
SOLUTION: This is a capacitor charger provided with a flyback-type charging circuit for charging a main capacitor 109, and has a voltage-increasing capacitor 126 in a circuit for applying voltage to the primary side of a transformer 106 for forming the charging circuit, and a control means 105 for applying a second voltage higher than a first voltage utilizing charge stored in the voltage-increasing capacitor to the primary side of the transformer, after a first voltage has been applied.



(19)日本国特許庁（ＪＰ）　(12)**公開特許公報（Ａ）**　(11)特許出願公開番号
特開2002－315335
（P2002－315335A）
(43)公開日　平成14年10月25日(2002.10.25)

(51)Int.Cl.[7]	識別記号	ＦＩ		テーマコード(参考)
Ｈ０２Ｍ　3/28		Ｈ０２Ｍ　3/28	Ｕ	２Ｈ０５３
			Ｆ	３Ｋ０９８
Ｇ０３Ｂ　15/05		Ｇ０３Ｂ　15/05		５Ｇ００３
Ｈ０２Ｊ　7/10		Ｈ０２Ｊ　7/10	Ｒ	５Ｈ７３０
Ｈ０５Ｂ　41/32		Ｈ０５Ｂ　41/32	Ｎ	

審査請求　未請求　請求項の数11　ＯＬ　（全 12 頁）　最終頁に続く

(21)出願番号　特願2001－111793(P2001－111793)

(22)出願日　平成13年４月10日(2001.4.10)

(71)出願人　000001007
キヤノン株式会社
東京都大田区下丸子３丁目30番２号

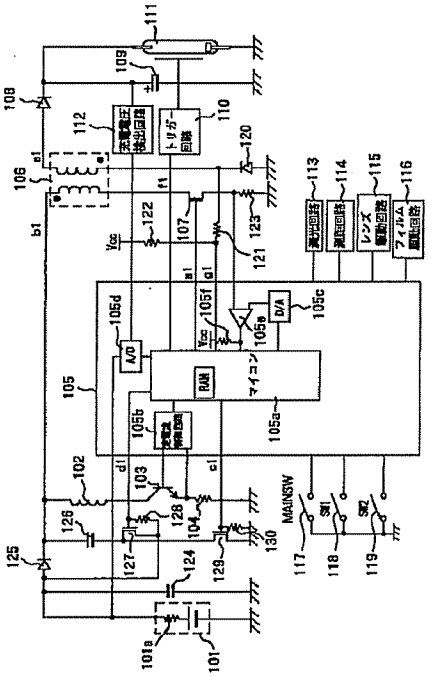
(72)発明者　一政　昭司
東京都大田区下丸子３丁目30番２号　キヤノン株式会社内

(74)代理人　100067541
弁理士　岸田　正行　（外２名）

最終頁に続く

(54)【発明の名称】　コンデンサ充電装置、発光装置およびカメラ

(57)【要約】
【課題】　従来のフライバック式充電回路では、いわゆるフォワード式充電回路に比べて主コンデンサの充電時間が長くなる。
【解決手段】　主コンデンサ１０９に充電を行うためのフライバック式充電回路を有するコンデンサ充電装置において、上記充電回路を構成するトランス１０６の一次側に対して電圧を印加する回路に増圧用コンデンサ１２６を設けるとともに、トランスの一次側に、第１の電圧を印加した後、増圧用コンデンサに蓄えられた電荷を利用して第１の電圧より高い第２の電圧を印加させる制御手段１０５を設ける。



1

【特許請求の範囲】

【請求項１】　主コンデンサに充電を行うためのフライバック式充電回路を有するコンデンサ充電装置であって、

前記充電回路を構成するトランスの一次側に対して電圧を印加する回路に増圧用コンデンサを有しており、

前記トランスの一次側に、第１の電圧を印加した後、前記増圧用コンデンサに蓄えられた電荷を利用して前記第１の電圧より高い第２の電圧を印加させる制御手段を有することを特徴とするコンデンサ充電装置。

【請求項２】　前記第１の電圧が、電源の電圧であることを特徴とする請求項１に記載のコンデンサ充電装置。

【請求項３】　前記第２の電圧が、前記第１の電圧の略２倍であることを特徴とする請求項１又は２に記載のコンデンサ充電装置。

【請求項４】　前記制御手段は、前記トランスの一次側に前記第１の電圧を印加するときは、前記増圧用コンデンサを電源に並列に接続しておき、前記トランスの一次側に前記第２の電圧を印加するときは、前記増圧用コンデンサを電源に直列に接続することを特徴とする請求項１から３のいずれかに記載のコンデンサ充電装置。

【請求項５】　前記制御手段は、前記トランスの一次側に流れる電流が通電開始から第１の電流値に達するまで前記第１の電圧を印加し、前記第１の電流値に達した後、この第１の電流値よりも高い第２の電流値に達するまで前記第２の電圧を印加することを特徴とする請求項１から４のいずれかに記載のコンデンサ充電装置。

【請求項６】　前記制御手段は、前記トランスの一次側に通電開始から第１の所定時間に達するまで前記第１の電圧を印加し、前記第１の所定時間経過後、第２の所定時間に達するまで前記第２の電圧を印加することを特徴とする請求項１から４のいずれかに記載のコンデンサ充電装置。

【請求項７】　前記制御手段により動作制御され、前記トランスの一次側に前記第１の電圧を印加するために動作する第１のスイッチ素子と、前記トランスの一次側に前記第２の電圧を印加するために動作する第２のスイッチ素子とを有することを特徴とする請求項１から６のいずれかに記載のコンデンサ充電装置。

【請求項８】　前記第１および第２のスイッチ素子が、トランジスタであることを特徴とする請求項７に記載のコンデンサ充電装置。

【請求項９】　前記第１および第２のスイッチ素子が、電界効果型トランジスタであることを特徴とする請求項７に記載のコンデンサ充電装置。

【請求項１０】　請求項１から９のいずれかに記載のコンデンサ充電装置と、前記主コンデンサに充電された電荷を用いて発光する発光手段とを有することを特徴とする発光装置。

【請求項１１】　請求項１０に記載の発光装置を備え、

2

この発光装置により被写体照明を行うことを特徴とするカメラ。

【発明の詳細な説明】

【０００１】

【発明の属する技術分野】本発明は、カメラのストロボ発光等に用いられる電気エネルギを蓄える主コンデンサの充電装置に関し、さらに詳しくは、フライバック式充電回路を用いたコンデンサ充電装置に関するものである。

【０００２】

【従来の技術】まず、図１１を用いて、従来のフライバック式充電（昇圧）回路を有するカメラの電気回路について説明する。３０１は電源であるところの電池、３０１ａは電池内部抵抗である。３２４はコンデンサであり、電池３０１と並列に接続されている。

【０００３】３０２はシャッターコイル、３０３はトランジスタである。このトランジスタ３０３はシャッターコイル１０２を駆動する。３０４は抵抗で、シャッターコイル３０２を定通電駆動を行う際に電流検出を行うためのものである。

【０００４】３０５は制御ＩＣで、カメラの測光、測距、レンズ駆動、フィルム給送等のカメラシーケンスおよびカメラに備えられたストロボ装置の制御を行う。３０５ａは制御ＩＣ３０５内のマイクロコンピュータであり、ＲＡＭを内蔵して、カメラシーケンスの制御を行う。

【０００５】３０５ｂは定電流制御回路であり、シャッターコイル３０２の定通電駆動をトランジスタ３０３を介して制御する。３０５ｃはＤ／Ａコンバータ（以下、単にＤ／Ａという）であり、マイクロコンピュータ３０５ａの設定信号に応じた任意の電圧を出力する。３０５ｄはＡ／Ｄコンバータ（以下、単にＡ／Ｄという）で、入力された電圧をデジタル化する。

【０００６】３０５ｅはコンパレータであり、後述するトランス１０６の一次巻線の電流が設定電流に至ったか否かを検出する。３０５ｆは抵抗であり、コンパレータ１０５ｅの出力を不図示電源回路により電池電圧より昇圧されたＶｃｃにプルアップしている。トランス３０６は、電池３０１の正極と、一次巻線と、電池３０１の負極のループで電流を流すことにより、エネルギーをコアに蓄積し、そのエネルギーで二次側に逆起電力を発生させる。

【０００７】３０７はＮチャンネル型ＦＥＴ（電界効果型トランジスタ）で、トランス３０６の一次巻線の電流を駆動する。３０９は主コンデンサであり、後述するキセノン管３１１を発光させるための電荷を蓄積する。

【０００８】３０８は、高圧整流ダイオードであり、アノードはトランス３０６の二次巻線の巻き終わり端に接続され、カソードは主コンデンサ３０９の陽極に接続されている。３２０はダイオードであり、アノードは主コ

ンデンサ３０９の陰極に、カソードはトランス３０６の二次巻線の巻き始め端に接続され、トランス３０６の二次巻線より発生した逆起電力を主コンデンサ３０９に蓄積する電荷の電流ループを、高圧整流ダイオード３０８を含めた構成で形成している。

【０００９】３２１は抵抗であり、片側がダイオード３２０のカソードに、もう片側が制御ＩＣ３０５に接続されている。３２２は抵抗であり、抵抗３２１が接続される制御ＩＣ３０５の入力をＶｃｃにプルアップしている。

【００１０】３１０はトリガー回路であり、３１１はキセノン放電管である。このキセノン管３１１はトリガー回路３１０よりトリガー電圧を受けることにより、主コンデンサ３０９に蓄積された電荷を放電して発光する。

【００１１】３１２は充電電圧検出回路であり、制御ＩＣ３０５内のＡ／Ｄ３０５ｄに接続され、主コンデンサ３０９に蓄積された電荷により生ずる電圧を検出する。３１３は測光回路であり、被写体輝度を検出する。３１４は測距回路であり、被写体までの距離を検出する。

【００１２】３１５はレンズ駆動回路であり、測距回路３１４からの検出結果に基づいて不図示の撮影レンズをフォーカシング駆動し、フィルム面に被写体ピントを合わせる。３１６はフィルム給送回路であり、フィルムのオートローディング、巻き上げおよび巻戻しを行う不図示のモータを駆動する。

【００１３】３１７はカメラの電源を投入するためのＭＡＩＮＳＷであり、３１８は撮影者によるレリーズボタンの第１ストローク操作（半押し操作）によってオンし、測光および測距等の撮影準備動作を開始させるＳＷ１である。３１９は撮影者によるレリーズボタンの第２ストローク操作（全押し操作）によってオンし、フィルム露光動作等、上記撮影準備動作以後の撮影シーケンスの起動信号を生じさせるＳＷ２である。

【００１４】ここで、上記フライバック式充電回路の動作について説明する。まず、図２（Ｂ）に示すタイミングチャートを用いて各信号の出力タイミング等について説明する。

【００１５】図２（Ｂ）において、ａ２はＦＥＴ３０７のゲート入力信号を示し、ｂ２は電池電圧を示す。ｅ２はトランス３０６の二次巻線に流れる電流を示し、ｆ２はトランス３０６の一次巻線に流れる電流を示す。ｇ１は抵抗３２１と抵抗３２２が接続され且つ制御ＩＣ３０５へ接続されている二次電流の検出信号を示す。

【００１６】次に回路動作を説明する。まず、制御ＩＣ３０５から接続端子を介してＦＥＴ３０７のゲートに所定の発振信号（ａ２の①のタイミング）が与えられると、ＦＥＴ３０７の制御電極にハイレベルの信号が与えられ、ドレイン＝ソース、トランス３０６の一次巻線および電池負極のループで電流が流れる。

【００１７】このため、トランス３０６の二次巻線には誘導起電力が発生するが、この電流の極性は高圧整流用ダイオード３０８によりブロックされる極性となるため、トランス３０６からは励起電流が流れず、エネルギーがトランス３０６内のコアに蓄積される。このエネルギー蓄積（通電駆動）は、電流が所定電流に達した事をコンパレータ３０５ｅが検出する（ｆ２の②のタイミング）まで行われる。

【００１８】こうして所定電流まで通電駆動を行うと、ＦＥＴ３０７のゲートをローレベルとしてＦＥＴ３０７をオフ（ａ２の②のタイミング）にして電流を遮断し、非導通とする。これによりトランス３０６の二次巻線には逆起電力が発生する。この逆起電力は、二次電流（ｅ２の②～③のタイミング）として、整流ダイオード３０８、主コンデンサ３０９およびダイオード３２０のループで流れ、主コンデンサ３０９に電荷が蓄積される。

【００１９】トランス３０６内のエネルギーが放出され、二次の電流が分流されてローレベルとなっていたｇ２の信号が、二次電流が略停止した時点（ｇ２の③のタイミング）でローレベルからハイレベルに反転する。この二次入力信号がローレベルからハイレベルに反転したことを受けて、制御ＩＣ３０５はＦＥＴ３０７のゲートに再びハイレベル信号が発生させ、同様に再びＦＥＴ３０７を導通（ａ２の①のタイミング）させてトランス３０６にエネルギー蓄積を行う。

【００２０】また、ローレベル信号によりＦＥＴ３０７を非導通とすることにより、トランス３０６の蓄積エネルギーが放出されて電荷が主コンデンサ３０９に充電される。

【００２１】以上の動作を繰り返すことで、主コンデンサ３９の電圧は上昇する。この充電回路は、一般的にフライバック方式の充電回路と呼ばれている。

【００２２】

【発明が解決しようとする課題】しかしながら、上記従来のフライバック式充電回路では、いわゆるフォワード式充電回路に比べて充電時間が長くなる傾向にあり、これを用いたカメラ等の装置の使い勝手を悪くするという問題がある。

【００２３】そこで、本発明は、フライバック式充電回路による主コンデンサの充電時間を短縮することができるようにしたコンデンサ充電装置を提供することを目的とする。

【００２４】

【課題を解決するための手段】上記の目的を達成するために、本発明は、主コンデンサに充電を行うためのフライバック式充電回路を有するコンデンサ充電装置において、上記充電回路を構成するトランスの一次側に対して電圧を印加する回路に増圧用コンデンサを設けるとともに、トランスの一次側に、第１の電圧を印加した後、増圧用コンデンサに蓄えられた電荷を利用して第１の電圧より高い第２の電圧を印加させる制御手段を設けてい

る。

【００２５】このように、トランス一次側に電圧を印加する回路に増圧用コンデンサが含まれている場合に、トランスの一次側に、充電初期には電源電圧等の第１の電圧を印加し、適当なタイミングでより高い第２の電圧を印加するようにすることで、従来の充電装置や充電初期から高い第２の電圧を印加するような充電装置に比べて、増圧用コンデンサによる昇圧効果を充分に得られるようにし、効率良く短時間での主コンデンサの充電を行えるようにしている。

【００２６】具体的には、例えば、トランスの一次側に第１の電圧を印加するときは増圧用コンデンサを電源に並列に接続しておき、トランスの一次側に第２の電圧を印加するときは増圧用コンデンサを電源に直列に接続するようにしてもよい。

【００２７】また、第１の電圧から第２の電圧への切り換えは、例えば、トランスの一次側に流れる電流が通電開始から第１の電流値に達するまでは第１の電圧を印加し、第１の電流値に達した後、この第１の電流値よりも高い第２の電流値に達するまで第２の電圧を印加するというようにようにすればよい。或いは、第１の電圧から第２の電圧への切り換えは、例えば、トランスの一次側に通電開始から第１の所定時間に達するまでは第１の電圧を印加し、第１の所定時間経過後、第２の所定時間に達するまで第２の電圧を印加するというようにようにすればよい。

【００２８】そして、このコンデンサ充電回路を、カメラ等に搭載される発光装置に用いることにより、発光可能となる充電時間が短い使い勝手のよいカメラ等を実現することが可能になる。

【００２９】

【発明の実施の形態】（第１実施形態）図１には、本発明の第１実施形態である電子ストロボ装置（発光装置）を備えたカメラの回路構成を示している。なお、カメラは、図１０に示すように構成されており、１はカメラ本体である。２は撮影レンズを含む鏡筒、３はファインダー、４は撮影の際にＳＷ１及びＳＷ２をＯＮさせるレリーズボタン、５はストロボ撮影時に発光するストロボ発光部、６は被写体輝度の検出を行う測光レンズ、７は被写体までの距離検出する測距、８はカメラの情報を表示する表示手段、９はカメラを撮影準備状態にするＭＡＩＮＳＷボタンで、構成されている。

【００３０】図１において、１０１は電源であるところの電池であり、１０１ａは電池１０１の内部抵抗である。

【００３１】１２４はコンデンサであり、電池１０１と並列に接続されている。１２５はダイオードであり、アノードが電池１０１の正極に、カソードが後述するトランス１０６に接続されている。

【００３２】１２６は倍圧用（増圧用）コンデンサであり、一方の電極はダイオード１２５のカソードとトランス１０６の一次巻線とに接続されている。

【００３３】１２７はＰチャンネル型ＦＥＴ（電解効果型トランジスタ）であり、ドレインは倍圧用コンデンサ１２６の他方の電極に、ソースは電池１０１の正極に、ゲートは制御ＩＣ１０５にそれぞれ接続されている。

【００３４】１２８は抵抗であり、ＦＥＴ１２７のゲート＝ソース間に接続されている。１２９はＮチャンネル型ＦＥＴであり、ドレインはＦＥＴ１２８のドレインと倍圧用コンデンサ１２６に、ソースは電池１０１の負極に、ゲートは制御ＩＣ１０５に接続されている。

【００３５】１３０は抵抗であり、ＦＥＴ１２９のゲート＝ソース間に接続されている。ダイオード１２５、倍圧用コンデンサ１２６、ＦＥＴ１２７、抵抗１２８、ＦＥＴ１２９および抵抗１３０により、トランス１０６への印加電圧を電池１０１の電圧の略２倍にする擬似的倍圧回路を構成している。

【００３６】１０２はシャッターコイルであり、１０３はトランジスタである。このトランジスタ１０３はシャッターコイル（１０２）を駆動する。１０４は抵抗であり、シャッターコイル１０２に定通電駆動を行う際に電流検出を行うために設けられている。

【００３７】１０５は制御ＩＣであり、カメラの測光、測距、レンズ駆動およびフィルム給送等のカメラシーケンスおよびカメラに備えられたストロボ装置の制御を行う。

【００３８】１０５ａは制御ＩＣ１０５内のマイクロコンピュータであり、ＲＡＭを内蔵してカメラシーケンスの制御を行う。１０５ｂは定電流制御回路であり、シャッターコイル１０２を定通電駆動するようトランジスタ１０３を介して制御する。

【００３９】１０５ｃはＤ／Ａであり、マイクロコンピュータ１０５ａの設定信号に応じた任意の電圧を出力する。１０５ｄはＡ／Ｄで、入力された電圧をデジタル化する。

【００４０】１０５ｅはコンパレータであり、後述するトランス１０６の一次巻線の電流が設定電流に至ったか否かを検出する。１０５ｆは抵抗であり、コンパレータ１０５ｅの出力を不図示電源回路により電池電圧より昇圧されたＶｃｃにプルアップする。

【００４１】１０６はトランスであり、電池１０１の正極からダイオード１２５或いは倍圧用コンデンサ１２６を介して、一次巻線および電池１０１の負極のループで電流を流すことによりエネルギーをコアに蓄積し、そのエネルギーで逆起電力を発生させる。

【００４２】１０７はＮチャンネル型ＦＥＴ（電界効果型トランジスタ）であり、トランス１０６の一次巻線の電流を駆動する。１２３は抵抗であり、ＦＥＴ１０７と電池１０１の負極に接続され、トランス１０６の一次巻線の電流検出を行う際の検出抵抗となる。

【００４３】１０９は主コンデンサであり、後述するキセノン管１１１を発光させるための電荷を蓄積する。

【００４４】１０８は高圧整流ダイオードであり、アノードはトランス１０６の二次巻線の巻き終わり端に接続され、カソードは主コンデンサ１０９の陽極に接続されている。

【００４５】１２０はダイオードであり、アノードは主コンデンサ１０９の陰極に、カソードはトランス１０６二次巻線の巻き終わり端に接続されている。トランス１０６の二次巻線より発生した逆起電力によって主コンデンサ１０９に電荷を蓄積する電流ループを、高圧整流ダイオード１０８を含めた構成で形成している。

【００４６】１２１は抵抗であり、片側がダイオード１２０のカソードに、もう片側が制御ＩＣ１０５に接続されている。１２２は抵抗であり、抵抗１２１が接続された制御ＩＣ１０５の入力をＶｃｃでプルアップする。

【００４７】１１０はトリガー回路であり、１１１はキセノン放電管であり図１０のカメラのストロボ発光部５内に組みつけられている。このキセノン管１１１は、トリガー回路１１０よりトリガー電圧を受けることにより、主コンデンサ１０９に蓄積された電荷を報放電して発光する。

【００４８】１１２は充電電圧検出回路であり、制御ＩＣ１０５内のＡ／Ｄ１０５ｄに接続され、主コンデンサ１０９に蓄積された電圧を検出する。

【００４９】１１３は測光回路であり、図１０測光レンズ６より受光した光より被写体輝度を検出する。１１４は測距回路であり、図１０測距レンズ７により受光した像より被写体までの距離を検出する。１１５はレンズ駆動回路であり、測距回路１１４からの検出結果に基づいて図１０の撮影レンズ２のフォーカシング駆動を行ない、フィルム面に被写体ピントを合わせる。１１６はフィルム給送回路であり、フィルムのオートローディング、巻き上げおよび巻戻しを行うモーターを駆動する。

【００５０】１１７は図１０ＭＡＩＮＳＷボタンでオンするカメラの電源を投入するためのＭＡＩＮＳＷであり、１１８は撮影者による図１０のレリーズボタン４の第１ストローク操作（半押し操作）によってオンし、測光および測距等の撮影準備動作を開始させるＳＷ１である。１１９は撮影者によるレリーズボタンの第２ストローク操作（全押し操作）によってオンし、フィルム露光動作等、上記撮影準備動作以後の撮影シーケンスの起動信号を生じさせるＳＷ２である。

【００５１】次に、上記フライバック式充電回路の動作について説明する。まず、図２（Ａ）に示すタイミングチャートを用いて各信号の出力タイミング等について説明する。

【００５２】ａ１はＦＥＴ１０７のゲート入力信号を示し、ｂ１は電池１０１の電圧を示す。また、ｃ１は回路上のＦＥＴ１３０のゲート入力信号を示し、ｄ１はＦＥＴ１２８のゲート入力信号を示す、ｅ１はトランス１０６の二次巻線に流れる電流であって、回路上のｅ１の位置の電流を示す。また、ｆ１はトランス１０６の一次巻線に流れる電流であって、回路上ｆ１の位置の電流を示す。さらに、ｇ１は抵抗１２１と抵抗１２２が接続され且つ制御ＩＣ１０５に接続されている二次電流検出信号を示す。

【００５３】次に回路動作について説明する。制御ＩＣ１０５（マイクロコンピュータ１０５ａ）から接続端子を介してＦＥＴ１０７のゲートに所定の発振信号（ａ１の①のタイミング）が与えられると、ＦＥＴ１０７の制御電極にハイレベルの信号が与えられ、ドレイン=ソース、トランス１０６の一次巻線および電池１０１の負極のループで電流が流れる。このため、トランス１０６の二次巻線には誘導起電力が発生するが、この電流の極性は高圧整流用ダイオード１０８によりブロックされる極性となるため、トランス１０６からは励起電流が流れず、エネルギーがトランス１０６内のコアに蓄積される。

【００５４】このエネルギー蓄積（通電駆動）は、まずトランス１０６の一次巻線に流れる電流が第１の所定電流に達する（ｆ１の②のタイミング）まで行われる。

【００５５】次に、トランス１０６の一次巻線に流れる電流が第１の所定電流に達すると、トランス１０６に印加する電圧が電池１０１の電圧に対して約２倍になるように、制御ＩＣ１０５はＦＥＴ１２８への駆動信号をローレベル信号とし（ｂ１，ｄ１の②のタイミング）、ＦＥＴ１２９への駆動信号をハイレベルからローレベルに切換える（ｃ１の②のタイミング）。

【００５６】このようにＦＥＴ１２８とＦＥＴ１２９を駆動制御することにより、それまで電池１０１に対して並列に接続されて電池１０１の電圧まで電荷が蓄積されていた倍圧用コンデンサ１２６を、電池１０１に対して直列に接続する。そして、これにより、トランス１０６の一次巻線には、電池１０１の電圧に対して略２倍の電圧が印加される。

【００５７】このため、トランス１０６の一次巻線には、第２の所定電流に達するまで、第１の所定電流に達するまでよりも急峻に電流が流れる。

【００５８】これによって、トランス１０６の一次巻線を流れる電流が、通電開始から第２の所定電流に達するまで（ｆ１の③のタイミング）に要する時間は、図３に示す従来の一次通電駆動時間Ｔに対して、図２（Ａ）に示すＴ２の時間分早くなる。

【００５９】ここで、トランス１０６の一次巻線を流れる電流が第２の所定電流に達するまで通電駆動を行うと、マイクロコンピュータ１０５ａは、ＦＥＴ１０７のゲートをローレベルとしてＦＥＴ１０７をオフ（ａ１の③のタイミング）し、電流を遮断して非導通とする。また、同時に、ＦＥＴ１２７のゲートをローレベルからハ

イレベルに切り換えて、ＦＥＴ１２７の駆動を停止させ（ｄ１の③のタイミング）て倍圧を停止させるとともに、ＦＥＴ１２９のゲートをローレベルからハイレベルにして、ＦＥＴ１２９の駆動を行い、次回の通電駆動時に行う倍圧駆動に備えて、電池電圧への倍圧用コンデンサ１２６の充電を行う。

【００６０】この一次巻線への通電駆動停止により、トランス１０６の二次巻線には逆起電力が発生する。この逆起電力は、二次電流として整流ダイオード１０８、主コンデンサ１０９およびダイオード１２０のループで流れ（ｅ１の③～④のタイミング）、これにより主コンデンサ１０９に電荷が蓄積される。

【００６１】トランス１０６内のエネルギーが放出され、二次電流が分流されてローレベルとなっていたｇ１の信号は、二次電流が略停止した時点（ｇ１の④のタイミング）でローレベルからハイレベルに反転する。そして、この二次入力信号がローレベルからハイレベルに反転したことを受けて、制御ＩＣ１０５はＦＥＴ１０７のゲートに再びハイレベル信号を発生させ、同様に再びＦＥＴ１０７を導通させて（ａ１の①のタイミング）、トランス１０６に前述の倍圧駆動を含めたエネルギーを蓄積を行う。また、ローレベル信号によりＦＥＴ１０７が非導通となり、トランス１０６の蓄積エネルギーが放出され、電荷が主コンデンサ１０９に充電される。この動作を繰り返すことで、主コンデンサ１０９の電圧が上昇する。

【００６２】このように、本実施形態では、トランス１０６の一次巻線には、始めに電池１０１の電圧が印加され、その後に電池電圧の略２倍の電圧が印加される。よって、従来よりもトランス１０６のエネルギー蓄積が高速となり、充電時間を短縮することができる。

【００６３】ここで、一次電流の駆動初期からトランス１０６に高い電圧を印加すれば、より短い時間で充電が行えるとも考えられる。

【００６４】しかしながら、トランス１０６への倍圧印加を一次電流の駆動初期から行うと、トランス１０６への駆動電圧が必要となる（駆動電流の上昇に伴う回路抵抗の増加により、トランスへの印加電圧が低下するため）駆動後期には、既に倍圧用コンデンサの電圧が低下し、充分な倍圧効果が得られなくなってしまう。

【００６５】このため、倍圧印加を一次電流の駆動途中から行うことにより、充電時間の短縮に対して効果的な通電駆動を行うことができる。

【００６６】次に、本実施形態のカメラの動作について、図３から図５のフローチャートに基づいて説明する。

【００６７】まず、図３にてＭＡＩＮＳＷ１１８がＯＮされた時のシーケンスを説明する。ステップ（図ではＳと略す）１０１で、マイクロコンピュータ１０５ａは、ＭＡＩＮＳＷ１１８がＯＮしたか否かを検出する。ＭＡＩＮＳＷ１１８のＯＮを検出したときはステップ１０２に進み、カメラの電池電圧を読み込んでＲＡＭに記憶する（バッテリーチェックＢＣ）。

【００６８】次にステップ１０３では、マイクロコンピュータ１０５ａは、ＲＡＭに記憶している電池電圧が、カメラが動作可能な電圧であるか否かを判定し、動作可能電圧以上であるときはステップ１０４に、動作が不可能な電圧であるときはステップ１０１に進む。

【００６９】ステップ１０４では、マイクロコンピュータ１０５ａは、測光回路１１４を通じて被写体輝度の測定を行い、マイクロコンピュータ１０５ａ内のＲＡＭに測光結果を記憶する。次に、ステップ１０５では、ステップ１０４にて制御ＩＣ１０５内ＲＡＭに記憶した測光結果が、撮影に際してストロボ発光を必要とする測光結果であるか否かを判定する。ここで、ストロボ発光を必要としない測光結果でストロボ予備充電を必要としない場合には、ＭＡＩＮＳＷのＯＮシーケンスを終了する。一方、ストロボが必要な測光結果であり、ストロボ予備充電が必要あるときは、ステップ１０６に進み、ストロボ充電を行う。

【００７０】ここで、ステップ１０６でのストロボ充電は、図５に示すフローチャートに従って行われる。

【００７１】まず、ステップ３０１で、マイクロコンピュータ１０５ａは、充電タイマーをスタートする、次に、ステップ３０２で、前述した回路動作により充電を開始する。

【００７２】次にステップ３０３に進み、制御ＩＣ１０５内のＡ／Ｄ１０５ｄに充電電圧検出回路１１２を介して主コンデンサ１０９の充電電圧の検出を行い、その検出結果をマイクロコンピュータ１０５ａ内のＲＡＭに記憶する、次に、ステップ３０４で、ステップ３０３にて検出した充電電圧が、所定の充電完了電圧以上か否か（充電完了か否か）の判定を行い、充電完了が検出されなかったときはステップ３０６に進む。

【００７３】ステップ３０６では、ステップ３０１にて開始した充電タイマーが所定時間経過したか否かの判定を行い、所定時間経過したときはステップ３０５に進んで充電を停止し、充電シーケンスを終了する。

【００７４】また、充電タイマーが所定時間経過していない場合は、ステップ３０３に戻って充電電圧の検出を行い、ステップ３０３、ステップ３０４およびステップ３０６のステップを繰り返しながら充電を行い、ステップ３０４で充電完了が検出されると、ステップ３０４に進み、充電を停止して充電シーケンスを終了する。そして、図３のＭＡＩＮＳＷ　ＯＮ時のシーケンスを終了する。

【００７５】次に、図４のフローチャートを用いてレリーズシーケンスについて説明する。まず、ステップ２０１で、マイクロコンピュータ１０５ａは、レリーズボタンの第１ストローク操作でＳＷ１（１１８）がＯＮされ

たことを検出すると、ステップ２０２，２０３に進む。

【００７６】ステップ２０２，２０３では、図３のステップ１０２，１０３と同様に、電池電圧を読み込んで（バッテリーチェックＢＣ）、ＢＣ結果がカメラ動作が可能な電圧であるか否かの判定を行う。ＢＣ結果が動作可能電圧であったときはステップ２０４に進み、動作不可能な電圧であったときはステップ２０１に進む。

【００７７】ステップ２０４では、マイクロコンピュータ１０５ａは、測距回路１１４に被写体までの距離を測定させ、その結果をマイクロコンピュータ１０５ａ内のＲＡＭに記憶する。

【００７８】次に、ステップ２０５では、測光回路１１３を通じて被写体輝度を測定し、その結果をマイクロコンピュータ１０５ａ内のＲＡＭに記憶する。

【００７９】次に、ステップ２０６では、ステップ２０５でＲＡＭに記憶した測光データに基づいて、ストロボ充電が必要で有るか否かの判定を行う。

【００８０】このストロボの発光が必要な場合としては、撮影状況が暗い、或いは逆光状態である等の場合である。ここで、ストロボ発光が必要であるときは、ストロボ発光撮影モードとしてステップ２０７に進む。また、必要でないときは、非ストロボ発光撮影モードとしてステップ２０９に進み、ＳＷ２（１１９）がＯＮされるまで待機状態になる。

【００８１】ステップ２０７では、主コンデンサ１０９の充電電圧が充電完了電圧以上か否か（充電が完了か否か）を判定する。充電完了であるときはステップ２０９に進み、ＳＷ２（１１２）がＯＮされるまで待機状態になる。一方、充電完了でないときは、ステップ２０８に進み、充電を行う。

【００８２】このステップ２０８におけるストロボ充電シーケンスは、前述したＭＡＩＮＳＷのＯＮ後のステップ１０６と同様のシーケンスなので、説明を省略する。

【００８３】充電シーケンスが終了すると、ステップ２０９でＳＷ２（１１９）がＯＮされるまで待機状態になる。

【００８４】ステップ２０９でＳＷ２（１１９）のＯＮを検出すると、マイクロコンピュータ１０５ａは、ステップ２１０に進み、ステップ２０４にて得た測距データに基づいてレンズ駆動回路１１５を通じて撮影レンズの駆動制御を行う。

【００８５】次に、ステップ２１１では、マイクロコンピュータ１０５ａは、ステップ２０５で得た測光データに基づいて、シャッターコイル１０２、トランジスタ１０３および電流検出を行う抵抗１０４で構成されるシャッター駆動回路の駆動制御を行い、フィルム露光を行わせる。このとき、ストロボ発光が必要であるときはトリガ回路１１０にトリガ信号を出力させ、キセノン管１１１を放電させてストロボ発光を行わせる。

【００８６】次に、ステップ２１２では、フィルム駆動回路１１６に次の撮影駒へのフィルム給送を行わせる。さらにステップ２１３にて、ストロボ予備充電を行うか否かの判定を行う。

【００８７】なお、ストロボ予備充電を行なわない場合とは、ステップ２０６にて判定した結果が非ストロボ発光撮影モードである場合である。

【００８８】また、ストロボ予備充電を行う場合とは、ステップ２０６にて判定した結果がストロボ発光撮影モードである場合である。

【００８９】ここで、ステップ２１３でストロボ予備充電を行なわないとした場合には、そのままカメラシーケンスを終える。また、ステップ２１３でストロボ予備充電を行うとした場合には、ステップ２１４に進む。

【００９０】ステップ２１４では、前述したＭＡＩＮＳＷのＯＮ後のシーケンスでのステップ１０６と同様にして主コンデンサ１０９の充電を行う。その後、充電が終了すると、カメラの撮影シーケンスを終了する。

【００９１】（第２実施形態）図６には、本発明の第２実施形態である電子ストロボ装置を備えたカメラの回路構成を示している。

【００９２】本実施形態の回路構成は、図１に示した第１実施形態の回路構成に対して、Ｄ／Ａ１０５ｃ、コンパレータ１０５ｅ、抵抗１０５ｆおよび抵抗１２３が除かれている以外と同様である。

【００９３】本実施形態における回路動作を、図２（Ａ）に示すタイミングチャートを併せ用いて説明する。

【００９４】制御ＩＣ１０５から接続端子を介してＦＥＴ１０７のゲートに所定の発振信号（ａ１の①のタイミング）が与えられると、ＦＥＴ１０７の制御電極にハイレベルの信号が与えられ、ドレイン=ソース、トランス１０６の一次巻線および電池１０１の負極のループで電流が流れる。

【００９５】これにより、トランス１０６の二次巻線には誘導起電力が発生するが、この電流の極性は高圧整流用ダイオード１０８によりブロックされる極性となるため、トランス１０６からは励起電流が流れず、エネルギーはトランス１０６内コアに蓄積される。このエネルギー蓄積（通電駆動）は、予め設定された第１の所定時間に達するｔ１の間（ｆ１の②のタイミング）まで行われる。

【００９６】次に、第１の所定時間に達すると、トランス１０６に印加する電圧が電池電圧に対して略２倍となるように、制御ＩＣ１０５がＦＥＴ１２７にローレベルの駆動信号を出力し（ｂ１，ｄ１の②のタイミング）、ＦＥＴ１２９の駆動信号をハイレベルからローレベルに切換える（ｃ１の②のタイミング）ｔ２の間の所定時間駆動する。

【００９７】このようにＦＥＴ１２７とＦＥＴ１２９を駆動制御することにより、それまで電池１０１に対して

並列に接続されて電池電圧まで電荷が蓄積されていた倍圧用コンデンサ１２６を電池１０１に対して直列に接続する。そして、これにより、トランス１０６の一次巻線には電池１０１の電圧に対して略２倍の電圧が印加される。

【００９８】このため、トランス１０６の一次巻線には、第２の所定時間に達するまで、第１の所定時間に達するまでよりも急峻に電流が流れる。

【００９９】これによって、トランス１０６の一次巻線を流れる電流が、通電開始から第２の所定電流に達するまで（ｆ１の③のタイミング）に要する時間は、図３に示す従来の一次通電駆動時間Ｔに対して、図２（Ａ）に示すＴ２の時間分早くなる。

【０１００】ここで、第２の所定時間に達するまでトランス１０６の一次巻線への通電駆動を行うと、ＦＥＴ１０７のゲートをローレベルとしてＦＥＴ１０７をオフ（ａ１の③のタイミング）し、電流を遮断して非導通とする。また、同時に、ＦＥＴ１２７のゲートをハイレベルからローレベルに切り換えて、ＦＥＴ１２７の駆動を停止させ（ｄ１の③のタイミング）て倍圧を停止させるとともに、ＦＥＴ１２９のゲートをローレベルからハイレベルにして、ＦＥＴ１２９の駆動を行い、次回の通電駆動時に行う倍圧駆動に備えて、電池電圧への倍圧用コンデンサ１２６の充電を行う。

【０１０１】この一次巻線への通電駆動停止により、トランス１０６の二次巻線には逆起電力が発生する。この逆起電力は、二次電流として整流ダイオード１０８、主コンデンサ１０９およびダイオード１２０のループで流れ（ｅ１の③～④のタイミング）、これにより主コンデンサ１０９に電荷が蓄積される。

【０１０２】トランス１０６内のエネルギーが放出され、二次電流が分流されてローレベルとなっていたｇ１の信号は、二次電流が略停止した時点（ｇ１の④のタイミング)でローレベルからハイレベルに反転する。そして、この二次入力信号がローレベルからハイレベルに反転したことを受けて、制御ＩＣ１０５はＦＥＴ１０７のゲートに再びハイレベル信号を発生させ、同様に再びＦＥＴ１０７を導通させて（ａ１の①のタイミング）、トランス１０６に前述の倍圧駆動を含めたエネルギーを蓄積を行う。また、ローレベル信号によりＦＥＴ１０７が非導通となり、トランス１０６の蓄積エネルギーが放出され、電荷が主コンデンサ１０９に充電される。この動作を繰り返すことで、主コンデンサ１０９の電圧が上昇する。

【０１０３】このように、本実施形態では、トランス１０６の一次巻線には、始めに電池１０１の電圧が印加され、その後に電池電圧の略２倍の電圧が印加される。このため、従来よりもトランス１０６のエネルギー蓄積が高速となり、充電時間を短縮することができる。

【０１０４】なお、本実施形態におけるカメラシーケンスは、第１実施形態のカメラシーケンス（図３から図５のフローチャート）と同様である。

【０１０５】（変形例）次に、図７～図９に示す電源の倍圧回路に基づいて上記第１および第２実施形態の変形例について説明する。

【０１０６】図７（ｂ），図８（ｂ），図９（ｂ）にそれぞれ示すタイミングチャートにおいて、各ＳＷ信号は、ハイレベルをＳＷのＯＮを、ローレベルをＳＷのＯＦＦを表す。

【０１０７】図７（ａ）において、第１および第２実施形態のＦＥＴ１０７はＳＷ４に相当し、ＦＥＴ１２７はＳＷ１に相当する。また、ＦＥＴ１２９はＳＷ２に相当する。但し、ダイオード１２５は除かれており、代わりにＳＷ３を設けている。

【０１０８】この回路では、ＳＷ３およびＳＷ４のＯＮにより、図７（ｂ）のタイミングチャート①～②の電池電圧による駆動および二次電流放出中の倍圧用コンデンサＣの充電を行い、②～③でＳＷ２をＯＮすることにより、トランス１０６の一次巻線に相当するインダクタンスＩの倍圧駆動を行う。

【０１０９】このような回路構成によれば、第１および第２実施形態にて用いられたダイオード１２５におけるＶＦ分の電圧ロスを改善することができる。

【０１１０】また、図８（ａ）は、図７（ａ）の変形例を示しており、図７（ａ）の回路からＳＷ４を除いたものに相当する。

【０１１１】この回路構成において、図８（ｂ）のタイミングチャートに従った駆動を行うことにより、図６の回路構成より少ない部品点数でトランス１０６の一次巻線に相当するインダクタンスＩの倍圧駆動を行うことができる。

【０１１２】図９（ａ）は、図７（ａ）の変形例を示しており、ＳＷ１～ＳＷ４はそれぞれ図７（ａ）のＳＷ１～ＳＷ４に相当する。

【０１１３】以上説明した図７～図９の回路構成および上記第１，第２実施形態にて説明した倍圧を行う回路は、周辺の回路構成に応じて適宜選択することができる。

【０１１４】また、ＳＷ１～ＳＷ４は、周辺の回路構成に応じて、ＦＥＴ或いははトランジスタで構成すればよい。

【０１１５】なお、上記各実施形態では、コンデンサ充電装置をカメラのストロボ装置に用いる場合について説明したが、本発明は、カメラやストロボ装置以外の装置にて用いられるコンデンサ充電装置にも適用することができる。

【０１１６】

【発明の効果】以上説明したように、本発明によれば、フライバック式充電回路のトランスの一次側に電圧を印加する回路に増圧用コンデンサが含まれている場合に、

15

トランスの一次側に、充電初期には電源電圧等の第１の電圧を印加し、適当なタイミングでより高い第２の電圧を印加するようにするので、従来の充電装置や充電初期から高い第２の電圧を印加するような充電装置に比べて、増圧用コンデンサによる昇圧効果を充分に得られるようにすることができ、効率良く短時間での主コンデンサの充電を行うことができる。

【０１１７】そして、このコンデンサ充電回路を、カメラ等に搭載される発光装置に用いることにより、発光可能となる充電時間が短い使い勝手のよいカメラ等を実現することができる。

【図面の簡単な説明】

【図１】本発明の第１実施形態であるカメラの電気回路のブロック図。

【図２】上記電気回路に含まれる充電回路の動作を示すタイミングチャート。

【図３】上記カメラの動作フローチャート。

【図４】上記カメラの動作フローチャート。

【図５】上記カメラにおける主コンデンサの充電動作フローチャート。

【図６】本発明の第２実施形態であるカメラの電気回路のブロック図。

【図７】上記第１および第２実施形態に示した充電回路における倍圧回路の変形例および動作タイミングチャート。

【図８】上記第１および第２実施形態に示した充電回路における倍圧回路の変形例および動作タイミングチャート。

【図９】上記第１および第２実施形態に示した充電回路における倍圧回路の変形例および動作タイミングチャート。

【図１０】上記カメラの説明図。

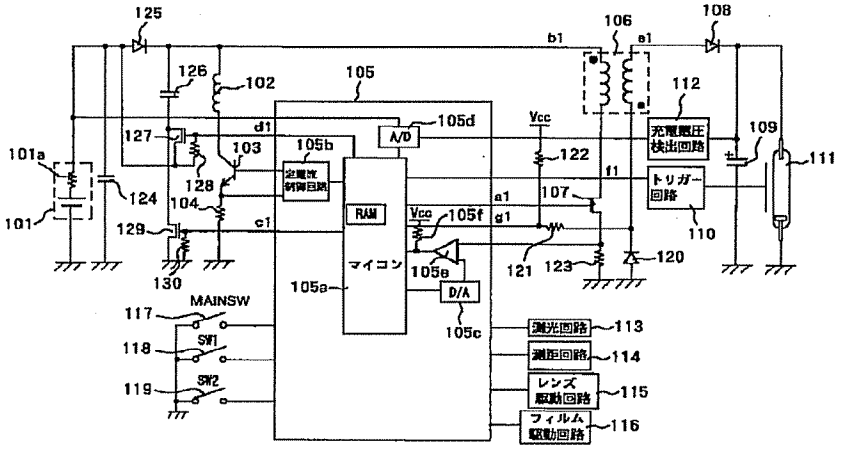
16

＊【図１１】従来のカメラの電気回路のブロック図。

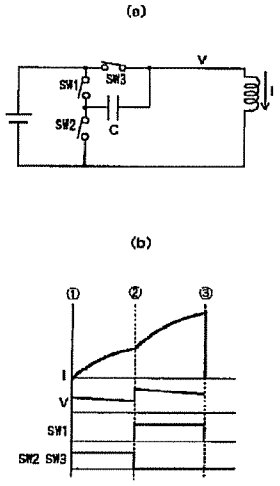
【符号の説明】

１０１　電池
１０２　シャッターコイル
１０３　トランジスタ
１０４　抵抗
１０５　制御ＩＣ
１０６　トランス
１０７　ＦＥＴ
１０８　高圧整流ダイオード
１０９　主コンデンサ
１１０　トリガー回路
１１１　キセノン放電管
１１２　充電電圧検出回路
１１３　測光回路
１１４　測距回路
１１５　レンズ駆動回路
１１６　フィルム駆動回路
１１７　ＭＡＩＮＳＷ
１１８　ＳＷ１
１１９　ＳＷ２
１２０　ダイオード
１２１　抵抗
１２２　抵抗
１２３　抵抗
１２４　コンデンサ
１２５　ダイオード
１２６　倍圧用コンデンサ
１２７　ＦＥＴ
１２８　抵抗
１２９　ＦＥＴ
１３０　抵抗

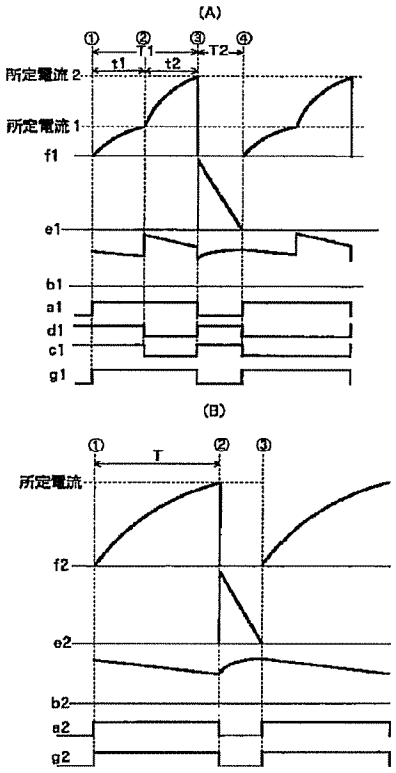
【図１】



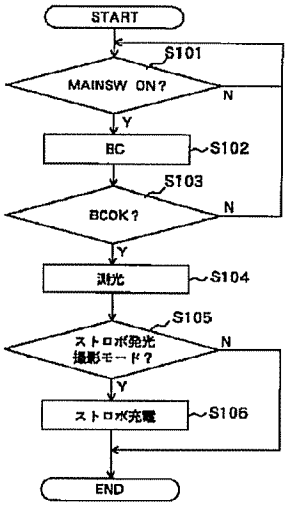
【図８】



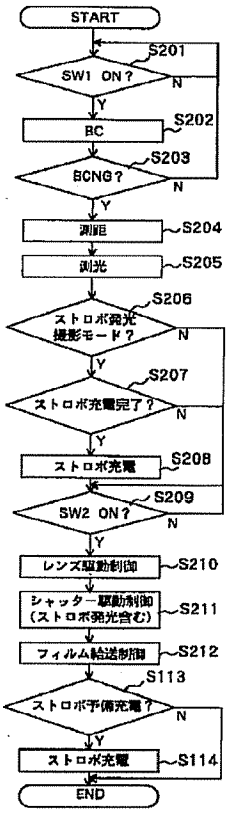
【図２】



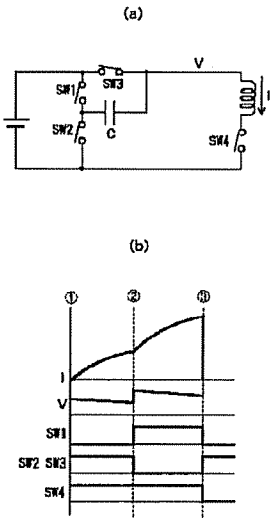
【図３】



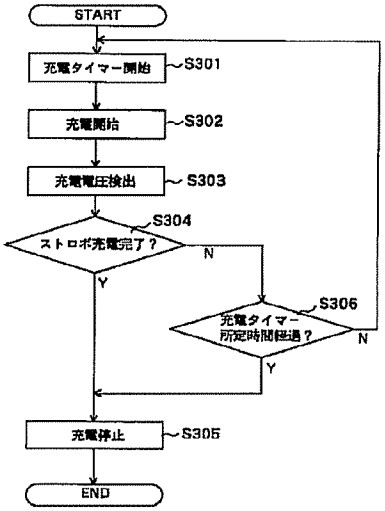
【図４】



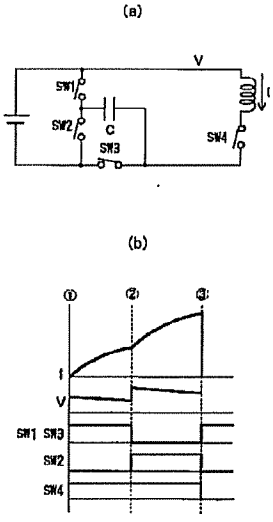
【図７】



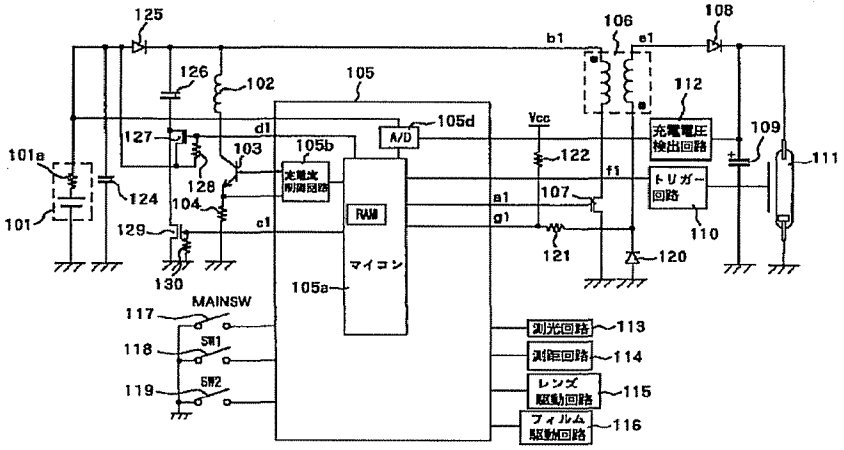
【図５】



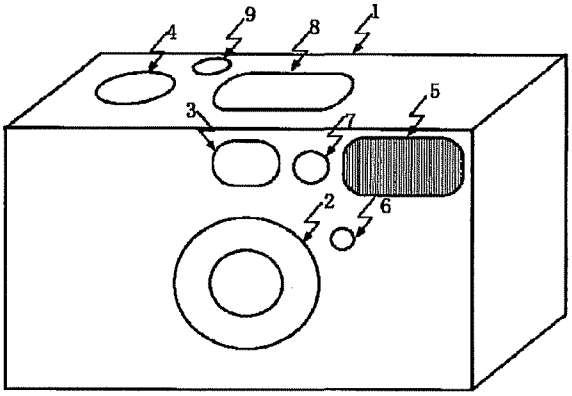
【図９】



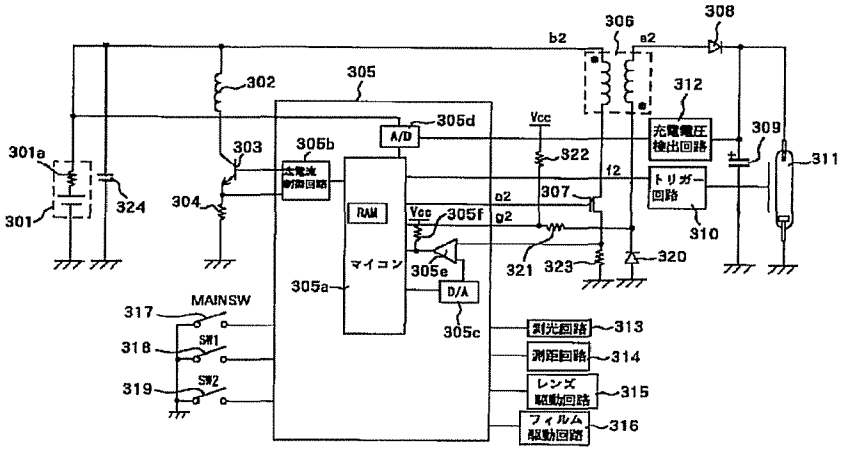
【図６】


125
126
102
105
106
108
b1
e1
112
127
d1
103
105b
A/D
105d
Vcc
充電電圧検出回路
109
101a
128
測距制御回路
122
111
124
104
RAM
a1
107
トリガー回路
f1
101
129
c1
g1
110
121
120
130
マイコン
105a
MAINSW
117
測光回路
113
118
SW1
測距回路
114
119
SW2
レンズ駆動回路
115
フィルム駆動回路
116

【図１０】


4
9
8
1
5
3
2
6

【図１１】


308
306
b2
e2
312
302
305
305d
A/D
Vcc
充電電圧検出回路
309
301a
303
305b
322
311
f2
324
304
RAM
a2
307
トリガー回路
301
Vcc
305f
g2
310
マイコン
305e
321
323
320
305a
D/A
MAINSW
317
305c
測光回路
313
318
SW1
測距回路
314
319
SW2
レンズ駆動回路
315
フィルム駆動回路
316

フロントページの続き

(51)Int.Cl.[7]	識別記号	ＦＩ	ﾃｰﾏｺｰﾄﾞ(参考)
// Ｈ０２Ｍ 3/07		Ｈ０２Ｍ 3/07	

Ｆターム(参考) 2H053 BA08 BA09
3K098 AA03 AA04 AA20 AA30 BB01
BB14 BB20
5G003 AA04 BA01 CA04 CC07 DA16
GA01 GB04 GC05
5H730 AS18 BB43 DD02 EE07 FD01
FF09

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-032899
(43)Date of publication of application : 29.01.2004

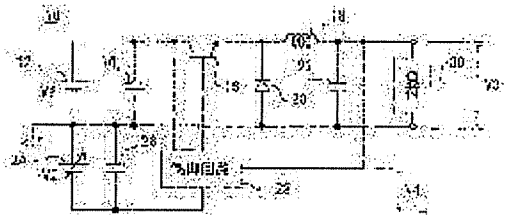
(51)Int.Cl. H02M 3/155

(21)Application number : 2002-185262
(22)Date of filing : 25.06.2002

(71)Applicant : MURATA MFG CO LTD
(72)Inventor : TAKEUCHI HARUYUKI

(54) CHOPPER REGULATOR CIRCUIT AND ELECTRONIC DEVICE USING THE SAME

(57)Abstract:
PROBLEM TO BE SOLVED: To provide a chopper regulator circuit, capable of setting output voltage at a low value, increasing the variable range of the output voltage, and operating, even if the voltage of the input power supply is low.
SOLUTION: This chopper regulator circuit 10 supplies voltage to a load 30, by switching the voltage of the input power supply 12 with a transistor 16 and includes an auxiliary power supply 24 for generating the voltage of polarity opposite to that of the input power supply 12 relative to the ground level, to generate a reference voltage in a control circuit 28 on the basis of the voltage of the auxiliary power supply 24, set the voltage at the output terminal of the chopper regulator circuit 10 control as a control voltage, and to control the transistor 16 so that the control voltage becomes constant.



(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-32899
(P2004-32899A)
(43)公開日　平成16年1月29日(2004.1.29)

(51)Int.Cl.[7]	F I		テーマコード（参考）
H02M 3/155	H02M 3/155	X	5H730

審査請求 未請求　請求項の数 5　ＯＬ　（全 12 頁）

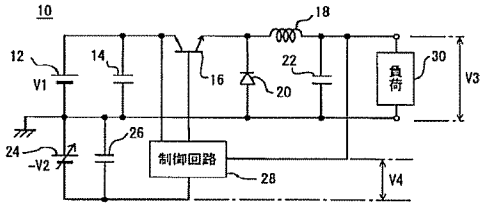
(21)出願番号　特願2002-185262(P2002-185262)
(22)出願日　平成14年6月25日(2002.6.25)

(71)出願人　000006231
株式会社村田製作所
京都府長岡京市天神二丁目２６番１０号
(74)代理人　100079577
弁理士　岡田　全啓
(72)発明者　竹内　治幸
京都府長岡京市天神二丁目２６番１０号
株式会社村田製作所内

Ｆターム(参考)　5H730 AA16 AS01 AS05 BB13 BB57
CC14 DD02 EE07 EE08 EE10
FD01 FG05 VV01

(54)【発明の名称】チョッパ型レギュレータ回路およびそれを用いた電子装置

(57)【要約】
【課題】出力電圧を低い値に設定することができ、出力電圧の可変範囲を広くすることができ、かつ入力電源の電圧が低くても動作するチョッパ型レギュレータ回路を得る。
【解決手段】チョッパ型レギュレータ回路１０は、入力電源１２の電圧をトランジスタ１６でスイッチングすることにより、負荷３０に電圧を供給する。グランドレベルに対して入力電源１２と逆極性の電圧を発生する補助電源２４を備え、補助電源２４の電圧を基準として、制御回路２８内に基準電圧を発生させる。補助電源２４の電圧を基準としたチョッパ型レギュレータ回路１０の出力端の電圧を制御電圧とし、制御電圧が一定となるようにトランジスタ１６を制御する。
【選択図】　図１



【特許請求の範囲】
【請求項１】
入力電源、および
前記入力電源の電圧をスイッチングすることにより出力電圧を得るためのスイッチング素子を含むチョッパ型レギュレータ回路であって、
グランドレベルに対して前記入力電源と逆極性の電圧を発生する補助電源と、前記スイッチング素子のスイッチングを制御するための制御回路とを備え、
前記制御回路は、内部に基準電圧を発生する基準電圧発生源を有し、前記出力電圧から得られた電圧と前記基準電圧とを比較することにより前記スイッチング素子のスイッチングを制御するものであり、
前記制御回路の基準電圧は前記補助電源の電圧を基準とする、チョッパ型レギュレータ回路。
【請求項２】
前記出力電圧から得られた電圧は、前記補助電源の電圧を基準とする、請求項１に記載のチョッパ型レギュレータ回路。
【請求項３】
前記補助電源は電圧可変のものであり、前記補助電源の電圧を変化させることにより前記出力電圧を変化させる、請求項１または請求項２に記載のチョッパ型レギュレータ回路。
【請求項４】
前記補助電源は内部に電圧を安定化させるための基準電圧発生源を備え、前記補助電源の基準電圧発生源および前記制御回路の基準電圧発生源に同じ温度係数を有する素子が使用される、請求項１ないし請求項３のいずれかに記載のチョッパ型レギュレータ回路。
【請求項５】
請求項１ないし請求項４のいずれかに記載のチョッパ型レギュレータ回路を用いた、電子装置。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
この発明は、チョッパ型レギュレータ回路およびそれを用いた電子装置に関し、特に、たとえば一定電圧を負荷に供給するためのチョッパ型レギュレータ回路と、それを用いた電子装置に関する。
【０００２】
【従来の技術】
図１２は、従来のチョッパ型レギュレータ回路の一例を示す回路図である。チョッパ型レギュレータ回路１は、入力電源２を含む。入力電源２の出力側とグランドレベルとの間に、コンデンサ３が接続される。さらに、入力電源２の出力側は、スイッチング素子としてのトランジスタ４のコレクタに接続される。トランジスタ４のエミッタは、インダクタ５に接続される。トランジスタ４とインダクタ５の一方側との間には、ダイオード６のカソードが接続され、ダイオード６のアノードはグランドレベルに接続される。また、インダクタ５の他方側とグランドレベルとの間には、コンデンサ７が接続される。このコンデンサ７と並列に負荷が接続され、この負荷にチョッパ型レギュレータ回路１の出力電圧が与えられる。
【０００３】
また、入力電源２の出力側とグランドレベルとの間に、制御回路８が接続される。制御回路８はシャントレギュレータＩＣ１を含み、入力電源２のグランドレベルを基準とした基準電圧が発生させられる。さらに、制御回路８は分圧回路９を含み、この分圧回路９によってチョッパ型レギュレータ回路１の出力電圧がグランドレベルを基準として分圧される。分圧回路９で分圧された電圧は、シャントレギュレータＩＣ１の基準電圧と比較される。そして、制御回路８の制御端子がトランジスタ４のベースに接続され、この制御端子からの信号によってトランジスタ４のオン・オフが制御される。

【０００４】
このようなチョッパ型レギュレータ回路１では、トランジスタ４がオンのときには、インダクタ５および負荷に電流が流れ、このときインダクタ５に電磁エネルギが蓄積される。そして、トランジスタ４がオフになったとき、インダクタ５に蓄積された電磁エネルギが放出され、負荷とダイオード６とで形成される回路を電流が流れる。
【０００５】
トランジスタ４のオン・オフは、制御回路８によって制御される。このとき、チョッパ型レギュレータ回路１の出力電圧を分圧回路９で分圧した電圧が、シャントレギュレータＩＣ１の基準電圧と同じ電圧となるように制御される。このように制御することにより、出力電圧が高くなると、分圧された電圧も高くなり、基準電圧より高くなる。このとき、制御回路８によって、トランジスタ４がオフになるように制御される。また、出力電圧が低くなると、分圧された電圧も低くなり、基準電圧より低くなる。このとき、制御回路８によって、トランジスタ４がオンになるように制御される。このように、制御回路８によってトランジスタ４のオン・オフが制御され、オン・オフの時間を調整することにより、一定の出力電圧が得られる。
【０００６】
このように、このチョッパ型レギュレータ回路１では、トランジスタ４が自分自身でオン・オフを繰り返す、いわゆる自励発振動作を行う。この場合の発振周波数（スイッチング周波数）は、入力電圧や負荷の大きさによって変化する。オン・オフのデューティは、入力電圧と出力電圧とで決まり、これらが同じであれば負荷に応じて変化しない。
【０００７】
【発明が解決しようとする課題】
上述のように、チョッパ型レギュレータ回路では、分圧回路で分圧された電圧がシャントレギュレータの基準電圧に一致するように、スイッチング素子のオン・オフが制御される。したがって、分圧回路の分圧比を変更することにより、チョッパ型レギュレータ回路の出力電圧を調整することができる。たとえば、分圧回路の分圧値が出力電圧の８０％であれば、チョッパ型レギュレータ回路の出力電圧は、シャントレギュレータの基準電圧の１００／８０になる。また、分圧回路の分圧値が出力電圧の１００％、つまり出力電圧そのものであれば、チョッパ型レギュレータ回路の出力電圧はシャントレギュレータの基準電圧の１００／１００になり、基準電圧と出力電圧とは一致する。このことから、チョッパ型レギュレータ回路の出力電圧は、シャントレギュレータの基準電圧より低い値に設定することができないことがわかる。
【０００８】
また、チョッパ型レギュレータ回路の出力電圧は分圧回路の分圧値で制御することができるが、シャントレギュレータの基準電圧より低くするような制御はできないことから、出力電圧の可変範囲が狭い。つまり、チョッパ型レギュレータ回路の出力電圧の可変範囲は、シャントレギュレータの基準電圧から入力電源の電圧までの間ということになる。
【０００９】
さらに、制御回路が動作するのに必要な電圧は、上述のように入力電源の電圧になっているが、この電圧が低下して出力電圧に近づくと、制御回路（具体的にはシャントレギュレータ）が動作できなくなる。そのため、入力電源の電圧としては、出力電圧に対して一定以上大きい値が必要である。
【００１０】
それゆえに、この発明の主たる目的は、出力電圧を低い値に設定することができ、出力電圧の可変範囲を広くすることができ、かつ入力電源の電圧が低くても動作する、チョッパ型レギュレータ回路を提供することである。
【００１１】
【課題を解決するための手段】
この発明は、入力電源と、入力電源の電圧をスイッチングすることにより出力電圧を得るためのスイッチング素子とを含むチョッパ型レギュレータ回路であって、グランドレベル

に対して入力電源と逆極性の電圧を発生する補助電源と、スイッチング素子のスイッチングを制御するための制御回路とを備え、制御回路は、内部に基準電圧を発生する基準電圧発生源を有し、出力電圧から得られた電圧と基準電圧とを比較することによりスイッチング素子のスイッチングを制御するものであり、制御回路の基準電圧は補助電源の電圧を基準とする、チョッパ型レギュレータ回路である。
このようなチョッパ型レギュレータ回路において、出力電圧から得られた電圧は、たとえば、補助電源の電圧を基準とすることができる。
また、補助電源は電圧可変のものであり、補助電源の電圧を変化させることにより出力電圧を変化させることができる。
さらに、補助電源は内部に電圧を安定化するための基準電圧発生源を備え、補助電源の基準電圧発生源および制御回路の基準電圧発生源に同じ温度係数を有する素子を使用することができる。
また、この発明は、上述のいずれかに記載のチョッパ型レギュレータ回路を用いた、電子装置である。

【００１２】

グランドレベルに対して入力電源と逆極性の電圧を発生する補助電源があり、入力電源と補助電源の和の電圧が制御回路に印加される。そのため、制御回路の内部の基準電圧は、入力電源のグランドレベルより低い電圧を基準として発生させることができる。補助電源の電圧を基準としてチョッパ型レギュレータ回路の出力電圧から得られた電圧が、基準電圧と一定の関係を有するようにスイッチング素子を制御することにより、チョッパ型レギュレータ回路の出力電圧が、補助電源の電圧を基準として一定の電圧となるように制御することができる。
補助電源の電圧を基準としたチョッパ型レギュレータ回路の出力電圧が一定となるように制御されるため、補助電源の電圧を可変とすることにより、チョッパ型レギュレータ回路の出力電圧を調整することができる。
制御回路の基準電圧発生源および補助電源の基準電圧発生源として、たとえば同じ温度係数のツェナーダイオードなどを用いることにより、両者の基準電圧発生源の温度係数を同じにすることができ、温度変化による両者の基準電圧の変動を相殺することができる。そのため、温度変化に関係なく、チョッパ型レギュレータ回路の出力電圧を安定させることができる。
このようなチョッパ型レギュレータ回路は、出力電圧を広い範囲で調整することができ、ＯＡ機器や通信装置などの電子装置の電源回路として用いることができる。

【００１３】

この発明の上述の目的，その他の目的，特徴および利点は、図面を参照して行う以下の発明の実施の形態の詳細な説明から一層明らかとなろう。

【００１４】

【発明の実施の形態】

図１は、この発明のチョッパ型レギュレータ回路の一例を示す回路図である。チョッパ型レギュレータ回路１０は、入力電源１２を含む。入力電源１２の出力側とグランドレベル側との間に、第１のコンデンサ１４が接続される。さらに、入力電源１２の出力側には、スイッチング素子としてのＮＰＮ型のトランジスタ１６のコレクタが接続される。トランジスタ１６のエミッタには、インダクタ１８の一方側が接続される。そして、トランジスタ１６のエミッタとインダクタ１８の一方側との間にダイオード２０のカソードが接続され、ダイオード２０のアノードはグランドレベルに接続される。さらに、インダクタ１８の他方側とグランドレベルとの間には、第２のコンデンサ２２が接続される。

【００１５】

また、入力電源１２と直列に、補助電源２４が接続される。補助電源２４は、グランドレベルを基準として、入力電源１２と逆極性の電圧を発生するように形成される。この補助電源２４は、電圧が可変となるように形成される。補助電源２４の出力側とグランドレベルとの間には、第３のコンデンサ２６が接続される。そして、入力電源１２と補助電源２

４との直列回路に、制御回路２８が接続される。したがって、制御回路２８には、入力電源１２と補助電源２４の和の電圧が印加される。これらの補助電源２４、第３のコンデンサ２６および制御回路２８によって、出力電圧調整回路が構成される。

【００１６】

制御回路２８は、図１２に示す従来の制御回路と同様のものであり、シャントレギュレータと分圧回路とを含む。シャントレギュレータの基準電圧は、補助電源２４の電圧を基準として形成される。また、分圧回路においては、インダクタ１８の他方側の出力電圧が補助電源２４の電圧との間で分圧されて、シャントレギュレータの基準電圧と比較される。制御回路２８の制御端子は、トランジスタ１６のベースに接続される。このチョッパ型レギュレータ回路１０では、第２のコンデンサ２２の両端が出力端として用いられ、この出力端に負荷３０が接続される。

【００１７】

このチョッパ型レギュレータ回路１０では、トランジスタ１６のオン・オフを制御することにより、出力電圧が調整される。そのために、制御回路２８に印加された補助電源２４の電圧を基準として基準電圧が形成され、この基準電圧とインダクタ１８側の出力端の電圧とが比較される。インダクタ１８側の出力端の電圧は、補助電源２４の電圧との間で分圧される。したがって、基準電圧と比較される電圧は、補助電源２４の電圧を基準とした電圧となる。分圧回路による分圧値は適宜設定可能であるが、１００％の分圧値、つまり補助電源２４の低圧出力側を基準としたときのインダクタ１８側の出力端の電圧そのものを基準電圧と比較するようにしてもよい。

【００１８】

ここで、入力電源１２の電圧をＶ１、グランドレベルを基準とした補助電源２４の電圧を－Ｖ２、チョッパ型レギュレータ回路１０の出力電圧をＶ３、補助電源２４の電圧を基準としたインダクタ１８側の出力端の電圧を制御電圧Ｖ４として説明する。この制御電圧Ｖ４が、制御回路２８内の分圧回路によって分圧され、基準電圧と比較される。そして、この制御電圧Ｖ４が一定となるように、トランジスタ１６のオン・オフが制御される。なお、分圧回路の分圧値が１００％の場合、つまりインダクタ１８側の出力端と補助電源２４の低圧出力側との間の電圧がそのまま基準電圧と比較される場合、制御電圧Ｖ４が基準電圧と同じになるようにトランジスタ１６が制御される。

【００１９】

次に、分圧回路の分圧値が１００％の場合におけるチョッパ型レギュレータ回路１０の動作について説明する。このとき、入力電源１２の出力電圧Ｖ１が５（Ｖ）で、制御回路２８内の基準電圧が４（Ｖ）であるとすると、制御回路２８に入力される制御電圧Ｖ４が４（Ｖ）となるように、トランジスタ１６のオン・オフが制御される。つまり、制御電圧Ｖ４が４（Ｖ）より高くなるとトラジスタ１６はオフとなり、制御電圧Ｖ４が４（Ｖ）より低くなるとトランジスタ１６はオンとなるように制御される。

【００２０】

補助電源２４の電圧Ｖ２＝０（Ｖ）である場合、制御電圧Ｖ４＝４（Ｖ）となるように制御される。このとき、補助電源２４の電圧Ｖ２＝０（Ｖ）であるため、制御電圧Ｖ４はグランドレベルとの間の電圧である。したがって、チョッパ型レギュレータ回路１０の出力電圧Ｖ３と制御電圧Ｖ４とは一致し、チョッパ型レギュレータ回路１０の出力電圧Ｖ３は４（Ｖ）となる。

【００２１】

また、補助電源２４の電圧－Ｖ２＝－１（Ｖ）である場合、制御電圧Ｖ４＝４（Ｖ）となるように制御されるが、制御電圧Ｖ４は補助電源２４の電圧を基準とした電圧であるため、グランドレベルとの間の電圧であるチョッパ型レギュレータ回路１０の出力電圧Ｖ３は３（Ｖ）となる。同様に、補助電源２４の電圧－Ｖ２＝－２（Ｖ）である場合、制御電圧Ｖ４＝４（Ｖ）に補助電源２４の電圧－Ｖ２＝－２（Ｖ）を足した値がチョッパ型レギュレータ回路１０の出力電圧Ｖ３となり、Ｖ３＝２（Ｖ）となる。このように、チョッパ型レギュレータ回路１０の出力電圧Ｖ３は、Ｖ３＝Ｖ４－Ｖ２で表される。

【００２２】
なお、制御電圧Ｖ４が分圧回路で例えば１／２に分圧される場合、制御回路２８の基準電圧を２（Ｖ）の物を使用することにより、上述の動作と同様にして、制御電圧Ｖ４＝４（Ｖ）になるように制御することができる。
【００２３】
このように、このチョッパ型レギュレータ回路１０では、補助電源２４の電圧を変えることにより、出力電圧を変えることができる。このとき、補助電源２４の電圧を高くすることにより、チョッパ型レギュレータ回路１０の出力電圧を低くすることができ、制御回路２８内の基準電圧より低い出力電圧を得ることができる。そのため、出力電圧の制御幅を広くすることができる。
【００２４】
また、このチョッパ型レギュレータ回路１０では、補助電源２４の電圧を変えることによって出力電圧が調整され、制御回路２８内の定数や電圧値は常に一定であるため、広い可変範囲に対して安定した制御をすることができる。また、補助電源２４を設けることにより、制御回路２８に印加される電圧は、入力電源１２の電圧と補助電源２４の電圧の和Ｖ１＋Ｖ２｛＝Ｖ１－（－Ｖ２）｝となるため、入力電源１２の電圧Ｖ１が低くなっても、制御回路２８には十分に動作可能な電圧が印加される。したがって、入力電源１２の電圧を出力電圧に近い値まで下げることができ、Ｖ１＝Ｖ３＋０．５（Ｖ）程度の設定が可能となる。
【００２５】
なお、図２に示すチョッパ型レギュレータ回路４０のように、出力電圧を分圧するために、出力端子間に分圧用の抵抗４２，４４を接続してもよい。この場合、制御回路２８内に分圧回路を形成する必要はなく、抵抗４２，４４で分圧された電圧が制御回路２４の基準電圧と比較される。この場合においては、補助電源２４の電圧を基準とした抵抗４２，４４の接続部の電圧が制御電圧として用いられる。この場合においても、補助電源２４の電圧を変えることにより、チョッパ型レギュレータ回路４０の出力電圧を広い範囲で調整することができる。
【００２６】
また、図３に示すチョッパ型レギュレータ回路５０のように、固定電圧の電源５２と、ＩＣ１で示される可変レギュレータ５４とを用いて、補助電源を形成してもよい。可変レギュレータ５４としては、たとえばシャントレギュレータが用いられる。このチョッパ型レギュレータ回路５０では、電源５２と直列に抵抗５６が接続される。また、可変レギュレータ５４と並列に可変抵抗５８と抵抗６０からなる分圧回路が接続され、この分圧回路で分圧された電圧が可変レギュレータ５４に入力される。
【００２７】
このチョッパ型レギュレータ回路５０では、可変抵抗５８を調整することにより、抵抗５６に流れる電流が調整され、可変レギュレータ５４の両端の電圧－Ｖ５が調整される。したがって、電圧－Ｖ５をグランドレベルを基準とした補助電源の電圧とすると、チョッパ型レギュレータ回路５０の出力電圧はＶ３＝Ｖ４－Ｖ５で表され、補助電源の電圧－Ｖ５を変えることによって出力電圧Ｖ３を調整することができる。このチョッパ型レギュレータ回路５０では、可変レギュレータ５４によって補助電源の電圧－Ｖ５が正確に調整されるため、電源５２の電圧は高精度なものでなくても、出力電圧Ｖ３を正確に調整することができる。
【００２８】
また、図４に示すチョッパ型レギュレータ回路７０のように、電源７２と、ＩＣ２で示されるシリーズレギュレータ７４とを用いて、補助電源を形成してもよい。この場合、シリーズレギュレータ７４とグランドレベルとの間に可変抵抗７６と抵抗７８とからなる分圧回路が接続され、これらの抵抗７６と抵抗７８との間がシリーズレギュレータ７４に接続される。
【００２９】

このチョッパ型レギュレータ回路７０では、可変抵抗７６を調整することにより、シリーズレギュレータ７４によって分圧回路に流れる電流が調整され、分圧回路の両端の電圧が調整される。したがって、可変抵抗７６を調整することにより、チョッパ型レギュレータ回路７０の出力電圧を調整することができる。このチョッパ型レギュレータ回路７０においても、シリーズレギュレータ７４によって正確に電圧調整可能であるため、電源７２の電圧は高精度である必要がない。

【００３０】

また、図５に示すチョッパ型レギュレータ回路８０のように、入力電源１２と、ＩＣ３で示される反転出力のＤＣ－ＤＣコンバータ８２とを用いて、補助電源を形成してもよい。このＤＣ－ＤＣコンバータ８２によって、入力電源１２と符号が逆の電圧が形成される。さらに、ＤＣ－ＤＣコンバータ８２とグランドレベルとの間に、コンデンサ８４が接続される。なお、反転出力の電源には、出力電圧固定のものが多いため、図３に示すチョッパ型レギュレータ回路５０と同様に、可変レギュレータ５４などからなる電圧調整回路が接続される。

【００３１】

このチョッパ型レギュレータ回路８０では、入力電源１２の電圧を利用して補助電源が形成されるため、別の電源は不要となる。このチョッパ型レギュレータ回路８０においても、図３や図４に示すチョッパ型レギュレータ回路と同様に、正確に出力電圧を調整することができる。

【００３２】

また、図６に示すチョッパ型レギュレータ回路９０のように、補助電源を形成するための回路と制御回路の両方に、同じ温度係数を有するツェナーダイオードを用いることにより、温度による出力電圧の変動を抑えることができる。このチョッパ型レギュレータ回路９０では、電源９２に抵抗９４を介してツェナーダイオード９６のアノードが接続される。このツェナーダイオード９６のカソードは、グランドレベルに接続される。ツェナーダイオード９６に並列にコンデンサ２６が接続され、補助電源が形成される。ツェナーダイオード９６は、補助電源の基準電圧発生源として用いられ、電圧－Ｖ６が形成される。

【００３３】

このチョッパ型レギュレータ回路９０では、スイッチング素子として、ＰＮＰ型のトランジスタ１００が用いられ、このトランジスタ１００が制御回路に接続される。制御回路は、２つのＮＰＮ型のトランジスタ１０２，１０４を含み、一方のトランジスタ１０２のコレクタには、抵抗１０６を介してトランジスタ１００のベースが接続される。また、トランジスタ１０２のエミッタは、抵抗１０８を介して補助電源の出力側に接続される。

【００３４】

さらに、他方のトランジスタ１０４のコレクタには、抵抗１１０を介して入力電源１２の出力側が接続される。また、トランジスタ１０４のエミッタは、抵抗１０８を介して補助電源の出力側に接続される。さらに、トランジスタ１００のベースとエミッタとの間には、抵抗１１２が接続される。

【００３５】

この制御回路の基準電圧発生源として、ツェナーダイオード１１４が用いられる。ツェナーダイオード１１４のアノードは補助電源の出力側に接続され、カソードは抵抗１１６を介して入力電源１２の出力側に接続される。さらに、ツェナーダイオード１１４のカソードが、抵抗１１８を介して、一方のトランジスタ１０２のベースに接続される。このトランジスタ１０２のベースは、抵抗１２０を介してトランジスタ１００のコレクタに接続されるとともに、抵抗１２２を介して補助電源の出力側に接続される。また、チョッパ型レギュレータ回路９０の出力端と補助電源の出力側との間には、抵抗１２４，１２６からなる分圧回路が接続され、この分圧回路で分圧された電圧が他方のトランジスタ１０４のベースに与えられる。

【００３６】

このチョッパ型レギュレータ回路９０では、出力電圧が高くなると、トランジスタ１０４

のベースに与えられる電圧がツェナーダイオード１１４および抵抗１１８，１２２，１２０で形成される基準電圧より高くなり、トランジスタ１０４がオンになるとともに、トランジスタ１０２がオフとなる。このとき、トランジスタ１００のベースとエミッタとの間の抵抗１１２に電流が流れないため、ベースーエミッタ間に電圧が発生せず、トランジスタ１００はオフとなる。

【００３７】

また、チョッパ型レギュレータ回路９０の出力電圧が低くなると、トランジスタ１０４のベースに与えられる電圧がツェナーダイオード１１４および抵抗１１８，１２２，１２０で形成される基準電圧より低くなり、トランジスタ１０２がオンになるとともに、トランジスタ１０４がオフとなる。このとき、トランジスタ１００のベースとエミッタとの間の抵抗１１２に電流が流れ、ベースーエミッタ間に電圧が発生し、トランジスタ１００はオンとなる。このようにして、トランジスタ１００はオン・オフを繰り返し、制御電圧Ｖ４が一定となるように制御される。

【００３８】

このチョッパ型レギュレータ回路９０では、電圧－Ｖ６をグランドレベルを基準とした補助電源の出力電圧とすると、出力電圧Ｖ３は、Ｖ３＝Ｖ４－Ｖ６で表される。したがって、補助電源の電圧－Ｖ６を変えることによって、チョッパ型レギュレータ回路９０の出力電圧Ｖ３を調整することができる。

【００３９】

ここで、補助電源に使用されるツェナーダイオード９６と制御回路に使用されるツェナーダイオード１１４として、同じ温度係数を有する素子を使用することにより、温度変化による出力電圧の変動を抑えることができる。つまり、温度変化により、たとえば、補助電源の出力電圧－Ｖ６が高くなると、制御回路の基準電圧も高くなる。そのため、制御電圧Ｖ４も高くなるように制御され、Ｖ３＝Ｖ４－Ｖ６で表されるチョッパ型レギュレータ回路９０の出力電圧Ｖ３の変動は少なくなる。このように、補助電源と制御回路に用いられる基準電圧発生源として同じ温度係数を有する素子を用いることにより、雰囲気温度の変化による出力電圧の変動が相殺される。そのため、温度変化にかかわらず、チョッパ型レギュレータ回路の出力電圧を正確に調整することができる。

【００４０】

これらのレギュレータ回路は、ＯＡ機器や家電製品など、直流電源を必要とする電子機器に組み込むことができる。これらのレギュレータ回路を組み込むことにより、幅広く、かつ安定して電圧を調整することができるため、電子機器の動作を安定したものとすることができる。

【００４１】

【実施例】

図１に示す本発明のチョッパ型レギュレータ回路および図１２に示す従来のチョッパ型レギュレータ回路において、入力電源の電圧５（Ｖ）、制御回路内の基準電圧２．５（Ｖ）、出力電圧３．３（Ｖ）で設計したものを用いて、特性を測定した。図１に示すチョッパ型レギュレータ回路において、出力電流を１（Ａ）に固定して、補助電源の電圧を変化させて、出力電圧に対する効率および発振周波数を測定した。そして、その結果を図７に示した。また、図１２に示す従来のチョッパ型レギュレータ回路において、出力電流を１（Ａ）に固定し、制御回路内の抵抗分圧比を変化させて、出力電圧に対する効率および発振周波数を測定した。そして、その結果を図８に示した。なお、図７において、効率については、最大効率であった出力電圧３．１（Ｖ）のときの値を１としたときの数値を示した。また、図８において、効率については、最大効率であった出力電圧２．９（Ｖ）のときの値を１としたときの数値を示した。なお、トランジスタ、インダクタ、ダイオード、コンデンサなどについては、図１および図１２に示すチョッパ型レギュレータ回路とも同じものを使用した。

【００４２】

図７からわかるように、図１に示すチョッパ型レギュレータ回路では、出力電圧は３．３

（Ｖ）～０．５（Ｖ）まで安定して変化させることができた。それに対して、図１２に示すチョッパ型レギュレータ回路では、制御回路内の基準電圧である２．５（Ｖ）までしか出力電圧を変化させることができなかった。また、チョッパ型レギュレータ回路が安定しているかどうかの目安である発振周波数も、図１２に示すチョッパ型レギュレータ回路では、出力電圧比で大きく変化している。

【００４３】

また、図１に示すチョッパ型レギュレータ回路において、出力電圧２．５（Ｖ）、出力電流１（Ａ）に固定して、入力電源の電圧を変化させ、発振周波数と効率とを測定した。そして、その結果を図９に示した。なお、効率については、入力電源の電圧が２．９（Ｖ）のときの値を１としたときの数値を示した。

【００４４】

さらに、図１２に示すチョッパ型レギュレータ回路において、出力電圧２．５（Ｖ）、出力電流１（Ａ）に固定して、入力電源の電圧を変化させ、発振周波数と効率とを測定した。そして、その結果を図１０に示した。なお、効率については、入力電源の電圧が３．９（Ｖ）のときの値を１としたときの数値を示した。

【００４５】

図９からわかるように、図１に示すチョッパ型レギュレータ回路においては、出力電圧２．５（Ｖ）に対して、入力電源の電圧２．９（Ｖ）まで動作し、効率も向上している。それに対して、図１０からわかるように、図１２に示すチョッパ型レギュレータ回路においては、出力電圧２．５（Ｖ）に対して、入力電源の電圧が３．７（Ｖ）を下回ったところで十分な制御ができず、効率が低くなっている。

【００４６】

さらに、図１に示すチョッパ型レギュレータ回路において、出力電圧１（Ｖ）、出力電流１（Ａ）に固定して、入力電源の電圧を変化させ、発振周波数と効率とを測定した。そして、その結果を図１１に示した。なお、効率については、入力電源の電圧が１．５（Ｖ）のときの値を１としたときの数値を示した。図１１からわかるように、出力電圧１（Ｖ）に対して、入力電源１２の電圧が１．５（Ｖ）まで動作し、効率も向上している。

【００４７】

これらの実施例から、この発明のチョッパ型レギュレータ回路では、出力電圧を制御回路内の基準電圧以下の値まで広範囲に変化可能であることがわかる。また、入力電源の電圧を出力電圧の近傍まで下げても、チョッパ型レギュレータ回路を動作させることができることがわかる。

【００４８】

【発明の効果】この発明のチョッパ型レギュレータ回路によれば、出力電圧を低い値まで変化させることができ、安定して広範囲に出力電圧を調整することができる。また、入力電源の電圧を低くしてもチョッパ型レギュレータ回路を動作させることができ、入力電源の電圧をチョッパ型レギュレータ回路の出力電圧＋０．５（Ｖ）程度まで低くすることができる。さらに、補助電源および制御回路に用いられる基準電圧発生源として、同じ温度係数を有するツェナーダイオードなどの素子を用いることにより、温度変化による出力電圧の変動を抑えることができる。このようなチョッパ型レギュレータ回路を電子機器の電源回路として用いることにより、幅広く、かつ安定して電圧を調整することができるため、電子機器の動作を安定したものとすることができる。

【図面の簡単な説明】

【図１】この発明のチョッパ型レギュレータ回路の一例を示す回路図である。

【図２】この発明のチョッパ型レギュレータ回路の他の例を示す回路図である。

【図３】この発明のチョッパ型レギュレータ回路のさらに他の例を示す回路図である。

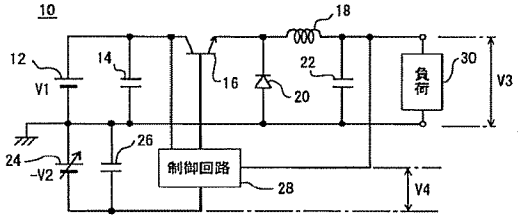
【図４】この発明のチョッパ型レギュレータ回路の別の例を示す回路図である。

【図５】この発明のチョッパ型レギュレータ回路のさらに別の例を示す回路図である。

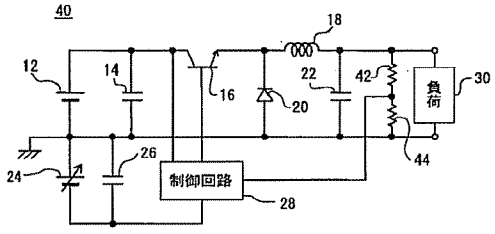
【図６】補助電源および制御回路の基準電圧発生源として同じ温度係数を有するツェナーダイオードを用いたチョッパ型レギュレータ回路の例を示す回路図である。

【図７】図１に示すチョッパ型レギュレータ回路において、出力電圧の変化に対する効率および発振周波数の変化を示すグラフである。
【図８】図１２に示すチョッパ型レギュレータ回路において、出力電圧の変化に対する効率および発振周波数の変化を示すグラフである。
【図９】図１に示すチョッパ型レギュレータ回路において、出力電圧を２．５（Ｖ）に設定したときの入力電源の電圧の変化に対する効率および発振周波数の変化を示すグラフである。
【図１０】図１２に示すチョッパ型レギュレータ回路において、出力電圧を２．５（Ｖ）に設定したときの入力電源の電圧の変化に対する効率および発振周波数の変化を示すグラフである。
【図１１】図１に示すチョッパ型レギュレータ回路において、出力電圧を１（Ｖ）に設定したときの入力電源の電圧の変化に対する効率および発振周波数の変化を示すグラフである。
【図１２】従来のチョッパ型レギュレータ回路の一例を示す回路図である。
【符号の説明】
１０，４０，５０，７０，８０，９０　チョッパ型レギュレータ回路
１２　入力電源
１６，１００　トランジスタ
２８　制御回路
２４　補助電源
５２，７２，９２　電源
５４　可変レギュレータ
７４　シリーズレギュレータ
８２　ＤＣ－ＤＣコンバータ
９６，１１４　ツェナーダイオード

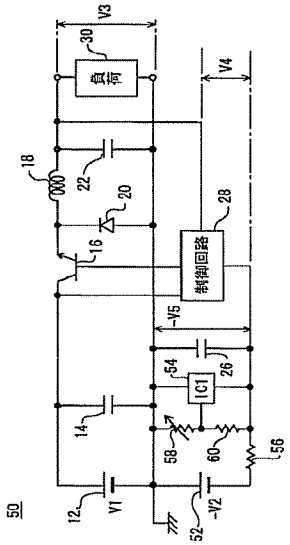
【図１】



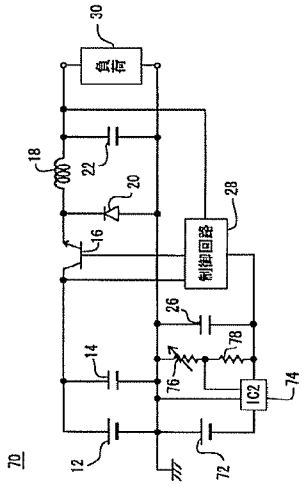
【図２】



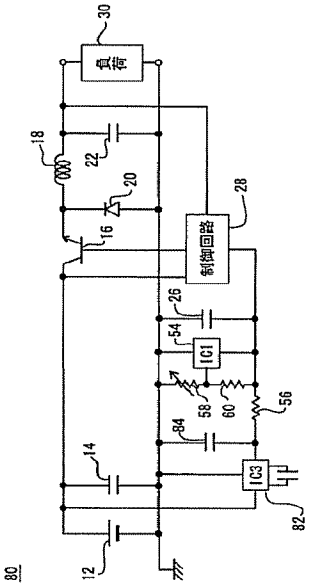
【図３】



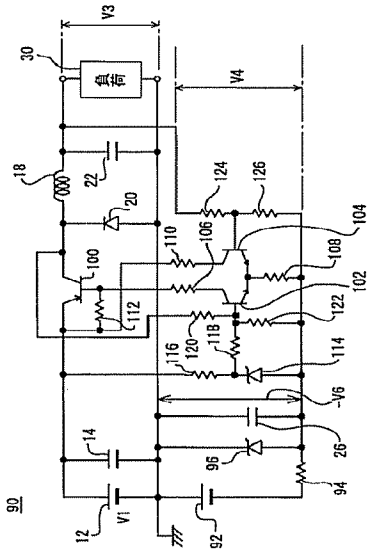
【図４】


負荷
制御回路
IC2
70

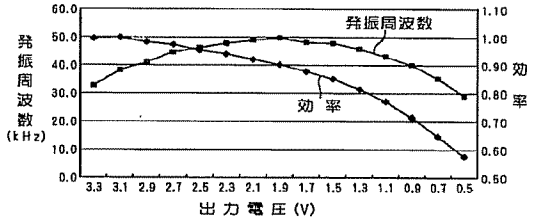
【図５】


負荷
制御回路
IC1
IC3
80

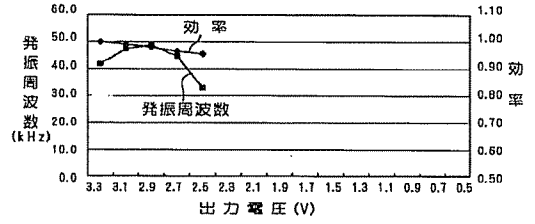
【図６】


負荷
90

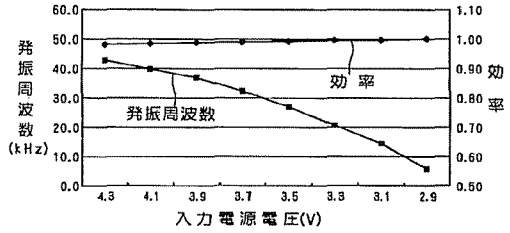
【図７】


発振周波数
効率
発振周波数(kHz)
出力電圧(V)

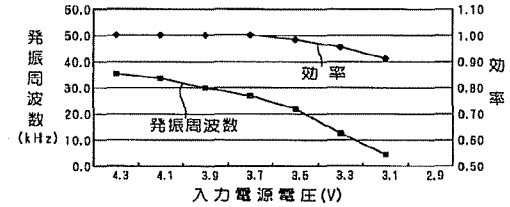
【図８】


効率
発振周波数
発振周波数(kHz)
出力電圧(V)

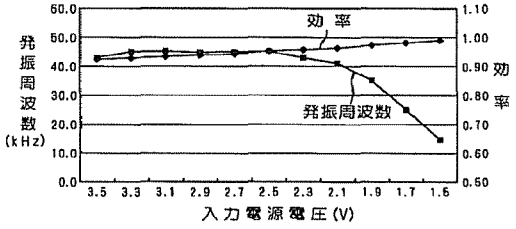
【図９】



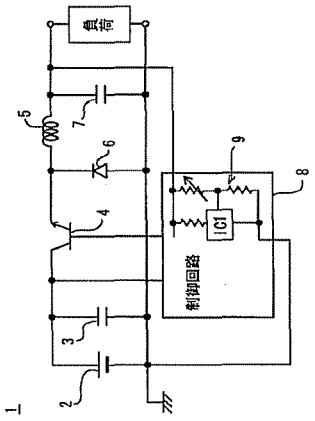
【図１０】



【図１１】



【図１２】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2004-201474
(43)Date of publication of application : 15.07.2004

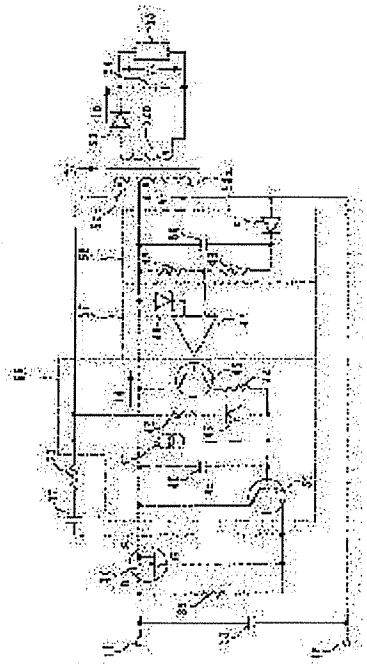
(51)Int.Cl. H02M 3/338

(21)Application number : 2002-370465
(22)Date of filing : 20.12.2002

(71)Applicant : SMK CORP
KAC JAPAN:KK
(72)Inventor : IKEDA TOSHIHARU
KANO HARUMI
KONDO HARUHIKO
AMEI TOSHIHIRO
NAKAI KOICHI

(54) SWITCHING POWER SUPPLYING CIRCUIT

(57)Abstract:
PROBLEM TO BE SOLVED: To provide a low-cost switching power supply, by making the structure of a flyback transformer simple and by detecting an output voltage at the primary side.
SOLUTION: A first switching element, which is self-oscillated by a voltage impressed from a drive coil of the flyback transformer to excite an exciting coil, is inserted between an exciting coil and a DC power supply. The drive coil is directly connected to one end of the exciting coil, and an output voltage detecting portion is provided for detecting a voltage corresponding to an output voltage of the exciting coil. An error detecting portion that compares a detected voltage with a reference voltage is provided in the output voltage detecting portion. A switching control device is connected to this error detecting portion. Based on the magnitude of a voltage difference detected by the error detecting circuit, a time constant circuit of the switching control device is made variable to control the ON time of a first switching element in such a way that the output voltage becomes constant by controlling the on-off of a second switching element.



(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2004-201474
(P2004-201474A)
(43)公開日　平成16年7月15日(2004.7.15)

(51)Int.Cl.[7]	F I		テーマコード（参考）
H02M 3/338	H02M 3/338	A	5H730

審査請求 未請求　請求項の数 4　OL　（全 10 頁）

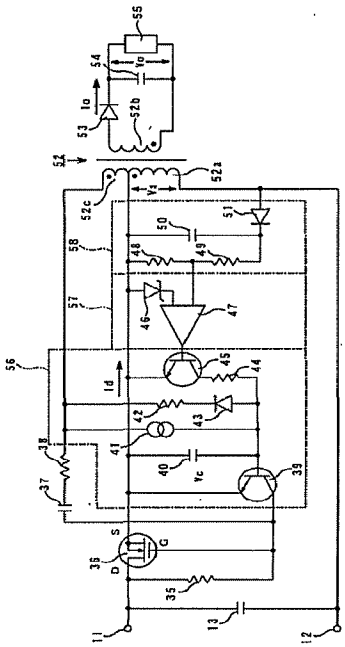
(21)出願番号　特願2002-370465(P2002-370465)
(22)出願日　平成14年12月20日(2002.12.20)

(71)出願人　000102500
ＳＭＫ株式会社
東京都品川区戸越６丁目５番５号
(71)出願人　503001229
株式会社ケー・エー・シー・ジャパン
埼玉県鶴ヶ島市脚折町４丁目１３番２号
(74)代理人　100076255
弁理士　古澤　俊明
(72)発明者　池田　俊治
東京都品川区戸越６丁目５番５号　ＳＭＫ株式会社内
(72)発明者　加納　晴巳
東京都品川区戸越６丁目５番５号　ＳＭＫ株式会社内

最終頁に続く

(54)【発明の名称】スイッチング電源回路

(57)【要約】
【課題】フライバックトランスの構造を簡単にし、かつ、出力電圧の検出を１次側で行うことで、スイッチング電源を安価に提供すること。
【解決手段】フライバックトランスのドライブコイルからの電圧が印加されることによって自励発振し、励磁コイルを励磁する第１スイッチング素子を、励磁コイルと直流電源間に挿入し、この励磁コイルの一方端に前記ドライブコイルを直結し、励磁コイルに出力電圧に対応した電圧を検出する出力電圧検出部を設け、この出力電圧検出部に、検出電圧と基準電圧を比較する誤差検出部を設け、この誤差検出部に、スイッチング制御部を結合してなり、誤差検出部にて検出した誤差電圧の大きさに基づいてスイッチング制御部の時定数回路を可変して第２スイッチング素子のオン、オフを制御して出力電圧が一定となるように第１スイッチング素子のオン時間を制御するようにしたものである。
【選択図】　図１



【特許請求の範囲】
【請求項１】
１次側に励磁コイルとドライブコイルを有し、２次側に出力コイルを有するフライバックトランスと、前記ドライブコイルからの電圧が印加されることによって自励発振し、前記励磁コイルを励磁する第１スイッチング素子と、この第１スイッチング素子の発振周波数を制御するためのスイッチング制御部とを具備したスイッチング電源回路において、前記第１スイッチング素子を、前記励磁コイルと直流電源間に挿入し、前記励磁コイルの一方端に前記ドライブコイルを直結し、前記励磁コイルに、２次側の出力電圧に対応した電圧を検出する出力電圧検出部を設け、この出力電圧検出部に、この出力電圧検出部にて検出した電圧を基準電圧と比較する誤差検出部を設け、この誤差検出部に、前記スイッチング制御部を結合してなり、前記誤差検出部にて検出した誤差電圧の大きさに基づいて前記スイッチング制御部の時定数回路を可変して第２スイッチング素子のオン、オフを制御して出力電圧が一定となるように前記第１スイッチング素子のオン時間を制御するようにしたことを特徴とするスイッチング電源回路。
【請求項２】
スイッチング制御部は、第１スイッチング素子としてのＭＯＳ・ＦＥＴのゲート、ソースに、コレクタ、エミッタをそれぞれ接続した第２スイッチング素子としてのバイポーラトランジスタと、この第２スイッチング素子としてのバイポーラトランジスタのベース・エミッタ間に設けたコンデンサと、第２スイッチング素子としてのバイポーラトランジスタのベースと前記ドライブコイルとの間に設けた定電流素子と、第２スイッチング素子としてのバイポーラトランジスタのベース・エミッタ間に抵抗を介して設けた充電電流制御用トランジスタとを具備し、前記充電電流制御用トランジスタのベースに誤差検出部を結合し、前記充電電流制御用トランジスタは、この誤差の大きさに応じてインピーダンスが変化し、定電流素子からの電流のうち、コンデンサに流れる電流を制御するようにしたことを特徴とする請求項１記載のスイッチング電源回路。
【請求項３】
出力電圧検出部は、整流用ダイオードと平滑用コンデンサの直列回路を励磁コイルの両端間に接続し、このコンデンサとダイオードで整流平滑化された電圧を抵抗で分圧して得た電圧を出力電圧として検出することを特徴とする請求項１又は２記載のスイッチング電源回路。
【請求項４】
誤差検出部は、ツェナーダイオードと誤差増幅器とで構成し、この誤差増幅器によって、出力電圧検出部で検出した出力電圧をツェナーダイオードの基準電圧と比較してその誤差を出力するようにしたことを特徴とする請求項１、２又は３記載のスイッチング電源回路。
【発明の詳細な説明】
【０００１】
【発明の属する技術分野】
本発明は、ノートブック型コンピュータ、携帯電話機等に使われるＡＣアダプタやテレビ受信機、オーディオ製品等の電源回路に用いられる自励式のスイッチング電源回路に関するもので、トランスの構造の簡素化と出力電圧検出方法の簡素化により、より安価な電源回路を提供することを目的とするものである。
【０００２】
【従来の技術】
従来より、この種の電源として用いられてきた自励式スイッチング電源回路の構成を、図３を用いて説明する。
図３に示すようなＲＣＣといわれるスイッチング電源回路は、１次側の励磁コイル２８ａとドライブコイル２８ｃ、２次側の出力コイル２８ｂで構成されるフライバックトランス２８を有する。これらのコイル２８ａ、２８ｂ、２８ｃは、それぞれ独立していて互いに絶縁されており、このうち励磁コイル２８ａとドライブコイル２８ｃは、同極性で、出力

コイル２８ｂは、逆極性で構成される。この図３において、直流電源を接続するための＋側端子１１と－側端子１２の間には、平滑用コンデンサ１３が接続される。この＋側端子１１には、励磁コイル２８ａの一方端が接続され、励磁コイル２８ａの他方端には、第１スイッチング素子としてのＭＯＳ・ＦＥＴ１４のドレインが接続され、このＭＯＳ・ＦＥＴ１４のソースは、－側端子１２に接続される。このＭＯＳ・ＦＥＴ１４のゲートと＋側端子１１の間には、起動用抵抗１５が接続される。前記励磁コイル２８ａと並列に、スイッチング電源における切り替わりの過渡状態で発生する高いスパイク電圧を防止するための抵抗２４、ダイオード２５、及び、コンデンサ２６からなるスナバ回路２７が接続されている。

また、ＭＯＳ・ＦＥＴ１４のゲートには、－側端子１２との間に、第２スイッチング素子としてのバイポーラトランジスタ１８が接続され、前記ドライブコイル２８ｃの一方端との間に、コンデンサ１６、抵抗１７、抵抗２３が直列に接続されている。

【０００３】

前記トランジスタ１８のベースは、コンデンサ１９を介して－側端子１２に接続されるとともに、ツェナーダイオード２１のアノード側、カソード側を経、さらに、抵抗２２を介してドライブコイル２８ｃと抵抗２３との間に接続されている。また、フォトカプラ２０の受光素子２０ａのコレクタが抵抗１７と抵抗２３の間に、エミッタがトランジスタ１８のベースに接続されている。

【０００４】

前記出力コイル２８ｂには、整流用ダイオード２９と平滑用コンデンサ３０の直列回路が接続され、この平滑用コンデンサ３０の両端に負荷３４が接続されている。また、負荷３４と並列にツェナーダイオード３１と抵抗３３が接続され、この抵抗３３と並列にフォトカプラ２０の発光素子２０ｂと抵抗３２の直列回路が接続されている。

【０００５】

このような構成において、＋側端子１１と－側端子１２の間に直流電圧が印加されると、起動用抵抗１５を介してＭＯＳ・ＦＥＴ１４のゲートに閾値電圧以上の電圧が瞬時に印加される。すると、ＭＯＳ・ＦＥＴ１４に微小なドレイン電流が流れ、これにより、励磁コイル２８ａに電圧が発生し、その影響でドライブコイル２８ｃにも電圧が発生する。ドライブコイル２８ｃに発生した電圧は、抵抗２３、抵抗１７、コンデンサ１６を介してＭＯＳ・ＦＥＴ１４のゲートに加わり、これにより正帰還ループが形成されて、ＭＯＳ・ＦＥＴ１４は、図４のｔ１時に瞬時にＯＮ状態となる。このときのＭＯＳ・ＦＥＴ１４のドレイン・ソース間電圧Ｖｄｓは、図４（ａ）に示すような波形となる。ＭＯＳ・ＦＥＴ１４がＯＮ状態となったことにより、励磁コイル２８ａには、＋側端子１１と－側端子１２の間に印加した直流電圧と略同等の電圧が印加され、ドライブコイル２８ｃには、励磁コイル２８ａの巻数に対する出力コイル２８ｂの巻数比によって決まる電圧Ｖｄが発生する。電圧Ｖｄの波形を図４（ｄ）に示す。

【０００６】

このドライブコイル２８ｃに発生する電圧Ｖｄにより、抵抗２３、フォトカプラ２０の受光素子２０ａを介してコンデンサ１９の充電が始まる。コンデンサ１９に充電される電圧Ｖｃは、図４（ｅ）に示すような波形となり、この電圧Ｖｃがｔ２時に、トランジスタ１８のベース・エミッタ間電圧Ｖｂｅに達すると、トランジスタ１８にベース電流が流れてＯＮ状態となる。トランジスタ１８がＯＮ状態となると、ＭＯＳ・ＦＥＴ１４のゲート・ソース間電圧が略０Ｖとなるため、ＭＯＳ・ＦＥＴ１４は、瞬時にＯＦＦ状態となる。ＭＯＳ・ＦＥＴ１４がＯＮしてからＯＦＦするまでの期間ｔ１～ｔ２に図４（ｂ）に示すように、励磁コイル２８ａに電流Ｉｄが流れる。

【０００７】

ＭＯＳ・ＦＥＴ１４がｔ２時にＯＦＦすると同時に、２次側の出力コイル２８ｂに正負反転した電圧が発生する。この電圧は、ダイオード２９、コンデンサ３０でそれぞれ整流、平滑化されて負荷３４に供給される。このとき出力コイル２８ｂに流れる電流Ｉｏを図４（ｃ）に示す。この電流Ｉｏは、急激に立上り、以後徐々に０に向かって減少していき、

ダイオード２９がＯＦＦするまで降下する。このダイオード２９がＯＦＦするｔ３時と同時に、出力コイル２８ｂの内部にある残留磁束により、ドライブコイル２８ｃに反転した電圧Ｖｄ（図４（ｄ）に示す）が発生し、再びＭＯＳ・ＦＥＴ１４をＯＮにする。この発振動作を繰り返すことで出力電圧が得られる。

【０００８】

ここで、出力電圧Ｖｏは、ツェナーダイオード３１の基準電圧Ｒｒｅｆと比較され、出力電圧Ｖｏが基準電圧Ｒｒｅｆを超えると、その差分がフォトカプラ２０の発光素子２０ｂに流れる。これにより、フォトカプラ２０の受光素子２０ａのコレクタ・エミッタ間のインピーダンスが変化するので、ＭＯＳ・ＦＥＴ１４のＯＮ期間にコンデンサ１９を充電する経路にある抵抗２３、フォトカプラの受光素子２０ａ、コンデンサ１９による時定数が変化する。すると、コンデンサ電圧ＶｃがＶｂｃに達し、トランジスタ１８をＯＮして、ＭＯＳ・ＦＥＴ１４をＯＦＦする。この時定数の変化により、ＶｃがＶｂｅに達するまでの時間が変化し、これにより、ＭＯＳ・ＦＥＴ１４のＯＮ期間がコントロールされ、出力電圧Ｖｏが安定する（例えば、非特許文献１参照。）。

【０００９】

【非特許文献１】

戸川治朗著「実用電源回路設計ハンドブック」CQ出版、１９９９年３月１日第１７版発行、Ｐ．１４０～１４７

【００１０】

【発明が解決しようとする課題】

上記図３に示す従来の自励式スイッチング電源回路１０は、２次側で出力電圧Ｖｏを検出して、これを１次側にフィードバックして制御する構成をとっているため、高精度に出力電圧Ｖｏをコントロールすることができる。

しかし、図３の回路において、直流電源の＋側端子１１に励磁コイル２８ａを直結し、ＭＯＳ・ＦＥＴ１４のソースを、直流電源の－側端子１２に接続しているため、ドライブコイル２８ｃを励磁コイル２８ａと直結して構成することができない。このため、フライバックトランス２８の１次側の励磁コイル２８ａとドライブコイル２８ｃは、それぞれ独立して構成し、互いに電気的絶縁が必要であり、構造が複雑でコストが高いという問題があった。また、２次側で出力電圧Ｖｏを検出して、これを１次側にフィードバックするために用いるフォトカプラ２０は、高価な部品であり、これもコストを高くする要因であった。

【００１１】

本発明は、上記問題点に鑑みなされたものであり、フライバックトランスの構造を簡単にすることと、出力電圧の検出を１次側で行いフォトカプラを取り除くことで、コストを低減した電源回路を提供することを目的とするものである。

【００１２】

【課題を解決するための手段】

本発明は、１次側に励磁コイルとドライブコイルを有し、２次側に出力コイルを有するフライバックトランスと、前記ドライブコイルからの電圧が印加されることによって自励発振し、前記励磁コイルを励磁する第１スイッチング素子と、この第１スイッチング素子の発振周波数を制御するためのスイッチング制御部とを具備したスイッチング電源回路において、前記第１スイッチング素子を、前記励磁コイルと直流電源間に挿入し、前記励磁コイルの一方端に前記ドライブコイルを直結し、前記励磁コイルに、２次側の出力電圧に対応した電圧を検出する出力電圧検出部を設け、この出力電圧検出部に、この出力電圧検出部にて検出した電圧を基準電圧と比較する誤差検出部を設け、この誤差検出部に、前記スイッチング制御部を結合してなり、前記誤差検出部にて検出した誤差電圧の大きさに基づいて前記スイッチング制御部の時定数回路を可変して第２スイッチング素子のオン、オフを制御して出力電圧が一定となるように前記第１スイッチング素子のオン時間を制御するようにしたことを特徴とするスイッチング電源回路である。

【００１３】

このような構成とすることで、励磁コイルとドライブコイルは直結して構成でき、絶縁する必要がないので、フライバックトランスを簡素化できる。また、出力電圧を１次側で検出するようにしたので、従来２次側からフィードバックするために用いたフォトカプラ等の高価な素子が必要なくなり、回路を安価に構成することができる。

【００１４】

【発明の実施の形態】

本発明のスイッチング電源回路は、図１に示すように、励磁コイル５２ａ、出力コイル５２ｂ、ドライブコイル５２ｃからなるフライバックトランス５２と、直流電源の＋側端子１１と前記励磁コイル５２ａとの間に挿入された第１スイッチング素子３６とを具備してなり、また、同極性である励磁コイル５２ａとドライブコイル５２ｃを直結して構成するとともに、出力電圧をフライバックトランス５２の１次側で検出するように出力電圧検出部を設け、この出力電圧検出部で検出した出力電圧を誤差検出部で基準電圧と比較し、その誤差の大きさに応じてスイッチング制御部で第１スイッチング素子３６のＯＮ期間を制御する構成となっている。

【００１５】

以下、さらに詳しい本発明のスイッチング電源回路の構成を説明する。

図１において、直流電源を接続するための＋側端子１１と－側端子１２の間には、平滑用コンデンサ１３が接続される。この＋側端子１１には、第１スイッチング素子３６（例えばＭＯＳ・ＦＥＴ）のドレインが接続され、この第１スイッチング素子３６のソースは、励磁コイル５２ａの一方端に接続され、励磁コイル５２ａの他方端は、－側端子１２に接続される。また、励磁コイル５２ａの一方端側には、ドライブコイル５２ｃの一方端が直結してあり、ドライブコイル５２ｃの他方端は、抵抗３８とコンデンサ３７を介して第１スイッチング素子３６のゲートに接続され、また、第１スイッチング素子３６のゲートと＋側端子１１の間には、起動用抵抗３５が接続される。

【００１６】

前記第１スイッチング素子３６とフライバックトランス５２の間には、スイッチング制御部５６、誤差検出部５７及び出力電圧検出部５８が順次接続されている。

前記スイッチング制御部５６は、前記第１スイッチング素子３６のスイッチング動作を制御するためのもので、第１スイッチング素子３６のゲート、ソースには、バイポーラトランジスタなどの第２スイッチング素子３９のコレクタ、エミッタがそれぞれ接続されている。この第２スイッチング素子３９のベース・エミッタ間には、コンデンサ４０が接続され、第２スイッチング素子３９のベースとドライブコイル５２ｃの他方端との間には、定電流素子４１が接続されている。また、この定電流素子４１と並列に、抵抗４２とダイオード４３の直列回路がダイオード４３のアノード側を第２スイッチング素子３９のベース側にして接続され、さらに、前記コンデンサ４０と並列に、抵抗４４と充電電流制御用トランジスタ４５の直列回路が抵抗４４を第２スイッチング素子３９のベース側にして接続されている。

【００１７】

前記出力電圧検出部５８及び誤差検出部５７の構成について説明する。

前記励磁コイル５２ａの両端間に整流用ダイオード５１と平滑用コンデンサ５０が接続され、このコンデンサ５０と並列に、分圧用の抵抗４８と抵抗４９の直列回路が接続されて、出力電圧検出部５８が構成されている。

前記誤差検出部５７は、ツェナーダイオード４６と誤差増幅器４７からなり、前記抵抗４８と抵抗４９の接続点に、前記誤差増幅器４７の－入力が接続されている。また、誤差増幅器４７の＋入力には、ツェナーダイオード４６のカソード側が接続され、このツェナーダイオード４６のアノード側は、励磁コイル５２ａの一方端に接続されている。そしてこの誤差増幅器４７の出力は、前記充電電流制御用トランジスタ４５のベースに接続されている。

【００１８】

前記フライバックトランス５２の２次側に設けた出力コイル５２ｂには、整流用ダイオー

ド５３と平滑用コンデンサ５４が接続され、このコンデンサ５４と並列に負荷５５が接続される。

【００１９】

このような構成における作用を図２に基づき説明する。

＋側端子１１と－側端子１２の間に直流電源が印加されると、起動用抵抗３５を介して第１スイッチング素子３６のゲートに電圧が印加される。この電圧は、ゲートの閾値電圧以上の電圧であるため、印加された瞬間のｔ１時に第１スイッチング素子３６は、ＯＮ状態になり、励磁コイル５２ａに、図２（ａ）に示すような、直流電源に略等しい電圧Ｖｓが加わる。同時に、この励磁コイル５２ａの電圧Ｖｓに比例した電圧がドライブコイル５２ｃに発生して、抵抗３８、コンデンサ３７を介して第１スイッチング素子３６のゲートに印加される。このドライブコイル５２ｃからのゲート電圧により、第１スイッチング素子３６のＯＮ状態は維持される。また、ドライブコイル５２ｃに発生した電圧は、定電流素子４１を介してコンデンサ４０にも印加され、これによりコンデンサ４０の充電が開始される。図２（ｂ）は、コンデンサ４０の充電電圧Ｖｃの波形を表している。この図２（ｂ）に示すように、充電電圧Ｖｃが、ｔ２時に第２スイッチング素子３９のベース・エミッタ間電圧Ｖｂｅに達すると、第２スイッチング素子３９は、ＯＮして、第１スイッチング素子３６のゲート・ソース間を短絡するので、第１スイッチング素子３６は、ＯＦＦ状態となる。ここで、第１スイッチング素子３６がＯＮしてからＯＦＦするまでに励磁コイル５２ａに流れる電流Ｉｄは、図２（ｃ）に示すような波形となる。

【００２０】

第１スイッチング素子３６がｔ２時にＯＦＦすると、励磁コイル５２ａ、出力コイル５２ｂ、ドライブコイル５２ｃは、それぞれ電圧の極性が反転し、出力コイル５２ｂは、ダイオード５３を介して出力側に図２（ｄ）に示すような電流Ｉｏを供給する。この間、励磁コイル５２ａには、図２（ａ）に示すようなマイナスの電圧が発生する。また、ドライブコイル５２ｃにも同様のマイナスの電圧が発生する。このドライブコイル５２ｃに発生したマイナスの電圧は、抵抗４２、ダイオード４３を介してコンデンサ４０に印加され、コンデンサ４０は、逆極性に充電を開始する。ここで、トランス５２の１次側に蓄えられたエネルギーが２次側に放出を続け、図２（ｄ）に示すように出力コイル５２ｂに流れる電流Ｉｏが徐々に減少していき、ｔ３時に放出し切り電流が０になると、トランス５２内の残留磁束により再び電圧が反転して励磁コイル５２ａ及びドライブコイル５２ｃにプラス方向の電圧が発生する。このドライブコイル５２ｃに発生したプラスの電圧が再度抵抗３８、コンデンサ３７を介して第１スイッチング素子３６のゲートに印加され、これにより第１スイッチング素子３６は再びＯＮ状態となる。すると、図２（ｂ）に示すように、コンデンサ４０は再び＋に向かって充電を開始する。このコンデンサ４０の電圧が第２スイッチング素子３９のベース・エミッタ間電圧Ｖｂｅに達するまでが、第１スイッチング素子３６のＯＮ期間である。このように、自動的にＯＮ・ＯＦＦを繰り返しながら、出力コイル５２ｂより負荷５５に電力を供給する。

【００２１】

次に、出力電圧のコントロール方法について説明する。負荷５５にかかる出力電圧Ｖｏは、出力コイル５２ｂの電圧をダイオード５３とコンデンサ５４を用いて整流平滑化したものであり、従来はこの２次側の出力電圧Ｖｏを直接検出してフォトカプラ等を用いて１次側にフィードバックして出力電圧のコントロールを行っていた。

これに対して本発明は、１次側の励磁コイル５２ａの電圧をダイオード５１とコンデンサ５０を用いて整流平滑化した電圧が出力電圧Ｖｏに比例することを利用して出力電圧のコントロールを行っている。

【００２２】

コンデンサ５０には、励磁コイル５２ａの電圧を整流平滑化した電圧が発生する。このコンデンサ５０に発生した電圧は、２次側の出力電圧Ｖｏに略比例しており、この電圧を抵抗４８と抵抗４９を用いて分圧し、この分圧した電圧は、誤差増幅器４７によってツェナーダイオード４６の基準電圧と比較され、その差分が増幅されて充電電流制御用トランジ

スタ４５のベースに入力される。この充電電流制御用トランジスタ４５は、ベースへの入力の大きさによってインピーダンスがリニアに変化するものであり、このインピーダンスの大きさによって、コンデンサ４０の充電速度が変化する。

【００２３】

例えば、出力電圧Ｖｏが設定値より低い場合には、ツェナーダイオード４６の基準電圧に比べて抵抗４８と抵抗４９を用いて分圧した電圧は低くなるため、充電電流制御用トランジスタ４５のベースには、＋の電圧が増幅されて入力され、このため充電電流制御用トランジスタ４５のインピーダンスは小さくなる。充電電流制御用トランジスタ４５のインピーダンスが小さくなると、定電流素子４１からの電流のうち、抵抗４４及び充電電流制御用トランジスタ４５を流れる割合は増加し、図２（ｂ）の１点鎖線のように、コンデンサ４０に流れる割合は減少する。すると、コンデンサ４０の電圧が第２スイッチ素子３９のベース・エミッタ間電圧Ｖｂｅに達するまでの時間がｔ４１時と長くかかるようになるため、その結果、第１スイッチング素子３６のＯＮ期間が長くなり、出力電圧Ｖｏは増加する。

【００２４】

逆に、出力電圧Ｖｏが高い場合には、ツェナーダイオード４６の基準電圧に比べて抵抗４８と抵抗４９を用いて分圧した電圧は高くなるため、充電電流制御用トランジスタ４５のベースには－の電圧が増幅されて入力され、このため充電電流制御用トランジスタ４５のインピーダンスは大きくなる。充電電流制御用トランジスタ４５のインピーダンスが大きくなると、定電流素子４１からの電流のうち、抵抗４４及び充電電流制御用トランジスタ４５を流れる割合は減少し、図２（ｂ）の２点鎖線のように、コンデンサ４０に流れる割合は増加する。すると、コンデンサ４０の電圧が第２スイッチ素子３９のベース・エミッタ間電圧Ｖｂｅに達するまでの時間がｔ４２時と短くなるため、その結果、第１スイッチング素子３６のＯＮ期間が短くなり、出力電圧Ｖｏは減少する。

このようにして、コンデンサ４０の充電時間を制御することで、第１スイッチング素子３６のＯＮ期間を制御し、出力電圧Ｖｏを一定に保っている。

【００２５】

前記実施例では、第１スイッチ素子３６をＭＯＳ・ＦＥＴとしたが、これに限られるものではなく、バイポーラトランジスタであってもよい。

【００２６】

【発明の効果】

請求項１記載の発明によれば、第１スイッチング素子を、励磁コイルと直流電源間に挿入し、励磁コイルの一方端にドライブコイルを直結し、励磁コイルに、２次側の出力電圧に対応した電圧を検出する出力電圧検出部を設け、この出力電圧検出部に、この出力電圧検出部にて検出した電圧を基準電圧と比較する誤差検出部を設け、この誤差検出部に、スイッチング制御部を結合してなり、誤差検出部にて検出した誤差電圧の大きさに基づいて前記スイッチング制御部の時定数回路を可変して第２スイッチング素子のオン、オフを制御して出力電圧が一定となるように前記第１スイッチング素子のオン時間を制御するようにしたので、励磁コイルとドライブコイルを直結して構成し、絶縁する必要がないので、フライバックトランスを簡素化できる。また、出力電圧を１次側で検出するようにしたので、従来２次側からフィードバックするために用いたフォトカプラ等の高価な素子が必要なくなり、回路を安価に構成することができる。

【００２７】

請求項２記載の発明によれば、スイッチング制御部は、第１スイッチング素子としてのＭＯＳ・ＦＥＴのゲート、ソースに、コレクタ、エミッタをそれぞれ接続した第２スイッチング素子としてのバイポーラトランジスタと、この第２スイッチング素子としてのバイポーラトランジスタのベース・エミッタ間に設けたコンデンサと、第２スイッチング素子としてのバイポーラトランジスタのベースと前記ドライブコイルとの間に設けた定電流素子と、第２スイッチング素子としてのバイポーラトランジスタのベース・エミッタ間に抵抗を介して設けた充電電流制御用トランジスタとを具備し、充電電流制御用トランジスタの

ベースに誤差検出部を結合し、充電電流制御用トランジスタは、この誤差の大きさに応じてインピーダンスが変化し、定電流素子からの電流のうち、コンデンサに流れる電流を制御するようにしたので、第１スイッチング素子のゲート・ソース間に接続した第２スイッチング素子のＯＮ／ＯＦＦは、この第２スイッチング素子のベース・エミッタ間に設けたコンデンサの充電電圧によって決定され、その充電電圧は、充電電流制御用トランジスタのインピーダンスを出力電圧の大きさに応じて変化させるようにし、これによって、定電流素子からの電流のうち、コンデンサに流れる電流を制御して、第２スイッチング素子のＯＮ／ＯＦＦを制御することができ、その結果、第１スイッチング素子のスイッチングを制御することができる。

【００２８】

請求項３記載の発明によれば、出力電圧検出部は、整流用ダイオードと平滑用コンデンサの直列回路を励磁コイルの両端間に接続し、このコンデンサとダイオードで整流平滑化された電圧を抵抗で分圧して得た電圧を出力電圧として検出するようにしたので、２次側の負荷に供給される電圧に比例した電圧を、１次側で得ることができる。

【００２９】

請求項４記載の発明によれば、誤差検出部は、ツェナーダイオードと誤差増幅器とで構成し、この誤差増幅器によって、出力電圧検出部で検出した出力電圧をツェナーダイオードの基準電圧と比較してその誤差を出力するようにしたので、基準電圧に対する出力電圧の大きさを誤差として検出することができる。

【図面の簡単な説明】

【図１】本発明によるスイッチング電源回路の一実施例を示す電気回路図である。

【図２】図１の回路における各部の波形図である。

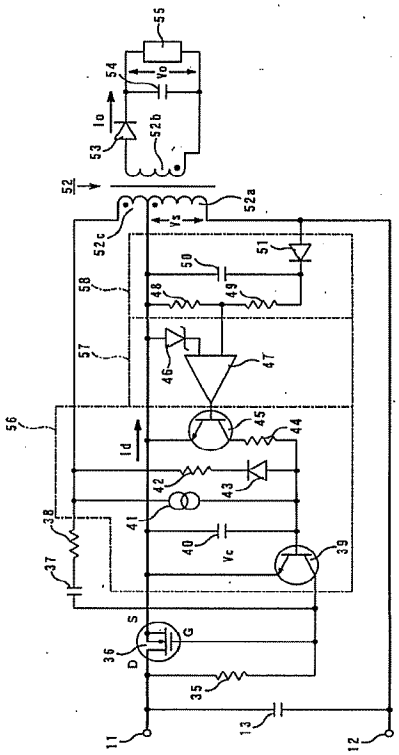
【図３】従来のスイッチング電源回路を示す電気回路図である。

【図４】図３の回路における各部の波形図である。

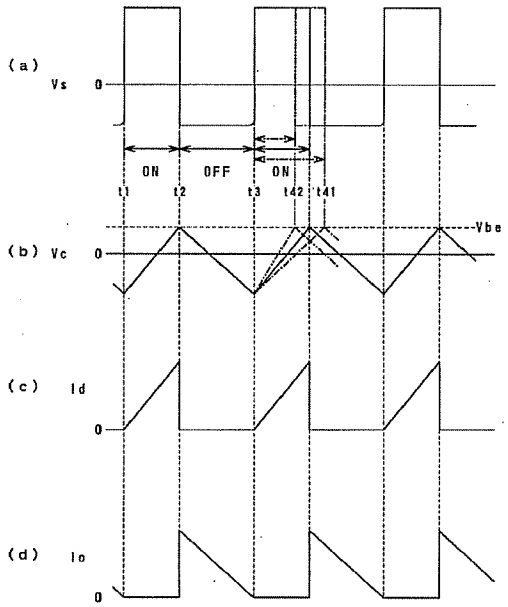
【符号の説明】

１１…直流＋側端子、１２…直流－側端子、１３…平滑用コンデンサ、１４…第１スイッチング素子、１５…起動用抵抗、１６…コンデンサ、１７…抵抗、１８…第２スイッチング素子、１９…コンデンサ、２０…フォトカプラ、２０ａ…受光側、２０ｂ…発光側、２１…ツェナーダイオード、２２…抵抗、２３…抵抗、２４…抵抗、２５…ダイオード、２６…コンデンサ、２７…スナバ回路、２８…フライバックトランス、２８ａ…励磁コイル、２８ｂ…出力コイル、２８ｃ…ドライブコイル、２９…ダイオード、３０…コンデンサ、３１…ツェナーダイオード、３２…抵抗、３３…抵抗、３４…負荷、３５…起動用抵抗、３６…第１スイッチング素子、３７…コンデンサ、３８…抵抗、３９…第２スイッチング素子、４０…コンデンサ、４１…定電流素子、４２…抵抗、４３…ダイオード、４４…抵抗、４５…充電電流制御用トランジスタ、４６…ツェナーダイオード、４７…誤差増幅器、４８…抵抗、４９…抵抗、５０…コンデンサ、５１…ダイオード、５２…フライバックトランス、５２ａ…励磁コイル、５２ｂ…出力コイル、５２ｃ…ドライブコイル、５３…ダイオード、５４…コンデンサ、５５…負荷、５６…スイッチング制御部、５７…誤差検出部、５８…出力電圧検出部。

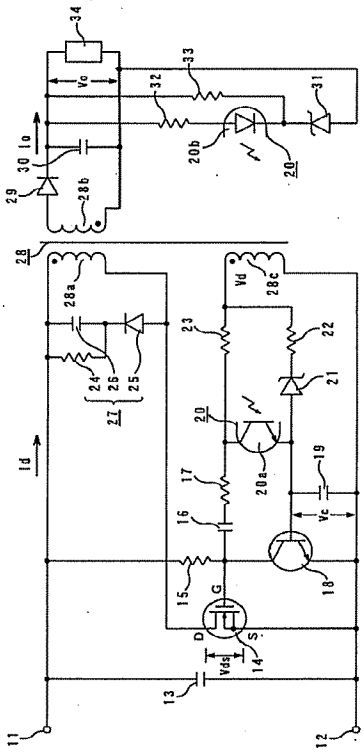
【図１】


55
54
Vo
Io
53
52b
52
52a
52c
Vs
51
50
58
48
49
57
46
47
56
45
44
Id
42
43
38
41
40
Vc
39
37
S
G
36
D
35
11
13
12

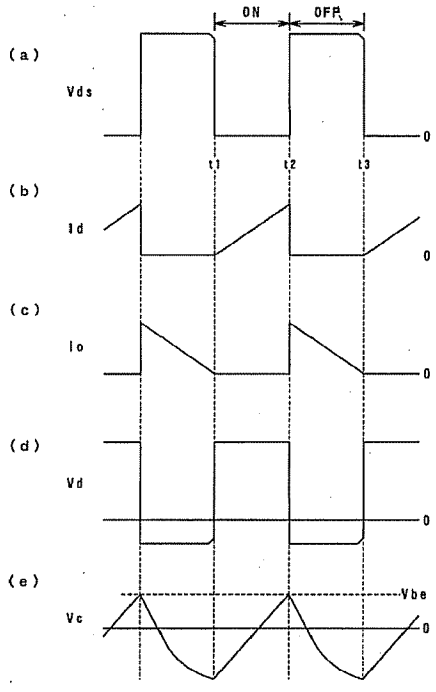
【図２】


(a)
Vs
0
ON
OFF
ON
t1
t2
t3
t42
t41
(b)
Vc
0
Vbe
(c)
Id
0
(d)
Io
0

【図３】


34
Vo
33
32
31
Io
30
29
28b
20b
20
28
28a
28c
Vd
23
22
24
26
25
27
21
Id
20
20a
19
17
Vc
16
18
15
G
D
S
Vds
14
13
11
12

【図４】


ON
OFF
(a)
Vds
0
t1
t2
t3
(b)
Id
0
(c)
Io
0
(d)
Vd
0
(e)
Vbe
Vc
0

フロントページの続き

(72)発明者　近藤　晴彦
東京都品川区戸越６丁目５番５号　ＳＭＫ株式会社内
(72)発明者　飴井　俊裕
東京都品川区戸越６丁目５番５号　ＳＭＫ株式会社内
(72)発明者　仲井　厚一
埼玉県鶴ヶ島市脚折町４丁目１３番２号

Ｆターム(参考) 5H730 AA14 AS01 BB43 BB52 DD02 DD04 DD23 DD32 EE02 EE07
FD24 FD25 FF01 FG07

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2005-073483
(43)Date of publication of application : 17.03.2005

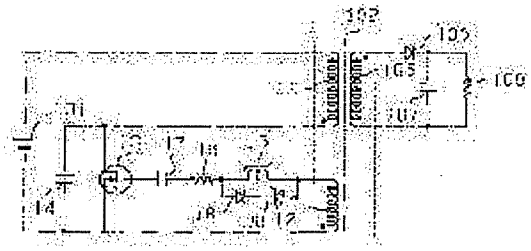
(51)Int.Cl. H02M 3/28

(21)Application number : 2003-343779
(22)Date of filing : 26.08.2003

(71)Applicant : OHIRA DENSHI KK
(72)Inventor : SATO MORIO

(54) SOFT SWITCHING CIRCUIT FOR SELF-SWITCHING POWER SUPPLY

(57)Abstract:
PROBLEM TO BE SOLVED: To provide a circuit by which similar performance is obtained, by using an easily obtainable and inexpensive saturable inductor as a delay element in a soft switch circuit of a conventional method, to which the saturable inductor is applied as the delay element.
SOLUTION: A series circuit, which is composed of a diode 18 and a Zener diode 20, is connected in parallel to the saturable inductor 15 inserted between a control electrode of a switch element 13 and a positive feed-back winding 12, in the self-switching power supply.



(19)日本国特許庁(JP)　(12)公開特許公報(A)　(11)特許出願公開番号
特開2005-73483
(P2005-73483A)
(43)公開日　平成17年3月17日(2005.3.17)

(51)Int.Cl.[7]	F I			テーマコード（参考）
H02M 3/28	H02M	3/28	T	5H730
	H02M	3/28	R	

審査請求 未請求　請求項の数 2　書面　（全 7 頁）

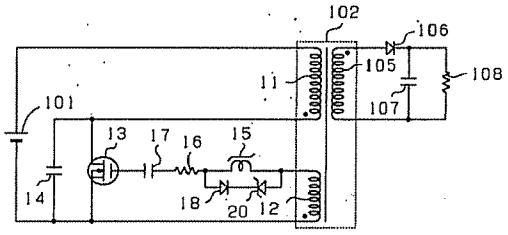
(21)出願番号　特願2003-343779(P2003-343779)
(22)出願日　平成15年8月26日(2003.8.26)

(71)出願人　592091057
大平電子株式会社
埼玉県比企郡嵐山町大字菅谷４９６番地３６
(72)発明者　佐藤　守男
埼玉県比企郡嵐山町大字菅谷４９６番地３６　大平電子株式会社内

Fターム(参考)　5H730 AA02 BB42 BB54 CC28 DD04 DD12 DD23 EE07 FD01 FF05 FG01

(54)【発明の名称】自励式スイッチング電源のソフトスイッチング回路

(57)【要約】
【課題】　可飽和インダクタを遅延素子として応用した従来方式のソフトスイッチ回路において、より入手しやすい安価な可飽和インダクタを遅延素子として用いて同等な性能を得ることができる回路。
【解決手段】　自励式スイッチング電源において、スイッチ素子１３の制御電極と正帰還巻線１２の間に挿入されている可飽和インダクタ１５に並列にダイオード１８とツェナーダイオード２０からなる直列回路を接続した。
【選択図】　図１



【特許請求の範囲】
【請求項１】
トランスの１次巻線と前記１次巻線に直列に接続されたスイッチ素子と前記スイッチ素子に並列に接続されたスナバコンデンサと前記１次巻線に電磁的に結合している正帰還巻線と前記正帰還巻線と前記スイッチ素子の制御電極の間に接続されたコンデンサと抵抗からなる直列回路を有する自励式スイッチング電源装置において、前記コンデンサと抵抗からなる直列回路に可飽和インダクタを直列に挿入し前記可飽和インダクタに並列にダイオードとツェナーダイオードからなる直列回路を接続したことを特徴とするスイッチング電源装置。
【請求項２】
トランスの１次巻線と前記１次巻線に直列に接続されたスイッチ素子と前記スイッチ素子に並列に接続されたスナバコンデンサと前記１次巻線に電磁的に結合している正帰還巻線と前記正帰還巻線と前記スイッチ素子の制御電極の間に接続されたコンデンサと抵抗からなる直列回路を有する自励式スイッチング電源装置において、前記コンデンサと抵抗からなる直列回路にインダクタを直列に挿入し前記インダクタに並列にダイオードとツェナーダイオードからなる直列回路を接続したことを特徴とするスイッチング電源装置。
【発明の詳細な説明】
【発明の詳細な説明】

【技術分野】
【０００１】
本発明はスイッチング電源装置に関し、特に共振現象を利用した部分共振スイッチに関する。
【背景技術】
【０００２】
従来、自励式スイッチング電源のソフトスイッチ回路としては、本出願人が先に実用新案登録した自励式スイッチング電源のソフトスイッチング回路（実用新案登録第２５６０２０８号）がある。図４にその回路構成を示し、図５に動作波形を示す。
【０００３】
図４に示した回路はＲＣＣと呼ばれる自励発振型のスイッチング電源であり、１次巻線１１に流れる電流でトランス１０２内に励磁エネルギが蓄積され、その電流を止めることによって２次巻線１０５に生じる逆起電力がダイオード１０６を介して放出され、コンデンサ１０７に静電エネルギとして蓄積される。そして、コンデンサ１０７から負荷１０８に直流電力が供給される。１次巻線１１に流れる電流をオン・オフする素子がスイッチ素子１３である。
【０００４】
一般的に、スイッチ素子がオン・オフする際にスイッチ素子内でスイッチングロスと呼ばれる電力の損失が起きる。オン・オフのスピードを速める程、スイッチングロスは小さくなるが、スピードを速めることによって電流と電圧の変化のスピードも速くなるのでノイズが大きくなる。スイッチングロスとノイズを同時に抑えるためにはソフトスイッチ回路が必要になるが、図４において、スナバコンデンサ１４と可飽和インダクタ１５がソフトスイッチ回路を構成する主要な部品になっている。
【０００５】
スイッチ素子１３が１次巻線１１に流れる電流をオフしたとき、励磁エネルギの大部分は２次巻線１０５とダイオード１０６を介してコンデンサ１０７に蓄積されるが、１部は１次巻線１１自身を介してスナバコンデンサ１４に蓄積される。スナバコンデンサ１４の容量を大きくしておけば、１次巻線１１に流れる電流の変化のスピードが緩くなるのでノイズの発生が抑えられる。
【０００６】
トランス１０２内に蓄積された励磁エネルギの放出が終わると、スイッチ素子１３は再

びオン状態に入るが、放出終了と同時にオン状態に入るとスナバコンデンサ１４の電荷が全てスイッチ素子１３に流れてロスになるので、可飽和インダクタ１５によってスイッチ素子１３がオン状態になるのを遅らせている。可飽和インダクタは飽和するまでは高いインピーダンスを持ち、飽和するとショート状態に近いインピーダンスになるので、制御電極の電圧は、図５のＶＧで示した波形のように、飽和するまではゆっくり上昇し、飽和と同時にしきい値を超える電圧まで立ち上がる。スイッチ素子１３の電流はＩＤで示したようにＶＧがしきい値に達すると流れ始める。スイッチ素子１３がターンオンするときに制御電極の電圧の上昇がなめらかではないが、これはスイッチ素子１３がターンオンするときに制御電極の電圧が引きずられて一時的に下がるためである。

【０００７】

スイッチ素子１３のターンオンが遅れると、スナバコンデンサ１４の電圧が直流電源１０１の電圧より高いので、スナバコンデンサ１４から１次巻線１１を介して直流電源１０１に電流が逆流する。この逆流する電流はスナバコンデンサ１４と１次巻線１１の直列共振回路によって共振電流となり、スナバコンデンサ１４の静電エネルギは損失をともなうことなく直流電源１０１に回生される。また、スナバコンデンサ１４の電圧はスイッチ素子１３両端の電圧でもあるが図５の波形のＶＤで示したように共振の半周期後に最も低い電圧に達する。

【０００８】

可飽和インダクタ１５によるスイッチ素子１３のターンオンの遅れを上記の半周期に選んでおけば、スナバコンデンサ１４の電荷がスイッチ素子１３を流れることによって失われる電力を最小にできる。また、トランス１０２の１次巻線１１と２次巻線１０５の比を適当に選ぶことによってスナバコンデンサ１４の電圧が共振の半周期後に達する最も低い電圧がゼロになるようにすることも可能である。

【発明が解決しようとする課題】

【０００９】

上に示してきたように、従来の方式は可飽和インダクタ１５をスイッチ素子１３の制御電極と正帰還巻線１２の間に直列に挿入することによって遅れ時間を作り出しているが遅れ時間は可飽和インダクタ１５が飽和するまでの時間であり、従って、正帰還巻線１２からスイッチ素子１３の制御電極に流れる電流で飽和する特性を持っていなければならない。

【００１０】

可飽和インダクタに電流を流すとコイル内に磁界が発生し、コア内には磁束が発生する。磁界を負の所定の値から正の所定の値まで変化させると、磁束は図６に示したように変化する。図６において、Ｂｍは最大磁束密度と呼ばれ、Ｂｒは残留磁束密度と呼ばれている。可飽和インダクタの特性の１つを表す角型比はＢｒをＢｍで割った値でこれが１に近い程優れている。図６の太い線で示したループは磁界が正負両方向に比較的小さいが同じ幅の変化をしているのに一方の磁束だけがＢｍに達している。ＢｒがＢｍに近いと、このような現象が生じる。

【００１１】

可飽和インダクタの特性を表す項目の中に電圧時間積と呼ばれる項目がある。電圧時間積とは、可飽和インダクタに交流電圧を加えたときに飽和するまでの間の可飽和インダクタ両端の電圧を時間積分したものである。例えば５Ｖを１０μ秒加えたときに飽和すれば電圧時間積は５０μＶ秒ということになる。この電圧時間積ＶＴは、コアの最大磁束密度をＢｍ（テスラ）、コアの断面積をＳ（m^2）コイルの巻数をｎとしたときに数１で表すことができる。式が示すように電圧時間積は巻数に比例する。

【数１】

$$VT = Bm \times S \times n \quad (Vsec)$$

一方、インダクタンスは巻数の２乗に比例するので、使用するコアの透磁率と最大磁束

密度の値によっては同じ回路でも飽和しないことがある。図４の回路において、可飽和インダクタ１５が飽和しない状態で動作するとスイッチ素子１３の制御電極を駆動する電圧と電流が共振を引き起こして止まらないので制御電極の電圧が不安定になる。

【００１２】

従来方式の回路に用いられる可飽和インダクタのコアに比べて透磁率が低くて最大磁束密度が大きいコアを用いるときは、可飽和インダクタのインダクタンスを所定の値にするためにより多く巻く必要があるが、より多く巻くことによって、もともと最大磁束密度が高いので電圧時間積が大きくなり過ぎて飽和しないことが起きる。交流磁界を加えても、磁界の変化の幅が小さいと、図６の太い線で示したような一方の磁束がＢｍに達するという現象が起きない。

【００１３】

透磁率と最大磁束密度はコアの材質と製法によって異なるが透磁率の高いコアを作るのは難しく高価になる。図４の回路に応用する可飽和インダクタは透磁率のなるべく高いコアを必要とするので使用できるコアの特性に制限がでてくる。一方、低い透磁率のコアは安価で容易に入手できる。そこで本発明は、透磁率が低いので所定のインダクタンスを得るためにたくさん巻く必要があり、そのため電圧時間積が所定の値より大きくなってしまう可飽和インダクタを用いて、従来の方式と同じ効果を得る回路を提供することを目的としている。また、インダクタを用いて従来方式と同じ効果を得る回路を提供することを目的としている。

【課題を解決するための手段】

【００１４】

上の目的を達成するために請求項１記載の発明は、スイッチ素子１３に並列に接続されたスナバコンデンサ１４と、スイッチ素子１３の制御電極と正帰還巻線１２の間に接続されたとコンデンサ１７と抵抗１６からなる直列回路を有する自励式スイッチング電源装置において、コンデンサ１７と抵抗１６からなる直列回路に可飽和インダクタ１５を直列に挿入し、その可飽和インダクタ１５に並列にダイオード１８とツェナーダイオード２０からなる直列回路を接続した。

【００１５】

請求項２記載の発明はスイッチ素子１３に並列に接続されたスナバコンデンサ１４と、スイッチ素子１３の制御電極と正帰還巻線１２の間に接続されたとコンデンサ１７と抵抗１６からなる直列回路を有する自励式スイッチング電源装置において、コンデンサ１７と抵抗１６からなる直列回路にインダクタ１９を直列に挿入し、そのインダクタ１９に並列にダイオード１８とツェナーダイオード２０からなる直列回路を接続した。

【発明を実施するための最良の形態】

【００１６】

請求項１記載の発明において、可飽和インダクタ１５にダイオード１８とツェナーダイオード２０からなる直列回路が並列に接続されているので、可飽和インダクタ１５に流れる電流の正方向の値と負方向の値が互いに等しくならず、磁界と磁束の関係は図７の太い線で示したループを描く。従来の方式では可飽和インダクタに流れる電流が交流であったのに対して、本発明では直流が重畳した交流になり、図７に示したように磁界の中心がゼロからＨ０だけ正方向にずれ、その分正方向に飽和しやすくなっている。すなわち、電圧時間積が多少大きくなっても飽和させて使うことが可能になる。ツェナーダイオード２０のツェナー電圧を適当に選ぶことによりどの程度正方向に片寄らせるかを決めることができる。ツェナーダイオード２０をショートして用いることもできるのでツェナー電圧はゼロから任意の値まで選ぶことができる。

【００１７】

請求項２記載の発明において、インダクタ１９にダイオード１８とツェナーダイオード２０からなる直列回路が並列に接続されているので、インダクタ１９が引き起こす共振は、インダクタ１９両端の電圧が反転してダイオード１８とツェナーダイオード２０からなる直列回路によって電圧がクランプされるところで止まり、制御電極の電圧が共振によっ

て不安定になるという問題が解決される。

【実施例】

【００１８】

図１は請求項１記載の発明の実施例に係るスイッチング電源装置である。

【００１９】

図１に示した回路において、正帰還巻線１２にスイッチ素子１３をターンオンさせる極性の電圧が発生するときは、電流が可飽和インダクタ１５だけに流れ、その極性が逆になるとダイオード１８とツェナーダイオード２０からなる直列回路にも流れるので、可飽和インダクタ１５に流れる電流は正方向と負方向では異なる。すなわち、直流が重畳された交流になり磁界と磁束の関係は図７に太い線で示したループを描き、正方向に飽和させて用いることができる。

【００２０】

スイッチ素子１３のターンオンの遅れとスナバコンデンサ１４の電荷が直流電源１０１に回生される原理は図４に示した従来方式と同じである。回路の主要部の電圧と電流の波形も図５に示した従来方式の波形と同じである。

【００２１】

図２は請求項２記載の発明の実施例に係るスイッチング電源装置である。図３は図２の回路図の主要部分の電圧電流波形を示す波形図である。

【００２２】

図２に示した回路において、正帰還巻線１２にスイッチ素子１３をターンオンさせる極性の電圧が発生するときは、インダクタ１９に共振電流が流れ、制御電極の電圧は図３の中のＶＧの波形のように余弦波を逆さまにした波形を描いて上昇する。このときインダクタ１９両端の電圧は下降してゼロになり更に下降する。インダクタ１９がゼロを境に更に下降するということはインダクタ１９両端の電圧の極性が反転したことになるが、この反転の後も制御電極の電圧は上昇している。そして、反転した電圧がダイオード１８の順方向電圧とツェナーダイオード２０のツェナー電圧の和に達したところでクランプされ、制御電極の電圧の上昇が止まる。

【００２３】

スイッチ素子は制御電極の電圧がゼロからピークまで上昇する途中のしきい値に達したところでターンオンする。図３のＶＧと図５のＶＧと比べると、図５の場合は上昇の途中で可飽和インダクタ１５が飽和してショート状態になるので、その後は抵抗１６と制御電極の容量の時定数で決まるカーブで立ち上がり、その傾きは急である。それに対して、図３の場合はしきい値を超えてもインダクタ１９は飽和せずに共振のカーブで立ち上がり続けるので傾きは緩い。また、しきい値に達するまでの時間である遅れ時間は入力電圧と負荷が変わると少し変わる。

【００２４】

遅れ時間が入出力の条件で少し変化するので請求項１記載の発明の可飽和インダクタ１５の性能に比べて少し劣るが、条件があえばソフトスイッチ回路として有効である。インダクタ１５は飽和しないが制御電極の電圧がピークに達したときに共振も止まるのでオン期間に制御電極の電圧が変化するという問題は起きない。

【発明の効果】

【００２５】

図４に示した従来方式に比べて、ダイオードとツェナーダイオードが追加されるが可飽和インダクタのコアとして使用できる材質と形状が広くなるのでコアの選択の幅が広がり、合計したコストを下げることができ、経済的効果が上がる。

【図面の簡単な説明】

【図１】　請求項１記載の発明の実施例に係る自励式スイッチング電源を示す回路図である。

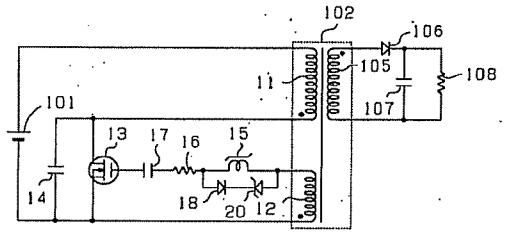
【図２】　請求項２記載の発明の実施例に係る自励式スイッチング電源を示す回路図である。

【図３】　図２の主要部の電圧と電流の波形を示す波形図である。
【図４】　従来方式の一例を示す図である。
【図５】　図４の主要部の電圧と電流の波形を示す波形図である。
【図６】　可飽和インダクタの磁界と磁束の関係を示すカーブと、小さい振幅の交流電流に対する磁界と磁束の関係を示すカーブのグラフである。
【図７】　角型比が少し劣る可飽和インダクタの磁界と磁束の関係を示すカーブと、直流重畳のある小さい振幅の交流電流に対する磁界と磁束の関係を示すカーブのグラフである。

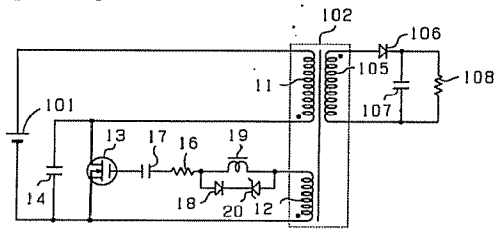
【符号の説明】

１１	トランスの１次巻線
１２	トランスの正帰還巻線
１３	スイッチ素子
１４	スナバコンデンサ
１５	可飽和インダクタ
１６	抵抗
１７	コンデンサ
１８	ダイオード
１９	インダクタ
２０	ツェナーダイオード
１０１	直流電源
１０２	トランス
１０３	エラーアンプ
１０４	基準電圧源
１０５	トランスの２次巻線
１０６	ダイオード
１０７	コンデンサ
１０８	負荷

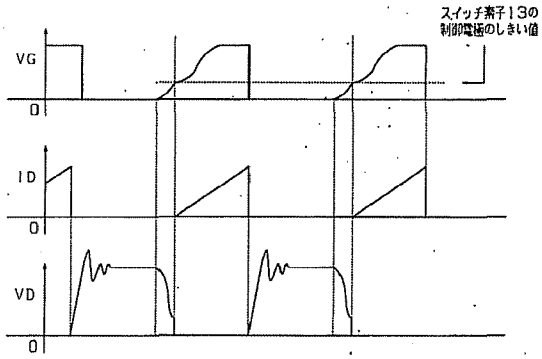
【図１】



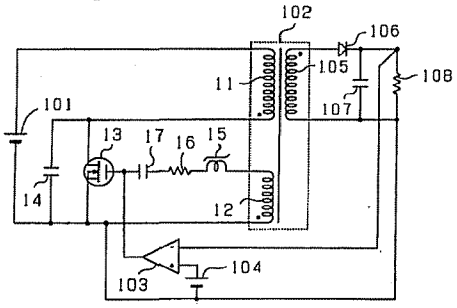
【図２】



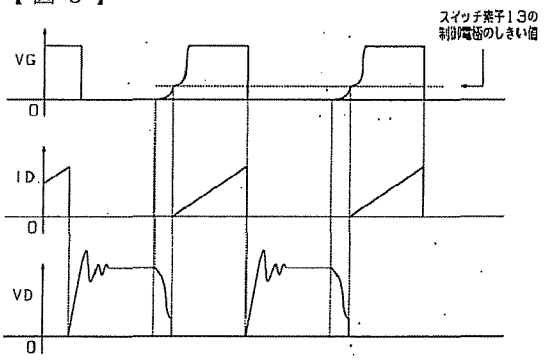
【図３】



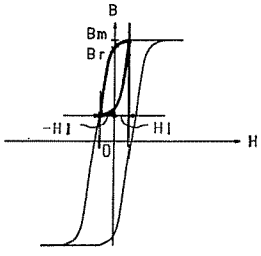
【図４】



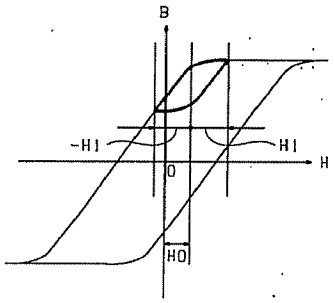
【図５】



【図６】



【図７】



Electronic Acknowledgement Receipt

EFS ID:	3911230
Application Number:	12096765
International Application Number:	
Confirmation Number:	4525
Title of Invention:	POWER SUPPLY DEVICE, ELECTRONIC DEVICE USING THE SAME, AND SEMICONDUCTOR DEVICE
First Named Inventor/Applicant Name:	Tomoyuki ITO
Customer Number:	23413
Filer:	Daniel P. Lent/Nancy Wilson
Filer Authorized By:	Daniel P. Lent
Attorney Docket Number:	PRM-0155
Receipt Date:	09-SEP-2008
Filing Date:	
Time Stamp:	15:30:19
Application Type:	U.S. National Stage under 35 USC 371

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Information Disclosure Statement (IDS) Filed (SB/08)	24X4378.PDF	764436 a89df1d50e9221e9289e1945be6edc46d48106d4	no	4

Warnings:	
Information:	

A U.S. Patent Number Citation or a U.S. Publication Number Citation is required in the Information Disclosure Statement (IDS) form for autoloading of data into USPTO systems. You may remove the form to add the required data in order to correct the Informational Message if you are citing U.S. References. If you chose not to include U.S. References, the image of the form will be processed and be made available within the Image File Wrapper (IFW) system. However, no data will be extracted from this form. Any additional data such as Foreign Patent Documents or Non Patent Literature will be manually reviewed and keyed into USPTO systems.

2	Foreign Reference	24X1965.pdf	528985 d657a1617d5ed3207806c6d2441e44c9d642ef91	no	8
Warnings:					
Information:					
3	Foreign Reference	24X1993.pdf	1254337 9ce595a7f58d3c53a0efd37f43071c22e74342a5	no	13
Warnings:					
Information:					
4	Foreign Reference	24X2040.pdf	1022440 14cb710acb810ebe2597e03681dd21dde32fd9b4	no	13
Warnings:					
Information:					
5	Foreign Reference	24X2050.pdf	880423 9f3bc71cacdd69fc496ff1fece95cbf3f218ebda	no	11
Warnings:					
Information:					
6	Foreign Reference	24X2069.pdf	547100 e241c78debe9061264e33217f81808e16cf69529	no	8
Warnings:					
Information:					
7	NPL Documents	24X2074.pdf	564414 2dd7fc072148d63a3dd8bb21ea4063d45c7c84e9	no	10
Warnings:					
Information:					
8	NPL Documents	24X2082.pdf	211667 cee395222fe5301891dbc182e09963b82dc740ea	no	2
Warnings:					
Information:					
			Total Files Size (in bytes):	5773802	

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

DO/EO WORKSHEET

Paralegal/ National Stage Division

U.S. Appl. No. 12/096765 International Appl. No. JP06/324029

Application filed by : ☑ 30 months

WIPO PUBLICATION INFORMATION :

Publication No.: WO /

Publication Language : ☐ English ☐ German ☐ French ☑ Japanese ☐ Russian ☐ Korean ☐ Other : _____

Publication Date 14 Jun 07

Not Published : ☐ U.S. only designated ☐ EP request Published : ☐

INTERNATIONAL APPLICATION PAPERS IN THE APPLICATION FILE :

- ☑ International Application
- ☐ Article 19 Amendments
- ☐ PCT/IB/331
- ☐ PCT/IPEA/409 IPER (PCT/IPEA/416 on front)
- ☐ Annexes to 409 (Article 34 Amendment)
- ☑ Priority Document (s) No. 1
- ☐ Request form PCT/RO/101
- ☑ PCT/ISA/210 - Search Report dpp
- ☐ Search Report References
- ☐ PCT/IB/306 - Notification of a Change
- ☐ Other : _____

RECEIPTS FROM THE APPLICANT:

- ☑ Basic National Fee (or authorization to charge)
- ☑ Description 14
- ☑ Claims 3
- ☑ Drawing Figure(s) - (# of dwgs. 5)
- ☐ Translation of Article 19 Amendments ☐ entered ☐ not entered : ☐ not a page for page substitution ☐ replaced by Article 34 Amendment
- ☐ Translation of Annexes to 409 ☐ entered ☐ not entered : ☐ not a page for page substitution ☐ other: _____
- ☐ Application Data Sheet
- ☐ Power of Attorney ☐ Change of Address
- ☑ Preliminary Amendment(s) Filed on : 1. 9 Jun 08 2. _____ 3. _____
- ☑ Information Disclosure Statement(s) Filed on : 1. 9 Sept 08 2. _____ 3. _____
- ☐ Assignment Document (forwarded to Assignment Branch)
- ☐ Assignee PG Publication Notice
- ☑ Substitute Specification Filed on : 1. 9 Jun 08 2. _____
- ☐ Verified Small Status Statement (executed)
- ☑ Oath/Declaration (executed) ☐ surcharge was paid at the time of filing
- ☐ DNA Diskette ☐ Sequence Listing
- ☐ Other : 1. _____
- ☐ Other : 1. _____

NOTES : ☐ I.A. used as Specification ☐ Other :

35 U.S.C. 371 - Receipt of Request	9 Jun 08
Date Acceptable Oath/ Declaration Received	
Date of Completion of requirements under 35 U.S.C. 371(c)(1), (c)(2) and (c)(4)	
Date of Completion of ALL requirements under 35 U.S.C. 371	
Date of Completion of DO/EO 903 - Notification of Acceptance	23 Jul 09
Date of Completion of DO/EO 905 - Notification of Missing Requirements	
Date of Completion of DO/EO 916 - Notification of Defective Response	
Date of Completion of DO/EO 909 - Notification of Abandonment	

☐ EP ☐ JP ☐ SE ☐ AU ☐ US ☐

MULTIPLE DEPENDENT CLAIM FEE CALCULATION SHEET (FOR USE WITH FORM PTO-875)	SERIAL NO. 12096765	FILING DATE
	APPLICANT(S)	

CLAIMS

	AS FILED		AFTER 1st AMENDMENT		AFTER 2nd AMENDMENT	
	IND.	DEP.	IND.	DEP.	IND.	DEP.
1	1		1			
2		1		1		
3		1		1		
4		1		1		
5		1		1		
6		1		1		
7		(1)		1		
8		(1)		1		
9		(1)		1		
10		(1)		1		
11	1		1			
12		1		1		
13						
14						
15						
16						
17						
18						
19						
20						
21						
22						
23						
24						
25						
26						
27						
28						
29						
30						
31						
32						
33						
34						
35						
36						
37						
38						
39						
40						
41						
42						
43						
44						
45						
46						
47						
48						
49						
50						
TOTAL IND.	2	↓	2	↓	0	↓
TOTAL DEP.	10	←	10	←	0	←
TOTAL CLAIMS	12		12		0	

	AS FILED		AFTER 1st AMENDMENT		AFTER 2nd AMENDMENT	
	IND.	DEP.	IND.	DEP.	IND.	DEP.
51						
52						
53						
54						
55						
56						
57						
58						
59						
60						
61						
62						
63						
64						
65						
66						
67						
68						
69						
70						
71						
72						
73						
74						
75						
76						
77						
78						
79						
80						
81						
82						
83						
84						
85						
86						
87						
88						
89						
90						
91						
92						
93						
94						
95						
96						
97						
98						
99						
100						
TOTAL IND.	0	↓	0	↓	0	↓
TOTAL DEP.	0	←	0	←	0	←
TOTAL CLAIMS	0		0		0	

PATENT APPLICATION FEE DETERMINATION RECORD

Effective September 30, 2007

Application or Docket Number: **12096765**

CLAIMS AS FILED - PART I

	(Column 1)		(Column 2)	SMALL ENTITY RATE	SMALL ENTITY FEE	OR	LARGE ENTITY RATE	LARGE ENTITY FEE
U.S. NATIONAL STAGE FEES								
BASIC FEE				BASIC FEE		OR	BASIC FEE	**$310**
EXAMINATION FEE				EXAM. FEE			EXAM. FEE	**$210**
SEARCH FEE				SEARCH FEE			SEARCH FEE	**$410**
FEE FOR EXTRA SPEC. PGS.	**23**	minus 100 =	/ 50 =	X $ 130 =			X $ 260 =	
TOTAL CHARGEABLE CLAIMS	**12**	minus 20 =		X $ 25 =		OR	X $ 50 =	
INDEPENDENT CLAIMS	**2**	minus 3 =		X $ 105 =		OR	X $ 210 =	
MULTIPLE DEPENDENT CLAIM PRESENT			☐	+ $ 185 =		OR	+ $ 370 =	
* If the difference in column 1 is less than zero, enter "0" in column 2				TOTAL		OR	TOTAL	**$930**

CLAIMS AS AMENDED - PART II

AMENDMENT A	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE	SMALL ENTITY ADDITIONAL FEE	OR	OTHER THAN SMALL ENTITY RATE	OTHER THAN SMALL ENTITY ADDITIONAL FEE
Total		Minus	**		X $ 25 =		OR	X $ 50 =	
Independent		Minus	***		X $ 105 =		OR	X $ 210 =	
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM ☐					+ $ 185 =		OR	+ $ 370 =	
					TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

AMENDMENT B	(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE	ADDITIONAL FEE	OR	RATE	ADDITIONAL FEE
Total		Minus	**		X $ 25 =		OR	X $ 50 =	
Independent		Minus	***		X $ 105 =		OR	X $ 210 =	
FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM ☐					+ $ 185 =		OR	+ $ 370 =	
					TOTAL ADDIT. FEE		OR	TOTAL ADDIT. FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than '20', enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than '3', enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest number found in the appropriate box in column 1.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

U.S. APPLICATION NUMBER NO.	FIRST NAMED APPLICANT	ATTY. DOCKET NO.
12/096,765	Tomoyuki Ito	PRM-0155

23413
CANTOR COLBURN, LLP
20 Church Street
22nd Floor
Hartford, CT 06103

INTERNATIONAL APPLICATION NO.	
PCT/JP2006/324029	
I.A. FILING DATE	PRIORITY DATE
11/30/2006	12/09/2005

CONFIRMATION NO. 4525
371 ACCEPTANCE LETTER

OC000000037061870

Date Mailed: 07/28/2009

NOTICE OF ACCEPTANCE OF APPLICATION UNDER 35 U.S.C 371 AND 37 CFR 1.495

The applicant is hereby advised that the United States Patent and Trademark Office in its capacity as a Designated / Elected Office (37 CFR 1.495), has determined that the above identified international application has met the requirements of 35 U.S.C. 371, and is ACCEPTED for national patentability examination in the United States Patent and Trademark Office.

The United States Application Number assigned to the application is shown above and the relevant dates are:

06/09/2008	06/09/2008
DATE OF RECEIPT OF 35 U.S.C. 371(c)(1), (c)(2) and (c)(4) REQUIREMENTS	DATE OF COMPLETION OF ALL 35 U.S.C. 371 REQUIREMENTS

A Filing Receipt (PTO-103X) will be issued for the present application in due course. **THE DATE APPEARING ON THE FILING RECEIPT AS THE " FILING DATE" IS THE DATE ON WHICH THE LAST OF THE 35 U.S.C. 371 (c)(1), (c)(2) and (c)(4) REQUIREMENTS HAS BEEN RECEIVED IN THE OFFICE. THIS DATE IS SHOWN ABOVE.** *The filing date of the above identified application is the international filing date of the international application (Article 11(3) and 35 U.S.C. 363).* Once the Filing Receipt has been received, send all correspondence to the Group Art Unit designated thereon.

The following items have been received:

- Copy of the International Application filed on 06/09/2008
- English Translation of the IA filed on 06/09/2008
- Copy of the International Search Report filed on 06/09/2008
- Preliminary Amendments filed on 06/09/2008
- Information Disclosure Statements filed on 09/09/2008
- Oath or Declaration filed on 06/09/2008
- U.S. Basic National Fees filed on 06/09/2008
- Substitute Specification filed on 06/09/2008
- Priority Documents filed on 06/09/2008
- Specification filed on 06/09/2008
- Claims filed on 06/09/2008
- Abstracts filed on 06/09/2008
- Drawings filed on 06/09/2008

FORM PCT/DO/EO/903 (371 Acceptance Notice)

Applicant is reminded that any communications to the United States Patent and Trademark Office must be mailed to the address given in the heading and include the U.S. application no. shown above (37 CFR 1.5)

TAMALA D HOLLAND

Telephone: (703) 756-1457

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING or 371(c) DATE	GRP ART UNIT	FIL FEE REC'D	ATTY.DOCKET.NO	TOT CLAIMS	IND CLAIMS
12/096,765	06/09/2008	1796	930	PRM-0155	12	2

CONFIRMATION NO. 4525

23413
CANTOR COLBURN, LLP
20 Church Street
22nd Floor
Hartford, CT 06103

FILING RECEIPT

OC000000037061869

Date Mailed: 07/28/2009

Receipt is acknowledged of this non-provisional patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF APPLICANT, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection. Please verify the accuracy of the data presented on this receipt. **If an error is noted on this Filing Receipt, please submit a written request for a Filing Receipt Correction. Please provide a copy of this Filing Receipt with the changes noted thereon. If you received a "Notice to File Missing Parts" for this application, please submit any corrections to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections**

Applicant(s)

Tomoyuki Ito, Kyoto, JAPAN;
Yoichi Tamegai, Kyoto, JAPAN;
Koki Tamakawa, Kyoto, JAPAN;
Isao Yamamoto, Kyoto, JAPAN;

Assignment For Published Patent Application

ROHM CO., LTD., Kyoto, JP

Power of Attorney: The patent practitioners associated with Customer Number 23413

Domestic Priority data as claimed by applicant

This application is a 371 of PCT/JP2006/324029 11/30/2006

Foreign Applications

JAPAN 2005-356077 12/09/2005

If Required, Foreign Filing License Granted: 07/23/2009

The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is **US 12/096,765**

Projected Publication Date: 11/05/2009

Non-Publication Request: No

Early Publication Request: No

Title

POWER SUPPLY DEVICE, ELECTRONIC DEVICE USING THE SAME, AND SEMICONDUCTOR DEVICE

Preliminary Class

510

PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at http://www.uspto.gov/web/offices/pac/doc/general/index.html.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, http://www.stopfakes.gov. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4158).

LICENSE FOR FOREIGN FILING UNDER

Title 35, United States Code, Section 184

Title 37, Code of Federal Regulations, 5.11 & 5.15

GRANTED

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where

the conditions for issuance of a license have been met, regardless of whether or not a license may be required as set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign AssetsControl, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Not for submission under 37 CFR 1.99)

Application Number	12096765
Filing Date	2006-11-30
First Named Inventor	Tomoyuki Ito
Art Unit	
Examiner Name	
Attorney Docket Number	PRM0155US

U.S.PATENTS Remove

Examiner Initial*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Patent citation information please click the Add button. Add

U.S.PATENT APPLICATION PUBLICATIONS Remove

Examiner Initial*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Published Application citation information please click the Add button. Add

FOREIGN PATENT DOCUMENTS Remove

Examiner Initial*	Cite No	Foreign Document Number[3]	Country Code[2]	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	T[5]
	1							☐

If you wish to add additional Foreign Patent Document citation information please click the Add button Add

NON-PATENT LITERATURE DOCUMENTS Remove

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T[5]

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	12096765
	Filing Date	2006-11-30
	First Named Inventor	Tomoyuki Ito
	Art Unit	
	Examiner Name	
	Attorney Docket Number	PRM0155US

	1	Chinese Office Action for Application No. 200680013756.3 issued June 26, 2009 with English translation	☒

If you wish to add additional non-patent literature document citation information please click the Add button Add

EXAMINER SIGNATURE

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. [2] Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). [3] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [4] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [5] Applicant is to place a check mark here if English language translation is attached.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	12096765
	Filing Date	2006-11-30
	First Named Inventor	Tomoyuki Ito
	Art Unit	
	Examiner Name	
	Attorney Docket Number	PRM0155US

CERTIFICATION STATEMENT

Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):

☒ That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).

OR

☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).

☐ See attached certification statement.

☐ Fee set forth in 37 CFR 1.17 (p) has been submitted herewith.

☐ None

SIGNATURE

A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.

Signature	/Daniel P. Lent/	Date (YYYY-MM-DD)	2009-09-18
Name/Print	Daniel P. Lent	Registration Number	44867

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 1 hour to complete, including gathering, preparing and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these record s.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Electronic Acknowledgement Receipt

EFS ID:	6097929
Application Number:	12096765
International Application Number:	
Confirmation Number:	4525
Title of Invention:	POWER SUPPLY DEVICE, ELECTRONIC DEVICE USING THE SAME, AND SEMICONDUCTOR DEVICE
First Named Inventor/Applicant Name:	Tomoyuki Ito
Customer Number:	23413
Filer:	Daniel P. Lent/Elizabeth Dyer
Filer Authorized By:	Daniel P. Lent
Attorney Docket Number:	PRM-0155
Receipt Date:	18-SEP-2009
Filing Date:	09-JUN-2008
Time Stamp:	12:00:16
Application Type:	U.S. National Stage under 35 USC 371

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	NPL Documents	2DO2696.pdf	1499672 c27966cd46289eefc4aa06178081cfb08d858562	no	19

Warnings:	
Information:	

2	Information Disclosure Statement (IDS) Filed (SB/08)	2DR0550.PDF	608486 4fbb6a07a2fe418e5ec027555930f3c90d86a4bb	no	4

Warnings:

Information:

A U.S. Patent Number Citation or a U.S. Publication Number Citation is required in the Information Disclosure Statement (IDS) form for autoloading of data into USPTO systems. You may remove the form to add the required data in order to correct the Informational Message if you are citing U.S. References. If you chose not to include U.S. References, the image of the form will be processed and be made available within the Image File Wrapper (IFW) system. However, no data will be extracted from this form. Any additional data such as Foreign Patent Documents or Non Patent Literature will be manually reviewed and keyed into USPTO systems.

Total Files Size (in bytes):	2108158

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
12/096,765	06/09/2008	Tomoyuki Ito	PRM-0155

CONFIRMATION NO. 4525

23413
CANTOR COLBURN, LLP
20 Church Street
22nd Floor
Hartford, CT 06103

PUBLICATION NOTICE

OC000000038626870

Title:POWER SUPPLY DEVICE, ELECTRONIC DEVICE USING THE SAME, AND SEMICONDUCTOR DEVICE

Publication No.US-2009-0273327-A1
Publication Date:11/05/2009

NOTICE OF PUBLICATION OF APPLICATION

The above-identified application will be electronically published as a patent application publication pursuant to 37 CFR 1.211, et seq. The patent application publication number and publication date are set forth above.

The publication may be accessed through the USPTO's publically available Searchable Databases via the Internet at www.uspto.gov. The direct link to access the publication is currently http://www.uspto.gov/patft/.

The publication process established by the Office does not provide for mailing a copy of the publication to applicant. A copy of the publication may be obtained from the Office upon payment of the appropriate fee set forth in 37 CFR 1.19(a)(1). Orders for copies of patent application publications are handled by the USPTO's Office of Public Records. The Office of Public Records can be reached by telephone at (703) 308-9726 or (800) 972-6382, by facsimile at (703) 305-8759, by mail addressed to the United States Patent and Trademark Office, Office of Public Records, Alexandria, VA 22313-1450 or via the Internet.

In addition, information on the status of the application, including the mailing date of Office actions and the dates of receipt of correspondence filed in the Office, may also be accessed via the Internet through the Patent Electronic Business Center at www.uspto.gov using the public side of the Patent Application Information and Retrieval (PAIR) system. The direct link to access this status information is currently http://pair.uspto.gov/. Prior to publication, such status information is confidential and may only be obtained by applicant using the private side of PAIR.

Further assistance in electronically accessing the publication, or about PAIR, is available by calling the Patent Electronic Business Center at 1-866-217-9197.

Office of Data Managment, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/096,765	06/09/2008	Tomoyuki Ito	PRM-0155	4525

23413 7590 08/27/2010

CANTOR COLBURN, LLP
20 Church Street
22nd Floor
Hartford, CT 06103

EXAMINER	
NGUYEN, MATTHEW VAN	
ART UNIT	**PAPER NUMBER**
2838	

NOTIFICATION DATE	DELIVERY MODE
08/27/2010	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

usptopatentmail@cantorcolburn.com

Office Action Summary	Application No.	Applicant(s)	
	12/096,765	ITO ET AL.	
	Examiner	Art Unit	
	MATTHEW V. NGUYEN	2838	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address --

Period for Reply

A SHORTENED STATUTORY PERIOD FOR REPLY IS SET TO EXPIRE *3* MONTH(S) OR THIRTY (30) DAYS, WHICHEVER IS LONGER, FROM THE MAILING DATE OF THIS COMMUNICATION.

- Extensions of time may be available under the provisions of 37 CFR 1.136(a). In no event, however, may a reply be timely filed after SIX (6) MONTHS from the mailing date of this communication.
- If NO period for reply is specified above, the maximum statutory period will apply and will expire SIX (6) MONTHS from the mailing date of this communication.
- Failure to reply within the set or extended period for reply will, by statute, cause the application to become ABANDONED (35 U.S.C. § 133). Any reply received by the Office later than three months after the mailing date of this communication, even if timely filed, may reduce any earned patent term adjustment. See 37 CFR 1.704(b).

Status

1)☒ Responsive to communication(s) filed on *09 June 2008*.

2a)☐ This action is **FINAL**. 2b)☒ This action is non-final.

3)☐ Since this application is in condition for allowance except for formal matters, prosecution as to the merits is closed in accordance with the practice under *Ex parte Quayle*, 1935 C.D. 11, 453 O.G. 213.

Disposition of Claims

4)☒ Claim(s) *1-12* is/are pending in the application.

4a) Of the above claim(s) _____ is/are withdrawn from consideration.

5)☐ Claim(s) _____ is/are allowed.

6)☒ Claim(s) *1-12* is/are rejected.

7)☐ Claim(s) _____ is/are objected to.

8)☐ Claim(s) _____ are subject to restriction and/or election requirement.

Application Papers

9)☐ The specification is objected to by the Examiner.

10)☒ The drawing(s) filed on *09 June 2008* is/are: a)☒ accepted or b)☐ objected to by the Examiner.

Applicant may not request that any objection to the drawing(s) be held in abeyance. See 37 CFR 1.85(a).

Replacement drawing sheet(s) including the correction is required if the drawing(s) is objected to. See 37 CFR 1.121(d).

11)☐ The oath or declaration is objected to by the Examiner. Note the attached Office Action or form PTO-152.

Priority under 35 U.S.C. § 119

12)☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

a)☒ All b)☐ Some * c)☐ None of:

1.☐ Certified copies of the priority documents have been received.

2.☐ Certified copies of the priority documents have been received in Application No. _____.

3.☒ Copies of the certified copies of the priority documents have been received in this National Stage application from the International Bureau (PCT Rule 17.2(a)).

* See the attached detailed Office action for a list of the certified copies not received.

Attachment(s)

1) ☒ Notice of References Cited (PTO-892)
2) ☐ Notice of Draftsperson's Patent Drawing Review (PTO-948)
3) ☒ Information Disclosure Statement(s) (PTO/SB/08) Paper No(s)/Mail Date *9/9/08; 9/18/09*.
4) ☐ Interview Summary (PTO-413) Paper No(s)/Mail Date. _____ .
5) ☐ Notice of Informal Patent Application
6) ☐ Other: _____.

1. The disclosure should be carefully reviewed and ensure that any and all grammatical, idiomatic, and spelling or other minor errors are corrected.

2. The following is a quotation of the appropriate paragraphs of 35 U.S.C. 102 that form the basis for the rejections under this section made in this Office action:

> A person shall be entitled to a patent unless –
>
> (b) the invention was patented or described in a printed publication in this or a foreign country or in public use or on sale in this country, more than one year prior to the date of application for patent in the United States.

Claims 11 and 12 are rejected under 35 U.S.C. 102(b) as being anticipated by JP05-35344 (hereinafter "'344").

With regard to claims 11 and 12, '344 (i.e., Figs. 1, 3) shows a semiconductor device comprising: a reference voltage source (1) which generates a predetermined reference voltage; and a linear regulator (including elements 2, 4, 5) which stabilizes an input voltage (Vcc), based on the reference voltage generated by the reference voltage source; wherein the semiconductor device supplies an output voltage (Vout2) of the linear regulator as a power supply voltage of the reference voltage source (1); wherein the linear regulator (2, 4, 5) is configured to enable switching of a regulation mode in which a voltage is outputted according to the reference voltage, and a bypass mode in which the input voltage is outputted as it is, with no relation to the reference voltage, and when the semiconductor device is started up, the linear regulator (2, 4, 5) operates in the bypass mode, during a time period until the reference voltage reaches a

predetermined voltage, and when the reference voltage exceeds the predetermined voltage, operates in the regulation mode (para. [0011] – [0027]).

3. The following is a quotation of 35 U.S.C. 103(a) which forms the basis for all obviousness rejections set forth in this Office action:

> (a) A patent may not be obtained though the invention is not identically disclosed or described as set forth in section 102 of this title, if the differences between the subject matter sought to be patented and the prior art are such that the subject matter as a whole would have been obvious at the time the invention was made to a person having ordinary skill in the art to which said subject matter pertains. Patentability shall not be negatived by the manner in which the invention was made.

Claims 1-8 are rejected under 35 U.S.C. 103(a) as being unpatentable over JP2004-32899 (hereinafter "'899") in view of '344.

With regard to claims 1-8, '899 (i.e., Figs, 1, 4) shows a power supply apparatus comprising: a switching power supply (including elements 16, 18, 28) which stabilizes an input voltage (12) provided from outside; a reference voltage source (72) which generates a predetermined reference voltage; and a linear regulator (74) which generates an output voltage based on the reference voltage generated by the reference voltage source (72); wherein an output voltage of the linear regulator is supplied as a power supply voltage of a controller (28) of the switching power supply.

'899 does not disclose the linear regulator stabilizing an input voltage; an output voltage being supplied as a power supply voltage of the reference voltage source; and the linear regulator further comprising an operational amplifier to which are inputted the reference voltage and a feedback voltage corresponding to the output voltage of the linear regulator; a transistor in which an error voltage outputted from the operational amplifier is inputted to a control terminal, and the input voltage is applied to an end, and

which outputs the output voltage from another end; and a switch circuit which changes electrical potential of a control terminal of the transistor, in the bypass mode, and forcibly turns the transistor ON.

'344, however, shows the linear regulator (2, 4, 5) stabilizing an input voltage Vcc); an output voltage being supplied as a power supply voltage of the reference voltage source (1); and the linear regulator further comprising an operational amplifier (2) to which are inputted the reference voltage and a feedback voltage corresponding to the output voltage (Vout2) of the linear regulator; a transistor (3) in which an error voltage outputted from the operational amplifier (2) is inputted to a control terminal, and the input voltage (Vcc) is applied to an end, and which outputs the output voltage from another end; and a switch circuit (5) which changes electrical potential of a control terminal of the transistor, in the bypass mode, and forcibly turns the transistor ON.

It would have been obvious to one having ordinary skill in the art at the time the invention was made to utilize the linear regulator stabilizing an input voltage; an output voltage being supplied as a power supply voltage of the reference voltage source; and the linear regulator further comprising an operational amplifier to which are inputted the reference voltage and a feedback voltage corresponding to the output voltage of the linear regulator; a transistor in which an error voltage outputted from the operational amplifier is inputted to a control terminal, and the input voltage is applied to an end, and which outputs the output voltage from another end; and a switch circuit which changes electrical potential of a control terminal of the transistor, in the bypass mode, and forcibly turns the transistor ON as taught in '344 into the power supply apparatus of '899

for the purpose of enhancing the power efficiency of the power supply apparatus in '899 through stabilizing the output voltage via such a structure and performance of the linear regulator in '344.

4. Claims 9 and 10 is rejected under 35 U.S.C. 103(a) as being unpatentable over '899 in view of '344 as applied to claims 1-8 above, and further in view of JP2002-315335 (hereinafter "'335").

With regard to claims 9 and 10, '899 in view of '344 shows a power supply apparatus comprising all the claimed subject matter as discussed above in section 3, except for a battery; a load circuit, in which the voltage of the battery is as an input voltage, and steps up the voltage to supply the load circuit; and further comprising an imaging unit, wherein the load circuit includes a xenon tube which operates as a flash when an image is taken by the imaging unit.

'335, however, discloses an electronic device (i.e., Fig. 1) comprising: a battery (101); a load circuit (111), in which the voltage of the battery is as an input voltage, and steps up the voltage to supply the load circuit; and further comprising an imaging unit (camera), wherein the load circuit includes a xenon tube (111) which operates as a flash when an image is taken by the imaging unit.

It would have been obvious to one having ordinary skill in the art at the time the invention was made to utilize a battery; a load circuit, in which the voltage of the battery is as an input voltage, and steps up the voltage to supply the load circuit; and further comprising an imaging unit, wherein the load circuit includes a xenon tube which

operates as a flash when an image is taken by the imaging unit as taught in '335 into the power supply apparatus of '899 in view of '344 for the purpose of giving the power supply apparatus an ability to use in the device of a camera.

5. The prior art made of record and not relied upon is considered pertinent to applicant's disclosure.

Andres et al. (U.S. Pat. No. 6,130,529), Germanski et al. (U.S. Pat. No. 6,275,017) and Watanabe et al. (U.S. Pub. No. 2009/0072626) also disclose power supply devices each of which comprises a switching power supply circuit cooperating with a linear power regulator for supplying a stabilized output voltage to a load circuit.

6. Any inquiry concerning this communication or earlier communications from the examiner should be directed to MATTHEW V. NGUYEN whose telephone number is (571)272-2081. The examiner can normally be reached on 8 HOURS M-F.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, MONICA LEWIS, can be reached on (571)272-1838. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see http://pair-direct.uspto.gov. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/MATTHEW V NGUYEN/

Primary Examiner, Art Unit 2838

Notice of References Cited	Application/Control No. 12/096,765	Applicant(s)/Patent Under Reexamination ITO ET AL.	
	Examiner MATTHEW V. NGUYEN	Art Unit 2838	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	Classification
*	A	US-6,130,529	10-2000	Andres et al.	323/303
*	B	US-6,275,017	08-2001	Germanski et al.	323/273
*	C	US-2009/0072626	03-2009	Watanabe et al.	307/85
	D	US-			
	E	US-			
	F	US-			
	G	US-			
	H	US-			
	I	US-			
	J	US-			
	K	US-			
	L	US-			
	M	US-			

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	12096765	ITO ET AL.
	Examiner	Art Unit
	MATTHEW V NGUYEN	2838

SEARCHED			
Class	Subclass	Date	Examiner
323	268, 270, 271, 273, 275, 280, 281	8/21/10	MN

SEARCH NOTES		
Search Notes	Date	Examiner
EAST: see text search history printout	8/21/10	MN

INTERFERENCE SEARCH			
Class	Subclass	Date	Examiner

PTO/SB/08a (07-09)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Not for submission under 37 CFR 1.99)

Application Number	12096765
Filing Date	2006-11-30
First Named Inventor	Tomoyuki Ito
Art Unit	
Examiner Name	
Attorney Docket Number	PRM0155US

U.S.PATENTS Remove

Examiner Initial*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Patent citation information please click the Add button. Add

U.S.PATENT APPLICATION PUBLICATIONS Remove

Examiner Initial*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Published Application citation information please click the Add button. Add

FOREIGN PATENT DOCUMENTS Remove

Examiner Initial*	Cite No	Foreign Document Number[3]	Country Code[2] i	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	T[5]
	1							☐

If you wish to add additional Foreign Patent Document citation information please click the Add button Add

NON-PATENT LITERATURE DOCUMENTS Remove

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T[5]

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /M.N./

Receipt date: 09/18/2009	Application Number	12096765 12096765 - GAU: 2838
INFORMATION DISCLOSURE STATEMENT BY APPLICANT (**Not for submission under 37 CFR 1.99)**	Filing Date	2006-11-30
	First Named Inventor	Tomoyuki Ito
	Art Unit	
	Examiner Name	
	Attorney Docket Number	PRM0155US

	1	Chinese Office Action for Application No. 200680013756.3 issued June 26, 2009 with English translation	☒

If you wish to add additional non-patent literature document citation information please click the Add button Add

EXAMINER SIGNATURE

Examiner Signature	/Matthew Nguyen/	Date Considered	08/20/2010

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. [2] Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). [3] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [4] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [5] Applicant is to place a check mark here if English language translation is attached.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /M.N./

PTO/SB/08a (08-07)
Approved for use through 11/30/2007. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Not for submission under 37 CFR 1.99)

Application Number	12096765
Filing Date	2008-06-09
First Named Inventor	Tomoyuki ITO
Art Unit	
Examiner Name	
Attorney Docket Number	PRM-0155

U.S.PATENTS Remove

Examiner Initial*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Patent citation information please click the Add button. Add

U.S.PATENT APPLICATION PUBLICATIONS Remove

Examiner Initial*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Published Application citation information please click the Add button. Add

FOREIGN PATENT DOCUMENTS Remove

Examiner Initial*	Cite No	Foreign Document Number[3]	Country Code[2] i	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	T[5]
	1	5-35344	JP		1993-02-12	SANYO ELECTRIC CO LTD	(SEE ENGLISH ABSTRACT)	☐
	2	2002-315335	JP		2002-10-25	CANON INC	(SEE ENGLISH ABSTRACT)	☐
	3	2004-32899	JP		2004-01-29	MURATA MFG CO LTD	(SEE ENGLISH ABSTRACT)	☐

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /M.N./

Receipt date: 09/09/2008	Application Number	12096765	12096765 - GAU: 2838
INFORMATION DISCLOSURE STATEMENT BY APPLICANT (**Not for submission under 37 CFR 1.99**)	Filing Date	2008-06-09	
	First Named Inventor	Tomoyuki ITO	
	Art Unit		
	Examiner Name		
	Attorney Docket Number	PRM-0155	

	4	2004-201474	JP		2004-07-15	SMK CORP	(SEE ENGLISH ABSTRACT)	☐
	5	2005-73483	JP		2005-03-17	OHIRA DENSHI KK	(SEE ENGLISH ABSTRACT)	☐

If you wish to add additional Foreign Patent Document citation information please click the Add button **Add**

NON-PATENT LITERATURE DOCUMENTS **Remove**

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T[5]
	1	International Preliminary Report on Patentability for International Patent Application No. PCT/JP2006/324029 issued June 11, 2008 with English Translation	☒
	2	International Search Report for International Application No. PCT/JP2006/324029 mailed March 6, 2007 with English Translation	☒

If you wish to add additional non-patent literature document citation information please click the Add button **Add**

EXAMINER SIGNATURE

Examiner Signature	/Matthew Nguyen/	Date Considered	08/20/2010

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. [2] Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). [3] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [4] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [5] Applicant is to place a check mark here if English language translation is attached.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /M.N./

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L1	356	(ito near tomoyuki).in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2010/08/21 21:54
L2	48	(tamegai near yoichi).in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2010/08/21 21:55
L3	3	(tamakawa near koki).in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2010/08/21 21:55
L4	562	(yamamoto near isao).in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2010/08/21 21:55
L5	904	1 2 3 4	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2010/08/21 21:55
L6	68067	(switch$3 adj2 power adj2 (supply$3 supplie$1))	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2010/08/21 21:57
L7	20	5 and 6	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2010/08/21 21:57

L8	7902123	reference	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2010/08/21 21:57
L9	34214	(linear$2 near3 regulat$3) ((low adj2 drop$4) LDO)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2010/08/21 21:58
L10	14214657	control$4 driv$4	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2010/08/21 21:58
L11	76	6 8 9 10	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	SAME	ON	2010/08/21 21:59

8/21/10 9:59:57 PM
C:\Documents and Settings\MNguyen1\My Documents\EAST\\default.wsp

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

Applicant:	TOMOYUKI ITO ET AL.	)
		) Group Art Unit: 2838
Serial No.:	12/096,765	)
		) Examiner: Nguyen, Matthew
Filed:	June 9, 2008	)
		) Confirmation No.: 4525
For:	POWER SUPPLY DEVICE, ELECTRONIC DEVICE USING THE SAME, AND SEMICONDUCTOR DEVICE	)))

Customer No. 23413

AMENDMENT

VIA EFS-Web
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

This Amendment is submitted in response to Office Action dated August 27, 2010. If there are any additional charges with respect to this Amendment or otherwise, please charge them to Deposit Account No. 06-1130.

Please amend the application as follows:

IN THE CLAIMS

Complete listing of the claims:

1. (Currently amended) A power supply apparatus for use with an input voltage provided from outside, the power supply apparatus comprising:

a switching power supply which stabilizes ~~an~~ the input voltage ~~provided from outside~~;

a reference voltage source which generates a predetermined reference voltage; and

a linear regulator which stabilizes the input voltage, based on the reference voltage generated by the reference voltage source; wherein

an output voltage of the linear regulator is supplied as a power supply voltage of a controller of the switching power supply and the reference voltage source, and the input voltage is not directly supplied to the controller as a power supply voltage.

2. (Original) A power supply apparatus according to claim 1, wherein

the linear regulator is configured to enable switching of a regulation mode in which a voltage is outputted according to the reference voltage, and a bypass mode in which the input voltage is outputted as it is, with no relation to the reference voltage, and

when the power supply apparatus is started up, the linear regulator operates in the bypass mode, during a time period until the reference voltage reaches a predetermined voltage value, and when the reference voltage exceeds the predetermined voltage value, operates in the regulation mode.

3. (Original) A power supply apparatus according to claim 2, wherein the linear regulator comprises:

an operational amplifier to which are inputted the reference voltage and a feedback voltage corresponding to the output voltage of the linear regulator;

a transistor in which an error voltage outputted from the operational amplifier is inputted to a control terminal, and the input voltage is applied to an end, and which outputs the output voltage from another end; and

a switch circuit which changes electrical potential of a control terminal of the

transistor, in the bypass mode, and forcibly turns the transistor ON.

4. (Original) A power supply apparatus according to claim 3, wherein the switch circuit includes a switch arranged between a terminal with a fixed electrical potential and the control terminal of the transistor, which is ON in the bypass mode.

5. (Original) A power supply apparatus according to claim 2, wherein,

when the reference voltage generated by the reference voltage source reaches a predetermined voltage value, the reference voltage source outputs a mode control signal of a predetermined level, and

when the mode control signal outputted from the reference voltage source becomes the predetermined level, the linear regulator transitions to the regulation mode.

6. (Currently amended) A power supply apparatus according to claim 5, wherein the reference voltage source ~~generates the mode control signal based on current flowing in a transistor that is ON when the reference voltage reaches a predetermined voltage value~~ comprises:

a first transistor of PNP type connected at one end to a terminal where the reference voltage is generated and turned on when the reference reaches a predetermined voltage;

a second transistor provided between the other end of the first transistor and a ground terminal of the first transistor;

a third transistor connected to the second transistor so as to form a current mirror circuit and generating a current according to a current flowing in the second transistor; and

a resistor provided on a current path of a current flowing in the third transistor and connected at one end to a terminal where the input voltage is applied,

wherein a signal generated at the other end of the resistor is output as the mode control signal.

7. (Previously presented) A power supply apparatus according to claim 1, wherein the reference voltage source, the linear regulator, and the controller of the switching power supply

are integrated on one semiconductor substrate.

8. (Previously presented) A power supply apparatus according to claim 1, wherein the switching power supply is a step-up switching regulator which steps up the input voltage.

9. (Original) An electronic device comprising:

a battery;

a load circuit; and

the power supply apparatus according to claim 8, which has voltage of the battery as an input voltage, and steps up the voltage to supply the load circuit.

10. (Original) An electronic device according to claim 9, further comprising an imaging unit, wherein the load circuit includes a xenon tube which operates as a flash when an image is taken by the imaging unit.

11. (Original) A semiconductor device comprising:

a reference voltage source which generates a predetermined reference voltage; and

a linear regulator which stabilizes an input voltage, based on the reference voltage generated by the reference voltage source; wherein

the semiconductor device supplies an output voltage of the linear regulator as a power supply voltage of the reference voltage source,

the linear regulator is configured to enable switching of a regulation mode in which a voltage is outputted according to the reference voltage, and a bypass mode in which the input voltage is outputted as it is, with no relation to the reference voltage,

when the semiconductor device is started up, the linear regulator operates in the bypass mode, during a time period until the reference voltage reaches a predetermined voltage, and when the reference voltage exceeds the predetermined voltage, operates in the regulation mode,

the reference voltage source outputs a mode control signal of a predetermined level when the generated reference voltage source reaches a predetermined voltage value, and

the linear regulator makes transition to the regulation mode when the mode control signal output from the reference voltage source reaches the predetermined level,

where the reference voltage source comprises:

a first transistor connected at one end to a terminal where the reference voltage is generated;

a second transistor provided between the other end of the first transistor and a ground terminal of the first transistor;

a third transistor connected to the second transistor so as to form a current mirror circuit and generating a current according to a current flowing in the second transistor; and

a resistor provided on a current path of a current flowing in the third transistor and connected at one end to a terminal where the input voltage is applied,

wherein a signal generated at the other end of the resistor is output as the mode control signal.

12. (Cancelled)

REMARKS

Claims 1-11 are pending herein.

I. The anticipation rejections of claims 11-12 based on JP 05-35344 ('344), as noted on page 2 of the Office Action.

The USPTO respectfully rejects claims 11-12 under 35 U.S.C. § 102(b) as being anticipated by '344. Claim 12 is cancelled.

'344 does not disclose the specifically claimed reference voltage source of claim 11.

Claim 11 claims in relevant part:

"where the reference voltage source comprises:

a first transistor connected at one end to a terminal where the reference voltage is generated;

a second transistor provided between the other end of the first transistor and a ground terminal of the first transistor;

a third transistor connected to the second transistor so as to form a current mirror circuit and generating a current according to a current flowing in the second transistor; and

a resistor provided on a current path of a current flowing in the third transistor and connected at one end to a terminal where the input voltage is applied,

wherein a signal generated at the other end of the resistor is output as the mode control signal."

No new matter is added by the amendments. Support for the amendments is found in present Figure 4. Regarding these limitations, it is respectfully not seen where '344 discloses the claimed structure quoted above.

For example, the USPTO respectfully argues on page 2 of the Office Action that structure 1 of '344 is the specifically claimed reference voltage source. However, it is respectfully important to note that **'344 does not disclose the specifically claimed reference voltage source structure as claimed in claim 11.**

In contrast, present Figure 4 illustrates at least one possible embodiment of the claimed structure quoted above. For example, in present Figure 4, **transistors Q10, Q11, and Q12 respectively correspond to the specifically claimed first, second, and third transistors of claim 11, and resistor R7 corresponds to the specifically claimed resistor of claim 11.**

Thus, it is respectfully asserted that '344 does not disclose all the limitations of independent claim 11. Therefore, it is respectfully asserted that '344 does not anticipated independent claim 11.

II. The obviousness rejections of claims 1-8 based on JP 2004-32899 ('899) in view of '344, as noted on page 3 of the Office Action.

The USPTO respectfully rejects claims 1-8 under 35 U.S.C. § 103(a) as being unpatentable over '899 in view of '344. Claim 1 is an independent claim.

A. The cited references do not teach or suggest that the input voltage is not directly supplied to the controller as a power supply voltage, as claimed in claim 1.

Claim 1 claims in relevant part:

> "an output voltage of the linear regulator is supplied as a power supply voltage of a controller of the switching power supply and the reference voltage source, and **the input voltage is not directly supplied to the controller as a power supply voltage**." **(emphasis added)**

No new matter is added by the amendment. Support for the amendment is found in present Figure 1. Regarding these limitations, it is respectfully not seen where the cited references teach or suggest the claimed structure quoted above.

For example, the USPTO respectfully argues on page 3 of the Office Action that '899 teaches an input voltage from structure 12, and a controller 28. However, regarding the amendments, Applicants respectfully note that **the output voltage of the voltage supply 12 of '899 (i.e., the purported input voltage) is input to a positive power supply terminal of structure 28 of '899**. In other words, the purported input voltage of '899 is directly supplied to the controller as a power supply voltage. Thus, '899 does not teach or suggest that the input voltage is not directly supplied to the controller as a power supply voltage, as claimed in claim 1.

Additionally, '344 does not overcome these deficiencies in the primary reference '899. For example, '344 respectfully does not teach or suggest at all that the input voltage is not directly supplied to the controller as a power supply voltage, as claimed in claim 1.

In contrast, present Figure 1 illustrates at least one possible embodiment of the claimed structure quoted above. For example, present Figure 1 shows an input voltage Vin and a switching controller 40. As seen in present Figure 1, **input voltage Vin is not supplied to switching controller 40 as a power supply voltage**. Thus, the input voltage is not directly supplied to the controller as a power supply voltage, as claimed in claim 1.

The distinction noted above is important and non-trivial because it results in significant advantages over conventional devices. For example, as explained in paragraph [0005] of the present specification, in conventional devices there is a problem that noise superimposed on the reference voltage risks hindering a stepping up or a stepping down operation of the device. However, **the structure of claim 1 helps to stabilize the power supply to the controller of the switching power supply so that the stepping up operation and the stepping down operation are stabilized.**

Thus, it is respectfully asserted that the cited references, taken either alone or in combination, do not teach or suggest all of the limitations of independent claim 1. Therefore, it is respectfully asserted that independent claim 1 is allowable over the cited references.

B. The dependent claims.

As noted above, it is respectfully asserted that independent claim 1 is allowable, and therefore it is further respectfully asserted that dependent claims 2-7 are also allowable.

III. Conclusion.

Reconsideration and allowance of all of the claims is respectfully requested.

If there are any additional charges with respect to this Request for Reconsideration or otherwise, please charge them to Deposit Account No. 06-1130.

Please contact the undersigned for any reason. Applicants seek to cooperate with the Examiner including via telephone if convenient for the Examiner.

Respectfully submitted,

By: /Daniel P. Lent /___
Daniel P. Lent
Registration No. 44,867

Date: November 29, 2010
CANTOR COLBURN LLP
20 Church Street, 22nd Floor
Hartford, CT 06103
Telephone (860) 286-2929
Facsimile (860) 286-0115
Customer No.: 23413

Electronic Acknowledgement Receipt

EFS ID:	8925808
Application Number:	12096765
International Application Number:	
Confirmation Number:	4525
Title of Invention:	POWER SUPPLY DEVICE, ELECTRONIC DEVICE USING THE SAME, AND SEMICONDUCTOR DEVICE
First Named Inventor/Applicant Name:	Tomoyuki Ito
Customer Number:	23413
Filer:	Daniel P. Lent
Filer Authorized By:	
Attorney Docket Number:	PRM-0155
Receipt Date:	29-NOV-2010
Filing Date:	09-JUN-2008
Time Stamp:	18:11:03
Application Type:	U.S. National Stage under 35 USC 371

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Amendment/Req. Reconsideration-After Non-Final Reject	46A3508.PDF	112412 38a7ce66ab71d9a397d6ac56fbe342846d6ddb06	no	9

Warnings:	
Information:	

Total Files Size (in bytes):	112412

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111
If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371
If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office
If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

PTO/SB/08a (01-10)
Approved for use through 07/31/2012. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Not for submission under 37 CFR 1.99)

Application Number	12096765
Filing Date	2008-06-09
First Named Inventor	Tomoyuki ITO
Art Unit	2838
Examiner Name	Nguyen, Matthew
Attorney Docket Number	PRM0155US

U.S.PATENTS Remove

Examiner Initial*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Patent citation information please click the Add button. Add

U.S.PATENT APPLICATION PUBLICATIONS Remove

Examiner Initial*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Published Application citation information please click the Add button. Add

FOREIGN PATENT DOCUMENTS Remove

Examiner Initial*	Cite No	Foreign Document Number[3]	Country Code[2] i	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	T[5]
	1							☐

If you wish to add additional Foreign Patent Document citation information please click the Add button Add

NON-PATENT LITERATURE DOCUMENTS Remove

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T[5]

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	12096765
	Filing Date	2008-06-09
	First Named Inventor	Tomoyuki ITO
	Art Unit	2838
	Examiner Name	Nguyen, Matthew
	Attorney Docket Number	PRM0155US

	1	Japanese Office Action for Japanese Patent Application No. 2005-356077 dispatched September 28, 2010 with English translation	☒

If you wish to add additional non-patent literature document citation information please click the Add button Add

EXAMINER SIGNATURE

Examiner Signature		Date Considered	

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. [2] Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). [3] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [4] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [5] Applicant is to place a check mark here if English language translation is attached.

INFORMATION DISCLOSURE STATEMENT BY APPLICANT (Not for submission under 37 CFR 1.99)		
	Application Number	12096765
	Filing Date	2008-06-09
	First Named Inventor	Tomoyuki ITO
	Art Unit	2838
	Examiner Name	Nguyen, Matthew
	Attorney Docket Number	PRM0155US

CERTIFICATION STATEMENT

Please see 37 CFR 1.97 and 1.98 to make the appropriate selection(s):

☒ That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(1).

OR

☐ That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement. See 37 CFR 1.97(e)(2).

☐ See attached certification statement.

☐ Fee set forth in 37 CFR 1.17 (p) has been submitted herewith.

☐ None

SIGNATURE

A signature of the applicant or representative is required in accordance with CFR 1.33, 10.18. Please see CFR 1.4(d) for the form of the signature.

Signature	/Daniel P. Lent/	Date (YYYY-MM-DD)	2010-12-27
Name/Print	Daniel P. Lent	Registration Number	44867

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 1 hour to complete, including gathering, preparing and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these record s.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Electronic Acknowledgement Receipt

EFS ID:	9119097
Application Number:	12096765
International Application Number:	
Confirmation Number:	4525
Title of Invention:	POWER SUPPLY DEVICE, ELECTRONIC DEVICE USING THE SAME, AND SEMICONDUCTOR DEVICE
First Named Inventor/Applicant Name:	Tomoyuki Ito
Customer Number:	23413
Filer:	Daniel P. Lent/Jayne Cote
Filer Authorized By:	Daniel P. Lent
Attorney Docket Number:	PRM-0155
Receipt Date:	27-DEC-2010
Filing Date:	09-JUN-2008
Time Stamp:	17:03:29
Application Type:	U.S. National Stage under 35 USC 371

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	NPL Documents	4727779.pdf	144733 2499d6b11fa55550fbd6ad824b6f6d8fd5aeb4fd	no	4
Warnings:					
Information:					

2	Information Disclosure Statement (IDS) Filed (SB/08)	4727767.PDF	612358 204449c674e2f69034dee00a3c0ebdf53b9fcf8d	no	4

Warnings:

Information:

A U.S. Patent Number Citation or a U.S. Publication Number Citation is required in the Information Disclosure Statement (IDS) form for autoloading of data into USPTO systems. You may remove the form to add the required data in order to correct the Informational Message if you are citing U.S. References. If you chose not to include U.S. References, the image of the form will be processed and be made available within the Image File Wrapper (IFW) system. However, no data will be extracted from this form. Any additional data such as Foreign Patent Documents or Non Patent Literature will be manually reviewed and keyed into USPTO systems.

Total Files Size (in bytes):	757091

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

23413 7590 02/09/2011

CANTOR COLBURN LLP
20 Church Street
22nd Floor
Hartford, CT 06103

EXAMINER	
NGUYEN, MATTHEW VAN	
ART UNIT	PAPER NUMBER
2838	

DATE MAILED: 02/09/2011

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/096,765	06/09/2008	Tomoyuki Ito	PRM-0155	4525

TITLE OF INVENTION: POWER SUPPLY DEVICE, ELECTRONIC DEVICE USING THE SAME, AND SEMICONDUCTOR DEVICE

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	$1510	$300	$0	$1810	05/09/2011

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the SMALL ENTITY status shown above.

If the SMALL ENTITY is shown as YES, verify your current SMALL ENTITY status:

A. If the status is the same, pay the TOTAL FEE(S) DUE shown above.

B. If the status above is to be removed, check box 5b on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and twice the amount of the ISSUE FEE shown above, or

If the SMALL ENTITY is shown as NO:

A. Pay TOTAL FEE(S) DUE shown above, or

B. If applicant claimed SMALL ENTITY status before, or is now claiming SMALL ENTITY status, check box 5a on Part B - Fee(s) Transmittal and pay the PUBLICATION FEE (if required) and 1/2 the ISSUE FEE shown above.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed and an extra copy of the form should be submitted. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Utility patents issuing on applications filed on or after Dec. 12, 1980 may require payment of maintenance fees. It is patentee's responsibility to ensure timely payment of maintenance fees when due.

PTOL-85 (Rev. 08/07) Approved for use through 08/31/2010.

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: Mail **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

23413 7590 02/09/2011

CANTOR COLBURN LLP
20 Church Street
22nd Floor
Hartford, CT 06103

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/096,765	06/09/2008	Tomoyuki Ito	PRM-0155	4525

TITLE OF INVENTION: POWER SUPPLY DEVICE, ELECTRONIC DEVICE USING THE SAME, AND SEMICONDUCTOR DEVICE

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	$1510	$300	$0	$1810	05/09/2011

EXAMINER	ART UNIT	CLASS-SUBCLASS
NGUYEN, MATTHEW VAN	2838	323-281000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

❑ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.

❑ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list

(1) the names of up to 3 registered patent attorneys or agents OR, alternatively, 1_____

(2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed. 2_____ 3_____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent) : ❑ Individual ❑ Corporation or other private group entity ❑ Government

4a. The following fee(s) are submitted:

❑ Issue Fee

❑ Publication Fee (No small entity discount permitted)

❑ Advance Order - # of Copies _____

4b. Payment of Fee(s): **(Please first reapply any previously paid issue fee shown above)**

❑ A check is enclosed.

❑ Payment by credit card. Form PTO-2038 is attached.

❑ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number _____ (enclose an extra copy of this form).

5. **Change in Entity Status** (from status indicated above)

❑ a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27.

❑ b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature _____ Date _____

Typed or printed name _____ Registration No. _____

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/096,765	06/09/2008	Tomoyuki Ito	PRM-0155	4525

23413 7590 02/09/2011

CANTOR COLBURN LLP
20 Church Street
22nd Floor
Hartford, CT 06103

EXAMINER	
NGUYEN, MATTHEW VAN	
ART UNIT	PAPER NUMBER
2838	

DATE MAILED: 02/09/2011

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment to date is 353 day(s). If the issue fee is paid on the date that is three months after the mailing date of this notice and the patent issues on the Tuesday before the date that is 28 weeks (six and a half months) after the mailing date of this notice, the Patent Term Adjustment will be 353 day(s).

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

Notice of Allowability	Application No.	Applicant(s)	
	12/096,765	ITO ET AL.	
	Examiner	Art Unit	
	MATTHEW V. NGUYEN	2838	

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☒ This communication is responsive to *amendment filed on 12/27/10*.

2. ☒ The allowed claim(s) is/are *1-11*.

3. ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
   a) ☒ All b) ☐ Some* c) ☐ None of the:
      1. ☐ Certified copies of the priority documents have been received.
      2. ☐ Certified copies of the priority documents have been received in Application No. _____ .
      3. ☒ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

   * Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

4. ☐ A SUBSTITUTE OATH OR DECLARATION must be submitted. Note the attached EXAMINER'S AMENDMENT or NOTICE OF INFORMAL PATENT APPLICATION (PTO-152) which gives reason(s) why the oath or declaration is deficient.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
   (a) ☐ including changes required by the Notice of Draftsperson's Patent Drawing Review (PTO-948) attached
      1) ☐ hereto or 2) ☐ to Paper No./Mail Date _____.
   (b) ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.

   Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).

6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☐ Notice of References Cited (PTO-892)
2. ☐ Notice of Draftperson's Patent Drawing Review (PTO-948)
3. ☒ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date 12/27/10
4. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material
5. ☐ Notice of Informal Patent Application
6. ☐ Interview Summary (PTO-413), Paper No./Mail Date _____ .
7. ☐ Examiner's Amendment/Comment
8. ☐ Examiner's Statement of Reasons for Allowance
9. ☐ Other _____.

/MATTHEW V NGUYEN/
Primary Examiner, Art Unit 2838

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	12096765	ITO ET AL.
	Examiner	**Art Unit**
	MATTHEW V NGUYEN	2838

ORIGINAL		INTERNATIONAL CLASSIFICATION	
CLASS	SUBCLASS	CLAIMED	NON-CLAIMED
323	281	G 0 5 F 1 / 40 (2006.01)	

CROSS REFERENCE(S)

CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)				
323	273				

☐ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
1	1														
2	2														
3	3														
4	4														
5	5														
6	6														
7	7														
8	8														
9	9														
10	10														
11	11														
	12														

NONE		**Total Claims Allowed:**	
(Assistant Examiner)	(Date)	11	
/MATTHEW V NGUYEN/ Primary Examiner.Art Unit 2838	01/30/2011	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	1

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(Not for submission under 37 CFR 1.99)

Application Number	12096765
Filing Date	2008-06-09
First Named Inventor	Tomoyuki ITO
Art Unit	2838
Examiner Name	Nguyen, Matthew
Attorney Docket Number	PRM0155US

U.S.PATENTS Remove

Examiner Initial*	Cite No	Patent Number	Kind Code[1]	Issue Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Patent citation information please click the Add button. Add

U.S.PATENT APPLICATION PUBLICATIONS Remove

Examiner Initial*	Cite No	Publication Number	Kind Code[1]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear
	1					

If you wish to add additional U.S. Published Application citation information please click the Add button. Add

FOREIGN PATENT DOCUMENTS Remove

Examiner Initial*	Cite No	Foreign Document Number[3]	Country Code[2] i	Kind Code[4]	Publication Date	Name of Patentee or Applicant of cited Document	Pages,Columns,Lines where Relevant Passages or Relevant Figures Appear	T[5]
	1							☐

If you wish to add additional Foreign Patent Document citation information please click the Add button Add

NON-PATENT LITERATURE DOCUMENTS Remove

Examiner Initials*	Cite No	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc), date, pages(s), volume-issue number(s), publisher, city and/or country where published.	T[5]

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /M.N./

Receipt date: 12/27/2010	Application Number	12096765 12096765 - GAU: 2838
INFORMATION DISCLOSURE STATEMENT BY APPLICANT (**Not for submission under 37 CFR 1.99)**	Filing Date	2008-06-09
	First Named Inventor	Tomoyuki ITO
	Art Unit	2838
	Examiner Name	Nguyen, Matthew
	Attorney Docket Number	PRM0155US

	1	Japanese Office Action for Japanese Patent Application No. 2005-356077 dispatched September 28, 2010 with English translation	☒

If you wish to add additional non-patent literature document citation information please click the Add button Add

EXAMINER SIGNATURE

Examiner Signature	/Matthew Nguyen/	Date Considered	01/30/2011

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through a citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

[1] See Kind Codes of USPTO Patent Documents at www.USPTO.GOV or MPEP 901.04. [2] Enter office that issued the document, by the two-letter code (WIPO Standard ST.3). [3] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. [4] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. [5] Applicant is to place a check mark here if English language translation is attached.

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /M.N./

EAST Search History

EAST Search History (Interference)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L11	10929	(switch$3 adj2 (power voltage current) adj2 (supply$3 supplie$1)).clm.	US-PGPUB; USPAT; UPAD	OR	ON	2011/01/30 20:42
L12	377156	reference.clm.	US-PGPUB; USPAT; UPAD	OR	ON	2011/01/30 20:42
L13	2472	((linear$2 near3 regulat $3) ((low adj2 drop$4) LDO)).clm.	US-PGPUB; USPAT; UPAD	OR	ON	2011/01/30 20:42
L14	2267153	(control$4 driv $4).clm.	US-PGPUB; USPAT; UPAD	OR	ON	2011/01/30 20:43
L15	33	11 12 13 14	US-PGPUB; USPAT; UPAD	AND	ON	2011/01/30 20:43

1/30/11 8:43:49 PM

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	12096765	ITO ET AL.
	Examiner	Art Unit
	MATTHEW V NGUYEN	2838

SEARCHED			
Class	Subclass	Date	Examiner
323	268, 270, 271, 273, 275, 280, 281	8/21/10	MN
	UPDATED search all above	1/30/11	MN

SEARCH NOTES		
Search Notes	Date	Examiner
EAST: see text search history printout (UPDATED)	1/30/11	MN
Interference Search: see text search history printout	1/30/11	MN

INTERFERENCE SEARCH			
Class	Subclass	Date	Examiner
323	273, 281	1/30/11	MN

EAST Search History

EAST Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	Time Stamp
L1	358	(ito near tomoyuki).in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2011/01/30 20:36
L2	53	(tamegai near yoichi).in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2011/01/30 20:36
L3	4	(tamakawa near koki).in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2011/01/30 20:37
L4	576	(yamamoto near isao).in.	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2011/01/30 20:37
L5	920	1 2 3 4	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2011/01/30 20:37
L6	79920	switch$3 adj2 (power voltage current) adj2 (supply$3 supplie$1)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2011/01/30 20:40
L7	8137304	reference	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2011/01/30 20:40

L8	35521	(linear$2 near3 regulat$3) ((low adj2 drop$4) LDO)	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2011/01/30 20:41
L9	14607301	control$4 driv$4	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	OR	ON	2011/01/30 20:41
L10	86	6 7 8 9	US-PGPUB; USPAT; USOCR; FPRS; EPO; JPO; DERWENT; IBM_TDB	SAME	ON	2011/01/30 20:41

1/30/11 8:44:15 PM

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 4525

SERIAL NUMBER	FILING or 371(c) DATE RULE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
12/096,765	06/09/2008	323	2838	PRM-0155

APPLICANTS

Tomoyuki Ito, Kyoto, JAPAN;
Yoichi Tamegai, Kyoto, JAPAN;
Koki Tamakawa, Kyoto, JAPAN;
Isao Yamamoto, Kyoto, JAPAN;

**** CONTINUING DATA ***************************

This application is a 371 of PCT/JP2006/324029 11/30/2006

**** FOREIGN APPLICATIONS ***************************

JAPAN 2005-356077 12/09/2005

**** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ****

07/23/2009

Foreign Priority claimed	☑ Yes ☐ No	☐ Met after Allowance	STATE OR COUNTRY	SHEETS DRAWINGS	TOTAL CLAIMS	INDEPENDENT CLAIMS
35 USC 119(a-d) conditions met	☑ Yes ☐ No		JAPAN	5	12	2
Verified and Acknowledged	/MATTHEW VAN NGUYEN/ Examiner's Signature	Initials				

ADDRESS

CANTOR COLBURN LLP
20 Church Street
22nd Floor
Hartford, CT 06103
UNITED STATES

TITLE

POWER SUPPLY DEVICE, ELECTRONIC DEVICE USING THE SAME, AND SEMICONDUCTOR DEVICE

FILING FEE RECEIVED		
930	FEES: Authority has been given in Paper No._____ to charge/credit DEPOSIT ACCOUNT No._____ for following:	☐ All Fees ☐ 1.16 Fees (Filing) ☐ 1.17 Fees (Processing Ext. of time) ☐ 1.18 Fees (Issue) ☐ Other _____ ☐ Credit

BIB (Rev. 05/07).

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), to: Mail **Mail Stop ISSUE FEE**
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450
or Fax (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

23413 7590 02/09/2011

CANTOR COLBURN LLP
20 Church Street
22nd Floor
Hartford, CT 06103

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission
I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being facsimile transmitted to the USPTO (571) 273-2885, on the date indicated below.

(Depositor's name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/096,765	06/09/2008	Tomoyuki Ito	PRM-0155	4525

TITLE OF INVENTION: POWER SUPPLY DEVICE, ELECTRONIC DEVICE USING THE SAME, AND SEMICONDUCTOR DEVICE

APPLN. TYPE	SMALL ENTITY	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	NO	$1510	$300	$0	$1810	05/09/2011

EXAMINER	ART UNIT	CLASS-SUBCLASS
NGUYEN, MATTHEW VAN	2838	323-281000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).
☐ Change of correspondence address (or Change of Correspondence Address form PTO/SB/122) attached.
☐ "Fee Address" indication (or "Fee Address" Indication form PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
(1) the names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) the name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.
1 CANTOR COLBURN LLP
2
3

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document has been filed for recordation as set forth in 37 CFR 3.11. Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE: **ROHM CO., LTD.**

(B) RESIDENCE: (CITY and STATE OR COUNTRY): **Japan**

Please check the appropriate assignee category or categories (will not be printed on the patent): ☐ Individual ☒ Corporation or other private group entity ☐ Government

4a. The following fee(s) are submitted:
☒ Issue Fee
☒ Publication Fee (No small entity discount permitted)
☒ Advance Order - # of Copies **five (5)**

4b. Payment of Fee(s): **(Please first reapply any previously paid issue fee shown above)**
☐ A check is enclosed.
☒ Payment by credit card. Form PTO-2038 is attached.
☐ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment, to Deposit Account Number _____ (enclose an extra copy of this form).

5. **Change in Entity Status** (from status indicated above)
☐ a. Applicant claims SMALL ENTITY status. See 37 CFR 1.27.
☐ b. Applicant is no longer claiming SMALL ENTITY status. See 37 CFR 1.27(g)(2).

NOTE: The Issue Fee and Publication Fee (if required) will not be accepted from anyone other than the applicant; a registered attorney or agent; or the assignee or other party in interest as shown by the records of the United States Patent and Trademark Office.

Authorized Signature _____ Date **May 6, 2011**

Typed or printed name **Sean F. Sullivan** Registration No. **38,328**

This collection of information is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Electronic Patent Application Fee Transmittal

Application Number:	12096765
Filing Date:	09-Jun-2008
Title of Invention:	POWER SUPPLY DEVICE, ELECTRONIC DEVICE USING THE SAME, AND SEMICONDUCTOR DEVICE
First Named Inventor/Applicant Name:	Tomoyuki Ito
Filer:	Sean Sullivan/Diane Briggs
Attorney Docket Number:	PRM-0155

Filed as Large Entity

U.S. National Stage under 35 USC 371 Filing Fees

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
Utility Appl issue fee	1501	1	1510	1510
Publ. Fee- early, voluntary, or normal	1504	1	300	300

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Extension-of-Time:				
Miscellaneous:				
Printed copy of patent - no color	8001	5	3	15
		Total in USD ($)		**1825**

Electronic Acknowledgement Receipt

EFS ID:	10037550
Application Number:	12096765
International Application Number:	
Confirmation Number:	4525
Title of Invention:	POWER SUPPLY DEVICE, ELECTRONIC DEVICE USING THE SAME, AND SEMICONDUCTOR DEVICE
First Named Inventor/Applicant Name:	Tomoyuki Ito
Customer Number:	23413
Filer:	Sean Sullivan/Diane Briggs
Filer Authorized By:	Sean Sullivan
Attorney Docket Number:	PRM-0155
Receipt Date:	06-MAY-2011
Filing Date:	09-JUN-2008
Time Stamp:	14:28:00
Application Type:	U.S. National Stage under 35 USC 371

Payment information:

Submitted with Payment	yes
Payment Type	Credit Card
Payment was successfully received in RAM	$1825
RAM confirmation Number	696
Deposit Account	061130
Authorized User	SULLIVAN,SEAN F.

The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:

Charge any Additional Fees required under 37 C.F.R. Section 1.21 (Miscellaneous fees and charges)

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Issue Fee Payment (PTO-85B)	4B49289.PDF	164575 6eeecbeb1484630011394245bd45fbbb6423cc93	no	1
Warnings:					
Information:					
2	Fee Worksheet (PTO-875)	fee-info.pdf	34018 b93846ff5a1b612184b4e999a681e7535bc81fad	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	198593		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
12/096,765	06/14/2011	7960955	PRM-0155	4525

23413 7590 05/25/2011

CANTOR COLBURN LLP
20 Church Street
22nd Floor
Hartford, CT 06103

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment is 358 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (http://pair.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Data Management (ODM) at (571)-272-4200.

APPLICANT(s) (Please see PAIR WEB site http://pair.uspto.gov for additional applicants):

Tomoyuki Ito, Kyoto, JAPAN;
Yoichi Tamegai, Kyoto, JAPAN;
Koki Tamakawa, Kyoto, JAPAN;
Isao Yamamoto, Kyoto, JAPAN;