



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
17/459,689	02/14/2023	11581454	084546-000033	8617

22204 7590 01/25/2023
NIXON PEABODY, LLP
799 Ninth Street, NW
SUITE 500
WASHINGTON, DC 20001

ISSUE NOTIFICATION

The projected patent number and issue date are specified above.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b) (application filed on or after May 29, 2000)

The Patent Term Adjustment is 0 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Application Information Retrieval (PAIR) WEB site (<http://pair.uspto.gov>).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Patents Stakeholder Experience (OPSE), Stakeholder Support Division (SSD) at (571)-272-4200.

INVENTOR(s) (Please see PAIR WEB site <http://pair.uspto.gov> for additional inventors):

Kun YU, Haining, CHINA;
Changming LIU, Haining, CHINA;
Xinyu ZHANG, Haining, CHINA;

APPLICANT(s) (Please see PAIR WEB site <http://pair.uspto.gov> for additional applicants):

SHANGHAI JINKO GREEN ENERGY ENTERPRISE MANAGEMENT CO., LTD., Minhang District, CHINA;
ZHEJIANG JINKO SOLAR CO., LTD., Haining, CHINA;

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The USA offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to encourage and facilitate business investment. To learn more about why the USA is the best country in the world to develop technology, manufacture products, and grow your business, visit SelectUSA.gov.

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), by mail or fax, or via EFS-Web.

By mail, send to: Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

By fax, send to: (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

22204 7590 10/31/2022
NIXON PEABODY, LLP
799 Ninth Street, NW
SUITE 500
WASHINGTON, DC 20001

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being transmitted to the USPTO via EFS-Web or by facsimile to (571) 273-2885, on the date below.

(Typed or printed name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
17/459,689	08/27/2021	Kun YU	084546-000033	8617

TITLE OF INVENTION: SOLAR CELL, MANUFACTURING METHOD THEREOF, AND PHOTOVOLTAIC MODULE

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	\$1200	\$0.00	\$0.00	\$1200	01/31/2023

EXAMINER	ART UNIT	CLASS-SUBCLASS
MOWLA, GOLAM	1721	136-243000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

☐ Change of correspondence address (or Change of Correspondence Address form PTO/AIA/122 or PTO/SB/122) attached.

☐ "Fee Address" indication (or "Fee Address" Indication form PTO/AIA/47 or PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list

(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,

(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 **NIXON PEABODY LLP**2 **Jeffrey L. Costellia**

3

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document must have been previously recorded, or filed for recordation, as set forth in 37 CFR 3.11 and 37 CFR 3.81(a). Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE

SHANGHAI JINKO GREEN ENERGY ENTERPRISE MANAGEMENT CO., LTD. Shanghai, China**ZHEJIANG JINKO SOLAR CO., LTD.**

(B) RESIDENCE: (CITY and STATE OR COUNTRY)

Zhejiang, China

Please check the appropriate assignee category or categories (will not be printed on the patent): ☐ Individual ☒ Corporation or other private group entity ☐ Government

4a. Fees submitted: ☒ Issue Fee ☐ Publication Fee (if required) ☐ Advance Order - # of Copies

4b. Method of Payment: (Please first reapply any previously paid fee shown above)

☒ Electronic Payment via EFS-Web ☐ Enclosed check ☐ Non-electronic payment by credit card (Attach form PTO-2038)

☒ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment to Deposit Account No. **50-4181**

5. Change in Entity Status (from status indicated above)

☐ Applicant certifying micro entity status. See 37 CFR 1.29

☐ Applicant asserting small entity status. See 37 CFR 1.27

☐ Applicant changing to regular undiscounted fee status.

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.

NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.

NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature **/Jeffrey L. Costellia, Reg.#35483/**Date **December 22, 2022**Typed or printed name **Jeffrey L. Costellia**Registration No. **35,483**

Electronic Patent Application Fee Transmittal				
Application Number:		17459689		
Filing Date:		27-Aug-2021		
Title of Invention:		SOLAR CELL, MANUFACTURING METHOD THEREOF, AND PHOTOVOLTAIC MODULE		
First Named Inventor/Applicant Name:		Kun YU		
Filer:		Jeffrey Costellia/Charlotte Smith		
Attorney Docket Number:		084546-000033		
Filed as Large Entity				
Filing Fees for Utility under 35 USC 111(a)				
Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Basic Filing:				
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				
Post-Allowance-and-Post-Issuance:				
UTILITY APPL ISSUE FEE	1501	1	1200	1200

Description	Fee Code	Quantity	Amount	Sub-Total in USD(\$)
Extension-of-Time:				
Miscellaneous:				
Total in USD (\$)				1200

Electronic Acknowledgement Receipt	
EFS ID:	47266101
Application Number:	17459689
International Application Number:	
Confirmation Number:	8617
Title of Invention:	SOLAR CELL, MANUFACTURING METHOD THEREOF, AND PHOTOVOLTAIC MODULE
First Named Inventor/Applicant Name:	Kun YU
Customer Number:	22204
Filer:	Jeffrey Costellia/Charlotte Smith
Filer Authorized By:	Jeffrey Costellia
Attorney Docket Number:	084546-000033
Receipt Date:	22-DEC-2022
Filing Date:	27-AUG-2021
Time Stamp:	19:07:51
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	yes
Payment Type	DA
Payment was successfully received in RAM	\$1200
RAM confirmation Number	E2022BLJ08394461
Deposit Account	504181
Authorized User	Charlotte Smith
The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows: 37 CFR 1.19 (Document supply fees) 37 CFR 1.20 (Post Issuance fees)	

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Issue Fee Payment (PTO-85B)	2022_12_22_Issue_Fee_Transmitta_084546_0033US.pdf	152002 723cf621cf748eaf6c6f52e607aab7879d59db8c4	no	1

Warnings:**Information:**

2	Fee Worksheet (SB06)	fee-info.pdf	38047 97feeb00589323c035f24ee25ec746566204b309	no	2
---	----------------------	--------------	---	----	---

Warnings:**Information:**

Total Files Size (in bytes):	190049
-------------------------------------	--------

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

22204 7590 10/31/2022
NIXON PEABODY, LLP
799 Ninth Street, NW
SUITE 500
WASHINGTON, DC 20001

EXAMINER	
MOWLA, GOLAM	
ART UNIT	PAPER NUMBER
1721	

DATE MAILED: 10/31/2022

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
17/459,689	08/27/2021	Kun YU	084546-000033	8617

TITLE OF INVENTION: SOLAR CELL, MANUFACTURING METHOD THEREOF, AND PHOTOVOLTAIC MODULE

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	\$1200	\$0.00	\$0.00	\$1200	01/31/2023

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the ENTITY STATUS shown above. If the ENTITY STATUS is shown as SMALL or MICRO, verify whether entitlement to that entity status still applies.

If the ENTITY STATUS is the same as shown above, pay the TOTAL FEE(S) DUE shown above.

If the ENTITY STATUS is changed from that shown above, on PART B - FEE(S) TRANSMITTAL, complete section number 5 titled "Change in Entity Status (from status indicated above)".

For purposes of this notice, small entity fees are 1/2 the amount of undiscounted fees, and micro entity fees are 1/2 the amount of small entity fees.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Maintenance fees are due in utility patents issuing on applications filed on or after Dec. 12, 1980. It is patentee's responsibility to ensure timely payment of maintenance fees when due. More information is available at www.uspto.gov/PatentMaintenanceFees.

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), by mail or fax, or via EFS-Web.

By mail, send to: Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

By fax, send to: (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence including the Patent, advance orders and notification of maintenance fees will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications.

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

22204 7590 10/31/2022
NIXON PEABODY, LLP
799 Ninth Street, NW
SUITE 500
WASHINGTON, DC 20001

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being transmitted to the USPTO via EFS-Web or by facsimile to (571) 273-2885, on the date below.

(Typed or printed name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
17/459,689	08/27/2021	Kun YU	084546-000033	8617

TITLE OF INVENTION: SOLAR CELL, MANUFACTURING METHOD THEREOF, AND PHOTOVOLTAIC MODULE

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	\$1200	\$0.00	\$0.00	\$1200	01/31/2023

EXAMINER	ART UNIT	CLASS-SUBCLASS
MOWLA, GOLAM	1721	136-243000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

☐ Change of correspondence address (or Change of Correspondence Address form PTO/AIA/122 or PTO/SB/122) attached.

☐ "Fee Address" indication (or "Fee Address" Indication form PTO/AIA/47 or PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list

(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,

1 _____

(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

2 _____

3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document must have been previously recorded, or filed for recordation, as set forth in 37 CFR 3.11 and 37 CFR 3.81(a). Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE

(B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent): ☐ Individual ☐ Corporation or other private group entity ☐ Government

4a. Fees submitted: ☐ Issue Fee ☐ Publication Fee (if required) ☐ Advance Order - # of Copies _____

4b. Method of Payment: (Please first reapply any previously paid fee shown above)

☐ Electronic Payment via EFS-Web ☐ Enclosed check ☐ Non-electronic payment by credit card (Attach form PTO-2038)

☐ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment to Deposit Account No. _____

5. Change in Entity Status (from status indicated above)

☐ Applicant certifying micro entity status. See 37 CFR 1.29

☐ Applicant asserting small entity status. See 37 CFR 1.27

☐ Applicant changing to regular undiscounted fee status.

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.

NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.

NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature _____

Date _____

Typed or printed name _____

Registration No. _____



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
17/459,689	08/27/2021	Kun YU	084546-000033	8617
22204	7590	10/31/2022	EXAMINER	
NIXON PEABODY, LLP			MOWLA, GOLAM	
799 Ninth Street, NW			ART UNIT	
SUITE 500			PAPER NUMBER	
WASHINGTON, DC 20001			1721	

DATE MAILED: 10/31/2022

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b) (Applications filed on or after May 29, 2000)

The Office has discontinued providing a Patent Term Adjustment (PTA) calculation with the Notice of Allowance.

Section 1(h)(2) of the AIA Technical Corrections Act amended 35 U.S.C. 154(b)(3)(B)(i) to eliminate the requirement that the Office provide a patent term adjustment determination with the notice of allowance. See Revisions to Patent Term Adjustment, 78 Fed. Reg. 19416, 19417 (Apr. 1, 2013). Therefore, the Office is no longer providing an initial patent term adjustment determination with the notice of allowance. The Office will continue to provide a patent term adjustment determination with the Issue Notification Letter that is mailed to applicant approximately three weeks prior to the issue date of the patent, and will include the patent term adjustment on the patent. Any request for reconsideration of the patent term adjustment determination (or reinstatement of patent term adjustment) should follow the process outlined in 37 CFR 1.705.

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

OMB Clearance and PRA Burden Statement for PTOL-85 Part B

The Paperwork Reduction Act (PRA) of 1995 requires Federal agencies to obtain Office of Management and Budget approval before requesting most types of information from the public. When OMB approves an agency request to collect information from the public, OMB (i) provides a valid OMB Control Number and expiration date for the agency to display on the instrument that will be used to collect the information and (ii) requires the agency to inform the public about the OMB Control Number's legal significance in accordance with 5 CFR 1320.5(b).

The information collected by PTOL-85 Part B is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 30 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. **DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450.** Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

Notice of Allowability	Application No. 17/459,689	Applicant(s) YU et al.	
	Examiner GOLAM MOWLA	Art Unit 1721	AIA (FITF) Status Yes

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☒ This communication is responsive to 09/29/2022.
☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.

2. ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

3. ☒ The allowed claim(s) is/are 1-20 . As a result of the allowed claim(s), you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see http://www.uspto.gov/patents/init_events/pph/index.jsp or send an inquiry to PPHfeedback@uspto.gov.

4. ☒ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).
Certified copies:
a) ☒ All b) ☐ Some* c) ☐ None of the:
1. ☒ Certified copies of the priority documents have been received.
2. ☐ Certified copies of the priority documents have been received in Application No. _____.
3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).
* Certified copies not received: _____.

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____.
Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).

6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☒ Notice of References Cited (PTO-892)	5. ☐ Examiner's Amendment/Comment
2. ☒ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date 12/30/2021, 03/24/2022, 08/24/2022.	6. ☒ Examiner's Statement of Reasons for Allowance
3. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material _____.	7. ☐ Other _____.
4. ☐ Interview Summary (PTO-413), Paper No./Mail Date. _____.	

/GOLAM MOWLA/ Primary Examiner, Art Unit 1721	
--	--

DETAILED ACTION

Notice of Pre-AIA or AIA Status

1. The present application, filed on or after March 16, 2013, is being examined under the first inventor to file provisions of the AIA.

Election/Restriction

2. Applicant's election without traverse of Group I, claims 1-17, in the reply filed on 09/29/2022 is acknowledged. Because applicant did not distinctly and specifically point out the supposed errors in the restriction requirement, the election has been treated as an election without traverse (MPEP § 818.01(a)).
3. Claims 18-20 are rejoined as these claims require all the features of allowable claim 1.

Reasons for Allowance

4. The following is an examiner's statement of reasons for allowance:

WO 2016/129481 A1 to Sakai et al. discloses an optoelectric transducer 10 which functions as a solar cell (refer to paragraph [0025]-[0112], [0224], and Fig.1 A-5), consist of a n type single crystal silicon substrate, and (refer to paragraph [0028]) with the semiconductor substrate 1 which has texture structure on a rear face, consist of silicon nitride and (refer to paragraph [0029] and [0039]) with the antireflection layer 2 of the aforementioned semiconductor substrate 1 which is placed in front, and placed between the aforementioned

antireflection layer 2 and a light receiving surface, and (refer to paragraph [0039]) with the amorphous semiconductor layer which improves the passivation nature of a light receiving surface, it consists of an oxide of silicon and is placed on the aforementioned texture structure in the rear face of the aforementioned semiconductor substrate 1, (Refer to paragraph [0030] and [0041]-[0042]) with the passivation film 3 which has the film thickness which can tunnel a carrier, (Refer to paragraph [0031] and [0043]) with the n type amorphous semiconductor layer 4 which is placed at the surface of the aforementioned passivation film 3, it is placed at the surface of the aforementioned n type amorphous semiconductor layer 4, and the protective film 8 which has the passivation nature to the aforementioned n type amorphous semiconductor layer 4, and the aforementioned optoelectric transducer 10 including (paragraph [0038] and refer to [0078]) are described. The textured structure is pyramid form and truncated four-sided pyramidal rugged structure and an actual texture is shown in Fig. 2 about the aforementioned texture structure at paragraph [0045]-[0047] of Sakai, which shows multiple unevenness with sizes or various form is formed. Sakai further discloses that in paragraph [0028] that the size of a texture is less than 15 micrometers.

However, Sakai does not clearly show among the overlapping unevenness about the distance of the top face of an outermost protruding part, and the top face of the protruding part which adjoins it.

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."

Correspondence/Contact Information

Any inquiry concerning this communication or earlier communications from the examiner should be directed to GOLAM MOWLA whose telephone number is (571)270-5268. The examiner can normally be reached on M-Th, 7am - 4pm.

Examiner interviews are available via telephone, in-person, and video conferencing using a USPTO supplied web-based collaboration tool. To schedule an interview, applicant is encouraged to use the USPTO Automated Interview Request (AIR) at <http://www.uspto.gov/interviewpractice>.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Allison Bourke can be reached on 303-297-4684. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see <https://ppair-my.uspto.gov/pair/PrivatePair>. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/GOLAM MOWLA/
Primary Examiner, Art Unit 1721

<i>Notice of References Cited</i>	Application/Control No. 17/459,689		Applicant(s)/Patent Under Reexamination YU et al.	
	Examiner GOLAM MOWLA		Art Unit 1721	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Name	CPC Classification	US Classification
*	A	US-20170179325-A1	06-2017	CHUNG; Indo	H01L31/0682	1/1
	B					
	C					
	D					
	E					
	F					
	G					
	H					
	I					
	J					
	K					
	L					
	M					

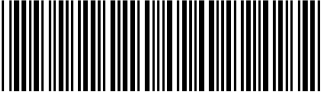
FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date MM-YYYY	Country	Name	CPC Classification
	N	JP-2004273829-A	09-2004	JP	NUNOI T	H01L31/03529
	O	KR-20180058099-A	05-2018	KR	HA JUNG MIN	H01L31/02366
	P	CN-108963013-A	12-2018	CN	HUANG S	H01L31/02167
	Q	JP-6746854-B2	08-2020	JP	BUENA M M	H01L31/02167
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in MM-YYYY format are publication dates. Classifications may be US or foreign.

<i>Search Notes</i> 	Application/Control No. 17/459,689	Applicant(s)/Patent Under Reexamination YU et al.
	Examiner GOLAM MOWLA	Art Unit 1721

CPC - Searched*		
Symbol	Date	Examiner
H01L31/02366,03685,068,1824,1868.cpc.	10/22/2022	GM

CPC Combination Sets - Searched*		
Symbol	Date	Examiner

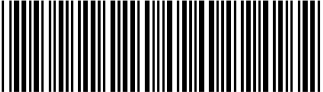
US Classification - Searched*			
Class	Subclass	Date	Examiner

* See search history printout included with this form or the SEARCH NOTES box below to determine the scope of the search.

Search Notes		
Search Notes	Date	Examiner
PE2E Search - CPC with keywords	10/22/2022	gm
Inventor and Assignee Search	10/22/2022	gm
Reviewed JP Office action of corresponding JP application	10/22/2022	gm

Interference Search			
US Class/CPC Symbol	US Subclass/CPC Group	Date	Examiner
	H01L31/02366,03685,068,1824,1868.cpc.	10/22/2022	gm

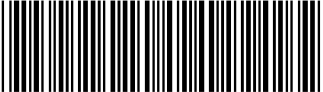
/GOLAM MOWLA/ Primary Examiner, Art Unit 1721	
--	--

Issue Classification 	Application/Control No. 17/459,689	Applicant(s)/Patent Under Reexamination YU et al.
	Examiner GOLAM MOWLA	Art Unit 1721

CPC						
Symbol					Type	Version
H01L	/	31	/	1868	F	2013-01-01
H01L	/	31	/	03685	I	2013-01-01
H01L	/	31	/	068	I	2013-01-01
H01L	/	31	/	1824	I	2013-01-01
H01L	/	31	/	02366	I	2013-01-01

CPC Combination Sets					
Symbol			Type	Set	Ranking
	/				

NONE (Assistant Examiner) _____ (Date) _____		Total Claims Allowed: 20	
/GOLAM MOWLA/ Primary Examiner, Art Unit 1721 (Primary Examiner) _____ (Date) 22 October 2022		O.G. Print Claim(s) Claim 1	O.G. Print Figure Fig. 1

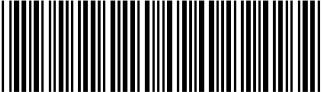
Issue Classification 	Application/Control No. 17/459,689	Applicant(s)/Patent Under Reexamination YU et al.
	Examiner GOLAM MOWLA	Art Unit 1721

INTERNATIONAL CLASSIFICATION				
CLAIMED				
H01L31/18	/	31	/	18
H01L31/0368	/	31	/	0368
H01L31/068	/	31	/	068
H01L31/0236	/	31	/	0236
NON-CLAIMED				
	/		/	

US ORIGINAL CLASSIFICATION	
CLASS	SUBCLASS

CROSS REFERENCES(S)						
CLASS	SUBCLASS (ONE SUBCLASS PER BLOCK)					

NONE (Assistant Examiner)		Total Claims Allowed: 20	
/GOLAM MOWLA/ Primary Examiner, Art Unit 1721 (Primary Examiner)		22 October 2022 (Date) O.G. Print Claim(s) Claim 1	
		O.G. Print Figure Fig. 1	

Issue Classification 	Application/Control No. 17/459,689	Applicant(s)/Patent Under Reexamination YU et al.
	Examiner GOLAM MOWLA	Art Unit 1721

☒ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47															
CLAIMS															
Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
	1		10		19										
	2		11		20										
	3		12												
	4		13												
	5		14												
	6		15												
	7		16												
	8		17												
	9		18												

NONE (Assistant Examiner) _____ (Date) _____		Total Claims Allowed: 20	
/GOLAM MOWLA/ Primary Examiner, Art Unit 1721 (Primary Examiner) _____ (Date) 22 October 2022		O.G. Print Claim(s) Claim 1	O.G. Print Figure Fig. 1

Substitute for form 1449A/PTO INFORMATION DISCLOSURE STATEMENT BY APPLICANT <i>(Use as many sheets as necessary)</i>				<i>Complete if Known</i>	
				Application Number	17/459,689
				Filing Date	August 27, 2021
				First Named Inventor	Kun YU et al.
				Art Unit	Not Yet Assigned
Examiner Name	Not Yet Assigned				
Sheet	1	of	1	Attorney Docket Number	084546-000033

U.S. PATENT DOCUMENTS					
Examiner Initials ¹	Cite No. ¹	U.S. Patent Document	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		Number - Kind Code ² (if known)			
		US-2018/0182905 A1	06-28-2018	NAM et al.	
		US-2018/0315866 A1	11-01-2018	CHEONG et al.	
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			

FOREIGN PATENT DOCUMENTS						
Examiner Initials ¹	Cite No. ¹	Foreign Patent Document	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T ⁶
		Country Code ³ Number ⁴ Kind Code ⁵ (if known)				
		CN-112599615	04-02-2021			AB
		JP-2012-216788	11-08-2012			AB
		WO-2016/129481	08-18-2016			AB

OTHER PRIOR ART - NON PATENT LITERATURE DOCUMENTS			
Examiner Initials ¹	Cite No. ¹	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T ²
		Japan Office Action (Application No. 2021-137285) mailed January 11, 2022 (17 pages).	Eng.

Examiner Signature	/GOLAM MOWLA/	Date Considered	10/21/2022
--------------------	---------------	-----------------	------------

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ Applicant's unique citation designation number (optional). ² See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. ³ Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). ⁴ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁶ Applicant is to place a check mark here if English language Translation is attached.

¹ Applicant's unique citation designation number (optional). ² Applicant is to place a check mark here if English language Translation is attached.

(52) CPC특허분류

H01L 31/022425 (2013.01)

H01L 31/02366 (2013.01)

H01L 31/1868 (2013.01)

Y02E 10/50 (2013.01)

명세서

청구범위

청구항 1

제1 옛지 영역, 제2 옛지 영역 및 상기 제1 및 제2 옛지 영역 사이에 배치된 셀 영역을 각각 포함하는, 제1 면과 상기 제1 면과 대향하는 제2 면을 포함하는 반도체 기관;

상기 반도체 기관의 상기 제1 면의 셀 영역에 배치된 제1 패시베이션막;

상기 제1 패시베이션막 상에 배치된 제1 도전형 반도체층; 및

상기 제1 도전형 반도체층 상에 배치된 제1 전극을 포함하고,

상기 반도체 기관의 상기 제1 면의 제1 옛지 영역은 노출되고,

노출된 상기 제1 면의 옛지 영역에서, 상기 반도체 기관은 깊이 방향에 따라 균일한 도핑 농도를 가지는 태양 전지.

청구항 2

제 1항에 있어서,

상기 제1 면의 제2 옛지 영역은 노출되는 태양 전지.

청구항 3

제 1항에 있어서,

상기 반도체 기관의 상기 제2 면의 제1 및 제2 옛지 영역과 셀 영역 상에 배치된 제2 패시베이션막, 상기 제2 패시베이션막 상에 배치되고 상기 제1 도전형 영역과 다른 도전형을 가지는 제2 도전형 반도체층 및 상기 제2 도전형 반도체층 상에 배치된 제2 전극을 더 포함하는 태양 전지.

청구항 4

제 3항에 있어서,

상기 제2 도전형 반도체층은 상기 반도체 기관과 PN 접합을 형성하는 에미터층인 태양 전지.

청구항 5

제 1항에 있어서,

상기 제2 면의 제1 및 제2 옛지 영역은 노출되지 않는 태양 전지.

청구항 6

제 1항에 있어서,

상기 제1 면의 제1 옛지 영역은 레이저 손상 영역을 포함하는 태양 전지.

청구항 7

제 6항에 있어서,

상기 제1 면의 제1 옛지 영역과 상기 제2 면의 제1 옛지 영역은 서로 다른 결정 구조를 가지는 태양 전지.

청구항 8

제 1항에 있어서,

상기 제1 패시베이션막은 상기 제1 옛지 영역의 상기 노출된 제1 면 상으로 연장되어, 상기 노출된 제 면을 덮

는 태양 전지.

청구항 9

제 1항에 있어서,

상기 제1 엿지 부분과 상기 제2 엿지 부분은 평면에서 볼 때, 서로 연결되는 태양 전지.

청구항 10

복수 개의 셀 부분과 상기 복수 개의 셀 부분 사이에 배치되는 스크라이빙 부분을 포함하는 반도체 기판 상에, 상기 스크라이빙 부분에 마스크를 배치하고,

상기 반도체 기판과 상기 마스크 상에, 제1 도선형 영역을 형성하고,

상기 제1 도선형 영역 상에, 상기 도선형 영역과 전기적으로 연결되는 제1 선극을 형성하고,

상기 마스크층을 제거하여, 상기 마스크층 상에 배치된 상기 제1 도선형 영역의 일부를 제거하고,

상기 스크라이빙 부분을 따라 상기 반도체 기판을 분할하는 것을 포함하는 태양 전지 제조 방법.

청구항 11

제 10항에 있어서,

상기 반도체 기판은 상기 반도체 기판 상에 배치되어, 상기 반도체 기판의 측면과 인접한 엿지 영역을 더 포함하고,

상기 마스크를 배치하는 것은, 상기 엿지 영역 상에 상기 마스크를 배치하는 것을 포함하는 태양 전지 제조 방법.

청구항 12

제 10항에 있어서,

상기 마스크를 제거하는 것은,

상기 스크라이빙 부분을 통해 상기 반도체 기판을 노출시키는 것을 포함하는 태양 전지 제조 방법.

청구항 13

제 11항에 있어서,

상기 반도체 기판을 분할하는 것은,

상기 스크라이빙 부분을 통해 노출된 상기 반도체 기판에 레이저를 조사하여 상기 반도체 기판을 분할하는 것을 포함하는 태양 전지 제조 방법.

청구항 14

제 13항에 있어서,

상기 반도체 기판을 분할한 후에,

상기 스크라이빙 부분을 통해 노출된 상기 반도체 기판은 깊이 방향에 따라 균일한 도핑 농도를 가지는 태양 전지 제조 방법.

청구항 15

제 13항에 있어서,

상기 반도체 기판과 상기 제1 도선형 영역은 동일한 도전형질을 가지는 태양 전지 제조 방법.

청구항 16

제 10항에 있어서,

상기 제1 전극을 형성하는 것은,

제1 투명 전극층과 상기 제1 투명 전극층 상에 형성되는 제1 금속 전극층을 형성하는 것을 포함하고,

제1 금속 전극층을 형성하는 것은, 상기 반도체 기판의 스크라이빙 부분에 상기 제1 금속 전극층을 미형성하고, 상기 셀 부분에 상기 제1 금속 전극층을 형성하는 것을 포함하는 태양 전지 제조 방법.

청구항 17

제 10항에 있어서,

상기 마스크층을 배치하기 전에, 상기 반도체 기판 상에 제1 패시베이션막을 형성하는 것을 더 포함하고,

상기 마스크층을 제거하는 것은, 상기 마스크층을 제거하여 상기 스크라이빙 영역에 배치된 상기 제1 패시베이션막의 일부를 노출시키는 것을 포함하는 태양 전지 제조 방법.

청구항 18

제 17항에 있어서,

상기 반도체 기판을 분할하는 것은,

상기 스크라이빙 영역을 통해 노출된 상기 제1 패시베이션막의 일부에 레이저를 조사하여 상기 반도체 기판을 분할하는 것을 포함하는 태양 전지 제조 방법.

청구항 19

제 17항에 있어서,

상기 제1 패시베이션막은 진성 반도체층을 포함하는 태양 전지 제조 방법.

청구항 20

제 10항에 있어서,

상기 반도체 기판을 분할하는 것은, 분할 후의 반도체 기판이 동일한 면적을 가지도록 상기 반도체 기판을 분할하는 것을 포함하는 태양 전지 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 태양 전지 및 이의 제조 방법에 관한 것으로서, 좀더 상세하게는, 구조를 개선한 태양 전지 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 최근 석유나 석탄과 같은 기존 에너지 자원의 고갈이 예상되면서 이들을 대체할 대체 에너지에 대한 관심이 높아지고 있다. 그 중에서도 태양 전지는 태양광 에너지를 전기 에너지로 변환시키는 차세대 전지로서 각광받고 있다.

[0003] 이러한 태양 전지에서는 다양한 층 및 전극을 설계에 따라 형성하는 것에 의하여 제조될 수 있다. 그런데 이러한 다양한 층 및 전극의 설계에 따라 태양 전지 효율이 결정될 수 있다. 태양 전지의 상용화를 위해서는 낮은 효율을 극복하여야 하므로, 다양한 층 및 전극이 태양 전지의 효율을 최대화할 수 있도록 설계되는 것이 요구된다.

[0004] 한편, 태양 전지의 제조 방법은 반도체 기판을 분할하는 공정을 포함한다. 이러한 반도체 기판 분할 공정에는 레이저를 이용한 분할 공정이 사용될 수 있는데, 레이저를 이용한 분할 공정에서 레이저로 인한 태양 전지의 열화가 문제된다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 높은 효율을 가질 수 있는 태양 전지 및 이의 제조 방법을 제공하고자 한다.

과제의 해결 수단

[0006] 상술한 기술적 과제를 해결하기 위하여, 본 발명에 따른 태양 전지는, 제1 오팔 영역, 제2 오팔 영역 및 상기 제1 및 제2 오팔 영역 사이에 배치된 셀 영역을 각각 포함하는, 제1 면과 상기 제1 면과 대향하는 제2 면을 포함하는 반도체 기판; 상기 반도체 기판의 상기 제1 면의 셀 영역에 배치된 제1 패시베이션막; 상기 제1 패시베이션막 상에 배치된 제1 도전형 반도체층; 및 상기 제1 도전형 반도체층 상에 배치된 제1 전극을 포함하고, 상기 반도체 기판의 상기 제1 면의 제1 오팔 영역은 노출되고, 노출된 상기 제1 면의 오팔 영역에서, 상기 반도체 기판은 깊이 방향에 따라 균일한 도핑 농도를 가질 수 있다.

[0007] 상술한 기술적 과제를 해결하기 위하여, 본 발명에 따른 태양 전지 제조 방법은, 복수 개의 셀 부분과 상기 복수 개의 셀 부분 사이에 배치되는 스크라이빙 부분을 포함하는 반도체 기판 상에, 상기 스크라이빙 부분에 마스크를 배치하고, 상기 반도체 기판과 상기 마스크 상에, 제1 도전형 영역을 형성하고, 상기 제1 도전형 영역 상에, 상기 도전형 영역과 전기적으로 연결되는 제1 전극을 형성하고, 상기 마스크층을 제거하여, 상기 마스크층 상에 배치된 상기 제1 도전형 영역의 일부를 제거하고, 상기 스크라이빙 부분을 따라 상기 반도체 기판을 분할하는 것을 포함할 수 있다.

발명의 효과

[0008] 본 실시예에 따르면, 웨이퍼 상에 완성된 셀의 커팅 시에, 커팅용 레이저의 열로 인한 태양 전지의 열화를 방지할 수 있다. 또한, 커팅 시에 발생할 수 있는 불순물을 최소화하여, 상기 불순물로 인해 발생할 수 있는 태양 전지의 불량을 방지할 수 있다.

도면의 간단한 설명

[0009] 도 1은 본 발명의 몇몇 실시예에 따른 태양 전지를 도시한 단면도이다.

도 2 내지 도 11은 본 발명의 몇몇 실시예에 따른 태양 전지 제조 방법을 설명하기 위한 단면도 및 평면도들이다.

도 12는 본 발명의 몇몇 실시예에 따른 태양 전지를 도시한 단면도이다.

도 13 내지 도 18은 본 발명의 몇몇 실시예에 따른 태양 전지 제조 방법을 설명하기 위한 평면도 및 단면도들이다.

도 19는 본 발명의 몇몇 실시예에 따른 태양 전지를 도시한 단면도이다.

도 20 내지 도 23은 본 발명의 몇몇 실시예에 따른 태양 전지 제조 방법을 설명하기 위한 단면도 및 평면도들이다.

발명을 실시하기 위한 구체적인 내용

[0010] 이하에서는 첨부한 도면을 참조하여 본 발명의 실시예를 상세하게 설명한다. 그러나 본 발명이 이러한 실시예에 한정되는 것은 아니며 다양한 형태로 변형될 수 있음은 물론이다.

[0011] 도면에서는 본 발명을 명확하고 간략하게 설명하기 위하여 설명과 관계 없는 부분의 도시를 생략하였으며, 명세서 전체를 통하여 동일 또는 극히 유사한 부분에 대해서는 동일한 도면 참조부호를 사용한다. 그리고 도면에서는 설명을 좀더 명확하게 하기 위하여 두께, 넓이 등을 확대 또는 축소하여 도시하였는 바, 본 발명의 두께, 넓이 등은 도면에 도시된 바에 한정되지 않는다.

[0012] 그리고 명세서 전체에서 어떠한 부분이 다른 부분을 "포함"한다고 할 때, 특별히 반대되는 기재가 없는 한 다른 부분을 배제하는 것이 아니며 다른 부분을 더 포함할 수 있다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 다른 부분이 위치하는 경우도 포함한다. 층, 막, 영역, 판 등의 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 위치하

지 않는 것을 의미한다.

- [0013] 이하, 첨부한 도면을 참조하여 본 발명의 몇몇 실시예에 따른 태양 전지를 상세하게 설명한다.
- [0014] 도 1은 본 발명의 몇몇 실시예에 따른 태양 전지를 도시한 단면도이다.
- [0015] 도 1을 참조하면, 본 실시예에 따른 태양 전지(100)는 베이스 영역(10)을 포함하는 반도체 기판(110)과, 반도체 기판(110)의 제1 면 위에 형성되는 제1 패시베이션막(52)과, 반도체 기판(110)의 제2 면 위에 형성되는 제2 패시베이션막(54)과, 반도체 기판(110)의 제1 면 쪽에서 제1 패시베이션막(52) 위에 형성되는 제1 도전형 영역(20)과, 반도체 기판(110)의 제2 면 쪽에서 제2 패시베이션막(54) 위에 형성되는 제2 도전형 영역(30)과, 제1 도전형 영역(20)에 전기적으로 연결되는 제1 전극(42)과, 제2 도전형 영역(30)에 전기적으로 연결되는 제2 전극(44)을 포함할 수 있다. 상기 제1 면과 상기 제2 면은 서로 대향하는 면일 수 있으며, 상기 제1 면은 태양 전지(100)의 입사면일 수 있으나, 본 발명의 기술적 특징이 이에 제한되는 것은 아니다.
- [0016] 본 실시예에 있어서, 반도체 기판(110)의 제1 면과 제2 면 각각은 제1 및 제2 엡지 영역(EA1, EA2)과 제1 및 제2 엡지 영역(EA1, EA2) 사이에 배치된 셀 영역(CA)을 포함한다. 제1 및 제2 엡지 영역(EA1, EA2) 각각은 반도체 기판(110)의 상기 제1 면과 상기 제2 면을 연결하는 측면(NS)과 인접한 영역일 수 있다.
- [0017] 본 실시예에 있어서, 반도체 기판(110)의 제1 면의 제1 및 제2 엡지 영역(EA1, EA2)에는 도전형 영역이나 패시베이션막과 같은 구성이 배치되지 않는 영역일 수 있고, 반도체 기판(110)의 제1 면의 셀 영역(CA)은 도전형 영역이나 패시베이션막과 같은 반도체층이 배치된 영역일 수 있다. 따라서, 본 실시예에 있어서, 반도체 기판(110)은 제1 면의 제1 및 제2 엡지 영역(EA1, EA2)을 통해 노출될 수 있다. 또한, 반도체 기판(110)의 제1 및 제2 엡지 영역(EA1, EA2)는 깊이 방향에 따라 동일한 도핑 농도를 가질 수 있으며, 제1 면의 제1 및 제2 엡지 영역(EA1, EA2)과 제2 면의 제1 및 제2 엡지 영역(EA1, EA2)에서 반도체 기판(110)의 결정 구조는 서로 다를 수 있다. 이와 관련된 보다 상세한 내용은 후술한다.
- [0018] 반도체 기판(110)은 결정질 반도체로 구성될 수 있다. 일 예로, 반도체 기판(110)은 단결정 또는 다결정 반도체(일 예로, 단결정 또는 다결정 실리콘)로 구성될 수 있다. 특히, 반도체 기판(110)은 단결정 반도체(예를 들어, 단결정 반도체 웨이퍼, 줌더 구체적으로는, 단결정 실리콘 웨이퍼)로 구성될 수 있다. 이와 같이 반도체 기판(110)이 단결정 반도체(예를 들어, 단결정 실리콘)로 구성되면, 태양 전지(100)가 단결정 반도체 태양 전지(예를 들어, 단결정 실리콘 태양 전지)를 구성하게 된다. 이와 같이 결정성이 높아 결함이 적은 결정질 반도체로 구성되는 반도체 기판(110)을 기반으로 하는 태양 전지(100)가 우수한 전기적 특성을 가질 수 있다.
- [0019] 본 실시예에서는 반도체 기판(110)에 별도의 도핑 영역이 형성되지 않고 반도체 기판(110)이 베이스 영역(10)만으로 구성될 수 있다. 이와 같이 반도체 기판(110)에 별도의 도핑 영역이 형성되지 않으면, 도핑 영역을 형성할 때 발생할 수 있는 반도체 기판(110)의 손상, 결함 증가 등이 방지되어 반도체 기판(110)이 우수한 패시베이션 특성을 가질 수 있다. 이에 의하여 반도체 기판(110)의 표면에서 발생하는 표면 재결합을 최소화할 수 있다.
- [0020] 본 실시예에서 반도체 기판(110) 또는 베이스 영역(10)은 베이스 도펀트인 제1 도전형 도펀트가 낮은 도핑 농도로 도핑되어 제1 도전형을 가질 수 있다. 이때, 반도체 기판(110) 또는 베이스 영역(10)은 이와 동일한 도전형을 가지는 제1 도전형 영역(20)보다 낮은 도핑 농도, 높은 저항 또는 낮은 캐리어 농도를 가질 수 있다.
- [0021] 반도체 기판(110)의 제1 면 및/또는 제2 면은 반사를 방지할 수 있도록 텍스처링(texturing)을 가질 수 있다. 이에 의하여 반도체 기판(110)의 제1 면 및 제2 면으로 입사하는 광의 반사를 모두 방지할 수 있어, 본 실시예와 같은 양면 수광형(bi-facial) 구조를 가지는 태양 전지(100)에서의 광 손실을 효과적으로 감소할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며, 반도체 기판(110)의 제1 면 또는 제2 면 중 어느 하나에만 텍스처링(texturing)이 형성되는 것도 가능하다.
- [0022] 상술한 바와 같이, 반도체 기판(110)의 제1 면과 제2 면 각각은 제1 및 제2 엡지 영역(EA1, EA2)과 제1 및 제2 엡지 영역(EA1, EA2) 사이에 배치된 셀 영역(CA)을 포함한다. 반도체 기판(110)의 제1 면의 제1 및 제2 엡지 영역(EA1, EA2)은 노출되어, 손상 영역을 포함할 수 있다. 상기 손상 영역은 레이저 조사로 인한 손상 영역일 수 있다. 한편, 반도체 기판(110)의 제1 면과 제2 면 각각이 포함하는 제1 및 제2 엡지 영역(EA1, EA2)은 태양 전지(100)를 평면에서 바라볼 때, 서로 연결될 수 있다.
- [0023] 또한, 반도체 기판(110)의 제1 면의 제1 및 제2 엡지 영역(EA1, EA2)과 제2 면의 제1 및 제2 엡지 영역(EA1, EA2)의 결정 구조는 서로 다를 수 있다. 구체적으로, 반도체 기판(110)의 제1 면의 제1 및 제2 엡지 영역(EA1, EA2)의 결정 구조가 제2 면의 제1 및 제2 엡지 영역(EA1, EA2)의 결정 구조 보다 클 수 있다. 이는 웨이퍼 스크

라이빙을 위한 레이저 조사를 통해 구현될 수 있다. 즉, 반도체 기판(110)의 제1 면을 통해 레이저 스크라이빙을 시도하는 경우, 제1 면의 제1 및 제2 엡지 영역(EA1, EA2)은 레이저 조사로 인해 손상 영역이 형성되며, 상기 손상 영역에서의 결장 구조는 제2 면의 제1 및 제2 엡지 영역(EA1, EA2)의 결장 구조 보다 커질 수 있다.

- [0024] 한편, 본 발명에 있어서, 반도체 기판(110)의 제1 면의 제1 및 제2 엡지 영역(EA1, EA2)에서 도핑 농도는 깊이에 따라 일정할 수 있다. 이는 본 발명의 제조 방법에서 물출되는 구조적인 특징이며 보다 상세한 설명은 후술되는 제조 방법의 설명을 통해 설명한다.
- [0025] 반도체 기판(110)의 제1 면 위에는 제1 패시베이션막(52)이 형성되고, 반도체 기판(110)의 제2 면 위에는 제2 패시베이션막(54)이 형성된다. 이에 의하여 반도체 기판(110)의 제1 면 및 제2 면을 각기 패시베이션할 수 있다.
- [0026] 본 실시예에 있어서, 반도체 기판(110)의 제1 면의 제1 및 제2 엡지 영역(EA1, EA2)에는 제1 패시베이션막(52)이 미형성될 수 있다. 다만, 본 발명이 기술적 사상이 이에 제한되는 것은 아니며, 본 발명의 또 다른 실시예에서 제1 패시베이션막(52)은 제1 면의 제1 및 제2 엡지 영역(EA1, EA2)으로 연장되어, 제1 면의 제1 및 제2 엡지 영역(EA1, EA2)을 덮을 수 있다. 보다 상세한 내용은 후술한다.
- [0027] 본 명세서에서는 제1 패시베이션막(52) 및 제2 패시베이션막(54)이라는 용어를 사용하였으나, 제1 패시베이션막(52) 및/또는 제2 패시베이션막(54)이 터널링막으로서의 역할도 수행할 수 있다. 즉, 제1 및 제2 패시베이션막(52, 54)은 전자 및 정공에게 일종의 배리어(barrier)로 작용하여, 소수 캐리어(minority carrier)가 통과되지 않도록 하고, 제1 및 제2 패시베이션막(52, 54)에 인접한 부분에서 축적된 후에 일정 이상의 에너지를 가지는 다수 캐리어(majority carrier)만이 제1 및 제2 패시베이션막(52, 54)을 각기 통과할 수 있도록 한다. 일 예로, 제1 및 제2 패시베이션막(52, 54)이 진성 비정질 반도체를 포함할 수 있다. 예를 들어, 제1 및 제2 패시베이션막(52, 54)이 진성 비정질 실리콘(i-a-Si)층으로 이루어질 수 있다. 그러면, 제1 및 제2 패시베이션막(52, 54)이 반도체 기판(110)과 동일한 반도체 물질을 포함하여 유사한 특성을 가지기 때문에 반도체 기판(110)의 표면 특성을 좀더 효과적으로 향상할 수 있다. 이에 의하여 패시베이션 특성을 크게 향상할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다. 따라서 제1 및/또는 제2 패시베이션막(52, 54)이 진성 비정질 실리콘 탄화물(i-a-SiCx)층 또는 제1 및 제2 패시베이션막(52, 54)이 진성 비정질 실리콘 산화물(i-a-SiOx)층을 포함할 수도 있다.
- [0028] 이때, 제1 및 제2 패시베이션막(52, 54)은 반도체 기판(110)의 제1 면 및 제2 면에 각기 전체적으로 형성될 수 있다. 이에 따라 반도체 기판(110)의 제1 면 및 제2 면을 전체적으로 패시베이션할 수 있고, 별도의 패터닝 없이 쉽게 형성될 수 있다. 제1 및 제2 패시베이션막(52, 54) 각각은 2 내지 8nm의 두께를 가질 수 있다.
- [0029] 제1 패시베이션막(52) 위에는 제1 도전형을 가지는 제1 도전형 영역(20)이 형성될 수 있다. 그리고 제2 패시베이션막(54) 위에는 제1 도전형과 반대되는 제2 도전형을 가지는 제2 도전형 영역(30)이 위치할 수 있다.
- [0030] 본 발명에 있어서, 제1 도전형 영역(20)은 반도체 기판(110)의 제1 면의 제1 및 제2 엡지 영역(EA1, EA2)에는 미형성되고, 제1 면의 셀 영역(CA)에는 형성된다. 이와 달리, 제2 도전형 영역(30)은 반도체 기판(110)의 제2 면의 제1 및 제2 엡지 영역(EA1, EA2)과 셀 영역(CA) 모두에 형성될 수 있다.
- [0031] 제1 도전형 영역(20)은 제1 도전형 도펀트를 포함하여 제1 도전형을 가지는 영역일 수 있다. 그리고 제2 도전형 영역(30)은 제2 도전형 도펀트를 포함하여 제2 도전형을 가지는 영역일 수 있다. 일 예로, 제1 도전형 영역(20)이 제1 패시베이션막(52)에 접촉하고 제2 도전형 영역(30)이 제2 패시베이션막(54)에 접촉할 수 있다. 그러면, 태양 전지(100)의 구조가 단순화되고 제1 및 제2 패시베이션막(52, 54)의 터널링 효과가 최대화될 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니다.
- [0032] 제1 도전형 영역(20) 및 제2 도전형 영역(30)이 반도체 기판(110) 위에서 반도체 기판(110)과 별개로 형성되므로, 반도체 기판(110) 위에서 쉽게 형성될 수 있도록 제1 도전형 영역(20) 및 제2 도전형 영역(30)이 반도체 기판(110)과 다른 물질 및/또는 결장 구조를 가질 수 있다.
- [0033] 예를 들어, 제1 도전형 영역(20) 및 제2 도전형 영역(30) 각각은 증착 등의 다양한 방법에 의하여 쉽게 제조될 수 있는 비정질 반도체 등에 제1 또는 제2 도전형 도펀트를 도핑하여 형성될 수 있다. 그러면 제1 도전형 영역(20) 및 제2 도전형 영역(30)이 간단한 공정에 의하여 쉽게 형성될 수 있다. 이때, 상술한 바와 같이 제1 및 제2 패시베이션막(52, 54)이 진성 비정질 반도체(일 예로, 진성 비정질 실리콘)으로 구성되면, 우수한 접촉 특성, 우수한 전기 전도도 등을 가질 수 있다.

- [0034] 그리고 제1 또는 제2 도전형 도펀트로 사용되는 p형 도펀트로는 보론(B), 알루미늄(Al), 갈륨(Ga), 인듐(In) 등의 3족 원소를 들 수 있고, n형 도펀트로는 인(P), 비소(As), 비스무스(Bi), 안티몬(Sb) 등의 5족 원소를 들 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 다양한 도펀트가 제1 또는 제2 도전형 도펀트로 사용될 수 있다.
- [0035] 일 예로, 제1 도전형을 가지는 반도체 기판(110)과 제1 도전형 영역(20)이 n형을 가질 수 있고, 제2 도전형 영역(30)이 p형을 가질 수 있다. 이에 의하면, 반도체 기판(110)이 n형을 가져 캐리어의 수명(life time)이 우수할 수 있다. 이 경우에 반도체 기판(110)과 제1 도전형 영역(20)이 n형 도펀트로 인(P)을 포함할 수 있고, 제2 도전형 영역(30)이 p형 도펀트로 보론(B)을 포함할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 제1 도전형을 가지는 반도체 기판(110)과 제1 도전형 영역(20)이 p형을 가질 수 있고, 제2 도전형 영역(30)이 n형을 가질 수도 있다.
- [0036] 본 실시예에서 제1 도전형 영역(20) 및 제2 도전형 영역(30)은 각기 비정질 실리콘(a-Si)층, 비정질 실리콘 산화물(a-SiO_x)층, 비정질 실리콘 탄화물(a-SiC_x)층 중 적어도 하나를 포함할 수 있다.
- [0037] 이때, 제1 도전형 영역(20) 또는 제2 도전형 영역(30)에 적용되는 비정질 실리콘(a-Si)층, 비정질 실리콘 산화물(a-SiO_x)층, 비정질 실리콘 탄화물(a-SiC_x)층은 제1 또는 제2 도전형 도펀트로 도핑될 수 있다.
- [0038] 이 중에서 비정질 실리콘 산화물층, 비정질 실리콘 탄화물층은 높은 에너지 밴드갭을 가져 에너지 밴드 밴딩이 충분히 일어나도록 하여 캐리어를 선택적으로 통과시킬 수 있다.
- [0039] 그리고 제2 도전형 영역(30)이 비정질 실리콘층, 비정질 실리콘 산화물층 및 비정질 실리콘 탄화물층 중 적어도 하나를 포함할 수 있다. 제2 도전형 영역(30)은 반도체 기판(110)과 pn 접합(또는 제2 패시베이션막(54)을 사이에 둔 pin 접합)을 형성하여 광전 변환에 직접 관여하는 층이므로, 반도체 기판(110)과 동일한 반도체 물질(즉, 실리콘)을 포함하여 유사한 특성을 가지도록 하여 캐리어의 이동이 좀더 효과적으로 이루어지도록 할 수 있다.
- [0040] 한편, 제1 도전형 영역(20) 또는 제2 도전형 영역(30)은 금속 화합물, 예를 들어 금속 산화물층으로 구성될 수 있다.
- [0041] 일 예로, 제1 도전형 영역(32)로 사용될 수 있는 금속 화합물층으로는 몰리브덴 산화물로 구성되는 몰리브덴 산화물층, 텅스텐 산화물(일 예로, WO₃)로 구성되는 텅스텐 산화물층, 바나듐 산화물(일 예로, V₂O₅)로 구성되는 바나듐 산화물층, 티타늄 산화물(일 예로, TiO₂)로 구성되는 티타늄 산화물층, 니켈 산화물(일 예로, NiO)로 구성되는 니켈 산화물층, 구리 산화물(CuO)로 구성되는 구리 산화물층, 레늄 산화물(일 예로, ReO₃)로 구성되는 레늄 산화물층, 탄탈 산화물(일 예로, TaO_x)로 구성되는 탄탈 산화물층 및 하프늄 산화물(일 예로, HfO₂)로 구성되는 하프늄 산화물층 중 적어도 하나일 수 있다.
- [0042] 특히, 제1 도전형 영역(32)이 몰리브덴 산화물층 또는 텅스텐 산화물층을 포함하면 정공을 선택적으로 수집하는 효과가 우수할 수 있다. 한편, 제2 도전형 영역(34)로 사용될 수 있는 금속 화합물층으로는 티타늄 산화물(일 예로, TiO₂)로 구성되는 티타늄 산화물층, 아연 산화물(일 예로, ZnO)로 구성되는 아연 산화물층, 주석 산화물(일 예로, SnO₂)로 구성되는 주석 산화물층 및 지르코늄 산화물(일 예로, ZrO)로 구성된 지르코늄 산화물층 중 적어도 하나를 포함하는 금속 산화물층일 수 있다.
- [0043] 특히, 제2 도전형 영역(34)이 티타늄 산화물층을 포함하면 전자를 선택적으로 수집하는 효과가 우수할 수 있다.
- [0044] 다만, 제1 도전형 영역(20) 또는 제2 도전형 영역(30)이 포함하는 금속 산화물이 상술한 금속 산화물로 한정되는 것은 아니며, 제1 도전형 영역(20)이 상술한 제2 도전형 영역(30)이 포함하는 금속 산화물층, 제2 도전형 영역(30)이 상술한 제1 도전형 영역(20)이 포함하는 금속 산화물층을 포함할 수도 있다.
- [0045] 제1 및 제2 도전형 영역(20, 30) 각각은 5 내지 15nm의 두께를 가질 수 있다.
- [0046] 제1 도전형 영역(20) 위에는 이에 전기적으로 연결되는 제1 전극(42)이 위치(일 예로, 접촉)하고, 제2 도전형 영역(30) 위에는 이에 전기적으로 연결되는 제2 전극(44)이 위치(일 예로, 접촉)한다.
- [0047] 제1 전극(42)은 제1 도전형 영역(20) 위에 차례로 적층되는 제1 투명 전극층(421) 및 제1 금속 전극층(422)을 포함할 수 있다.
- [0048] 여기서, 제1 투명 전극층(421)은 제1 도전형 영역(20) 위에서 전체적으로 형성(일 예로, 접촉)될 수 있다. 전체

적으로 형성된다고 함은, 빈 공간 또는 빈 영역 없이 제1 도전형 영역(20)의 전체를 덮는 것뿐만 아니라, 불가피하게 일부 부분이 형성되지 않는 경우를 포함할 수 있다. 이와 같이 제1 투명 전극층(421)이 제1 도전형 영역(20) 위에 전체적으로 형성되면, 캐리어가 제1 투명 전극층(421)을 통하여 쉽게 제1 금속 전극층(422)까지 도달할 수 있어, 수평 방향에서의 저항을 줄일 수 있다. 비정질 반도체층 등으로 구성되는 제1 도전형 영역(20)의 결정성이 상대적으로 낮아 캐리어의 이동도(mobility)가 낮을 수 있으므로, 제1 투명 전극층(421)을 구비하여 캐리어가 수평 방향으로 이동할 때의 저항을 저하시키는 것이다.

[0049] 이와 같이 제1 투명 전극층(421)이 제1 도전형 영역(20) 위에서 전체적으로 형성되므로 광을 투과할 수 있는 물질(투과성 물질)로 구성될 수 있다. 즉, 제1 투명 전극층(421)은 투명 전도성 물질로 이루어져서 광의 투과를 가능하게 하면서 캐리어를 쉽게 이동할 수 있도록 한다. 이에 따라 제1 투명 전극층(421)을 제1 도전형 영역(20) 위에 전체적으로 형성하여도 광의 투과를 차단하지 않는다.

[0050] 일 예로, 제1 투명 전극층(421)은 인듐-틴 산화물(indium tin oxide, ITO), 알루미늄-아연 산화물(aluminum zinc oxide, AZO), 보론-아연 산화물(boron zinc oxide, BZO), 인듐-텅스텐 산화물(indium tungsten oxide, IWO) 및 인듐-세슘 산화물(indium cesium oxide, ICO) 중 적어도 하나를 포함할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 제1 투명 전극층(421) 그 외의 다양한 물질을 포함할 수 있다.

[0051] 이때, 본 실시예의 제1 투명 전극층(421)은 상술한 물질은 주요 물질로 하면서 수소를 포함할 수 있다. 즉, 제1 투명 전극층(421)은 수소를 포함하는 인듐-틴 산화물(ITO:H), 수소를 포함하는 알루미늄-아연 산화물(AZO:H), 수소를 포함하는 보론-아연 산화물(BZO:H), 수소를 포함하는 인듐-텅스텐 산화물(IWO:H) 및 수소를 포함하는 인듐-세슘 산화물(ICO:H) 중 적어도 하나를 포함할 수 있다.

[0052] 제1 투명 전극층(421)은 증착에 의하여 형성될 수 있는데, 증착 시에 수소 가스를 함께 주입하면 제1 투명 전극층(421)에 수소가 포함될 수 있다. 이와 같이 제1 투명 전극층(421)이 수소를 포함하면 전자 또는 정공의 이동도(mobility)가 개선될 수 있으며 투과도가 향상될 수 있다.

[0053] 본 실시예에서는 제1 투명 전극층(421) 위에 패턴을 가지는 제1 금속 전극층(422)이 형성될 수 있다. 일 예로, 제1 금속 전극층(422)은 제1 투명 전극층(421)에 접촉 형성되어 제1 전극(42)의 구조를 단순화할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 제1 투명 전극층(421)과 제1 금속 전극층(422) 사이에 별도의 층이 존재하는 등의 다양한 변형이 가능하다.

[0054] 제1 투명 전극층(421) 위에 위치하는 제1 금속 전극층(422)은 제1 투명 전극층(421)보다 우수한 전기 전도도를 가지는 물질로 구성될 수 있다. 이에 의하여 제1 금속 전극층(422)에 의한 캐리어 수집 효율, 저항 저감 등의 특성을 좀더 향상할 수 있다. 일 예로, 제1 금속 전극층(422)은 우수한 전기 전도도를 가지는 불투명한 또는 제1 투명 전극층(421)보다 투명도가 낮은 금속으로 구성될 수 있다.

[0055] 이와 같이 제1 금속 전극층(422)은 불투명하거나 투명도가 낮아 광의 입사를 방해할 수 있으므로 셰이딩 손실(shading loss)을 최소화할 수 있도록 일정한 패턴을 가질 수 있다. 이에 의하여 제1 금속 전극층(422)이 형성되지 않은 부분으로 광이 입사할 수 있도록 한다. 제1 금속 전극층(422)의 평면 형상은 도 7를 참조하여 후술에 좀더 상세하게 설명한다.

[0056] 제2 전극(44)은 제2 도전형 영역(30) 위에 차례로 적층되는 제2 투명 전극층(441) 및 제2 금속 전극층(442)을 포함할 수 있다. 제2 전극(44)이 제2 도전형 영역(30) 위에 위치한다는 점을 제외하고는 제2 전극(44)의 제2 투명 전극층(441) 및 제2 금속 전극층(442)의 역할, 물질, 형상 등이 제1 전극(42)의 제1 투명 전극층(421) 및 제1 금속 전극층(422)의 역할, 물질, 형상 등과 동일하므로 이에 대한 설명이 그대로 적용될 수 있다.

[0057] 본 실시예에서 제1 및 제2 전극(42, 44)에서 제1 금속 전극층(422, 442)은 전도성 물질과 수지(바인더, 경화제, 첨가제)를 포함할 수 있다. 전도성 물질로는 은(Ag), 알루미늄(Al), 구리(Cu) 등을 포함할 수 있으며, 수지로는 셀룰로오스계 또는 페놀릭계 등의 바인더, 아민계 등의 경화제 등을 포함할 수 있다.

[0058] 추가적으로 저온 소성(일 예로, 300도 이하의 공정온도의 소성)이 필요한 경우 유리 프리릿을 구비하지 않을 수 있다. 한편, 제1 및 제2 금속 전극층(422, 442)이 도금에 의하여 형성될 수도 있다.

[0059] 본 실시예에 있어서, 반도체 기판(110)의 제1 면의 제1 및 제2 엣지 영역(EA1, EA2)에는 반도체층이 형성되지 않아 노출될 수 있으며, 반도체 기판(110)의 제1 면의 제1 및 제2 엣지 영역(EA1, EA2)에서는 깊이 방향에 따라 균일한 불순물 도핑 농도를 가질 수 있다. 즉, 반도체 기판(110)의 제1 면의 표면은 제1 도전형 영역(20)이 포함하는 불순물이 확산되지 않아 태양 전지(100)의 신뢰성 및 효율을 향상시킬 수 있다.

- [0060] 다만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니며, 본 발명의 다른 실시예에서는, 반도체 기판(110)의 제1 면의 제1 및 제2 엣지 영역(EA1, EA2) 상에 반도체층이 형성될 수 있다. 상세한 내용은 후술한다.
- [0061] 이어서, 본 발명의 몇몇 실시예에 따른 태양 전지 제조 방법을 도 2 내지 도 11을 통해 설명한다.
- [0062] 도 2 내지 도 11은 본 발명의 몇몇 실시예에 따른 태양 전지 제조 방법을 설명하기 위한 사시도 및 평면도들이다. 도 2는 상기 태양 전지의 제조 방법을 설명하기 위한 평면도이고, 도 3는 도 2의 A-A를 따라 절단한 단면도이다. 도 7은 상기 태양 전지의 제조 방법을 설명하기 위한 평면도이고, 도 8은 도 7을 도 2의 A-A와 동일한 방향으로 절단한 단면도이다. 도 9는 상기 태양 전지의 제조 방법을 설명하기 위한 평면도이고, 도 10은 도 9의 a-b를 따라 절단한 단면도이다.
- [0063] 도 2 및 도 3을 참조하면, 베이스 영역(10)을 포함하는 반도체 기판(110) 상에 마스크(120)를 배치한다. 마스크(120)은 엣지부(102)와 라인부(101)를 포함한다. 마스크층(120)의 엣지부(102)는 반도체 기판(110)의 테두리, 즉 엣지 부분에 배치될 수 있고, 라인부(101)은 반도체 기판(110)에서 후후 스크라이빙 공정이 수행될 영역, 즉 스크라이빙 부분에 배치될 수 있다.
- [0064] 본 실시예에 있어서, 마스크(120)은 두 개의 라인부(101)를 포함하는 것으로 도시되었지만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 따라서, 마스크(120)은 하나 또는 세 개 이상의 라인부(101)를 포함할 수 있으며, 이는 반도체 기판(110)을 분할하고자 하는 개수에 맞추어 적절히 조절될 수 있다.
- [0065] 마스크(120)은 구조적 강성을 가지는 다양한 물질 예를 들어, 경화성 고분자 물질 등으로 형성될 수 있으며, 후 공정에서 마스크(120) 상에 배치된 반도체층을 마스크층(120) 상에 배치되지 않은 반도체층과 분리시킬 수 있는 강성을 가진 물질이라면 특별히 제한되지 않고 사용될 수 있다.
- [0066] 도 3을 다시 참조하면, 마스크(120)의 라인부(101)의 단면은 사각 형태일 수 있다. 마스크(120)의 단면이 사각형상일 경우, 마스크(120) 상에 배치된 반도체층을 용이하게 분리시킬 수 있으나, 이에 제한되는 것은 아니며, 마스크(120)의 단면은 삼각형을 포함하는 다각형 구조 또는 원형일 수 있다. 또한, 라인부(101)의 폭은 4 내지 10mm일 수 있으나, 이에 제한되는 것은 아니다.
- [0067] 도 4를 참조하면, 반도체 기판(110)의 제1 면과 라인부(101) 상에 제1 패시베이션막(52)을 형성하고, 반도체 기판(110)의 제2 면 상에 제2 패시베이션막(54)을 형성한다.
- [0068] 제1 및 제2 패시베이션막(52, 54)은, 일례로, 열적 성장법, 증착법(예를 들어, 화학 기상 증착법(PECVD), 원자층 증착법(ALD)) 등에 의하여 형성될 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 다양한 방법에 의하여 제1 및 제2 패시베이션막(52, 54)이 형성될 수 있다. 제1 및 제2 패시베이션막(52, 54)은 동시에 형성될 수도 있고 순차적으로 형성될 수도 있다.
- [0069] 이어서, 도 5를 참조하면, 제1 및 제2 패시베이션막(52, 54) 위에 제1 도전형 영역(20) 및 제2 도전형 영역(30)을 형성한다. 좀더 구체적으로, 제1 패시베이션막(52) 위에 제1 도전형 영역(20)을 형성하고 제2 패시베이션막(54) 위에 제2 도전형 영역(30)을 형성한다.
- [0070] 제1 도전형 영역(20) 및 제2 도전형 영역(30)은, 일례로, 증착법(예를 들어, 화학 기상 증착법(PECVD), 저압 화학 기상 증착법(LPCVD) 등)에 의하여 형성될 수 있다. 제1 또는 제2 도전형 도펀트는 제1 도전형 영역(20) 및 제2 도전형 영역(30)을 형성하는 반도체층을 성장시키는 공정에서 함께 포함되도록 할 수도 있고, 반도체층을 형성한 후에 이온 주입법, 열 확산법, 레이저 도핑법 등에 의하여 도핑될 수도 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 다양한 방법에 의하여 제1 도전형 영역(20) 및 제2 도전형 영역(30)이 형성될 수 있다. 제1 도전형 영역(20) 및 제2 도전형 영역(30)은 동시에 형성된 후에 도핑될 수도 있고 순차적으로 증착 및/또는 도핑될 수도 있다.
- [0071] 이어서, 도 6을 참조하면, 제1 도전형 영역(20) 및 제2 도전형 영역(30) 위에 제1 및 제2 전극(42, 44)을 형성한다. 구체적으로, 제1 도전형 영역(20) 및 제2 도전형 영역(30) 위에 제1 및 제2 투명 전극층(421, 441)을 형성하고, 제1 및 제2 투명 전극층(421, 441) 상에 제1 및 제2 금속 전극층(422, 421)을 형성한다.
- [0072] 제1 및 제2 투명 전극층(421, 441)은, 일례로, 증착법(예를 들어, 화학 기상 증착법(PECVD)), 코팅법 등에 의하여 형성될 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 다양한 방법에 의하여 제1 및 제2 투명 전극층(421, 441)을 형성할 수 있다.
- [0073] 일례로, 제1 및 제2 투명 전극층(421, 441)은 이들을 구성하는 주요 물질의 원료 물질과 함께 수소 기체(H_2)

및 캐리어 기체(일 예로, 아르곤 기체(Ar) 또는 질소 기체(N₂))를 혼합한 기체를 주입하여 형성될 수 있다. 그러면, 제1 및 제2 투명 전극층(421, 441) 내에 수소가 포함되어 이에 따른 효과를 구현할 수 있다.

[0074] 제1 및 제2 투명 전극층(421, 441) 위에 제1 및 제2 금속 전극층(422, 442)을 형성한다.

[0075] 이어서, 제1 도전형 영역(20) 및 제2 도전형 영역(30) 중 하나 위(좀더 구체적으로, 제1 및 제2 투명 전극층(421, 441) 중 하나 위)에 제1 지온 페이스트층을 형성하고 이를 건조하여 제1 및 제2 금속 전극층(422, 442) 중 하나를 형성하고, 제1 도전형 영역(20) 및 제2 도전형 영역(30) 중 다른 하나 위에 제2 지온 페이스트층을 형성하고 이를 건조하여 제1 및 제2 금속 전극층(422, 442) 중 다른 하나를 형성할 수 있다. 그러나 본 발명이 이에 한정되는 것은 아니며 제1 및 제2 지온 페이스트층을 양측에서 동시에 형성한 후에 이를 함께 건조하는 것도 가능하다. 제

[0076] 이어서, 도 7 및 8을 참조하면, 마스크(102)를 제거하여 반도체 기판(110)을 노출시킨다. 마스크(102)를 제거하면, 노출 공간(101a)이 형성된다. 마스크(102) 제거 시에, 마스크(102) 상에 배치된 제1 페시베이션막(52), 제1 도전형 영역(20) 및 제1 투명 전극층(421)의 일부가 함께 제거되므로, 노출 공간(101a)이 형성된다. 노출 공간(101a)을 통해 반도체 기판(110)이 노출되며, 노출 공간(101a)은 반도체 기판(110)의 스크라이빙 부분과 대응된다.

[0077] 우선, 도 7을 참조하여, 제1 및 제2 금속 전극층(421, 441)을 설명한다.

[0078] 도 7을 참조하면, 제1 및 제2 금속 전극층(422, 442)은 각기 일정한 피치를 가지면서 서로 이격되는 복수의 평행 라인(42a, 44a)을 포함할 수 있다. 도면에서는 평행 라인(42a, 44a)이 서로 평행하며 반도체 기판(110)의 가장자리에 평행한 것을 예시하였으나 본 발명이 이에 한정되는 것은 아니다. 그리고 제1 및 제2 금속 전극층(422, 442)은 각기 평행 라인들(42a, 44a)과 교차하는 방향으로 형성되어 평행 라인(42a, 44a)을 연결하는 버스바를 포함할 수 있다. 이러한 버스바는 하나만 구비될 수도 있고, 평행 라인(42a, 44a)의 피치보다 더 큰 피치를 가지면서 복수 개로 구비될 수도 있다. 한편, 본 실시예에 있어서, 도면의 간략화를 위하여 상기 버스바는 도 7에서 생략하였다.

[0079]

[0080] 한편, 제1 금속 전극층(422) 형성 시에는, 노출 영역(101a) 상에 제1 금속 전극층(422)을 형성하지 않을 수 있다. 즉, 도 6의 공정에서 도식된 바와 같이, 마스크(101) 상에는 제1 금속 전극층(422)을 형성하지 않는다. 이를 통해, 마스크(101) 제거 시에 제1 금속 전극층(422)이 과도하게 제거되는 것을 방지할 수 있다.

[0081] 한편, 본 실시예에 있어서, 노출 영역(101a)이 평행 라인(42a)과 교차되는 영역에 형성된 것으로 도시하였지만, 제1 금속 전극층(422) 형성 시에, 노출 영역(101a)이 버스바와 교차되도록 형성될 수 있다. 이 경우, 마스크(101) 상에는 버스바를 형성하지 않는다.

[0082] 한편, 본 실시예에 있어서, 노출 영역(101a)을 통해 노출되는 제1 페시베이션막(52), 제1 도전형 영역(20) 및 제1 투명 전극층(421)의 측벽이 연속적으로 형성된 것으로 도시하였지만, 이에 제한되는 것은 아니다. 따라서, 제1 페시베이션막(52), 제1 도전형 영역(20) 및 제1 투명 전극층(421)의 상기 측벽은 불연속적으로 형성될 수 있다.

[0083] 한편, 도 7을 다시 참조하면, 반도체 기판(101)은 제1 영역(I), 제2 영역(II) 및 제3 영역(III)을 포함한다. 제1 영역(I), 제2 영역(II) 및 제3 영역(III)은 동일한 면적일 수 있다. 즉, 노출 영역(101a)을 기준으로 반도체 기판(101)이 분할되는 경우, 분할되는 반도체 기판(101)의 제1 영역(I), 제2 영역(II) 및 제3 영역(III)은 동일한 면적을 가지도록 분할될 수 있다.

[0084] 이어서, 도 9 및 도 10을 참조하면, 노출 영역(101a)을 기준으로 반도체 기판(101)을 분할한다.

[0085] 구체적으로, 노출 영역(101a)에 레이저를 조사하여 스크라이빙 공정을 수행할 수 있다.

[0086] 스크라이빙 공정을 척 테이블을 포함하는 레이저 장치를 통해 수행될 수 있다. 레이저 장치는 레이저 조사부를 포함하며, 상기 레이저 조사부는 레이저 광선의 주파수, 파워, 펄스폭 등을 조정할 수 있고, 상기 레이저 조사부에 의해 특정한 파워 및 펄스폭을 가지는 레이저 광선을 집광부를 통해 반도체 기판(110)의 노출 영역(101a)에 조사할 수 있다. 레이저 장치는 별도의 얼라이먼트부를 포함하고, 상기 얼라이먼트부는 노출 영역(101a)을 포함하는 스크라이빙 부분과, 상기 스크라이빙 부분을 따라 레이저 광선을 조사하는 레이저 조사부의 집광부의 위치 맞춤을 실시할 수 있다.

- [0087] 이를 통해, 도 9 및 도 10에 도시된 태양 전지(100)가 제조될 수 있다. 도 9에 개시된 태양 전지는 도 7의 제2 영역(Ⅱ)에 대응하는 영역일 수 있다. 태양 전지(100)는 도 1을 통해 설명한 바와 같이, 제1 및 제2 옛지 영역(EA1, EA2)와 셀 영역(CA)을 포함한다. 제1 및 제2 옛지 영역(EA1, EA2)는 상술한 노출 영역(101a)와 대응되는 영역이다. 따라서, 제1 및 제2 옛지 영역(EA1, EA2)은 레이저 조사로 인한 표면 개질이 일어나므로, 제1 면의 옛지 영역(EA)에서 노출된 반도체 기판(110)은 레이저 손상 영역을 포함한다. 따라서, 반도체 기판(101)의 제1 면과 제2 면의 옛지 영역(EA)의 결정 구조는 서로 다를 수 있으며, 구체적으로, 반도체 기판(101)의 제1 면의 제1 및 제2 옛지 영역(EA1, EA2)의 결정 구조가 보다 클 수 있다.
- [0088] 한편, 도 9에 있어서, 절단된 반도체 기판(110)은 가로 방향의 단면과 세로 방향의 상면을 포함하는 것으로 도시되었지만, 본 발명의 기술적 사상이 이에 제한되는 것은 아니다. 즉, 절단된 반도체 기판(110)은 가로 방향의 상면과 세로 방향의 단면을 포함할 수 있음은 물론이다. 한편, 본 실시예에 있어서, 레이저를 이용한 스크라이빙 공정을 설명하였지만, 이에 제한되는 것은 아니며, 다이아몬드 커터를 이용한 분리 공정 등 다양한 공정을 통해 반도체 기판(110)을 분리할 수 있다.
- [0089] 한편, 본 실시예에 있어서, 스크라이빙 공정에서 레이저를 사용하는 경우, 레이저는 반도체 기판(110)에 직접 조사된다. 따라서, 종전에 반도체층이 형성된 반도체 기판(110)에 조사되는 경우와 비교하여, 반도체 기판(110)은 깊이 방향에 따라 균일한 불순물 도핑 농도를 포함한다.
- [0090] 도 11을 참조하면, 본 발명과 종전 기술에 있어서, 깊이 방향에 따른 반도체 기판의 도핑 농도를 보여주는 그래프이다.
- [0091] a선은 본 발명에 따른 반도체 기판(110)의 깊이 방향에 따른 도핑 농도를, b와 c선은 종래 기술에 따른 반도체 기판(110)의 깊이 방향에 따른 도핑 농도를 보여준다. 여기서, a선은 18W의 파워를 가지는 레이저를 조사한 경우를, b선은 18W의 파워를 가지는 레이저를 조사한 경우를, c선은 25W의 파워를 가지는 레이저를 조사한 경우를 나타낸다.
- [0092] 도 11을 다시 참조하면, 본 발명에 따른 라인인 a선을 참조하면, 반도체 기판(110)의 경우 깊이 방향에 따라 균일한 도핑 농도를 나타냄을 확인할 수 있다. 이와 달리, 종래 기술의 경우, 반도체 기판 상에 배치된 반도체층을 통해 레이저를 조사하여 반도체 기판을 스크라이빙한다. 따라서, 종래 기술인 b와 c선을 참조하면, 깊이 방향에 따라 도핑 농도가 변화하는 것을 확인할 수 있다. 또한, 종래 기술의 경우 레이저 조사를 통해 도전형 영역이 포함하는 불순물이 반도체 기판으로 확산되므로, 반도체 기판의 표면에서 본원 발명의 경우와 비교하여 상대적으로 도핑 농도가 높음을 확인할 수 있다.
- [0093] 본 발명에 있어서, 반도체 기판 스크라이빙을 위한 레이저 조사는 노출 영역(101a)를 통해 반도체 기판(110)에 직접 이루어 지므로, 반도체 기판(110)의 표면으로 도전형 영역이 포함하는 불순물이 확산되는 것을 방지할 수 있다. 또한, 종래의 반도체층에 레이저가 조사되는 경우와 비교하여, 파티클과 같은 불순물이 발생하는 것을 차단할 수 있다. 이에 따라, 본 실시예에 따라 제조된 태양 전지는 향상된 신뢰성과 성능을 확보할 수 있다.
- [0094] 이어서, 도 12를 참조하여, 본 발명의 몇몇 실시예에 따른 태양 전지를 설명한다.
- [0095] 도 12는 본 발명의 몇몇 실시예에 따른 태양 전지를 설명하기 위한 단면도이다.
- [0096] 본 실시예에 따른 태양 전지는 도 1을 통해 설명한 태양 전지와 비교하여, 반도체 기판(110)의 제1 면의 옛지 영역(EA)으로 제1 패시베이션막(52)가 노출되는 것을 제외하고는 실질적으로 동일하다. 따라서, 동일한 참조번호는 동일한 구성요소를 지칭하며 반복되는 설명은 생략될 수 있다.
- [0097] 도 12를 참조하면, 본 실시예에 따른 태양 전지(200)는 베이스 영역(10)을 포함하는 반도체 기판(110)과, 반도체 기판(110)의 제1 면 위에 형성되는 제1 패시베이션막(52)과, 반도체 기판(110)의 제2 면 위에 형성되는 제2 패시베이션막(54)과, 반도체 기판(110)의 제1 면 쪽에서 제1 패시베이션막(52) 위에 형성되는 제1 도전형 영역(20)과, 반도체 기판(110)의 제2 면 쪽에서 제2 패시베이션막(54) 위에 형성되는 제2 도전형 영역(30)과, 제1 도전형 영역(20)에 전기적으로 연결되는 제1 전극(42)과, 제2 도전형 영역(30)에 전기적으로 연결되는 제2 전극(44)을 포함할 수 있다.
- [0098] 본 실시예에 있어서, 제1 패시베이션막(52)는 반도체 기판(110)의 제1 면 전체에 형성될 수 있다. 이에 따라, 반도체 기판(110)에 대한 패시베이션 효과를 향상시킬 수 있다.
- [0099] 이어서, 도 13 내지 도 18을 참조하여, 본 발명의 몇몇 실시예에 따른 태양 전지 제조 방법을 설명한다.

- [0100] 도 13 내지 도 18은 본 발명의 몇몇 실시예에 따른 태양 전지 제조 방법을 설명하기 위한 평면도 및 단면도들이다. 도 13은 상기 태양 전지 제조 방법의 중간 단계를 나타내는 평면도이고, 도 14는 도 13의 a-a를 따라 절단한 단면도이다.
- [0101] 본 실시예에 따른 태양 전지 제조 방법은 도 2 내지 도 11을 통해 설명한 태양 전지 제조 방법과 비교하여, 마스크(120)가 제1 패시베이션막(52) 상에 배치되는 것을 제외하고 실질적으로 동일하다. 따라서, 동일한 참조번호는 동일한 구성요소를 지칭하며, 반복되는 설명은 생략될 수 있다.
- [0102] 도 13 및 도 14를 참조하면, 제1 패시베이션막(52)이 형성된 반도체 기판(110) 상에 마스크(120)가 배치된다.
- [0103] 이어서, 도 15를 참조하면, 반도체 기판(110)의 제1 면 상에 제1 도전형 영역(20)이 형성되고, 제2 면 상에 제2 도전형 영역(30)이 형성된다. 이 때, 제1 도전형 영역(20)은 마스크(120)의 라인부(101)의 상면 및 측벽 상에 바로 형성될 수 있다.
- [0104] 이어서, 도 16을 참조하면, 제1 도전형 영역(20) 상에 제1 전극(42)이 형성되고, 제2 도전형 영역(30) 상에 제2 전극(44)이 형성된다.
- [0105] 이어서, 도 17을 참조하면, 마스크(120)의 라인부(101)를 제거하여, 제1 패시베이션막(52)을 노출시키는 노출 영역(101a)을 형성한다.
- [0106] 노출 영역(101a)를 따라 반도체 기판(110)을 분리하며, 도 18과 같은 태양 전지(200)이 형성될 수 있다.
- [0107] 본 실시예에 따른 태양 전지(200)은 반도체 기판(110)의 제1 면 전체에 제1 패시베이션막(52)을 형성하므로, 패시베이션 효과를 보다 향상시킬 수 있다. 제1 패시베이션막(52)은 불순물을 포함하지 않는 진성 반도체층을 포함한다. 따라서, 태양 전지(200)은 상술한 도 11의 그래프와 같이, 반도체 기판(101)은 깊이 방향에 따라 균일한 불순물 도핑 농도를 가질 수 있다.
- [0108] 이어서, 도 19를 참조하여, 본 발명의 몇몇 실시예에 따른 태양 전지를 설명한다.
- [0109] 본 실시예에 따른 태양 전지는 도 1을 통해 설명한 태양 전지와 비교하여, 제1 면의 제2 엠티 영역(EA2)이 노출되지 않는 것을 제외하고 실질적으로 동일하다. 따라서, 반복되는 설명은 생략될 수 있다.
- [0110] 본 실시예에 따른 태양 전지는 제1 면의 제2 엠티 영역(EA2)을 노출하지 않는다. 이러한, 구성은 태양 전지의 제조 방법에 있어서 마스크가 엠티부를 포함하지 않는 것으로 구현 가능하다. 도 20 내지 도 23을 참조하여 보다 상세히 설명한다.
- [0111] 도 20 내지 도 23은 본 발명의 몇몇 실시예에 따른 태양 전지 제조 방법을 설명하기 위한 단면도 및 평면도이다. 도 23은 도 22의 b-b를 절단한 단면도이다.
- [0112] 본 실시예에 따른 태양 전지 제조 방법은 도 2 내지 도 11을 통해 설명한 태양 전지 제조 방법과 비교하여, 마스크가 엠티부를 포함하지 않는 것을 제외하고 실질적으로 동일하다. 따라서, 중복되는 설명은 생략하고 차이점을 위주로 설명한다.
- [0113] 도 20을 참조하면, 본 실시예에 따른 마스크(101)은 반도체 기판(110)의 스크라이빙 부분과 대응하는 부분에서 배치될 수 있다.
- [0114] 이에 따라, 도 21을 참조하면, 반도체 기판(110)을 노출 시키는 노출 공간(101a)은 반도체 기판(110)의 내측에만 형성되고, 반도체 기판(110)의 측면과 인접한 외측에는 형성되지 않는다.
- [0115] 따라서, 도 21의 반도체 기판(110)을 분할한 후에, 도 21의 제3 영역(III)과 대응하는 영역인 도 22 및 도 23의 태양 전지를 참조하면, 태양 전지(100)의 제1 엠티 영역(EA1)은 노출되고, 제2 엠티 영역(EA2)은 노출되지 않는다.
- [0116] 한편, 본 실시예에 따라 반도체 기판(110)의 분할을 통해 제조된 태양 전지들은 배전제에 의하여 전기적으로 직렬, 병렬 또는 직병렬로 연결되거나, 복수 개의 태양 전지들 각각의 일 영역을 중첩시켜 연결될 수 있다. 이를 통해, 복수 개의 태양 전지들은 태양 전지 패널을 형성할 수 있다.
- [0117] 상술한 바에 따른 특징, 구조, 효과 등은 본 발명의 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의하여 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한

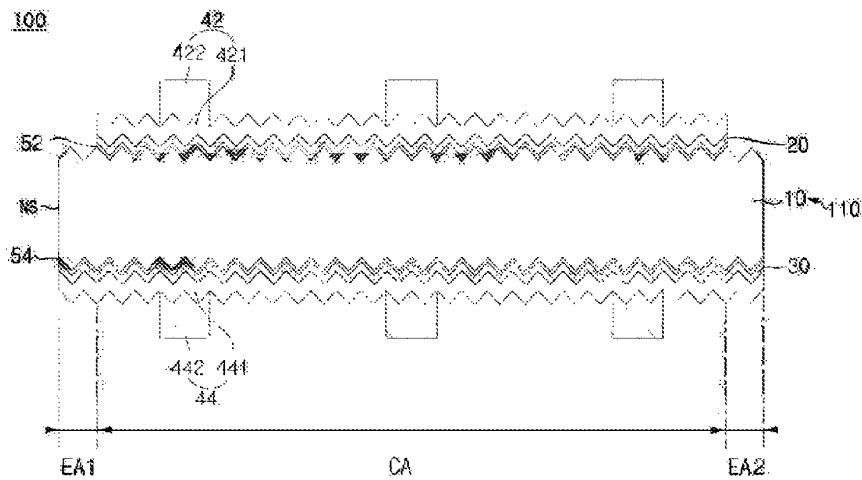
조합과 변형에 관계된 내용들은 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

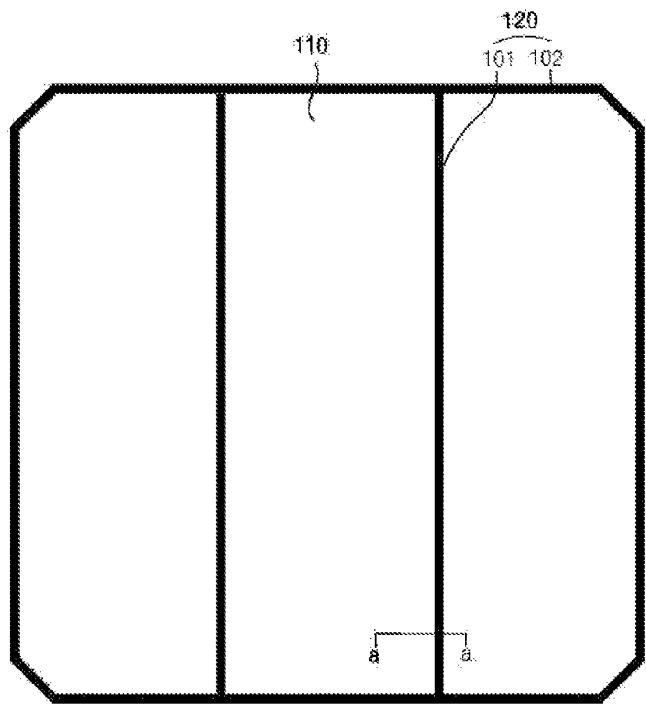
- [0118]
- 100: 태양 전지
 - 110: 반도체 기판
 - 10: 베이스 영역
 - 52: 제1 패시베이션막
 - 54: 제2 패시베이션막
 - 20: 제1 도전형 영역
 - 30: 제2 도전형 영역
 - 42: 제1 전극
 - 44: 제2 전극

도면

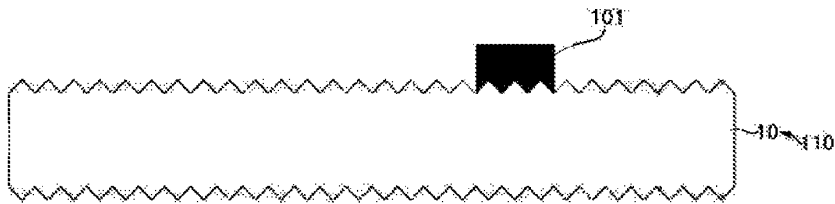
도면1



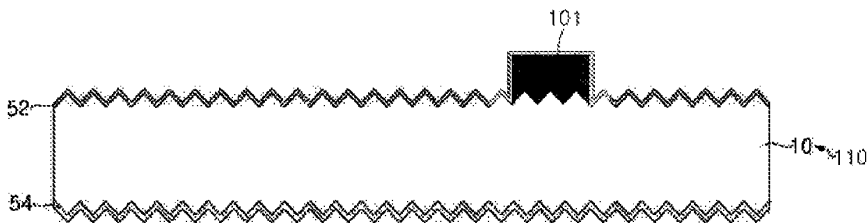
도면2



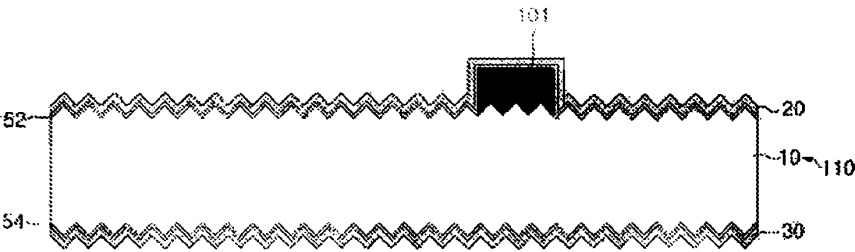
도면3



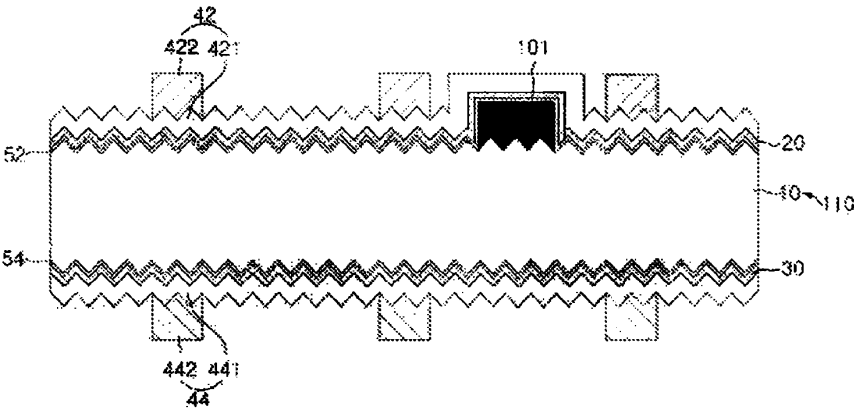
도면4



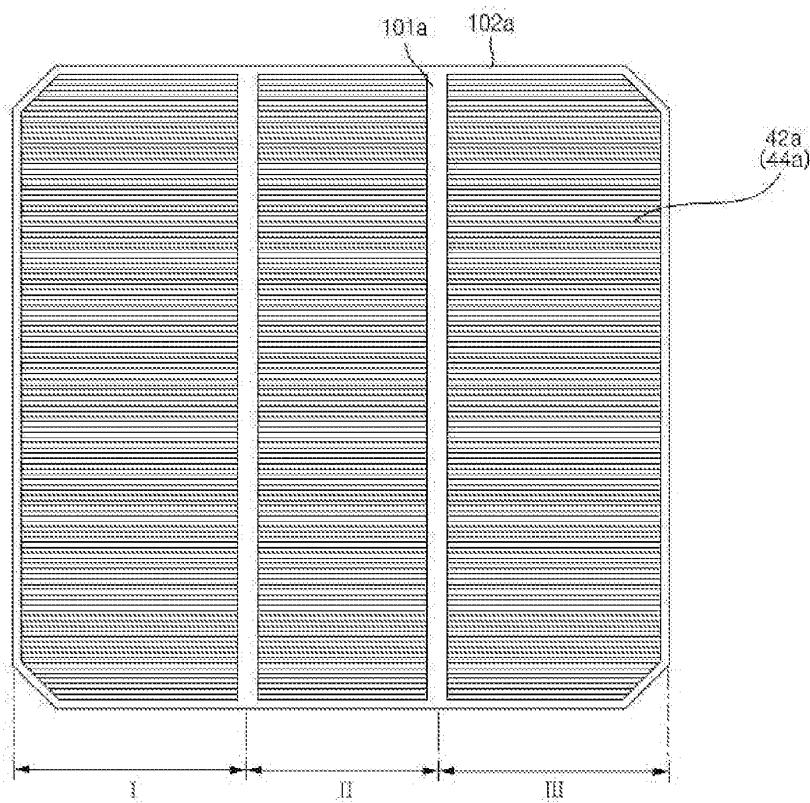
도면5



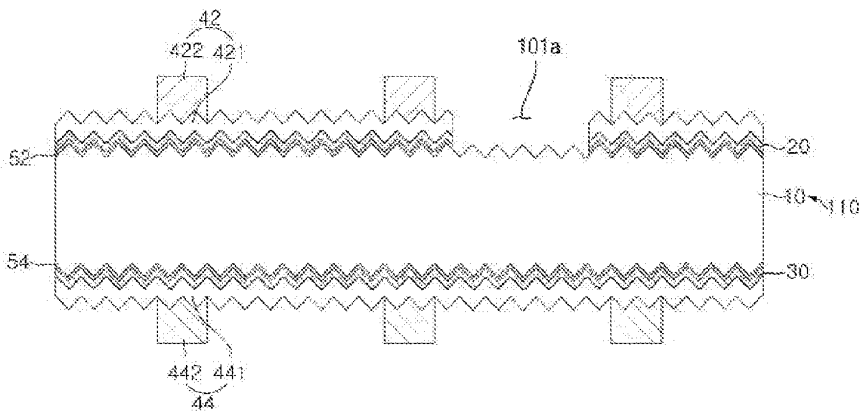
도면6



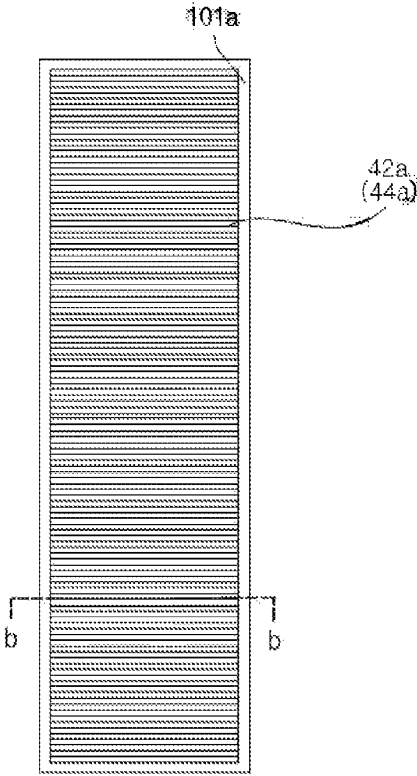
도면7



도면8



도 9



도 10

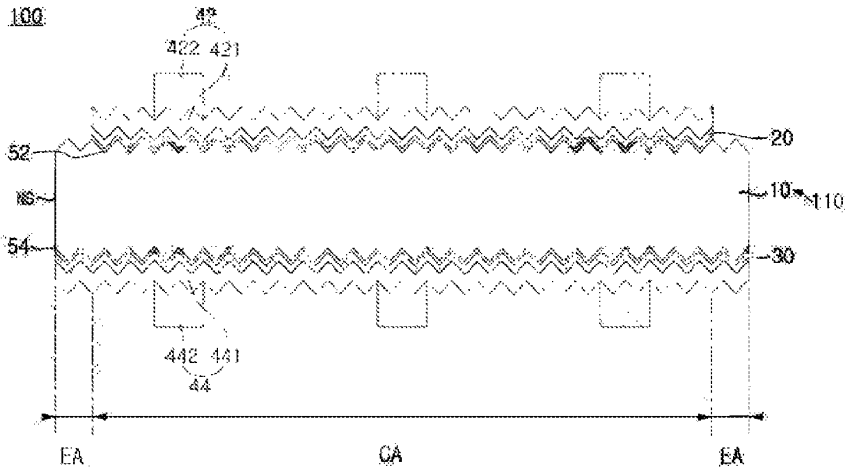


FIG 11

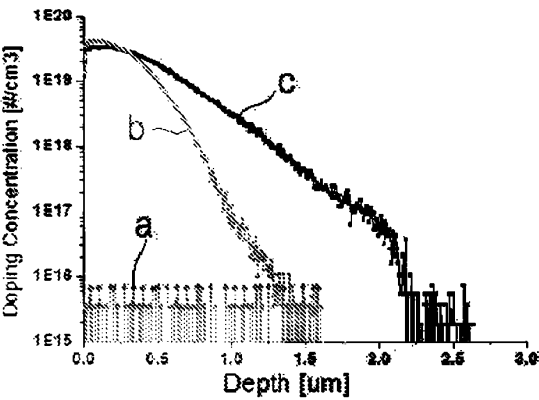
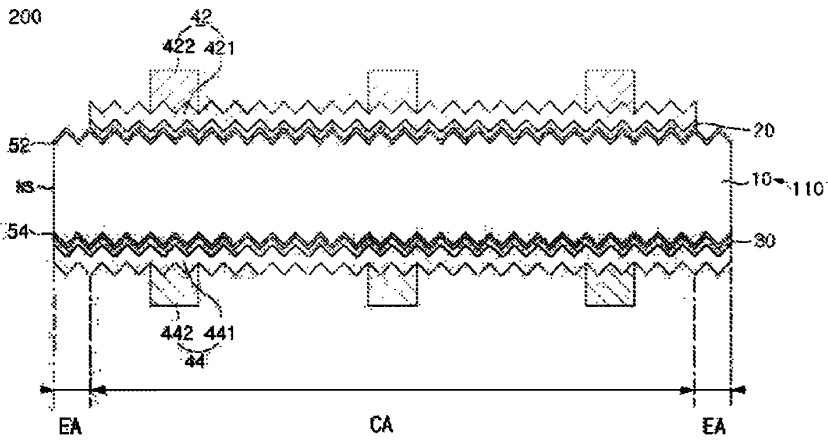
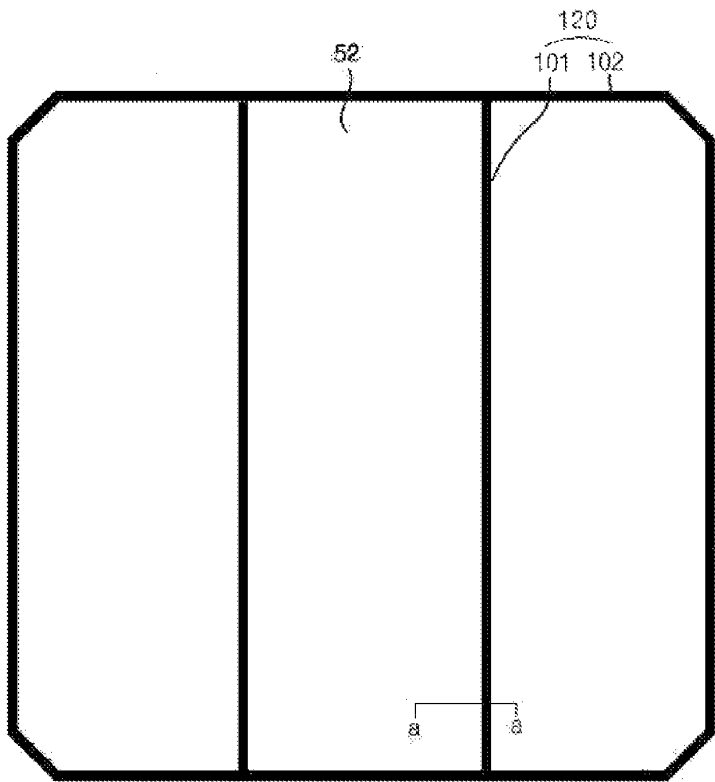


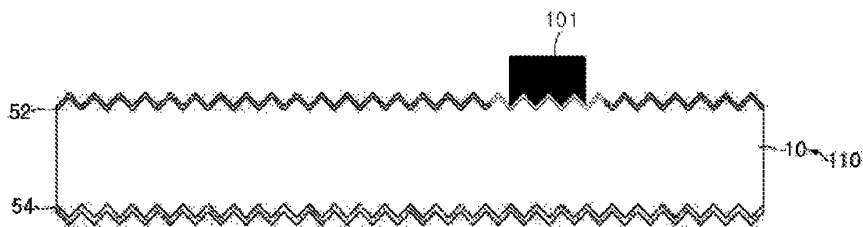
FIG 12



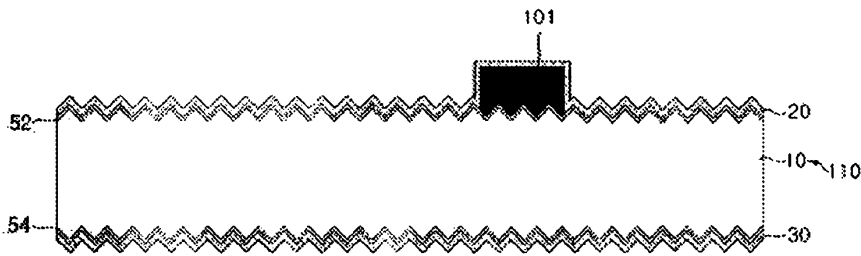
도면13



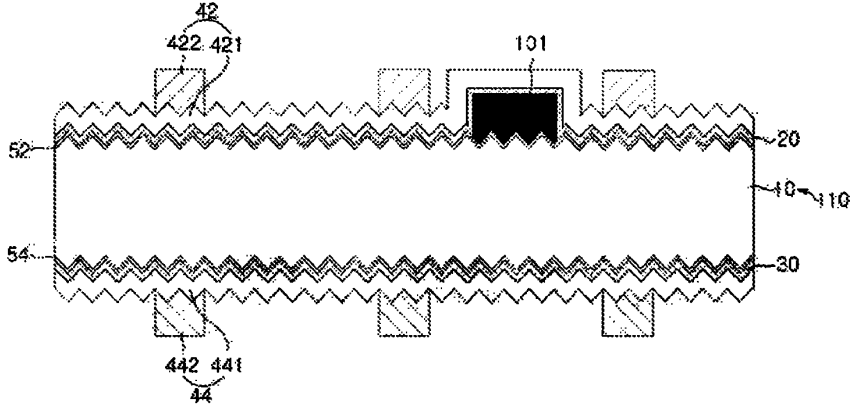
도면14



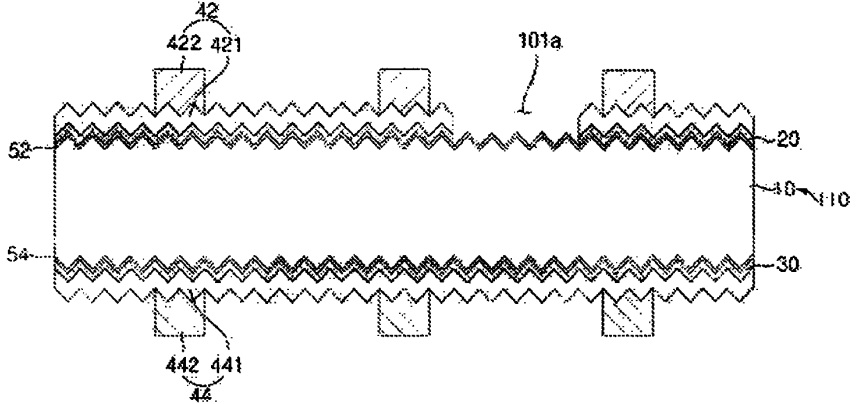
도면15



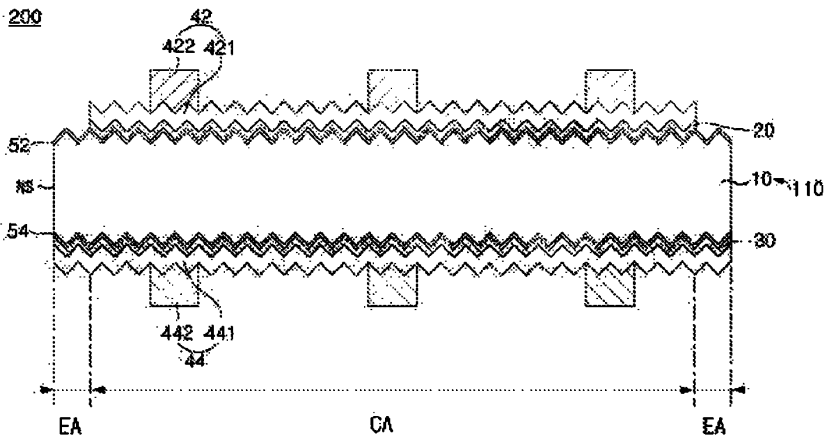
도면16



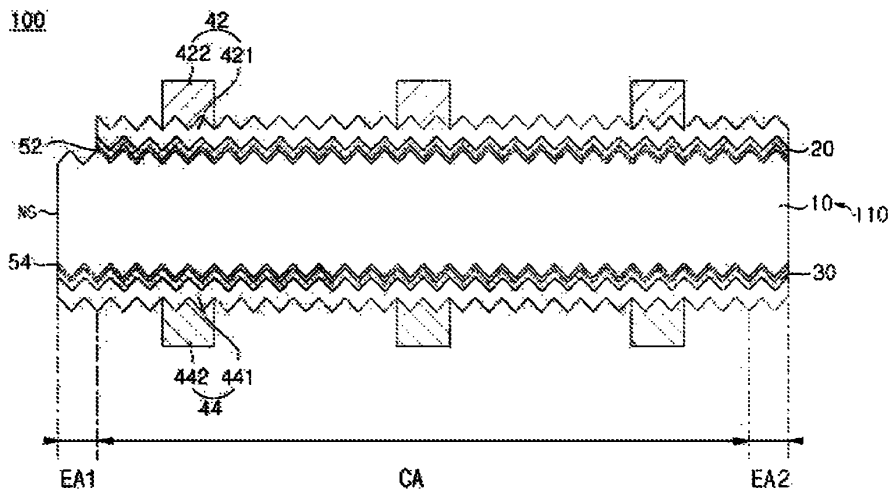
도면17



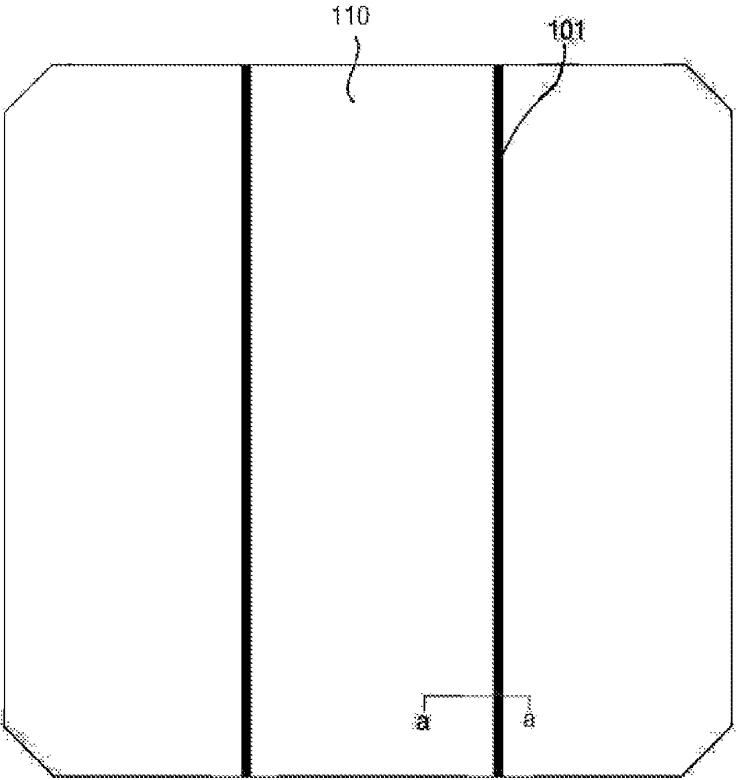
도면 18



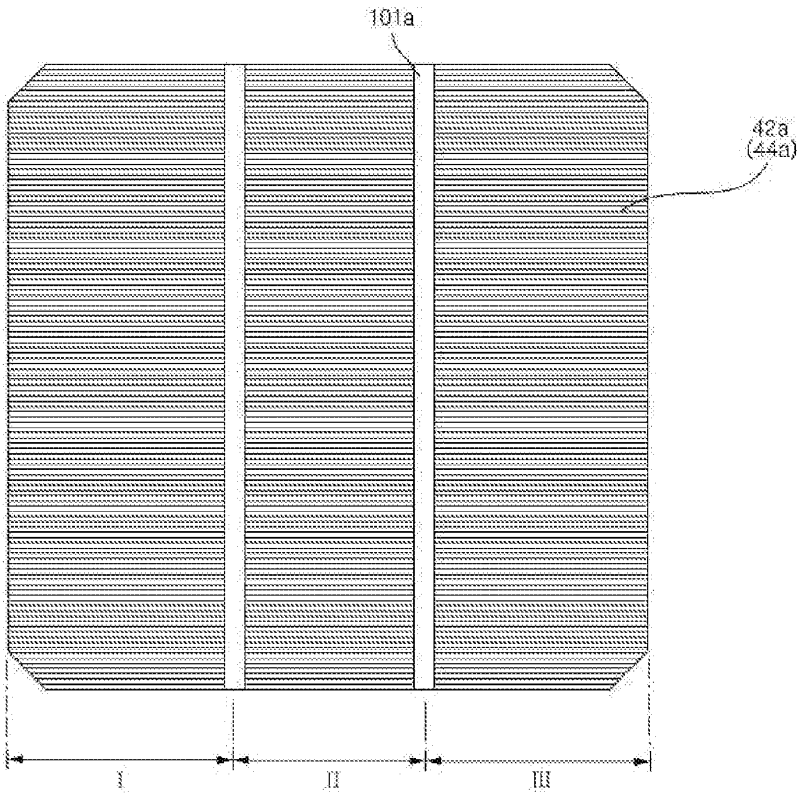
도면 19



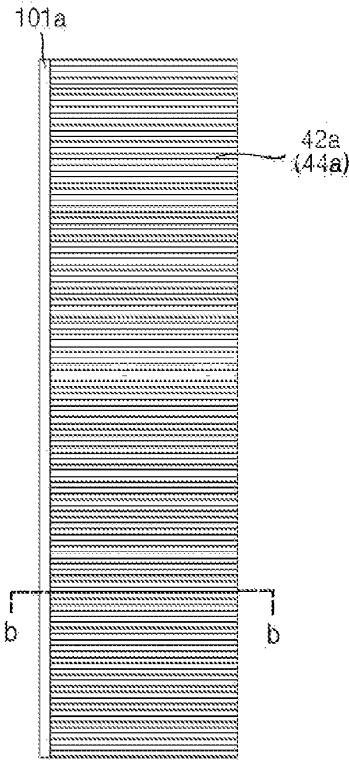
도면20



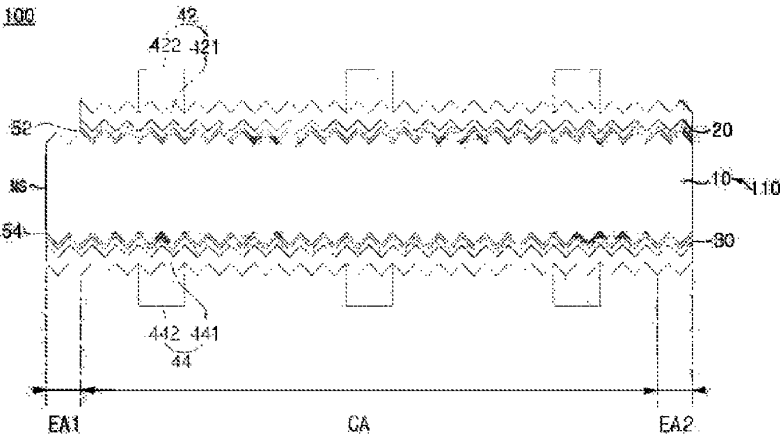
도면21



도면22



도면23



(19)中华人民共和国国家知识产权局



(12)发明专利申请

(10)申请公布号 CN 108963013 A

(43)申请公布日 2018. 12. 07

(21)申请号 201810478544.7

(22)申请日 2018.05.18

(30)优先权数据

10-2017-0062478 2017.05.19 KR

10-2017-0171553 2017.12.13 KR

(71)申请人 LG电子株式会社

地址 韩国首尔

(72)发明人 李京洙 黄圣贤 朴相昱

(74)专利代理机构 北京三友知识产权代理有限公司 11127

代理人 刘久亮

(51)Int.Cl.

H01L 31/0236(2006.01)

H01L 31/18(2006.01)

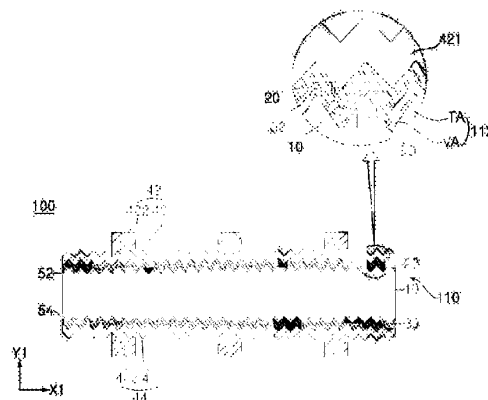
权利要求书1页 说明书17页 附图10页

(54)发明名称

太阳能电池及其制造方法

(57)摘要

太阳能电池及其制造方法。一种太阳能电池包括：半导体基板，其包括不平坦部分，该不平坦部分位于半导体基板的前表面或后表面中的至少一个上；钝化层，其被设置在不平坦部分上；以及氧化物层，其被设置在钝化层与半导体基板的不平坦部分之间，该氧化物层包括非晶氧化物。



CN 108963013 A

1. 一种太阳能电池,该太阳能电池包括:
半导体基板,该半导体基板包括不平坦部分,该不平坦部分位于所述半导体基板的前表面或后表面中的至少一个上;
钝化层,该钝化层被设置在所述不平坦部分上;以及
氧化物层,该氧化物层被设置在所述钝化层与所述半导体基板的所述不平坦部分之间,该氧化物层包括非晶氧化物。
2. 根据权利要求1所述的太阳能电池,其中,所述不平坦部分包括凹部和凸部,并且其中,所述钝化层包括:
与所述不平坦部分的所述凸部对应的第一部分,该第一部分具有第一厚度;
以及
与所述不平坦部分的所述凹部对应的第二部分,该第二部分具有第二厚度;
并且
所述第一厚度小于所述第二厚度。
3. 根据权利要求1所述的太阳能电池,其中,所述钝化层包括非晶硅。
4. 根据权利要求2所述的太阳能电池,其中,所述氧化物层包括多个氧化物岛。
5. 根据权利要求2所述的太阳能电池,其中,所述不平坦部分的所述凸部具有第一曲率半径,所述不平坦部分的所述凹部具有第二曲率半径,并且所述第一曲率半径小于所述第二曲率半径。
6. 根据权利要求1所述的太阳能电池,该太阳能电池还包括设置在所述钝化层上的导电层,
其中,所述导电层包括非晶硅,
其中,所述氧化物层具有大于所述钝化层的第二结晶度的第一结晶度,并且
其中,所述钝化层的所述第二结晶度大于所述导电层的第三结晶度。
7. 一种制造太阳能电池的方法,该方法包括以下步骤:
在半导体基板的前表面或后表面中的至少一个上形成不平坦部分;
在所述不平坦部分上形成包括非晶氧化物的氧化物层;
在所述氧化物层上形成钝化层;以及
在所述钝化层上形成导电层,
其中,所述导电层和所述钝化层包括非晶硅。
8. 根据权利要求7所述的方法,其中,形成所述不平坦部分的步骤包括以下步骤:
形成具有第一曲率半径的凸部以及具有不同于所述第一曲率半径的第二曲率半径的凹部。
9. 根据权利要求8所述的方法,其中,形成具有所述第一曲率半径的所述凸部以及具有不同于所述第一曲率半径的所述第二曲率半径的所述凹部的步骤包括以下步骤:
使用包括氢氧化钾的第一蚀刻剂来蚀刻所述半导体基板的所述前表面或所述后表面中的至少一个;以及
使用包括硝酸和氢氟酸的第二蚀刻剂来蚀刻所述半导体基板的被蚀刻的表面。
10. 根据权利要求7所述的方法,其中,所述氧化物层包括至少一个开口。

太阳能电池及其制造方法

技术领域

[0001] 本公开涉及一种太阳能电池及其制造方法。

背景技术

[0002] 由于诸如石油和煤炭的现有能源可能耗尽,最近对替代不可再生资源的替代能源的关注日益增加。其中,太阳能电池作为下一代能源已受到关注。

[0003] 太阳能电池将太阳能转换为电能。这些太阳能电池可例如通过形成各种层和电极来制造。太阳能电池的效率可能受这各种层和电极的设计影响。

发明内容

[0004] 期望具有改进的转换效率的太阳能电池。改进太阳能电池转换效率的一个方式是改进太阳能电池的层和电极的设计。

[0005] 在一个方面,一种太阳能电池包括:半导体基板,其包括不平坦部分,该不平坦部分位于半导体基板的前表面或后表面中的至少一个上;钝化层,其被设置在不平坦部分上;以及氧化物层,其被设置在钝化层与半导体基板的不平坦部分之间,该氧化物层包括非晶氧化物。

[0006] 实现方式可包括下列特征中的一个或多个。例如,不平坦部分可包括凹部和凸部,并且钝化层可包括:与不平坦部分的凸部对应的第一部分,该第一部分具有第一厚度;以及不与平坦部分的凹部对应的第二部分,该第二部分具有不同于第一厚度的第二厚度。在一些实现方式中,第一厚度小于第二厚度。

[0007] 在一些实现方式中,钝化层包括非晶硅。

[0008] 在一些实现方式中,氧化物层包括至少一个开口。在一些实现方式中,氧化物层包括多个氧化物岛。

[0009] 在一些实现方式中,不平坦部分的凸部具有第一曲率半径,并且不平坦部分的凹部具有不同于第一曲率半径的第二曲率半径。在一些实现方式中,第一曲率半径小于第二曲率半径。

[0010] 在一些实现方式中,氧化物层包括氧化硅。

[0011] 在一些实现方式中,该太阳能电池还包括设置在钝化层上的导电层,并且该导电层包括非晶硅。在一些实现方式中,氧化物层具有大于钝化层的第二结晶度的第一结晶度,并且钝化层的第二结晶度大于导电层的第三结晶度。

[0012] 在另一方面,一种制造太阳能电池的方法包括以下步骤:在半导体基板的前表面或后表面中的至少一个上形成不平坦部分;在不平坦部分上形成包括非晶氧化物的氧化物层;以及在氧化物层上形成钝化层。

[0013] 实现方式可包括下列特征中的一个或多个。例如,形成不平坦部分的步骤可包括以下步骤:形成具有第一曲率半径的凸部以及具有不同于第一曲率半径的第二曲率半径的凹部。

[0014] 在一些实现方式中,形成具有第一曲率半径的凸部以及具有不同于第一曲率半径的第二曲率半径的凹部的步骤包括以下步骤:使用包括氢氧化钾的第一蚀刻剂来蚀刻半导体基板的前表面或后表面中的至少一个;以及使用包括硝酸和氢氟酸的第二蚀刻剂来蚀刻半导体基板的前表面或后表面中的至少一个。

[0015] 在一些实现方式中,第一蚀刻剂还包括过氧化氢,并且第二蚀刻剂的硝酸与氢氟酸之比介于50:1和100:1之间。

[0016] 在一些实现方式中,该方法还包括在钝化层上形成导电层,并且导电层和钝化层包括非晶硅。

[0017] 在一些实现方式中,氧化物层包括至少一个开口。

[0018] 在一些实现方式中,氧化物层具有大于钝化层的第二结晶度的第一结晶度,并且钝化层的第二结晶度大于导电层的第三结晶度。

[0019] 在另一方面,一种太阳能电池面板包括:太阳能电池,其包括:半导体基板,其包括不平坦部分,该不平坦部分位于半导体基板的前表面或后表面中的至少一个上并且包括凹部和凸部;钝化层,其被设置在不平坦部分上,该钝化层包括:与不平坦部分的凸部对应的第一部分,该第一部分具有第一厚度;以及与不平坦部分的凹部对应的第二部分,该第二部分具有不同于第一厚度的第二厚度;以及氧化物层,其被设置在钝化层与半导体基板的扁平部分之间,该氧化物层包括由非晶氧化物形成的多个氧化物岛;第一构件,其被设置在太阳能电池的前表面上;以及第二构件,其被设置在太阳能电池的后表面上。第一构件和第二构件是玻璃或透明片材中的至少一种。

[0020] 实现方式可包括下列特征中的一个或多个。例如,氧化物层可被设置在半导体基板的后表面上。

[0021] 一个或多个实现方式的细节在附图以及下面的描述中阐述。其它特征将从该描述和附图以及从权利要求显而易见。下面的描述和特定示例仅作为示例给出,各种改变和修改将显而易见。

附图说明

[0022] 图1是示出根据本公开的实现方式的太阳能电池的横截面图;

[0023] 图2是图1所示的太阳能电池的金属电极层的平面图;

[0024] 图3至图5是示出根据本公开的实现方式的太阳能电池的制造方法的横截面图;

[0025] 图6是根据本公开的另一实现方式的太阳能电池的横截面图;

[0026] 图7和图8是示出根据本公开的实现方式的太阳能电池的制造方法的横截面图;

[0027] 图9是示出根据本公开的实现方式的太阳能电池配置的能带隙的示意图;

[0028] 图10是根据本公开的实现方式的太阳能电池面板的立体图;

[0029] 图11是根据本公开的实现方式的太阳能电池的横截面侧视图;以及

[0030] 图12A和图12B分别是示出根据本公开的实现方式的太阳能电池和根据参照例的太阳能电池的光致发光强度的示意图。

具体实施方式

[0031] 以下,参照附图详细描述本公开的实现方式。然而,显而易见,本公开不限于这些

实现方式,可被修改为各种形式。

[0032] 在附图中,贯穿说明书将使用相同的标号来表示相同或相似的部分。在附图中,厚度、宽度等被放大或缩小以使描述更清楚,并且本公开的厚度、宽度等不限于附图中所示的那些。

[0033] 还应该理解,贯穿说明书,当元件被称为“包括”另一元件时,除非另外具体地指出,否则其并不意指排除其它元件,还可包括其它元件。另外,当层、膜、区域、板等的一部分被称为“在”另一部分“上”时,其不仅包括“直接在”另一部分“上”的情况,而且包括其它部分位于所述部分之间的情况。当层、膜、区域、板等的一部分被称为“直接在”另一部分“上”时,其意指没有其它部分位于所述部分之间。

[0034] 以下,参照附图详细描述根据本公开的实现方式的太阳能电池。

[0035] 图1是示出根据本公开的实现方式的太阳能电池的横截面图。

[0036] 参照图1,根据本公开的实现方式的太阳能电池100可包括:半导体基板110,其包括基极区域10;第一钝化膜52,其形成在半导体基板110的前表面上;第二钝化膜54,其形成在半导体基板110的后表面上;第一导电类型区域20,其形成在半导体基板110的前侧的第一钝化膜52上;第二导电类型区域30,其形成在半导体基板110的后侧的第二钝化膜54上;第一电极42,其电连接到第一导电类型区域20;以及第二电极44,其电连接到第二导电类型区域30。这将更详细地描述。

[0037] 半导体基板110可由晶体半导体形成。例如,半导体基板110可由单晶或多晶半导体(例如,单晶或多晶硅)形成。具体地,半导体基板110可由单晶半导体(例如,单晶半导体晶圆,更具体地,单晶硅晶圆)形成。因此,当半导体基板110由单晶半导体(例如,单晶硅)形成时,太阳能电池100可形成单晶半导体太阳能电池(例如,单晶硅太阳能电池)。因此,基于由具有高结晶度并且具有很少缺陷的晶体半导体形成的半导体基板110的太阳能电池100可具有良好的电特性。

[0038] 在本实现方式中,半导体基板110可仅由基极区域10形成,而在半导体基板110中没有形成单独的掺杂区域。当在半导体基板110中没有形成单独的掺杂区域时,可防止与掺杂区域的形成关联的半导体基板110的损坏、缺陷增加等。因此,半导体基板110可具有良好的钝化特性。因此,在半导体基板110的表面上生成的表面复合可减少。

[0039] 在本实现方式中,半导体基板110或基极区域10可具有第一导电类型,并且可掺杂有低掺杂浓度的第一导电类型掺杂剂。这些掺杂剂可被称为基极掺杂剂。此时,与具有与半导体基板110或基极区域10相同的导电类型的第一导电类型区域20相比,半导体基板110或基极区域10可具有例如更低的掺杂浓度、更高的电阻或更低的载流子浓度。

[0040] 半导体基板110的前表面和/或后表面可具有不平坦部分112以防止反射。因此,入射在半导体基板110的前表面和后表面上的光的反射可减少,从而可有效地降低类似本实现方式的具有双面结构的太阳能电池100中的光学损失。然而,本公开不限于此,并且在一些实现方式中,不平坦部分112可形成在半导体基板110的前表面和后表面中的仅一个上。

[0041] 在本实现方式中,形成在半导体基板110上的不平坦部分112可包括凹部VA和凸部TA。

[0042] 不平坦部分112可通过纹理化工艺形成。在一些实现方式中,不平坦部分112的外表面可由特定晶面、小面或平面形成。例如,不平坦部分112可具有由作为平面的(111)面的

四个外表面形成的大致金字塔形状。在这种情况下,包括在不平坦部分112中的凸部TA的形状可为金字塔形状。凸部TA的平均高度可在例如2 μm 至10 μm 的范围内,并且平均宽度可在例如2 μm 至10 μm 的范围内。

[0043] 不平坦部分112可通过湿法蚀刻通过各向异性蚀刻形成。当通过湿法蚀刻形成不平坦部分112时,可通过简单的工艺在短时间内形成不平坦部分112。

[0044] 在不平坦部分112的凹部VA中,缺陷区域可相对大于凸部TA。因此,形成在不平坦部分112的凹部VA上的钝化膜52的厚度可相对于形成在凸部TA上的钝化膜52的厚度增大,以减小由于缺陷区域引起的副作用。形成在半导体基板110上的钝化膜的厚度和特性在下面更详细地描述。

[0045] 第一钝化膜52可形成在半导体基板110的前表面上,并且第二钝化膜54可形成在半导体基板110的后表面上。因此,半导体基板110的前表面和后表面可被钝化。

[0046] 此外,在本实现方式中,第一钝化膜52和第二钝化膜54中的至少一个与半导体基板110之间还可形成氧化物层(SO)。

[0047] 在本说明书中,氧化物层(SO)可包括通过基板材料与氧反应而形成的化合物(例如,氧化硅(SiO_x))。氧化物层(SO)可以是例如氢化氧化硅($\text{SiO}_x\text{:H}$)或非氢化氧化硅(SiO_x)。氢化氧化硅可通过向氧化硅形成工艺添加氢来形成。

[0048] 形成在半导体基板110的至少一个表面上的氧化物层(SO)可用作阻挡层以防止第一导电类型掺杂剂或第二导电类型掺杂剂渗透第一钝化膜52或第二钝化膜54。

[0049] 具体地,在用作P型掺杂剂的硼(B)的情况下,扩散速度快。因此,可在半导体基板110的一个表面上形成氧化物层(SO),以相对于没有形成氧化物层(SO)的情况,有效地防止掺杂剂渗透到第一钝化膜52或第二钝化膜54中,并且有效地维持基极10的固有特性。

[0050] 例如,当使用P型掺杂剂在n型半导体基板110的一个表面上形成发射极层时,可在半导体基板110的形成有发射极的一个表面上形成氧化物层(SO),从而可实现防止掺杂剂扩散的效果,并且可改进第一钝化膜52或第二钝化膜54的固有特性。

[0051] 因此,在本实现方式中,可在半导体基板的形成有发射极的一个表面上形成氧化物层(SO),从而防止掺杂剂扩散并改进第一钝化膜52或第二钝化膜54的固有特性。

[0052] 此外,发射极的位置不限于半导体基板110的前表面或后表面。

[0053] 另外,与氢化氧化硅($\text{SiO}_x\text{:H}$)相比,未氢化氧化硅(SiO_x)可具有更大的带隙能。因此,从光接收效率角度,未氢化氧化硅(SiO_x)用作SO层可更有利。

[0054] 此外,由于形成在半导体基板110上的氧化物层(SO)可进一步用作钝化层,所以太阳能电池整体的钝化特性可改进。

[0055] 与氢化氧化硅($\text{SiO}_x\text{:H}$)相比,由于相对高的能带隙而未氢化的氧化物层(SO)(具体地,氧化硅(SiO_x))可实现改进的钝化效果和光接收效率。另外,氧化物层(SO)可为非晶的,其可方便形成非晶第一钝化膜52或第二钝化膜54。具体地,在本实现方式中,氧化物层(SO)可以是氢化非晶氧化硅($\text{a-SiO}_x\text{:H}$)或非氢化非晶氧化硅(a-SiO_x)。

[0056] 更具体地,半导体基板110可以是晶体半导体,并且当在没有氧化物层(SO)的情况下在晶体半导体基板110上形成第一钝化膜52或第二钝化膜54时,由于半导体基板110的晶格结构,第一钝化膜52或第二钝化膜54可能易于结晶。因此,第一钝化膜52或第二钝化膜54的非晶特性可劣化。另一方面,在本实现方式中,在半导体基板110上形成非晶氧化物层

(S0) 之后在非晶格结构上形成第一钝化膜52或第二钝化膜54。因此,可实现改进的非晶特性。

[0057] 另外,由于在形成在半导体基板110的表面的凹凸不平上形成氧化物层(S0),所以半导体基板110的表面钝化功能可改进,并且第一钝化膜52或第二钝化膜54的沉积速率的均匀性可改进。

[0058] 具体地,在形成在半导体基板110的表面的凹凸不平的情况下,可形成凹部和凸部,并且凹部和凸部可具有许多表面缺陷。氧化物(S0)可形成在凹部和凸部上,以使得半导体基板110的表面缺陷可被有效地钝化,并且由于半导体基板110的表面缺陷减少,可使沉积在半导体基板110上的第一钝化膜52或第二钝化膜54的沉积速率更均匀。

[0059] 在本公开的一些实现方式中,在半导体基板110的后表面与第二钝化膜54之间可形成氧化物层(S0),并且在半导体基板110的前表面与第一钝化膜52之间可不形成氧化物层(S0)。

[0060] 例如,当如上所述在半导体基板110的后表面与第二钝化膜54之间形成氧化物层(S0)时,可减小或抑制半导体基板110的后表面的第二导电类型区域30的结晶度,并且太阳能电池效率可改进。

[0061] 图9是示出根据本公开的实现方式的太阳能电池配置的能带隙的示图。参照图9,在p+非晶硅层侧的本征非晶硅层与n型本征非晶硅层之间的界面处,由于p型导电类型区域材料的特性,可在能带隙中形成带隙尖峰(BS)。这种带隙尖峰可为势垒并且可能由于能垒的高度较大而阻碍载流子的移动,从而抑制太阳能电池的效率。

[0062] 在本实现方式中,氧化物层(S0)可形成在半导体基板110的后表面上,从而带隙尖峰的大小可减小并且太阳能电池效率可改进。

[0063] 在本实现方式中,非晶氧化物层(S0)可形成在晶体半导体基板110的后表面上以有效地降低第二钝化膜的结晶度,从而减小能带隙尖峰的大小。在本实现方式中,氧化物层(S0)可形成在半导体基板110的后表面上,从而改进入射在半导体基板110的后表面上的光的光接收效率。

[0064] 具体地,如上所述,氧化物层(S0)可包括氢化非晶氧化硅(a-SiO_x:H)或非氢化非晶氧化硅(a-SiO_x)。在氢化非晶氧化硅(a-SiO_x:H)的情况下,少量的氧可被添加到氢化非晶硅(a-Si:H),并且可具有相对于氢化非晶硅(a-Si:H)的1.6eV至约1.9eV范围内的带隙能增加的约1.9eV至约2.0eV范围内的带隙能,这减少了入射在后表面上的光吸收以维持光接收效率。因此,太阳能电池效率可改进。

[0065] 另外,在非氢化非晶氧化硅(a-SiO_x)的情况下,能带隙可为约7eV至12eV,更具体地,约8eV至10eV,优选地,约9eV。因此,在氧化物层(S0)当中,具体地,在非氢化非晶氧化硅(a-SiO_x)的情况下,由于高带隙能,可实现良好的载流子分离特性和光接收效果。

[0066] 另外,在晶体半导体基板110的情况下,带隙能可为约1.1eV,并且与半导体基板110直接接触的氧化物层(S0)可包括具有高带隙能的非氢化非晶氧化硅(a-SiO_x),从而由于相对于半导体基板110的带隙能差异较大,可发生能带的能带弯曲,并且因此,可生成电场。因此,载流子分离效果可由于所生成的电场而增强,从而载流子复合可整体减少,并且太阳能电池效率可改进。

[0067] 接下来,参照图12A和图12B,比较根据本公开的实现方式的太阳能电池和根据参

照例的太阳能电池的光致发光强度 (PL 强度)。根据本公开的实现方式的太阳能电池包括氧化物层 (SO)，而参照例不包括氧化物层 (SO)。

[0068] 图12A和图12B分别是示出根据本公开的实现方式的太阳能电池和根据参照例的太阳能电池的光致发光强度的示图。具体地，图12A和图12B的太阳能电池可具有第二导电类型区域30、第二钝化膜54、半导体基板110、第一钝化膜52和第一导电类型区域20从下部层压的结构。在图12A所示的根据本公开的太阳能电池中，作为氧化物层 (SO) 的非氢化非晶氧化硅 ($a\text{-SiO}_x$) 可形成在基板110与第二钝化膜54之间。在图12B的根据参照例的太阳能电池中，可不形成氧化物层 (SO)。

[0069] 在示例光致发光表征中，图12A的光致发光强度 (PL 强度) 可为96310 计数/秒 (counts/sec)，其大于图12B的PL强度59533 计数/秒。图12B的参照样本的PL强度的降低可能是由于例如下列事实：钝化特性变弱、第一钝化膜52或第二钝化膜54的结晶度增加、太阳能电池中发生掺杂剂扩散、或者其组合。

[0070] 具体地，根据本公开的实现方式的太阳能电池可在半导体基板110与第二钝化膜54之间形成氧化物层 (SO)，从而减少表面缺陷并抑制第二钝化膜54的结晶度。然而，由于根据参照例的太阳能电池没有形成执行这种功能的氧化物层 (SO)，所以结晶度可相对增加，掺杂剂的扩散可增加，钝化特性可劣化，或者其组合。另外，在根据参照例的太阳能电池的情况下，在形成第一钝化膜52和第一导电类型区域20之后在形成第二钝化膜52和第二导电类型区域30之前没有通过例如使用稀释HF (DHF) 等执行清洁工艺形成氧化物层 (SO)。因此，可出现由于半导体基板110的表面蚀刻引起的缺陷，从而降低了总钝化特性，增加了钝化层的结晶度，并且增加了掺杂剂扩散。

[0071] 返回参照图1，氧化物层 (SO) 可形成在半导体基板110的一个表面的至少一部分中。例如，氧化物层 (SO) 可按照一个或更多个岛形状形成在半导体基板110的一个表面上。在本说明书中，形成在半导体基板110的一个表面上的岛形状可指没有半导体基板110的整个表面上连续地延伸的层。例如，氧化物层 (SO) 可具有一个或更多个开口。

[0072] 岛形状不限于特定尺寸或形状，并且岛形状的示例包括圆形、矩形和多边形。岛形状可例如按照半导体基板110的凹凸不平的凹部和/或凸部形成。在一些实现方式中，氧化物层 (SO) 可包括分布在半导体基板110的表面上的多个氧化物岛。在一些实现方式中，氧化物层 (SO) 可包括多个孔。

[0073] 本实现方式可使用具有高能带隙并且包括多个氧化物岛的氧化物层 (SO)。这种实现方式可在有利于场钝化和实现横跨氧化物层的载流子移动的同时有效地阻挡掺杂剂扩散。

[0074] 例如，在本实现方式中，由于氧化物 (SO) 按照岛形状形成，所以载流子移动效率可改进。

[0075] 更具体地，当氧化物层 (SO) 形成成为半导体基板的整个一个表面上的连续层时，氧化物层 (SO) 可用作电阻，从而载流子的移动可减小。然而，当氧化物层 (SO) 如本公开中一样形成成为包括多个氧化物岛时，在氧化物岛之间的没有形成氧化物 (SO) 的区域中半导体基板110和第一钝化膜52或第二钝化膜54可彼此直接接触。半导体基板110与钝化膜52或54之间的这种直接接触可改进载流子移动，从而改进太阳能电池效率。

[0076] 尽管描述了载流子穿过氧化物层 (SO) 中的间隙移动，在一些实现方式中，载流子

可通过隧穿机制穿过氧化物层(SO)传导。这种隧穿可通过控制氧化物层(SO)的厚度来实现,现在将进行描述。

[0077] 另外,由于氧化物(SO),具体地,非氢化非晶氧化硅(a-SiO_x)与氢化非晶氧化硅(a-SiO_x:H)相比有利于隧穿,所以可根据氢化非晶氧化硅(a-SiO_x:H)还是非氢化非晶氧化硅(a-SiO_x)形成在半导体基板110上来控制氧化物(SO)的厚度。

[0078] 具体地,当氧化物(SO)是氢化非晶氧化硅(a-SiO_x:H)时,厚度可例如在约2nm至约3nm范围内。在非氢化非晶氧化硅(a-SiO_x)的情况下,厚度可为例如约1.5nm或更小。对于给定层厚度,氢化非晶氧化硅(a-SiO_x:H)可具有相对大的隧穿效应。因此,即使当氢化非晶氧化硅(a-SiO_x:H)形成比为非氢化非晶氧化硅(a-SiO_x)更厚时,也可容易地实现隧穿效应。

[0079] 在一些实现方式中,氧化物层(SO)可覆盖半导体基板110的一个表面的约80%或以上。当相对于半导体基板110的一个表面区域氧化物层(SO)所占据的区域小于80%时,对第一钝化膜52和第二钝化膜54的结晶抑制效果和导电类型掺杂剂的阻挡效果可变化。

[0080] 尽管在本说明书中使用术语第一钝化膜52和第二钝化膜54,第一钝化膜52和/或第二钝化膜54可用作隧穿膜。因此,在一些实现方式中,第一钝化膜52和第二钝化膜54可用作电子和空穴的势垒以防止少数载流子通过。仅在与第一钝化膜52和第二钝化膜54相邻的部分中累积之后具有特定能量或以上的多数载流子可被允许分别通过第一钝化膜52和第二钝化膜54。作为示例,第一钝化膜52和第二钝化膜54可包括本征非晶半导体。例如,第一钝化膜52和第二钝化膜54可由本征非晶硅(i-a-Si)层形成。然后,由于第一钝化膜52和第二钝化膜54包括与半导体基板110相同的半导体材料并具有相似的特性,所以可更有效地改进半导体基板110的表面特性。因此,钝化特性可大大改进。然而,本公开不限于此。因此,第一钝化膜52和/或第二钝化膜54可包括本征非晶碳化硅(i-a-SiC_x)层,或者第一钝化膜52和第二钝化膜54可包括本征非晶氧化硅(i-a-SiO_x)层。在这些实现方式中,尽管由于宽能带隙引起的效果(例如,增加的光学效率)可改进,但是钝化特性可能略低于包括本征非晶硅(i-a-Si)层的情况。

[0081] 在本实现方式中,氧化物层(SO)可具有与形成在氧化物层(SO)上的第一钝化膜52和第二钝化膜54或第一导电类型区域20和第二导电类型区域30相同的晶体结构。

[0082] 例如,依次层叠的氧化物层(SO)、钝化膜和导电区域的晶体结构可全部为非晶的。

[0083] 然而,氧化物层(SO)、第一钝化膜52和第二钝化膜54以及第一导电类型区域20和第二导电类型区域30的晶体结构不限于以上描述,而是可针对各个配置变化。例如,氧化物(SO)、第一钝化膜52和第二钝化膜54以及第一导电类型区域20和第二导电类型区域30的结晶度可按照所列次序减小。

[0084] 此外,包括在第一钝化膜52和/或第二钝化膜54中的本征非晶氧化硅可在构成材料方面不同于氧化物层(SO)。

[0085] 具体地,第一钝化膜52和/或第二钝化膜54可在制造工艺中包含氢的气体气氛中制造,以使得本征非晶氧化硅可包括氢。然而,由于氧化物层(SO)可在不包含氢的单独气氛中形成,得到不包含氢的层。

[0086] 此时,第一钝化膜52和第二钝化膜54可分别形成在半导体基板110的整个前表面和整个后表面上。因此,半导体基板110的前表面和后表面可被完全钝化,并且可容易地形成而无需附加构图。

[0087] 第一钝化膜52和第二钝化膜54中的每一个可具有例如2nm至8nm范围内的厚度。第一钝化膜52和第二钝化膜54中的每一个可在不平坦部分的凹部和凸部中具有不同的厚度。

[0088] 以第一钝化膜52为例,第一钝化膜52在凸部TA中的第一厚度D1与第一钝化膜52在凹部VA中的第二厚度D2(D2)可彼此不同。具体地,第一钝化膜52的第一厚度D1可小于或等于第一钝化膜52的第二厚度D2。第一钝化膜52的第一厚度D1与第一钝化膜52的第二厚度D2之比可为0.5至0.9。当第一厚度D1与第二厚度D2之比小于0.5时,第一钝化膜52的凹部VA的厚度可能变得过厚,这可增加第一钝化膜52在对应区域中的电阻。另外,当第一厚度D1与第二厚度D2之比大于0.9时,可能难以将由于缺陷区域而相对弱的凹部VA的缺陷钝化。第一钝化膜52的第一厚度D1与第一钝化膜52的第二厚度D2之比可维持在0.5至0.9,以使得半导体基板110的缺陷可被补偿并且纹理的反射角可维持在适当水平以维持高光接收效率。在一些实现方式中,第一钝化膜52在凹部VA中的第二厚度D2可具有至少2nm的厚度以将缺陷钝化并防止缺陷区域的影响。

[0089] 在本公开中,第一钝化膜52在凹部VA中的第二厚度D2可意指在凹部VA的最下端面上形成在第二方向Y1上的第一钝化膜52的厚度,该第二方向Y1垂直于作为半导体基板110的延伸方向的第一方向X1。另外,第一钝化膜52在凸部TA中的第一厚度D1可意指在凹部VA的最上端面中形成在第二方向Y1上的第一钝化膜52的厚度,该第二方向Y1垂直于作为半导体基板110的延伸方向的第一方向X1。由于第一钝化膜52的以上描述可被同样应用于第二钝化膜54,所以省略重复的描述。

[0090] 另外,在本实现方式中,第一钝化膜52中的凸部的厚度与凹部的厚度之比可不同于第二钝化膜54中的凸部的厚度与凹部的厚度之比。

[0091] 具体地,关于钝化膜,太阳能电池的总体特性可由半导体基板110中在钝化膜的最薄部分处由于基板的缺陷引起的局部泄漏程度确定,并且随着钝化膜的厚度变厚,基板的缺陷可被更好地补偿。然而,厚钝化膜可阻挡光并且减少电流生成。

[0092] 在本实现方式中,半导体基板110的前表面可以是光接收表面,并且在半导体基板110的后表面上可以是非光接收表面。因此,第一钝化膜52中的凸部的厚度与凹部的厚度之比可不同于第二钝化膜54中的凸部的厚度与凹部的厚度之比,从而钝化特性可改进并且可按照平衡的方式补偿减小的局部泄漏和光阻挡的降低的效果。因此,总体而言,太阳能电池特性可被优化。具体地,第一钝化膜52中的凸部的厚度(例如,D1)与凹部的厚度(例如,D2)之比可小于第二钝化膜54中的凸部的厚度(例如,D1)与凹部的厚度(例如,D2)之比。

[0093] 具有第一导电类型的第一导电类型区域20可形成在第一钝化膜52上。另外,具有与第一导电类型相反的第二导电类型的第二导电类型区域30可设置在第二钝化膜54上。

[0094] 第一导电类型区域20可以是在包括第一导电类型掺杂剂的同时具有第一导电类型的区域或材料层。第二导电类型区域30可以是在包括第二导电类型掺杂剂的同时具有第二导电类型的区域或材料层。例如,第一导电类型区域20可与第一钝化膜52接触,并且第二导电类型区域30可与第二钝化膜54接触。然后,太阳能电池100的结构可简化,并且第一钝化膜52和第二钝化膜54的隧穿效应可改进。然而,本公开不限于此。

[0095] 由于第一导电类型区域20和第二导电类型区域30与半导体基板110分离地形成在半导体基板110上,所以第一导电类型区域20和第二导电类型区域30可具有与半导体基板110不同的材料和/或晶体结构。

[0096] 例如,第一导电类型区域20和第二导电类型区域30中的每一个可通过将第一导电类型掺杂剂或第二导电类型掺杂剂掺杂到可通过诸如沉积的各种方法容易地制造的非晶半导体中来形成。然后,第一导电类型区域20和第二导电类型区域30可通过简单的工艺容易地形成。此时,当第一钝化膜52和第二钝化膜54如上所述由本征非晶半导体(例如,本征非晶硅)形成时,可获得良好的粘附特性和良好的导电性。

[0097] 用作第一导电类型掺杂剂或第二导电类型掺杂剂的P型掺杂剂可包括诸如硼(B)、铝(Al)、镓(Ga)和铟(In)的3族元素,并且N型掺杂剂可包括诸如磷(P)、砷(As)、铋(Bi)和锑(Sb)的5族元素。然而,本公开不限于此,各种掺杂剂可用作第一导电类型掺杂剂或第二导电类型掺杂剂。

[0098] 例如,具有第一导电类型的半导体基板110和第一导电类型区域20可具有n型,并且第二导电类型区域30可具有p型。据此,由于半导体基板110具有n型,所以载流子的寿命可较高。在这种情况下,半导体基板110和第一导电类型区域20可包含磷(P)作为n型掺杂剂并且第二导电类型区域30可包含硼(B)作为p型掺杂剂。然而,本公开不限于此,并且具有第一导电类型的半导体基板110和第一导电类型区域20可具有p型,并且第二导电类型区域30可具有n型。

[0099] 在本实现方式中,第一导电类型区域20和第二导电类型区域30中的每一个可包括非晶硅(a-Si)层、非晶氧化硅(a-SiO_x)层或非晶碳化硅(a-SiC_x)层中的至少一个。

[0100] 此时,应用于第一导电类型区域20或第二导电类型区域30的非晶硅(a-Si)层、非晶氧化硅(a-SiO_x)层和非晶碳化硅(a-SiC_x)层可利用第一导电类型掺杂剂或第二导电类型掺杂剂掺杂。

[0101] 尽管非晶硅(a-Si)层、非晶氧化硅(a-SiO_x)层和非晶碳化硅(a-SiC_x)层具有不同于半导体基板110的晶体结构,除了形成半导体基板110的半导体材料(例如,硅)之外,其可具有与半导体基板110相似的特性。因此,当包含与半导体基板110的半导体材料不同的材料时可发生的特性差异可减小。

[0102] 在这些当中,非晶氧化硅层和非晶碳化硅层可具有高能带隙,从而可充分地发生能带弯曲并且载流子可选择性地通过。

[0103] 另外,第二导电类型区域30可包括非晶硅层、非晶氧化硅层和非晶碳化硅层中的至少一个。由于第二导电类型区域30是通过与半导体基板110形成PN结(或者夹着第二钝化膜54的PIN结)而直接参与光电转换的层,其可包含与半导体基板110相同的半导体材料(即,硅)以具有相似的特性,从而实现载流子的有效移动。

[0104] 第一导电类型区域20和第二导电类型区域30中的每一个可具有例如5nm至15nm范围内的厚度。

[0105] 另外,第一导电类型区域20和第二导电类型区域30的凹部和凸部的厚度可彼此不同。例如,关于第一导电类型区域20和第二导电类型区域30中的每一个,凹部的厚度可大于凸部的厚度。此外,第一导电类型区域20和第二导电类型区域30中的每一个的凸部的厚度与凹部的厚度之比可与第一钝化膜52和第二钝化膜54中的每一个中的厚度比相同。

[0106] 第一电极42可被设置在第一导电类型区域20上(例如,与第一导电类型区域20接触)并电连接到第一导电类型区域20,第二电极44可被设置在第二导电类型区域30上(例如,与第二导电类型区域30接触)并电连接到第二导电类型区域30。

[0107] 第一电极42可包括依次层叠在第一导电类型区域20上的第一透明电极层421和第一金属电极层422。

[0108] 这里,第一透明电极层421可完全形成在(例如,接触)第一导电类型区域20上。完全形成的含义不仅包括覆盖整个第一导电区域20而没有空余空间或空余区域的情况,而且包括无意中并没有形成某一部分(例如,由于制造限制或缺陷)的情况。当第一透明电极层421完全形成在第一导电类型区域20上时,载流子可容易地通过第一透明电极层421到达第一金属电极层422,从而减小水平方向(例如,X1方向)上的电阻。由于由非晶半导体层等形成的第一导电类型区域20的结晶度相对低,所以载流子迁移率可较低。因此,通过设置有第一透明电极层421,当载流子在水平方向上移动时的电阻可减小。

[0109] 由于第一透明电极层421如上所述形成在第一导电类型区域20上,所以其可由光透射材料(可透射材料)形成。因此,在一些实现方式中,第一透明电极层421可由透明导电材料形成,以使得在允许光透射的同时载流子可容易地移动。因此,即使第一透明电极层421完全形成在第一导电类型区域20上,也不会阻挡光的透射。

[0110] 例如,第一透明电极层421可包括铟锡氧化物(ITO)、铝锌氧化物(AZO)、硼锌氧化物(BZO)、铟钨氧化物(IWO)和铟铈氧化物(ICO)中的至少一种。然而,本公开不限于此,除了第一透明电极层421之外可包括各种其它材料。

[0111] 此时,本实现方式的第一透明电极层421可在使用上述材料作为主要材料的同时包含氢。因此,在一些实现方式中,第一透明电极层可包括含氢的铟锡氧化物(ITO:H)、含氢的铝锌氧化物(AZO:H)、含氢的硼锌氧化物(BZO:H)、含氢的铟钨氧化物(IWO:H)以及含氢的铟铈氧化物(ICO:H)中的至少一种。

[0112] 第一透明电极层421可通过沉积来形成。当在沉积的时候注入氢气时,第一透明电极层421中可包含氢。当第一透明电极层421包含氢时,电子或空穴的迁移率可改进并且透射率可改进。

[0113] 在本实现方式中,可在第一透明电极层421上形成具有图案的第一金属电极层422。例如,第一金属电极层422可被形成为与第一透明电极层421接触以简化第一电极42的结构。然而,本公开不限于此,可实现各种修改,例如在第一透明电极层421与第一金属电极层422之间存在单独的层。

[0114] 设置在第一透明电极层421上的第一金属电极层422可由与第一透明电极层421相比具有高导电性的材料形成。因此,诸如通过第一金属电极层422的载流子收集效率和电阻降低的特性可进一步改进。例如,第一金属电极层422可由具有高导电性的不透明金属形成,或者可由透明度低于第一透明电极层421的金属形成。

[0115] 由于第一金属电极层422为不透明的或者具有低透明度,所以其可能妨碍光的入射,从而其可具有特定图案以减小遮蔽损失。因此,光可入射在没有形成第一金属电极层422的部分上。稍后参照图2更详细地描述第一金属电极层422的平面形状。

[0116] 第二电极44可包括依次层叠在第二导电类型区域30上的第二透明电极层441和第二金属电极层442。由于除了第二电极44被设置在第二导电类型区域30上之外,第二电极44的第二透明电极层441和第二金属电极层442的作用、材料、形状等与第一电极42的第一透明电极层421和第一金属电极层422的作用、材料、形状等相同,所以其描述已被省略。

[0117] 在本实现方式中,第一电极42和第二电极44中的第一金属电极层422和442可由可

通过低温燃烧(例如,在300℃或更低的工艺温度下燃烧)来燃烧或退火的材料形成。例如,第一金属电极层422和442可不具有由特定金属化合物(例如,含氧的氧化物、含碳的碳化物、含硫的硫化物)等形成的玻璃料,而可仅包括导电材料和树脂(粘结剂、硬化剂、添加剂),以使得其可容易地在低温下燃烧,因为其没有玻璃料。导电材料可包括银(Ag)、铝(Al)、铜(Cu)等。树脂可包括诸如纤维素基或酚基的粘结剂以及诸如胺基的硬化剂。

[0118] 如上所述,在本实现方式中,由于第一金属电极层422和第二金属电极层442分别形成为与第一透明电极层421和第二透明电极层441接触,所以可能不需要穿过绝缘膜等的烧穿。因此,可使用去除玻璃料的低温燃烧糊剂。如上所述,由于第一金属电极层422和442不具有玻璃料,而是具有导电材料和树脂,所以导电材料可被烧结,以使得其并非彼此连接,而是彼此接触并聚集以具有导电性。

[0119] 另选地,第一金属电极层422和第二金属电极层442可通过镀覆来形成。

[0120] 参照图2更详细地描述第一电极42和第二电极44的第一金属电极层422和第二金属电极层442的平面形状。

[0121] 图2是图1所示的太阳能电池的第一金属电极层422和第二金属电极层442的平面图。在图2中,主要示出半导体基板110以及第一电极42和第二电极44的第一金属电极层422和第二金属电极层442。

[0122] 参照图2,第一金属电极层422和第二金属电极层442可包括彼此以特定间距间隔开的多个指状电极42a和44a。尽管附图示出指状电极42a和44a彼此平行并且平行于半导体基板110的边缘,本公开不限于此。另外,第一金属电极层422和第二金属电极层442包括汇流条电极42b和44b,汇流条电极42b和44b形成在与指状电极42a和44a交叉的方向上并将指状电极42a和44a连接。可仅设置单个汇流条电极42b、44b,或者如图2所示,可按照比指状电极42a、44a的间距更大的间距设置多个汇流条电极42b、44b。此时,汇流条电极42b、44b的宽度可大于指状电极42a、44a的宽度,但是本公开不限于此。因此,汇流条电极42b、44b的宽度可等于或小于指状电极42a、44a的宽度。

[0123] 在附图中,示出了第一金属电极层422和第二金属电极层442具有相同的平面形状。然而,本公开不限于此。第一金属电极层422的指状电极42a和汇流条电极42b的宽度、间距等可不同于第二金属电极层442的指状电极44a和汇流条电极44b的宽度、间距等。另外,第一金属电极层422和第二金属电极层442可具有不同的平面形状,并且可实现各种其它修改。

[0124] 如上所述,本实现方式可具有双面结构,其中太阳能电池100的第一电极42和第二电极44中的不透明或包含金属的第一金属电极层422和第二金属电极层442具有特定图案,以使得光可入射在基板110的前表面和后表面上。因此,太阳能电池100中使用的光的量可增加以有助于改进太阳能电池100的效率。然而,本公开不限于此,第二电极44的第二金属电极层442还可完全形成在半导体基板110的后侧。

[0125] 根据本实现方式,设置在前表面和/或后表面上包括不平坦部分112的半导体基板110上的第一钝化膜52和/或第二钝化膜54可根据区域以不同的厚度形成。

[0126] 因此,在一些实现方式中,第一钝化膜52和第二钝化膜54中的至少一个可在不平坦部分112的凸部TA上具有相对薄的第一厚度D1,并且在凹部VA上具有相对厚的第二厚度D2。因此,存在于半导体基板110的凹部VA中的缺陷可被钝化,从而改进太阳能电池100的效

率。

[0127] 接下来,参照图10描述使用太阳能电池100的太阳能电池面板200。具体地,本公开的另一实现方式提供了使用太阳能电池100的太阳能电池面板200。根据本实现方式的太阳能电池面板200可包括太阳能电池100、设置在太阳能电池100的一个表面上的第一构件以及设置在太阳能电池100的与前述一个表面相对的另一表面上的第二构件。

[0128] 由于包括在太阳能电池面板中的太阳能电池100与以上描述相同或非常相似,所以重复的部分被省略,仅详细描述不同的部分。

[0129] 参照图10,根据本实现方式的太阳能电池面板200可包括太阳能电池100、设置在太阳能电池100的第一表面上的第一基板(以下,称为“前基板”)120以及设置在太阳能电池100的第二表面上的第二基板(以下,称为“后基板”)121。另外,太阳能电池面板200可包括介于太阳能电池100和前基板120之间的第一密封剂131以及介于太阳能电池100和后基板121之间的第二密封剂132。这更详细地描述。

[0130] 密封剂130可包括设置在太阳能电池100的前表面上的第一密封剂131以及设置在太阳能电池100的后表面上的第二密封剂132。第一密封剂131和第二密封剂132可防止水分和氧进入太阳能电池面板200的各个元件并化学结合。

[0131] 第一密封剂131和第二密封剂132可由具有透射率和粘合性质的绝缘材料形成。例如,乙烯-醋酸乙烯酯共聚物树脂(EVA)、聚乙烯醇缩丁醛、硅树脂、酯基树脂、烯烷基树脂等可用于第一密封剂131和第二密封剂132。后基板121、第二密封剂132、太阳能电池100、第一密封剂131和前基板120可使用第一密封剂131和第二密封剂132通过层压工艺集成,从而可形成太阳能电池面板200。

[0132] 前基板120可被设置在第一密封剂131上以形成太阳能电池面板200的前表面,并且后基板121可被设置在第二密封剂132上以形成太阳能电池面板200的后表面。前基板120和后基板121可由被配置为保护太阳能电池100免受外部冲击、水分、紫外线等影响的绝缘材料形成。前基板120可由光可透射通过的光透射材料形成,并且后基板121可由包括光透射材料、非光透射材料、反射材料等的片材形成。

[0133] 例如,前基板120和后基板121可由玻璃、透明片材等形成。当前基板120和后基板121为玻璃,而氧化物(SO)形成在包括在太阳能电池200中的半导体基板100的后表面上时,后表面中的光接收效率可改进,从而改进太阳能电池面板200的效率。

[0134] 然而,本公开不限于此。因此,第一密封剂131和第二密封剂132、前基板120和后基板121可包含上述那些材料以外的各种材料,并且可具有各种形式。例如,前基板120或后基板121可具有各种形式(例如,基板、膜、片材等)。例如,后基板121可具有Tedlar/PET/Tedlar(TPT)型,或者可包括形成在基膜(例如,聚对苯二甲酸乙二醇酯(PET))的至少一个表面上的聚偏二氟乙烯(PVDF)树脂层。上述太阳能电池100可通过各种工艺形成。参照图3至图5详细描述根据本公开的实现方式的太阳能电池100的制造方法。图3至图5是示出根据本公开的实现方式的太阳能电池100的制造方法的横截面图。

[0135] 首先,参照图3,可向半导体基板110提供不平坦部分112。更具体地,如上所述,不平坦部分112的凸部TA和凹部VA可通过湿法蚀刻来形成。

[0136] 在一些实现方式中,半导体基板110可被浸渍在 $\text{KOH}:\text{H}_2\text{O}_2=2(\text{L}):0.6(\text{L})$ 的蚀刻剂中15(分钟)至30(分钟),从而可针对前表面和后表面实现纹理化。然而,本公开不限于此,

可通过各种方法形成不平坦部分112。

[0137] 另外,可在半导体基板110的一个表面上形成氧化物层(SO)。例如,在使用上述方法将半导体基板110纹理化之后,可对半导体基板110的前表面执行清洁工艺以抑制氧化物(SO)的形成,并且可不对半导体基板110的后表面执行清洁工艺,从而可促使形成氧化物(SO)。结果,可在半导体基板110的后表面上形成氧化物层(SO)。此外,由于半导体基板110的后表面不需要清洁工艺,所以可减少工艺的数量并且可有助于生产率。

[0138] 具体地,可在400度或更低的温度和氧气氛下通过控制工艺时间在半导体基板110的未经受清洁工艺的表面上部分地形成氧化物层(SO)。然而,其不限于此,可在形成连续的氧化物层(SO)之后执行部分蚀刻工艺来创建不连续的氧化物层(SO)。

[0139] 用于清洁半导体基板110的方法不受特别限制,可使用标准半导体制造技术。例如,可使用氟(III)来清洁纹理化半导体基板100的前表面。

[0140] 接下来,如图4所示,可在半导体基板110上形成第一钝化膜52和第二钝化膜54。可通过例如热生长方法、沉积方法(例如,化学气相沉积(PECVD)、低压化学气相沉积(LPCVD)、原子层沉积(ALD))等形成第一钝化膜52和第二钝化膜54。

[0141] 在本实现方式中,可通过沉积方法(例如,化学气相沉积(CVD))形成第一钝化膜52和第二钝化膜54。

[0142] 具体地,可将包含形成第一钝化膜52和第二钝化膜54的原料气体的源气体与要沉积在半导体基板110上的气氛气体一起供应到腔室中。源气体可以是包括硅烷(SiH_4)、乙硅烷(Si_2H_6)、二氯硅烷(SiCl_2H_2 , DCS)的基于硅烷的气体,并且气氛气体可以是氮气、氩气、氦气和氢气中的至少一种。

[0143] 如上所述,为了使形成在凹部VA上的第一钝化膜52的第二厚度D2大于形成在凸部TA上的第一钝化膜52,应该优选将沉积速率维持为介于0.6纳米/秒(nm/sec)至1.2纳米/秒之间。可通过使用连接到腔室的泵控制腔室中的压力来维持沉积速率。当沉积速率小于0.6纳米/秒或大于1.2纳米/秒时,难以满足期望的第一厚度D1与第二厚度D2之比。具体地,当沉积速率小于0.6纳米/秒时,第二厚度可变得过大,当沉积速率大于1.2纳米/秒时,第一厚度D1可变得过大。

[0144] 在一些实现方式中,如图3所示,不平坦部分112可具有金字塔形状,因此在半导体基板110的表面上本身具有斜率。相对于在基本上垂直方向上朝着半导体基板110沉积的源气体,该斜率可在45度至130度范围内。

[0145] 在一些实现方式中,为了使用非晶硅来形成第一钝化膜52和第二钝化膜54,腔室中的温度可维持在550摄氏度或更低。因此形成的薄膜可包含很少的氢或不含氢,并且包含非晶硅中的大量悬挂键。由于悬挂键可随机地捕获或释放电子,所以以这种方式形成的非晶硅膜可能不适合用作钝化膜。此外,可能难以以这种方式获得具有低表面粗糙度的高质量薄膜。

[0146] 相比之下,当使用氢气作为气氛气体时,氢可与悬挂键结合以防止电子的捕获和释放。然而,当腔室中的温度为400℃或更高时,氢原子可能相互反应并且可能以氢气的形式逃逸。因此,优选的是腔室中的温度维持在低于400摄氏度。在上述等离子体化学气相沉积(PECVD)的情况下,可使用等离子体在低于400摄氏度的低温下使基于硅烷的气体分解。

[0147] 第一钝化膜52和第二钝化膜54中的每一个可按照例如2nm至8nm范围内的厚度沉

积。当在凹部VA中形成第一钝化膜52和第二钝化膜54中的每一个时,为了缺陷的充分钝化,优选沉积到至少2nm的厚度。

[0148] 然而,本公开不限于此,第一钝化膜52和第二钝化膜54可通过各种方法形成。例如,第一钝化膜52和第二钝化膜54可在单个工艺步骤中同时形成,或者在单独的工艺步骤中依次形成。

[0149] 接下来,如图5所示,可在第一钝化膜52和第二钝化膜54上形成第一导电类型区域20、第二导电类型区域30、第一电极42和第二电极44。更具体地,可在第一钝化膜52上形成第一导电类型区域20和第一电极42,并且可在第二钝化膜54上形成第二导电类型区域30和第二电极44。这里,第一电极42可包括第一透明电极层421和第一金属电极层422,并且第二电极44可包括第二透明电极层441和第二金属电极层442。

[0150] 可例如通过沉积方法(例如,化学气相沉积(PECVD)、低压化学气相沉积(LPCVD)等)形成第一导电类型区域20和第二导电类型区域30。可在使形成第一导电类型区域20和第二导电类型区域30的半导体层生长的工艺期间并入第一导电类型掺杂剂或第二导电类型掺杂剂。另选地或者另外地,可在形成半导体层之后使用离子注入方法、热扩散方法、激光掺杂方法等执行单独的掺杂步骤。然而,本公开不限于此,第一导电类型区域20和第二导电类型区域30可通过各种方法形成。第一导电类型区域20和第二导电类型区域30可在同时形成之后被掺杂,并且可被依次沉积和/或掺杂。

[0151] 第一导电类型区域20和第二导电类型区域30中的每一个可按照例如5nm至15nm范围内的厚度形成。

[0152] 在本公开的另一实现方式中,第一钝化膜52和第二钝化膜54以及第一导电区域20和第二导电区域30中的至少一个可形成在半导体基板110的侧表面上。

[0153] 具体地,参照图11,可在半导体基板110的侧表面上依次形成第一钝化膜52、第一导电类型区域20、第二钝化膜54和第二导电类型区域30。然而,形成在半导体基板110的侧表面上的结构不限于以上描述。

[0154] 例如,在侧表面上,可依次形成第二钝化膜54、第二导电类型区域30、第一钝化膜52和第一导电类型区域20,可仅形成第一钝化膜52和第一导电类型区域20,或者可仅形成第二钝化膜54和第二导电类型区域30。形成在侧表面上的第一钝化膜52或第二钝化膜54可防止包含在第一导电类型区域20或第二导电类型区域30中的掺杂剂扩散到半导体基板110中。

[0155] 形成在侧表面上的第一导电区域20和第二导电区域30或者第一钝化膜52和第二钝化膜54的厚度可比形成在前表面或后表面上的第一导电区域20和第二导电区域30或者第一钝化膜52和第二钝化膜54的厚度更薄。

[0156] 此外,半导体基板110的侧表面的最外侧可被第一透明电极层421和/或第二透明电极层441覆盖,并且可通过形成在最外侧的第一透明电极层421或第二透明电极层441改进太阳能电池100的耐水性和导热性。

[0157] 在本实现方式中,通过在半导体基板110的侧表面上形成至少一个钝化膜,可改进半导体基板110的侧表面处的钝化性质,并且不必执行构图以与半导体基板110匹配,从而可容易地执行工艺。

[0158] 接下来,可在第一导电类型区域20和第二导电类型区域30上形成第一透明电极层

421和第二透明电极层441。更具体地,可在第一导电类型区域20上形成第一透明电极层421,并且可在第二导电类型区域30上形成第二透明电极层441。

[0159] 第一透明电极层421和第二透明电极层441可通过例如沉积方法(例如,化学气相沉积(PECVD))、涂覆方法等形成。然而,本公开不限于此,第一透明电极层421和第二透明电极层441可通过各种方法来形成。

[0160] 接下来,可在第一透明电极层421和第二透明电极层441上形成第一金属电极层422和第二金属电极层442。

[0161] 例如,第一低温糊剂层可形成在第一导电类型区域20和第二导电类型区域30中的一个上(更具体地,第一透明电极层421和第二透明电极层441中的一个上)并且可被干燥以形成第一金属电极层422和第二金属电极层442中的一个。另外,第二低温糊剂层可形成在第一导电类型区域20和第二导电类型区域30中的另一个上并且可被干燥以形成第一金属电极层422和第二金属电极层442中的另一个。然而,本公开不限于此,还可在两侧同时形成第一低温糊剂层和第二低温糊剂层并将其一起干燥。

[0162] 参照附图详细描述根据本公开的另一实现方式的太阳能电池。由于以上描述可被应用于与先前所描述的部分相同或基本上相似的部分,所以省略重复的部分的详细描述,仅详细描述不同的部分。将上述实现方式或其变型与以下实现方式或其修改组合也在本公开范围内。

[0163] 接下来,将参照图6描述根据本公开的另一实现方式的太阳能电池。

[0164] 图6是根据本公开的另一实现方式的太阳能电池的横截面图。与参照图1和图2描述的太阳能电池相比,除了不平坦部分112的凸部TA和凹部VA可包括具有特定曲率半径的曲率之外,根据本实现方式的太阳能电池基本上相同。

[0165] 参照图6,包括在根据本实现方式的太阳能电池中的不平坦部分112可包括具有不同曲率半径的凹部VA和凸部TA。不平坦部分112可形成在半导体基板110的前表面和与前表面对应的后表面二者上,或者可形成在前表面或后表面上。为了说明方便,以下描述将基于半导体基板110的前表面进行。显而易见,以上描述可被同样应用于不平坦部分112形成在半导体基板110的后表面上的情况。

[0166] 凸部TA可具有第一曲率半径R1并且凹部VA可具有第二曲率半径R2。由于凸部TA具有特定曲率半径,所以与凸部具有较小曲率半径或没有曲率半径相比,钝化膜可更稳定地形成在凸部TA上。

[0167] 凸部TA的第一曲率半径R1和凹部VA的第二曲率半径R2可彼此不同。具体地,凹部VA的第二曲率半径R2可大于凸部TA的第一曲率半径R1。例如,凸部TA的第一曲率半径R1可为3nm或更大,并且凹部VA的第二曲率半径R2可为5nm或更大。当凸部TA的第一曲率半径R1小于3nm并且凹部VA的第二曲率半径R2小于5nm时,可能难以根据形成在半导体基板110上的第一钝化膜52和第二钝化膜54的区域形成来控制厚度比。不平坦部分112可通过湿法蚀刻来形成,并且具有第一曲率半径R1的凸部TA和具有第二曲率半径R2的凹部VA可通过控制蚀刻剂的类型、浸渍时间等来形成。更详细的描述将稍后给出。

[0168] 在本公开中,由于包括具有不同曲率半径的凹部VA和凸部TA的不平坦部分112形成在半导体基板110上,所以形成在半导体基板110上的钝化膜沿着形成区域的厚度可被优化,从而改进钝化效果。

[0169] 因此,在本实现方式中,包括在不平坦部分112中的凹部VA和凸部TA可具有不同的曲率半径。当包括在不平坦部分112中的凹部VA和凸部TA具有不同的曲率半径时,设置在凹部VA上的第一钝化膜52的厚度可相对较大。

[0170] 通常,在第一钝化膜52的沉积工艺中,与凸部TA相比,凹部VA中的原料气体的沉积速率较高,从而会执行过度沉积。然而,在凹部VA具有特定范围内的第二曲率半径R2的情况下,可通过平滑效果减小凹部VA上的过度沉积。

[0171] 因此,在一些实现方式中,凹部VA和凸部TA的第一曲率半径R1和第二曲率半径R2可被控制为特定值,以使得形成在凹部VA和凸部TA中的每一个中的钝化膜可被控制为具有特定范围的厚度。

[0172] 第一钝化膜52可形成在半导体基板110的前表面上并且第二钝化膜54可形成在半导体基板110的后表面上。因此,半导体基板110的前表面和后表面可被钝化。

[0173] 以第一钝化膜52为例,第一钝化膜52在凸部TA中的第一厚度D1与第一钝化膜52在凹部VA中的第二厚度D2可彼此不同。具体地,第一钝化膜52的第一厚度D1可小于或等于第一钝化膜52的第二厚度D2。第一钝化膜52的第一厚度D1与第一钝化膜52的第二厚度D2之比可为0.5至0.9。当第一厚度D1与第二厚度D2之比小于0.5时,第一钝化膜52的凹部VA的厚度变得相对过厚,这可增加第一钝化膜52在对应区域中的电阻。另外,当第一厚度D1与第二厚度D2之比高于0.9时,可能难以将由于缺陷区域而相对弱的凹部VA的缺陷钝化。在一些实现方式中,第一钝化膜52在凹部VA中的第二厚度D2可具有至少2nm的厚度以将缺陷钝化并防止缺陷区域的影响。

[0174] 在本实现方式中,包括在半导体基板110中的不平坦部分112中所包括的凸部TA和凹部VA中的每一个可具有特定范围内的曲率半径。因此,形成在半导体基板110上的第一钝化膜52和第二钝化膜54中的每一个可在凸部TA和凹部VA中具有不同的厚度范围。因此,根据本公开的第一钝化膜52和第二钝化膜54可利用改进的钝化性质将缺陷钝化,从而改进太阳能电池100的性能。

[0175] 接下来,参照图7和图8描述根据图6的太阳能电池制造方法。根据本实现方式的太阳能电池制造方法可基本上与参照图3至图5描述的制造方法相同。例如,除了相对于图3在图7中纹理化的形式不同之外,该方法可基本上相同。

[0176] 参照图7,可将半导体基板110浸渍在具有氢氧化钾(KOH):过氧化氢(H₂O₂)=2(L):0.6(L)的组成的蚀刻剂中15(分钟)至30(分钟)来实现半导体基板110的前表面和后表面的纹理化。可通过纹理化形成如上面所描述的图3的实现方式中一样的不平坦部分112。

[0177] 然后,可利用氢氟酸(HF)和硝酸(HNO₃)在不平坦部分112的凸部TA和凹部VA中形成曲率。具体地,在硝酸和氢氟酸的混合溶液中,当硝酸:氢氟酸之比介于50:1至100:1之间时,半导体基板110可被浸渍2(分钟)至10(分钟)以使得不平坦部分112的凸部TA和凹部VA中可形成曲率。更具体地,硝酸可将纹理化的半导体基板110的表面氧化,并且氢氟酸可去除氧化的半导体基板110的表面,以使得不平坦部分112的凸部TA和凹部VA中可形成曲率。因此,在根据本实现方式的太阳能电池的制造方法中,与上述实现方式相比,可通过以两步形成不平坦部分的步骤在半导体基板110上形成具有曲率的不平坦部分112。

[0178] 通过以两步形成不平坦部分的步骤,包括在不平坦部分112中的凸部TA的第一曲率半径R1可被控制为3nm或更大,并且凹部VA的第二曲率半径R2可被控制为5nm或更大。然

而,本公开不限于此,不平坦部分112可通过各种方法来形成。

[0179] 在一些实现方式中,凸部TA的第一曲率半径R1和凹部VA的第二曲率半径R2可相等地形成。在这种情况下,第一曲率半径R1和第二曲率半径R2二者可具有5nm或更大的曲率半径。

[0180] 接下来,参照图8,可在半导体基板110上形成第一钝化膜52。作为本实现方式中的中间步骤的图8的工艺可基本上对应于作为先前实现方式的中间步骤的图4,并且后续工艺也可基本上与上述实现方式相同。因此,可省略重复的描述。在本实现方式中,形成在半导体基板110的表面的不平坦部分112的凸部TA和凹部VA可分别具有第一曲率半径R1和第二曲率半径R2。因此,第一钝化膜52可稳定地沉积。具体地,由于凸部TA具有第一曲率半径R1,所以相对薄地形成在凸部TA上的第一钝化膜52可稳定地形成。例如,与不包括曲率的凸部TA相比,当凸部TA包括曲率时,第一钝化膜52可更可靠地覆盖凸部TA。因此,根据本实现方式的第一钝化膜52可更稳定地形成以具有改进的钝化性能。

[0181] 此外,比设置在凸部TA上的第一钝化膜52更厚的第一钝化膜52可形成在凹部VA上,以使得形成在凹部VA中的缺陷可被有效地钝化。

[0182] 根据本实现方式,形成在半导体基板上的半导体层可根据所设置的区域而具有不同的厚度。因此,包括在半导体基板中的缺陷可被钝化并且太阳能电池的性能可改进。

[0183] 将理解,在不脱离权利要求的精神和范围的情况下可进行各种修改。例如,如果所公开的技术的步骤按照不同的次序执行和/或如果所公开的系统中的组件按照不同的方式组合和/或由其它组件替代或补充,则仍可实现有利的结果。因此,其它实现方式也在以下权利要求的范围内。

[0184] 相关申请的交叉引用

[0185] 本申请要求在韩国知识产权局于2017年5月19日提交的韩国专利申请No.10-2017-0062478以及于2017年12月13日提交的韩国专利申请No.10-2017-0171553的优先权,其公开整体通过引用并入本文。

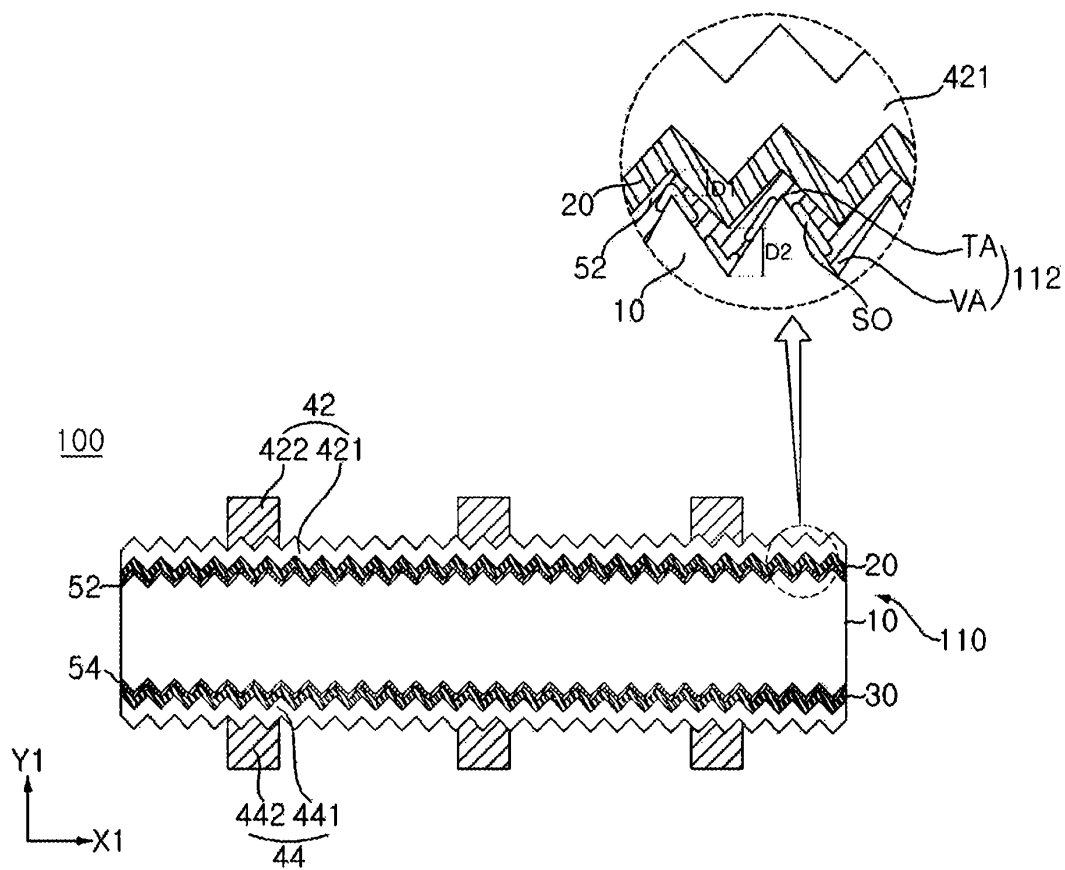


图1

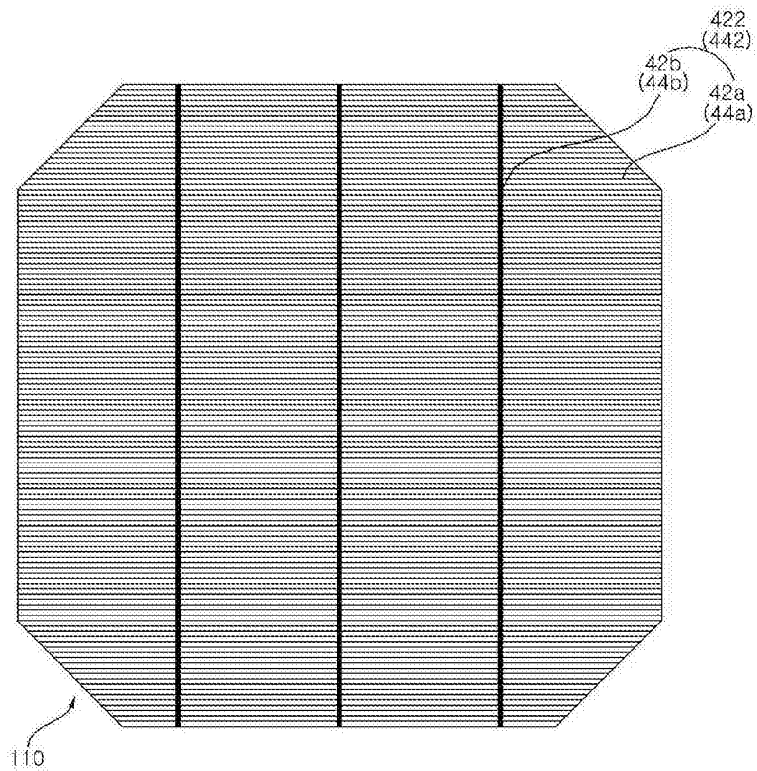


图2

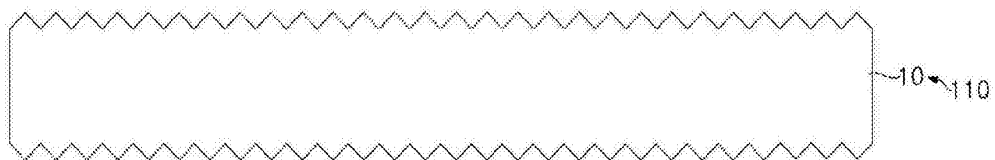


图3

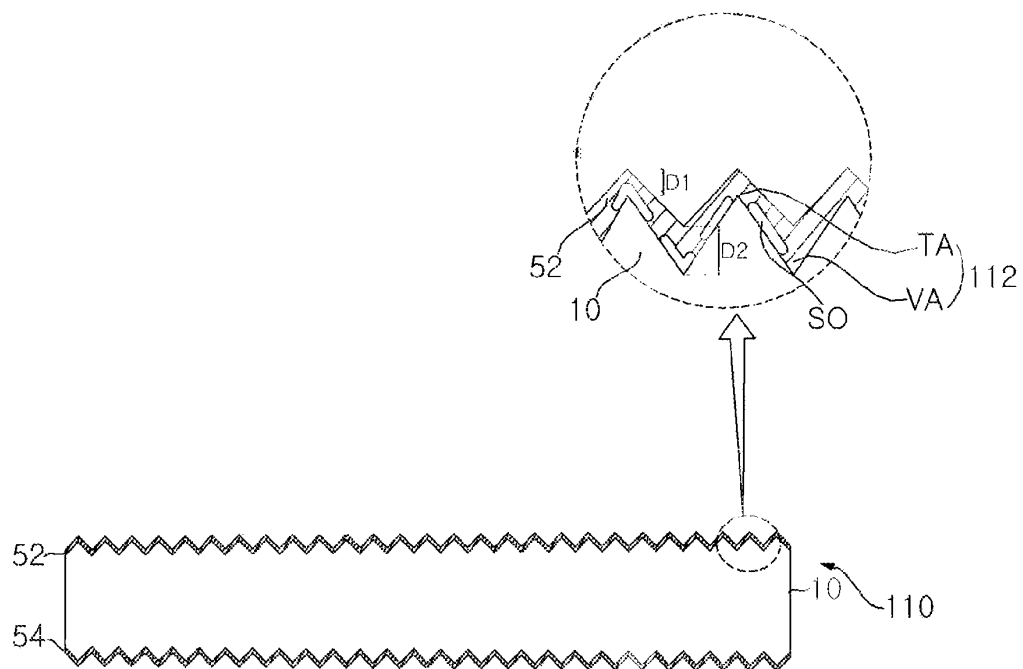


图4

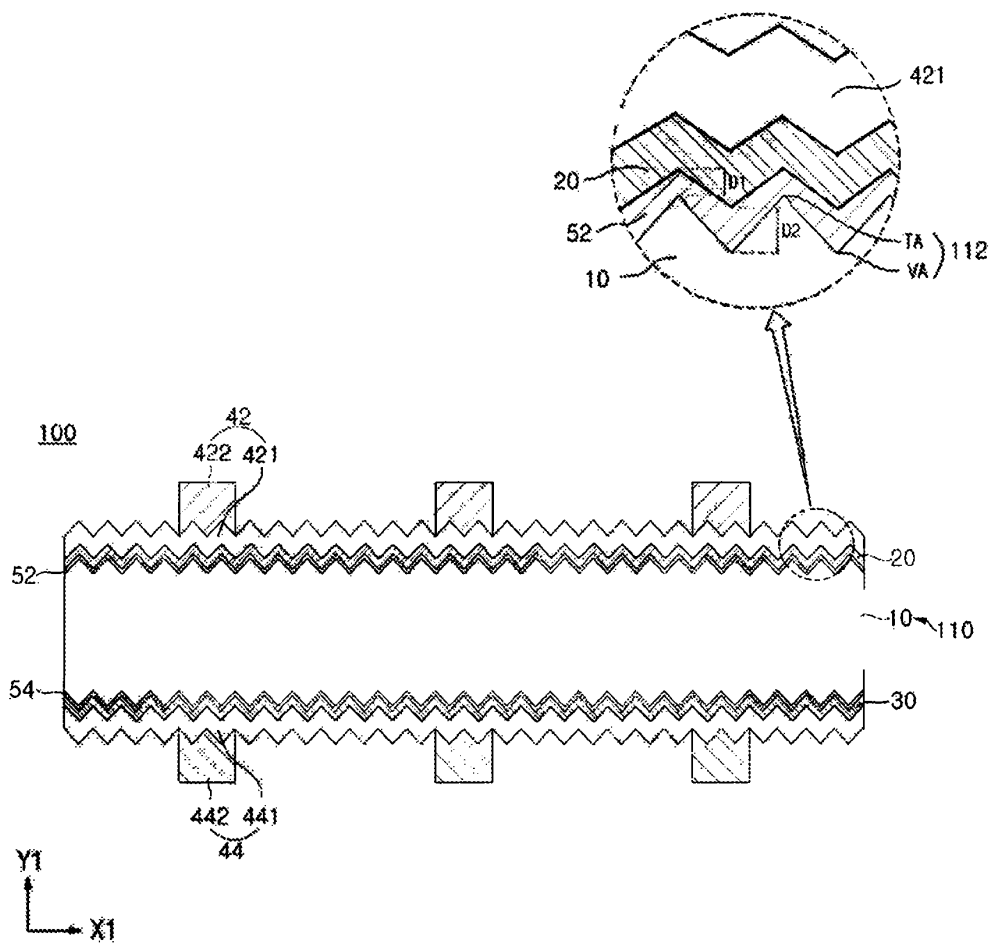


图5

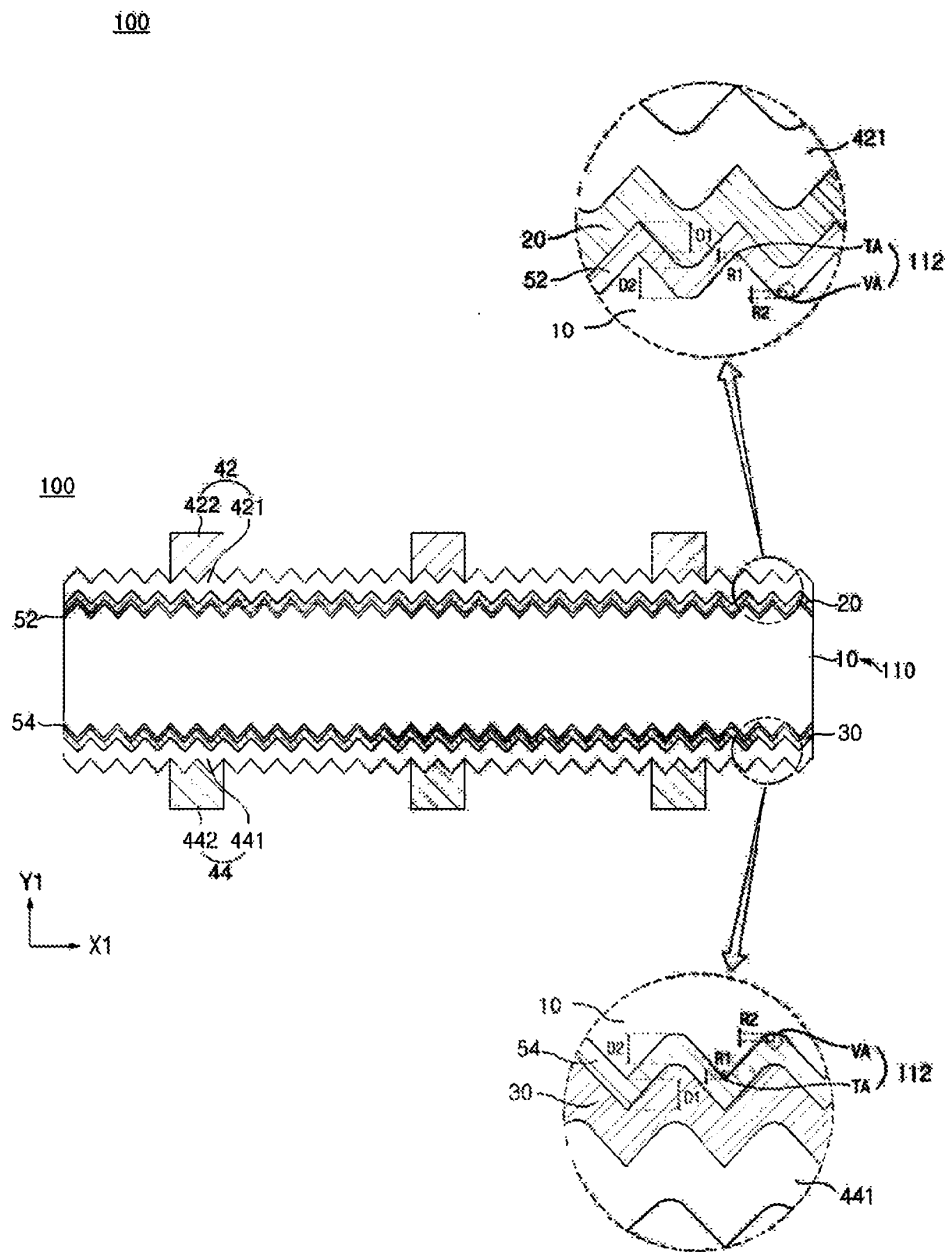


图6

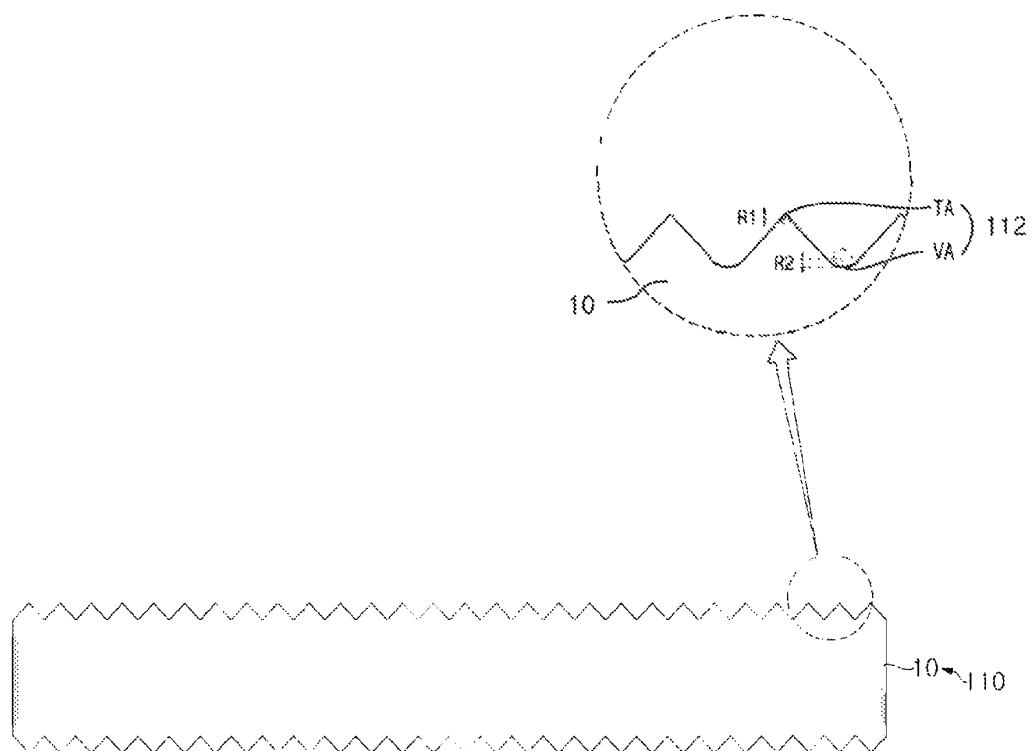


图7

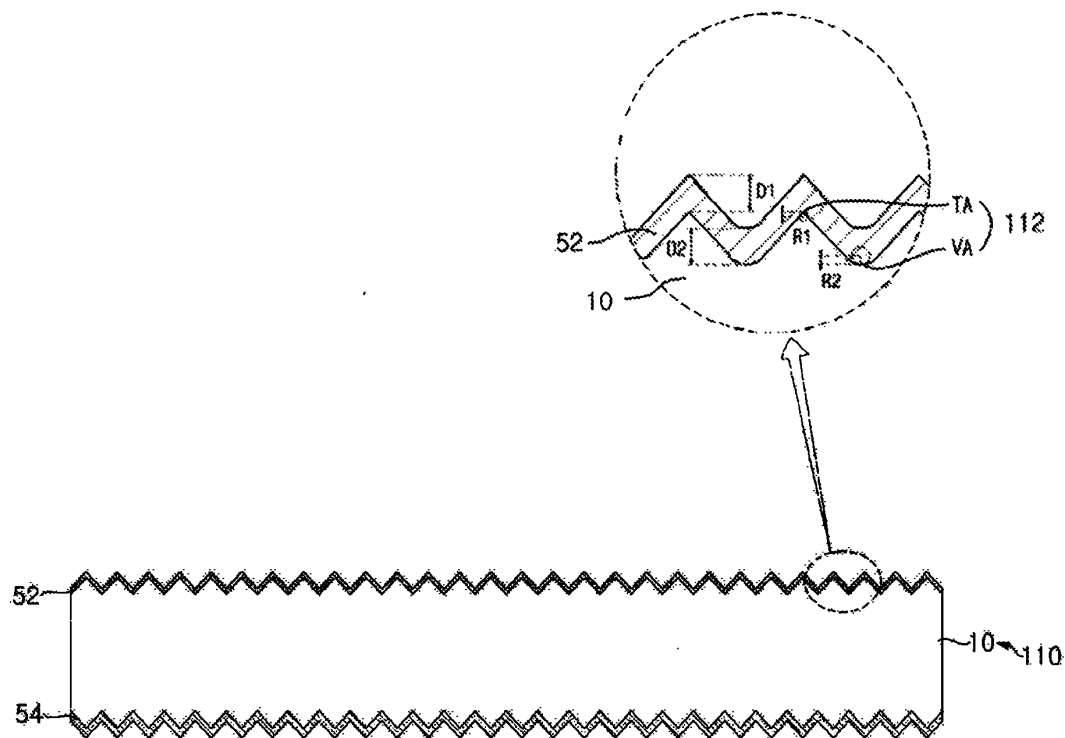


图8

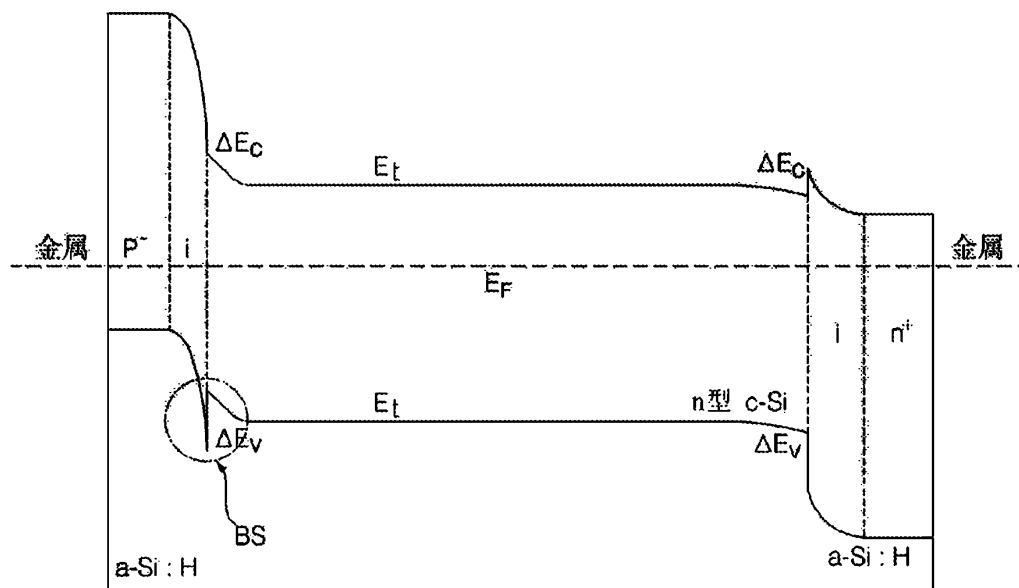


图9

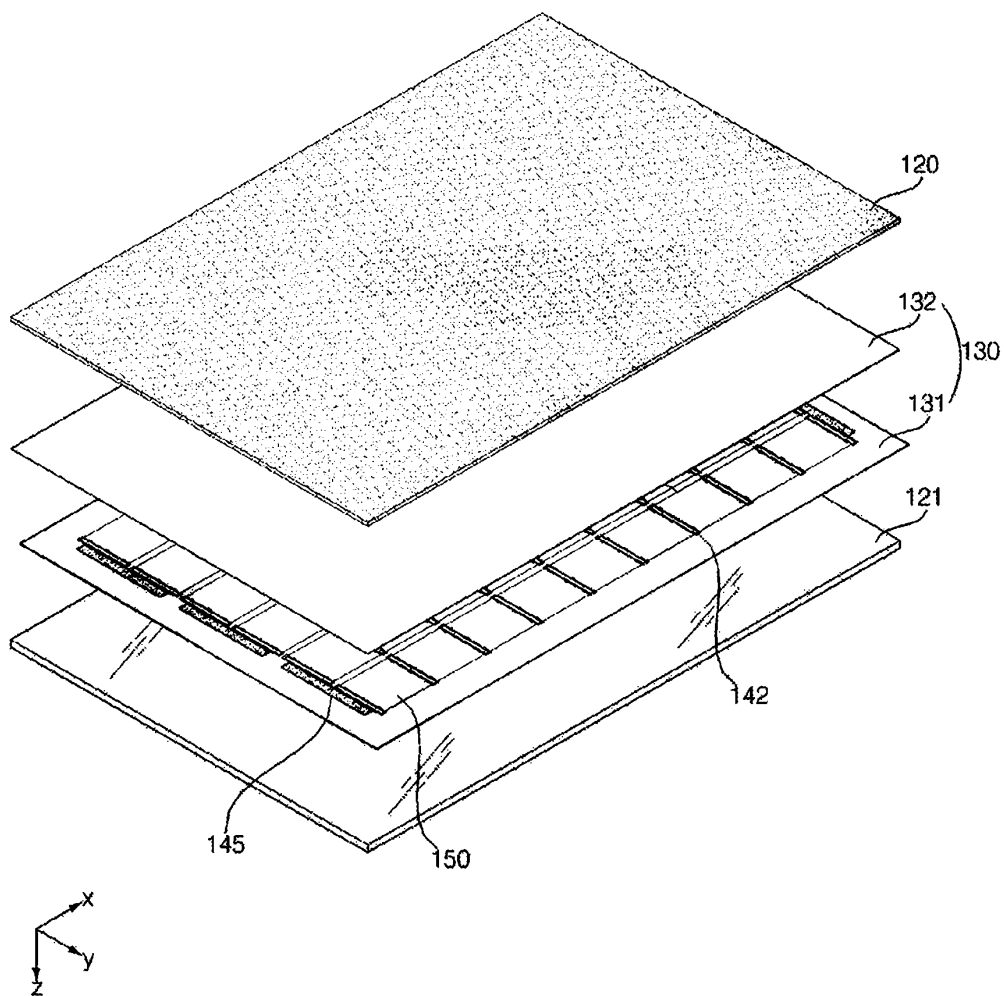
200

图10

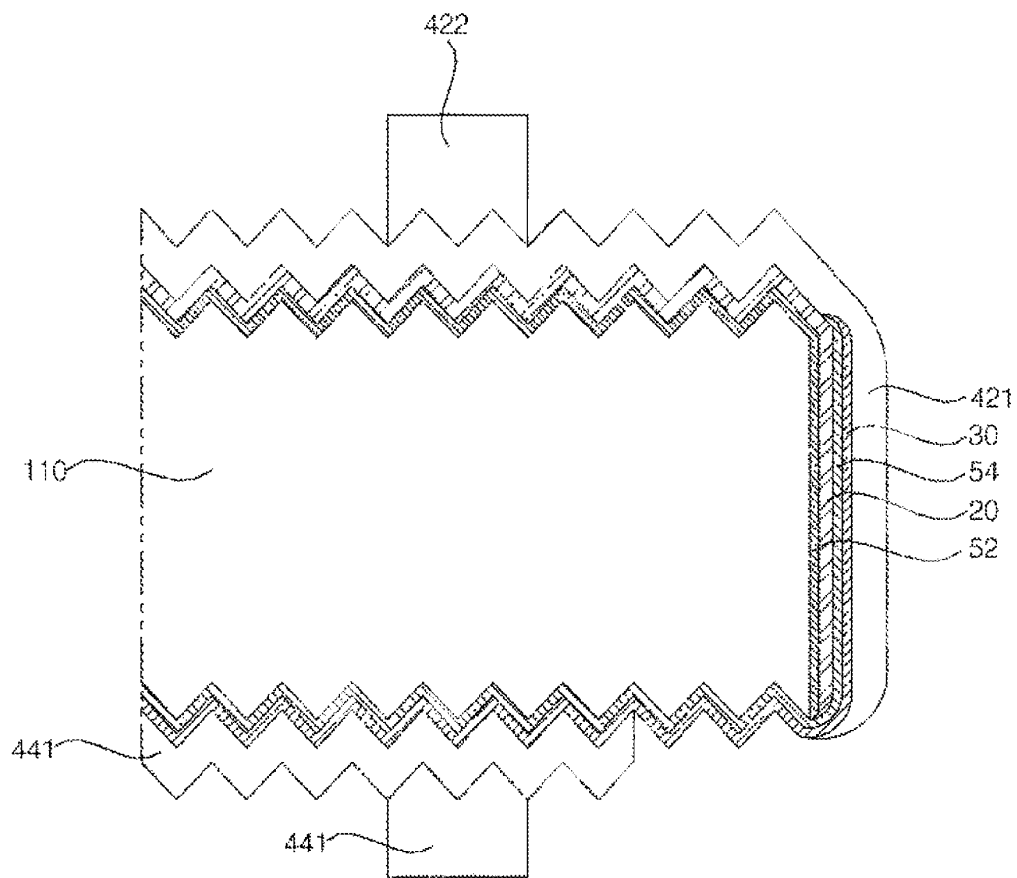


图11

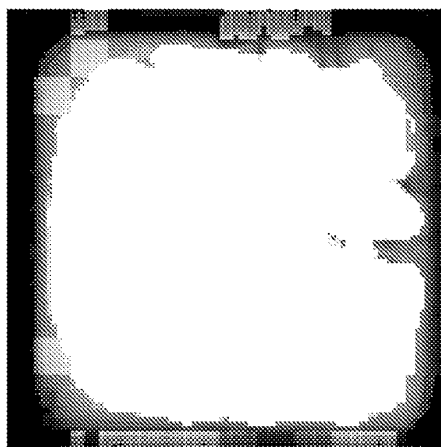


图12A

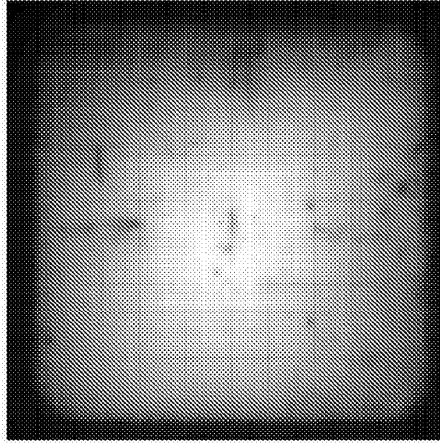


图12B

PE2E SEARCH - Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	British Equivalents	Time Stamp
L1	16	((("SHANGHAI") near3 ("JINKO") near3 ("GREEN") near3 ("ENERGY") near3 ("ENTERPRISE") near3 ("MANAGEMENT") near3 ("CO") near3 ("LTD")) OR ((("ZHEJIANG") near3 ("JINKO") near3 ("SOLAR") near3 ("CO") near3 ("LTD")))).AS,AANM.	(USPAT)	OR	ON	ON	2022/10/22 12:08 PM
L2	922	((("YU") near3 ("Kun")) OR ((("LIU") near3 ("Changming")) OR ((("ZHANG") near3 ("Xinyu")))).INV.	(US-PGPUB; USPAT; USOCR; EPO; JPO; DERWENT)	OR	ON	ON	2022/10/22 12:09 PM
L3	3299	((("SHANGHAI") near3 ("JINKO") near3 ("GREEN") near3 ("ENERGY") near3 ("ENTERPRISE") near3 ("MANAGEMENT") near3 ("CO") near3 ("LTD")) OR ((("ZHEJIANG") near3 ("JINKO") near3 ("SOLAR") near3 ("CO") near3 ("LTD")))).AS,AANM.	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/10/22 12:11 PM
L4	38497	((("YU") near3 ("Kun")) OR ((("LIU") near3 ("Changming")) OR ((("ZHANG") near3 ("Xinyu")))).INV.	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/10/22 12:11 PM
L5	36708	H01L31/02366,03685,068,1824,1868.cpc.	(US-PGPUB; USPAT; USOCR; FIT (AP, AT,	OR	ON	ON	2022/10/22 12:12 PM

L6	241	(L3 L4) AND L5	AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB) (US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/10/22 12:12 PM
L7	8	("20180182905" "20180315866" "20180018295").pn.	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/10/22 12:16 PM
L8	3	("20180182905" "20180315866" "20180018295").pn.	(US-PGPUB)	OR	ON	ON	2022/10/22 12:16 PM
L9	2	("2018/0315866").urpn. AND (PGPB USPT USOC).dbnm.	(US-PGPUB; USPAT; USOCR)	OR	ON	ON	2022/10/22 12:16 PM
L10	0	("2018/0182905").urpn. AND (PGPB USPT USOC).dbnm.	(US-PGPUB; USPAT; USOCR)	OR	ON	ON	2022/10/22 12:16 PM
L11	1	("2018/0018295").urpn.	(US-PGPUB; USPAT;	OR	ON	ON	2022/10/22

L12	283181	AND (PGPB USPT USOC).dbnm. (semi\$1conduct\$4 Si silicon) near2 (support substrate structure layer film) WITH (textur\$4 uneven\$4 convex\$4 concav\$4 irregularit\$4 corrugat\$4 roughness curvature)	USOCR) (US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	12:16 PM 2022/10/22 02:11 PM
L13	7737	H01L31/02366,03685,068,1824,1868.cpc. AND L12	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/10/22 02:11 PM
L14	4	H01L31/02366,03685,068,1824,1868.cpc. AND (semi\$1conduct\$4 Si silicon) near2 (support substrate structure layer film) WITH (textur\$4 uneven\$4 convex\$4 concav\$4 irregularit\$4 corrugat\$4 roughness curvature) WITH (non\$1pyramid\$4 "not pyramid\$4")	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/10/22 02:12 PM
L15	308	H01L31/02366,03685,068,1824,1868.cpc. AND (semi\$1conduct\$4 Si silicon) near2 (support substrate structure layer film) WITH (textur\$4 uneven\$4 convex\$4	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS,	OR	ON	ON	2022/10/22 02:14 PM

L16	0	concav\$4 irregularit\$4 corrugat\$4 roughness curvature) WITH (poly\$1gonal trapezoid\$4 square)	IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/10/22 02:14 PM
L17	150	L15 AND (non\$1pyramid\$4 "not pyramid\$4")	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/10/22 02:14 PM
L18	4826	L15 NOT pyramid\$4	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/10/22 02:15 PM
		H01L31/02366,03685,0 68,1824,1868.cpc. AND (semi\$1conduct\$4 Si silicon) near2 (support substrate structure layer film) WITH (textur\$4 uneven\$4 convex\$4 concav\$4 irregularit\$4 corrugat\$4 roughness curvature) NOT pyramid\$6	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/10/22 02:15 PM

L19	8	L17 AND (structure micro\$1structure nano\$1structure) WITH overlap\$4	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/10/22 02:23 PM
L20	42	(Artificial Intelligence) More like doc: CN-115020503-A Text: (AU-2021225144-B1 OR AU-2022206802-A1 OR JP-7082235-B1 OR CN-113540269-B OR CN-114649427-A OR CN-113421949-B OR CN-113421949-A OR CN-113540269-A OR JP-7152580-B1 OR US- 20220123164-A1 OR CN-111933752-A OR CN-113299771-A OR US-20180315866-A1 OR WO-2022069068- A1 OR US- 20200350445-A1 OR JP-WO2019163786-A1 OR JP-6058212-B2 OR JP-WO2019163784-A1 OR WO-2020218000- A1 OR JP- WO2020218000- A1).did.	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/10/22 02:26 PM
L21	38	(Artificial Intelligence) More like doc: JP-7082235-B1 Text: (AU-2021225144-B1 OR AU-2022206802-A1 OR CN-115020503-A OR CN-113540269-B OR CN-114649427-A OR CN-113540269-A OR JP-7152580-B1 OR US-20220123164-A1 OR CN-112635591-A OR KR-101673565-B1	(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO;	OR	ON	ON	2022/10/22 02:26 PM

L22	44	<p>OR CN-113345970-A OR KR-20120080583-A OR JP- WO2019163786-A1 OR CN-111524982-A OR JP-WO2019163784-A1 OR US-20180315866- A1 OR JP- WO2019138613-A1 OR US-20200350445-A1 OR KR-20180119969-A OR WO-2020218000- A1).did.</p> <p>(Artificial Intelligence) More like doc: CN-114649427-A</p> <p>Text: (CN-113540269-B OR CN-113540269-A OR CN-115020503-A OR AU-2022206802-A1 OR AU-2021225144-B1 OR JP-7152580-B1 OR CN-113421949-B OR CN-113421949-A OR CN-114597285-A OR EP-3806165-A1 OR CN-114038921-A OR JP-2018107468-A OR JP-6598091-B2 OR CN-114038928-A OR CN-114512555-A OR AU-2010296714-A1 OR EP-2479804-A1 OR WO-2021128831-A1 OR CN-114613881-A OR EP-2479804- B1).did.</p>	<p>JPO; DERWENT; IBM_TDB)</p> <p>(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)</p>	OR	ON	ON	2022/10/22 02:27 PM
L23	41	<p>(Artificial Intelligence) More like doc: CN-113540269-B</p> <p>Text: (CN-113540269-A OR CN-114649427-A OR CN-115020503-A OR AU-2022206802-A1 OR JP-7152580-B1 OR AU- 2021225144-B1 OR CN-113421949-A OR CN-113421949-B OR CN-114551606-A OR CN-113964212-B OR JP-2018107468-A OR JP-6598091-B2 OR EP- 4002495-A2 OR US- 20220262967-A1 OR WO-2014064929-A1</p>	<p>(US-PGPUB; USPAT; USOCR; FIT (AU, AP, AT, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, OA, RU, SU, WO, MC, MD, MY, NL, NO, NZ, PH, PL, PT, RO, RS, SE, SG, SI, SK, TH, TN, TR, TW, UA, VN); FPRS; EPO; JPO; DERWENT; IBM_TDB)</p>	OR	ON	ON	2022/10/22 02:27 PM

L24	109	OR JP- WO2014064929-A1 OR JP-6308438-B2 OR AU- 2010296714-A1 OR KR-102257485-B1 OR WO-2021128831- A1).did. L20 L21 L22 L23	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/10/22 02:27 PM
L25	0	L24 AND (structure micro\$1structure nano\$1structure) WITH overlap\$4	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO); FPRS; EPO; JPO; DERWENT; IBM_TDB)	OR	ON	ON	2022/10/22 02:28 PM
L26	44	(Artificial Intelligence) Similar to: 17/459,689 with 0 CPC Selections and 0 Text Selections <u>Text:</u> (US-20220302334-A1 OR KR-20170074172-A OR KR-20180058099-A OR CN-108110072-B OR KR-20190077099-A OR JP-2017539093-A OR EP-3373339-B1 OR US-20100224229-A1 OR EP-3373339-A1 OR JP-2017005253-A OR KR-20170097662-A OR JP-2017525126-A OR	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO))	OR	ON	ON	2022/10/22 02:35 PM

L27	42	<p>JP-6411407-B2 OR KR-20180081268-A OR US-9577126-B2 OR JP-6453297-B2 OR US-10763381-B2 OR JP-6746854-B2 OR JP-2017118112-A OR US-20190131477-A1 OR CN-108963013-B OR TW-201618316-A OR KR-20160145484-A OR KR-101751727-B1 OR KR-20200039839-A OR US-20190019904-A1 OR WO-2013161023-A1 OR US-10957809-B2 OR KR-102100909-B1 OR KR-101995833-B1 OR CN-106898658-A OR KR-20180064194-A OR US-20150380599-A1 OR CN-114127961-A OR EP-3161879-A1 OR KR-101466530-B1 OR US-20150083183-A1 OR CN-107258020-A OR EP-3038164-A1 OR CN-108963013-A OR CN-104254922-A OR EP-3238271-A1 OR WO-2016102471-A1 OR EP-2828897-B1 OR EP-3038164-B1 OR US-20170179325-A1 OR JP-6552011-B2 OR US-20200091366-A1 OR US-20180006164-A1 OR US-20210249551-A1).did.</p> <p>(Artificial Intelligence) Similar to: 17/459,689 with 5 CPC Selections and 2 Text Selections</p> <p>Text: (CN-108110072-B OR KR-20180058099-A OR JP-2017525126-A OR TW-201618316-A OR US-10763381-B2 OR KR-20170097662-A OR JP-2017539093-A OR US-20150380599-A1 OR US-9577126-B2 OR EP-3161879-A1 OR EP-3238271-A1 OR</p>	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO))	OR	ON	ON	2022/10/22 02:36 PM
-----	----	--	--	----	----	----	---------------------

L28	44	<p>WO-2016102471-A1 OR US-20180006164-A1 OR JP-6552011-B2 OR EP-3038164-A1 OR EP-3038164-B1 OR CN-107258020-A OR MX-362141-B OR AU-2020277220-A1 OR KR-20180081268-A OR JP-6067262-B2 OR CN-103531488-B OR US-20100051093-A1 OR BR-PI0612619-A2 OR KR-20180064194-A OR CN-101305300-A OR DE-112009001438-T5 OR MX-2007015993-A OR CN-112201731-A OR CN-114127961-A OR EP-4002495-A2 OR US-20190054506-A1 OR EP-3446777-A1 OR EP-3331032-A1 OR US-20180158977-A1 OR EP-1891468-A2 OR WO-2006134300-A2 OR JP-2008543712-A OR IL-188132-A OR US-20090266407-A1 OR EP-1890976-A2 OR WO-2006134301-A2 OR KR-20080017354-A OR EP-0002829-B1 OR CN-101296873-A OR KR-101995833-B1 OR KR-101333645-B1 OR KR-20080017350-A OR KR-20170074172-A OR CN-101296873-B).did.</p> <p>(Artificial Intelligence) Similar to: 17/459,689 with 5 CPC Selections and 3 Text Selections</p> <p>Text: (KR-20180058099-A OR CN-108110072-B OR JP-2017539093-A OR KR-20170074172-A OR JP-2017005253-A OR KR-20170097662-A OR JP-6411407-B2 OR CN-108963013-B OR KR-20180064194-A OR US-10763381-B2 OR KR-20180081268-A OR</p>	(US-PGPUB; USPAT; USOCR; FIT (AP, AT, AU, BE, BG, BR, BY, CA, CH, CN, CS, CU, CZ, DD, DE, DK, EA, EE, EP, ES, FI, FR, GB, HR, HU, ID, IE, IL, IS, IT, JP, KR, LT, LU, LV, MA, MC, MD, MY, NL, NO, NZ, OA, PH, PL, PT, RO, RS, RU, SE, SG, SI, SK, SU, TH, TN, TR, TW, UA, VN, WO))	OR	ON	ON	2022/10/22 02:37 PM
-----	----	--	---	----	----	----	------------------------

		JP-2017525126-A OR TW-201618316-A OR KR-20160145484-A OR KR-101751727-B1 OR CN-106898658-A OR CN-108963013-A OR EP-3373339-B1 OR WO-2013161023-A1 OR CN-107258020-A OR KR-101995833-B1 OR EP-3238271-A1 OR WO-2016102471-A1 OR EP-3038164-A1 OR CN-114127961-A OR CN-106898658-B OR EP-3373339-A1 OR US-9577126-B2 OR US-20180006164-A1 OR EP-3038164-B1 OR US-20150380599-A1 OR US-20150083183-A1 OR EP-3161879-A1 OR KR-20150000510-A OR CN-104254922-A OR JP-6552011-B2 OR EP-4002495-A2 OR JP-6453297-B2 OR EP-3331032-A1 OR US-20180158977-A1 OR JP-2017118112-A OR MX-362141-B OR AU-2020277220-A1 OR EP-3185307-B1 OR EP-3185307-A1 OR KR-20200090532-A OR US-20190019904-A1 OR US-20170179325-A1 OR US-20160204301-A1 OR JP-6746854-B2).did.				
--	--	---	--	--	--	--

PE2E SEARCH - Search History (Interference)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	British Equivalents	Time Stamp
N1	45713	(semi\$1conduct\$4 Si silicon) near2 (support substrate structure layer film) WITH (textur\$4 uneven\$4 convex\$4 concav\$4 irregularit\$4 corrugat\$4 roughness curvature)	(US-PGPUB; USPAT)	OR	ON	ON	2022/10/22 02:33 PM
N2	43	H01L31/02366,03685,068,1824,1868.cpc. AND (semi\$1conduct\$4 Si silicon) near2 (support	(US-PGPUB; USPAT)	OR	ON	ON	2022/10/22 02:33 PM

		substrate structure layer film) WITH (textur\$4 uneven\$4 convex\$4 concav\$4 irregularit\$4 corrugat\$4 roughness curvature) WITH (poly\$1gonal trapezoid\$4 square)					
N3	41481	N1 NOT pyramid\$6	(US-PGPUB; USPAT)	OR	ON	ON	2022/10/22 02:33 PM
N4	2969	N3 AND (structure micro\$1structure nano\$1structure) WITH overlap\$4	(US-PGPUB; USPAT)	OR	ON	ON	2022/10/22 02:34 PM
N5	2858	N4 AND (distance width wide gap)	(US-PGPUB; USPAT)	OR	ON	ON	2022/10/22 02:34 PM
N6	230	N5 AND tunnel\$4 near2 (film layer)	(US-PGPUB; USPAT)	OR	ON	ON	2022/10/22 02:35 PM

Bibliographic Data

Application No: 17/459,689

Foreign Priority claimed: ☒ Yes ☐ No

35 USC 119 (a-d) conditions met: ☒ Yes ☐ No ☐ Met After Allowance

Verified and Acknowledged:

Examiner's Signature

Initials

Title:

SOLAR CELL, MANUFACTURING METHOD THEREOF, AND PHOTOVOLTAIC MODULE

FILING or 371(c) DATE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
08/27/2021	136	1721	084546-000033
RULE			

APPLICANTS

SHANGHAI JINKO GREEN ENERGY ENTERPRISE MANAGEMENT CO., LTD., Minhang District, CHINA

ZHEJIANG JINKO SOLAR CO., LTD., Haining, CHINA

INVENTORS

Kun YU, Haining, CHINA

Changming LIU, Haining, CHINA

Xinyu ZHANG, Haining, CHINA

CONTINUING DATA

FOREIGN APPLICATIONS

CHINA CN202110895225.8 08/04/2021

IF REQUIRED, FOREIGN LICENSE GRANTED**

09/07/2021

STATE OR COUNTRY

CHINA

ADDRESS

NIXON PEABODY, LLP

799 Ninth Street, NW

SUITE 500

WASHINGTON, DC 20001

UNITED STATES

FILING FEE RECEIVED

\$1,820

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2004-273829

(P2004-273829A)

(43) 公開日 平成16年9月30日(2004.9.30)

(51) Int.Cl.⁷

H 0 1 L 31/04

F I

H 0 1 L 31/04

A

テーマコード(参考)

5 F 0 5 1

審査請求 未請求 請求項の数 8 O L (全 13 頁)

(21) 出願番号 特願2003-63610 (P2003-63610)
 (22) 出願日 平成15年3月10日(2003.3.10)

(出願人による申告) 国等の委託研究の成果に係る特許出願(平成14年度新エネルギー・産業技術総合開発機構「太陽光発電技術研究開発 先進太陽電池技術研究開発(即効型高効率太陽電池技術開発)」)委託研究、産業活力再生特別措置法第30条の適用を受けるもの)

(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 100065248
 (74) 代理人 弁理士 野河 信太郎
 (72) 発明者 布居 徹
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 (72) 発明者 岡本 康成
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 (72) 発明者 岡本 諭
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内

最終頁に続く

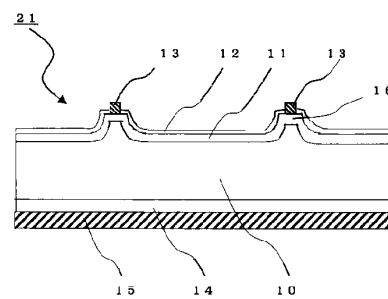
(54) 【発明の名称】 光電変換装置及びその製造方法

(57) 【要約】

【課題】電極の構造及びその製造方法によって、電極幅を低減して光電変換効率を向上させるとともに、電極周辺の表面再結合を低減することができ、さらに、簡便かつ容易な方法により安価に製造することができる光電変換装置及びその製造方法を提供することを目的とする。

【解決手段】受光面に2種類の異なるドーパント濃度の第2導電型層を有する第1導電型の半導体基板10と、受光面電極13と、裏面電極15とから構成される光電変換装置21であって、半導体基板10の受光面において、受光面電極13が形成される半導体基板10の基準面が、半導体基板10の受光基準面よりも光源に近くに配置されとともに、受光面が突出部を有しており、突出部上に受光面電極13が形成されてなる光電変換装置。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

受光面に 2 種類の異なるドーパント濃度の第 2 導電型層を有する第 1 導電型の半導体基板と、受光面電極と、裏面電極とから構成される光電変換装置であって、前記半導体基板の受光面において、受光面電極が形成される半導体基板の基準面が、前記半導体基板の受光基準面よりも光源に近く配置されるとともに、受光面が突出部を有しており、該突出部上に受光面電極が形成されてなることを特徴とする光電変換装置。

【請求項 2】

受光面に 2 種類の異なるドーパント濃度の第 2 導電型層を有する第 1 導電型の半導体基板と、受光面電極と、裏面電極とから構成される光電変換装置であって、前記半導体基板の受光面において、受光面電極が形成される半導体基板の基準面が、前記半導体基板の受光基準面よりも光源に近く配置され、かつ受光面電極が、ドーパント濃度の高い第 2 導電型層上に形成されてなることを特徴とする光電変換装置。

10

【請求項 3】

受光面に 2 種類の異なるドーパント濃度の第 2 導電型層を有する第 1 導電型の半導体基板と、受光面電極と、裏面電極とから構成される光電変換装置であって、前記受光面電極が、ドーパント濃度の高い第 2 導電型層上に形成され、かつ該受光面電極の線幅が、前記ドーパント濃度の高い第 2 導電型層の幅よりも小さいことを特徴とする光電変換装置。

【請求項 4】

受光面に 2 種類の異なるドーパント濃度の第 2 導電型層を有する第 1 導電型の半導体基板と、受光面電極と、裏面電極とから構成される光電変換装置であって、前記受光面電極が、ドーパント濃度の高い第 2 導電型層上に形成され、かつ前記受光面電極が形成されていない 2 種類の異なるドーパント濃度の第 2 導電型層が反射防止膜により被覆されてなることを特徴とする光電変換装置。

20

【請求項 5】

異なるドーパント濃度の第 2 導電型層が、それらの境界領域及びその近傍領域において、異なる表面形状を有して構成される請求項 1 ~ 4 のいずれか 1 つに記載の光電変換装置。

【請求項 6】

ドーパント濃度が低い第 2 導電型層が、ドーパント濃度が高い第 2 導電型層の表面凹凸の高低差よりも大きな表面凹凸の高低差を有する請求項 5 に記載の光電変換装置。

30

【請求項 7】

異なるドーパント濃度の第 2 導電型層が、それらの境界領域及びその近傍領域において、その側面が屈曲してなる請求項 1 ~ 6 のいずれか 1 つに記載の光電変換装置。

【請求項 8】

第 1 導電型の半導体基板の受光面に高濃度第 2 導電型層を形成し、受光面電極形成領域以外の高濃度第 2 導電型層を除去し、該高濃度第 2 導電型層が除去された領域に低濃度第 2 導電型層を形成することを特徴とする光電変換装置の製造方法。

【発明の詳細な説明】

【0001】

40

【発明の属する技術分野】

本発明は、光電変換装置及びその製造方法に関し、より詳細には、半導体材料を用いた高性能の光電変換装置及びその製造方法に関する。

【0002】

【従来の技術】

一般に、単結晶シリコンや多結晶シリコン基板を用いて p n 接合を有する太陽電池セル 1 は、図 5 に示すように、キャスト法により作製したシリコンインゴットをマルチワイヤー法でスライスして得た p 型シリコン基板 2 に対し、受光面全面を化学的に加工して、微細凹凸（高さ 10 μ m 程度）が形成された後、熱拡散法で n 型拡散層 3 が形成される。一方、裏面側にはボロン元素拡散などにより p⁺ 高濃度層 4 が形成されている（例えば、特許

50

文献1)。なお、n型拡散層3の表面には反射防止膜5が形成されている。反射防止膜5としては、 TiO_2 又はSi-Nが、例えば、700Å程度の膜厚で形成される。この反射防止膜5は、反射防止の光学的効果とともにシリコン表面近傍で発生するキャリアの再結合速度低減にも有効である。

受光面の受光面電極100は、通常、シリコン基板の平坦な表面に、導電性ペーストを用いた印刷法により形成される。この際、受光面電極100の形状としては、幅200μm程度の細線部分(以下、グリッド電極7)と幅2mm程度の太線部分(以下、メイングリッド電極8)を組合せたパターンを用いて、受光面のシリコン表面をできるだけ広くする工夫がされている。一方、裏面電極9は、アルミニウムを主成分とする材料を略全面にわたり印刷、焼成することで形成される。

10

【0003】

上記のような太陽電池セルは、図6に示すように、n型拡散層3の表面、つまり光入射側のシリコン表面全体が、反射低減のため、微視的には高さ1~10μmオーダーの凹凸形状となっているが、基板全体にわたりほぼ平坦な平面101から構成されている。そして、この平面101の一部にグリッド電極7が形成される。それ以外の平面101の表面には、上述したように、極めて薄い透明な膜を反射防止膜5として形成されている。

また、別の太陽電池として、レーザー加工などで表面にスリット状の溝を形成して、その溝の中にメッキ法で電極金属を埋め込むように形成する構成が提案されている(例えば、特許文献2)。これにより、電極幅を従来の数分の1の50μm程度以下に低減して、同じ面積の半導体シリコン基板を用いても、光入射面積を拡大して、より高い光電変換が得られる。また、電極幅(溝幅に相当)を50μm程度以下としながら、溝深さを大きくすることで、電極細線方向の断面面積の確保を行い、セル直列抵抗の増加を防止している。

20

【0004】

【特許文献1】特開2002-176186号公報

【特許文献2】特開平8-191152号公報

【0005】

【発明が解決しようとする課題】

しかし、平坦なシリコン基板の表面に対し単に印刷法で電極を形成した場合、単位長さの電極が担うn型拡散層の面積比例の電流量を損失なく流すためには、電極細線方向の抵抗値を一定の値にまで制限しておく必要があり(抵抗での熱損失防止)、電極幅の大幅な低減には限界がある。さらには電極周辺では、電極金属と反射低減のための凹凸シリコン表面での金属熱処理合金化から、半導体特性的には複雑な状況となる。このため、受光面で電極付近の表面再結合低減等を実現することは困難であり、光電変換効率を十分に高めることができない。

30

また、溝にメッキ法で電極金属を埋め込む方法では、溝を、シリコン基板表面から深く、かつ微細に加工することが必要である。よって、溝を形成するために、高エネルギーの微細ビームのレーザー光をシリコン基板表面に照射してシリコンを蒸発させる方法や、高速回転の薄刃での高精度加工が必要となり、製造コストの増大を招く。さらに、スリット状の溝中への電極金属の埋め込みは、低コストな印刷法や、蒸着のリフトオフ法を利用して行うことはできず、湿式めっき法等の煩雑かつ形成時間の長い電極形成方法が必要となる。よって、工業的に製造コストを減少して、高速に太陽電池を大量生産することは困難である。

40

【0006】

本発明は上記課題を鑑みなされたものであり、電極の構造及びその製造方法によって、電極幅を低減して光電変換効率を向上させるとともに、電極周辺の表面再結合を低減することができ、さらに、簡便かつ容易な方法により安価に製造することができる光電変換装置及びその製造方法を提供することを目的とする。

【0007】

【課題を解決するための手段】

本発明は、受光面に2種類の異なるドーパント濃度の第2導電型層を有する第1導電型の

50

半導体基板と、受光面電極と、裏面電極とから構成される光電変換装置であって、

(1) 前記半導体基板の受光面において、受光面電極が形成される半導体基板の基準面が、前記半導体基板の受光基準面よりも光源に近くに配置されるとともに、受光面が突出部を有しており、該突出部上に受光面電極が形成されてなること、

(2) 前記半導体基板の受光面において、受光面電極が形成される半導体基板の基準面が、前記半導体基板の受光基準面よりも光源に近く配置され、かつ受光面電極が、ドーパント濃度の高い第2導電型層上に形成されてなること、

(3) 前記受光面電極が、ドーパント濃度の高い第2導電型層上に形成され、かつ該受光面電極の線幅が、前記ドーパント濃度の高い第2導電型層の幅よりも小さいこと、または

(4) 前記受光面電極が、ドーパント濃度の高い第2導電型層上に形成され、かつ前記受光面電極が形成されていない2種類の異なるドーパント濃度の第2導電型層が反射防止膜により被覆されてなることを特徴とする。

また、本発明の光電変換装置の製造方法は、第1導電型の半導体基板の受光面に高濃度第2導電型層を形成し、受光面電極形成領域以外の高濃度第2導電型層を除去し、該高濃度第2導電型層が除去された領域に低濃度第2導電型層を形成することを特徴とする。

【0008】

【発明の実施の形態】

本発明の光電変換装置は、主として、第1導電型の半導体基板と、この基板の受光面に形成された2種類の異なるドーパント濃度の第2導電型層（以下、高濃度第2導電型層と低濃度第2導電型層と記す）と、受光面電極と、裏面電極とから構成される。なお、受光面と反対側の面である裏面には、高濃度の第1導電型がほぼ全面に形成されていることが好ましい。

半導体基板は、通常、光電変換素子に用いられる基板、例えば、シリコン基板、ゲルマニウム基板等の元素半導体基板；シリコンゲルマニウム基板、ガリウム砒素基板等の化合物半導体基板；等の公知材料を使用することができる。なかでも、シリコン基板が好ましい。半導体基板は、主にキャスト法、CZ法又はFZ法により形成されたインゴットを利用することができ、これを例えば、マルチワイヤー法等でスライスして用いることができる。半導体基板は、例えば、 $0.1 \sim 20 \text{ } \Omega \cdot \text{cm}$ 程度の抵抗値に設定されていることが適当である。

【0009】

半導体基板は、第1導電型の導電性を有している。第1導電型は、n型又はp型のいずれでもよい。半導体基板には、受光面となる側に、受光面側接合層として、2種類の異なるドーパント濃度の第2導電型層が形成されている。ここで、第2導電型とは、第1導電型とは逆導電型であり、p型又はn型のいずれであってもよい。つまり、半導体基板には、光入射側（受光面）からn型、p型の層又は光入射側からp型、n型の層のいずれの順序で配置していてもよい。各層のドーパント濃度は、特に限定されるものではなく、例えば、高濃度第2導電型層のドーパント濃度は、 $10^{18} \sim 10^{21} / \text{cm}^3$ 程度、低濃度第2導電型層のドーパント濃度は、 $10^{17} \sim 10^{20} / \text{cm}^3$ 程度が挙げられる。これらの受光面側接合層は、当該分野で公知の熱拡散法、イオンインプランテーション法により形成することができる。

【0010】

高濃度第2導電型層及び低濃度第2導電型層は、それらのドーパント濃度、受光面電極の配置、光電変換効率等を考慮して、任意の領域に配置することができる。なかでも、高濃度第2導電型層は、受光面電極の配置に対応した領域に、受光面電極よりも若干大きな面積で配置されることが好ましい。具体的には、高濃度第2導電型層は、受光面の全面積に対して2～8％程度の面積で、ストライプ状、格子状、島状等に配置することができる。その際の幅は、例えば、 $100 \mu\text{m} \sim 5 \text{ mm}$ 程度の範囲で、一定の幅又は太線及び細線を混在させてもよく、受光面電極よりも $10 \sim 100 \mu\text{m}$ 程度幅広に配置することが好ましい。また、高濃度第2導電型層及び低濃度第2導電型層の接合深さは、半導体基板の厚み等によって、適宜調整することができるが、それぞれ、例えば、 $0.1 \sim 5.0 \mu\text{m}$ 程度

、 $0.1 \sim 2.0 \mu\text{m}$ 程度が適当である。なかでも、高濃度第2導電型層は、低濃度第2導電型層より深く、高濃度第2導電型層の周辺が低濃度第2導電型層で取り囲まれるように配置することが好ましい。

【0011】

半導体基板は、受光面に、凹凸及び突出部が形成されていることが好ましい。つまり、受光面のうち、実質的に受光を行う面は、平坦でもよいが、微細な凹凸、例えば、高低差が $1 \sim 10 \mu\text{m}$ 程度の凹凸が形成されていてもよい。この凹凸は、実質的に受光を行う面に均一に形成されていることが好ましい。また、突出部は、その表面が受光を行ってもよいが、その表面に受光面電極が形成されることが好ましい。突出部の高さ（図2の線19と線18との差）は、実質的に受光を行う面（微細凹凸が形成されている場合には、凹凸の平均高さの面、以下、受光基準面と記す（図2の線18参照））に対して、 $3 \sim 100 \mu\text{m}$ 程度であることが適当である。突出部は、そのドーパント濃度、受光面電極の配置、光電変換効率等を考慮して、任意の位置に、ストライプ状、格子状、島状等に配置することができる。突出部の幅（図2の22参照）は、上述したように、高濃度第2導電層の幅（図2の23参照）に対応するか、あるいは、受光面電極の幅（図2の20参照）よりも若干幅広であることが好ましい。突出部の表面（つまり、受光面電極が形成される半導体基板の基準面）は、平坦であってもよいが、微細な凹凸が形成されていてもよい。突出表面の表面形状は、異なるドーパント濃度の第2導電型層の境界領域（図2の17参照）及びその近傍領域において、あるいは、半導体基板全面において、半導体基板の受光基準面とは異なる表面形状を有していることが好ましい。具体的には、この微細な凹凸は、実質的に受光を行う面における微細な凹凸よりも、その高低差が小さいことが好ましい。なお、突出部は、半導体基板に対して、断面形状が台形状、丘形状またはその側面が屈曲するように緩やかなものであることが好ましいが、正方形又は長方形の形状となるように急峻であってもよい。

【0012】

なお、受光面と反対側の面（裏面）は、第1導電型の導電性を有しているため、特にドーパントをドーピングしなくてもよいが、光電変換効率、裏面電極とのオーミックコンタクト性等を考慮して、ドーパント濃度を、半導体基板のドーパント濃度よりも高く設定しておくことが好ましい。例えば、半導体基板の裏面における第1導電型層のドーパント濃度は、 $10^{17} \sim 10^{20} / \text{cm}^3$ 程度が挙げられる。また、裏面の高濃度第1導電型層の接合深さは、半導体基板の厚み等によって、適宜調整することができるが、例えば、 $0.2 \sim 6.0 \mu\text{m}$ 程度が適当である。また、裏面には、裏面電界効果を得るように、例えば、BSF層や、裏面反射層（back surface reflector）を形成してもよいし、表面再結合を防止するために、酸化膜、窒化膜等を形成してもよい。裏面反射層、反射防止膜としては、シリコン酸化膜及び酸化チタン膜等の酸化膜、窒化膜等を用いることができる。

受光面電極及び裏面電極は、導電性材料により形成されるのである限り、その材料は特に限定されない。例えば、金、白金、銀、銅、アルミニウム、ニッケル、クロム、タングステン、鉄、タンタル、チタン、モリブデン等の金属又は合金、 SnO_2 、 InO_2 、 ZnO 、 ITO 等の透明導電材等の単層又は積層層、さらには、上記金属、合金との併用により形成することができる。これらは、例えば、粉末状態として、導電性ペーストを調製し、これを印刷、焼成する印刷法や、蒸着法等により形成することができる。蒸着法の場合には、フォトリソグラフィによるパターンニングを行うことが好ましい。これら電極の膜厚は、特に限定されるものではなく、例えば、 $1 \sim 50 \mu\text{m}$ 程度が挙げられる。

【0013】

受光面電極は、任意の位置に、任意の面積で形成することができるが、受光面の全面積に対して $2 \sim 8\%$ 程度の面積で、ストライプ状、格子状、島状等に配置することが適当である。なかでも、上述したように、半導体基板の実質的に受光を行う面の受光基準面よりも光源の近くに、つまり、受光面の突出部の上及び／又は高濃度第2導電型層の上に形成されていることが好ましい。

裏面電極は、裏面での内部反射を高める、いわゆる裏面反射層として形成されていてもよく、実質的に裏面全面に形成されていることが好ましい。

また、本発明の光電変換装置においては、受光面の表面であって、受光面電極が配置しない領域に、反射防止膜を形成してもよい。反射防止膜としては、上述したのと同様のものが挙げられる。反射防止膜の膜厚は、例えば、50～100nm程度が挙げられる。

なお、本発明においては、上述したように、(a)半導体基板の受光面において、受光面電極が形成される半導体基板の基準面が、半導体基板の受光基準面よりも光源に近く配置されること、(b)受光面が突出部を有しており、突出部上に受光面電極が形成されること、(c)受光面電極が、ドーパント濃度の高い第2導電型層上に形成されてなること、(d)受光面電極が、ドーパント濃度の高い第2導電型層上に形成されること、(e)受光面電極の線幅が、ドーパント濃度の高い第2導電型層の幅よりも小さいこと、(f)受光面電極が、ドーパント濃度の高い第2導電型層上に形成され、かつ前記受光面電極が形成されていない2種類の異なるドーパント濃度の第2導電型層が反射防止膜により被覆されてなることの少なくとも1つの要件を満たしていればよく、任意に2つ以上、さらに、全ての要件を満たしていることが好ましい。

【0014】

さらに、本発明の光電変換装置は、以下の実施例に説明する工程によって製造することができる。つまり、第1導電型の半導体基板の受光面に高濃度第2導電型層を形成し、受光面電極形成領域以外の高濃度第2導電型層を除去し、該高濃度第2導電型層が除去された領域に低濃度第2導電型層を形成する方法が挙げられる。この際、高濃度及び低濃度第2導電型層の形成及び高濃度第2導電型層の除去等の各工程は、当該分野で公知の方法、例えば、熱拡散法、イオンプラズマエッチング法；フォトリソグラフィ及びエッチング法等の種々の方法で行うことができる。なお、低濃度第2導電型層は、ドーパント元素としてリンを用いることが好ましい。リンを用いる場合には、半導体基板表面の鉄、銅などの特性低下の要因となる不純物の捕捉、除去を効果的に行うことができるからである。なお、高濃度及び低濃度第2導電型層の形成及び高濃度第2導電型層の除去、つまり、突出部の形成等の各工程は、必ずしも上記順序で行う必要はなく、本発明の光電変換装置を実現することができる限り、任意の順序で行ってもよい。

以下に、本発明の光電変換装置及びその製造方法の実施の形態を図面に基づいて詳細に説明する。

【0015】

実施例1：太陽電池セル

本発明における光電変換装置である太陽電池セル21は、図1及び図2に示すように、例えば、比抵抗が0.1～20Ωcm程度に設定され、その表面に微細な凹凸（例えば、1～10μm程度の高低差）を有するp型シリコン基板10を用いて形成されている。シリコン基板10の受光面の一部には、例えば、3～100μm程度の高さ（図2における19の高さと18の高さとの差）、後述する受光面電極13幅（図2の20参照）の1.1～2.0倍の幅を有する突出部（図2の22参照）を有している。この突出部上に、受光面電極13が、例えば、膜厚5～100μm程度、幅10～200μm程度の細線部分（以下、グリッド電極）と幅1～2mm程度の太線部分（以下、メイングリッド電極）を組合せたパターン（図5の受光面電極100、グリッド電極7及びメイングリッド電極8参照）で形成されている。また、受光面電極13直下を含む受光面の略全面にn型拡散層11が形成されている。n型拡散層11は、 $10^{17} \sim 10^{20} / \text{cm}^3$ 程度のドーパント濃度に設定されており、n型拡散層11において、受光面電極13下方であって、境界17付近までの領域において、ドーパント濃度が $10^{18} \sim 10^{21} / \text{cm}^3$ 程度のn型高濃度層16が形成されている。

また、受光面の受光面電極13が形成された領域以外の領域に、膜厚50～100nm程度の Si_3N_4 からなる反射防止膜12が形成されている。

一方、裏面には、ドーパント濃度が $10^{18} \sim 10^{21} / \text{cm}^3$ 程度のp型高濃度層14が形成され、その略全面にわたって、裏面電極15が形成されている。

【0016】

実施例2：太陽電池セルの製造方法1

実施例1で示した太陽電池セルは、以下の方法により製造することができる。

まず、図3のS-1に示すように、外形 $10 \times 10 \text{ cm}$ 、厚さ 0.35 mm 、比抵抗 $2 \Omega \text{ cm}$ のp型多結晶シリコン基板を、容積比1:3のフッ酸(50%)・硝酸混合溶液に1分間浸漬することにより、スライス時の破砕表面層を除去した。

次に、図3のS-2に示すように、 POCl_3 を含む雰囲気中の 960°C 電気炉中に、得られた基板を載置して、20分間リン拡散を行った。その後、HF系溶液中でPSG(リンガラス)層などを除去して、シリコン表面に、接合深さ約 $0.6 \mu\text{m}$ 、表面ドーパント濃度 $10^{20} / \text{cm}^3$ 以上のn型高濃度層(n^+ 層)を形成した。このn型高濃度層のシート抵抗値は $25 \Omega / \square$ であった。

次いで、図3のS-3に示すように、シリコン基板の受光面に、受光面電極を形成するために、幅 $100 \mu\text{m}$ 程度の細線及び幅 1 mm 程度の太線を有するパターンを、耐アルカリ性のワックス材を印刷して乾燥することにより、形成した。

図3のS-4に示すように、これを5%NaOHアルカリ水溶液に対し7%アルコールを加えた溶液に、 80°C にて10分間浸漬し、シリコン基板表面を深さ $20 \mu\text{m}$ までエッチングした。なお、シリコン基板のエッチング面は、アルカリ溶液を用いると、異方性のエッチング表面を呈し、凹凸になるが、この時、ワックス材のあるシリコン表面はエッチングされないで台形状の突出部を残存させることができる。また、線状の突出部は、受光面電極のグリッド電極のピッチに対応するように設定した。

図3のS-5に示すように、有機溶媒を用いて、不要となったワックス材を除去し、洗浄及び清浄化を行った。

図3のS-6に示すように、上記と同様のリン拡散炉を用いて、 830°C にて20分間、リンの拡散を行い、接合深さ約 $0.3 \mu\text{m}$ 、表面ドーパント濃度 $10^{19} / \text{cm}^3$ 程度のn型拡散層(n^+ 層)を形成した。このn型拡散層のシート抵抗値は $70 \Omega / \square$ であった。

次に、図3のS-7に示すように、n型拡散層表面に、プラズマCVD装置を用い、ガス種としてシラン及びアンモニアを用いて、膜厚 $700 \text{ \AA}$ 程度の Si_3N_4 を反射防止膜として形成した。

次いで、図3のS-8に示すように、シリコン基板の裏面に、Al粉末を含むペーストを印刷、乾燥し、近赤外線炉中で焼成することによって、p型高濃度層を形成した。シリコン基板裏面の残存酸化アルミニウム層は、サンドブラストにより除去し、その後、溶剤で清浄化した。

【0017】

続いて、図3のS-9に示したように、n型拡散層上の反射防止膜の上から、細線電極ピッチ 2.5 mm のパターンで、Ag粉末、ガラスフリット、樹脂、有機溶媒からなる電極ペーストをスクリーン印刷した。なお、このパターンは、S-3での突出部パターン内であって、かつ、台形幅よりも周辺 $50 \mu\text{m}$ の一定間隔となるように配置した。印刷後、近赤外線炉内にて、約 650°C の温度で焼成した。これにより、電極材料が反射防止膜を貫通し、突出部に対してオーミック接触の受光面電極13を形成することができた。この際の電極線幅は $130 \mu\text{m}$ 及び 1 mm であった。

その後、図3のS-10に示したように、シリコン基板の裏面全面にAl、Agを蒸着して裏面電極を形成し、太陽電池セルを完成した。受光面電極は、グリッド電極が39本、メイングリッド電極が2本の外観形状とした(図5参照)。なお、上記製造方法においては、実施例1の太陽電池セルを形成することができる限り、各工程の順序を入れ替えてもよい。

このようにして得られた太陽電池セルについて、電流電圧特性を測定した。この測定は、照射強度 $100 \text{ mW} / \text{cm}^2$ の疑似太陽光下(JIS標準光AM1.5G)で、太陽電池セルの2カ所のメイングリッド電極に測定器を結線して行った。

その結果を表1に示す。

【 0 0 1 8 】

実施例 3：太陽電池セルの製造方法 2

実施例 1 で示した太陽電池セルは、以下の方法によっても製造することができる。

まず、図 4 の F - 1 に示すように、図 3 の S - 1 と同様のシリコン基板を、同様に処理した。

次いで、図 4 の F - 2 に示すように、電気炉内の温度を 8 7 0 °C、3 0 分間のリン拡散を行うこと以外、図 3 の S - 2 と同様に、n 型高濃度層を得た。

次に、図 4 の F - 3 に示すように、得られた基板表面に、プラズマ C V D 装置を用いて、 Si_3N_4 膜をプロセスマスクとして形成した。この膜は、多結晶シリコン基板の表面をエッチングするときのマスクとなるので、 NaOH アルカリ水溶液でエッチングされない膜であることが必要である。この膜の表面にフォトレジストを塗布し、電極幅よりわずかに広く残るように、例えば、幅 5 0 μm 程度残るように、露光、エッチングした。フォトレジストをマスクにして、シリコン基板表面に露出した Si_3N_4 膜をフッ酸系溶液でエッチング除去した。

図 4 の F - 4 に示すように、有機溶媒により、不要となった表面のレジストを除去した。

【 0 0 1 9 】

続いて、図 4 の F - 5 に示すように、5 % NaOH アルカリ水溶液に対し 2 % アルコールを加えた溶液中、8 0 °C にて 1 5 分間のシリコン表面を深さ 3 μm までエッチングし、突出部を形成した。この際、 Si_3N_4 膜のあるシリコン表面はエッチングされないので、台形状 1 6 の突出部を形成することができる。

図 4 の F - 6 に示すように、マスク材の Si_3N_4 膜を除去し、清浄化し、図 3 の S - 6 と同様に、n 型拡散層を形成した。

次に、図 4 の F - 7 に示すように、図 3 の S - 7 と同様に、反射防止膜を形成した。

次いで、図 4 の F - 8 に示すように、図 3 の S - 8 と同様に、p 型高濃度層を形成した。その後、図 4 の F - 9 に示すように、シリコン基板の裏面を清浄化し、裏面のほぼ全面に、Al を蒸着し、裏面電極を形成した。

次いで、図 4 の F - 1 0 に示すように、n 型拡散層上の反射防止膜の上にフォトレジストを塗布し、電極と高濃度層の接触部分となる場所のフォトレジスト膜を除去するように露光現像した。

図 4 の F - 1 1 に示すように、得られたフォトレジストをマスクとして用いて、電極金属が付着する個所となる領域の反射防止膜を HF 系溶液でエッチング除去した。得られたシリコン基板の受光面のほぼ全面に、Ti 膜、Ag 膜の順に合計厚さ 5 μm で蒸着した。

図 4 の F - 1 2 に示すように、リフトオフ法を用いて、得られた基板を有機溶媒に浸漬し、レジストを膨潤させることにより、不要な金属膜を剥離除去した。このリフトオフ法により、幅 3 5 μm 及び 1 mm の受光面電極を形成することができる。

【 0 0 2 0 】

その後、F - 1 3 に示すように、不活性ガス雰囲気下、4 0 0 °C にて 1 0 分間、シンターと呼ばれる加熱処理を行って、電極のシリコン面への付着強度を高め、太陽電池セルを完成した。受光面電極は、グリッド電極が 1 4 0 本、メイングリッド電極が 4 本の外観形状とした（図 5 参照）。

なお、上記製造方法においては、実施例 1 の太陽電池セルを形成することができる限り、各工程の順序を入れ替えてもよい。

このようにして得られた太陽電池セルについて、実施例 2 と同様に、電流電圧特性を測定した。

その結果を表 1 に示す。

【 0 0 2 1 】

比較例

比較の太陽電池セルを、印刷電極形成工程を用いる図 3 の工程に準拠して、つまり、S - 1、S - 4、S - 6、S - 7 ~ 1 0 の工程で、電極形状、n 型拡散層など全て同一条件となるように作製した。この太陽電池セルは、シリコン基板の台形状の突出部と、n 型高

濃度層がない点で実施例 1 の太陽電池セルとは異なる。

得られた太陽電池セルについて、実施例 2 及び 3 と同様の測定を行った。

その結果を表 1 に示す。

【 0 0 2 2 】

【表 1】

セル構造	電極線の幅 (μm)	台形の幅 (μm)	短絡電流密度 (mA/cm^2)	開放電圧 (mV)	曲線因子	変換効率 (%)
実施例 2	130	230	34.8	626	0.765	16.6
実施例 3	35	50	37.3	641	0.788	18.8
比較例	130	—	33.1	612	0.759	15.3

10

【 0 0 2 3 】

表 1 から、変換効率などの特性について、実施例 2 及び 3 は、比較例に比べて、良好な値であった。

表 1 の結果から、同じ印刷電極（グリッド電極）幅のセルであるにもかかわらず、実施例 2 は、短絡電流密度が $1.7 \text{ mA}/\text{cm}^2$ 、開放電圧は 14 mV 、曲線因子は 0.06 、変換効率 1.3% といずれも明確な改善効果が認められた。他方、フォトリソグラフィ工程による微細電極形成を適用して本発明を実施すると、比較例の変換効率 15.3% に対し、実施例 3 では、 18.8% ときわめて高い特性向上を示し、さらに大幅な改善効果が認められた。

20

【 0 0 2 4 】

実施例 2 では、 n 型高濃度層を形成して除去したことで、不純物を低減したこと、つまり、燐ゲッターリング効果が現われたこと、さらには、 n 型拡散層の受光面としたことにより、 SiN 膜のシリコン表面へのパッシベーション効果が十分に得られ、台形部分の n 型高濃度層を形成した表面に電極を形成したことにより、曲線因子を改善することができたこと等が総合され、その結果、明確な改善効果が得られた。

また、実施例 3 は、実施例 2 の印刷電極に代えて、電極幅を $1/4$ にまで大幅低減可能な電極形成技術を用いて作製したものであり、改善効果が更に顕著に現われた。

30

なお、いずれの実施例においても、従来よりも工程コストが若干増加するが、変換効率の改善効果で、発電出力 W 当たりのコストとしては低減することができた。

【 0 0 2 5 】

【発明の効果】

本発明によれば、突出部上に受光面電極が形成されているため、光電変換装置がモジュール化等されて、例えば、封止されるまでに、鋭敏な受光面表面を機械的な接触から保護することができ、特性の劣化を極力抑えて、高性能な特性の光電変換装置、例えば、太陽電池を得ることができる。

また、受光面電極がドーパント濃度の高い第 2 導電型層上に形成されること、受光面電極の線幅がドーパント濃度の高い第 2 導電型層の幅よりも小さいことにより、鋭敏な受光面への金属付着を効果的に低減することができる。

40

さらに、第 2 導電型層が反射防止膜により被覆されるため、光の反射防止効果を得ることができ、加えて、反射防止膜が、低濃度の第 2 導電型層の表面再結合に鋭敏な部分のみならずその周辺に設けられた高濃度の第 2 導電型層までの領域まで覆うことで、低濃度の第 2 導電型層全体の表面再結合速度を長期にわたり効果的に低減することができる。これにより、例えば、太陽電池の使用環境での長期安定性の高い優れた光電変換装置を工業的に得ることが可能になる。

【 0 0 2 6 】

また、異なるドーパント濃度の第 2 導電型層が、それらの境界領域及びその近傍領域にお

50

いて、異なる表面形状を有して構成される場合、特に、ドーパント濃度が低い第2導電型層が、ドーパント濃度が高い第2導電型層の表面凹凸の高低差よりも大きな表面凹凸の高低差を有する場合、つまり、低濃度の第2導電型層が表面凹凸を有することで、光学的に表面反射低減効果を発揮させて光入射を容易にすることができる。一方、電極形成が行われる高濃度の第2導電型層の表面形状は平坦又は上記光学的な凹凸よりも、凹凸高低差を小さくした表面とすることで、電極被着を容易にできるなど、それぞれに最適な表面とすることで良好な特性改善を行うことができる。

【 0 0 2 7 】

さらに、一般に、電極形成面は、電極形成、特に印刷法の性格上、金属粉が電極細線の周りに付着しやすいが、異なるドーパント濃度の第2導電型層が、それらの境界領域及びその近傍領域において、その側面が屈曲してなる場合、このような金属の接触を、低濃度表面の受光面から遠ざけることができる。これにより、受光面での半導体特性の低下を防ぐことができ、光電変換装置を歩留まりよく、安価に提供することが可能になる。

また、第1導電型の半導体基板の受光面に高濃度第2導電型層を形成し、受光面電極形成領域以外の高濃度第2導電型層を除去し、高濃度第2導電型層が除去された領域に低濃度第2導電型層を形成するため、電極部の半導体基板表面のドーパント高濃度化及び受光面接合層の高品質化が可能になる。これにより、前者については光電変換装置の直列抵抗の低減を、後者については、光発生電流の向上を得ることができ、変換効率を大幅に改善することが可能になる。

【図面の簡単な説明】

【図1】本発明の光電変換装置である太陽電池セルの要部の概略断面図である。

【図2】図1の要部の拡大図である。

【図3】本発明の光電変換装置の製造方法を説明するための作製手順を示す図である。

【図4】本発明の光電変換装置の製造方法を説明するための別の作製手順を示す図である。

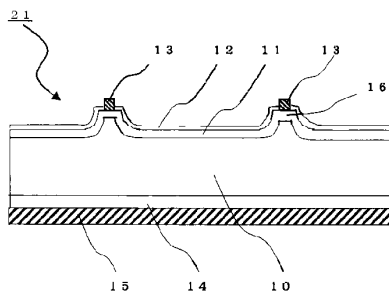
【図5】従来の太陽電池セルの斜視図である。

【図6】図5の太陽電池セルの概略断面図である。

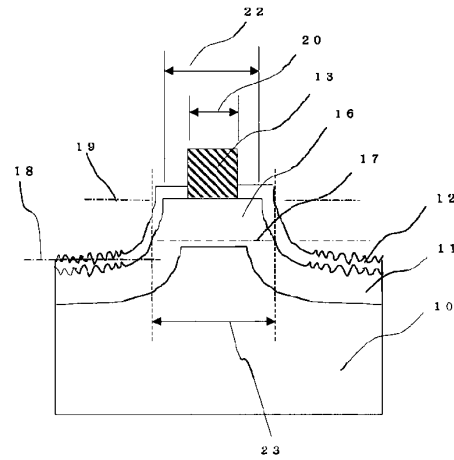
【符号の説明】

- 1 0 シリコン基板（半導体基板）
- 1 1 n型拡散層（ドーパント濃度の低い第2導電型層）
- 1 2 反射防止膜
- 1 3 受光面電極
- 1 4 p型高濃度層
- 1 5 裏面電極
- 1 6 n型高濃度層（ドーパント濃度の高い第2導電型層）
- 1 7 境界
- 2 1 太陽電池セル

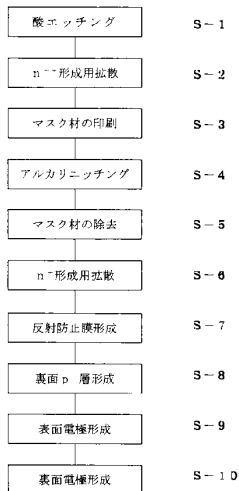
【図 1】



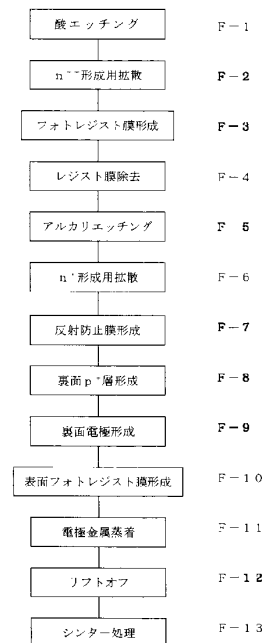
【図 2】



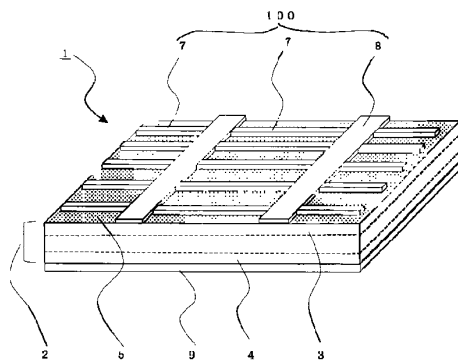
【図 3】



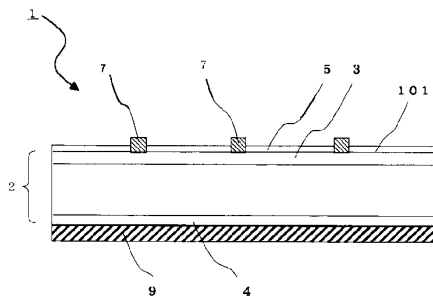
【図 4】



【 図 5 】



【 図 6 】



フロントページの続き

(72) 発明者 清水 正文

大阪府大阪市阿倍野区長池町 2 2 番 2 2 号 シャープ株式会社内

F ターム(参考) 5F051 AA02 AA03 CB13 CB20 CB21 CB27 CB30 DA03 DA20 FA06
FA14 FA18 GA04 HA03 KA09

Substitute for form 1449A/PTO INFORMATION DISCLOSURE STATEMENT BY APPLICANT <i>(use as many sheets as necessary)</i>				<i>Complete if Known</i>	
				Application Number	17/459,689
				Filing Date	August 27, 2021
				First Named Inventor	Kun YU et al.
				Art Unit	1721
				Examiner Name	Golam Mowla
Sheet	1	of	1	Attorney Docket Number	084546-000033

U.S. PATENT DOCUMENTS					
Examiner Initials*	Cite No. ¹	U.S. Patent Document	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		Number - Kind Code ² (if known)			
		US-2018/0018295	01-18-2018	Chen et al.	
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			

FOREIGN PATENT DOCUMENTS						
Examiner Initials*	Cite No. ¹	Foreign Patent Document	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T ⁶
		Country Code ³ Number ⁴ Kind Code ⁵ (if known)				
		CN-110931596	03-27-2020			Abstract
		JP-6-61515	03-04-1994			Abstract

OTHER PRIOR ART - NON PATENT LITERATURE DOCUMENTS			
Examiner Initials*	Cite No. ¹	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T ²
		Notification of Reasons for Refusal for Japanese App. No. 2022-084397, mailed August 2, 2022 (4 pages).	Machine Trans.
		Australian Notice of Acceptance for Application No. 2021225144, mailed June 10, 2022 (6 pages).	Eng.

Examiner Signature	/GOLAM MOWLA/	Date Considered	10/21/2022
--------------------	---------------	-----------------	------------

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ Applicant's unique citation designation number (optional). ² See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. ³ Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). ⁴ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁶ Applicant is to place a check mark here if English language Translation is attached.

¹ Applicant's unique citation designation number (optional). ² Applicant is to place a check mark here if English language Translation is attached.

4882-8618-0398.1

ALL REFERENCES CONSIDERED EXCEPT WHERE LINED THROUGH. /G.M./

Substitute for form 1449A/PTO INFORMATION DISCLOSURE STATEMENT BY APPLICANT <i>(use as many sheets as necessary)</i>				<i>Complete if Known</i>			
				Application Number		17/459,689	
				Filing Date		August 27, 2021	
				First Named Inventor		Kun YU et al.	
				Art Unit		Not Yet Assigned	
				Examiner Name		Not Yet Assigned	
Sheet	1	of	1	Attorney Docket Number		084546-000033	

U.S. PATENT DOCUMENTS					
Examiner Initials ¹	Cite No. ¹	U.S. Patent Document	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		Number - Kind Code ² (if known)			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			

FOREIGN PATENT DOCUMENTS						
Examiner Initials ¹	Cite No. ¹	Foreign Patent Document	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T ⁶
		Country Code ³ Number ⁴ Kind Code ⁵ (if known)				
		CN-111628049	09-04-2020			Abstract
		CN-212750903	03-19-2021			Abstract
		EP-2149915	02-03-2010			Eng.
		EP-2645421	10-02-2013			Eng.
		WO-2015/122257	08-20-2015			Abstract

OTHER PRIOR ART - NON PATENT LITERATURE DOCUMENTS			
Examiner Initials ¹	Cite No. ¹	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T ²
		Extended European Search Report for EP App. No. 21194044.0, mailed Dec 2, 2021, 7 pages.	Eng.

Examiner Signature	/GOLAM MOWLA/	Date Considered	10/22/2022
--------------------	---------------	-----------------	------------

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ Applicant's unique citation designation number (optional). ² See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. ³ Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). ⁴ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁶ Applicant is to place a check mark here if English language Translation is attached.

¹ Applicant's unique citation designation number (optional). ² Applicant is to place a check mark here if English language Translation is attached.

Electronic Acknowledgement Receipt	
EFS ID:	46725414
Application Number:	17459689
International Application Number:	
Confirmation Number:	8617
Title of Invention:	SOLAR CELL, MANUFACTURING METHOD THEREOF, AND PHOTOVOLTAIC MODULE
First Named Inventor/Applicant Name:	Kun YU
Customer Number:	22204
Filer:	Jeffrey Costellia/Natarsha Young
Filer Authorized By:	Jeffrey Costellia
Attorney Docket Number:	084546-000033
Receipt Date:	29-SEP-2022
Filing Date:	27-AUG-2021
Time Stamp:	17:33:14
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no
------------------------	----

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Response to Election / Restriction Filed	084546-000033_Response_to_RR-OA.pdf	144014 cb5663e6d4e0654450175e6e8ef0e3a06485d577	no	3

Warnings:

Information:	
Total Files Size (in bytes):	144014
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>	

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application	)	
Kun YU et al.	)	
Application No.: 17/459,689	)	Group Art Unit: 1721
Filed: August 27, 2021	)	Examiner: Golam Mowla
Title: SOLAR CELL, MANUFACTURING	)	Confirmation No.: 8617
METHOD THEREOF, AND	)	
PHOTOVOLTAIC MODULE	)	

RESPONSE TO RESTRICTION REQUIREMENT

Mail Stop Amendment - VIA EFS

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sirs:

In response to the **Request for Restriction Requirement** mailed **August 18, 2022** in the above-referenced application, please consider the following remarks:

Remarks/Arguments begin on page **2** of this paper.

REMARKS

The Request for Restriction Requirement mailed **August 18, 2022** was received and carefully reviewed. Claims **1-20** are pending in this application and subject to the following requirement for Election of Species.

The Examiner requires an Election of one of the following Inventions:

Invention I – Claims **1-17**, drawn to a solar cell, classified in H01L 31/02366; and

Invention II – Claims **18-20**, drawn to a method of making solar cell, classified in H01L 18/1868.

In response to the requirement for Election of Inventions, but without conceding the propriety thereof, Applicant elects **Invention I**, which encompasses **claims 1-17**, for further prosecution. The election of Invention I for further prosecution is being made without prejudice to the presentation of the claims of Invention II in later applications.

The applicant requests withdrawal of this Restriction Requirement and requests the elected claims to be examined on merits.

Favorable consideration and prompt allowance are respectfully requested.

CONCLUSION

It is believed that all of the grounds of the Office Action have been properly addressed. Applicant therefore respectfully requests that the Examiner reconsider and withdraw the Office Action.

Should any questions arise in conjunction with this application, or should the Examiner believe that a telephone conference would be helpful in resolving any remaining issues pertaining to this application, the undersigned can be reached at the telephone number listed below.

Except for issue fees payable under 37 C.F.R. § 1.18, the Commissioner is hereby authorized by this paper to charge any additional fees during the entire pendency of this application including fees due under 37 C.F.R. §§ 1.16 and 1.17 which may be required, including any required extension of time fees, or credit any overpayment to Deposit Account No. 19-2380.

Respectfully submitted,

/Jeffrey L. Costellia, Reg. No. 35483/

Jeffrey L. Costellia

Registration No. 35,483

NIXON PEABODY LLP

CUSTOMER NO.: 22204

799 9th Street, N.W., Suite 500

Washington, DC 20001-4501

Tel: 202-585-8000



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
17/459,689	08/27/2021	Kun YU	084546-000033	8617
22204	7590	09/06/2022	EXAMINER	
NIXON PEABODY, LLP			MOWLA, GOLAM	
799 Ninth Street, NW				
SUITE 500				
WASHINGTON, DC 20001				
		ART UNIT	PAPER NUMBER	
		1721		
		NOTIFICATION DATE	DELIVERY MODE	
		09/06/2022	ELECTRONIC	

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

ipairlink@nixonpeabody.com
nppatent@nixonpeabody.com



UNITED STATES PATENT AND TRADEMARK OFFICE

Commissioner for Patents
United States Patent and Trademark Office
P.O. Box 1450
Alexandria, VA 22313-1450
www.uspto.gov

In re Application of	:	
Yu et al.	:	
Application No. 17/459,689	:	
Filed: August 27, 2021	:	DECISION ON REQUEST
For: SOLAR CELL, MANUFACTURING	:	AND PETITION
METHOD THEREOF, AND	:	
PHOTOVOLTAIC MODULE	:	

This is a decision on the renewed request to participate in the Patent Prosecution Highway (PPH) program and the petition under 37 CFR 1.102(a), filed August 24, 2022, to make the above-identified application special.

The request and petition under 37 CFR 1.102(a) are **GRANTED**. It is noted that the PPH request and petition lists the relied upon Office of Earlier Examination (OEE) work product as the Decision to Grant a Patent with a mailing date of May 10, 2022. However, a decision to grant a patent cannot be the relied upon work product unless it was a first action allowance. Therefore, the decision herein is based on the Notice of Reasons for Refusal with a mailing date of January 11, 2022.

DISCUSSION

A grantable request to participate in the PPH pilot program and petition to make special require:

1. The U.S. application for which participation in the Global/IP5 PPH pilot program is requested must have the same earliest date, whether this is the priority date or filing date, as that of a corresponding national or regional application filed with another Global/IP5 PPH participating office or a corresponding PCT international application for which one of the Global/IP5 PPH participating offices was the International Searching Authority (ISA) or the International Preliminary Examining Authority (IPEA);
2. Applicant must:
 - a. Ensure all the claims in the U.S. application must sufficiently correspond or be amended to sufficiently correspond to the allowable/patentable claim(s) in the corresponding Office of Earlier Examination (OEE) application and
 - b. Submit a claims correspondence table in English;

3. Examination on the merits of the U.S. application has not begun;
4. Applicant must submit:
 - a. Documentation of prior office action:
 - i. a copy of the office action(s) just prior to the “Decision to Grant a Patent” from each of the Global/IP5 PPH participating office application(s) containing the allowable/patentable claim(s) or
 - ii. if the allowable/patentable claims(s) are from a “Notification of Reasons for Refusal” then the Notification of Reasons for Refusal or
 - iii. if the Global/IP5 PPH participating office application is a first action allowance then no office action from the Global/IP5 PPH participating office is necessary should be indicated on the request/petition form or
 - iv. the latest work product in the international phase of the OEE PCT application;
 - b. An English language translation of the Global/IP5 PPH participating office action or work product from (4)(a)(i)-(ii) or (iv) above; and
5. Applicant must submit:
 - a. An IDS listing the documents cited by the Global/IP5 PPH participating office examiner in the Global/IP5 PPH participating office action or work product (unless already submitted in this application) and
 - b. Copies of the documents except U.S. patents or U.S. patent application publications (unless already submitted in this application).

The request to participate in the PPH pilot program and petition comply with the above requirements, in light of the documents and remarks filed August 24, 2022. Accordingly, the above-identified application has been accorded “special” status.

Telephone inquiries concerning this decision should be directed to Jamice Brantley whose telephone number is (571) 272-3814. All other inquiries concerning the examination or status of the application are accessible in the PAIR system at <http://portal.uspto.gov/>.

/Andrea Smith/

Andrea Smith
Lead Paralegal Specialist, Office of Petitions

(19) [Publication country] JP (12) [Kind of official gazette] A (11) [Publication number]
06061515

(43) [Date of publication of application] 19940304

(54) [Title of the invention] SOLAR CELL AND MANUFACTURE THEREOF

(51) [International Patent Classification 5th Edition]

H01L 31/04

[FI]

H01L 31/04 M 7376-4M

H 7376-4M

(21) [Application number] 04361560

(22) [Filing date] 19921228

(31) [Application number of the priority] 91 4143083

91 4143084

(32) [Priority date] 19911227

19911227

(33) [Priority claim country] DE

DE

(31) [Application number of the priority] 91 4143083

91 4143084

(32) [Priority date] 19911227

19911227

(33) [Priority claim country] DE

DE

(71) [Applicant]

[Name] HEZEL RUDOLF

(72) [Inventor]

[Full name] HEZEL RUDOLF

Overview

Close

(57) [Overview]

PURPOSE: To obtain a solar cell having high efficiency in a high temp. and esp. low temp. processes by forming bump regions on a semiconductor substrate, covering them with a passivation layer, partly removing it to expose the bump regions and forming conductive contacts on the passivation material on the exposed bump regions and side faces.

CONSTITUTION: An MIS inversion layer solar cell 10 comprises a semiconductor substrate 12, inversion layer 14, passivation layer 16, metal 20 and thin tunnel oxide 18 forming MIS contacts. After bump regions 24, 28 and trench-like regions 30, 32 between them are formed on the semiconductor surface, the passivation layer 16 is deposited on the entire surface. According to required area of the contact regions, the passivation layer 16 and part of the semiconductor are removed from the bump regions. A thin tunnel insulation layer 18 is formed, and the metal 20 is deposited obliquely in vacuum on the bump regions 24, 26, 28 and side faces 34, 36, 38 to form

conductive contacts.

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-61515

(43)公開日 平成 6 年(1994) 3 月 4 日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
H 0 1 L 31/04		7376-4M	H 0 1 L 31/ 04	M
		7376-4M		H

審査請求 未請求 請求項の数34(全 24 頁)

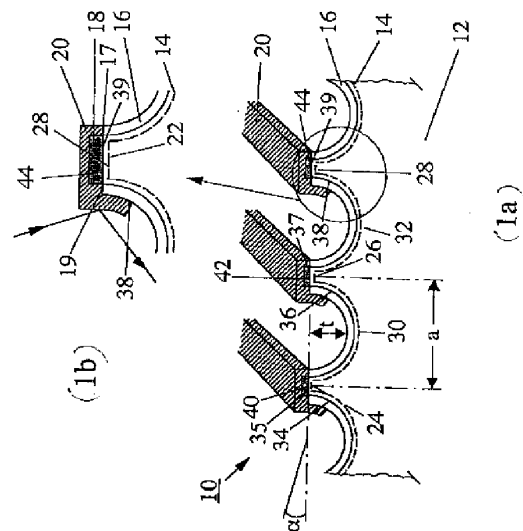
(21)出願番号	特願平4-361560	(71)出願人	593022515 ルドルフ・ヘツェル RUDOLF HEZEL ドイツ連邦共和国、デー — 8000 ミュ ンヘン 60、ホーフハイマー・シュトラ セ 12
(22)出願日	平成 4 年(1992)12月28日	(72)発明者	ルドルフ・ヘツェル ドイツ連邦共和国、デー — 8000 ミュ ンヘン 60、ホーフハイマー・シュトラ セ 12
(31)優先権主張番号	P 4 1 4 3 0 8 3, 2	(74)代理人	弁理士 鈴江 武彦
(32)優先日	1991年12月27日		
(33)優先権主張国	ドイツ (DE)		
(31)優先権主張番号	P 4 1 4 3 0 8 4, 0		
(32)優先日	1991年12月27日		
(33)優先権主張国	ドイツ (DE)		

(54)【発明の名称】 太陽電池及びその製造方法

(57)【要約】

【目的】 簡単な手段で効率のよい太陽電池を製造することを目的とする。

【構成】 隆起領域 (24, 26, 28) を有する少なくとも1つの半導体基板を具備し、この基板上にキャリアを伝達するための導電性コンタクト (20) が設けられ、かつこの基板は、少なくとも導電性コンタクトの間においてパッシベーション材料で覆われていることを特徴とする太陽電池。



【特許請求の範囲】

【請求項1】 入射する放射線エネルギーにより荷電キャリアが発生する半導体基板（12, 110, 126, 146, 160, 212, 238）と、荷電キャリアを導く導電性コンタクト（20, 40, 42, 44, 100, 102, 114, 120, 156, 164, 218, 230, 254）とを具備する太陽電池の製造方法において、

半導体基板の少なくとも一方の面に隆起領域（24, 26, 28, 116, 118, 136, 138, 148, 150, 168, 220, 222, 224, 240, 242, 274）を設ける工程、

前記隆起領域を形成した後、前記半導体基板を完全に又はほぼ完全にパッシベーション層（16, 98, 134, 158, 162, 246, 260）で覆う工程、
前記隆起領域上に存在するパッシベーション材料の少なくとも一部を除去する工程、及び前記導電性コンタクトを形成する材料を、少なくとも露出した前記隆起領域上及び隆起領域から延びる側面上のパッシベーション材料上に間接的又は直接的に配置する工程を具備し、

前記隆起領域（24, 26, 28, 116, 118, 136, 138, 148, 150, 168, 220, 222, 224, 240, 242, 274）は、前記半導体材料の機械的除去又はエッチング除去によりマスクすることなく形成され、少なくとも前記パッシベーション材料は、プラトー領域（35, 37, 39, 140）が形成され、その自由上面から側面（34, 36, 38）が延び、そこで半導体材料が露出するように、前記隆起領域から除去されることを特徴とする太陽電池（10, 46, 58, 80, 82, 94, 108, 124, 144, 210, 236, 258）の製造方法。

【請求項2】 前記導電性コンタクト（20, 40, 42, 44, 100, 102, 114, 120, 156, 164, 218, 230, 254）は、特別のマスクを用いることなく前記隆起領域の前記プラトー領域上、及び側面の少なくとも1つの上に堆積される請求項1に記載の方法。

【請求項3】 前記パッシベーション材料の局部的除去は、イオンボンバードメント及び／又はイオンエッチング、レーザエッチング、又はプラズマエッチングのようなエッチングにより、機械的に及び／又は化学-機械的に達成される請求項1に記載の方法。

【請求項4】 半導体材料が前記パッシベーション材料とともに除去される請求項1に記載の方法。

【請求項5】 前記隆起領域（24, 26, 28, 116, 118, 136, 138, 148, 150, 168, 220, 222, 224, 240, 242, 274）はストリップ状に設計され、前記導電性コンタクト（20, 40, 42, 44, 100, 102, 114, 120, 156, 164, 218, 230, 254）を

形成する材料は、すべての又は殆どすべての隆起領域上に堆積され、前記プラトー領域（35, 37, 39, 140）の幅は、パッシベーション層（16, 98, 134, 158, 162, 246, 276）の厚さの倍より大きい請求項1に記載の方法。

【請求項6】 パッシベーション材料及び必要ならば半導体基板材料は、大表面上の必要な程度に、かつ実質的に同時に、少なくとも幾つかの隆起領域（24, 26, 28, 116, 118, 136, 138, 148, 150, 168, 220, 222, 224, 240, 242, 274）から除去される請求項1に記載の方法。

【請求項7】 前記導電性コンタクト（20, 40, 42, 44, 100, 102, 114, 120, 156, 164, 218, 230, 254）を形成する材料は、真空中で、前記隆起領域（24, 26, 28, 274）のプラトー領域（35, 37, 39, 140）により形成される面に関し、 $90^\circ > \alpha > 0^\circ$ 、好ましくは $30^\circ > \alpha > 1^\circ$ の角度で堆積される請求項1に記載の方法。

【請求項8】 前記導電性コンタクト（20, 40, 42, 44, 100, 102, 114, 120, 156, 164, 218, 230, 254）を形成する材料は、無電流メタライゼーションにより電解的に堆積される請求項1に記載の方法。

【請求項9】 前記隆起領域（24, 26, 28, 116, 118, 136, 138, 148, 150, 168, 220, 222, 224, 240, 242, 274）は、例えば、前記半導体材料又は支持体に関し平行に配置されかつ動く鋸歯又はワイヤによる、又は長のご盤による、半導体材料又はそれを具備する支持体の除去により形成される請求項1に記載の方法。

【請求項10】 前記パッシベーション層（16, 98, 134, 158, 162, 246, 260, 276）は、更に適用される又は形成される層、特に導電性コンタクトを形成する材料、又は前記半導体基板内のドーパント表面層の拡散又はイオン注入のためのマスクとして使用される請求項1に記載の方法。

【請求項11】 材料（12, 110, 126, 146, 160, 212, 238, 268）、特に半導体材料又は半導体材料のための支持体材料の加工方法、特に平行又は実質的に平行な隆起領域（24, 26, 28, 274）の形成方法であって、前記材料（12, 110, 126, 146, 160, 212, 238, 268）は、相互に平行又はほぼ平行であり、加工される材料に対し移動する機械的加工要素により加工される方法。

【請求項12】 加工要素としてワイヤ、鋸歯又は長のご盤が使用される請求項11に記載の方法。

【請求項13】 入射する放射線エネルギーにより荷電キャリアが発生し、この荷電キャリアは電場により分離

可能であり、導電性コンタクト（20, 40, 42, 44, 100, 102, 114, 120, 156, 164, 218, 230, 254, 257）を介して伝導し得るような半導体基板（12, 110, 126, 146, 160, 212, 238）を具備し、この半導体基板の少なくとも一方の面には、荷電キャリアを伝導する導電性コンタクトを具備する側面（34, 36, 38）を有する有する隆起領域（24, 26, 28, 116, 118, 136, 138, 148, 150, 168, 220, 222, 224, 240, 242, 274）が形成され、前記半導体基板は、少なくとも前記コンタクト間の領域にパッシベーション層（16, 98, 134, 158, 162, 246, 260, 276）を形成するパッシベーション材料で覆われており、これが、必要ならば半導体材料が取り除かれた前記隆起領域の先端領域にコンタクトが配置され、側面に沿ったパッシベーション材料上の少なくともある領域において延びている太陽電池（10, 46, 58, 80, 82, 94, 108, 124, 144, 210, 236, 258）であって、前記隆起領域（24, 26, 28, 116, 118, 136, 138, 148, 150, 168, 220, 222, 224, 240, 242, 274）にある前記パッシベーション層（16, 98, 134, 158, 162, 246, 260, 276）は、プラトー状領域（35, 37, 39, 140）の少なくともある部分に存在し、そのプラトー状領域から前記側面（34, 36, 38）が延び、かつプラトー状領域には半導体基板又はその上に配置された層が設けられ、前記導電性コンタクト（20, 40, 42, 44, 100, 102, 114, 120, 156, 164, 218, 230, 254, 257）は、前記プラトー状領域（35, 37, 39, 140）上を、そこから延びる少なくとも1つの側面に沿って延びている太陽電池。

【請求項14】 前記隆起領域（24, 26, 28）の側面（34, 36, 38）は、少なくともある領域において凹状に形成されている請求項13に記載の太陽電池。

【請求項15】 露出する半導体材料に沿った前記コンタクト（20）は、前記側面に沿ったよりも低い横断領域を有する請求項13に記載の太陽電池。

【請求項16】 前記隆起領域（24, 26, 28）は、平行か又はほぼ平行であり、好ましくは縦溝（flute）状の溝により区画されている請求項13に記載の太陽電池。

【請求項17】 前記隆起領域（24, 26, 28, 116, 118, 136, 138, 148, 150, 168, 220, 222, 224, 240, 242, 274）は、半導体基板面から突出する、ピラミッド又は切頭ピラミッド、円錐又は切頭円錐、又は円柱により形成されている請求項13に記載の太陽電池。

【請求項18】 前記太陽電池は、その前面及び裏面に、相互に平行な隆起領域又は溝領域を有し、前記裏面の隆起領域又は溝領域は、前面とは異なるパターンを有し、対向面の前記隆起領域又は溝領域は、好ましくは相互に垂直又はほぼ垂直である請求項13に記載の太陽電池。

【請求項19】 前記隆起領域（82）及び／又はそれらの間を走る縦溝（flute）状溝領域は、それらの底部領域上で織ったように作られている請求項13に記載の太陽電池。

【請求項20】 ストリップ状隆起領域（24, 26）間の間隔は、 $30\mu\text{m} < a < 2000\mu\text{m}$ 、好ましくは $50\mu\text{m} < a < 300\mu\text{m}$ である請求項13に記載の太陽電池。

【請求項21】 前記隆起領域（24, 26, 28）間の縦溝（flute）状溝領域（30, 32）は、 $25\mu\text{m} < t < 200\mu\text{m}$ の深さを有する請求項13に記載の太陽電池。

【請求項22】 前記溝領域（30, 32）の深さに関連した前記隆起領域（24, 26, 28）の間隔は、 $10 < a/t < 1.5$ である請求項13に記載の太陽電池。

【請求項23】 入射する放射線エネルギーにより荷電キャリアが発生し、この荷電キャリアは、前記半導体基板の一方に配置され、それぞれ少数及び多数キャリアを回収する第1及び第2のコンタクト（218, 230）により伝導し得るものである半導体基板（218, 238）を有し、前記第1及び第2のコンタクト（218, 230）は、隆起領域（220, 222, 224）を有する半導体基板上に配置され、第1及び第2のコンタクトは、あらかじめパッシベーション材料で覆われ、次いでそれを取り除かれた隆起領域の部分上、又は絶縁層（214）上、又は前記半導体材料の表面ドーブ層上の少なくともある領域に配置されている太陽電池（210, 236）。

【請求項24】 前記隆起領域（220, 222, 224）は、半導体基板面から突出する、ピラミッド、円錐又は円柱形を有し、ストリップ状に配置され、平行か又はほぼ平行な縦溝（flute）状の溝により区画されている請求項23に記載の太陽電池。

【請求項25】 前記第1のコンタクトはオーミックコンタクト（218）であり、前記第2のコンタクトはMISコンタクト（230）であり、オーミックコンタクト（218）と隣接するMISコンタクトとの間隔は、2つの隣接するMISコンタクトの間のそれよりも短い請求項23に記載の太陽電池。

【請求項26】 MISコンタクト（230）とオーミックコンタクト（218）との間の間隔は、2つの連続したMISコンタクト間の間隔のほぼ半分である請求項25に記載の太陽電池。

【請求項27】 前記第1及び第2のコンタクトの、前記半導体基板に平行な外部自由面は、単一面又はほぼ単一面にある請求項23に記載の太陽電池。

【請求項28】 入射する放射線エネルギーにより荷電キャリアが発生し、この荷電キャリアは、前記半導体基板の一方に配置され、それぞれ少数及び多数キャリアを回収する第1及び第2のコンタクト(218, 230)により伝導し得るものである半導体基板(218, 238)を有し、それによって形成された前記第1の導電性コンタクト又は領域(254)は、前記第2の導電性コンタクト(257)間の表面領域の全面又はほぼ全面上に延びており、前記第1及び第2の導電性コンタクトは、種々のレベルのそれらの自由外面をもって走っている太陽電池(236, 258)。

【請求項29】 それによって形成された前記領域(254)の前記第1のコンタクト及び前記第2のコンタクト(257)は、前記太陽電池(236)の裏面の平面図において、閉鎖した又はほぼ閉鎖した面を形成する請求項28に記載の太陽電池。

【請求項30】 前記第1の導電性コンタクトは、MISコンタクト(254)であり、前記第2の導電性コンタクトは、オーミックコンタクト(257)であり、それらは順に前記半導体基板の隆起領域に配置されている請求項28に記載の太陽電池。

【請求項31】 パッシベーション層(246)が前記オーミックコンタクト(257)を覆う請求項29に記載の太陽電池。

【請求項32】 前記オーミックコンタクト(257)が、少なくとも部分的にパッシベーション層(246)を覆う金属層(248)により囲まれている請求項30に記載の太陽電池。

【請求項33】 半導体材料は単結晶、多結晶又はアモルファスであり、元素又は化合物半導体である請求項13に記載の太陽電池。

【請求項34】 入射する放射線エネルギーにより荷電キャリアが発生し、この荷電キャリアは、電場により分離可能であり、導電性前面及び後面コンタクトにより導電性伝導し得るものである半導体材料を具備し、前記裏面コンタクトはキャリア基板の隆起領域(274)により形成され、前記キャリア基板は前記隆起領域の領域において除去されたパッシベーション層(276)により覆われており、半導体材料は前記パッシベーション層及び前記露出する隆起領域上を延びている太陽電池(266)。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、入射する放射線エネルギーにより荷電キャリアが発生する半導体基板と、荷電キャリアを導く導電性コンタクトとを具備する太陽電池の製造方法であって、半導体基板の少なくとも一方の面

に隆起領域を設ける工程、前記隆起領域を形成した後に、前記半導体基板を完全に又はほぼ完全にパッシベーション層で覆う工程、前記隆起領域上に存在するパッシベーション材料の少なくとも一部を除去する工程、及び前記導電性コンタクトを形成する材料を、少なくとも露出した前記隆起領域上及び隆起領域から延びる側面上のパッシベーション材料上に間接的又は直接的に配置する工程を具備する太陽電池の製造方法に関する。

【0002】 本発明は、更に、入射する放射線エネルギーにより荷電キャリアが発生し、この荷電キャリアは電場により分離可能であり、導電性コンタクトを介して伝導し得るような半導体基板を具備し、この半導体基板の少なくとも一方の面には、荷電キャリアを伝導する導電性コンタクトを具備する側面を有する隆起領域が形成され、前記半導体基板は、少なくとも前記コンタクト間の領域にパッシベーション層を形成するパッシベーション材料で覆われており、これが、必要ならば半導体材料が取り除かれた前記隆起領域の先端領域にコンタクトが配置され、側面に沿ったパッシベーション材料上の少なくともある領域において延びている太陽電池に関する。

【0003】 最後に本発明は、入射する放射線エネルギーにより荷電キャリアが発生し、この荷電キャリアは、前記半導体基板の一方に配置され、それぞれ少数及び多数キャリアを回収する第1及び第2のコンタクトにより伝導し得るものである半導体基板を有する太陽電池に関する。

【0004】

【従来の技術】 光起電力太陽電池に高効率を達成するための基本的な主要な条件は、適切な表面構造及びコンタクト配置による光の最適な捕捉に加え、結局、出来るだけ低い接触面積及び半導体の活性領域における優れた表面パッシベーションである。結果として、短絡電流、及び逆飽和電流の低下による一太陽電池の無付加電圧及び充填率が増加する。ドーブtpn接合により作られたシリコン太陽電池の、現在の実験室における最も高い効率(24%付近)は、複雑なフォトリソグラフィーにより形成した表面基板により、及び熱二酸化硅素層による高温パッシベーションにより達成されている。この熱二酸化硅素層には、荷電キャリアの伝導に必要な金属コンタクトのためのフォトリソグラフィー及びエッチングにより、非常に小さい孔が設けられている(M. A. Green, S. R. Wenham, J. Zolper及びA. W. Blakers, 第21回IEEE光起電力専門家会議、第207頁、1990)。コンタクト領域における二重拡散は、逆飽和電流を更に減少させるのに役立つ。しかし、恐らく、複雑な製造プロセスは、地球上の太陽電池の安価な大量生産への可能性を制限するであろう。

【0005】 文献(R. Hezel, W. Hofma

Notification of reasons for refusal

Patent application number	Patent application 2022-084397
Drafting date Patent office	July 25, 2022 Toshifumi Hara
examiner Attorney for patent	Hatta International Patent
applicant Applicable provisions	Business Corporation Article 36, Paragraph 6, Item 2 (Clarification)

This application should be rejected for the following reasons. If you have any opinion on this, please submit your opinion within three months from the date of sending this notice.

cause

1. (Clarification) This application is based on 36 U.S.C.
does not meet the requirements stipulated in Article 6, Item 2.

• Reason 1 (clarity)

• Request items 1-13

The statement "the first passivation layer positioned on the second textured structure" in claim 1 is unclear as to how the first passivation layer is positioned with respect to the second textured structure, resulting in , the structural relationship between the second textured structure and the first passivation layer is unclear (if it means "the first passivation layer located on the second textured structure", please state so clearly). .). Therefore, it is possible to clearly grasp the invention from the statement of claim 1.

Can not.

Therefore, the invention according to claim 1 is not clear. The same is true for the inventions according to claims 2 to 13 that quote claim 1.

- Claims 11 and 13 In claim

11, "silicon oxynitride" is stated before the statement "said silicon oxynitride layer", but "silicon oxynitride layer" is not stated. It is not clear that the "silicon oxynitride layer" itself forms a layer.

Therefore, the invention according to claim 11 is not clear. The same applies to the invention according to claim 13, which cites claim 11.

—
<Record of prior art document search results>

•Investigated field IPC H01L31/02-31/078

yyyyyyyyyyyyyy

•Prior art document International Publication No. 2016/129481

US Patent Application Publication No. 2018/0182905 US Patent
Application Publication No. 2018/0315866 Japanese Patent Application
Publication No. 2012-216788 Chinese Patent Application Publication
No. 112599615 Chinese Patent Application Publication No. 110931596
Japanese Patent Application Publication No. 6 -61515 publication

This record of the results of the prior art search does not constitute a reason for refusal.

If you have any inquiries about the content of this notice of reasons for refusal or wish to have an interview, please contact us at the following address. If you wish to receive the draft amendments by e-mail, etc., please let us know by telephone.

First Examination Optical Device (PA2K) Toshifumi Hara TEL.
03-3581-1101 Extension 3253

拒絶理由通知書

特許出願の番号	特願 2022-084397
起案日	令和 4年 7月 25日
特許庁審査官	原 俊文 4078 2K00
特許出願人代理人	八田国際特許業務法人 様
適用条文	第 36 条第 6 項第 2 号 (明確性)

この出願は、次の理由によって拒絶をすべきものです。これについて意見がありましたら、この通知書の発送の日から 3 か月以内に意見書を提出してください。

理由

1. (明確性) この出願は、特許請求の範囲の記載が下記の点で、特許法第 36 条第 6 項第 2 号に規定する要件を満たしていない。

記

●理由 1 (明確性) について

・請求項 1-13

請求項 1 の「第 2 テクスチャ構造に位置する第 1 パッシベーション層」という記載は、第 1 パッシベーション層が第 2 テクスチャ構造に対してどのように位置するものであるのかについて不明瞭であり、その結果、第 2 テクスチャ構造と第 1 パッシベーション層との構造的関係が不明確である（「第 2 テクスチャ構造上に位置する第 1 パッシベーション層」という意味であれば、そのように明確に記載されたい。）。したがって、請求項 1 の記載から発明を明確に把握することができない。

よって、請求項 1 に係る発明は明確でない。

請求項 1 を引用する請求項 2-13 に係る発明についても同様である。

・請求項 11, 13

請求項 11 において、「前記酸化シリコン層」という記載より前に、「酸化シリコン」は記載されているが「酸化シリコン層」は記載されておらず、「酸化シリコン」自体が層を形成していることが明らかともいえないから、「前記酸化シリコン層」という記載が指すものが不明確である。

よって、請求項 1 1 に係る発明は明確でない。

請求項 1 1 を引用する請求項 1 3 に係る発明についても同様である。

<先行技術文献調査結果の記録>

- ・調査した分野 I P C H 0 1 L 3 1 / 0 2 - 3 1 / 0 7 8
 H 0 1 L 3 1 / 1 8 - 3 1 / 2 0
- ・先行技術文献 国際公開第 2 0 1 6 / 1 2 9 4 8 1 号
 米国特許出願公開第 2 0 1 8 / 0 1 8 2 9 0 5 号明細書
 米国特許出願公開第 2 0 1 8 / 0 3 1 5 8 6 6 号明細書
 特開 2 0 1 2 - 2 1 6 7 8 8 号公報
 中国特許出願公開第 1 1 2 5 9 9 6 1 5 号明細書
 中国特許出願公開第 1 1 0 9 3 1 5 9 6 号明細書
 特開平 6 - 6 1 5 1 5 号公報

この先行技術文献調査結果の記録は拒絶理由を構成するものではありません。

この拒絶理由通知の内容に関するお問合せ又は面接のご希望がありましたら、次の連絡先までご連絡ください。電子メール等で補正案等の送付を希望される場合は、その旨を電話でお知らせください。

審査第一部光デバイス (PA2K) 原 俊文 (はら としふみ)
T E L . 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 3

REQUEST FOR PARTICIPATION IN THE GLOBAL/IP5 PATENT PROSECUTION HIGHWAY (PPH) PILOT PROGRAM IN THE USPTO			
Application No.:	17/459,689	First Named Inventor:	Kun YU et al.
Filing Date:	2021-08-27	Attorney Docket No.:	084546-000033
Title of the Invention:	SOLAR CELL, MANUFACTURING METHOD THEREOF, AND PHOTOVOLTAIC MODULE		
THIS REQUEST FOR PARTICIPATION IN THE PPH PILOT PROGRAM ALONG WITH THE REQUIRED DOCUMENTS MUST BE SUBMITTED VIA EFS-WEB. INFORMATION REGARDING EFS-WEB IS AVAILABLE AT https://www.uspto.gov/patents-application-process/applying-online/about-efs-web			
APPLICANT HEREBY REQUESTS PARTICIPATION IN THE PATENT PROSECUTION HIGHWAY (PPH) PILOT PROGRAM AND PETITIONS TO MAKE THE ABOVE-IDENTIFIED APPLICATION SPECIAL UNDER THE PPH PILOT PROGRAM.			
Office of earlier examination (OEE): Japan (Japan Patent Office) OEE application number: 2021-137285 Both the OEE application and the above-identified U.S. application have the following earliest date (filing or priority date): August 4, 2021 Type of OEE work product relied upon: Decision to grant a patent Mailing date of OEE work product: May 10, 2022			
Supporting Documents 1. OEE Work Product and Translation A copy of the OEE work product and translation if not already in English: ☐ Attached ☒ Previously Submitted ☐ Not required because the decision to grant a patent was the first office action ☐ Applicant requests the USPTO to attempt to obtain the OEE work product from the Dossier Access System or PATENTSCOPE NOTE: If the applicant requests the USPTO to obtain the OEE work product electronically and such attempt is unsuccessful, the applicant will be required to supply the document. Accordingly, to avoid dismissal of the initial PPH request and potential denial of participation in the PPH program, the applicant should verify that the OEE work product is actually available via the Dossier Access System or PATENTSCOPE before requesting retrieval. If the applicant is unable to verify availability, then the applicant should submit the document with the PPH request.			
2. References Cited in OEE Work Product An information disclosure statement (IDS) listing the references cited in the OEE work product and document copies (except U.S. patents and U.S. published patent applications): ☒ Attached ☒ Previously Submitted ☐ Not required because no references were cited in the OEE work product			

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

REQUEST FOR PARTICIPATION IN THE GLOBAL/IP5 PPH PILOT PROGRAM IN THE USPTO

(continued)

Application No.:	17/459,689	First Named Inventor:	Kun YU et al.
------------------	------------	-----------------------	---------------

3. Claims Correspondence Certification Statement

All of the claims in this application sufficiently correspond to the patentable/allowable claims in the OEE application.

4. Claims Correspondence Table

Claims in U.S. Application	Patentable Claims in OEE Application	Explanation Regarding the Correspondence
1	1	Claim 1 sufficiently corresponds to claim 1 of OEE application
2	2	Claim 2 sufficiently corresponds to claim 2 of OEE application
3	3	Claim 3 sufficiently corresponds to claim 3 of OEE application
4	4	Claim 4 sufficiently corresponds to claim 4 of OEE application
5	5	Claim 5 sufficiently corresponds to claim 5 of OEE application
6	6	Claim 6 sufficiently corresponds to claim 6 of OEE application
7	7	Claim 7 sufficiently corresponds to claim 7 of OEE application
8	8	Claim 8 sufficiently corresponds to claim 8 of OEE application
9	9	Claim 9 sufficiently corresponds to claim 9 of OEE application
10	10	Claim 10 sufficiently corresponds to claim 10 of OEE application
11	11	Claim 11 sufficiently corresponds to claim 11 of OEE application
12	12	Claim 12 sufficiently corresponds to claim 12 of OEE application
13	13	Claim 13 sufficiently corresponds to claim 13 of OEE application
14	14	Claim 14 sufficiently corresponds to claim 14 of OEE application
15	14	Claim 15 sufficiently corresponds to claim 14 of OEE application
16	14	Claim 16 sufficiently corresponds to claim 14 of OEE application
17	14	Claim 17 sufficiently corresponds to claim 14 of OEE application
18	15	Claim 18 sufficiently corresponds to claim 15 of OEE application
19	16	Claim 19 sufficiently corresponds to claim 16 of OEE application
20	17	Claim 20 sufficiently corresponds to claim 17 of OEE application

Signature	/Jeffrey L. Costellia, Reg. No. 35,483/	Date	August 24, 2022
Name (print or type)	Jeffrey L. Costellia	Registration Number	35,483

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. The United States Patent and Trademark Office (USPTO) collects this information under authority of 5 CFR 1.290. The information in this system of records is used to manage all records of applicant including name, citizenship, residence, post office address and other information with respect to inventors and their legal representatives pertaining to the applicant's activities in connection with the invention for which a patent is sought. This information is protected from disclosure to third parties in accordance with the Privacy Act. However, routine uses of this information may include disclosure to the following: to law enforcement and investigation in the event that the system of records indicates a violation or potential violation of law; to a Federal, state, local, or international agency, in response to its request; to an agency, organization, or individual for the purpose of performing audit or oversight operations as authorized by law; to non-federal personnel under contract to the agency; to a court for adjudication and litigation; to the Department of Justice for Freedom of Information Act (FOIA) assistance; to members of congress working on behalf of an individual; to the Office of Personnel Management (OPM) for personnel research purposes; to National Archives and Records Administration for inspection of records; and to the Office of Management and Budget (OMB) for legislative coordination and clearance. Failure to provide any part of the requested information may result in an inability to process requests for access and information. The applicable Privacy Act System of Records Notice for this information is COMMERCE/PAT-TM-7 Patent Application Files, available at Federal Register /Vol. 78, No. 61 / Friday, March 29, 2013 /Notices 19243. <https://www.govinfo.gov/content/pkg/FR-2013-03-29/pdf/2013-07341.pdf>

Electronic Acknowledgement Receipt	
EFS ID:	46472822
Application Number:	17459689
International Application Number:	
Confirmation Number:	8617
Title of Invention:	SOLAR CELL, MANUFACTURING METHOD THEREOF, AND PHOTOVOLTAIC MODULE
First Named Inventor/Applicant Name:	Kun YU
Customer Number:	22204
Filer:	Jeffrey Costellia/Donald Sias
Filer Authorized By:	Jeffrey Costellia
Attorney Docket Number:	084546-000033
Receipt Date:	24-AUG-2022
Filing Date:	27-AUG-2021
Time Stamp:	08:30:37
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no
------------------------	----

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Petition to make Special under Patent Prosecution Highway	084546_000033_PPH2_English_translation_of_granted_claim_s_of_OEE.pdf	114120 d4b13763d26bd6389470ec17c2bb7fa21e039e7f	no	4

Warnings:

Information:					
2	Petition to make Special under Patent Prosecution Highway	084546_000033_Resp_to_PPH_Decision_and_preliminary_amendment.pdf	165960	no	9
			58cb8ab66305fdb0044667fe3a4e9dfc8d1b34bf		
Warnings:					
Information:					
3	Petition to make Special under Patent Prosecution Highway	084546_000033_IDS_Transmittal.pdf	104225	no	2
			5ead81e46e6266863bef4ac892e313fc4d6e7c3d		
Warnings:					
Information:					
4	Petition to make Special under Patent Prosecution Highway	084546_000033_PTO_1449.pdf	117495	no	1
			4a9e0e82cd1e049565d89a9eb8a7f3fc25dc54bf		
Warnings:					
Information:					
5	Petition to make Special under Patent Prosecution Highway	AU_2021225144_NOA.pdf	368783	no	6
			67c5c1004485bf2447239618fe6a20a618911b35		
Warnings:					
Information:					
6	Petition to make Special under Patent Prosecution Highway	CN110931596A.pdf	1089883	no	15
			c20c1e1412597672e9a25c48b94f110b5f2643c3		
Warnings:					
Information:					
7	Petition to make Special under Patent Prosecution Highway	JP6_61515A.pdf	1094489	no	6
			46d25c20a584d89775a1adb23c7e40c05d9ae35a		
Warnings:					
Information:					
8	Petition to make Special under Patent Prosecution Highway	JPOA_2022084397.pdf	718133	no	4
			febe54f2cb66750c4a53459927de8047606daf45		
Warnings:					
Information:					

9	Petition to make Special under Patent Prosecution Highway	084546_000033-Renewed_PPH2.pdf	161910 44fc0832a74d08f878fbc1fa58d1253dc46b6563	no	3
Warnings:					
Information:					
Total Files Size (in bytes):			3934998		
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>					

CLAIMS

1. A solar cell, comprising:

a semiconductor substrate, wherein a rear surface of the semiconductor substrate has a first texture structure, the first texture structure has a non-pyramid microstructure and includes two or more first substructures at least partially stacked on one another, a top surface of the first substructure is a polygonal plane, and for the two or more first substructures at least partially stacked on one another, in a direction away from the rear surface and perpendicular to the rear surface, a distance between a top surface of an outermost first substructure and a top surface of an adjacent first substructure is less than or equal to 2 μm ; and a one-dimensional size of the top surface of the outermost first substructure is less than or equal to 45 μm , an average of the one-dimensional size ranges from 10 μm to 15 μm ;

a first passivation layer located on a front surface of the semiconductor substrate;

a tunnel oxide layer located on the first texture structure of the rear surface of the semiconductor substrate;

a doped conductive layer located on a surface of the tunnel oxide layer, a conductivity type of doping elements of the doped conductive layer being same as that of the semiconductor substrate; and

a second passivation layer located on a surface of the doped conductive layer.

2. The solar cell according to claim 1, wherein the front surface of the semiconductor substrate has a second texture structure, the second texture structure includes a pyramid-shaped microstructure, the pyramid-shaped microstructure includes a top portion away from the front surface of the semiconductor substrate and a bottom portion close to the front surface of the semiconductor substrate, and in a direction away from the front surface and perpendicular to the front surface, a distance between the top portion and the bottom portion of the pyramid-shaped microstructure is less than or equal to 5 μm .

3. The solar cell according to claim 1, wherein for the two or more first substructures at least partially stacked on one another, in the direction away from the rear surface and perpendicular to the rear surface, the distance between the top surface of the outermost first

substructure and the top surface of the adjacent first substructure ranges from 0.3 μm to 1.2 μm .

4. The solar cell according to claim 1, wherein a shape of the top surface of the first substructure includes at least one of a diamond, a square, a trapezoid, a substantially diamond, a substantially square or a substantially trapezoid.

5 5. The solar cell according to claim 1, wherein a thickness of the tunnel oxide layer on the top surface of the outermost first substructure is less than a thickness of the tunnel oxide layer on a side surface of the outermost first substructure.

6. The solar cell according to claim 1, wherein a thickness difference between the tunnel oxide layer on the top surface of the outermost first substructure and the tunnel oxide layer on
10 a side surface of the outermost first substructure is less than or equal to 0.15 nm.

7. The solar cell according to claim 1, wherein the first texture structure further includes two or more adjacent second substructures that do not stacked on one another, and a one-dimensional size of a top surface of the second substructure away from the rear surface is less than or equal to 45 μm .

15 8. The solar cell according to claim 7, wherein the top surface of the second substructure is a polygonal plane.

9. The solar cell according to claim 8, wherein a shape of the top surface of the second substructure includes at least one of a diamond, a square, a trapezoid, a substantially diamond, a substantially square or a substantially trapezoid.

20 10. The solar cell according to claim 1, wherein the tunnel oxide layer includes at least one of a silicon oxide layer, an aluminum oxide layer, a silicon oxynitride layer, a molybdenum oxide layer or a hafnium oxide layer, and the tunnel oxide layer has a thickness ranging from 0.8 nm to 2 nm.

11. The solar cell according to claim 1, wherein the second passivation layer includes at
25 least one of a silicon nitride layer, a silicon oxide layer or a silicon oxynitride layer, and the second passivation layer has a thickness ranging from 70 nm to 120 nm.

12. The solar cell according to claim 1, wherein the first passivation layer includes at least one of a silicon oxide layer, a silicon nitride layer, an aluminum oxide layer or a silicon oxynitride layer.

30 13. The solar cell according to any one of claims 1 to 12, wherein the semiconductor

substrate is an N-type monocrystalline silicon substrate, the doped conductive layer is an N-type doped polycrystalline silicon layer, an N-type doped microcrystalline silicon layer or an N-type doped amorphous silicon layer, and the doped conductive layer has a thickness ranging from 60 nm to 200 nm.

5 14. A photovoltaic module, comprising a plurality of solar cell strings, each of the plurality of solar cell strings comprising the solar cell according to any one of claims 1 to 13.

15. A method for manufacturing the solar cell according to any one of claims 1-13, comprising:

texturing a semiconductor substrate, and forming a second texture structure on a front
10 surface of the semiconductor substrate, wherein the second texture structure includes a pyramid-shaped microstructure;

forming a doped layer with doping elements to the front surface of the textured semiconductor substrate;

polishing a rear surface of the semiconductor substrate with an alkali solution such that
15 a first texture structure is formed on the rear surface of the semiconductor substrate, wherein the first texture structure has a non-pyramid microstructure and includes two or more first substructures at least partially stacked on one another, a top surface of the first substructure is a polygonal plane, and for the two or more first substructures at least partially stacked on one another, in a direction away from the rear surface and perpendicular to the rear surface, a
20 distance between a top surface of an outermost first substructure and a top surface of an adjacent first substructure is less than or equal to 2 μm ; and a one-dimensional size of the top surface of the outermost first substructure is less than or equal to 45 μm , an average of the one-dimensional size ranges from 10 μm to 15 μm ;

forming a tunnel oxide layer on the first texture structure of the rear surface of the
25 semiconductor substrate;

depositing a polycrystalline silicon layer on a surface of the tunnel oxide layer, and forming a doped conductive layer by doping the polycrystalline silicon layer, wherein the doped conductive layer and the semiconductor substrate have doping elements of a same conductivity type;

30 forming a first passivation layer on the front surface of the semiconductor substrate; and

forming a second passivation layer on a surface of the doped conductive layer.

16. The method according to claim 15, wherein the polishing a rear surface of the semiconductor substrate with an alkali solution includes:

cleaning the rear surface of the semiconductor substrate with the alkali solution having a
5 mass fraction of 5% to 15% to remove porous silicon;

dropping, by spraying, micro-liquid droplets of the alkali solution to the rear surface of the semiconductor substrate for roughening treatment, and then performing pre-cleaning with a hydrofluoric acid having a mass fraction of 5% to 10%;

polishing the rear surface of the semiconductor substrate with a polishing liquid at a
10 polishing temperature ranging from 70°C to 80°C for a polishing time less than 260 seconds, wherein the polishing liquid includes NaOH having a mass fraction of 1% to 15%, KOH having a mass fraction of 1% to 15% and an additive having a mass fraction of 0.51% to 2.5%;

removing organic components in the polishing liquid by a mixture of potassium hydroxide having a mass fraction of 5% to 15% and hydrogen peroxide having a mass fraction of 15% to
15 40%; and

washing and drying the polished semiconductor substrate.

17. The method according to claim 15, wherein the forming a tunnel oxide layer includes at least one of:

1) depositing the tunnel oxide layer on the first texture structure of the rear surface of the
20 semiconductor substrate by a temperature change process and chemical vapor deposition;

2) during the deposition of the tunnel oxide layer, controlling a heating rate to range from 0.5°C/min to 3°C/min, a deposition temperature to range from 560°C to 620°C and a deposition time to range from 3 min to 10 min;

3) a deposition temperature of the tunnel oxide layer being lower than a deposition
25 temperature of the polycrystalline silicon layer;

4) the tunnel oxide layer comprising at least one of a silicon oxide layer, an aluminum oxide layer, a silicon oxynitride layer, a molybdenum oxide layer or a hafnium oxide layer; and

5) the tunnel oxide layer having a thickness ranging from 0.8 nm to 2 nm.

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:)
Kun YU et al.) Group Art Unit: 1721
Application No. 17/459,689) Examiner: Golam Mowla
Filed: August 27, 2021) Confirmation No. 8617
For: SOLAR CELL, MANUFACTURING)
METHOD THEREOF, AND)
PHOTOVOLTAIC MODULE)

RESPONSE TO A PETITION DECISION TO PARTICIPATE IN A PPH PROGRAM
AND
PRELIMINARY AMENDMENT

Mail Stop Petition - VIA EFS WEB
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In response to the **Petition Decision** dated **July 28, 2022** received from the **Office of Petitions**, please consider the following amendments and remarks in connection with the above-identified application.

Amendments to the Claims begin on **page 2** of this paper.

Remarks begin on **page 8** of this paper.

IN THE CLAIMS:

1. (Currently Amended) A solar cell, comprising:

a semiconductor substrate, wherein a rear surface of the semiconductor substrate has a first texture structure, the first texture structure has a non-pyramid microstructure and includes two or more first substructures at least partially stacked on one another, a top surface of the first substructure is a polygonal plane, and for the two or more first substructures at least partially stacked on one another, in a direction away from the rear surface and perpendicular to the rear surface, a distance between a top surface of an outermost first substructure and a top surface of an adjacent first substructure is less than or equal to $2\text{ }\mu\text{m}$, and a one-dimensional size of the top surface of the outermost first substructure is less than or equal to $45\text{ }\mu\text{m}$, an average of the one-dimensional size ranges from $10\text{ }\mu\text{m}$ to $15\text{ }\mu\text{m}$;

a first passivation layer located on a front surface of the semiconductor substrate;

a tunnel oxide layer located on the first texture structure of the rear surface of the semiconductor substrate;

a doped conductive layer located on a surface of the tunnel oxide layer, a conductivity type of doping elements of the doped conductive layer being same as that of the semiconductor substrate; and

a second passivation layer located on a surface of the doped conductive layer.

2. (Original) The solar cell according to claim 1, wherein the front surface of the semiconductor substrate has a second texture structure, the second texture structure includes a pyramid-shaped microstructure, the pyramid-shaped microstructure includes a top portion away from the front surface of the semiconductor substrate and a bottom portion close to the front surface of the semiconductor substrate, and in a direction away from the front surface and perpendicular to the front surface, a distance between the top portion and the bottom portion of the pyramid-shaped microstructure is less than or equal to $5\text{ }\mu\text{m}$.

3. (Original) The solar cell according to claim 1, wherein for the two or more first substructures at least partially stacked on one another, in the direction away from the rear surface and perpendicular to the rear surface, the distance between the top surface of the outermost first substructure and the top surface of the adjacent first substructure ranges from $0.3\text{ }\mu\text{m}$ to $1.2\text{ }\mu\text{m}$.

4. (Previously Presented) The solar cell according to claim 1, wherein a shape of the top surface of the first substructure includes at least one of a diamond, a square, a trapezoid, a substantially diamond, a substantially square or a substantially trapezoid.

5. (Original) The solar cell according to claim 1, wherein a thickness of the tunnel oxide layer on the top surface of the outermost first substructure is less than a thickness of the tunnel oxide layer on a side surface of the outermost first substructure.

6. (Original) The solar cell according to claim 1, wherein a thickness difference between the tunnel oxide layer on the top surface of the outermost first substructure and the tunnel oxide layer on a side surface of the outermost first substructure is less than or equal to 0.15 nm.

7. (Original) The solar cell according to claim 1, wherein the first texture structure further includes two or more adjacent second substructures that do not stacked on one another, and a one-dimensional size of a top surface of the second substructure away from the rear surface is less than or equal to 45 μm .

8. (Previously Presented) The solar cell according to claim 7, wherein the top surface of the second substructure is a polygonal plane.

9. (Previously Presented) The solar cell according to claim 8, wherein a shape of the top surface of the second substructure includes at least one of a diamond, a square, a trapezoid, a substantially diamond, a substantially square or a substantially trapezoid.

10. (Original) The solar cell according to claim 1, wherein the tunnel oxide layer includes at least one of a silicon oxide layer, an aluminum oxide layer, a silicon oxynitride layer, a molybdenum oxide layer or a hafnium oxide layer, and the tunnel oxide layer has a thickness ranging from 0.8 nm to 2 nm.

11. (Original) The solar cell according to claim 1, wherein the second passivation layer includes at least one of a silicon nitride layer, a silicon oxide layer or a silicon oxynitride layer, and the second passivation layer has a thickness ranging from 70 nm to 120 nm.

12. (Original) The solar cell according to claim 1, wherein the first passivation layer includes at least one of a silicon oxide layer, a silicon nitride layer, an aluminum oxide layer or a silicon oxynitride layer.

13. (Original) The solar cell according to claim 1, wherein the semiconductor substrate is an N-type monocrystalline silicon substrate, the doped conductive layer is an N-type doped polycrystalline silicon layer, an N-type doped microcrystalline silicon layer or an N-type doped amorphous silicon layer, and the doped conductive layer has a thickness ranging from 60 nm to 200 nm.

14. (Currently Amended) A photovoltaic module, comprising a plurality of solar cell strings, wherein each of the plurality of solar cell strings comprises a plurality of solar cells, and each of the plurality cells comprises:

a semiconductor substrate, wherein a rear surface of the semiconductor substrate has a first texture structure, the first texture structure has a non-pyramid microstructure and includes two or more first substructures at least partially stacked on one another, a top surface of the first substructure is a polygonal plane, and for the two or more first substructures at least partially stacked on one another, in a direction away from the rear surface and perpendicular to the rear surface, a distance between a top surface of an outermost first substructure and a top surface of an adjacent first substructure is less than or equal to $2\text{ }\mu\text{m}$; and

a one-dimensional size of the top surface of the outermost first substructure is less than or equal to $45\text{ }\mu\text{m}$, an average of the one-dimensional size ranges from $10\text{ }\mu\text{m}$ to $15\text{ }\mu\text{m}$;

a first passivation layer located on a front surface of the semiconductor substrate;

a tunnel oxide layer located on the first texture structure of the rear surface of the semiconductor substrate;

a doped conductive layer located on a surface of the tunnel oxide layer, a conductivity type of doping elements of the doped conductive layer being same as that of the semiconductor substrate; and

a second passivation layer located on a surface of the doped conductive layer.

15. (Original) The photovoltaic module according to claim 14, wherein the front surface of the semiconductor substrate has a second texture structure, the second texture structure includes a pyramid-shaped microstructure, the pyramid-shaped microstructure includes a top portion away from the front surface of the semiconductor substrate and a bottom portion close to the front surface of the semiconductor substrate, and in a direction away from the front surface and perpendicular to the front surface, a distance between the top portion and the bottom portion of the pyramid-shaped microstructure is less than or equal to 5 μm .

16. (Currently Amended) The photovoltaic module ~~solar cell~~ according to claim 14, wherein for the two or more first substructures at least partially stacked on one another, in the direction away from the rear surface and perpendicular to the rear surface, the distance between the top surface of the outermost first substructure and the top surface of the adjacent first substructure ranges from 0.3 μm to 1.2 μm .

17. (Currently Amended) The photovoltaic module ~~solar cell~~ according to claim 14, wherein a shape of the top surface of the first substructure includes at least one of a diamond, a square, a trapezoid, a substantially diamond, a substantially square or a substantially trapezoid ~~an average one dimensional size of the top surface of the outermost first substructure ranges from 10 μm to 15 μm .~~

18. (Currently Amended) A method for manufacturing a solar cell, comprising:
texturing a semiconductor substrate, and forming a second texture structure on a front surface of the semiconductor substrate, wherein the second texture structure includes a pyramid-shaped microstructure;

forming a doped layer with doping elements to the front surface of the textured semiconductor substrate;

polishing a rear surface of the semiconductor substrate with an alkali solution such that a first texture structure is formed on the rear surface of the semiconductor substrate, wherein the first texture structure has a non-pyramid microstructure and includes two or more first substructures at least partially stacked on one another, a top surface of the first substructure is a polygonal plane, and for the two or more first substructures at least partially stacked on one another, in a direction away from the rear surface and perpendicular to the rear surface, a distance between a top surface of an outermost first substructure and a top surface of an

adjacent first substructure is less than or equal to $2\text{ }\mu\text{m}$; and

a one-dimensional size of the top surface of the outermost first substructure is less than or equal to $45\text{ }\mu\text{m}$, an average of the one-dimensional size ranges from $10\text{ }\mu\text{m}$ to $15\text{ }\mu\text{m}$;

forming a tunnel oxide layer on the first texture structure of the rear surface of the semiconductor substrate;

depositing a polycrystalline silicon layer on a surface of the tunnel oxide layer, and forming a doped conductive layer by doping the polycrystalline silicon layer, wherein the doped conductive layer and the semiconductor substrate have doping elements of a same conductivity type;

forming a first passivation layer on the front surface of the semiconductor substrate; and forming a second passivation layer on a surface of the doped conductive layer.

19. (Original) The method according to claim 18, wherein the polishing a rear surface of the semiconductor substrate with an alkali solution includes:

cleaning the rear surface of the semiconductor substrate with the alkali solution having a mass fraction of 5% to 15% to remove porous silicon;

dropping, by spraying, micro-liquid droplets of the alkali solution to the rear surface of the semiconductor substrate for roughening treatment, and then performing pre-cleaning with a hydrofluoric acid having a mass fraction of 5% to 10%;

polishing the rear surface of the semiconductor substrate with a polishing liquid at a polishing temperature ranging from 70°C to 80°C for a polishing time less than 260 seconds, wherein the polishing liquid includes NaOH having a mass fraction of 1% to 15%, KOH having a mass fraction of 1% to 15% and an additive having a mass fraction of 0.51% to 2.5%;

removing organic components in the polishing liquid by a mixture of potassium hydroxide having a mass fraction of 5% to 15% and hydrogen peroxide having a mass fraction of 15% to 40%; and

washing and drying the polished semiconductor substrate.

20. (Original) The method according to claim 18, wherein the forming a tunnel oxide layer includes at least one of:

1) depositing the tunnel oxide layer on the first texture structure of the rear surface of the semiconductor substrate by a temperature change process and chemical vapor deposition;

2) during the deposition of the tunnel oxide layer, controlling a heating rate to range from 0.5°C/min to 3°C/min, a deposition temperature to range from 560°C to 620°C and a deposition time to range from 3 min to 10 min;

3) a deposition temperature of the tunnel oxide layer being lower than a deposition temperature of the polycrystalline silicon layer;

4) the tunnel oxide layer comprising at least one of a silicon oxide layer, an aluminum oxide layer, a silicon oxynitride layer, a molybdenum oxide layer or a hafnium oxide layer; and

5) the tunnel oxide layer having a thickness ranging from 0.8 nm to 2 nm.

REMARKS

The Petition Decision mailed July 28, 2022 was received and its contents carefully noted. This response is filed within one-month of the mailing date of the Office Communication and therefore is believed to be timely. Accordingly, Applicant respectfully submits that this response is being timely filed.

Status of Application:

Applicant timely filed a *request to participate PPH program* on **May 26, 2022** in the instant application. In response, the Petition Office **dismissed** the PPH request of May 26, 2022.

PPH Program Requirement (2)

The Petition Office dismissed the *PPH request* of **May 26, 2022** alleging that it failed to comply with **condition (2)**. Specifically, the Petition Office stated that while *conditions (1), (3), (4) and (5)* of the PPH request have been met, condition (2) of the PPH request has not been met because the *pending U.S. claim 1* does not sufficiently correspond to the *allowed OEM claim 1*.

In response, Applicant herein files concurrently herewith a second preliminary amendment to comply with the required **condition (2)** of the PPH request. In this regard, claims 1, 14, 16-18 are preliminary amended to be consistent with the allowed OEM claims in the counterpart Japanese App. No. 2021-137285 for the purposes of participating in the PPH program. Applicant submits that no new matter is introduced by this amendments.

A renewed PPH request is also being filed concurrently herewith. In addition, for the convenience of the Petition Officer, an English-language translation of OEM allowed claims also accompanies this reply.

Accordingly, Applicant respectfully submits that with the above-noted submission, the **Condition (2)** of the PPH request is considered fully satisfied.

CONCLUSION

In view of the foregoing, Applicant respectfully requests the Office of Petitions to proceed to petition review. If a conference would be helpful in expediting prosecution of the instant application, the relevant personnel is invited to telephone the undersigned to arrange such a conference.

Except for issue fees payable under 37 C.F.R. § 1.18, the Commissioner is hereby authorized by this paper to charge any additional fees during the entire pendency of this application including fees due under 37 C.F.R. §§ 1.16 and 1.17 which may be required, including any required extension of time fees, or credit any overpayment to Deposit Account No. 19-2380.

Respectfully submitted,

/Jeffrey L. Costellia, Reg. No. 35,483/
Jeffrey L. Costellia
Registration No. 35,483

NIXON PEABODY LLP
CUSTOMER NO. 22204
799 9th Street, N.W.
Suite 500
Washington, D.C. 20001-4501
TEL: (202) 585-8000

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application	)	
Kun YU et al.	)	Art Unit: 1721
Application No.: 17/459,689	)	Examiner: Golam Mowla
Filed: August 27, 2021	)	Confirmation No.: 8617
For: SOLAR CELL, MANUFACTURING	)	
METHOD THEREOF, AND	)	
PHOTOVOLTAIC MODULE	)	

INFORMATION DISCLOSURE STATEMENT

Mail Stop Amendment – Via EFS

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

In accordance with the duty of disclosure as set forth in 37 C.F.R. § 1.56, Applicant hereby submits the following information in conformance with 37 C.F.R. §§ 1.97 and 1.98. In accordance with the policies of the U.S. Patent and Trademark Office, only copies of newly cited foreign patents and non-patent literature are being submitted.

1. Foreign Communication – Japanese Office Action

Applicant notes that the *Foreign Patent Documents*: CN-110931596 and JP-6-61515; listed in the attached Form PTO-1449 were previously cited by Japan Patent Office in a Notification of Reasons for Refusal mailed **August 2, 2022** (original copy and English-language translation enclosed) issued in a counterpart Japanese App. No. 2022-084397.

2. Foreign Communication – Australian Notice of Acceptance

Applicant notes that the *U.S. Patent Document*: US-2018/0018295; listed in the attached Form PTO-1449 was previously cited by Australia Patent Office in an Australian Notice of Acceptance mailed **June 10, 2022** (original copy enclosed) issued in a counterpart Australia Patent Application No. 2021225144.

The undersigned certifies that each item of information contained in this information disclosure statement was first cited in any communication from a foreign patent office in connection with a counterpart foreign application not more than three (3) months prior to the filing of this statement.

It is requested that the accompanying Form PTO-1449 be considered and made of record in the above-identified application and that an Examiner-initialed copy of this form be returned to the undersigned.

The present Information Disclosure Statement is filed within three months of filing, or before the mailing of a first Office action on the merits, whichever is later, and is also certified under 37 C.F.R. § 1.97(e)(1); therefore, no fee is believed to be necessary at this time.

However, if a fee becomes necessary, the Commissioner is hereby authorized by this paper to charge any additional fees, except the issue fee, during the entire pendency of this application including fees due under 37 C.F.R. §§ 1.16 and 1.17 which may be required, including any required extension of time fees, or credit any overpayment to Deposit Account No. 19-2380.

Respectfully submitted,

/Jeffrey L. Costellia, Reg. No. 35,483/

Jeffrey L. Costellia
Registration No. 35,483

NIXON PEABODY LLP
CUSTOMER NO.: 22204
799 9th Street, N.W., Suite 500
Washington, DC 20001-4501
Tel: 202-585-8000

Substitute for form 1449A/PTO INFORMATION DISCLOSURE STATEMENT BY APPLICANT <i>(use as many sheets as necessary)</i>				<i>Complete if Known</i>	
				Application Number	17/459,689
				Filing Date	August 27, 2021
				First Named Inventor	Kun YU et al.
				Art Unit	1721
				Examiner Name	Golam Mowla
Sheet	1	of	1	Attorney Docket Number	084546-000033

U.S. PATENT DOCUMENTS					
Examiner Initials*	Cite No. ¹	U.S. Patent Document	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		Number - Kind Code ² (if known)			
		US-2018/0018295	01-18-2018	Chen et al.	
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			

FOREIGN PATENT DOCUMENTS						
Examiner Initials*	Cite No. ¹	Foreign Patent Document	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T ⁶
		Country Code ³ Number ⁴ Kind Code ⁵ (if known)				
		CN-110931596	03-27-2020			Abstract
		JP-6-61515	03-04-1994			Abstract

OTHER PRIOR ART – NON PATENT LITERATURE DOCUMENTS			
Examiner Initials*	Cite No. ¹	Include name of the author (in CAPITAL LETTERS); title of the article (when appropriate); title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T ²
		Notification of Reasons for Refusal for Japanese App. No. 2022-084397, mailed August 2, 2022 (4 pages).	Machine Trans.
		Australian Notice of Acceptance for Application No. 2021225144, mailed June 10, 2022 (6 pages).	Eng.

Examiner Signature		Date Considered	
--------------------	--	-----------------	--

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ Applicant's unique citation designation number (optional). ² See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. ³ Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). ⁴ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁶ Applicant is to place a check mark here if English language Translation is attached.

¹ Applicant's unique citation designation number (optional). ² Applicant is to place a check mark here if English language Translation is attached.



Espacenet

Bibliographic data: CN110931596 (A) — 2020-03-27

Method for preparing **passivation contact** structure based on PVD technology

Inventor(s): LIN JIANWEI; CHEN JIA; ZHAO YINGWEN; JI GENHUA; HUANG SI; LIU ZHIFENG; ZHANG YUZHENG ± (林建伟, ; 陈嘉, ; 赵影文, ; 季根华, ; 黄思, ; 刘志锋, ; 张育政)

Applicant(s): TAIZHOU ZHONG LAI PHOTOELECTRIC TECH CO LTD ± (泰州中来光电科技有限公司)

Classification: - **international:** H01L31/0224; H01L31/068; H01L31/18
 - **cooperative:** H01L31/022425 (CN); H01L31/068 (CN); H01L31/1804 (CN); H01L31/1868 (CN); Y02E10/546 (EP); Y02E10/547 (EP); Y02P70/50 (EP)

Application number: CN20191150687 20191031 Global Dossier

Priority number(s): CN20191150687 20191031

Abstract of CN110931596 (A)

The invention relates to a method for preparing a passivation contact structure based on a PVD technology. The method comprises the following steps: (1) cleaning the surface of a silicon wafer; (2) preparing a double-sided p+ or double-sided n+ doped region on the surface of the cleaned silicon wafer; (3) placing the back surface in a solution for etching treatment; (4) depositing a tunneling oxide layer on the back surface; (5) depositing a doped amorphous silicon film on the tunneling oxide layer by adopting a PVD method; (6) naturally cooling the silicon wafer to room temperature; and (7) carrying out rapid thermal annealing treatment on the cooled silicon wafer. According to the passivation contact structure prepared by the PVD method, the problems of winding plating and non-uniformity caused by tubular LPCVD can be well solved; and the problems of poor EL and appearance of the solar cell caused by winding plating are thoroughly solved, and the problem of increase of series resistance caused by relatively low short-circuit current and non-uniformity due to light absorption of the polycrystalline silicon layer subjected to winding plating can be solved at the same time.



(21)申请号 201911050687.9

(22)申请日 2019.10.31

(71)申请人 泰州中来光电科技有限公司
地址 225500 江苏省泰州市姜堰经济开发区开阳路

(72)发明人 林建伟 陈嘉 赵影文 季根华
黄思 刘志锋 张育政

(74)专利代理机构 北京金之桥知识产权代理有限公司 11137
代理人 李托弟

(51)Int.Cl.

H01L 31/18(2006.01)

H01L 31/0224(2006.01)

H01L 31/068(2012.01)

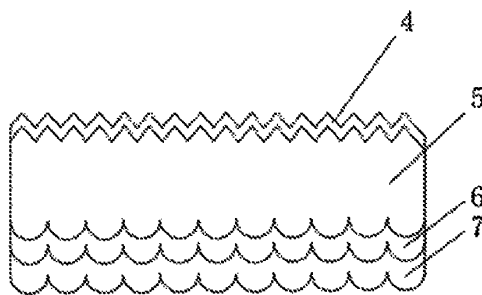
权利要求书2页 说明书7页 附图4页

(54)发明名称

一种基于PVD技术制备钝化接触结构的方法

(57)摘要

本发明涉及一种基于PVD技术制备钝化接触结构的方法。该方法包括：步骤(1)：清洗硅片表面；步骤(2)：在清洗后的硅片表面制备双面p+或双面n+掺杂区域；步骤(3)：将背面置于溶液中进行刻蚀处理；步骤(4)：在背面沉积隧穿氧化层；步骤(5)：采用PVD的方法在隧穿氧化层上沉积掺杂的非晶硅薄膜；步骤(6)：将硅片自然冷却至室温；步骤(7)：将冷却后的硅片进行快速热退火处理。本发明中的PVD法制备钝化接触结构能够很好地解决管式LPCVD带来的绕镀和不均匀问题，并彻底解决由绕镀造成的太阳能电池EL和外观不良的问题，同时能够解决因绕镀的多晶硅层吸光造成的短路电流较低及不均匀引起的串联电阻增加问题。



1. 一种基于PVD技术制备钝化接触结构的方法,其特征在于:包括以下步骤:
 - (1)、对硅片衬底的前后表面均进行清洗处理,以完成表面损伤层的去除及减反射金字塔的制备;
 - (2)、在步骤(1)处理后的硅片表面制备出双面p+掺杂区域或双面n+掺杂区域;
 - (3)、将步骤(2)处理后的含有双面p+掺杂区域或双面n+掺杂区域的硅片的背面置于溶液中进行刻蚀处理,以去除硅片的背面p+掺杂区域或n+掺杂区域,以在硅片的背面得到平缓的金字塔结构;
 - (4)、在步骤(3)处理后的硅片的背面制备一层隧穿氧化层;
 - (5)、采用PVD的方法在步骤(4)处理后的硅片的所述隧穿氧化层表面沉积一层掺杂的非晶硅薄膜;
 - (6)、将步骤(5)处理后的硅片置于反应腔内自然冷却至室温;
 - (7)、将步骤(6)冷却处理后的硅片进行快速热退火处理。
2. 根据权利要求1所述的基于PVD技术制备钝化接触结构的方法,其特征在于,在步骤(1)中,选择磷掺杂的N型硅或硼掺杂的P型硅作为衬底;其中,N型硅和P型硅的电阻率范围均为 $0.5\sim 6\Omega\cdot\text{cm}$ 。
3. 根据权利要求2所述的基于PVD技术制备钝化接触结构的方法,其特征在于,在步骤(2)中,在经过制绒处理的N型硅的两个表面进行p+掺杂区域的制备,或,在经过制绒处理的P型硅的两个表面进行n+掺杂区域的制备;其中,p+掺杂区域和n+掺杂区域的制备方法均包括旋涂法。
4. 根据权利要求3所述的基于PVD技术制备钝化接触结构的方法,其特征在于,在步骤(3)中,将含有双面p+掺杂区域或双面n+掺杂区域的硅片的背面置于HF与 HNO_3 、以及 H_2SO_4 混合溶液中进行刻蚀处理,以去除硅片的背面p+掺杂区域或n+掺杂区域,以在硅片的背面得到平缓的金字塔结构。
5. 根据权利要求1所述的基于PVD技术制备钝化接触结构的方法,其特征在于,在步骤(4)中,在硅片的背面制备隧穿氧化层的方法包括硝酸氧化法、高温热氧化法、或臭氧氧化法;其中,所述硝酸氧化法为采用质量分数为45~60%的硝酸溶液,在 $90\sim 115^\circ\text{C}$ 的反应温度下,反应4~10min。
6. 根据权利要求1所述的基于PVD技术制备钝化接触结构的方法,其特征在于,在步骤(5)中,采用PVD的方法在隧穿氧化层表面沉积掺杂的非晶硅薄膜的方法包括磁控溅射法或真空蒸镀法,其掺杂源包括硼掺杂或磷掺杂。
7. 根据权利要求6所述的基于PVD技术制备钝化接触结构的方法,其特征在于,在步骤(5)中,所述磁控溅射法包括:在反应腔中先固定掺磷或掺硼的多晶硅靶材、再固定硅片,然后在氩气氛围中,调整反应气压为 $0.1\sim 0.7\text{Pa}$,反应温度为 $100\sim 300^\circ\text{C}$,反应时间为10min~3h;所述的真空蒸镀法包括:在反应腔中固定硅片和掺磷或掺硼的蒸发源,然后在氩气氛围中,调整反应气压不小于 $1\times 10^{-6}\text{Pa}$,硅片的衬底温度为 $100\sim 300^\circ\text{C}$,沉积时间10min~6h;其中,所述非晶硅薄膜中间和边缘厚度差不大于5nm。
8. 根据权利要求1所述的基于PVD技术制备钝化接触结构的方法,其特征在于,在步骤(6)中,在真空条件下进行冷却,并使硅片从真空室取出至放入退火炉中的时间不得超过30min。

9. 根据权利要求1所述的基于PVD技术制备钝化接触结构的方法, 其特征在于, 在步骤(7)中, 在进行快速热退火处理之前, 需先将退火炉进行抽真空, 然后充氮气作为保护气。

10. 根据权利要求9所述的基于PVD技术制备钝化接触结构的方法, 其特征在于, 在步骤(7)中, 退火炉的真空为500~950mbar, 退火时间20~60min, 退火温度800~900℃。

一种基于PVD技术制备钝化接触结构的方法

技术领域

[0001] 本发明涉及太阳能电池技术领域,具体涉及一种基于PVD技术制备钝化接触结构的方法。

背景技术

[0002] 在太阳能电池技术领域,影响电池效率提高的主要因素是电子-空穴对复合。而在整个电池结构中,由于硅原子的无序排列,导致硅片表面有大量悬挂键的存在,悬挂键很容易捕获电子,使电池表面复合增加。金属-半导体接触区域也较容易产生复合。而为了提高太阳能电池效率,降低表面和金半接触区域的复合,通常会在器件表面镀一层很薄的介质或者半导体材料,即表面钝化处理。但是,一般的钝化层导电性较差,使得整个电池的串联电阻增加。近年来,学者们引入场效应晶体管中的MOS结构的概念,从而将表面优秀的钝化效果拓展到金属栅线之下,兼顾了钝化和接触,故而命名为钝化接触结构。其结构是将超薄的氧化层与重掺杂的多晶硅层相结合,多数载流子以隧穿的方式运输到金属之下,而少数载流子则会因能带的弯曲而无法穿过氧化层,因这种选择性,也把它称为选择性接触结构。采用这种结构制成的电池包括TOPCon, PERPoly和POLO等。

[0003] 如何在器件表面沉积一层高质量的多晶硅薄膜,是做好这种太阳能电池结构的关键。目前报道的多晶硅薄膜的生长方式主要是化学气相沉积(CVD),首先,这种沉积方式的温度通常在570℃以上,要在很薄的衬底上沉积,会使得衬底发生弯曲,不利于后期加工;其次,反应的气体会到衬底的背面,发生反应并沉积成膜,形成所谓的绕镀,难以达到单面镀膜的需求;另外,CVD使用的化学特气会引起环境污染。而物理气相沉积(PVD)法,所需温度在250℃以下,可人为控制气化的粒子沿固定角度运动至衬底,有很好的单面性;同时整个反应都是物理过程,无尾气排放,是一种绿色技术。因此PVD法沉积多晶硅薄膜是钝化接触结构太阳能电池的未来发展之路。

发明内容

[0004] 本发明的目的在于克服现有技术的不足,提供一种基于PVD技术制备钝化接触结构的方法。该方法能够很好地解决管式LPCVD带来的绕镀和不均匀问题,并彻底解决由绕镀造成的太阳能电池EL和外观不良的问题,同时能够解决因绕镀的多晶硅层吸光造成的短路电流较低及不均匀引起的串联电阻增加问题。

[0005] 本发明的一种基于PVD技术制备钝化接触结构的方法,其技术方案为:包括以下步骤:

[0006] (1)、对硅片衬底的前后表面均进行清洗处理,以完成表面损伤层的去除及减反射金字塔的制备;

[0007] (2)、在步骤(1)处理后的硅片表面制备出双面p+掺杂区域或双面n+掺杂区域;

[0008] (3)、将步骤(2)处理后的含有双面p+掺杂区域或双面n+掺杂区域的硅片的背面置于溶液中进行刻蚀处理,以去除硅片的背面p+掺杂区域或n+掺杂区域,以在硅片的背面得

到平缓的金字塔结构;

[0009] (4)、在步骤(3)处理后的硅片的双面p+掺杂区域或双面n+掺杂区域制备一层隧穿氧化层;

[0010] (5)采用PVD的方法在步骤(4)处理后的硅片的所述隧穿氧化层表面沉积一层掺杂的非晶硅薄膜;

[0011] (6)、将步骤(5)处理后的硅片置于反应腔内自然冷却至室温;

[0012] (7)、将步骤(6)冷却处理后的硅片进行快速热退火处理。

[0013] 本发明提供一种基于PVD技术制备钝化接触结构的方法,还包括如下附属技术方案:

[0014] 其中,在步骤(1)中,选择磷掺杂的N型硅或硼掺杂的P型硅作为衬底;其中,N型硅和P型硅的电阻率范围均为 $0.5\sim 6\ \Omega\cdot\text{cm}$ 。

[0015] 其中,在步骤(2)中,在经过制绒处理的N型硅的两个表面进行p+掺杂区域的制备,或,在经过制绒处理的P型硅的两个表面进行n+掺杂区域的制备;其中,p+掺杂区域和n+掺杂区域的制备方法均包括旋涂法。

[0016] 其中,在步骤(3)中,将含有双面p+掺杂区域或双面n+掺杂区域的硅片的背面置于HF与 HNO_3 、以及 H_2SO_4 混合溶液中进行刻蚀处理,以去除硅片的背面p+掺杂区域或n+掺杂区域,以在硅片的背面得到平缓的金字塔结构。其中,在步骤(4)中,在硅片的背面制备隧穿氧化层制备隧穿氧化层的方法包括硝酸氧化法、高温热氧化法、或臭氧氧化法;其中,所述硝酸氧化法为采用质量分数为45~60%的硝酸溶液,在 $90\sim 115^\circ\text{C}$ 的反应温度下,反应4~10min。

[0017] 其中,在步骤(5)中,采用PVD的方法在隧穿氧化层表面沉积掺杂的非晶硅薄膜的方法包括磁控溅射法或真空蒸镀法,其掺杂源包括硼掺杂或磷掺杂。

[0018] 其中,在步骤(5)中,所述磁控溅射法包括:在反应腔中先固定掺磷或掺硼的多晶硅靶材、再固定硅片,然后在氩气氛围中,调整反应气压为 $0.1\sim 0.7\text{Pa}$,反应温度为 $100\sim 300^\circ\text{C}$,反应时间为10min~3h;所述的真空蒸镀法包括:在反应腔中固定硅片和掺磷或掺硼的蒸发源,然后在氩气氛围中,调整反应气压不小于 $1\times 10^{-6}\text{Pa}$,硅片的衬底温度为 $100\sim 300^\circ\text{C}$,沉积时间10min~6h。

[0019] 其中,在步骤(5)中,所述非晶硅薄膜中间和边缘厚度差不大于5nm。

[0020] 其中,在步骤(6)中,在真空条件下进行冷却,并使硅片从真空室取出至放入退火炉中的时间不得超过30min。

[0021] 其中,步骤(7)中,在进行快速热退火处理之前,需先将退火炉进行抽真空,然后充氮气作为保护气。

[0022] 本发明的实施包括以下技术效果:

[0023] 本发明的技术优点包括:(1)PVD方法沉积多晶硅薄膜,可实现单面成膜,无绕镀产生,较好地解决了目前钝化接触结构电池产业化过程中出现的EL和外观不良问题。同时也降低了因正面绕镀引起的多晶硅的寄生性吸收,从而提高短路电流密度;(2)成膜均匀,可降低金半接触区域的接触电阻,从而提高电池填充因子;(3)工艺过程简单,可降低电池制造成本,无绕度产生,无需专门进行去除绕镀工艺。(4)薄膜沉积所需温度较低,且无有害废物的排放。

[0024] 因此,本发明的基于PVD技术制备钝化接触结构的方法能够很好地解决管式LPCVD带来的绕镀和不均匀问题,并彻底解决由绕镀造成的太阳电池EL和外观不良的问题,同时能够解决因绕镀的多晶硅层吸光造成的短路电流较低及不均匀引起的串联电阻增加问题。

附图说明

[0025] 图1为本发明实施例的一种基于PVD技术制备钝化接触结构的方法步骤(1)中制绒后的电池结构截面示意图。

[0026] 图2为本发明实施例的一种基于PVD技术制备钝化接触结构的方法步骤(2)中双面硼扩后的电池结构截面示意图。

[0027] 图3为本发明实施例的一种基于PVD技术制备钝化接触结构的方法步骤(3)中背面刻蚀后的电池结构截面示意图。

[0028] 图4为本发明实施例的一种基于PVD技术制备钝化接触结构的方法步骤(4)中沉积隧穿氧化层后的电池结构截面示意图。

[0029] 图5为对比例的一种基于PVD技术制备钝化接触结构的方法步骤(5)-步骤(8)中CVD方法沉积多晶硅的电池结构截面示意图。

[0030] 图6为本发明实施例的一种基于PVD技术制备钝化接触结构的方法(5)-步骤(8)中PVD方法沉积多晶硅薄膜的电池结构截面示意图。

[0031] 图7为本发明实施例的一种基于PVD技术制备钝化接触结构的方法步骤(9)中钝化后的电池结构示意图。

[0032] 图8为本发明实施例的一种基于PVD技术制备钝化接触结构的方法步骤(10)中金属化后的电池结构示意图。

[0033] 图9为本发明实施例的PVD法和对比例CVD法制备的钝化接触结构背面中心与边缘掺杂曲线对比示意图。

[0034] 图中,1-正面p+金属电极,2-正面SiNx钝化减反膜,3-正面Al₂O₃钝化膜,4-p+掺杂区域,5-N型硅基体,6-隧穿氧化层,7-背面n+掺杂区背面n+掺杂区,8-背面SiNx钝化膜,9-背面n+金属电极,10-正面绕镀。

具体实施方式

[0035] 下面结合实例对本发明进行详细的说明。

[0036] 具体实施例仅仅是对本发明的解释,并不是对本发明的限制,本领域技术人员在阅读完本说明书后可以根据需要对本实施例做出没有创造性贡献的修改,但只要在本发明的权利要求范围内都受到保护。

[0037] 对比例

[0038] 对比例提供的一种N型钝化接触结构太阳电池,从上往下包括正面p+金属电极1,正面SiNx钝化减反射膜2,正面Al₂O₃钝化膜3,p+掺杂区域4,N型硅基体5,隧穿氧化层6,背面n+掺杂区7,背面SiNx钝化膜8,背面n+金属电极9,正面绕镀10。

[0039] 对比例的N型钝化接触结构太阳电池的制备方法,包括以下步骤:

[0040] (1)、选择厚度150~170μm,电阻率0.3~2Ω·cm,尺寸156.75mm×156.75mm的N型硅5作为衬底进行双面制绒处理,结构如图1所示。

[0041] (2)、在经过制绒处理后的N型硅表面采用三氯化硼作为硼源进行双面p+掺杂区域4的制备,扩散温度850~1000℃,时间50~80min,方阻80~100 Ω/sqr ,完成本步后的电池结构示意图如图2所示。

[0042] (3)、将经过双面硼扩散的N型硅,选择其中一面放入HF与HNO₃、以及H₂SO₄混合溶液中进行刻蚀处理,以去除背面p+掺杂区域4,得到刻蚀后平缓的金字塔表面,其中HF:HNO₃:H₂SO₄:H₂O=1:4:0.6:3, HF质量分数20%,刻蚀后电池结构示意图如图3所示。

[0043] (4)、采用高温热氧化的方法在经过刻蚀后的N型硅背面制备一层超薄隧穿氧化层6。具体地,在常压、纯氧、温度>1000℃条件下,反应10~20min,得到隧穿氧化层的厚度1~3nm,电池结构示意图如图4所示。

[0044] (5)、将步骤(4)处理后的N型硅N型硅放置于石英舟上,两片置于一个槽中,非晶硅薄膜沉积面朝内相贴,沉积多晶硅薄膜的面朝外,将石英舟送入LPCVD管中,将管内抽真空至压力为 7×10^{-3} Torr,温度升至600~700℃,通入SiH₄沉积10~40分钟后,再次抽真空,确认危险气体SiH₄抽干后通入氮气至常压,沉积结束后,降温,在隧穿氧化形成一层非晶硅薄膜,取出N型硅;

[0045] (6)、采用离子注入设备将磷注入多晶硅层,剂量设定为 $5 \times 10^{15} \text{cm}^{-3}$,牵引电压为10keV;

[0046] (7)、将步骤(6)处理后的N型硅置于H₂O₂和HCl混合溶液中清洗,去除离子注入过程中可能引入的金属杂质,再置于去离子水中清洗去除化学残留,最后烘干;

[0047] (8)、将步骤(7)处理后的N型硅置于石英舟中,靠传动装置送入退火炉中,升温至800~900℃,并以10~26L/min的速率通入氮气,同时以3L/min氧气,持续20分钟后,降温至700℃左右,从石英舟中取出后,冷却至常温,N型硅背面的n+掺杂区域7制备完成,如图5所示,此步骤完成后,N型硅正面会形成正面绕镀10。

[0048] 至此,采用CVD法制备钝化接触结构步骤已全部完成,为了更加详细说明实施例的实施效果。在对比例的钝化接触结构的基础上增加了步骤(9)和步骤(10),最终以太阳电池结构的方式呈现实施例的实施效果。

[0049] (9)、对退火后的N型硅进行前后表面钝化处理,其中N型硅正面的p+掺杂区域4采用Al₂O₃钝化膜3和SiNx钝化减反射膜2双层的钝化结构,N型硅背面的n+掺杂区域7采用SiNx钝化膜8的单层钝化结构,电池结构示意图如图7所示。

[0050] (10)、在N型硅正面的p+掺杂区域4采用银铝浆印刷正面p+金属电极1,并高温烧结,在N型硅背面的n+掺杂区域7采用银浆印刷背面n+金属电极,并高温烧结。其中温度范围800~900℃,正背面细栅数设置为106根,此步骤完成后,电池结构示意图如图8所示。

[0051] 下面以具体的实施例对本发明的基于PVD技术制备钝化接触结构的方法和电池进行详细地介绍。

[0052] 实施例1

[0053] 本实施例的一种N型钝化接触结构太阳电池,如图8所示,从上往下包括正面p+金属电极1,正面SiNx钝化减反射膜2,正面Al₂O₃钝化膜3,p+掺杂区域4,n型硅基体5,隧穿氧化层6,背面n+掺杂区域7,背面SiNx钝化膜8,背面n+金属电极9。

[0054] 本实施例的一种N型钝化接触结构太阳电池的制备方法,包括以下步骤:

[0055] (1)、选择厚度150~170 μm ,电阻率 $0.3 \sim 2 \Omega \cdot \text{cm}$,尺寸156.75mm×156.75mm的N型

硅5作为衬底进行双面制绒处理,完成本步骤之后的电池结构如图1所示。

[0056] (2)、在经过制绒处理后的N型硅表面采用三氯化硼作为硼源进行双面p+掺杂区域4的制备,扩散温度850~1000℃,时间50~80min,方阻80~100 Ω/sqr ,完成本步骤之后的电池结构如图2所示。

[0057] (3)、将经过双面硼扩散的N型硅,选择其中一面放入HF与HNO₃、以及H₂SO₄混合溶液中进行刻蚀处理,以去除背面p+掺杂区域4,得到刻蚀后平缓的金字塔表面,其中, HF:HNO₃:H₂SO₄:H₂O=1:4:0.6:3, HF质量分数20%,完成本步骤之后的电池结构如图3所示。

[0058] (4)、采用高温热氧化的方法在经过刻蚀后的N型硅背面制备一层超薄隧穿氧化层6。具体地,在常压、纯氧、温度>1000℃条件下,反应10~20min,得到隧穿氧化层6的厚度1~3nm,完成本步骤之后的电池结构如图4所示。

[0059] 需要说明的是,本步骤中还可以通过设置硝酸氧化法、或臭氧氧化法制备所述隧穿氧化层;其中,所述硝酸氧化法为采用质量分数为45~60%的硝酸溶液,在90~115℃的反应温度下,反应4~10min。

[0060] (5)、采用磁控溅射法制备多晶硅膜。首先在反应腔中固定掺磷的多晶硅靶材,其次固定经过步骤(4)处理后的N型硅,使N型硅和靶材之间距离为4~8cm,关闭腔门,抽真空。在氩气氛围中,调整反应气压为0.1~0.7Pa,流量30~45sccm,控制溅射温度100~300℃,功率100~250W,反应时间10min~3h。其中,所述非晶硅薄膜中间和边缘厚度差不大于5nm。

[0061] (6)、溅射结束后,调节氩气流量至0,关闭加热和功率,使N型硅在反应腔内的真空条件下自然冷却,冷却至室温后,N型硅出真空室至进入退火炉中的时间不得超过30min。

[0062] (7)、将冷却后的N型硅进行快速热退火处理,先将退火炉抽真空至 10^{-4} pa以下,然后充氮气作为保护气。退火过程中退火炉的真空度500~950mbar,退火时间20~60min,退火温度800~900℃。

[0063] (8)、经过退火后的N型硅,原有的非晶结构被破坏,掺杂的磷原子被激活,形成晶粒尺寸较小,高质量细颗粒的掺磷的多晶硅薄膜,在太阳电池中称为背面n+掺杂区域7,如图6所示,此步骤完成后N型硅正面无绕镀产生。

[0064] 至此,采用PVD法制备钝化接触结构步骤已全部完成。为了更加详细说明实施例的实施效果,本实施例在钝化接触结构的基础上增加了步骤(9)和步骤(10),最终以太阳电池结构的方式呈现实施例的实施效果。

[0065] (9)、对退火后的N型硅进行前后表面钝化处理,其中N型硅正面的p+掺杂区4域采用Al₂O₃钝化膜3和SiNx钝化减反射膜2的双层钝化结构,N型硅背面的n+掺杂区域采用SiNx钝化膜8的单层钝化结构。

[0066] (10)、N型硅正面的p+掺杂区域4采用银铝浆印刷正面p+金属电极1,并高温烧结,N型硅背面的n+掺杂区域7采用银浆印刷背面n+金属电极,并高温烧结。其中温度范围800~900℃,正背面细栅数均设置为106根。

[0067] 实施例2

[0068] 本实施例的一种N型钝化接触结构太阳电池,如图8所示,从上往下包括正面p+金属电极1,正面SiNx钝化减反射膜2,正面Al₂O₃钝化膜3,p+掺杂区域4,n型硅基体5,隧穿氧化层6,背面n+掺杂区域7,背面SiNx钝化膜8,背面n+金属电极9。

[0069] 本实施例的一种N型钝化接触结构太阳电池的制备方法,包括以下步骤:

[0070] (1)、选择厚度150~170 μm ,电阻率0.3~2 $\Omega\cdot\text{cm}$,尺寸156.75mm $\times$ 156.75mm的N型硅5作为衬底进行双面制绒处理,完成本步骤之后的电池结构如图1所示。

[0071] (2)、在经过制绒处理后的N型硅表面采用三氯化硼作为硼源进行双面p+掺杂区域4的制备,扩散温度850~1000 $^{\circ}\text{C}$,时间50~80min,方阻80~100 Ω/sqr ,完成本步骤之后的电池结构如图2所示。

[0072] (3)、将经过双面硼扩散的N型硅,选择其中一面放入HF与 HNO_3 、以及 H_2SO_4 混合溶液中进行刻蚀处理,以去除背面p+掺杂区域4,得到刻蚀后平缓的金字塔表面,其中 $\text{HF}:\text{HNO}_3:\text{H}_2\text{SO}_4:\text{H}_2\text{O}=1:4:0.6:3$,HF质量分数20%,完成本步骤之后的电池结构如图3所示。

[0073] (4)、采用高温热氧化的方法在经过刻蚀后的N型硅背面制备一层超薄隧穿氧化层6。具体地,在常压、纯氧、温度>1000 $^{\circ}\text{C}$ 条件下,反应10~20min,得到隧穿氧化层的厚度1~3nm,完成本步骤之后的电池结构如图4所示。

[0074] 需要说明的是,本步骤中还可以通过设置硝酸氧化法、或臭氧氧化法制备所述隧穿氧化层;其中,所述硝酸氧化法为采用质量分数为45~60%的硝酸溶液,在90~115 $^{\circ}\text{C}$ 的反应温度下,反应4~10min。

[0075] (5)、采用真空蒸镀法制备多晶硅膜。首先在反应腔中固定经过步骤(4)处理后N型硅和掺磷的蒸发源。关闭腔门,抽真空,在氩气氛围中,调整气压在 $1\times 10^{-6}\text{Pa}$ 以下,加热电流100~150mA,蒸镀速率0.5~0.7nm/s,N型硅的衬底温度为35~50 $^{\circ}\text{C}$,沉积时间10min~6h。

[0076] (6)、蒸镀结束后,调节氩气流量和电流至0,关闭加热,使N型硅在反应腔内的真空条件下自然冷却。冷却至室温后快速破真空取N型硅进行下一个步骤处理。N型硅出真空室至进入退火炉中的时间不得超过30min。

[0077] (7)、将冷却后的N型硅进行快速热退火处理,先将退火炉抽真空至 10^{-4}pa 以下,然后充氮气作为保护气。退火过程中退火炉的真空度500~950mbar,退火时间20~60min,退火温度800~900 $^{\circ}\text{C}$ 。

[0078] (8)、经过退火后的N型硅,原有的非晶结构被破坏,掺杂的磷原子被激活,形成晶粒尺寸较小,高质量细颗粒的掺磷的多晶硅薄膜,在太阳电池中称为背面n+掺杂区域7,如图6所示,此步骤完成后,N型硅正面无绕镀产生。至此,采用PVD法制备钝化接触结构步骤已全部完成。

[0079] (9)、对退火后的N型硅进行前后表面钝化处理,其中N型硅正面的p+掺杂区域4采用 Al_2O_3 钝化膜3和 SiNx 钝化减反射膜2的双层钝化结构,N型硅背面的n+掺杂区域7采用 SiNx 钝化膜的单层钝化结构。

[0080] (10)、在N型硅正面的p+掺杂区域采用银铝浆印刷正面p+金属电极并高温烧结,背面N型硅背面的n+掺杂区域采用银浆印刷背面n+金属电极,并高温烧结。其中温度范围800~900 $^{\circ}\text{C}$,正背面细栅数都是106根。

[0081] 本发明实施例的技术优点主要体现在:较好地解决了目前主流的管式CVD法沉积多晶硅薄膜的绕镀及因成膜不均匀导致的接触电阻增加问题,可提高钝化接触结构太阳电池产业化过程中的外观良品率及电池效率。

[0082] 从图9可知,对比例中CVD法制备的背面n+掺杂区掺杂面边缘和中心点的ECV曲线相差较大,本发明实施例中PVD法得到的边缘和中心点的ECV曲线较为接近。因此,本发明中提供的PVD法可以改善CVD法制备的薄膜内均匀性较差的问题。

[0083] 如下表1所示的电性能结果表明：由于PVD法较好地解决了因成膜不均匀导致接触电阻增加的问题，从而提高电池效率。

[0084] 表1

[0085]

分组	电流mA/cm2	开压mv	填充%	并联电阻	串联电阻	效率
实施例1	40.2	701.9	80.58	1329	0.0014	22.73
实施例2	40.13	702.3	80.55	1258	0.0013	22.7
对比例	40.02	697.3	80.32	1303	0.0015	22.41

[0086] 最后应当说明的是，以上实施例仅用以说明本发明的技术方案，而非对本发明保护范围的限制，尽管参照较佳实施例对本发明作了详细地说明，本领域的普通技术人员应当理解，可以对本发明的技术方案进行修改或者等同替换，而不脱离本发明技术方案的实质和范围。

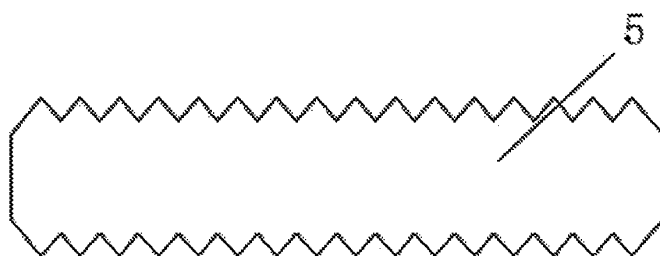


图1

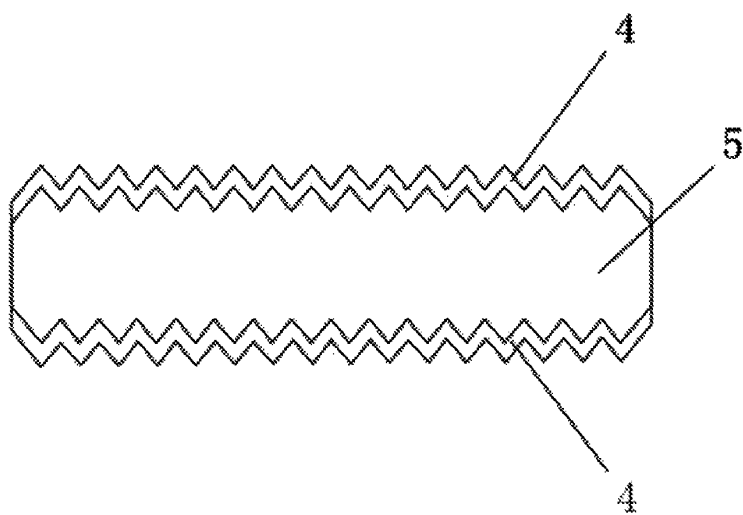


图2

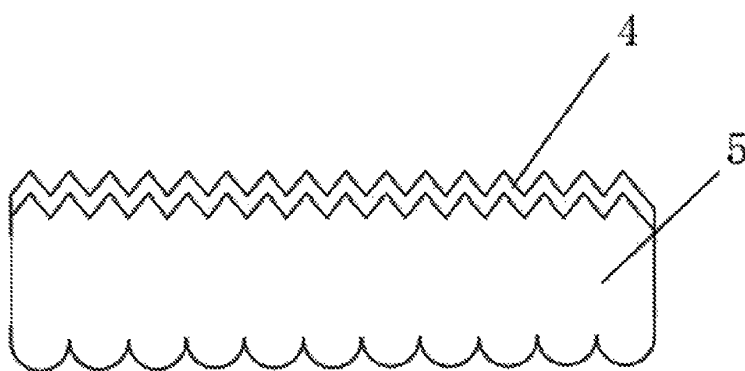


图3

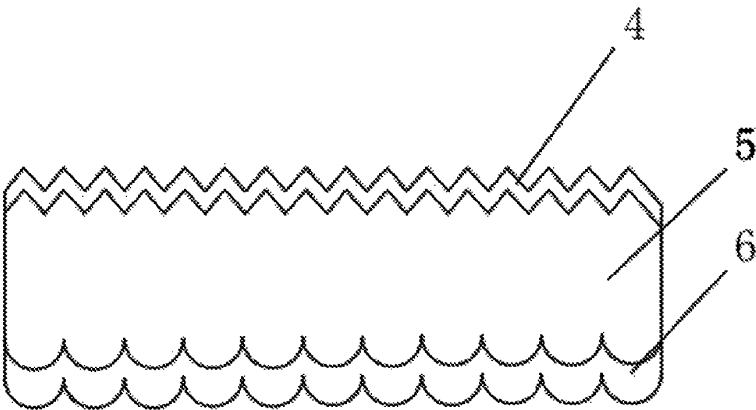


图4

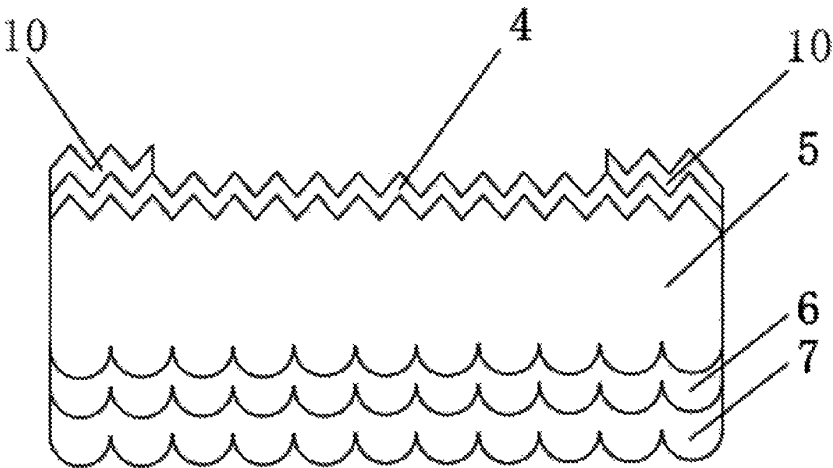


图5

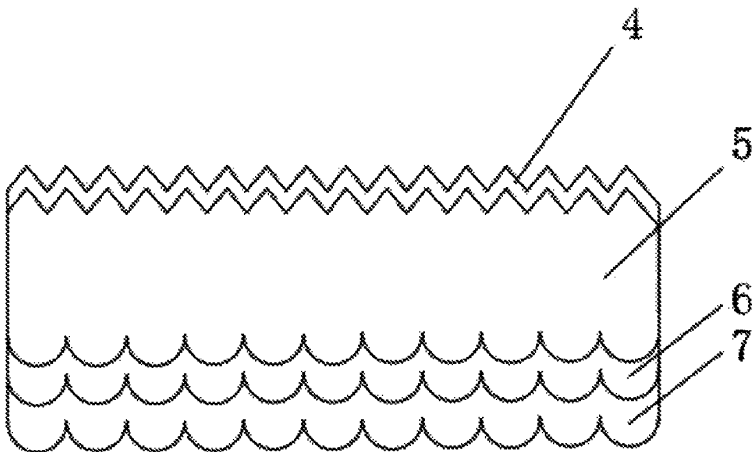


图6

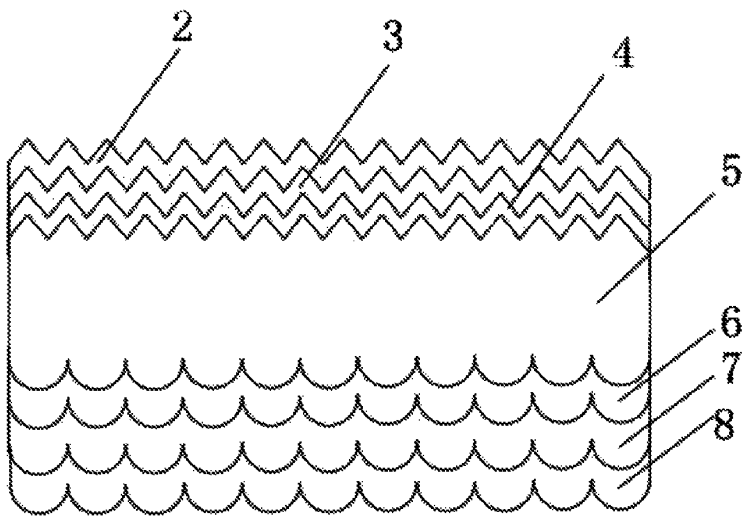


图7

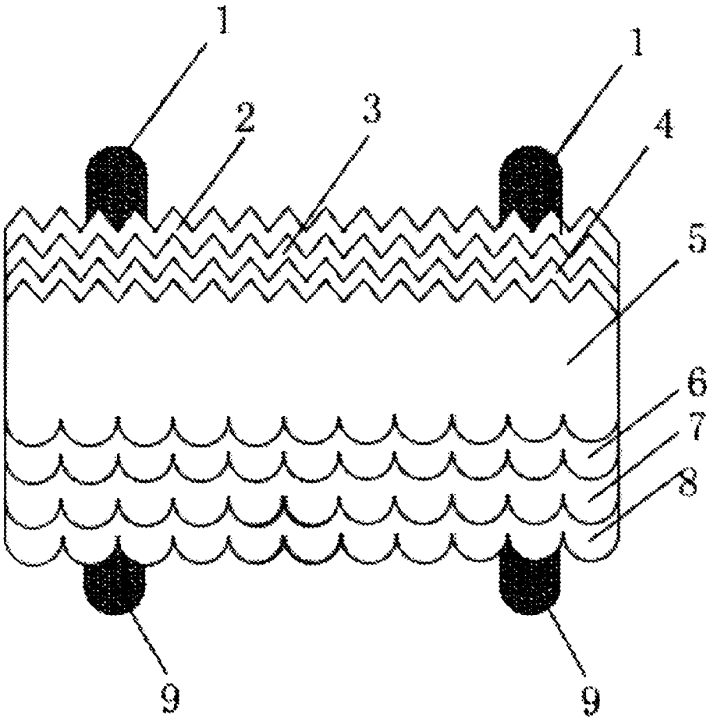


图8

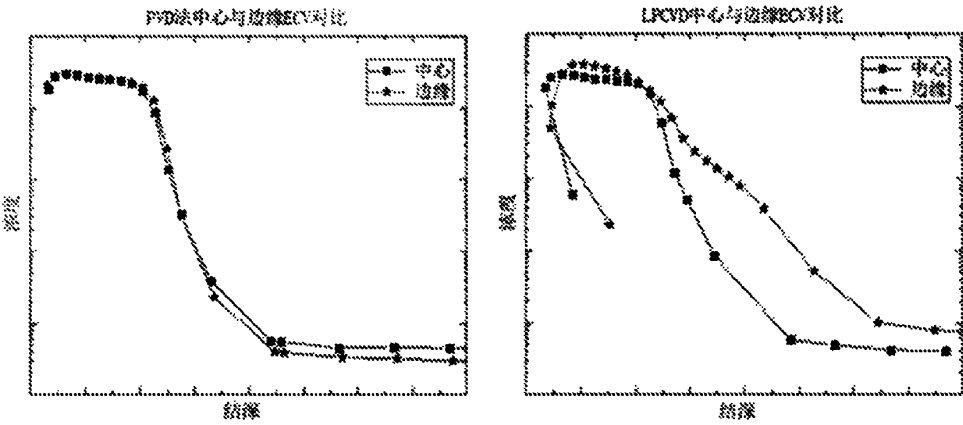


图9



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
17/459,689	08/27/2021	Kun YU	084546-000033	8617
22204	7590	08/18/2022	EXAMINER	
NIXON PEABODY, LLP			MOWLA, GOLAM	
799 Ninth Street, NW				
SUITE 500				
WASHINGTON, DC 20001				
		ART UNIT	PAPER NUMBER	
		1721		
		NOTIFICATION DATE	DELIVERY MODE	
		08/18/2022	ELECTRONIC	

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

ipairlink@nixonpeabody.com
nppatent@nixonpeabody.com

DETAILED ACTION

Election/Restrictions

1. Restriction to one of the following inventions is required under 35 U.S.C. 121:
 - I. Claims 1-17, drawn to a solar cell, classified in H01L 31/02366.
 - II. Claims 18-20, drawn to a method of making solar cell, classified in H01L 18/1868.

The inventions are distinct, each from the other because of the following reasons:

2. Inventions II and I are related as process of making and product made. The inventions are distinct if either or both of the following can be shown: (1) that the process as claimed can be used to make another and materially different product or (2) that the product as claimed can be made by another and materially different process (MPEP § 806.05(f)). In the instant case the product as claimed can be made by another and materially different process in which rear surface textured structure is formed selective masking and patterning.

3. Restriction for examination purposes as indicated is proper because all these inventions listed in this action are independent or distinct for the reasons given above and there would be a serious search and/or examination burden if restriction were not required because one or more of the following reasons apply: the inventions require a different field of search (for example, searching different classes/subclasses or electronic resources, or employing different search queries), and/or the prior art applicable to one invention would not likely be applicable to another invention.

Applicant is advised that the reply to this requirement to be complete must include (i) an election of an invention to be examined even though the requirement may be traversed (37 CFR 1.143) and (ii) identification of the claims encompassing the elected invention.

The election of an invention may be made with or without traverse. To reserve a right to petition, the election must be made with traverse. If the reply does not distinctly and specifically point out supposed errors in the restriction requirement, the election shall be treated as an election without traverse. Traversal must be presented at the time of election in order to be considered timely. Failure to timely traverse the requirement will result in the loss of right to petition under 37 CFR 1.144. If claims are added after the election, applicant must indicate which of these claims are readable upon the elected invention.

Should applicant traverse on the ground that the inventions are not patentably distinct, applicant should submit evidence or identify such evidence now of record showing the inventions to be obvious variants or clearly admit on the record that this is the case. In either instance, if the examiner finds one of the inventions unpatentable over the prior art, the evidence or admission may be used in a rejection under 35 U.S.C. 103 or pre-AIA 35 U.S.C. 103(a) of the other invention.

4. Applicant is reminded that upon the cancellation of claims to a non-elected invention, the inventorship must be corrected in compliance with 37 CFR 1.48(a) if one or more of the currently named inventors is no longer an inventor of at least one claim remaining in the application. A request to correct inventorship under 37 CFR 1.48(a) must be accompanied by an application data sheet in accordance with 37 CFR 1.76 that identifies each inventor by his or her legal name and by the processing fee required under 37 CFR 1.17(i).

5. The examiner has required restriction between product or apparatus claims and process claims. Where applicant elects claims directed to the product/apparatus, and all product/apparatus claims are subsequently found allowable, withdrawn process claims that include all the limitations of the allowable product/apparatus claims should be considered for rejoinder. All claims directed to a nonelected process invention must include all the limitations of an allowable product/apparatus claim for that process invention to be rejoined.

In the event of rejoinder, the requirement for restriction between the product/apparatus claims and the rejoined process claims will be withdrawn, and the rejoined process claims will be fully examined for patentability in accordance with 37 CFR 1.104. Thus, to be allowable, the rejoined claims must meet all criteria for patentability including the requirements of 35 U.S.C. 101, 102, 103 and 112. Until all claims to the elected product/apparatus are found allowable, an otherwise proper restriction requirement between product/apparatus claims and process claims may be maintained. Withdrawn process claims that are not commensurate in scope with an allowable product/apparatus claim will not be rejoined. See MPEP § 821.04. Additionally, in order for rejoinder to occur, applicant is advised that the process claims should be amended during prosecution to require the limitations of the product/apparatus claims. **Failure to do so may result in no rejoinder.** Further, note that the prohibition against double patenting rejections of 35 U.S.C. 121 does not apply where the restriction requirement is withdrawn by the examiner before the patent issues. See MPEP § 804.01.

Correspondence/Contact Information

Any inquiry concerning this communication or earlier communications from the examiner should be directed to GOLAM MOWLA whose telephone number is (571)270-5268. The examiner can normally be reached on M-Th, 7am - 4pm.

Examiner interviews are available via telephone, in-person, and video conferencing using a USPTO supplied web-based collaboration tool. To schedule an interview, applicant is encouraged to use the USPTO Automated Interview Request (AIR) at <http://www.uspto.gov/interviewpractice>.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Allison Bourke can be reached on 303-297-4684. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished applications is available through Private PAIR only. For more information about the PAIR system, see <https://ppair-my.uspto.gov/pair/PrivatePair>. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/GOLAM MOWLA/
Primary Examiner, Art Unit 1721



UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
17/459,689	08/27/2021	Kun YU	084546-000033	8617
22204	7590	07/28/2022	EXAMINER	
NIXON PEABODY, LLP			MOWLA, GOLAM	
799 Ninth Street, NW				
SUITE 500				
WASHINGTON, DC 20001				
		ART UNIT	PAPER NUMBER	
		1721		
		NOTIFICATION DATE	DELIVERY MODE	
		07/28/2022	ELECTRONIC	

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

ipairlink@nixonpeabody.com
nppatent@nixonpeabody.com



UNITED STATES PATENT AND TRADEMARK OFFICE

Commissioner for Patents
United States Patent and Trademark Office
P.O. Box 1450
Alexandria, VA 22313-1450
www.uspto.gov

In re Application of
Yu et al.
Application No. 17/459,689
Filed: August 27, 2021
For: SOLAR CELL, MANUFACTURING
METHOD THEREOF, AND
PHOTOVOLTAIC MODULE

:
:
:
:
:
:
:

DECISION ON REQUEST
AND PETITION

This is a decision on the request to participate in the Patent Prosecution Highway (PPH) program and the petition under 37 CFR 1.102(a), filed May 26, 2022, to make the above-identified application special.

The request and petition are **DISMISSED**. It is noted that the PPH request and petition lists the relied upon Office of Earlier Examination (OEE) work product as the Decision to Grant a Patent with a mailing date of May 10, 2022. However, a decision to grant a patent cannot be the relied upon work product unless it was a first action allowance. Therefore, the decision herein is based on the Notice of Reasons for Refusal with a mailing date of January 11, 2022.

DISCUSSION

A grantable request to participate in the PPH pilot program and petition to make special require:

1. The U.S. application for which participation in the Global/IP5 PPH pilot program is requested must have the same earliest date, whether this is the priority date or filing date, as that of a corresponding national or regional application filed with another Global/IP5 PPH participating office or a corresponding PCT international application for which one of the Global/IP5 PPH participating offices was the International Searching Authority (ISA) or the International Preliminary Examining Authority (IPEA);
2. Applicant must:
 - a. Ensure all the claims in the U.S. application must sufficiently correspond or be amended to sufficiently correspond to the allowable/patentable claim(s) in the corresponding Office of Earlier Examination (OEE) application and
 - b. Submit a claims correspondence table in English;
3. Examination of the U.S. application has not begun;
4. Applicant must submit:
 - a. Documentation of prior office action;

- i. a copy of the office action(s) just prior to the “Decision to Grant a Patent” from each of the Global/IP5 PPH participating office application(s) containing the allowable/patentable claim(s) or
 - ii. if the allowable/patentable claims(s) are from a “Notification of Reasons for Refusal” then the Notification of Reasons for Refusal or
 - iii. if the Global/IP5 PPH participating office application is a first action allowance then no office action from the Global/IP5 PPH participating office is necessary should be indicated on the request/petition form or
 - iv. the latest work product in the international phase of the OEE PCT application;
 - b. An English language translation of the Global/IP5 PPH participating office action or work product from (4)(a)(i)-(ii) or (iv) above; and
5. Applicant must submit:
- a. An IDS listing the documents cited by the Global/IP5 PPH participating office examiner in the Global/IP5 PPH participating office action or work product (unless already submitted in this application)
 - b. Copies of the documents except U.S. patents or U.S. patent application publications (unless already submitted in this application).

Conditions (1), (3), (4) and (5) above are considered to have been met. However, the request to participate in the PPH pilot program and petition fail to comply with condition(s) (2).

Regarding the requirement of condition (2), the Claims Correspondence Table shows that U.S. claim 1 is corresponding to OEE claim 1. However, U.S. claim 1 does not sufficiently correspond with the allowable/patentable OEE claim 1, because U.S. claim 1 appears to add and delete limitations that are not present in the corresponding OEE claim 1. **It is the applicant’s responsibility to compare and identify claims corresponding between the U.S. application and OEE application.**

Applicant is given **ONE** opportunity within a time period of **ONE MONTH or THIRTY DAYS**, whichever is longer, from the mailing date of this decision to correct the deficiencies. **NO EXTENSION OF TIME UNDER 37 CFR 1.136 IS PERMITTED.** If the deficiencies are not corrected with the time period given, the application will await action in its regular turn.

Response must be filed via the Electronic Filing System (EFS) using the document description: Petition to make special under Patent Pros Hwy. Any preliminary amendments and IDS submitted with the PPH documents must be separately indexed as a preliminary amendment and IDS, respectively.

Telephone inquiries concerning this decision should be directed to Jamice Brantley whose telephone number is (571) 272-3814. All other inquiries concerning the examination or status of the application are accessible in the PAIR system at <http://portal.uspto.gov/>.

/Andrea Smith/

Andrea Smith
Lead Paralegal Specialist, Office of Petitions

Notice of Reasons for Refusal

Patent application number	Japanese Patent Application	No. 2021-137285
Draft date	December 28, 3th year of Reiwa	
JPO Examiner	Toshifumi Hara	4078 2K00
Patent applicant agent	Hatta International Patent Business Corporation	
Applicable Article	Article 37 (Unity) Article 29, Paragraph 1, Item 3 (Novelty) Article 29, Paragraph 2 (Inventive step)	

This application should be rejected for the following reasons: If you have any comments on this, please submit your comments within 3 months from the date this notice was sent.

Reasons

1. (Unity of invention) This application does not meet the requirements stipulated in Article 37 of the Patent Act in the following points.
2. (Novelty) The invention according to the following claims of this application may be made available to the public through the inventions or telecommunication lines described in the following publications distributed in Japan or abroad prior to the application. Since it is an invention that has become, it falls under Article 29, Paragraph 1, Item 3 of the Patent Act and cannot be patented.
3. (Inventive step) The invention according to the following claims of this application may be made available to the public through the inventions or telecommunications lines described in the following publications distributed in Japan or abroad prior to the application. Based on the invention, Article 29, Paragraph 2 of the Patent Act could be easily invented by a person having ordinary knowledge in the field of the technique to which the invention belongs before the filing of the application. No patent can be obtained due to the provisions of.

to (the list of cited references for cited references, etc.)

● Reason 1 (unity of invention)

(1) Determination of examination target based on special technical features

The invention according to claim 1-2 lacks novelty according to Cited Document 1 and has no special technical features, as shown in Reason 2 below. Next, the invention according to claim 2

As shown in Reason 3 below, the invention according to claim 13, which is an invention of the same category including all matters specifying the invention, is merely a design change to the prior art disclosed in Cited Document 1, and contributes to the prior art. Therefore, it does not have any special technical features. The same applies to the invention of claim 14, which is an invention of the same category including all the matters specifying the invention of the invention of claim 13. And claim 1

Inventions of the same category including all matters specifying the invention according to No. 4 are not described in the claims.

Therefore, claims 1-2, 13-14 for which the presence or absence of special technical features is subject to examination.

(2) Determining the subject of examination based on the efficiency of examination

The invention according to claim 3-12 is an invention of the same category including all the matters specifying the invention according to claim 1, and is examined together with the findings that are the subject of examination based on special technical features. Since it can be said that the invention is efficient to carry out, it is added to the subject of examination.

The invention according to claim 15-17 is not an invention of the same category including all the matters specifying the invention according to claim 1. Then, as a result of examining the invention to be examined, the invention according to claims 15-17 can be examined without substantially requiring additional prior art search or judgment. There are no other circumstances in which it can be said that it is efficient to carry out the examination together with the invention, not the invention.

Therefore, the invention according to claims 15-17 is not subject to examination for requirements other than Article 37 of the Patent Act.

● Reason 2 (novelty) and Reason 3 (inventive step)

- Claim 1
- Citations, etc. 1

Reference 1 describes a photoelectric conversion element 10 that functions as a solar cell (paragraph [paragraph [0025]-[0112], [0224] and FIG. 1A-5), a semiconductor substrate 1 composed of an n-type single crystal silicon substrate and having a textured structure on the rear surface (paragraph [0028]), an antireflection layer 2 made of silicon nitride and located on the front surface of the semiconductor substrate 1 (see paragraphs [0029] and [0039]), and located between the antireflection layer 2 and the light receiving surface. And with an amorphous semiconductor layer that improves the passivation of the light receiving surface (See paragraph [0039]), a passivation film 3 made of an oxide of silicon, located on the texture structure on the rear surface of the semiconductor substrate 1 and having a thickness that allows carriers to tunnel (See paragraph [0030], [0041]-[0042]), the n-type amorphous semiconductor layer 4 located on the surface of the passivation film 3 (see paragraphs [0031] and [0043]), and the n-type amorphous semiconductor layer 4 located on the surface of the n-type amorphous semiconductor layer 4. The photoelectric conversion element 10 including a protective film 8 having a passivation property with respect to the n-type amorphous semiconductor layer 4 (see paragraphs [0038] and [0078]) is described.

Then, in paragraphs [0045]-[0047] of Cited Document 1, the texture structure has a quadrangular pyramid-shaped or quadrangular pyramid-shaped uneven structure, and the actual texture has a size and size as shown in FIG. Multiple irregularities with various shapes are formed, including

overlapping and deformed ones, and the average value of the diameters of the circumscribed circles of the convex parts when the texture is viewed in a plane is the texture. It is stated that the size of the texture is defined as the size of, and that the size of the texture is less than 15 μm in paragraph [0028]. Considering such a description, in the texture structure, the one-dimensional dimension of the top surface of the outermost convex portion among the overlapping irregularities is 45 μm or less is considered to be highly probable.

Cited Document 1 does not specify the distance between the top surface of the outermost convex portion of the overlapping unevenness and the top surface of the convex portion adjacent to the top surface. However, in the invention described in Cited Document 1, the size of the texture in plan view is 15 μ .

From the fact that it is less than m, the height from the bottom of the convex part of the texture to the top surface is considered to be about several μm at most, and in that case, the top surface of the outermost convex part of the overlapping unevenness and adjacent to it. It is highly probable that the distance from the top surface of the convex portion is 2 μm or less, and even if this is not the case, there is no particular difficulty in forming the texture so that the distance is 2 μm or less. Therefore, the invention of the present application has no novelty or inventive step in light of the invention described in Cited Document 1.

-Claim 2

- Citations, etc. 1

In the invention described in Cited Document 1, the texture structure is also formed on the front surface of the semiconductor substrate 1. Given that the height from the bottom to the top surface of the convex part of the texture is considered to be about several μm at most, it is highly probable that the height is 5 μm or less, and even if it is not, the distance is 5 μm or less. There is no particular difficulty in forming the texture so that it becomes.

-Claim 7

- Citations, etc. 1

[0045] of Cited Document 1 and the description of FIG. 2, it is recognized that the texture structure includes unevenness that does not overlap.

-Claim 8-9

- Citations, etc. 1

Cited Document 1 describes that the texture structure is a concavo-convex structure such as a quadrangular pyramid.

-Claim 10

- Citations, etc. 1

Please refer to the description in paragraphs [0040]-[0042] of Cited Document 1.

- Claim 12

- Citations, etc. 1

Please refer to the description in paragraph [0039] of Cited Document 1.

-Claim 14

- Citations, etc. 1

Please refer to the paragraphs [0224] and [0268]-[0276] of the cited document 1.

● Reason 3 (inventive step)

-Claim 3-4

- Citations, etc. 1

In the invention described in Cited Document 1, the distance between the top surface of the outermost convex portion of the overlapping unevenness and the top surface of the convex portion adjacent to the top surface is set to 0.3 μm to 1.2 μm , and the texture is used. Setting the size to 10 μm or more is only an optimization or optimization of a numerical range that can be appropriately performed by those skilled in the art in forming a texture structure.

-Claim 5-6

- Citations, etc. 1

Passive as described in paragraphs [0041]-[0042] of Cited Document 1.

In forming the ion film 3, it is only a matter of design to have the same configuration as that of the present invention.

▪ Claim 11

▪ Citations, etc. 1

[0063] of Cited Document 1, it is described that the protective film 8 is formed as an oxide film, a nitride film, or an acid nitride film of silicon. In addition, paragraph [0152]-[0153] of Cited Document 1, the thickness of the protective film 8 is 70 nm to 120 n.

The term m is a degree of optimization or optimization of a numerical range that can be appropriately performed by those skilled in the art.

-Claim 13

▪ Citations, etc. 1

[0043] of Cited Document 1 that the thickness of the n-type amorphous semiconductor layer 4 is 50 nm, it is a design that a person skilled in the art can appropriately set the thickness to 60 nm. It's just a change.

<List of cited references>

1. 1. International Publication No. 2016/129481

<Record of prior art literature search results>

▪ Surveyed field IPC H01L31 / 02-31 / 078

Reference cited

US Patent Application Publication No. 2018/018295

US Patent Application Publication No. 2018/0315866

JP-A-2012-216788.

Chinese Patent Application Publication No. 112599615

The record of the results of this prior art literature search does not constitute a reason for refusal.

If you have any inquiries regarding the content of this notice of reasons for refusal or if you would like to have an interview, please contact us at the following contact information. If you would like to send the amendment proposal by e-mail etc., please let us know by phone.

Judging Part 1

Optical Device

Toshifumi

Hara

TEL. 03-3581-1101

extension 3253

拒絶理由通知書

特許出願の番号	特願 2021-137285
起案日	令和 3年 12月 28日
特許庁審査官	原 俊文 4078 2K00
特許出願人代理人	八田国際特許業務法人 様
適用条文	第 37 条 (単一性) 第 29 条第 1 項第 3 号 (新規性) 第 29 条第 2 項 (進歩性)

この出願は、次の理由によって拒絶をすべきものです。これについて意見がありましたら、この通知書の発送の日から 3 か月以内に意見書を提出してください。

理由

1. (発明の単一性) この出願は、下記の点で特許法第 37 条に規定する要件を満たしていない。
2. (新規性) この出願の下記の請求項に係る発明は、その出願前に日本国内又は外国において、頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明であるから、特許法第 29 条第 1 項第 3 号に該当し、特許を受けることができない。
3. (進歩性) この出願の下記の請求項に係る発明は、その出願前に日本国内又は外国において、頒布された下記の刊行物に記載された発明又は電気通信回線を通じて公衆に利用可能となった発明に基いて、その出願前にその発明の属する技術の分野における通常の知識を有する者が容易に発明をすることができたものであるから、特許法第 29 条第 2 項の規定により特許を受けることができない。

記 (引用文献等については引用文献等一覧参照)

●理由 1 (発明の単一性) について

(1) 特別な技術的特徴に基づく審査対象の決定

請求項 1-2 に係る発明は、下記理由 2 に示すとおり、引用文献 1 により新規性が欠如しており、特別な技術的特徴を有しない。次に、請求項 2 に係る発明の

発明特定事項を全て含む同一カテゴリーの発明である請求項 1 3 に係る発明は、下記理由 3 に示すとおり、引用文献 1 が開示する先行技術に対する単なる設計変更にすぎず、先行技術に対する貢献をもたらすものではないから、特別な技術的特徴を有しない。請求項 1 3 に係る発明の発明特定事項を全て含む同一カテゴリーの発明である請求項 1 4 に係る発明についても同様である。そして、請求項 1 4 に係る発明特定事項を全て含む同一カテゴリーの発明は、特許請求の範囲に記載されていない。

したがって、それまでに特別な技術的特徴の有無を判断した請求項 1 - 2, 1 3 - 1 4 に係る発明を、審査対象とする。

(2) 審査の効率性に基づく審査対象の決定

請求項 3 - 1 2 に係る発明は、請求項 1 に係る発明の発明特定事項を全て含む同一カテゴリーの発明であり、特別な技術的特徴に基づいて審査対象となった発明とまとめて審査を行うことが効率的である発明といえるから、審査対象に加える。

請求項 1 5 - 1 7 に係る発明は、請求項 1 に係る発明の発明特定事項を全て含む同一カテゴリーの発明ではない。そして、請求項 1 5 - 1 7 に係る発明は、審査対象とされた発明を審査した結果、実質的に追加的な先行技術調査や判断を必要とすることなく審査を行うことが可能である発明ではなく、当該発明とまとめて審査を行うことが効率的であるといえる他の事情も無い。

したがって、請求項 1 5 - 1 7 に係る発明は、特許法第 3 7 条以外の要件についての審査対象としない。

●理由 2（新規性）、理由 3（進歩性）について

- ・請求項 1
- ・引用文献等 1
- ・備考

引用文献 1 には、太陽電池として機能する光電変換素子 1 0 であって（段落 [0 0 2 5] - [0 1 1 2], [0 2 2 4] 及び図 1 A - 5 参照）、n 型単結晶シリコン基板からなり、後面にテクスチャ構造を有する半導体基板 1 と（段落 [0 0 2 8] 参照）、窒化シリコンからなり、前記半導体基板 1 の前面に位置する反射防止層 2 と（段落 [0 0 2 9], [0 0 3 9] 参照）、前記反射防止層 2 と受光面の間に位置し、受光面のパッシベーション性を向上させる非晶質半導体層と（段落 [0 0 3 9] 参照）、シリコンの酸化物からなり、前記半導体基板 1 の後面における前記テクスチャ構造上に位置し、キャリアがトンネル可能な膜厚を有するパッシベーション膜 3 と（段落 [0 0 3 0], [0 0 4 1] - [0 0 4 2]

参照)、前記パッシベーション膜3の表面に位置するn型非晶質半導体層4と(段落[0031],[0043]参照)、前記n型非晶質半導体層4の表面に位置し、前記n型非晶質半導体層4に対するパッシベーション性を有する保護膜8と(段落[0038],[0078]参照)、を含む、前記光電変換素子10が記載されている。

そして、引用文献1の段落[0045]－[0047]に、前記テクスチャ構造について、四角錐状や四角錐台状の凹凸構造であり、実際のテクスチャは図2に示されるように、大きさや形状が様々な凹凸が複数形成されており、重なり合っているものや変形したものも含まれていること、そして、テクスチャを平面視した場合の凸部の外接円の直径の平均値をテクスチャのサイズと定義することが記載されており、また、段落[0028]に、テクスチャのサイズは15 μ m未満であることが記載されている。このような記載を考慮すると、前記テクスチャ構造において、重なり合った凹凸のうち最外側の凸部の頂部表面の1次元寸法は、45 μ m以下である蓋然性が高いと認められる。

引用文献1には、重なり合った凹凸のうち最外側の凸部の頂部表面とそれに隣接する凸部の頂部表面との距離について明示されていない。しかしながら、引用文献1に記載された発明において、平面視におけるテクスチャのサイズが15 μ m未満であることからすれば、テクスチャの凸部の底部から頂部表面までの高さはせいぜい数 μ m程度とみられ、その場合、重なり合った凹凸のうち最外側の凸部の頂部表面とそれに隣接する凸部の頂部表面との距離は2 μ m以下である蓋然性が高く、仮にそうでなくとも、当該距離が2 μ m以下となるようにテクスチャを形成することに格別の困難性は無い。

よって、本願発明は、引用文献1に記載された発明に照らして、新規性、進歩性を有しない。

- ・請求項 2
- ・引用文献等 1
- ・備考

引用文献1に記載された発明において、テクスチャ構造は半導体基板1の前面にも形成されている。テクスチャの凸部の底部から頂部表面までの高さがせいぜい数 μ m程度とみられることからすれば、当該高さは5 μ m以下である蓋然性が高く、仮にそうでなくとも、当該距離が5 μ m以下となるようにテクスチャを形成することに格別の困難性は無い。

- ・請求項 7
- ・引用文献等 1
- ・備考

引用文献1の段落[0045]及び図2の記載からみて、テクスチャ構造には重なり合っていない凹凸も含まれると認められる。

- ・請求項 8－9

- ・引用文献等 1

- ・備考

引用文献1には、テクスチャ構造が四角錐台状などの凹凸構造であることが記載されている。

- ・請求項 10

- ・引用文献等 1

- ・備考

引用文献1の段落〔0040〕－〔0042〕の記載を参照されたい。

- ・請求項 12

- ・引用文献等 1

- ・備考

引用文献1の段落〔0039〕の記載を参照されたい。

- ・請求項 14

- ・引用文献等 1

- ・備考

引用文献1の段落〔0224〕，〔0268〕－〔0276〕の記載を参照されたい。

●理由3（進歩性）について

- ・請求項 3－4

- ・引用文献等 1

- ・備考

引用文献1に記載された発明において、重なり合った凹凸のうち最外側の凸部の頂部表面とそれに隣接する凸部の頂部表面との距離を $0.3\mu\text{m}\sim 1.2\mu\text{m}$ とすることや、テクスチャのサイズを $10\mu\text{m}$ 以上とすることは、テクスチャ構造を形成するにあたって当業者が適宜なし得る数値範囲の最適化又は好適化という程度のものである。

- ・請求項 5－6

- ・引用文献等 1

- ・備考

引用文献1の段落〔0041〕－〔0042〕に記載されるようにパッシベ-

シオン膜3を形成するにあたり、本願発明と同様の構成とすることは、設計的事項という程度のものである。

- ・請求項 1 1
- ・引用文献等 1
- ・備考

引用文献1の段落〔0063〕に、保護膜8をシリコンの酸化膜、窒化膜、酸窒化膜として形成することが記載されている。また、引用文献1の段落〔0152〕－〔0153〕の記載を考慮すると、保護膜8の厚さを70nm～120nmとすることは、当業者が適宜なし得る数値範囲の最適化又は好適化という程度のものである。

- ・請求項 1 3
- ・引用文献等 1
- ・備考

引用文献1の段落〔0043〕に、n型非晶質半導体層4の厚さを50nmとすることが記載されているところ、当該厚さを60nmとすることは、当業者が適宜なし得る設計変更という程度のものである。

<引用文献等一覧>

1. 国際公開第2016/129481号

<先行技術文献調査結果の記録>

- ・調査した分野 IPC H01L31/02-31/078
- ・先行技術文献 米国特許出願公開第2018/0182905号明細書
米国特許出願公開第2018/0315866号明細書
特開2012-216788号公報
中国特許出願公開第112599615号明細書

この先行技術文献調査結果の記録は拒絶理由を構成するものではありません。

この拒絶理由通知の内容に関するお問合せ又は面接のご希望がありましたら次の連絡先までご連絡ください。電子メール等で補正案等の送付を希望される場合は、その旨を電話でお知らせください。

審査第一部 光デバイス 原 俊文（はら としふみ）

整理番号:06989JP01 発送番号:889089 発送日:令和 4年 1月11日 6/E

TEL. 03-3581-1101 内線3253

Electronic Acknowledgement Receipt	
EFS ID:	45815253
Application Number:	17459689
International Application Number:	
Confirmation Number:	8617
Title of Invention:	SOLAR CELL, MANUFACTURING METHOD THEREOF, AND PHOTOVOLTAIC MODULE
First Named Inventor/Applicant Name:	Kun YU
Customer Number:	22204
Filer:	Jeffrey Costellia/Donald Sias
Filer Authorized By:	Jeffrey Costellia
Attorney Docket Number:	084546-000033
Receipt Date:	26-MAY-2022
Filing Date:	27-AUG-2021
Time Stamp:	17:06:56
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no				
File Listing:					
Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Petition to make Special under Patent Prosecution Highway	084546_000033_PPH.pdf	156674 1c08138652ceee13e9e21d65e1ae9bbce02d2aa7	no	3
Warnings:					

Information:					
2	Petition to make Special under Patent Prosecution Highway	084546_000033_PPH_English_translation_of_granted_claims_of_OEE_application.pdf	114629 3f691e1af6a84c6d1ea271969cccc8ef716f545f	no	4
Warnings:					
Information:					
3	Petition to make Special under Patent Prosecution Highway	084546_000033_PPH_preliminary_amendment.pdf	113109 769338f7956931bfccbf7973874fa778414864a9	no	8
Warnings:					
Information:					
4	Petition to make Special under Patent Prosecution Highway	Notice_of_Allowance.pdf	291369 c626c9d8c0b659e9c16f171bb2a75f95b7194882	no	6
Warnings:					
Information:					
5	Petition to make Special under Patent Prosecution Highway	Notice_of_Reasons_For_Refusal.pdf	892460 4a89d977ad120f6f4280a7982d8e5b76e9912f28	no	12
Warnings:					
Information:					
Total Files Size (in bytes):			1568241		
<p>This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.</p> <p><u>New Applications Under 35 U.S.C. 111</u> If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.</p> <p><u>National Stage of an International Application under 35 U.S.C. 371</u> If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.</p> <p><u>New International Application Filed with the USPTO as a Receiving Office</u> If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.</p>					

REQUEST FOR PARTICIPATION IN THE GLOBAL/IP5 PATENT PROSECUTION HIGHWAY (PPH) PILOT PROGRAM IN THE USPTO			
Application No.:	17/459,689	First Named Inventor:	Kun YU et al.
Filing Date:	2021-08-27	Attorney Docket No.:	084546-000033
Title of the Invention:	SOLAR CELL, MANUFACTURING METHOD THEREOF, AND PHOTOVOLTAIC MODULE		
THIS REQUEST FOR PARTICIPATION IN THE PPH PILOT PROGRAM ALONG WITH THE REQUIRED DOCUMENTS MUST BE SUBMITTED VIA EFS-WEB. INFORMATION REGARDING EFS-WEB IS AVAILABLE AT https://www.uspto.gov/patents-application-process/applying-online/about-efs-web			
APPLICANT HEREBY REQUESTS PARTICIPATION IN THE PATENT PROSECUTION HIGHWAY (PPH) PILOT PROGRAM AND PETITIONS TO MAKE THE ABOVE-IDENTIFIED APPLICATION SPECIAL UNDER THE PPH PILOT PROGRAM.			
Office of earlier examination (OEE): Japan (Japan Patent Office) OEE application number: 2021-137285 Both the OEE application and the above-identified U.S. application have the following earliest date (filing or priority date): August 4, 2021 Type of OEE work product relied upon: Decision to grant a patent Mailing date of OEE work product: May 10, 2022			
Supporting Documents 1. OEE Work Product and Translation A copy of the OEE work product and translation if not already in English: ☒ Attached ☐ Previously Submitted ☐ Not required because the decision to grant a patent was the first office action ☐ Applicant requests the USPTO to attempt to obtain the OEE work product from the Dossier Access System or PATENTSCOPE NOTE: If the applicant requests the USPTO to obtain the OEE work product electronically and such attempt is unsuccessful, the applicant will be required to supply the document. Accordingly, to avoid dismissal of the initial PPH request and potential denial of participation in the PPH program, the applicant should verify that the OEE work product is actually available via the Dossier Access System or PATENTSCOPE before requesting retrieval. If the applicant is unable to verify availability, then the applicant should submit the document with the PPH request.			
2. References Cited in OEE Work Product An information disclosure statement (IDS) listing the references cited in the OEE work product and document copies (except U.S. patents and U.S. published patent applications): ☐ Attached ☒ Previously Submitted ☐ Not required because no references were cited in the OEE work product			

Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

REQUEST FOR PARTICIPATION IN THE GLOBAL/IP5 PPH PILOT PROGRAM IN THE USPTO

(continued)

Application No.:	17/459,689	First Named Inventor:	Kun YU et al.
------------------	------------	-----------------------	---------------

3. Claims Correspondence Certification Statement

All of the claims in this application sufficiently correspond to the patentable/allowable claims in the OEE application.

4. Claims Correspondence Table

Claims in U.S. Application	Patentable Claims in OEE Application	Explanation Regarding the Correspondence
1	1	Claim 1 sufficiently corresponds to claim 1 of OEE application
2	2	Claim 2 sufficiently corresponds to claim 2 of OEE application
3	3	Claim 3 sufficiently corresponds to claim 3 of OEE application
4	4	Claim 4 sufficiently corresponds to claim 4 of OEE application
5	5	Claim 5 sufficiently corresponds to claim 5 of OEE application
6	6	Claim 6 sufficiently corresponds to claim 6 of OEE application
7	7	Claim 7 sufficiently corresponds to claim 7 of OEE application
8	8	Claim 8 sufficiently corresponds to claim 8 of OEE application
9	9	Claim 9 sufficiently corresponds to claim 9 of OEE application
10	10	Claim 10 sufficiently corresponds to claim 10 of OEE application
11	11	Claim 11 sufficiently corresponds to claim 11 of OEE application
12	12	Claim 12 sufficiently corresponds to claim 12 of OEE application
13	13	Claim 13 sufficiently corresponds to claim 13 of OEE application
14	14	Claim 14 sufficiently corresponds to claim 14 of OEE application
15	14	Claim 15 sufficiently corresponds to claim 14 of OEE application
16	14	Claim 16 sufficiently corresponds to claim 14 of OEE application
17	14	Claim 17 sufficiently corresponds to claim 14 of OEE application
18	15	Claim 18 sufficiently corresponds to claim 15 of OEE application
19	16	Claim 19 sufficiently corresponds to claim 16 of OEE application
20	17	Claim 20 sufficiently corresponds to claim 17 of OEE application

Signature	/Jeffrey L. Costellia, Reg. No. 35,483/	Date	May 26, 2022
Name (print or type)	Jeffrey L. Costellia	Registration Number	35,483

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. The United States Patent and Trademark Office (USPTO) collects this information under authority of 5 CFR 1.290. The information in this system of records is used to manage all records of applicant including name, citizenship, residence, post office address and other information with respect to inventors and their legal representatives pertaining to the applicant's activities in connection with the invention for which a patent is sought. This information is protected from disclosure to third parties in accordance with the Privacy Act. However, routine uses of this information may include disclosure to the following: to law enforcement and investigation in the event that the system of records indicates a violation or potential violation of law; to a Federal, state, local, or international agency, in response to its request; to an agency, organization, or individual for the purpose of performing audit or oversight operations as authorized by law; to non-federal personnel under contract to the agency; to a court for adjudication and litigation; to the Department of Justice for Freedom of Information Act (FOIA) assistance; to members of congress working on behalf of an individual; to the Office of Personnel Management (OPM) for personnel research purposes; to National Archives and Records Administration for inspection of records; and to the Office of Management and Budget (OMB) for legislative coordination and clearance. Failure to provide any part of the requested information may result in an inability to process requests for access and information. The applicable Privacy Act System of Records Notice for this information is COMMERCE/PAT-TM-7 Patent Application Files, available at Federal Register /Vol. 78, No. 61 / Friday, March 29, 2013 /Notices 19243. <https://www.govinfo.gov/content/pkg/FR-2013-03-29/pdf/2013-07341.pdf>

CLAIMS

1. A solar cell, comprising:

a semiconductor substrate, wherein a rear surface of the semiconductor substrate has a first texture structure, the first texture structure has a non-pyramid microstructure and includes two or more first substructures at least partially stacked on one another, a top surface of the first substructure is a polygonal plane, and in a direction away from the rear surface and perpendicular to the rear surface, a distance between a top surface of an outermost first substructure and a top surface of an adjacent first substructure is less than or equal to 2 μm ; and a one-dimensional size of the top surface of the outermost first substructure is less than or equal to 45 μm , an average of the one-dimensional size ranges from 10 μm to 15 μm ;

a first passivation layer located on a front surface of the semiconductor substrate;

a tunnel oxide layer located on the first texture structure of the rear surface of the semiconductor substrate;

a doped conductive layer located on a surface of the tunnel oxide layer, a conductivity type of doping elements of the doped conductive layer being same as that of the semiconductor substrate; and

a second passivation layer located on a surface of the doped conductive layer.

2. The solar cell according to claim 1, wherein the front surface of the semiconductor substrate has a second texture structure, the second texture structure includes a pyramid-shaped microstructure, the pyramid-shaped microstructure includes a top portion away from the front surface of the semiconductor substrate and a bottom portion close to the front surface of the semiconductor substrate, and in a direction away from the front surface and perpendicular to the front surface, a distance between the top portion and the bottom portion of the pyramid-shaped microstructure is less than or equal to 5 μm .

3. The solar cell according to claim 1, wherein for the two or more first substructures at least partially stacked on one another, in the direction away from the rear surface and perpendicular to the rear surface, the distance between the top surface of the outermost first substructure and the top surface of the adjacent first substructure ranges from 0.3 μm to 1.2 μm .

4. The solar cell according to claim 1, wherein a shape of the top surface of the first substructure includes at least one of a diamond, a square, a trapezoid, a substantially diamond, a substantially square or a substantially trapezoid.
- 5 5. The solar cell according to claim 1, wherein a thickness of the tunnel oxide layer on the top surface of the outermost first substructure is less than a thickness of the tunnel oxide layer on a side surface of the outermost first substructure.
6. The solar cell according to claim 1, wherein a thickness difference between the tunnel oxide layer on the top surface of the outermost first substructure and the tunnel oxide layer on a side surface of the outermost first substructure is less than or equal to 0.15 nm.
- 10 7. The solar cell according to claim 1, wherein the first texture structure further includes two or more adjacent second substructures that do not stacked on one another, and a one-dimensional size of a top surface of the second substructure away from the rear surface is less than or equal to 45 μm .
- 15 8. The solar cell according to claim 7, wherein the top surface of the second substructure is a polygonal plane.
9. The solar cell according to claim 8, wherein a shape of the top surface of the second substructure includes at least one of a diamond, a square, a trapezoid, a substantially diamond, a substantially square or a substantially trapezoid.
- 20 10. The solar cell according to claim 1, wherein the tunnel oxide layer includes at least one of a silicon oxide layer, an aluminum oxide layer, a silicon oxynitride layer, a molybdenum oxide layer or a hafnium oxide layer, and the tunnel oxide layer has a thickness ranging from 0.8 nm to 2 nm.
- 25 11. The solar cell according to claim 1, wherein the second passivation layer includes at least one of a silicon nitride layer, a silicon oxide layer or a silicon oxynitride layer, and the second passivation layer has a thickness ranging from 70 nm to 120 nm.
12. The solar cell according to claim 1, wherein the first passivation layer includes at least one of a silicon oxide layer, a silicon nitride layer, an aluminum oxide layer or a silicon oxynitride layer.
- 30 13. The solar cell according to any one of claims 1 to 12, wherein the semiconductor substrate is an N-type monocrystalline silicon substrate, the doped conductive layer is an N-

type doped polycrystalline silicon layer, an N-type doped microcrystalline silicon layer or an N-type doped amorphous silicon layer, and the doped conductive layer has a thickness ranging from 60 nm to 200 nm.

14. A photovoltaic module, comprising a plurality of solar cell strings, each of the plurality
5 of solar cell strings comprising the solar cell according to any one of claims 1 to 13.

15. A method for manufacturing the solar cell according to any one of claims 1-13, comprising:

texturing a semiconductor substrate, and forming a second texture structure on a front
surface of the semiconductor substrate, wherein the second texture structure includes a
10 pyramid-shaped microstructure;

forming a doped layer with doping elements to the front surface of the textured
semiconductor substrate;

polishing a rear surface of the semiconductor substrate with an alkali solution such that
a first texture structure is formed on the rear surface of the semiconductor substrate, wherein
15 the first texture structure has a non-pyramid microstructure and includes two or more first
substructures at least partially stacked on one another, a top surface of the first substructure is
a polygonal plane, and in a direction away from the rear surface and perpendicular to the rear
surface, a distance between a top surface of an outermost first substructure and a top surface of
an adjacent first substructure is less than or equal to 2 μm ; and a one-dimensional size of the
20 top surface of the outermost first substructure is less than or equal to 45 μm , an average of the
one-dimensional size ranges from 10 μm to 15 μm ;

forming a tunnel oxide layer on the first texture structure of the rear surface of the
semiconductor substrate;

depositing a polycrystalline silicon layer on a surface of the tunnel oxide layer, and
25 forming a doped conductive layer by doping the polycrystalline silicon layer, wherein the doped
conductive layer and the semiconductor substrate have doping elements of a same conductivity
type;

forming a first passivation layer on the front surface of the semiconductor substrate; and

forming a second passivation layer on a surface of the doped conductive layer.

30 16. The method according to claim 15, wherein the polishing a rear surface of the

semiconductor substrate with an alkali solution includes:

cleaning the rear surface of the semiconductor substrate with the alkali solution having a mass fraction of 5% to 15% to remove porous silicon;

5 dropping, by spraying, micro-liquid droplets of the alkali solution to the rear surface of the semiconductor substrate for roughening treatment, and then performing pre-cleaning with a hydrofluoric acid having a mass fraction of 5% to 10%;

polishing the rear surface of the semiconductor substrate with a polishing liquid at a polishing temperature ranging from 70°C to 80°C for a polishing time less than 260 seconds, wherein the polishing liquid includes NaOH having a mass fraction of 1% to 15%, KOH having
10 a mass fraction of 1% to 15% and an additive having a mass fraction of 0.51% to 2.5%;

removing organic components in the polishing liquid by a mixture of potassium hydroxide having a mass fraction of 5% to 15% and hydrogen peroxide having a mass fraction of 15% to 40%; and

washing and drying the polished semiconductor substrate.

15 17. The method according to claim 15, wherein the forming a tunnel oxide layer includes at least one of:

1) depositing the tunnel oxide layer on the first texture structure of the rear surface of the semiconductor substrate by a temperature change process and chemical vapor deposition;

2) during the deposition of the tunnel oxide layer, controlling a heating rate to range from
20 0.5°C/min to 3°C/min, a deposition temperature to range from 560°C to 620°C and a deposition time to range from 3 min to 10 min;

3) a deposition temperature of the tunnel oxide layer being lower than a deposition temperature of the polycrystalline silicon layer;

4) the tunnel oxide layer comprising at least one of a silicon oxide layer, an aluminum
25 oxide layer, a silicon oxynitride layer, a molybdenum oxide layer or a hafnium oxide layer; and

5) the tunnel oxide layer having a thickness ranging from 0.8 nm to 2 nm.

Notice of Allowance

Patent application number	Japanese Patent Application	No. 2021-137285
Draft date	April 28, 4th year of Reiwa	
JPO Examiner	Toshifumi Hara	4078 2K00
Title of the invention	SOLAR CELL, MANUFACTURING METHOD THEREOF, AND PHOTOVOLTAIC MODULE	
Number of claims	17	
Patent applicant	SHANGHAI JINKO GREEN ENERGY ENTERPRISE MANAGEMENT CO., LTD. (1 other person)	
Agent	Hatta International Patent Business Corporation	

We will grant a patent for this application because we will not find the reason for refusal.

It certifies that the above is not different from what is recorded in the file.

Certification date Reiwa 4 years in May 9th Minister of
Economy, Trade and Industry Takashi Sato

Note: The patent fee must be paid within 30 days from the date of receipt of
this document.

-
- | | |
|---------------------------------------|-----------|
| ▪ Application type | Normal |
| ▪ References | Available |
| ▪ Article 30 of the Patent Law | None |
| ▪ Change in the name of the invention | None |
-
- | | |
|------------------|--|
| ▪ Fungus deposit | |
|------------------|--|

Reference Information

Patent application number Japanese Patent Application No. 2021-137285

▪ FI

H01L	31/04	280	,
H01L	31/06	400	

▪ Surveyed fields (IPC, DB name)

H01L 31 / 02-31 / 078

H01L 31 / 18-31 / 20

▪ Reference patent documents

International Publication No. 2016/129481 (WO, A1)

US Patent Application Publication No. 2018/018295 (US, A1)

US Patent Application Publication No. 2018/0315866 (US, A1)

Japanese Patent Application Laid-Open No. 2012-216788 (JP, A)

Chinese Patent Application Publication No. 112599615 (CN, A)

▪ Reference book magazine

特許査定

特許出願の番号	特願 2 0 2 1 - 1 3 7 2 8 5
起案日	令和 4 年 4 月 2 8 日
特許庁審査官	原 俊文 4 0 7 8 2 K 0 0
発明の名称	太陽電池及びその製造方法、太陽電池モジュール
請求項の数	1 7
特許出願人	上海晶科緑能企業管理有限公司（ほか 1 名）
代理人	八田国際特許業務法人

この出願については、拒絶の理由を発見しないから、特許査定をします。

上記はファイルに記録されている事項と相違ないことを認証する。

認証日 令和 4 年 5 月 9 日 経済産業事務官 佐藤 隆

注意：この書面を受け取った日から 3 0 日以内に特許料の納付が必要です。

- ・出願種別 通常
- ・参考文献 有
- ・特許法第30条適用 無
- ・発明の名称の変更 無

- ・菌寄託

参考情報

特許出願の番号 特願2021-137285

・ F I

H01L 31/04 280 ,
H01L 31/06 400

・ 調査した分野 (IPC, DB名)

H01L 31/02-31/078
H01L 31/18-31/20

・ 参考特許文献

国際公開第2016/129481 (WO, A1)
米国特許出願公開第2018/0182905 (US, A1)
米国特許出願公開第2018/0315866 (US, A1)
特開2012-216788 (JP, A)
中国特許出願公開第112599615 (CN, A)

・ 参考図書雑誌

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of:	)	
Kun YU et al.	)	Group Art Unit: 1721
Application No. 17/459,689	)	Examiner: Golam Mowla
Filed: August 27, 2021	)	Confirmation No. 8617
For: SOLAR CELL,	)	
MANUFACTURING METHOD	)	
THEREOF, AND PHOTOVOLTAIC	)	
MODULE	)	

PRELIMINARY AMENDMENT

Mail Stop PPH - VIA EFS WEB

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

Prior to the examination of this application, please amend the subject application as follows:

Amendments to the Claims begin on **page 2** of this paper.

Remarks follow the amendment section of this paper.

IN THE CLAIMS:

Please amend the claims as follows:

1. (Currently Amended) A solar cell, comprising:

a semiconductor substrate, wherein a rear surface of the semiconductor substrate has a first texture structure, the first texture structure has a non-pyramid microstructure and includes two or more first substructures at least partially stacked on one another, a top surface of the first substructure is a polygonal plane, and in a direction away from the rear surface and perpendicular to the rear surface, a distance between a top surface of an outermost first substructure and a top surface of an adjacent first substructure is less than or equal to 2 μm ; and a one-dimensional size of the top surface of the outermost first substructure is less than or equal to 45 μm , an average of the one-dimensional size ranges from 10 μm to 15 μm ;

a first passivation layer located on a front surface of the semiconductor substrate;

a tunnel oxide layer located on the first texture structure of the rear surface of the semiconductor substrate;

a doped conductive layer located on a surface of the tunnel oxide layer, a conductivity type of doping elements of the doped conductive layer being same as that of the semiconductor substrate; and

a second passivation layer located on a surface of the doped conductive layer.

2. (Original) The solar cell according to claim 1, wherein the front surface of the semiconductor substrate has a second texture structure, the second texture structure includes a pyramid-shaped microstructure, the pyramid-shaped microstructure includes a top portion away from the front surface of the semiconductor substrate and a bottom portion close to the front surface of the semiconductor substrate, and in a direction away from the front surface and perpendicular to the front surface, a distance between the top portion and the bottom portion of the pyramid-shaped microstructure is less than or equal to 5 μm .

3. (Original) The solar cell according to claim 1, wherein for the two or more first substructures at least partially stacked on one another, in the direction away from the rear surface and perpendicular to the rear surface, the distance between the top surface of the outermost first substructure and the top surface of the adjacent first substructure ranges from 0.3 μm to 1.2 μm .

4. (Currently Amended) The solar cell according to claim 1, wherein a shape of the top surface of the first substructure includes at least one of a diamond, a square, a trapezoid, a substantially diamond, a substantially square or a substantially trapezoid ~~an average one-dimensional size of the top surface of the outermost first substructure ranges from 10 μm to 15 μm .~~

5. (Original) The solar cell according to claim 1, wherein a thickness of the tunnel oxide layer on the top surface of the outermost first substructure is less than a thickness of the tunnel oxide layer on a side surface of the outermost first substructure.

6. (Original) The solar cell according to claim 1, wherein a thickness difference between the tunnel oxide layer on the top surface of the outermost first substructure and the tunnel oxide layer on a side surface of the outermost first substructure is less than or equal to 0.15 nm.

7. (Original) The solar cell according to claim 1, wherein the first texture structure further includes two or more adjacent second substructures that do not stacked on one another, and a one-dimensional size of a top surface of the second substructure away from the rear surface is less than or equal to 45 μm .

8. (Currently Amended) The solar cell according to claim 7, wherein ~~the top surface of the first substructure and/or~~ the top surface of the second substructure is a polygonal plane.

9. (Currently Amended) The solar cell according to claim 8, wherein a shape of the top surface of the second substructure ~~the polygonal plane~~ includes at least one of a diamond, a square, a trapezoid, a substantially diamond, a substantially square or a substantially trapezoid.

10. (Original) The solar cell according to claim 1, wherein the tunnel oxide layer includes at least one of a silicon oxide layer, an aluminum oxide layer, a silicon oxynitride layer, a molybdenum oxide layer or a hafnium oxide layer, and the tunnel oxide layer has a thickness ranging from 0.8 nm to 2 nm.

11. (Original) The solar cell according to claim 1, wherein the second passivation layer includes at least one of a silicon nitride layer, a silicon oxide layer or a silicon oxynitride layer, and the second passivation layer has a thickness ranging from 70 nm to 120 nm.

12. (Original) The solar cell according to claim 1, wherein the first passivation layer includes at least one of a silicon oxide layer, a silicon nitride layer, an aluminum oxide layer or a silicon oxynitride layer.

13. (Original) The solar cell according to claim 1, wherein the semiconductor substrate is an N-type monocrystalline silicon substrate, the doped conductive layer is an N-type doped polycrystalline silicon layer, an N-type doped microcrystalline silicon layer or an N-type doped amorphous silicon layer, and the doped conductive layer has a thickness ranging from 60 nm to 200 nm.

14. (Original) A photovoltaic module, comprising a plurality of solar cell strings, wherein each of the plurality of solar cell strings comprises a plurality of solar cells, and each of the plurality cells comprises:

- a semiconductor substrate, wherein a rear surface of the semiconductor substrate has a first texture structure, the first texture structure includes two or more first substructures at least partially stacked on one another, and in a direction away from the rear surface and perpendicular to the rear surface, a distance between a top surface of an outermost first substructure and a top surface of an adjacent first substructure is less than or equal to 2 μm , and a one-dimensional size of the top surface of the outermost first substructure is less than or equal to 45 μm ;

- a first passivation layer located on a front surface of the semiconductor substrate;

- a tunnel oxide layer located on the first texture structure of the rear surface of the semiconductor substrate;

- a doped conductive layer located on a surface of the tunnel oxide layer, a conductivity type of doping elements of the doped conductive layer being same as that of the semiconductor substrate; and

- a second passivation layer located on a surface of the doped conductive layer.

15. (Original) The photovoltaic module according to claim 14, wherein the front surface of the semiconductor substrate has a second texture structure, the second texture structure includes a pyramid-shaped microstructure, the pyramid-shaped microstructure includes a top portion away from the front surface of the semiconductor substrate and a bottom portion close to the front surface of the semiconductor substrate, and in a direction away from the front surface and perpendicular to the front surface, a distance between the top portion and the bottom portion of the pyramid-shaped microstructure is less than or equal to 5 μm .

16. (Original) The solar cell according to claim 14, wherein for the two or more first substructures at least partially stacked on one another, in the direction away from the rear surface and perpendicular to the rear surface, the distance between the top surface of the outermost first substructure and the top surface of the adjacent first substructure ranges from 0.3 μm to 1.2 μm .

17. (Original) The solar cell according to claim 14, wherein an average one-dimensional size of the top surface of the outermost first substructure ranges from 10 μm to 15 μm .

18. (Currently Amended) A method for manufacturing a solar cell, comprising:
texturing a semiconductor substrate, and forming a second texture structure on a front surface of the semiconductor substrate, wherein the second texture structure includes a pyramid-shaped microstructure;

forming a doped layer with doping elements to the front surface of the textured semiconductor substrate;

polishing a rear surface of the semiconductor substrate with an alkali solution such that a first texture structure is formed on the rear surface of the semiconductor substrate, wherein the first texture structure has a non-pyramid microstructure and includes two or more first substructures at least partially stacked on one another, a top surface of the first substructure is a polygonal plane, and in a direction away from the rear surface and perpendicular to the rear surface, a distance between a top surface of an outermost first substructure and a top surface of an adjacent first substructure is less than or equal to 2 μm ; and a one-dimensional size of the top surface of the outermost first substructure is less than or equal to 45 μm , an average of the one-dimensional size ranges from 10 μm to 15 μm ;

forming a tunnel oxide layer on the first texture structure of the rear surface of the semiconductor substrate;

depositing a polycrystalline silicon layer on a surface of the tunnel oxide layer, and forming a doped conductive layer by doping the polycrystalline silicon layer, wherein the doped conductive layer and the semiconductor substrate have doping elements of a same conductivity type;

forming a first passivation layer on the front surface of the semiconductor substrate; and forming a second passivation layer on a surface of the doped conductive layer.

19. (Original) The method according to claim 18, wherein the polishing a rear surface of the semiconductor substrate with an alkali solution includes:

cleaning the rear surface of the semiconductor substrate with the alkali solution having a mass fraction of 5% to 15% to remove porous silicon;

dropping, by spraying, micro-liquid droplets of the alkali solution to the rear surface of the semiconductor substrate for roughening treatment, and then performing pre-cleaning with a hydrofluoric acid having a mass fraction of 5% to 10%;

polishing the rear surface of the semiconductor substrate with a polishing liquid at a polishing temperature ranging from 70°C to 80°C for a polishing time less than 260 seconds, wherein the polishing liquid includes NaOH having a mass fraction of 1% to 15%, KOH having a mass fraction of 1% to 15% and an additive having a mass fraction of 0.51% to 2.5%;

removing organic components in the polishing liquid by a mixture of potassium hydroxide having a mass fraction of 5% to 15% and hydrogen peroxide having a mass fraction of 15% to 40%; and

washing and drying the polished semiconductor substrate.

20. (Original) The method according to claim 18, wherein the forming a tunnel oxide layer includes at least one of:

1) depositing the tunnel oxide layer on the first texture structure of the rear surface of the semiconductor substrate by a temperature change process and chemical vapor deposition;

2) during the deposition of the tunnel oxide layer, controlling a heating rate to range from 0.5°C/min to 3°C/min, a deposition temperature to range from 560°C to 620°C and a deposition time to range from 3 min to 10 min;

3) a deposition temperature of the tunnel oxide layer being lower than a deposition temperature of the polycrystalline silicon layer;

- 4) the tunnel oxide layer comprising at least one of a silicon oxide layer, an aluminum oxide layer, a silicon oxynitride layer, a molybdenum oxide layer or a hafnium oxide layer;
and
- 5) the tunnel oxide layer having a thickness ranging from 0.8 nm to 2 nm.

REMARKS

Claims 1, 4, 8-9 and 18 are preliminary amended herein to be consistent with the allowed claims in the counterpart Japanese App. No. 2021-137285 for the purposes of PPH request being filed concurrently herewith. Applicant submits that no new matter is introduced by this amendments. Examination on the merits is requested.

The Commissioner is hereby authorized to charge any fee required in connection with this filing, and any additional fees which may be required, or credit any overpayment to Deposit Account No. 19-2380.

Respectfully submitted,

/Jeffrey L. Costellia, Reg. No. 35,483/
Jeffrey L. Costellia
Registration No. 35,483

NIXON PEABODY LLP
CUSTOMER NO. 22204
799 9th Street, N.W.
Suite 500
Washington, D.C. 20001-4501
TEL: (202) 585-8000

Substitute for form 1449A/PTO INFORMATION DISCLOSURE STATEMENT BY APPLICANT <i>(Use as many sheets as necessary))</i>				Complete if Known			
				Application Number		17/459,689	
				Filing Date		August 27, 2021	
				First Named Inventor		Kun YU et al.	
				Art Unit		Not Yet Assigned	
Examiner Name		Not Yet Assigned					
Sheet	1	of	1	Attorney Docket Number		084546-000033	

U.S. PATENT DOCUMENTS					
Examiner Initials*	Cite No. ¹	U.S. Patent Document	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		Number - Kind Code ² (if known)			
		US-2018/0182905 A1	06-28-2018	NAM et al.	
		US-2018/0315866 A1	11-01-2018	CHEONG et al.	
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			

FOREIGN PATENT DOCUMENTS						
Examiner Initials*	Cite No. ¹	Foreign Patent Document	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T ⁶
		Country Code ³ Number ⁴ Kind Code ⁵ (if known)				
		CN-112599615	04-02-2021			AB
		JP-2012-216788	11-08-2012			AB
		WO-2016/129481	08-18-2016			AB

OTHER PRIOR ART - NON PATENT LITERATURE DOCUMENTS			
Examiner Initials*	Cite No. ¹	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T ²
		Japan Office Action (Application No. 2021-137285) mailed January 11, 2022 (17 pages).	Eng.

Examiner Signature		Date Considered	
-----------------------	--	--------------------	--

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ Applicant's unique citation designation number (optional). ² See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. ³ Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). ⁴ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁶ Applicant is to place a check mark here if English language Translation is attached.

¹ Applicant's unique citation designation number (optional). ² Applicant is to place a check mark here if English language Translation is attached.



Espacenet

Bibliographic data: CN112599615 (A) — 2021-04-02

N-type Topcon battery with double-sided aluminum paste electrode and preparation method of battery

Inventor(s): FENG MINGZHANG; HE SHENG; XU WEIZHI ± (丰明璋; 何胜; 徐伟智)

Applicant(s): ASTRONERGY SOLAR CO LTD; HAINING ASTRONERGY TECH CO LTD ± (浙江正泰太阳能科技有限公司; 海宁正泰新能源科技有限公司)

Classification: - international: H01L31/0224; H01L31/068; H01L31/18
- cooperative: H01L31/022425 (CN); H01L31/022433 (CN); H01L31/022441 (CN); H01L31/068 (CN); H01L31/1804 (CN); H01L31/1868 (CN); Y02E10/546 (EP); Y02E10/547 (EP); Y02P70/50 (EP)

Application number: CN202110242438 20210305 [Global Dossier](#)

Priority number(s): CN202110242438 20210305

Also published as: [CN112599615 \(B\)](#)

Abstract of CN112599615 (A)

The invention relates to the technical field of solar cells, discloses an N-type Topcon battery with a double-sided aluminum paste electrode and a preparation method of the battery, and aims at the problems of high electrode cost and low photoelectric conversion efficiency of the N-type Topcon battery. A front silver main grid and a front aluminum fine grid are arranged on the front surface of the battery, and a back silver main grid and a back aluminum fine grid are arranged on the back surface. The preparation method of the battery comprises the steps of texturing, B diffusion, BSG removal, alkali polishing, back LPCVD deposition, tunneling of an oxide layer and a polycrystalline silicon layer, back P diffusion, PSG removal, winding removal, deposition of the front AlOx layer and the SiNx/Hy layer, back SiNx/Hy deposition, front/back UV laser ablation and silk-screen printing. Aluminum paste is printed on the front face/the back face to obtain aluminum grid lines and sectional type silver main grids; and the aluminum paste on the back surface replaces silver paste to form a good field passivation effect, so that the diffusion length of carriers is increased, the Voc of the battery is improved, and the manufacturing cost of the battery is reduced.



(12) 发明专利申请



(10) 申请公布号 CN 112599615 A

(43) 申请公布日 2021.04.02

(21) 申请号 202110242438.0

(22) 申请日 2021.03.05

(71) 申请人 浙江正泰太阳能科技有限公司

地址 310051 浙江省杭州市滨江区滨安路
1335号

申请人 海宁正泰新能源科技有限公司

(72) 发明人 丰明璋 何胜 徐伟智

(74) 专利代理机构 杭州杭诚专利事务所有限公
司 33109

代理人 尉伟敏

(51) Int. Cl.

H01L 31/0224 (2006.01)

H01L 31/068 (2012.01)

H01L 31/18 (2006.01)

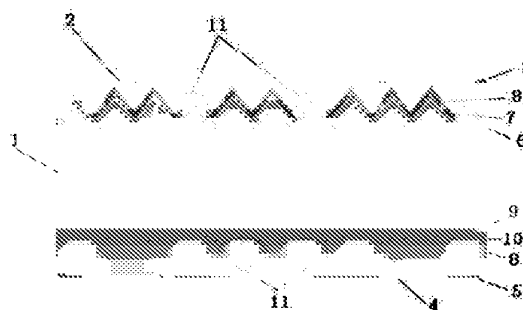
权利要求书1页 说明书14页 附图2页

(54) 发明名称

一种具有双面铝浆电极的N型Topcon电池及其制备方法

(57) 摘要

本发明涉及太阳能电池技术领域,针对N型Topcon电池电极成本高及光电转化效率低的问题,公开了提供一种具有双面铝浆电极的N型Topcon电池及其制备方法,电池正面设有正面银主栅和正面铝细栅,电池背面设有背面银主栅和背面铝细栅;上述电池的制备方法:制绒→B扩散→去BSG→碱抛光→背面LPCVD沉积隧穿氧化层和多晶硅层→背面P扩散→去PSG→去绕镀→正面 AlO_x 层和 SiN_xH_y 层沉积→背面 SiN_xH_y 沉积→正/背面UV激光消融→丝网印刷。本发明中正/背面采用铝浆印刷得到铝栅线和分段式银主栅;实现背面铝浆代替银浆,形成良好的场钝化效应,从而增加载流子的扩散长度,提升电池 V_{oc} ,降低电池的制作成本。



1. 一种具有双面铝浆电极的N型Topcon电池的制备方法,其特征是,电池包括N型衬底(1),N型衬底(1)正面由内向外依次设有P型掺杂区层(6)、 AlO_x 层(7)及 SiN_xH_y 层(8),N型衬底(1)的背面由内向外依次设有隧穿氧化层(9)、N型掺杂多晶硅层(10)及 SiN_xH_y 层(8),正面所述 SiN_xH_y 层(8)上设有正面银主栅(2)和正面铝细栅(3),背面所述 SiN_xH_y 层(8)上设有背面银主栅(4)和背面铝细栅(5);上述电池的制备方法为:制绒→B扩散→去BSG→碱抛光→背面LPCVD沉积隧穿氧化层和多晶硅层→背面P扩散→去PSG→去绕镀→正面 AlO_x 层和 SiN_xH_y 层沉积→背面 SiN_xH_y 沉积→正/背面UV激光消融→丝网印刷。

2. 根据权利要求1所述的制备方法,其特征是,包括如下具体制备步骤:

A、金属化前的N型双面电池制备,采用N型单晶硅片为基底,N型硅片的正面依次通过B扩散形成P型掺杂区层,PECVD的方式沉积 AlO_x 层及 SiN_xH_y 层,在N型硅片的背面依次通过LPCVD的方式沉积隧穿氧化层和多晶硅层,通过P扩散形成N型掺杂多晶硅层,PECVD沉积 SiN_xH_y 层;

B、在电池的正表面使用UV激光消融去除部分 AlO_x 层及 SiN_xH_y 层钝化介质膜;在电池的背面使用UV激光消融去除部分 SiN_xH_y 层钝化介质膜;

C、在电池的正表面使用铝浆印刷烧结形成局部接触点H型正面铝细栅线电极,正面银主栅采用分段式设计,正面银主栅分布于铝细栅线中,正面铝细栅根数为106-122,宽度为25-40 μm ,高度为10-25 μm ;正面银主栅每段长度为2-8mm,宽0.1-2mm,高4-8 μm ,根数为5-12;

D、在电池的背面使用弱烧穿型铝浆印刷烧结形成局部接触点H型背面铝细栅线电极,背面铝细栅根数为110-160,宽度为40-160 μm ,高度为10-25 μm ;背面银主栅采用分段式设计,每段长度为2-8mm,宽0.1-2mm,高4-8 μm ,根数为5-12。

3. 根据权利要求2所述的制备方法,其特征是,步骤A中,正面 AlO_x 层厚度为2-15nm, SiN_xH_y 层厚度为50-100nm;背面隧穿氧化层的厚度为1-8nm,N型掺杂多晶硅层厚度为100-200nm, SiN_xH_y 膜厚度为50-100nm。

4. 根据权利要求2所述的制备方法,其特征是,步骤B中,UV激光的光斑直径为10-30 μm ;光斑间距为0-700 μm ,正面消融去膜深度与 AlO_x 层及 SiN_xH_y 层厚度一致,背面消融去膜深度与背面 SiN_xH_y 层钝化介质膜的厚度一致。

5. 根据权利要求2所述的制备方法,其特征是,步骤D中,背面烧结形成的铝细栅和N型掺杂多晶硅层形成欧姆接触。

6. 按照权利要求1-5任一所述的制备方法制备得到的具有双面铝浆电极的N型Topcon电池,其特征是,正面银主栅(2)的厚度小于正面铝细栅(3)的厚度,正面银主栅(2)分布于正面铝细栅(3)中,背面银主栅(4)的厚度小于背面铝细栅(5)的厚度,背面银主栅(4)分布于背面铝细栅(5)中。

7. 根据权利要求6所述的电池,其特征是,正面的所述 AlO_x 层(7)及 SiN_xH_y 层(8)上设有接触槽,背面的 SiN_xH_y 层(8)上设有接触槽。

8. 根据权利要求7所述的电池,其特征是,正面铝细栅(3)穿过所述接触槽与 AlO_x 层(7)形成局部接触点(11)。

9. 根据权利要求7所述的电池,其特征是,背面铝细栅(5)穿过所述接触槽与N型掺杂多晶硅层(10)形成局部接触点(11)。

一种具有双面铝浆电极的N型Topcon电池及其制备方法

技术领域

[0001] 本发明涉及太阳能电池技术领域,尤其是涉及一种具有双面铝浆电极的N型Topcon电池及其制备方法。

背景技术

[0002] Topcon太阳能电池(隧穿氧化层钝化接触,Tunnel Oxide Passivated Contact)是一种使用超薄氧化层作为钝化层结构的太阳电池。其中,N型Topcon电池在结构上,基体为N型Si,正面通过B扩散的方式得到P+掺杂层,并在正面通过ALD或是PECVD的方式沉积对应的 $\text{AlO}_x/\text{SiN}_x$ 钝化介质膜;在背面通过LPCVD的方式沉积隧穿氧化层和多晶硅,并通过原位P掺杂或是本征P扩散的方式得到N+掺杂层;正背面通常采用丝网印刷的方式得到对应的金属电极,正面使用银铝浆,背面使用银浆;一方面相比于P型PERC电池,N型Topcon电池背面采用银浆,虽然能保证较高的双面率,但同时增加了电池的制造成本,因此为了同时满足N型Topcon电池提效和降本的原则,背面应尽可能减少银浆的使用;另一方面也应尽可能降低电池正面银浆的使用,才能较PERC电池在成本和效率上占据绝对的优势。

[0003] 例如专利号CN202010483586.7,专利名称“一种N型Topcon太阳能电池的制作方法”,本发明涉及一种N型Topcon太阳能电池的制作方法,包括如下步骤:a、双面制绒;b、单面旋涂;c、单面氧化:在旋涂面形成一层含硼氧化硅层;d、形成重、轻掺杂区基底:使用掩模方式,在对应金属栅线位置形成保护重掺杂区的有机掩膜层;使用HF完全去除有机掩膜层覆盖区外的含硼氧化硅层及硼源,再去掉有机掩膜层;e、完成重、轻掺杂:使用管式低压扩散法将旋涂的硼源完全推进硅基体中,形成重掺杂区;再进行整面通源沉积,形成轻掺杂区;最后进行高温氧化形成80-100nm厚度的BSG层;后按照正常后续工序进行。

[0004] 其不足之处在于,仅有银栅作为传输介质,电池的光电转化效率低。

发明内容

[0005] 本发明是为了克服N型Topcon电池电极成本高及光电转化效率低的问题,提供一种具有双面铝浆电极的N型Topcon电池及其制备方法,本发明中正/背面采用铝浆印刷得到铝栅线和分段式银主栅;通过调节浆料中的玻璃粉成分,使得浆料和掺杂N型掺杂多晶硅层之间只形成良好的欧姆接触,不形成BSF层,从而可以实现背面铝浆代替银浆,形成良好的场钝化效应,从而增加载流子的扩散长度,提升电池 V_{oc} ,降低电池的制作成本。

[0006] 为了实现上述目的,本发明采用以下技术方案:

一种具有双面铝浆电极的N型Topcon电池的制备方法,电池包括N型衬底,N型衬底正面由内向外依次设有P型掺杂区层、 AlO_x 层及 SiN_xH_y 层,N型衬底的背面由内向外依次设有隧穿氧化层、N型掺杂多晶硅层及 SiN_xH_y 层,正面所述 SiN_xH_y 层上设有正面银主栅和正面铝细栅,背面所述 SiN_xH_y 层上设有背面银主栅和背面铝细栅;上述电池的制备方法为:制绒→B扩散→去BSG→碱抛光→背面LPCVD沉积隧穿氧化层和多晶硅层→背面P扩散→去PSG→去绕镀→正面 AlO_x 层和 SiN_xH_y 层沉积→背面 SiN_xH_y 沉积→正/背面UV激光消融→丝网印刷。

[0007] 本发明电池结构中正面分别采用铝浆和少量银浆制得铝细栅和分段银主栅,铝细栅通过将收集的电流汇集至银主栅,同时银主栅满足焊接要求;背面分别采用铝浆和少量银浆制得铝细栅和分段银主栅,铝细栅通过将收集的电流汇集至银主栅,同时银主栅满足焊接要求;该方法一方面可以降低正背面银浆耗量,从而降低成本;另外一方面可以通过减少激光损伤,正表面形成前表面场,降低金属复合等方式提升电池 V_{oc} ,电池效率优于双面银浆的电池效率。

[0008] 作为优选,包括如下具体制备步骤:

A、金属化前的N型双面电池制备,采用N型单晶硅片为基底,N型硅片的正面依次通过B扩散形成P型掺杂区层,PECVD的方式沉积 AlO_x 层及 SiN_xH_y 层,在N型硅片的背面依次通过LPCVD的方式沉积隧穿氧化层和多晶硅层,通过P扩散形成N型掺杂多晶硅层,PECVD沉积 SiN_xH_y 层;

B、在电池的正表面使用UV激光消融去除部分 AlO_x 层及 SiN_xH_y 层钝化介质膜;在电池的背面使用UV激光消融去除部分 SiN_xH_y 层钝化介质膜;

C、在电池的正表面使用铝浆印刷烧结形成局部接触点H型正面铝细栅线电极,正面银主栅采用分段式设计,正面银主栅分布于铝细栅线中,正面铝细栅根数为106-122,宽度为25-40 μm ,高度为10-25 μm ;正面银主栅每段长度为2-8mm,宽0.1-2mm,高4-8 μm ,根数为5-12;

D、在电池的背面使用弱烧穿型铝浆印刷烧结形成局部接触点H型背面铝细栅线电极,背面铝细栅根数为110-160,宽度为40-160 μm ,高度为10-25 μm ;背面银主栅采用分段式设计,每段长度为2-8mm,宽0.1-2mm,高4-8 μm ,根数为5-12。

[0009] 相关现有技术中为了降低背面金属化的成本,当下部分研究者采用P型PERC电池背面金属化方式,即在背面通过激光消融的方式部分去除钝化介质膜,然后印刷铝浆,经过烧结形成具有欧姆接触的金属电极;该方式采用当下的绿光激光器消融会产生较大的激光光斑和边缘火山口,对钝化介质膜的损伤过大,导致钝化效果降低,影响电池的 V_{oc} ,从而降低电池效。

[0010] 与现有制备工艺相比,本发明的正面通过UV激光消融去除部分 AlO_x 层及 SiN_xH_y 层钝化膜且不损坏PN结、背面通过UV激光部分去除 SiN_xH_y 层钝化膜,且不损坏N型掺杂多晶硅层;本发明的正/背面金属电极的好处在于:(1)采用UV激光消融去除正表面部分 AlO_x 层及 SiN_xH_y 层钝化膜,较绿光激光器消融,光斑直径小,且边缘几乎没有烧蚀火山口,最大限度的降低对钝化介质膜和电池PN结区的损伤;(2)采用UV激光消融去除背表面部分 SiN_xH_y 层钝化膜,较绿光激光器消融,光斑直径小,边缘几乎没有烧蚀火山口,最大限度的降低其对钝化介质膜的损伤,并且能精准控制能量的释放,保证N型掺杂多晶硅层不被损坏;(3)采用该方法制作正/背面金属电极,可以保证效率和双面银浆金属电极相当,但制作成本大幅度降。

[0011] 作为优选,步骤A中,正面 AlO_x 层厚度为2-15nm, SiN_xH_y 层厚度为50-100nm;背面隧穿氧化层的厚度为1-8nm,N型掺杂多晶硅层厚度为100-200nm, SiN_xH_y 膜厚度为50-100nm。

[0012] 正面 AlO_x 和 SiN_xH_y 增加正表面钝化效果和降低正表面反射率,背面隧穿氧化层为载流子选择性钝化,N性掺杂多晶硅主要是为了降低和背面电极的接触电阻,背面 SiN_xH_y 增加背表面钝化效果。设置该厚度范围是因为不同的膜层厚度需要同时兼具光学和电学的平衡,使得光电转换效率最大化。

[0013] 作为优选,其特征是,步骤B中,UV激光的光斑直径为10-30 μm ;光斑间距为0-700 μm ,正面消融去膜深度与 AlO_x 层及 SiN_xH_y 层厚度一致,背面消融去膜深度与背面 SiN_xH_y 层钝化介质膜的厚度一致。

[0014] 为了保证能够充分并及时收集和传输载流子,正/反面消融去膜深度必须与钝化膜层的厚度一致,这样才能保证正面铝细栅与P型掺杂区层充分接触、背面铝细栅与N型掺杂多晶硅层充分接触,使得电池的光电转化效率进一步提高。

[0015] 作为优选,步骤D中,背面烧结形成的铝细栅和N型掺杂多晶硅层形成欧姆接触,不会形成BSF层。

[0016] 铝细栅只和N型掺杂多晶硅层形成欧姆接触,铝浆不会继续穿透掺杂多晶硅层进入Si基体形成二次掺杂,所以不会形成BSF层。

[0017] 所述的制备方法制备得到的具有双面铝浆电极的N型Topcon电池,正面银主栅的厚度小于正面铝细栅的厚度,正面银主栅分布于正面铝细栅中,背面银主栅的厚度小于背面铝细栅的厚度,背面银主栅分布于背面铝细栅中。

[0018] 因为是先印刷银主栅,再印刷铝细栅,两者需要一个重叠部分才能将铝细栅收集的载流子汇集至银主栅,在高度上银主栅要低于铝细栅,该设计不会影响银主栅的焊接效果,进而提高载流子的流动效率,而且就电池的表面结构来说,避免了银主栅焊接结构的外凸,表面结构也更加平整,整个电池体积小巧,节省安装空间。

[0019] 作为优选,正面的所述 AlO_x 层及 SiN_xH_y 层上设有接触槽,背面的 SiN_xH_y 层上设有接触槽。

[0020] 作为优选,正面铝细栅穿过所述接触槽与 AlO_x 层形成局部接触点。

[0021] 作为优选,背面铝细栅穿过所述接触槽与N型掺杂多晶硅层形成局部接触点。

[0022] 通常,N型Topcon电池的背面金属电极直接采用银浆印刷制得,正面金属电极采用银铝浆印刷制的,相较于P型PERC电池制作成本高,效率优势无法凸显,即无法显著降低太阳能电池每瓦的制造成本,当下部分研究者针对N型Topcon电池正面银浆的使用问题,为了降低正面银浆的使用,先是印刷铝细栅,后再铝细栅上叠印银细栅;该方法虽然一定程度上降低了正面银浆的耗量,降低了电池的制作成本,但是为了满足上层银浆的烧结条件,烧结温度过高导致下层铝浆横向和纵向的拓展性增强,电池前表面的钝化效果降低,且遮光面积增加,导致电池效率无法达到预期的目标;因此,电池正面先是经过UV激光消融去除表面部分 AlO_x 层及 SiN_xH_y 层钝化膜,然后分别采用铝浆和少量银浆印刷得到细栅线和分段式银主栅;电池背面同样是先经过UV激光消融去除表面部分 SiN_xH_y 层,因为通过激光基准控制不损坏N型掺杂多晶硅层,然后分别采用铝浆和少量银浆印刷得到细栅线和分段式银主栅,本发明的电池结构具有以下优势:(1)正面直接采用铝浆印刷得到铝栅线,一方面可以在正表面形成N型掺杂多晶硅层,形成良好的场钝化效应,从而增加载流子的扩散长度,提升电池 V_{oc} ;另一方面可以大幅度的降低正面电极的制作成本;(2)背面直接采用铝浆印刷得到铝栅线,通过调节浆料中的玻璃粉成分,使得浆料和掺杂N型掺杂多晶硅层之间只形成良好的欧姆接触,不形成BSF层,从而可以实现背面铝浆代替银浆,降低背面的电极制作成本;(3)正/背面采用铝浆进行电极的制作,避免Si的深能级杂质Ag的进入造成过大的金属复合,即 $J_{0,metal}$ 过大,从而提升电池 V_{oc} 和电池转化效率低。

[0023] 因此,本发明具有如下有益效果:

(1)通过在电池结构中正/背面采用铝浆和少量银浆制得铝细栅和分段银主栅,铝细栅通过将收集的电流汇集至银主栅,同时银主栅满足焊接要求;

(2)加工过程中采用UV激光消融去除正表面部分 AlO_x 层及 SiN_xH_y 层钝化膜,较绿光激光器消融,光斑直径小,且边缘几乎没有烧蚀火山口,最大限度的降低对钝化介质膜和电池PN结区的损伤,降低对电池表面涂层的损伤;

(3)该电池结构一方面可以降低正背面银浆耗量,从而降低成本;另外一方面可以通过减少激光损伤,正表面形成前表面场,降低金属复合等方式提升电池 V_{oc} ,电池效率优于双面银浆的电池效率。

附图说明

[0024] 图1是本发明的电池结构示意图。

[0025] 图2是本发明的电池正面栅线结构示意图。

[0026] 图3是本发明的电池背面栅线结构示意图。

[0027] 图中:1、N型衬底;2、正面银主栅;3、正面铝细栅;4、背面银主栅;5、背面铝细栅;6、P型掺杂区层;7、 AlO_x 层;8、 SiN_xH_y 层;9、隧穿氧化层;10、N型掺杂多晶硅层;11、局部接触点。

具体实施方式

[0028] 下面结合具体实施方式对本发明做进一步的描述。

[0029] 总实施例

如图1-3所示,一种具有双面铝浆电极的N型Topcon电池,包括N型衬底1,N型衬底1正面由内向外依次设有P型掺杂区层6、 AlO_x 层7及 SiN_xH_y 层8,N型衬底1的背面由内向外依次设有隧穿氧化层9、N型掺杂多晶硅层10及 SiN_xH_y 层8,正面所述 SiN_xH_y 层8上设有正面银主栅2和正面铝细栅3,背面所述 SiN_xH_y 层8上设有背面银主栅4和背面铝细栅5。

[0030] 正面银主栅2的厚度小于正面铝细栅3的厚度,正面银主栅2分布于正面铝细栅3中,背面银主栅4的厚度小于背面铝细栅5的厚度,背面银主栅4分布于背面铝细栅5中。正面的所述 AlO_x 层7及 SiN_xH_y 层8上设有接触槽,背面的 SiN_xH_y 层8上设有接触槽。正面铝细栅3穿过所述接触槽与 AlO_x 层7形成局部接触点11。背面铝细栅5穿过所述接触槽与N型掺杂多晶硅层10形成局部接触点11。

[0031] 所述的具有双面铝浆电极的N型Topcon电池的制备方法,制备流程为:制绒→B扩散→去BSG→碱抛光→背面LPCVD沉积隧穿氧化层和多晶硅层→背面P扩散→去PSG→去绕镀→正面 AlO_x 层和 SiN_xH_y 层沉积→背面 SiN_xH_y 沉积→正/背面UV激光消融→丝网印刷。包括如下具体制备步骤:

A、金属化前的N型双面电池制备,采用N型单晶硅片为基底,N型硅片的正面依次通过B扩散形成P型掺杂区层,PECVD的方式沉积厚度为2-15nm的 AlO_x 层及厚度为50-100nm的厚度为50-100nm的 SiN_xH_y 层,在N型硅片的背面依次通过LPCVD的方式沉积厚度为1-8nm的隧穿氧化层,通过LPCVD和P扩散形成厚度为100-200nm的N型掺杂多晶硅层,PECVD沉积厚度为50-100nm的 SiN_xH_y 层;

B、在电池的正表面使用UV激光消融去除部分 AlO_x 层及 SiN_xH_y 层钝化介质膜;在电池的背面使用UV激光消融去除部分 SiN_xH_y 层钝化介质膜;UV激光的光斑直径为10-30 μm ;光

斑间距为0-700um,正面消融去膜深度与 AlO_x 层及 SiN_xH_y 层厚度一致,背面消融去膜深度与背面 SiN_xH_y 层钝化介质膜的厚度一致;

C、在电池的正表面使用铝浆印刷烧结形成局部接触点H型正面铝细栅线电极,正面银主栅采用分段式设计,正面银主栅分布于铝细栅线中,正面铝细栅根数为106-122,宽度为25-40um,高度为10-25um;正面银主栅每段长度为2-8mm,宽0.1-2mm,高4-8um,根数为5-12;

D、在电池的背面使用弱烧穿型铝浆印刷烧结形成局部接触点H型背面铝细栅线电极,背面铝细栅根数为110-160,宽度为40-160um,高度为10-25um;背面银主栅采用分段式设计,每段长度为2-8mm,宽0.1-2mm,高4-8um,根数为5-12;背面烧结形成的铝细栅和N型掺杂多晶硅层形成欧姆接触,不会形成BSF层。

[0032] 实施例1

一种具有双面铝浆电极的N型Topcon电池,包括N型衬底1,N型衬底1正面由内向外依次设有P型掺杂区层6、 AlO_x 层7及 SiN_xH_y 层8,N型衬底1的背面由内向外依次设有隧穿氧化层9、N型掺杂多晶硅层10及 SiN_xH_y 层8,正面所述 SiN_xH_y 层8上设有正面银主栅2和正面铝细栅3,背面所述 SiN_xH_y 层8上设有背面银主栅4和背面铝细栅5。

[0033] 正面银主栅2的厚度小于正面铝细栅3的厚度,正面银主栅2分布于正面铝细栅3中,背面银主栅4的厚度小于背面铝细栅5的厚度,背面银主栅4分布于背面铝细栅5中。正面的所述 AlO_x 层7及 SiN_xH_y 层8上设有接触槽,背面的 SiN_xH_y 层8上设有接触槽。正面铝细栅3穿过所述接触槽与 AlO_x 层7形成局部接触点11。背面铝细栅5穿过所述接触槽与N型掺杂多晶硅层10形成局部接触点11。

[0034] 所述的具有双面铝浆电极的N型Topcon电池的制备方法,制备流程为:制绒→B扩散→去BSG→碱抛光→背面LPCVD沉积隧穿氧化层和多晶硅层→背面P扩散→去PSG→去绕镀→正面 AlO_x 层和 SiN_xH_y 层沉积→背面 SiN_xH_y 沉积→正/背面UV激光消融→丝网印刷。包括如下具体制备步骤:

A、金属化前的N型双面电池制备,采用N型单晶硅片为基底,N型硅片的正面依次通过B扩散形成P型掺杂区层,PECVD的方式沉积厚度为8nm的 AlO_x 层及厚度为80nm的 SiN_xH_y 层,在N型硅片的背面依次通过LPCVD的方式沉积厚度为2nm的隧穿氧化层,通过LPCVD和P扩散形成厚度为150nm的N型掺杂多晶硅层,PECVD沉积厚度为75nm SiN_xH_y 层;

B、在电池的正表面使用UV激光消融去除部分 AlO_x 层及 SiN_xH_y 层钝化介质膜;在电池的背面使用UV激光消融去除部分 SiN_xH_y 层钝化介质膜;UV激光的光斑直径为20um;光斑间距为350um,正面消融去膜深度与 AlO_x 层及 SiN_xH_y 层厚度一致,背面消融去膜深度与背面 SiN_xH_y 层钝化介质膜的厚度一致;

C、在电池的正表面使用铝浆印刷烧结形成局部接触点H型正面铝细栅线电极,正面银主栅采用分段式设计,正面银主栅分布于铝细栅线中,正面铝细栅根数为112,宽度为32um,高度为18um;正面银主栅每段长度为5mm,宽1mm,高6um,根数为8;

D、在电池的背面使用弱烧穿型铝浆印刷烧结形成局部接触点H型背面铝细栅线电极,背面铝细栅根数为135,宽度为100um,高度为18um;背面银主栅采用分段式设计,每段长度为5mm,宽1mm,高5um,根数为8;背面烧结形成的铝细栅和N型掺杂多晶硅层形成欧姆接触,不会形成BSF层。

[0035] 实施例2

一种具有双面铝浆电极的N型Topcon电池,包括N型衬底1,N型衬底1正面由内向外依次设有P型掺杂区层6、 AlO_x 层7及 SiN_xH_y 层8,N型衬底1的背面由内向外依次设有隧穿氧化层9、N型掺杂多晶硅层10及 SiN_xH_y 层8,正面所述 SiN_xH_y 层8上设有正面银主栅2和正面铝细栅3,背面所述 SiN_xH_y 层8上设有背面银主栅4和背面铝细栅5。

[0036] 正面银主栅2的厚度小于正面铝细栅3的厚度,正面银主栅2分布于正面铝细栅3中,背面银主栅4的厚度小于背面铝细栅5的厚度,背面银主栅4分布于背面铝细栅5中。正面的所述 AlO_x 层7及 SiN_xH_y 层8上设有接触槽,背面的 SiN_xH_y 层8上设有接触槽。正面铝细栅3穿过所述接触槽与 AlO_x 层7形成局部接触点11。背面铝细栅5穿过所述接触槽与N型掺杂多晶硅层10形成局部接触点11。

[0037] 所述的具有双面铝浆电极的N型Topcon电池的制备方法,制备流程为:制绒→B扩散→去BSG→碱抛光→背面LPCVD沉积隧穿氧化层和N型掺杂多晶硅层→背面P扩散→去PSG→去绕镀→正面 AlO_x 层和 SiN_xH_y 层沉积→背面 SiN_xH_y 沉积→正/背面UV激光消融→丝网印刷。包括如下具体制备步骤:

A、金属化前的N型双面电池制备,采用N型单晶硅片为基底,N型硅片的正面依次通过B扩散形成P型掺杂区层,PECVD的方式沉积厚度为15nm的 AlO_x 层及厚度为50nm的厚度为100nm的 SiN_xH_y 层,在N型硅片的背面依次通过LPCVD的方式沉积厚度为1nm的隧穿氧化层,通过LPCVD和P扩散形成厚度为200nm的N型掺杂多晶硅层,PECVD沉积厚度为100nm的 SiN_xH_y 层;

B、在电池的正表面使用UV激光消融去除部分 AlO_x 层及 SiN_xH_y 层钝化介质膜;在电池的背面使用UV激光消融去除部分 SiN_xH_y 层钝化介质膜;UV激光的光斑直径为10 μm ;光斑间距为700 μm ,正面消融去膜深度与 AlO_x 层及 SiN_xH_y 层厚度一致,背面消融去膜深度与背面 SiN_xH_y 层钝化介质膜的厚度一致;

C、在电池的正表面使用铝浆印刷烧结形成局部接触点H型正面铝细栅线电极,正面银主栅采用分段式设计,正面银主栅分布于铝细栅线中,正面铝细栅根数为106,宽度为40 μm ,高度为10 μm ;正面银主栅每段长度为8mm,宽0.1mm,高8 μm ,根数为5;

D、在电池的背面使用弱烧穿型铝浆印刷烧结形成局部接触点H型背面铝细栅线电极,背面铝细栅根数为110,宽度为160 μm ,高度为10 μm ;背面银主栅采用分段式设计,每段长度为8mm,宽0.1mm,高8 μm ,根数为5;背面烧结形成的铝细栅和N型掺杂多晶硅层形成欧姆接触,不会形成BSF层。

[0038] 实施例3

一种具有双面铝浆电极的N型Topcon电池,包括N型衬底1,N型衬底1正面由内向外依次设有P型掺杂区层6、 AlO_x 层7及 SiN_xH_y 层8,N型衬底1的背面由内向外依次设有隧穿氧化层9、N型掺杂多晶硅层10及 SiN_xH_y 层8,正面所述 SiN_xH_y 层8上设有正面银主栅2和正面铝细栅3,背面所述 SiN_xH_y 层8上设有背面银主栅4和背面铝细栅5。

[0039] 正面银主栅2的厚度小于正面铝细栅3的厚度,正面银主栅2分布于正面铝细栅3中,背面银主栅4的厚度小于背面铝细栅5的厚度,背面银主栅4分布于背面铝细栅5中。正面的所述 AlO_x 层7及 SiN_xH_y 层8上设有接触槽,背面的 SiN_xH_y 层8上设有接触槽。正面铝细栅3穿过所述接触槽与 AlO_x 层7形成局部接触点11。背面铝细栅5穿过所述接触槽与N型掺杂多晶

硅层10形成局部接触点11。

[0040] 所述的具有双面铝浆电极的N型Topcon电池的制备方法,制备流程为:制绒→B扩散→去BSG→碱抛光→背面LPCVD沉积隧穿氧化层和N型掺杂多晶硅层→背面P扩散→去PSG→去绕镀→正面 AlO_x 层和 SiN_xH_y 层沉积→背面 SiN_xH_y 沉积→正/背面UV激光消融→丝网印刷。包括如下具体制备步骤:

A、金属化前的N型双面电池制备,采用N型单晶硅片为基底,N型硅片的正面依次通过B扩散形成P型掺杂区层,PECVD的方式沉积厚度为2nm的 AlO_x 层及厚度为50nm的 SiN_xH_y 层,在N型硅片的背面依次通过LPCVD的方式沉积厚度为8nm的隧穿氧化,通过LPCVD和P扩散形成厚度为100nm的N型掺杂多晶硅层,PECVD沉积厚度为60nm的 SiN_xH_y 层;

B、在电池的正表面使用UV激光消融去除部分 AlO_x 层及 SiN_xH_y 层钝化介质膜;在电池的背面使用UV激光消融去除部分 SiN_xH_y 层钝化介质膜;UV激光的光斑直径为30um;光斑间距为0um,正面消融去膜深度与 AlO_x 层及 SiN_xH_y 层厚度一致,背面消融去膜深度与背面 SiN_xH_y 层钝化介质膜的厚度一致;

C、在电池的正表面使用铝浆印刷烧结形成局部接触点H型正面铝细栅线电极,正面银主栅采用分段式设计,正面银主栅分布于铝细栅线中,正面铝细栅根数为122,宽度为25um,高度为25um;正面银主栅每段长度为2mm,宽2mm,高4um,根数为12;

D、在电池的背面使用弱烧穿型铝浆印刷烧结形成局部接触点H型背面铝细栅线电极,背面铝细栅根数为160,宽度为40um,高度为10um;背面银主栅采用分段式设计,每段长度为8mm,宽0.1mm,高8um,根数为12;背面烧结形成的铝细栅和N型掺杂多晶硅层形成欧姆接触,不会形成BSF层。

[0041] 实施例4

一种具有双面铝浆电极的N型Topcon电池,包括N型衬底1,N型衬底1正面由内向外依次设有P型掺杂区层6、 AlO_x 层7及 SiN_xH_y 层8,N型衬底1的背面由内向外依次设有隧穿氧化层9、N型掺杂多晶硅层10及 SiN_xH_y 层8,正面所述 SiN_xH_y 层8上设有正面银主栅2和正面铝细栅3,背面所述 SiN_xH_y 层8上设有背面银主栅4和背面铝细栅5。

[0042] 正面银主栅2的厚度小于正面铝细栅3的厚度,正面银主栅2分布于正面铝细栅3中,背面银主栅4的厚度小于背面铝细栅5的厚度,背面银主栅4分布于背面铝细栅5中。正面的所述 AlO_x 层7及 SiN_xH_y 层8上设有接触槽,背面的 SiN_xH_y 层8上设有接触槽。正面铝细栅3穿过所述接触槽与 AlO_x 层7形成局部接触点11。背面铝细栅5穿过所述接触槽与N型掺杂多晶硅层10形成局部接触点11。

[0043] 所述的具有双面铝浆电极的N型Topcon电池的制备方法,制备流程为:制绒→B扩散→去BSG→碱抛光→背面LPCVD沉积隧穿氧化层和N型掺杂多晶硅层→背面P扩散→去PSG→去绕镀→正面 AlO_x 层和 SiN_xH_y 层沉积→背面 SiN_xH_y 沉积→正/背面UV激光消融→丝网印刷。包括如下具体制备步骤:

A、金属化前的N型双面电池制备,采用N型单晶硅片为基底,N型硅片的正面依次通过B扩散形成P型掺杂区层,PECVD的方式沉积厚度为4nm的 AlO_x 层及厚度为60nm的 SiN_xH_y 层,在N型硅片的背面依次通过LPCVD的方式沉积厚度为2nm的隧穿氧化层,通过LPCVD和P扩散形成厚度为120nm的N型掺杂多晶硅层,PECVD沉积厚度为80nm的 SiN_xH_y 层;

B、在电池的正表面使用UV激光消融去除部分 AlO_x 层及 SiN_xH_y 层钝化介质膜;在电

池的背面使用UV激光消融去除部分 SiN_xH_y 层钝化介质膜;UV激光的光斑直径为25 μm ;光斑间距为100 μm ,正面消融去膜深度与 AlO_x 层及 SiN_xH_y 层厚度一致,背面消融去膜深度与背面 SiN_xH_y 层钝化介质膜的厚度一致;

C、在电池的正表面使用铝浆印刷烧结形成局部接触点H型正面铝细栅线电极,正面银主栅采用分段式设计,正面银主栅分布于铝细栅线中,正面铝细栅根数为112,宽度为30 μm ,高度为20 μm ;正面银主栅每段长度为4mm,宽0.5mm,高5 μm ,根数为7;

D、在电池的背面使用弱烧穿型铝浆印刷烧结形成局部接触点H型背面铝细栅线电极,背面铝细栅根数为125,宽度为55 μm ,高度为15 μm ;背面银主栅采用分段式设计,每段长度为4mm,宽0.8mm,高5 μm ,根数为7;背面烧结形成的铝细栅和N型掺杂多晶硅层形成欧姆接触,不会形成BSF层。

[0044] 实施例5

一种具有双面铝浆电极的N型Topcon电池,包括N型衬底1,N型衬底1正面由内向外依次设有P型掺杂区层6、 AlO_x 层7及 SiN_xH_y 层8,N型衬底1的背面由内向外依次设有隧穿氧化层9、N型掺杂多晶硅层10及 SiN_xH_y 层8,正面所述 SiN_xH_y 层8上设有正面银主栅2和正面铝细栅3,背面所述 SiN_xH_y 层8上设有背面银主栅4和背面铝细栅5。

[0045] 正面银主栅2的厚度小于正面铝细栅3的厚度,正面银主栅2分布于正面铝细栅3中,背面银主栅4的厚度小于背面铝细栅5的厚度,背面银主栅4分布于背面铝细栅5中。正面的所述 AlO_x 层7及 SiN_xH_y 层8上设有接触槽,背面的 SiN_xH_y 层8上设有接触槽。正面铝细栅3穿过所述接触槽与 AlO_x 层7形成局部接触点11。背面铝细栅5穿过所述接触槽与N型掺杂多晶硅层10形成局部接触点11。

[0046] 所述的具有双面铝浆电极的N型Topcon电池的制备方法,制备流程为:制绒→B扩散→去BSG→碱抛光→背面LPCVD沉积隧穿氧化层和N型掺杂多晶硅层→背面P扩散→去PSG→去绕镀→正面 AlO_x 层和 SiN_xH_y 层沉积→背面 SiN_xH_y 沉积→正/背面UV激光消融→丝网印刷。包括如下具体制备步骤:

A、金属化前的N型双面电池制备,采用N型单晶硅片为基底,N型硅片的正面依次通过B扩散形成P型掺杂区层,PECVD的方式沉积厚度为12nm的 AlO_x 层及厚度为90nm的 SiN_xH_y 层,在N型硅片的背面依次通过LPCVD的方式沉积厚度为3nm的隧穿氧化层,通过LPCVD和P扩散形成厚度为180nm的N型掺杂多晶硅层,PECVD沉积厚度为90nm的 SiN_xH_y 层;

B、在电池的正表面使用UV激光消融去除部分 AlO_x 层及 SiN_xH_y 层钝化介质膜;在电池的背面使用UV激光消融去除部分 SiN_xH_y 层钝化介质膜;UV激光的光斑直径为15 μm ;光斑间距为650 μm ,正面消融去膜深度与 AlO_x 层及 SiN_xH_y 层厚度一致,背面消融去膜深度与背面 SiN_xH_y 层钝化介质膜的厚度一致;

C、在电池的正表面使用铝浆印刷烧结形成局部接触点H型正面铝细栅线电极,正面银主栅采用分段式设计,正面银主栅分布于铝细栅线中,正面铝细栅根数为120,宽度为35 μm ,高度为22 μm ;正面银主栅每段长度为6mm,宽1.6mm,高6.5 μm ,根数为10;

D、在电池的背面使用弱烧穿型铝浆印刷烧结形成局部接触点H型背面铝细栅线电极,背面铝细栅根数为150,宽度为150 μm ,高度为15 μm ;背面银主栅采用分段式设计,每段长度为6.5mm,宽1.8mm,高6 μm ,根数为10;背面烧结形成的铝细栅和N型掺杂多晶硅层形成欧姆接触,不会形成BSF层。

[0047] 对比例1(与实施例1的区别在于,正/反面均未设有铝栅线。)

一种具有双面铝浆电极的N型Topcon电池,包括N型衬底1,N型衬底1正面由内向外依次设有P型掺杂区层6、 AlO_x 层7及 SiN_xH_y 层8,N型衬底1的背面由内向外依次设有隧穿氧化层9、N型掺杂多晶硅层10及 SiN_xH_y 层8,正面所述 SiN_xH_y 层8上设有正面银主栅2,背面所述 SiN_xH_y 层8上设有背面银主栅4。

[0048] 所述的具有双面铝浆电极的N型Topcon电池的制备方法,制备流程为:制绒→B扩散→去BSG→碱抛光→背面LPCVD沉积隧穿氧化层和N型掺杂多晶硅层→背面P扩散→去PSG→去绕镀→正面 AlO_x 层和 SiN_xH_y 层沉积→背面 SiN_xH_y 沉积→正/背面UV激光消融→丝网印刷。包括如下具体制备步骤:

A、金属化前的N型双面电池制备,采用N型单晶硅片为基底,N型硅片的正面依次通过B扩散形成P型掺杂区层,PECVD的方式沉积厚度为8nm的 AlO_x 层及厚度为80nm的 SiN_xH_y 层,在N型硅片的背面依次通过LPCVD的方式沉积厚度为4nm的隧穿氧化层,通过LPCVD和P扩散形成厚度为150nm的N型掺杂多晶硅层,PECVD沉积厚度为75nm的 SiN_xH_y 层;

B、在电池的正表面使用UV激光消融去除部分 AlO_x 层及 SiN_xH_y 层钝化介质膜;在电池的背面使用UV激光消融去除部分 SiN_xH_y 层钝化介质膜;

C、在电池的正表面使用铝浆印刷烧结形成局部接触点H型正面铝细栅线电极,正面银主栅采用分段式设计;正面银主栅每段长度为5mm,宽1mm,高6 μm ,根数为8;

D、在电池的背面银主栅采用分段式设计,每段长度为5mm,宽1mm,高5 μm ,根数为8。

[0049] 对比例2(与实施例1的区别在于,未在电池正面使用UV激光消融去除部分 AlO_x 层及 SiN_xH_y 层钝化介质膜;也未在电池的背面使用UV激光消融去除部分 SiN_xH_y 层钝化介质膜。)

一种具有双面铝浆电极的N型Topcon电池,包括N型衬底1,N型衬底1正面由内向外依次设有P型掺杂区层6、 AlO_x 层7及 SiN_xH_y 层8,N型衬底1的背面由内向外依次设有隧穿氧化层9、N型掺杂多晶硅层10及 SiN_xH_y 层8,正面所述 SiN_xH_y 层8上设有正面银主栅2和正面铝细栅3,背面所述 SiN_xH_y 层8上设有背面银主栅4和背面铝细栅5。

[0050] 正面银主栅2的厚度小于正面铝细栅3的厚度,正面银主栅2分布于正面铝细栅3中,背面银主栅4的厚度小于背面铝细栅5的厚度,背面银主栅4分布于背面铝细栅5中。正面的所述 AlO_x 层7及 SiN_xH_y 层8上设有接触槽,背面的 SiN_xH_y 层8上设有接触槽。正面铝细栅3穿过所述接触槽与 AlO_x 层7形成局部接触点11。背面铝细栅5穿过所述接触槽与N型掺杂多晶硅层10形成局部接触点11。

[0051] 所述的具有双面铝浆电极的N型Topcon电池的制备方法,制备流程为:制绒→B扩散→去BSG→碱抛光→背面LPCVD沉积隧穿氧化层和N型掺杂多晶硅层→背面P扩散→去PSG→去绕镀→正面 AlO_x 层和 SiN_xH_y 层沉积→背面 SiN_xH_y 沉积→丝网印刷。包括如下具体制备步骤:

A、金属化前的N型双面电池制备,采用N型单晶硅片为基底,N型硅片的正面依次通过B扩散形成P型掺杂区层,PECVD的方式沉积厚度为8nm的 AlO_x 层及厚度为80nm的 SiN_xH_y 层,在N型硅片的背面依次通过LPCVD的方式沉积厚度为4nm的隧穿氧化层,通过LPCVD和P扩散形成厚度为150nm的N型掺杂多晶硅层,PECVD沉积厚度为75nm的 SiN_xH_y 层;

C、正面银主栅采用分段式设计,正面银主栅分布于铝细栅线中,正面铝细栅根数

为112,宽度为32um,高度为18um;正面银主栅每段长度为5mm,宽1mm,高6um,根数为8;

D、背面铝细栅根数为135,宽度为100um,高度为18um;背面银主栅采用分段式设计,每段长度为5mm,宽1mm,高5um,根数为8。

[0052] 对比例3(与实施例1的区别在于,仅在电池正面使用UV激光消融去除部分 SiN_xH_y 层钝化介质膜。)

一种具有双面铝浆电极的N型Topcon电池,包括N型衬底1,N型衬底1正面由内向外依次设有P型掺杂区层6、 AlO_x 层7及 SiN_xH_y 层8,N型衬底1的背面由内向外依次设有隧穿氧化层9、N型掺杂多晶硅层10及 SiN_xH_y 层8,正面所述 SiN_xH_y 层8上设有正面银主栅2和正面铝细栅3,背面所述 SiN_xH_y 层8上设有背面银主栅4和背面铝细栅5。

[0053] 正面银主栅2的厚度小于正面铝细栅3的厚度,正面银主栅2分布于正面铝细栅3中,背面银主栅4的厚度小于背面铝细栅5的厚度,背面银主栅4分布于背面铝细栅5中。正面的所述 AlO_x 层7及 SiN_xH_y 层8上设有接触槽,背面的 SiN_xH_y 层8上设有接触槽。正面铝细栅3穿过所述接触槽与 AlO_x 层7形成局部接触点11。背面铝细栅5穿过所述接触槽与N型掺杂多晶硅层10形成局部接触点11。

[0054] 所述的具有双面铝浆电极的N型Topcon电池的制备方法,制备流程为:制绒→B扩散→去BSG→碱抛光→背面LPCVD沉积隧穿氧化层和N型掺杂多晶硅层→背面P扩散→去PSG→去绕镀→正面 AlO_x 层和 SiN_xH_y 层沉积→背面 SiN_xH_y 沉积→正/背面UV激光消融→丝网印刷。包括如下具体制备步骤:

A、金属化前的N型双面电池制备,采用N型单晶硅片为基底,N型硅片的正面依次通过B扩散形成P型掺杂区层,PECVD的方式沉积厚度为8nm的 AlO_x 层及厚度为80nm的 SiN_xH_y 层,在N型硅片的背面依次通过LPCVD的方式沉积厚度为4nm的隧穿氧化层,通过LPCVD和P扩散形成厚度为150nm的N型掺杂多晶硅层,PECVD沉积厚度为75nm的 SiN_xH_y 层;

B、在电池的正表面使用UV激光消融去除部分 SiN_xH_y 层钝化介质膜;在电池的背面使用UV激光消融去除部分 SiN_xH_y 层钝化介质膜;UV激光的光斑直径为20um;光斑间距为350um,正面消融去膜深度与 SiN_xH_y 层厚度一致,背面消融去膜深度与背面 SiN_xH_y 层钝化介质膜的厚度一致;

C、在电池的正表面使用铝浆印刷烧结形成局部接触点H型正面铝细栅线电极,正面银主栅采用分段式设计,正面银主栅分布于铝细栅线中,正面铝细栅根数为112,宽度为32um,高度为18um;正面银主栅每段长度为5mm,宽1mm,高6um,根数为8;

D、在电池的背面使用弱烧穿型铝浆印刷烧结形成局部接触点H型背面铝细栅线电极,背面铝细栅根数为135,宽度为100um,高度为18um;背面银主栅采用分段式设计,每段长度为5mm,宽1mm,高5um,根数为8;背面烧结形成的铝细栅和N型掺杂多晶硅层形成欧姆接触,不会形成BSF层。

[0055] 对比例4(与实施例1的区别在于,将UV激光替换成绿光激光。)

一种具有双面铝浆电极的N型Topcon电池,包括N型衬底1,N型衬底1正面由内向外依次设有P型掺杂区层6、 AlO_x 层7及 SiN_xH_y 层8,N型衬底1的背面由内向外依次设有隧穿氧化层9、N型掺杂多晶硅层10及 SiN_xH_y 层8,正面所述 SiN_xH_y 层8上设有正面银主栅2和正面铝细栅3,背面所述 SiN_xH_y 层8上设有背面银主栅4和背面铝细栅5。

[0056] 正面银主栅2的厚度小于正面铝细栅3的厚度,正面银主栅2分布于正面铝细栅3

中,背面银主栅4的厚度小于背面铝细栅5的厚度,背面银主栅4分布于背面铝细栅5中。正面的所述 AlO_x 层7及 SiN_xH_y 层8上设有接触槽,背面的 SiN_xH_y 层8上设有接触槽。正面铝细栅3穿过所述接触槽与 AlO_x 层7形成局部接触点11。背面铝细栅5穿过所述接触槽与N型掺杂多晶硅层10形成局部接触点11。

[0057] 所述的具有双面铝浆电极的N型Topcon电池的制备方法,制备流程为:制绒→B扩散→去BSG→碱抛光→背面LPCVD沉积隧穿氧化层和N型掺杂多晶硅层→背面P扩散→去PSG→去绕镀→正面 AlO_x 层和 SiN_xH_y 层沉积→背面 SiN_xH_y 沉积→正/背面绿光激光消融→丝网印刷。包括如下具体制备步骤:

A、金属化前的N型双面电池制备,采用N型单晶硅片为基底,N型硅片的正面依次通过B扩散形成P型掺杂区层,PECVD的方式沉积厚度为8nm的 AlO_x 层及厚度为80nm的 SiN_xH_y 层,在N型硅片的背面依次通过LPCVD的方式沉积厚度为4nm的隧穿氧化层,通过LPCVD和P扩散形成厚度为150nm的N型掺杂多晶硅层,PECVD沉积厚度为75nm的 SiN_xH_y 层;

B、在电池的正表面使用UV激光消融去除部分 AlO_x 层及 SiN_xH_y 层钝化介质膜;在电池的背面使用绿光激光消融去除部分 SiN_xH_y 层钝化介质膜;绿光激光的光斑直径为20 μm ;光斑间距为350 μm ,正面消融去膜深度与 AlO_x 层及 SiN_xH_y 层厚度一致,背面消融去膜深度与背面 SiN_xH_y 层钝化介质膜的厚度一致;

C、在电池的正表面使用铝浆印刷烧结形成局部接触点H型正面铝细栅线电极,正面银主栅采用分段式设计,正面银主栅分布于铝细栅线中,正面铝细栅根数为112,宽度为32 μm ,高度为18 μm ;正面银主栅每段长度为5mm,宽1mm,高6 μm ,根数为8;

D、在电池的背面使用弱烧穿型铝浆印刷烧结形成局部接触点H型背面铝细栅线电极,背面铝细栅根数为135,宽度为100 μm ,高度为18 μm ;背面银主栅采用分段式设计,每段长度为5mm,宽1mm,高5 μm ,根数为8;背面烧结形成的铝细栅和N型掺杂多晶硅层形成欧姆接触,不会形成BSF层。

[0058] 对比例5(与实施例1的区别在于,正面铝细栅根数过少仅为60。)

一种具有双面铝浆电极的N型Topcon电池,包括N型衬底1,N型衬底1正面由内向外依次设有P型掺杂区层6、 AlO_x 层7及 SiN_xH_y 层8,N型衬底1的背面由内向外依次设有隧穿氧化层9、N型掺杂多晶硅层10及 SiN_xH_y 层8,正面所述 SiN_xH_y 层8上设有正面银主栅2和正面铝细栅3,背面所述 SiN_xH_y 层8上设有背面银主栅4和背面铝细栅5。

[0059] 正面银主栅2的厚度小于正面铝细栅3的厚度,正面银主栅2分布于正面铝细栅3中,背面银主栅4的厚度小于背面铝细栅5的厚度,背面银主栅4分布于背面铝细栅5中。正面的所述 AlO_x 层7及 SiN_xH_y 层8上设有接触槽,背面的 SiN_xH_y 层8上设有接触槽。正面铝细栅3穿过所述接触槽与 AlO_x 层7形成局部接触点11。背面铝细栅5穿过所述接触槽与N型掺杂多晶硅层10形成局部接触点11。

[0060] 所述的具有双面铝浆电极的N型Topcon电池的制备方法,制备流程为:制绒→B扩散→去BSG→碱抛光→背面LPCVD沉积隧穿氧化层和N型掺杂多晶硅层→背面P扩散→去PSG→去绕镀→正面 AlO_x 层和 SiN_xH_y 层沉积→背面 SiN_xH_y 沉积→正/背面UV激光消融→丝网印刷。包括如下具体制备步骤:

A、金属化前的N型双面电池制备,采用N型单晶硅片为基底,N型硅片的正面依次通过B扩散形成P型掺杂区层,PECVD的方式沉积厚度为8nm的 AlO_x 层及厚度为80nm的 SiN_xH_y

层,在N型硅片的背面依次通过LPCVD的方式沉积厚度为4nm的隧穿氧化层,通过LPCVD和P扩散形成厚度为150nm的N型掺杂多晶硅层,PECVD沉积厚度为75nm 的 SiN_xH_y 层;

B、在电池的正表面使用UV激光消融去除部分 AlO_x 层及 SiN_xH_y 层钝化介质膜;在电池的背面使用UV激光消融去除部分 SiN_xH_y 层钝化介质膜;UV激光的光斑直径为20 μm ;光斑间距为350 μm ,正面消融去膜深度与 AlO_x 层及 SiN_xH_y 层厚度一致,背面消融去膜深度与背面 SiN_xH_y 层钝化介质膜的厚度一致;

C、在电池的正表面使用铝浆印刷烧结形成局部接触点H型正面铝细栅线电极,正面银主栅采用分段式设计,正面银主栅分布于铝细栅线中,正面铝细栅根数为60,宽度为32 μm ,高度为18 μm ;正面银主栅每段长度为5mm,宽1mm,高6 μm ,根数为8;

D、在电池的背面使用弱烧穿型铝浆印刷烧结形成局部接触点H型背面铝细栅线电极,背面铝细栅根数为135,宽度为100 μm ,高度为18 μm ;背面银主栅采用分段式设计,每段长度为5mm,宽1mm,高5 μm ,根数为8;背面烧结形成的铝细栅和N型掺杂多晶硅层形成欧姆接触,不会形成BSF层。

[0061] 对比例6(与实施例1的区别在于,正面铝细栅根数过多为140。)

一种具有双面铝浆电极的N型Topcon电池,包括N型衬底1,N型衬底1正面由内向外依次设有P型掺杂区层6、 AlO_x 层7及 SiN_xH_y 层8,N型衬底1的背面由内向外依次设有隧穿氧化层9、N型掺杂多晶硅层10及 SiN_xH_y 层8,正面所述 SiN_xH_y 层8上设有正面银主栅2和正面铝细栅3,背面所述 SiN_xH_y 层8上设有背面银主栅4和背面铝细栅5。

[0062] 正面银主栅2的厚度小于正面铝细栅3的厚度,正面银主栅2分布于正面铝细栅3中,背面银主栅4的厚度小于背面铝细栅5的厚度,背面银主栅4分布于背面铝细栅5中。正面的所述 AlO_x 层7及 SiN_xH_y 层8上设有接触槽,背面的 SiN_xH_y 层8上设有接触槽。正面铝细栅3穿过所述接触槽与 AlO_x 层7形成局部接触点11。背面铝细栅5穿过所述接触槽与N型掺杂多晶硅层10形成局部接触点11。

[0063] 所述的具有双面铝浆电极的N型Topcon电池的制备方法,制备流程为:制绒→B扩散→去BSG→碱抛光→背面LPCVD沉积隧穿氧化层和N型掺杂多晶硅层→背面P扩散→去PSG→去绕镀→正面 AlO_x 层和 SiN_xH_y 层沉积→背面 SiN_xH_y 沉积→正/背面UV激光消融→丝网印刷。包括如下具体制备步骤:

A、金属化前的N型双面电池制备,采用N型单晶硅片为基底,N型硅片的正面依次通过B扩散形成P型掺杂区层,PECVD的方式沉积厚度为8nm的 AlO_x 层及厚度为80nm的 SiN_xH_y 层,在N型硅片的背面依次通过LPCVD的方式沉积厚度为4nm的隧穿氧化层,通过LPCVD和P扩散形成厚度为150nm的N型掺杂多晶硅层,PECVD沉积厚度为75nm 的 SiN_xH_y 层;

B、在电池的正表面使用UV激光消融去除部分 AlO_x 层及 SiN_xH_y 层钝化介质膜;在电池的背面使用UV激光消融去除部分 SiN_xH_y 层钝化介质膜;UV激光的光斑直径为20 μm ;光斑间距为350 μm ,正面消融去膜深度与 AlO_x 层及 SiN_xH_y 层厚度一致,背面消融去膜深度与背面 SiN_xH_y 层钝化介质膜的厚度一致;

C、在电池的正表面使用铝浆印刷烧结形成局部接触点H型正面铝细栅线电极,正面银主栅采用分段式设计,正面银主栅分布于铝细栅线中,正面铝细栅根数为140,宽度为32 μm ,高度为18 μm ;正面银主栅每段长度为5mm,宽1mm,高6 μm ,根数为8;

D、在电池的背面使用弱烧穿型铝浆印刷烧结形成局部接触点H型背面铝细栅线电

极,背面铝细栅根数为135,宽度为100um,高度为18um;背面银主栅采用分段式设计,每段长度为5mm,宽1mm,高5um,根数为8;背面烧结形成的铝细栅和N型掺杂多晶硅层形成欧姆接触,不会形成BSF层。

[0064] 表1各项目与具有双面铝浆电极的N型Topcon电池的各性能参数

性能 项目	电池效率相对值	开路电压相对值	电流密度相对值	填充因子相对值
实施例1	23.61	705	40.55	82.60
实施例2	23.23	720	41.22	78.30
实施例3	23.54	696	40.50	83.54
实施例4	23.42	702	40.40	82.60
实施例5	23.37	700	40.45	82.55
对比例1	23.45	695	40.85	82.60
对比例2	23.29	698	40.30	82.80
对比例3	23.42	701	40.40	82.70
对比例4	23.13	692	40.35	82.85
对比例5	23.04	710	41.50	78.20
对比例6	23.26	690	40.10	84.10

结论分析:综合实施例1-5的结果可以看出,只有采用本发明的结构所制备出来的N型Topcon电池结构才具有较高的电池效率与电流密度,具有较高的太阳光转化效率,极大降低太阳光的折损率,同时极大节约的电池的制造成本。

[0065] 对比例1与实施例1的区别在于,正背面未设有铝栅线,而是用银栅线,银栅线遮光比例较低,因此电流密度增加;但同时金属复合增加,开路电压明显降低,相应的性能相对实施例1有所下降。

[0066] 对比例2与实施例1的区别在于,正背面未使用UV激光进行开膜,铝浆需要通过自身的玻璃体进行腐蚀,对钝化膜的损伤过大,开路电压和电流密度均降低,相应的性能相对实施例1有所下降。

[0067] 对比例3与实施例1的区别在于,仅在正面使用UV激光进行开膜,背面的铝浆需要通过自身的玻璃体进行腐蚀,对背面钝化膜损伤过大,开路电压和电流密度均降低,相应的性能相对实施例1有所下降。

[0068] 对比例4与实施例1的区别在于,浆UV激光替换成绿激光,绿光激光具有更强的穿透力以及烧蚀过程会对膜层产生更大的热影响区,开路电压和电流密度下降明显,相应的性能相对实施例1下降。

[0069] 对比例5与实施例1的区别在于,正面铝栅线的根数过少仅为60根,填充因子下降明显,相应的性能相对实施例1下降。

[0070] 对比例6与实施例1的区别在于,正面铝栅线的根数过多为140根,电流密度和开路电压明显下降,虽然填充因子提升明显,但最终相应的性能相对实施例1下降。

[0071] 由实施例1-5以及比较例1-6的数据可知,只有在本发明权利要求范围内的方案,才能够在各方面均能满足上述要求,得出最优化的方案,得到最优的性能的具有双面铝浆电极的N型Topcon电池。而对于各沉积层的替换/加减,或者制备顺序的改变,均会带来相应的负面影响。

[0072] 本发明中所用原料、设备,若无特别说明,均为本领域的常用原料、设备;本发明中所用方法,若无特别说明,均为本领域的常规方法。

[0073] 以上所述,仅是本发明的较佳实施例,并非对本发明作任何限制,凡是根据本发明技术实质对以上实施例所作的任何简单修改、变更以及等效变换,均仍属于本发明技术方案的保护范围。

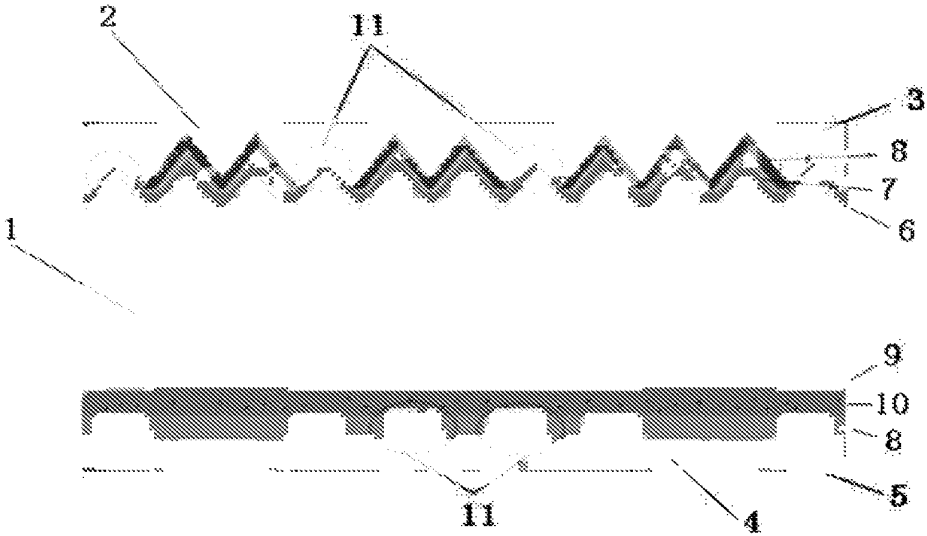


图1

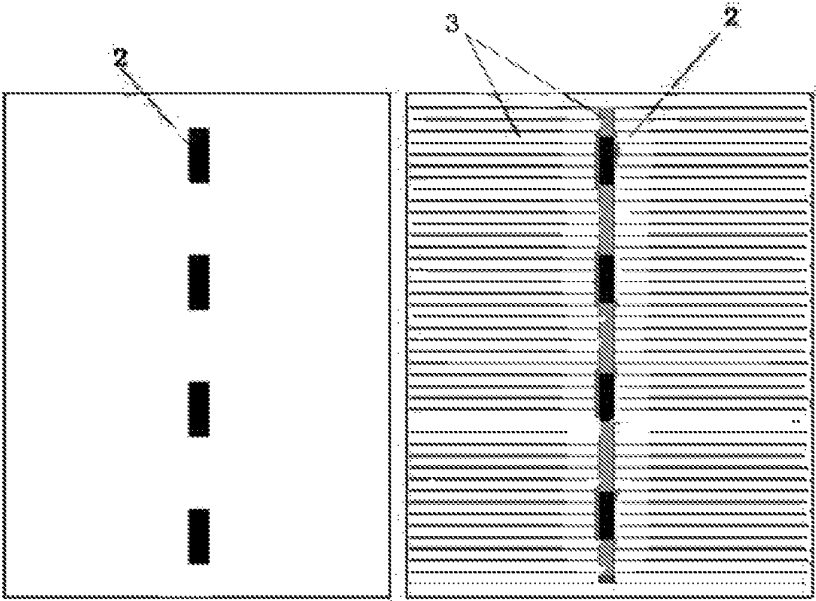


图2

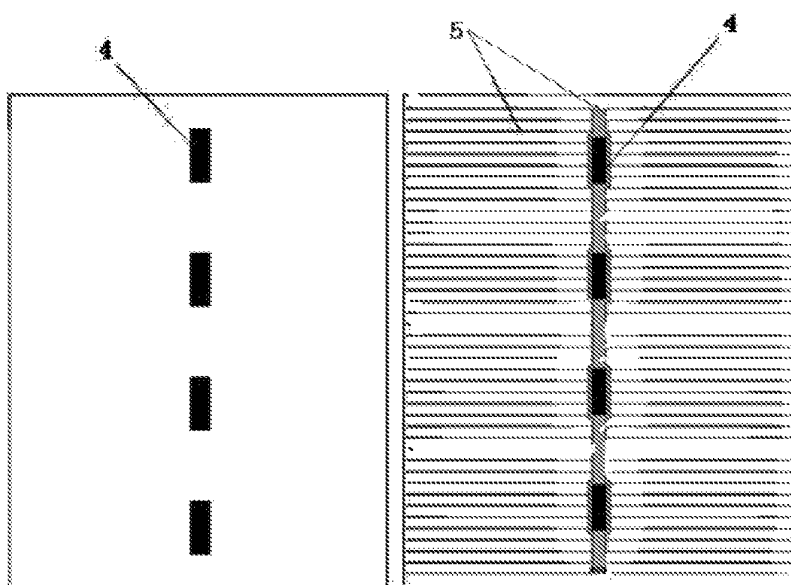


图3



Espacenet

Bibliographic data: JP2012216788 (A) — 2012-11-08

SILICON SUBSTRATE WITH TEXTURE-FORMED SURFACE, AND METHOD OF MANUFACTURING THE SAME

Inventor(s): TANIGUCHI HIROSHI; TANABE HIROSHI; NAKAYAMA ICHIRO; ARAI YASUSHI; MIKAWA SHIGERU ± (TANIGUCHI HIROSHI, ; TANABE HIROSHI, ; NAKAYAMA ICHIRO, ; ARAI YASUSHI, ; MIKAWA SHIGERU)

Applicant(s): PANASONIC CORP ± (PANASONIC CORP)

Classification: - international: *H01L21/302; H01L31/04*
- cooperative: *Y02E10/50 (EP)*

Application number: JP20120060148 20120316 Global Dossier

Priority number(s): JP20110076137 20110330 ; JP20120060148 20120316

Also published as: JP5297543 (B2)

Abstract of JP2012216788 (A)

PROBLEM TO BE SOLVED: To provide a silicon substrate having a texture-formed surface with low reflectivity and a precisely machined shape, and to provide a solar cell using the same. **SOLUTION:** The present invention provides the silicon substrate which has a substrate orientation (100) and a texture-formed surface having texture formed. The texture-formed surface has a plurality of inverted cone-shaped recesses formed to have step-wise conical surfaces. The texture on the silicon substrate is formed preferably by vapor etching.

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-216788**(P2012-216788A)**

(43) 公開日 平成24年11月8日(2012.11.8)

(51) Int.Cl.		F I			テーマコード (参考)
H O 1 L 21/302 (2006.01)		H O 1 L 21/302	2 O 1 A		5 F O O 4
H O 1 L 31/04 (2006.01)		H O 1 L 31/04	H		5 F 1 5 1

審査請求 有 請求項の数 14 O L (全 17 頁)

(21) 出願番号	特願2012-60148 (P2012-60148)	(71) 出願人	000005821 パナソニック株式会社
(22) 出願日	平成24年3月16日 (2012.3.16)		大阪府門真市大字門真1006番地
(31) 優先権主張番号	特願2011-76137 (P2011-76137)	(74) 代理人	100105050 弁理士 鷲田 公一
(32) 優先日	平成23年3月30日 (2011.3.30)	(72) 発明者	谷口 泰士 大阪府門真市大字門真1006番地 パナ ソニック株式会社内
(33) 優先権主張国	日本国 (JP)	(72) 発明者	田辺 浩 大阪府門真市大字門真1006番地 パナ ソニック株式会社内
		(72) 発明者	中山 一郎 大阪府門真市大字門真1006番地 パナ ソニック株式会社内

最終頁に続く

(54) 【発明の名称】 テクスチャ形成面を有するシリコン基板、およびその製造方法

(57) 【要約】

【課題】 精密な形状加工され、低反射率のテクスチャ形成面を有するシリコン基板を提供すること、およびそれを用いて太陽電池を提供すること。

【解決手段】 本発明によって、テクスチャを形成されたテクスチャ形成面を有する基板面方位 (100) のシリコン基板であって、前記テクスチャ形成面には、複数の逆錐状の凹部が形成され、かつ前記逆錐状の凹部の錐面は階段状であるシリコン基板を提供する。本発明のシリコン基板は、好ましくは、ガスエッチングによってテクスチャを形成することで得る。

【選択図】 図1-2

図1B

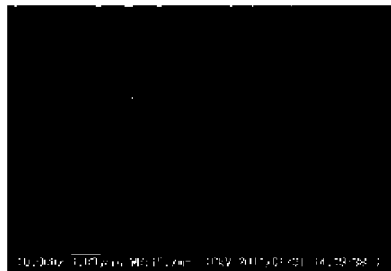
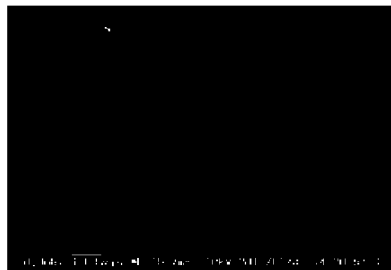


図1C



【特許請求の範囲】

【請求項 1】

テクスチャを形成されたテクスチャ形成面を有する基板面方位（１００）のシリコン基板であって、

前記テクスチャ形成面には、複数の逆錐状の凹部が形成され、かつ前記逆錐状の凹部の錐面は階段状である、シリコン基板。

【請求項 2】

前記逆錐状の凹部は、逆四角錐状の凹部である、請求項 1 に記載のシリコン基板。

【請求項 3】

前記逆錐状の凹部は、逆円錐状の凹部である、請求項 1 に記載のシリコン基板。

10

【請求項 4】

前記逆錐状の凹部の開口径は、 $0.5 \sim 10 \mu\text{m}$ である、請求項 1 ～ 3 の何れか一項に記載のシリコン基板。

【請求項 5】

前記逆錐状の凹部の深さは、 $0.1 \sim 5 \mu\text{m}$ である、請求項 1 ～ 3 の何れか一項に記載のシリコン基板。

【請求項 6】

前記逆錐状の錐面を構成する階段状の段差は、 $0.01 \sim 1 \mu\text{m}$ である、請求項 1 に記載のシリコン基板。

【請求項 7】

前記テクスチャ形成面における前記逆錐状の凹部の密度は、 $1 \sim 100 \text{ 個} / 100 \mu\text{m}^2$ である、請求項 1 に記載のシリコン基板。

20

【請求項 8】

前記シリコン基板のテクスチャ形成面への入射光（波長 $0.5 \sim 10 \mu\text{m}$ ）の吸光率は 80 % 以上である、請求項 1 に記載のシリコン基板。

【請求項 9】

請求項 1 に記載のシリコン基板を含み、前記テクスチャ形成面を受光面とする太陽電池。

【請求項 10】

請求項 1 に記載のシリコン基板の製造方法であって、

30

基板面方位（１００）のシリコン基板を用意するステップと、前記シリコン基板表面にエッチングガスを吹き付けるステップとを有し、

前記エッチングガスには、 ClF_3 、 XeF_2 、 BrF_3 、 BrF_5 および NF_3 からなる群から選ばれる一以上のガスが含まれる、製造方法。

【請求項 11】

前記エッチングガスには、分子中に酸素原子を含有するガスがさらに含まれる、請求項 10 に記載の製造方法。

【請求項 12】

前記エッチングガスには、不活性ガスがさらに含まれる、請求項 10 に記載の製造方法。

40

【請求項 13】

前記シリコン基板の温度を 130°C 以下に保持する、請求項 10 に記載の製造方法。

【請求項 14】

前記シリコン基板のエッチングは、減圧環境下にて行われる、請求項 10 に記載の製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、テクスチャ形成面を有するシリコン基板と、その製造方法に関する。

【背景技術】

50

【0002】

シリコン太陽電池（光電変換素子）などにおいて、シリコン基板の受光面にテクスチャと称される凹凸形状を設けて、入射光の反射を抑え、かつシリコン基板に取り込んだ光を外部に漏らさないようにしている。シリコン基板の表面へのテクスチャ形成は、一般的にアルカリ（KOH）水溶液をエッチャントとするウェットプロセスにより行われている。ウェットプロセスによるテクスチャ形成は、後処理としてフッ化水素による洗浄工程や、熱処理工程などが必要とされる。そのため、シリコン基板表面を汚染する恐れがあるばかりか、コスト面からも不利な点があった。

【0003】

しかも、ウェットプロセスにより形成できるシリコン基板表面のテクスチャは、一般的に逆ピラミッド状に窪んだ矩形の開口などに限定され（特許文献1などを参照）、反射抑制などの点から必ずしも最適な形状ではない場合がある。

10

【0004】

一方で、シリコン基板の表面へのテクスチャ形成をドライプロセスにて行う方法も提案されている。例えば、1）プラズマによる反応性イオンエッチング（Reactive Ion Etching）といわれる手法を用いる方法、2）シリコン基板のある大気圧雰囲気下の反応室に、 ClF_3 、 XeF_2 、 BrF_3 および BrF_5 のいずれかのガスを導入することで、シリコン基板表面をエッチングする方法が提案されている（特許文献2を参照）。

【先行技術文献】

【特許文献】

20

【0005】

【特許文献1】特開2000-150937号公報

【特許文献2】特開平10-313128号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

前述の通り、ウェットプロセスにより形成できるシリコン基板表面のテクスチャは、反射抑制などの点から必ずしも最適な形状ではない。つまり、反射率をより低下させるには、より精密な形状加工が求められる。より具体的にいえば、単にシリコン基板表面に窪みを形成するだけではなく、その窪みを形成する面自体にも凹凸形状を設けることで、さらに効果的に反射抑制が実現できる。

30

【0007】

また前述の通り、シリコン基板表面のテクスチャの形成をドライプロセスにて行う方法も提案されている。しかしながら、当該手法によっては、所望のテクスチャ構造が得られない場合があった。その理由の一つは、 ClF_3 、 XeF_2 、 BrF_3 および BrF_5 などのガスはシリコン基板と発熱反応を起こし、シリコン基板の温度を上昇させて、異方的なエッチングができない場合があるためである。さらには、エッチングガスの組成も好適化されていなかったため、適切なテクスチャ構造が得られにくかった。

【0008】

そこで本発明は、太陽電池のシリコン基板にとって適切であり、より反射率の低いテクスチャ形成面を有するシリコン基板を提供することを目的とする。さらに本発明は、太陽電池のシリコン基板にとって適切であり、より反射効率の低いテクスチャ形成面を有するシリコン基板を、ウェットエッチングではなく、ドライエッチングによって提供する方法を提供することを目的とする。

40

【課題を解決するための手段】

【0009】

すなわち本発明は、以下に示すテクスチャ形成面を有するシリコン基板、およびそれを含む太陽電池に関する。

〔1〕テクスチャを形成されたテクスチャ形成面を有する基板面方位（100）のシリコン基板であって、前記テクスチャ形成面には、複数の逆錐状の凹部が形成され、かつ前

50

記逆錐状の凹部の錐面は階段状である、シリコン基板。

〔２〕前記逆錐状の凹部は、逆四角錐状の凹部である、〔１〕に記載のシリコン基板。

〔３〕前記逆錐状の凹部は、逆円錐状の凹部である、〔１〕に記載のシリコン基板。

〔４〕前記逆錐状の凹部の開口径は、 $0.5 \sim 10 \mu\text{m}$ である、〔１〕～〔３〕の何れかに記載のシリコン基板。

〔５〕前記逆錐状の凹部の深さは、 $0.1 \sim 5 \mu\text{m}$ である、〔１〕～〔３〕の何れか一項に記載のシリコン基板。

〔６〕前記逆錐状の錐面を構成する階段状の段差は、 $0.01 \sim 1 \mu\text{m}$ である、〔１〕～〔３〕の何れか一項に記載のシリコン基板。

〔７〕前記テクスチャ形成面における前記逆錐状の凹部の密度は、 $1 \sim 100 \text{個}/100 \mu\text{m}^2$ である、〔１〕～〔６〕のいずれか一項に記載のシリコン基板。

〔８〕前記シリコン基板のテクスチャ形成面への入射光（波長 $0.5 \sim 10 \mu\text{m}$ ）の吸光率は 80% 以上である、〔１〕～〔７〕のいずれかに記載のシリコン基板。

【００１０】

〔９〕前記〔１〕～〔８〕の何れか一項に記載のシリコン基板を含み、前記テクスチャ形成面を受光面とする太陽電池。

【００１１】

また本発明は、以下に示すテクスチャ形成面を有するシリコン基板の製造方法に関する。

〔１０〕前記〔１〕に記載のシリコン基板の製造方法であって、

基板面方位（ 100 ）のシリコン基板を用意するステップと、前記シリコン基板表面にエッチングガスを吹き付けるステップとを有し、

前記エッチングガスには、 ClF_3 、 XeF_2 、 BrF_3 、 BrF_5 および NF_3 からなる群から選ばれる一以上のガスが含まれる、製造方法。

〔１１〕前記エッチングガスには、分子中に酸素原子を含有するガスがさらに含まれる、〔１０〕に記載の製造方法。

〔１２〕前記エッチングガスには、不活性ガスがさらに含まれる、〔１０〕に記載の製造方法。

〔１３〕前記シリコン基板の温度を 130°C 以下に保持する、〔１０〕に記載の製造方法。

〔１４〕前記シリコン基板のエッチングは、減圧環境下にて行われる、〔１０〕に記載の製造方法。

【発明の効果】

【００１２】

本発明のシリコン基板はテクスチャ形成面を有しており、そのテクスチャ形成面での反射率が低く、吸光率が高い。よって、テクスチャ形成面を受光面とすることで、太陽電池用のシリコン基板として好適に用いられる。

【図面の簡単な説明】

【００１３】

【図１－１】本発明のシリコン基板のテクスチャ形成面の第一の例を示す。図１Ａは、テクスチャ形成面を模式的に示す図である。

【図１－２】本発明のシリコン基板のテクスチャ形成面の第一の例を示す。図１Ｂおよび図１Ｃは、実施例１で作製したテクスチャ形成面の電子顕微鏡写真（上面斜視）である。

【図２－１】本発明のシリコン基板のテクスチャ形成面の第二の例を示す。図２Ａは、テクスチャ形成面を模式的に示す図である。

【図２－２】本発明のシリコン基板のテクスチャ形成面の第二の例を示す。図２Ｂおよび図２Ｃは、実施例２で作製したテクスチャ形成面の電子顕微鏡写真（上面斜視、断面）である。

【図３】シリコン基板をドライエッチングしたが、所望のテクスチャ形成面が得られなかった例を示す。図３Ａおよび図３Ｂは、比較例１で作製したテクスチャ形成面の電子顕微

鏡写真（上面斜視、断面）である。

【図 4】シリコン基板をドライエッチングしたが、所望のテクスチャ形成面が得られなかった例を示す。図 4 A および図 4 B は、比較例 2 で作製したテクスチャ形成面の電子顕微鏡写真（上面斜視、断面）である。

【図 5】図 5 A は逆錐状の凹部を概念的に説明するシリコン基板の断面図であり、図 5 B は逆錐状の凹部の錐面を概念的に説明するシリコン基板の断面拡大図である。

【図 6】実施例で用いたテクスチャ形成装置の概要を示す。

【図 7】図 7 A は、基板面方位（100）のシリコン基板のテクスチャ未形成面（参考例）、比較例 1 で得られたシリコン基板の被エッチング面、および実施例 1 で得られたシリコン基板のテクスチャ形成面における反射率を示すグラフであり；図 7 B は、基板面方位（100）のシリコン基板のテクスチャ未形成面（参考例）、比較例 1 で得られたシリコン基板の被エッチング面、および実施例 1 で得られたシリコン基板のテクスチャ形成面における吸光率を示すグラフである。

【発明を実施するための形態】

【0014】

1. テクスチャ形成面を有するシリコン基板について

本発明のシリコン基板は、基板表面にテクスチャが形成されていることを特徴とする。テクスチャが形成された基板表面を、テクスチャ形成面という。

【0015】

シリコン基板は、単結晶シリコンであることが好ましく；p 型ドーピングされていてもよいし、n 型ドーピングされていてもよいし、真性シリコンであってもよい。いずれにしても、シリコン基板は、基板面方位（100）のシリコン基板である。基板面方位（100）以外の基板面方位を有するシリコン基板には、本発明におけるテクスチャ形成面が実現されにくい。

【0016】

テクスチャ形成面とは、低反射表面を意味する。低反射表面とは、 $0.5 \sim 1.0 \mu\text{m}$ の波長の光に対する鏡面の反射率を 100% とした場合の反射率が、約 20% 以下の表面であることが好ましく、約 10% 以下の表面であることがより好ましく、実質的に反射率が 0% の表面をいう。また、本発明のテクスチャ形成面を有するシリコン基板の吸光率（波長領域 $0.5 \sim 1.0 \mu\text{m}$ ）は、80% 以上であることが好ましく、85% 以上であることがより好ましい。吸光率は、積分球分光光度計にて測定することができ；式「吸光率（%）= $100 \times \{ \text{入射光強度} - (\text{反射光強度} + \text{透過光強度}) \} / \text{入射光強度}$ 」で求めることができる。

【0017】

図 5 A は逆錐状の凹部を概念的に説明するシリコン基板の断面図である。例えばシリコン基板の（100）面をエッチングして得られた、（100）面と面方位が同一のテクスチャ形成面に凹部が形成されている。なお、エッチング制御により、シリコン基板の（100）面とテクスチャ形成面は略同一となる場合がある。このように、具体的な本発明のテクスチャ形成面は、複数の逆錐状の凹部を有する。テクスチャ形成面には、複数の逆錐状の凹部が密集していることが好ましい。逆錐状とは、逆四角錐状、逆円錐状などを意味するが、特に限定されない。図 1 A には、逆四角錐（台）状の凹部が形成されたテクスチャ形成面が模式的に示され（上面斜視図）；図 2 A には、逆円錐状の凹部が形成されたテクスチャ形成面が模式的に示される（上面斜視図）。なお、複数の凹部は、それぞれ独立して形成されている必要はなく、例えば複数の凹部が尾根で連なるような形状をしていても構わない。

【0018】

逆錐状の凹部とは、凹部の開口部から凹部の底面にむかって、その開口面積が減少していく窪みを意味する。「逆錐」とは、頂点を有する逆錐である必要はなく、頂点を有さない逆錐台をも含む。

【0019】

逆錐状の凹部の開口部面の径 L （図5 A 参照）は、通常 $0.5 \sim 10 \mu\text{m}$ であり、 $5 \sim 10 \mu\text{m}$ であってもよい。凹部の開口部面の径 L とは、凹部の開口部面の最長径を意味する。複数の逆錐状の凹部が、同一の径 L を有している必要はなく、それぞれ異なる径を有していても構わない。

【0020】

逆錐状の凹部の深さ D （図5 A 参照）は、通常 $0.1 \sim 5 \mu\text{m}$ であり、 $1 \sim 5 \mu\text{m}$ であってもよい。凹部の深さとは、凹部の開口部面から、凹部の最低面までの間隔を意味する。複数の逆錐状の凹部が、同一の深さ D を有している必要はなく、それぞれ異なる径を有していても構わない。

複数の逆錐状の凹部は不定形であることが好ましい。複数の逆錐状の凹部がそれぞれ異なる径 L や深さ D を有することで、均一の径 L や深さ D を有する逆錐状の凹部よりも、幅広い波長領域の光を吸収しやすくなるからである。

【0021】

逆錐状の凹部の錐面は、階段状になっている。階段状の段差 d （図5 B 参照）は、 $0.01 \sim 1 \mu\text{m}$ の範囲内にある。階段状の段の幅 l （図5 B 参照）は、 $0.01 \sim 1 \mu\text{m}$ の範囲内にあることが好ましい。複数の逆錐状の凹部は、同一の階段状の錐面を有している必要はなく、それぞれ異なる錐面を有していても構わない。

【0022】

錐面が階段状になっていることが、本発明のシリコン基板のテクスチャ形成面の特徴の一つである。すなわち、従来のウェットエッチング法によって、逆四角錐状の凹部を有するテクスチャ形成面を得ることはできたが、本発明のように錐面を階段状にすることはできなかった。

【0023】

テクスチャ形成面には、複数の逆錐状の凹部があるが；複数の逆錐状の凹部は、それぞれ別個の形状を有していてもよい。また、テクスチャ形成面における凹部の密度は、単位面積（ $100 \mu\text{m}^2$ ）あたり $1 \sim 100$ 個であることが好ましい。なお、凹部が逆四角錐や逆円錐の場合はその頂点の数を、凹部が逆四角錐台や逆円錐台の場合はその底面の数を、数えるものとする。

【0024】

上記の通り、テクスチャ形成面には複数の逆錐状の凹部があるが、それとともに、それ以外の形状が形成されていても構わない。例えば、錐面が階段状ではなく平坦な逆錐状の凹部があってもよいし、逆錐状ではない凹部があっても構わない。

【0025】

また、シリコン基板表面の全面にテクスチャが形成されていてもよく、その一部にテクスチャが形成されていてもよい。例えば、本発明のシリコン基板を太陽電池用のシリコン基板として用いる場合に、受光面側に配置する表面電極（コネクタ電極、パー電極、グリッド電極などを含む）を配置する領域には、テクスチャを形成することなく、平坦状にされていることが好ましい。

【0026】

2. テクスチャ形成面を有するシリコン基板の製造方法について

本発明のシリコン基板の製造方法は、基板面方位（ 100 ）のシリコン基板を用意するステップと、シリコン基板にエッチングガスを吹き付けるステップとを含む。好ましくは、シリコン基板に冷却ガスを吹き付けるステップをさらに含み；エッチングガスを吹き付けるステップと冷却ガスを吹き付けるステップとを交互に繰り返してもよい。

【0027】

基板面方位（ 100 ）のシリコン基板とは、主面方位が（ 100 ）面である単結晶シリコン基板である。シリコン基板は半導体ウェハであってもよいし、他の基板に積層された半導体層であってもよい。いずれにしても、主方位面である（ 100 ）面にテクスチャを形成する。

【0028】

また、用意するシリコン基板は、真性シリコンであってもよく、p型またはn型にドーピングされたシリコンであってもよい。太陽電池用のシリコン基板を得る場合には、p型にドーピングされたシリコン基板を用意することが多い。

【0029】

シリコン基板へのエッチングガスの吹き付けは、大気圧から80KPaの減圧下にて行われることが好ましく、さらに30KPa以下であることが好ましく、20KPa以下であることがより好ましく、10KPa以下であることがさらに好ましく、50KPa以下であってもよい。より減圧条件下でエッチングを行うほど緻密な形状が得られるが、圧力が高いほうが緻密な形状が得られやすい。

【0030】

エッチングガスには、少なくとも ClF_3 、 XeF_2 、 BrF_3 、 BrF_5 および NF_3 のうちの少なくとも一つのガス（「フッ素含有ガス」とも称する）を含む。エッチングガスに含まれるフッ素含有ガスは、これらのガスの2種以上の混合ガスであってもよい。

【0031】

フッ素含有ガスの分子は、シリコン基板の表面に物理吸着して、エッチングサイトに移動する。エッチングサイトに到達したガス分子は分解し、シリコンと反応して揮発性のフッ素化合物を生成する。それにより、シリコン基板表面がエッチングされ、テクスチャが形成される。

【0032】

エッチングガスには、フッ素含有ガスとともに、さらに不活性ガスが含まれていることが好ましい。不活性ガスとは、窒素ガス、アルゴンやヘリウムなどであり、シリコンとの反応性のないガスであればよい。エッチングガスに含まれる不活性ガスは、2種以上のガスの混合ガスであってもよい。

【0033】

エッチングガスにおける不活性ガスの合計濃度（体積濃度）は、フッ素含有ガスの合計濃度に対して、3倍以上であることが好ましく、10倍以上または20倍以上であってもよい。

【0034】

エッチングガスにおける不活性ガスの濃度が低く、フッ素含有ガスの濃度が相対的に高くなると、シリコン基板表面を等方的にエッチングしやすくなる場合があり、シリコン基板表面に所望のテクスチャが形成しにくいことがある。

【0035】

さらに、エッチングガスには、フッ素含有ガスとともに、その分子内に酸素原子を含有するガスが含まれていることが好ましい。酸素原子を含有するガスとは、典型的には酸素ガス（ O_2 ）であるが、二酸化炭素（ CO_2 ）や二酸化窒素（ NO_2 ）などであってもよい。

【0036】

エッチングガスにおける酸素原子含有ガスの濃度（体積濃度）は、フッ素含有ガスの合計濃度の2倍超であることが好ましく、4倍以上であることがより好ましい。また、エッチングガスにおける酸素原子含有ガスの濃度（体積濃度）は、フッ素含有ガスと不活性ガスとの合計濃度に対して、30～80%であることが好ましい。エッチングガスにおける酸素原子含有ガスの濃度が低すぎると、オーバーエッチングによって所望のテクスチャが得られない場合がある。

【0037】

エッチングガスにおける、フッ素含有ガスの合計濃度に対する酸素原子含有ガスの濃度（体積濃度）が比較的低いと、逆四角錐状の凹部からなるテクスチャ（図1参照）がシリコン基板表面に形成されやすい。一方、エッチングガスにおける、フッ素含有ガスの濃度に対する酸素原子含有ガスの濃度（体積濃度）が比較的高いと、逆円錐状の凹部からなるテクスチャがシリコン基板表面に形成されやすい。

【0038】

エッチングガスに酸素原子含有ガスを含ませることで、太陽電池のテクスチャとして適切な凹凸形状を、半導体基板表面に形成することができる。その理由は、特に限定されないが、例えば CF_3 ガスがシリコン表面に物理吸着すると、シリコンと反応して SiF_4 となってガス化する。このとき、シリコンネットワーク構造のダングリングボンドに酸素原子がターミネートすることで、 $\text{Si}-\text{O}$ 結合が部分的に構成される。それにより、エッチングされやすい領域($\text{Si}-\text{Si}$)と、エッチングされにくい領域($\text{Si}-\text{O}$)とができる。そのエッチングレートの差でケミカルな反応が促進され、形状制御が可能となると考えられる。

【0039】

本発明のシリコン基板の製造方法では、エッチング中のシリコン基板の温度を低温に維持することが重要である。シリコン基板の温度は、 130°C 以下に維持することが好ましく、 100°C 以下に維持することがより好ましく、 80°C 以下に維持することがさらに好ましい。シリコン基板の温度を低温に維持するために、シリコン基板を載置するステージの温度を室温程度(25°C)以下に維持することが好ましい。

【0040】

前記の通り、本発明のシリコン基板の製造方法は、シリコン基板に冷却ガスを吹き付けるステップを含んでもよい。冷却ガスとは、前述の不活性ガスと同様であり、窒素ガス、アルゴンやヘリウムなどを意味する。エッチングガスとの反応によって発熱したシリコン基板に冷却ガスを吹き付けることによって、発熱した基板を冷却する。

【0041】

本発明のシリコン基板の製造方法において、シリコン基板にエッチングガスを吹き付けるステップと、冷却ガスを吹き付けるステップとを交互に繰り返してもよい。シリコン基板にエッチングガスを吹き付けるステップのプロセス時間を制御することで、基板温度を低温に維持する。プロセス時間は特に限定されないが、1分間～10分間程度であればよい。シリコン基板にエッチングガスを吹き付けるステップの後に、冷却ガスを吹き付けて基板温度を低下させて、再びシリコン基板にエッチングガスを吹き付ければよい。

【0042】

エッチングガスによって、シリコン基板表面に所望のテクスチャが形成されたら、シリコン基板に残存したエッチングガスまたはその分解物を除去することが好ましい。例えば、シリコン基板を水素ガス雰囲気下において、残留したフッ素成分を除去してもよい。

【0043】

3. テクスチャ形成面を有するシリコン基板の用途

このように、本発明のシリコン基板は、太陽電池用のシリコン基板として用いられることが好ましい。太陽電池用のシリコン基板とするには、シリコン基板のテクスチャ形成面にエミッタ層を形成してpn接合を形成することが好ましい。例えば、p型シリコン基板にテクスチャ形成面を形成した場合には、オキシ塩化リンガス雰囲気中でテクスチャ形成面を加熱して、テクスチャ形成面にn型エミッタ層を形成し、pn接合を形成する。さらに、エミッタ層に反射防止層を積層することで、太陽電池としての反射率をさらに低下させることができ、光電変換率が向上する。反射防止層とは、窒化シリコン膜、酸化シリコン膜、酸化チタン膜などである。

【0044】

さらに、テクスチャ形成面である受光面に表面電極を配置し、非受光面に裏面電極を配置することで、太陽電池が得られる。もちろん、太陽電池の態様が上述したもの限定されるわけではない。

【実施例】

【0045】

図6には、実施例で用いたテクスチャ形成装置の概要が示される。図6Aは、テクスチャ形成装置10の外観斜視図であり；図6Bは、減圧チャンバ20内を透視した斜視図である。図6A Bに示されるテクスチャ形成装置10は、減圧チャンバ20内に、エッチングガスを噴出するノズル30と、冷却ガスを噴出するノズル40と、シリコン基板100

を載置するためのステージ50と、を有する。ノズル30は、エッチングガス供給配管31に接続しており；ノズル40は、冷却ガス供給配管41に接続している。ステージ50に載置されたシリコン基板100に、エッチングガスと冷却ガスを吹き付けることで、テクスチャ形成面を有するシリコン基板を製造した。

【0046】

〔実施例1〕

図6に示されるテクスチャ形成装置10のステージ50に、基板面方位(100)のシリコン基板100を載置した。シリコン基板100の基板面の面積は、125mm×125mmである。ステージ50の温度を25℃に設定した。減圧チャンバ20内の圧力を30KPaに調整した後、ノズル30からのエッチングガスを3分間かけてシリコン基板100の表面全体に吹き付けた。吹き付けたエッチングガスの組成は「 $\text{CF}_3/\text{O}_2/\text{N}_2 = 50 \sim 500 \text{ cc} / 2000 \text{ cc} / 2000 \sim 5000 \text{ cc}$ 」とした。窒素量は、2000～5000ccの範囲内であれば、いずれの場合にもほぼ同様のテクスチャが得られた。

10

【0047】

得られたシリコン基板のテクスチャ形成面を図1に示す。図1Bおよび図1Cに示される通り、逆四角錐状の凹部が密集して形成されており、しかも、その錐面は階段状になっていることがわかる。図1Aは、それを模式的に示す図である。

【0048】

〔比較例1〕

図6に示されるテクスチャ形成装置10のステージ50に、基板面方位(100)のシリコン基板100を載置した。シリコン基板100の基板面の面積は、125mm×125mmである。ステージ50の温度を50℃に設定した。減圧チャンバ20内の圧力を90KPaに調整した後、ノズル30からのエッチングガスを3分間かけてシリコン基板100の表面全体に吹き付けた。吹き付けたエッチングガスの組成は「 $\text{CF}_3/\text{O}_2/\text{N}_2 = 500 \text{ cc} / 2000 \text{ cc} / 2000 \sim 5000 \text{ cc}$ 」とした。

20

【0049】

得られたシリコン基板のテクスチャ形成面を図3に示す。図3に示されるとおり、表面が粗面化されていることは確認できるが、逆錐状の凹部が形成されておらず、もちろん階段状の錐面も確認できない。これは、ステージ50の温度を50℃と高めに設定したため、シリコン基板の温度を低温に維持できなかったためであると考えられる。

30

【0050】

〔実施例2〕

図6に示されるテクスチャ形成装置10のステージ50に、基板面方位(100)のシリコン基板100を載置した。シリコン基板100の基板面の面積は、125mm×125mmである。ステージ50の温度を25℃に設定した。減圧チャンバ20内の圧力を90KPaに調整した後、ノズル30からのエッチングガスを2分間かけてシリコン基板100の表面全体に吹き付け、その後、ノズル40からの冷却ガスを2分間かけて吹き付けた。エッチングガスの吹き付けと、冷却ガスの吹き付けとを、交互に3回ずつ繰り返した。1回あたりに吹き付けたエッチングガスの組成は「 $\text{CF}_3/\text{O}_2/\text{N}_2 = 100 \text{ cc} / 2000 \text{ cc} / 2000 \sim 5000 \text{ cc}$ 」とした。冷却ガスは、 N_2 とした。

40

【0051】

得られたシリコン基板のテクスチャ形成面を図2に示す。図2Bに示される通り、逆円錐状の凹部が密集して形成されており、かつ、図2Cに示される通り、その錐面は階段状になっていることがわかる。図2Aは、それを模式的に示す図である。

【0052】

〔比較例2〕

図6に示されるテクスチャ形成装置10のステージ50に、基板面方位(100)のシリコン基板100を載置した。シリコン基板100の基板面の面積は、125mm×125mmである。ステージ50の温度を25℃に設定した。減圧チャンバ20内の圧力を9

50

0 K P a に調整した後、ノズル 3 0 からのエッチングガスを 3 分間かけてシリコン基板 1 0 0 の表面全体に吹き付け、その後、ノズル 4 0 からの冷却ガスを 3 分間かけて吹きつけた。エッチングガスの吹き付けと、冷却ガスの吹き付けとを、交互に 3 回ずつ繰り返した。1 回あたりに吹き付けたエッチングガスの組成は「 $\text{C l F}_3 / \text{O}_2 / \text{N}_2 = 1 0 0 0 \text{ c c} / 2 0 0 0 \text{ c c} / 2 0 0 0 \sim 5 0 0 0 \text{ c c}$ 」とした。冷却ガスは、 N_2 とした。

【0 0 5 3】

得られたシリコン基板のテクスチャ形成面を図 4 に示す。図 4 に示される通り、表面の一部に孔が形成されているが、逆錘状の凹部が形成されておらず、もちろん階段状の錐面も確認できない。これは、エッチングガス中の C l F_3 の濃度が高すぎるために、オーバーエッチングされたためであると考えられる。

10

【0 0 5 4】

実施例 1 で得られたシリコン基板のテクスチャ形成面での反射率と吸光率とを測定した。また、比較例 1 で得られたシリコン基板の被エッチング面での反射率と吸光率とを測定した。さらに、参考例として、基板面方位 (1 0 0) のシリコン基板のテクスチャ未形成面での反射率と吸光率とを測定した。反射率および吸光率の測定は、積分球分光光度計 (U 4 0 0 0, 日立ハイテックフィールドインテグレーション) にて行った。

【0 0 5 5】

図 7 A は、各反射率の測定結果を示すグラフであり、図 7 B は、各吸光率の測定結果を示すグラフである。図 7 A および図 7 B に示されるように、実施例 1 のシリコン基板のテクスチャ形成面での反射率 (波長 5 0 0 n m ~ 1 0 0 0 n m) は 2 0 % 以下に抑制されており、かつ吸光率 (波長 5 0 0 n m ~ 1 0 0 0 n m) は 8 0 % 以上にまで高められている。一方で、比較例 1 の反射率および吸光率は、参考例の反射率および吸光率と大きく変化していない。

20

【産業上の利用可能性】

【0 0 5 6】

本発明のシリコン基板はテクスチャ形成面を有しており、その反射率が低い。よって、テクスチャ形成面を受光面とすることで、太陽電池用のシリコン基板として好適に用いられる。それにより、太陽電池の光電変換率の向上に寄与する。

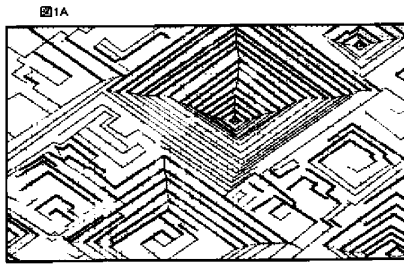
【符号の説明】

【0 0 5 7】

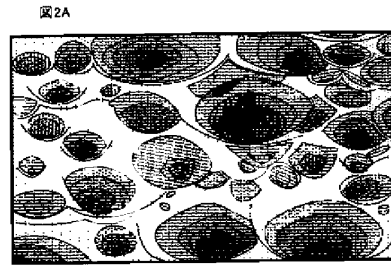
30

- 1 0 テクスチャ形成装置
- 2 0 減圧チャンバ
- 3 0 エッチングガスを噴出するノズル
- 3 1 エッチングガス供給配管
- 4 0 冷却ガスを噴出するノズル
- 4 1 冷却ガス供給配管
- 5 0 ステージ
- 1 0 0 シリコン基板

【図 1 - 1】



【図 2 - 1】



【図 5】

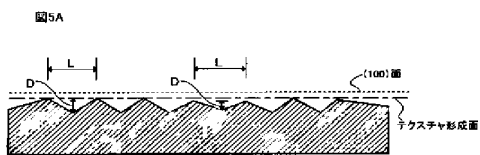
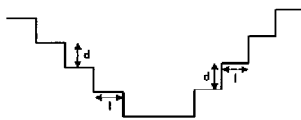


図5B



【図 6】

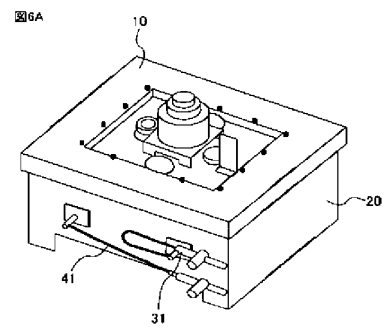
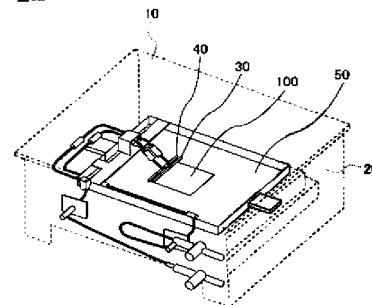


図6B



【図 7】

図7A

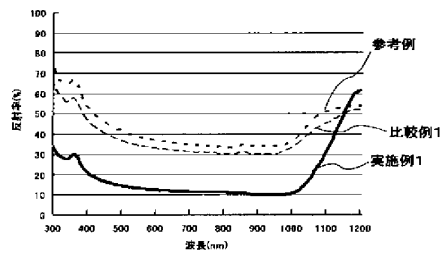
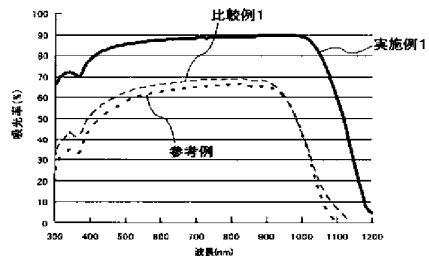


図7B



【図 1 - 2】

図1B



図1C



【図 2 - 2】

図2B

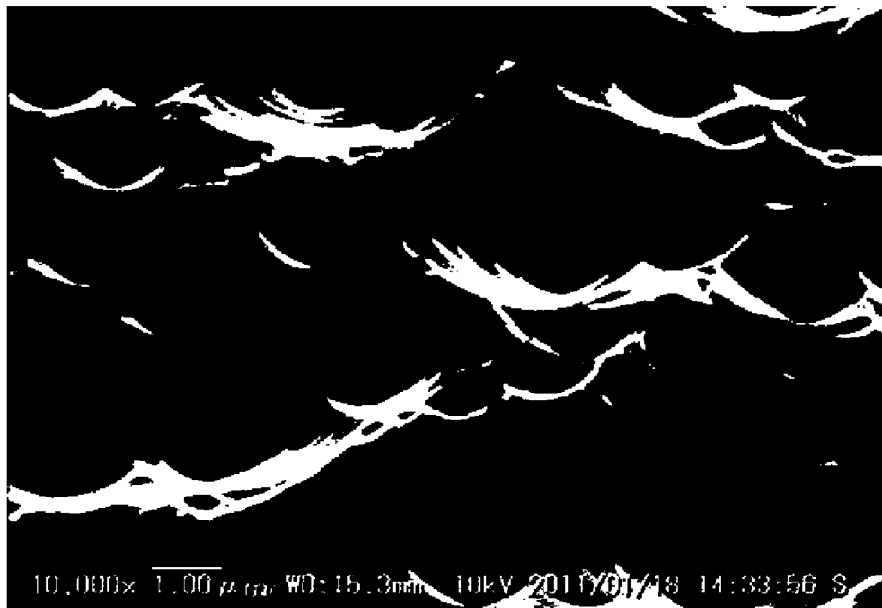


図2C

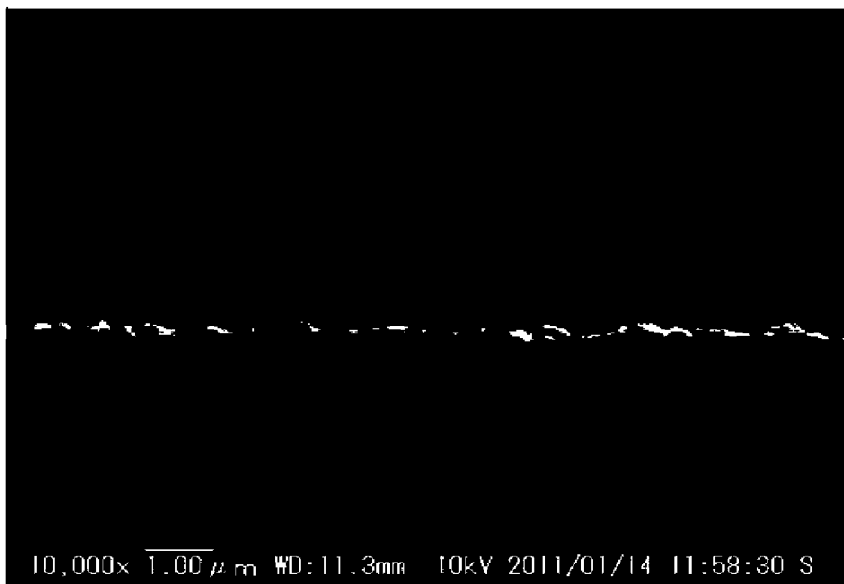


【図 3】

図3A



図3B



【図 4】

図4A



図4B



フロントページの続き

(72)発明者 新井 康司

大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

(72)発明者 参川 茂

大阪府門真市大字門真 1 0 0 6 番地 パナソニック株式会社内

F ターム(参考) 5F004 BA19 CA02 CA04 DA17 DA19 DA26 DA28 DB01 EA38

5F151 AA02 CB22 GA04 GA15



Espacenet

Bibliographic data: WO2016129481 (A1) — 2016-08-18

PHOTOELECTRIC CONVERSION ELEMENT

Inventor(s): SAKAI TOSHIHIKO; KAMIKAWA TAKESHI; HARADA MASATOMI; KUNIYOSHI TOKUAKI; ZOU LIUMIN ± (酒井 敏彦; 神川 剛; 原田 真臣; 國吉 督章; 鄒 柳民)

Applicant(s): SHARP KK [JP] ± (シャープ株式会社)

Classification: - **international:** H01L31/0236; H01L31/0747; H01L31/18
- **cooperative:** H01L31/0236 (EP); H01L31/0747 (EP); H01L31/18 (EP); Y02E10/50 (EP); Y02P70/50 (EP)

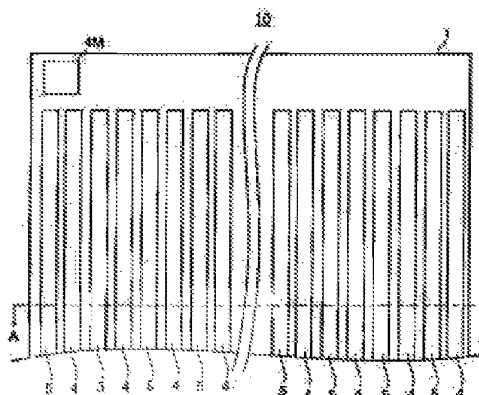
Application number: WO2016JP53226 20160203 Global Dossier

Priority number(s): JP20150023477 20150209

Also published as: JP6613252 (B2) JPWO2016129481 (A1)

Abstract of WO2016129481 (A1)

Provided is a photoelectric conversion element which is able to be suppressed in decrease of the photoelectric conversion efficiency due to overlapping of an n-type semiconductor layer and a p-type semiconductor layer. On the back surface of a semiconductor substrate 1, n-type amorphous semiconductor layers 4 and p-type amorphous semiconductor layers 5 are alternately arranged at predetermined intervals. An alignment mark 4M that comprises a layer of the same semiconductor as the n-type amorphous semiconductor layers 4 is also formed on the back surface of a semiconductor substrate 1. At least a texture structure is formed in a portion of the surface of the semiconductor substrate 1, said portion being at the boundary with the alignment mark 4M.



(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 8 月 18 日(18.08.2016)



(10) 国際公開番号
WO 2016/129481 A1

- (51) 国際特許分類:
H01L 31/0747 (2012.01) H01L 31/18 (2006.01)
H01L 31/0236 (2006.01)
- (21) 国際出願番号: PCT/JP2016/053226
- (22) 国際出願日: 2016 年 2 月 3 日(03.02.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-023477 2015 年 2 月 9 日(09.02.2015) JP
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町 1 番地 Osaka (JP).
- (72) 発明者: 酒井 敏彦(SAKAI Toshihiko). 神川 剛(KAMIKAWA Takeshi). 原田 真臣(HARADA Masatomi). 國吉 督章(KUNIYOSHI Tokuaki). 鄒柳民(ZOU Liumin).
- (74) 代理人: 川上 桂子, 外(KAWAKAMI Keiko et al.); 〒5300047 大阪府大阪市北区西天満 2-6-8

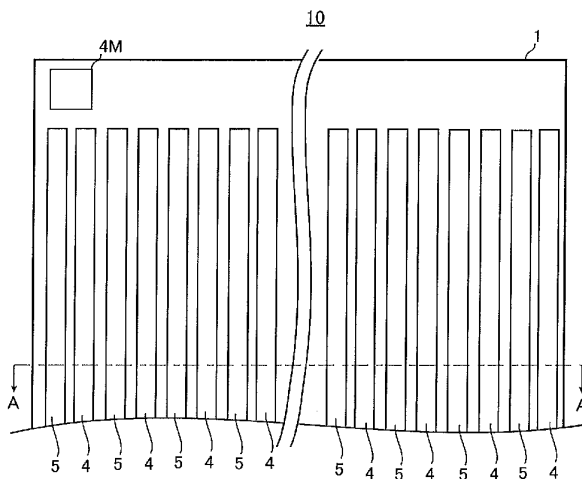
堂島ビルディング 4 階 川上特許事務所 Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が¹可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が¹可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: PHOTOELECTRIC CONVERSION ELEMENT

(54) 発明の名称: 光電変換素子



(57) Abstract: Provided is a photoelectric conversion element which is able to be suppressed in decrease of the photoelectric conversion efficiency due to overlapping of an n-type semiconductor layer and a p-type semiconductor layer. On the back surface of a semiconductor substrate 1, n-type amorphous semiconductor layers 4 and p-type amorphous semiconductor layers 5 are alternately arranged at predetermined intervals. An alignment mark 4M that comprises a layer of the same semiconductor as the n-type amorphous semiconductor layers 4 is also formed on the back surface of a semiconductor substrate 1. At least a texture structure is formed in a portion of the surface of the semiconductor substrate 1, said portion being at the boundary with the alignment mark 4M.

(57) 要約: n型半導体層とp型半導体層とが重なることによる光電変換効率の低下を低減しうる光電変換素子を提供する。半導体基板1表面において、n型非晶質半導体層4およびp型非晶質半導体層5は、所望の間隔を隔てて半導体基板1の裏面上に交互に配置されるとともに、n型非晶質半導体層4と同じ半導体層を含むアライメントマーク4Mが形成される。半導体基板1の表面において、アライメントマーク4Mの境界における部分には少なくともテクスチャ構造が形成される。

WO 2016/129481 A1

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：光電変換素子

技術分野

[0001] この発明は、光電変換素子に関する。

背景技術

[0002] 従来、*n*型の結晶シリコン基板と*p*型の非晶質シリコン層との間に真性（*i*型）の非晶質シリコンを介在させて、界面での欠陥を低減し、ヘテロ接合界面での特性を改善させた光電変換装置が知られている（下記特許文献1参照）。

先行技術文献

特許文献

[0003] 特許文献1：特開2010-10620号公報

発明の概要

発明が解決しようとする課題

[0004] 結晶シリコンと*p*型非晶質シリコン層との界面に真性非晶質シリコンが形成されている裏面接合型の光電変換素子の作製に際し、メタルマスク等のシャドーマスクを用い、結晶シリコン基板の裏面に*n*型半導体層と*p*型半導体層を別々にパターニングする場合、先に形成される半導体層の位置に応じた適切な位置に、後に形成する半導体層を形成しなければならない。しかしながら、結晶シリコン基板のディンプルによる不均一な反射光等によって、先に形成される半導体層の位置が確実に認識できない場合、適切な位置に*n*型半導体層と*p*型半導体層とを形成することができず、*n*型半導体層と*p*型半導体層とが重なり、光電変換効率が低下する場合がある。

[0005] 本発明は、*n*型半導体層と*p*型半導体層とが重なることによる光電変換効率の低下を低減しうる光電変換素子と、それを備えた太陽電池モジュール及び太陽光発電システムを提供することを目的とする。

課題を解決するための手段

[0006] 本発明に係る光電変換素子は、半導体基板と、前記半導体基板の一方の面に形成され、第1の導電型を有する第1非晶質半導体層と、前記半導体基板の一方の面に形成されるとともに前記半導体基板の面内方向において前記第1非晶質半導体層に隣接して形成され、前記第1の導電型と反対の第2の導電型を有する第2非晶質半導体層と、前記半導体基板の一方の面の少なくとも一部に形成されたテクスチャ構造と、前記テクスチャ構造の上に、前記第1非晶質半導体層及び前記第2非晶質半導体層の少なくとも一方の非晶質半導体層を含む光散乱層と、を備える。

発明の効果

[0007] 本発明によれば、n型半導体層とp型半導体層とが重なることによる光電変換効率の低下を低減することができる。

図面の簡単な説明

[0008] [図1A]図1Aは、実施の形態1に係る光電変換素子を上から見た模式図である。

[図1B]図1Bは、図1Aに示す光電変換素子をA-A線で切断した断面図である。

[図2]図2は、大きさや形状がさまざまなピラミッド状の凹凸が複数形成されたテクスチャ構造を示す図である。

[図3]図3は、図1に示す電極および保護膜の拡大図である。

[図4]図4は、図1に示すn型非晶質半導体層の詳細な構造を示す断面図である。

[図5]図5は、図1に示すn型非晶質半導体層の他の詳細な構造を示す断面図である。

[図6]図6は、図1に示す光電変換素子の製造方法を示す第1の工程図である。

[図7]図7は、図1に示す光電変換素子の製造方法を示す第2の工程図である。

[図8]図8は、図1に示す光電変換素子の製造方法を示す第3の工程図である。

。

[図9]図9は、図1に示す光電変換素子の製造方法を示す第4の工程図である。

。

[図10]図10は、図1に示す光電変換素子の製造方法を示す第5の工程図である。

[図11A]図11Aは、実施の形態1におけるn型非晶質半導体層を形成する際に用いるシャドーマスクを上から見た模式図である。

[図11B]図11Bは、実施の形態1におけるp型非晶質半導体層を形成する際に用いるシャドーマスクを上から見た模式図である。

[図11C]図11Cは、図11Bに示すシャドーマスクの位置合わせを説明する模式図である。

[図12]図12の(a)～(d)は、裏面の状態が各々異なる半導体基板にアライメントマークを形成した場合のアライメントマークの光学顕微鏡画像の比較例を示す図である。

[図13A]図13Aは、図1に示す光電変換素子の裏面側から見た平面図である。

[図13B]図13Bは、配線シートの平面図である。

[図14A]図14Aは、実施の形態2による光電変換素子を上から見た模式図である。

[図14B]図14Bは、図14Aに示す光電変換素子の製造方法を示す工程図である。

[図14C]図14Cは、実施の形態2による他の例の半導体基板を上から見た模式図である。

[図15A]図15Aは、実施の形態3におけるn型非晶質半導体層を形成する際に用いるシャドーマスクを上から見た模式図である。

[図15B]図15Bは、実施の形態3におけるp型非晶質半導体層を形成する際に用いるシャドーマスクを上から見た模式図である。

[図16]図16は、実施の形態3における半導体基板を上から見た模式図であ

る。

[図17]図17は、実施の形態4に係る光電変換素子の構成を示す断面図である。

[図18]図18は、図17に示す光電変換素子の製造方法を示す工程図である。

[図19]図19は、図17に示す光電変換素子の製造方法を示す工程図である。

[図20]図20は、図17に示す光電変換素子の製造方法を示す工程図である。

[図21]図21は、図17に示す光電変換素子の製造方法を示す工程図である。

[図22]図22は、実施の形態5による光電変換素子を備える光電変換モジュールの構成を示す概略図である。

[図23]図23は、実施の形態6による光電変換素子を備える太陽光発電システムの構成を示す概略図である。

[図24]図24は、図23に示す光電変換モジュールアレイの構成を示す概略図である。

[図25]図25は、実施の形態6による光電変換素子を備える別の太陽光発電システムの構成を示す概略図である。

[図26]図26は、実施の形態7による光電変換素子を備える太陽光発電システムの構成を示す概略図である。

[図27]図27は、実施の形態7による光電変換素子を備える別の太陽光発電システムの構成を示す概略図である。

発明を実施するための形態

[0009] 本発明の一実施形態に係る光電変換素子は、半導体基板と、前記半導体基板の一方の面に形成され、第1の導電型を有する第1非晶質半導体層と、前記半導体基板の一方の面に形成されるとともに前記半導体基板の面内方向において前記第1非晶質半導体層に隣接して形成され、前記第1の導電型と反

対の第2の導電型を有する第2非晶質半導体層と、前記半導体基板の一方の面の少なくとも一部に形成されたテクスチャ構造と、前記テクスチャ構造の上に、前記第1非晶質半導体層及び前記第2非晶質半導体層の少なくとも一方の非晶質半導体層を含む光散乱層と、を備える（第1の構成）。

[0010] 第1の構成によれば、半導体基板の一方の面の少なくとも一部に、テクスチャ構造が形成され、テクスチャ構造の上に第1非晶質半導体層及び第2非晶質半導体層の少なくとも一方の非晶質半導体層を含む光散乱層を有する。光散乱層におけるテクスチャ構造によって、光散乱層の反射率は略均一となるため、光散乱層の位置を特定しやすくなる。そのため、光散乱層における第1非晶質半導体層及び第2非晶質半導体層の少なくとも一方の位置を特定することができ、第1非晶質半導体層と第2非晶質半導体層とが重ならないように第1非晶質半導体層と第2非晶質半導体層とを形成することができる。

[0011] 第2の構成は、第1の構成において、前記光散乱層は、前記半導体基板の一方の面において、前記第1非晶質半導体層と前記第2非晶質半導体層が形成される領域と異なる領域に形成され、前記第1非晶質半導体層及び前記第2非晶質半導体層の一方を形成する際の位置の調整に用いるアライメント部であることとしてもよい。

[0012] 第2の構成によれば、アライメント部は、第1非晶質半導体層及び第2非晶質半導体層が形成される領域とは異なる領域に形成され、第1非晶質半導体層及び第2非晶質半導体層の一方を形成する際の位置の調整に用いられる。そのため、第1非晶質半導体層及び第2非晶質半導体層が形成される領域にアライメント部が形成される場合と比べ、アライメント部の位置を特定しやすく、第1非晶質半導体層と第2非晶質半導体層とが重ならないように、より適切な位置に第1非晶質半導体層及び第2非晶質半導体層を形成することができる。

[0013] 第3の構成は、第2の構成において、前記アライメント部は、前記光電変換素子を識別する識別情報を含むこととしてもよい。

- [0014] 第3の構成によれば、アライメント部の識別情報によって光電変換素子を識別することができる。
- [0015] 第4の構成は、第1の構成において、前記光散乱層は、前記第1非晶質半導体層及び前記第2非晶質半導体層の少なくとも一方が形成された領域に形成され、前記第1非晶質半導体層及び前記第2非晶質半導体層の一方を形成する際の位置の調整に用いるためのアライメント部であることとしてもよい。
- [0016] 第4の構成によれば、アライメント部が第1非晶質半導体層及び第2非晶質半導体層が形成される領域と異なる領域に形成される場合と比べ、半導体基板の一方の面における第1非晶質半導体層及び第2非晶質半導体層が形成される領域を大きくすることができる。
- [0017] 第5の構成は、第1の構成において、前記光散乱層は、前記第1非晶質半導体層及び前記第2非晶質半導体層の少なくとも一方が形成された領域に形成され、前記第1非晶質半導体層及び前記第2非晶質半導体層が形成された位置の検査に用いるための検査部であることとしてもよい。
- [0018] 第5の構成によれば、検査部におけるテクスチャ構造によって、第1非晶質半導体層と第2非晶質半導体層の少なくとも一方が形成された位置を特定しやすくなるため、第1非晶質半導体層と第2非晶質半導体層が適切な位置に形成されているか否かを検査することができる。
- [0019] 第6の構成は、第1から第5のいずれかの構成において、前記光散乱層は、さらに、前記一方の半導体層と前記半導体基板の一方の面との間に真性非晶質半導体層を含むこととしてもよい。
- [0020] 第6の構成によれば、光散乱層における非晶質半導体層が先に形成される場合、光散乱層の膜厚は当該非晶質半導体層が形成されていない領域よりも厚くなるため、光散乱層のコントラストが高くなる。その結果、光散乱層が形成されている位置がより特定しやすくなり、後に形成される非晶質半導体層をより適切な位置に形成できる。
- [0021] 第7の構成は、第1から第6のいずれかの構成において、前記テクスチャ

構造を平面視した場合に、前記テクスチャ構造の凸部の外接円の直径の平均値は、 $15\text{ }\mu\text{m}$ 未満であることとしてもよい。

[0022] 第6の構成によれば、半導体基板の一方の面からの反射光量が小さくなるため、アライメント部の位置を特定しやすくなる。

[0023] 本発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰返さない。また、説明を分かりやすくするために、以下で参照する図面においては、構成が簡略化または模式化して示されたり、一部の構成部材が省略されたりしている。また、各図に示された構成部材間の寸法比は、必ずしも実際の寸法比を示すものではない。

[0024] この明細書においては、非晶質半導体層は、微結晶相を含んで良いものとする。微結晶相は、平均粒子径が $1\sim 50\text{ nm}$ である結晶を含む。

[0025] [実施の形態1]

図1Aは、実施の形態1による光電変換素子を上から見た模式図である。また、図1Bは、図1Aに示す光電変換素子10をA-A線で切断した光電変換素子10の構成を示す断面図である。図1Aを参照して、光電変換素子10は、半導体基板1の一方の面の面内方向において、n型非晶質半導体層4とp型非晶質半導体層5が交互に配置されている。また、半導体基板1の一方の面には、n型非晶質半導体層4とp型非晶質半導体層5とが形成されている領域と異なる領域にアライメントマーク4Mが形成されている。以下、光電変換素子10の具体的な構成について説明する。

[0026] 図1A及び1Bを参照して、光電変換素子10は、半導体基板1と、反射防止膜2と、パッシベーション膜3と、n型非晶質半導体層4と、p型非晶質半導体層5と、電極6、7と、保護膜8と、アライメントマーク4Mとを備える。

[0027] 半導体基板1において反射防止膜2が形成された面から太陽光が入射される。以下、反射防止膜2が形成された面を「受光面」、n型非晶質半導体層

4 と、p 型非晶質半導体層 5 が形成された面を「裏面」と呼ぶ。

[0028] 半導体基板 1 は、例えば、n 型単結晶シリコン基板からなる。半導体基板 1 は、例えば、100～150 μm の厚さを有する。そして、半導体基板 1 は、図 1 に示すように基板の両面にテクスチャ構造が形成されている。本実施形態におけるテクスチャのサイズは15 μm 未満である。テクスチャサイズの詳細については後述する。

[0029] 反射防止膜 2 は、半導体基板 1 の受光面に接して配置される。

[0030] パッシベーション膜 3 は、半導体基板 1 の裏面に接して配置される。

[0031] n 型非晶質半導体層 4 は、パッシベーション膜 3 に接して配置される。

[0032] p 型非晶質半導体層 5 は、パッシベーション膜 3 に接し、半導体基板 1 の面内方向において n 型非晶質半導体層 4 に隣接して配置される。より詳しくは、p 型非晶質半導体層 5 は、半導体基板 1 の面内方向において n 型非晶質半導体層 4 との間で所望の間隔を隔てて配置される。

[0033] n 型非晶質半導体層 4 および p 型非晶質半導体層 5 は、半導体基板 1 の面内方向において交互に配置される。

[0034] 図 1 B ではアライメントマーク 4 M が図示されていないが、アライメントマーク 4 M は、n 型非晶質半導体層 4 と同じ半導体層を含み、アライメントマーク 4 M の上部には p 型非晶質半導体層 5 と同じ半導体層が堆積されている。光電変換素子 10 の具体的な製造方法は後述するが、本実施の形態では、n 型非晶質半導体層 4 を形成した後、p 型非晶質半導体層 5 が形成される。アライメントマーク 4 M は、p 型非晶質半導体層 5 を形成する際に用いるシャドーマスクの位置の調整に用いられる。

[0035] 本実施の形態において、アライメントマーク 4 M は、光散乱層の一例である。光散乱層は、半導体基板 1 の裏面の少なくとも一部に形成されたテクスチャ構造と、n 型非晶質半導体層 4 及び p 型非晶質半導体層 5 の少なくとも一方と同じ非晶質半導体層を含む。本実施の形態では、アライメントマーク 4 M は、p 型非晶質半導体層 5 を形成する際のシャドーマスクの位置の調整に用いられるアライメント部として機能する。

- [0036] 電極 6 は、n 型非晶質半導体層 4 上に、n 型非晶質半導体層 4 に接して配置される。
- [0037] 電極 7 は、p 型非晶質半導体層 5 上に、p 型非晶質半導体層 5 に接して配置される。
- [0038] 保護膜 8 は、パッシベーション膜 3、n 型非晶質半導体層 4、p 型非晶質半導体層 5 および電極 6、7 に接して配置される。より詳しくは、保護膜 8 は、隣接する n 型非晶質半導体層 4 および p 型非晶質半導体層 5 間において、n 型非晶質半導体層 4、p 型非晶質半導体層 5 および電極 6、7 の一部に接して配置されるとともに、n 型非晶質半導体層 4 と p 型非晶質半導体層 5 との間に配置されたパッシベーション膜 3 の一部に接して配置される。そして、保護膜 8 は、電極 6、7 上に開口部 8 A を有し、電極 6、7 の端から電極 6、7 の内側へ向かって 5 μ m 以上の領域に形成される。
- [0039] 反射防止膜 2 は、例えば、窒化シリコン膜からなり、例えば、60 nm の膜厚を有する。また反射防止層 2 と受光面の間に、真性非晶質半導体層や、n 型、p 型の導電型の非晶質半導体層が挿入されていてもよい。この場合、受光面のパッシベーション性を向上することができるため好ましい。
- [0040] パッシベーション膜 3 は、例えば、非晶質シリコン、非晶質シリコンの酸化物、非晶質シリコンの窒化物、非晶質シリコンの酸窒化物、および多結晶シリコンのいずれかからなる。
- [0041] パッシベーション膜 3 が非晶質シリコンの酸化物からなる場合、パッシベーション膜 3 は、シリコンの熱酸化膜からなってもよいし、プラズマ CVD (Chemical Vapor Deposition) 法等の気相成膜法によって形成されたシリコンの酸化物からなってもよい。
- [0042] パッシベーション膜 3 は、例えば、1 ~ 20 nm の膜厚を有し、好ましくは、3 ~ 8 nm の膜厚を有する。そして、パッシベーション膜 3 がシリコンの絶縁膜からなる場合、パッシベーション膜 3 は、キャリア（電子および正孔）がトンネル可能な膜厚を有する。実施の形態 1 においては、パッシベーション膜 3 は、シリコンの熱酸化膜からなり、パッシベーション膜 3 の膜厚

は、2 nmに設定されている。

[0043] n型非晶質半導体層4は、n型の導電型を有し、水素を含有する非晶質半導体層である。n型非晶質半導体層4は、例えば、n型非晶質シリコン、n型非晶質シリコンゲルマニウム、n型非晶質ゲルマニウム、n型非晶質シリコンカーバイド、n型非晶質シリコンナイトライド、n型非晶質シリコンオキサイド、n型非晶質シリコンオキシナイトライド、およびn型非晶質シリコンカーボンオキサイド等からなる。n型非晶質半導体層4は、例えば、n型ドーパントとしてリン(P)を含む。そして、n型非晶質半導体層4は、例えば、5～50 nmの膜厚を有する。

[0044] p型非晶質半導体層5は、p型の導電型を有し、水素を含有する非晶質半導体層である。p型非晶質半導体層5は、例えば、p型非晶質シリコン、p型非晶質シリコンゲルマニウム、p型非晶質ゲルマニウム、p型非晶質シリコンカーバイド、p型非晶質シリコンナイトライド、p型非晶質シリコンオキサイド、p型非晶質シリコンオキシナイトライド、およびp型非晶質シリコンカーボンオキサイド等からなる。p型非晶質半導体層5は、例えば、p型ドーパントとしてボロン(B)を含む。そして、p型非晶質半導体層5は、例えば、5～50 nmの膜厚を有する。

[0045] [テクスチャサイズの定義]

ここで、テクスチャサイズについて説明する。本明細書において、テクスチャのサイズとは、半導体基板1の主面を平面視した状態、すなわち半導体基板1の主面に対して垂直上方から見た状態におけるサイズを意味する。テクスチャの具体例としては、主面が(100)面であるn型単結晶シリコン基板に、異方性エッチングを施すことによって得られるピラミッド状(四角錐状や四角錐台状)の凹凸構造がある。実際のテクスチャは、図2に示すように、大きさや形状がさまざまなピラミッド状の凹凸が複数形成されている。この凹凸には、重なり合っているものや、変形したものも含まれている。

[0046] 本実施の形態では、テクスチャを平面視した場合に、テクスチャの凸部の外接円の直径の平均値をテクスチャのサイズと定義する。ここでは、下記の

方法により、テクスチャのサイズを求めた。

[0047] 半導体基板 1 の主面において $100\mu\text{m} \times 100\mu\text{m}$ の大きさの領域を抽出し、抽出した領域に含まれるピラミッド状の凹凸の側面の斜線長（平面視における斜線長） r のうち、斜線長 r が長いものから順に 20 個（ r_1 、 r_2 、…、 r_{20} ）を検出する。そして、検出した 20 個の斜線長 r （ r_1 、 r_2 、…、 r_{20} ）の平均値 r_{ave} の 2 倍をテクスチャ構造のサイズとする。これは、半導体基板 1 の主面における $100\mu\text{m} \times 100\mu\text{m}$ の大きさの領域内で、テクスチャを平面視した場合に、ピラミッド状の凸部の外接円の直径 R のうち、長いものから順に 20 個（ R_1 、 R_2 、…、 R_{20} ）を検出し、検出した 20 個の外接円の直径 R の平均長と等しい。

[0048] なお、ピラミッド状の凹凸の底面の一辺の長さに基づいて、テクスチャのサイズを定義してもいいし、ピラミッド状の凹凸の高さに基づいて、テクスチャのサイズを定義してもよい。例えば、ピラミッド状の凹凸の形状が、正方形の底面を有する四角錐である場合、底面の一辺の長さ a は、平面視した側面の斜線長 r と $a = 2 \times r / \sqrt{2}$ の関係がある。また、底面と、側面の斜辺との成す角 θ をテクスチャの傾斜角とした場合、高さ b は、 $b = r \times \tan \theta$ の関係がある。

[0049] 次に、電極 6、7 及び保護膜 8 の具体的な構造について説明する。図 3 は、図 1 に示す電極 6、7 および保護膜 8 の拡大図である。図 3 の（a）は、電極 6 が形成されている部分の拡大図であり、図 3 の（b）は、電極 7 が形成されている部分の拡大図である。なお、図 3 では、電極 6、7 および保護膜 8 の構造を分かり易くするため、半導体基板 1 の裏面が平坦であり、平坦なパッシベーション膜 3 の上に n 型非晶質半導体層 4、及び p 型非晶質半導体層 5 が形成されている構造を図示している。実際には、テクスチャが形成された半導体基板 1 の裏面にパッシベーション膜 3 が形成され、凹凸形状を有するパッシベーション膜 3 の上に n 型非晶質半導体層 4、及び p 型非晶質半導体層 5 が形成されている。

[0050] 図 3 の（a）に示すように、電極 6 は、導電層 6a、6b からなる。導電

層 6 a は、n 型非晶質半導体層 4 に接して配置される。導電層 6 b は、導電層 6 a に接して配置される。保護膜 8 の開口部 8 A の幅を L とし、電極 6, 7 の端から開口部 8 A までの距離を H とした場合、導電層 6 a, 6 b は、n 型非晶質半導体層 4 の面内方向において、n 型非晶質半導体層 4 の中心から両側に $H + L / 2$ の範囲に形成される。幅 L は、例えば、 $20 \mu\text{m}$ 以上であり、好ましくは、 $100 \mu\text{m}$ 以上である。幅 L がこのような値に設定されることによって、外部配線と電極 6, 7 との密着性を確保できるとともに、コンタクト抵抗を低下できる。また、距離 H は、電極 6, 7 と保護膜 8 との密着性を考慮すると、例えば、 $5 \mu\text{m}$ 以上である。

[0051] 図 3 の (b) に示すように、電極 7 は、導電層 7 a, 7 b からなる。導電層 7 a は、p 型非晶質半導体層 5 に接して配置される。導電層 7 b は、導電層 7 a に接して配置される。導電層 7 a, 7 b は、p 型非晶質半導体層 5 の面内方向において、p 型非晶質半導体層 5 の中心から両側に $H + L / 2$ の範囲に形成される。

[0052] その結果、電極 6, 7 の各々は、n 型非晶質半導体層 4 および p 型非晶質半導体層 5 の面内方向において、 $2H + L$ の長さを有する。

[0053] 図 3 の (a) (b) に示すように、保護膜 8 は、例えば、保護層 8 a, 8 b の 2 層構造からなる。保護膜 8 が n 型非晶質半導体層 4 上に形成される場合、保護層 8 a は、パッシベーション膜 3、n 型非晶質半導体層 4 および電極 6 に接して配置される。保護層 8 b は、保護層 8 a に接して配置される。保護膜 8 が p 型非晶質半導体層 5 上に形成される場合、保護層 8 a は、パッシベーション膜 3、p 型非晶質半導体層 5 および電極 7 に接して配置される。保護層 8 b は、保護層 8 a に接して配置される。

[0054] そして、n 型非晶質半導体層 4 の面内方向において、電極 6 の端よりも n 型非晶質半導体層 4 の外側の領域をギャップ領域 G 1 と言い、p 型非晶質半導体層 5 の面内方向において、電極 7 の端よりも p 型非晶質半導体層 5 の外側の領域をギャップ領域 G 2 と言う。その結果、n 型非晶質半導体層 4 の面内方向において n 型非晶質半導体層 4 の両側にギャップ領域 G 1 が存在する

。また、p型非晶質半導体層5の面内方向においてp型非晶質半導体層5の両側にギャップ領域G2が存在する。

[0055] 保護膜8がパッシベーション膜3、n型非晶質半導体層4および電極6に接して配置されるとともにパッシベーション膜3、p型非晶質半導体層5および電極7に接して配置される結果、半導体基板1の面内方向において隣接するn型非晶質半導体層4およびp型非晶質半導体層5の領域では、ギャップ領域G(=G1+G2)が存在し、保護膜8は、図1に示すように、電極6、7およびギャップ領域G上に形成されることになる。このギャップ領域Gは、パッシベーション膜3、n型非晶質半導体層4およびp型非晶質半導体層5がむき出しになった領域であり、例えば、20 μ m～500 μ mの幅を有する。

[0056] 電極6、7が例えば銀(Ag)やアルミニウム(Al)で構成されている場合、電極6、7の反射率は90%以上となる。半導体基板1の裏面には、800～1200nm程度の長波長領域の光が到達する。半導体基板1の受光面から入射してきた光が、電極6、7が設けられている領域n、pに入射すると、電極6、7によって反射されて半導体基板1内に戻り、半導体基板1に吸収される。しかし、電極6、7が設けられていないギャップ領域G(図1参照)に光が入射した場合、電極6、7による反射が無い場合、半導体基板1の裏面側に光が抜け、入射光を有効に利用できない場合がある。ギャップ領域Gの幅が広くなると、電極6、7で反射されない光が増えるため、好ましくない。このため、ギャップ領域Gの幅は500 μ m以下が好ましく、300 μ m以下であることがより好ましい。

[0057] 導電層6a、7aの各々は、透明導電膜からなる。透明導電膜は、例えば、ITO(Indium Tin Oxide)、ZnOおよびIWO(Indium Tungsten Oxide)などからなる。

[0058] 導電層6b、7bの各々は、金属からなる。金属は、例えば、銀(Ag)、ニッケル(Ni)、アルミニウム(Al)、銅(Cu)、錫(Sn)、白金(Pt)、金(Au)、クロム(Cr)、タングステン(W)、コバルト

(C o) およびチタン (T i) のいずれか、またはこれらの合金、またはこれら金属の2層以上の積層膜からなる。

[0059] 導電層6 a, 7 aとしては、それぞれ、n型非晶質半導体層4およびp型非晶質半導体層5と密着性が良い透明導電膜を用いることが好ましく、導電層6 b, 7 bとしては、導電率が高い金属を用いることが好ましい。

[0060] 導電層6 a, 7 aの各々の膜厚は、例えば、3～100 nmである。導電層6 b, 7 bの各々の膜厚は、50 nm以上であることが好ましく、実施の形態1においては、例えば、0.8 μmである。

[0061] なお、実施の形態1においては、電極6は、導電層6 bのみからなっており、電極7は、導電層7 bのみからなってもよい。この場合、導電層6 a, 7 aが無く、導電層6 b, 7 bがそれぞれn型非晶質半導体層4およびp型非晶質半導体層5に接する。

[0062] 導電層6 a, 7 aが無い場合、導電層6 b, 7 bは、金属膜で構成されており、それぞれ、下地であるn型非晶質半導体層4およびp型非晶質半導体層5と密着性が高い金属であることが好ましい。例えば、導電層6 b, 7 bは、T i, N i, A l, C r等からなり、かつ、1～10 nm程度の膜厚を有する密着層と、A l, A g等を主成分とする光反射金属との積層構造からなる。

[0063] また、導電層6 b, 7 bは、保護膜8と接するため、保護膜8との密着性を考慮する必要がある。保護膜8として、シリコン、アルミニウム、チタンおよびジルコニア等の酸化膜、シリコンおよびアルミニウムの窒化膜、シリコンおよびアルミニウムの酸窒化膜等を用いた場合、導電層6 b, 7 bの保護膜8側の表面は、A l、インジウム (I n)、T i、N i、C u、C r、W、C o、パラジウム (P d) およびS n等の金属からなることが好ましい。

[0064] 更に、電極6, 7の各々は、透明導電膜の単膜からなってもよい。この場合、透明導電膜は、上述したI T O等からなる。

[0065] 保護層8 a, 8 bの各々は、無機絶縁膜からなる。無機絶縁膜は、酸化膜

、窒化膜および酸窒化膜等からなる。

[0066] 酸化膜は、シリコン、アルミニウム、チタン、ジルコニア、ハフニウム、亜鉛、タンタルおよびイットリウム等の酸化膜からなる。

[0067] 窒化膜は、シリコンおよびアルミニウム等の窒化膜からなる。

[0068] 酸窒化膜は、シリコンおよびアルミニウム等の酸窒化膜からなる。

[0069] そして、保護層 8 b は、保護層 8 a と異なる無機絶縁膜からなる。即ち、上述した無機絶縁膜の中から 2 種類の膜を選択して保護層 8 a, 8 b を形成する。

[0070] また、保護層 8 a が半導体層からなり、保護層 8 b が上述した無機絶縁膜からなっているもよい。

[0071] この場合、半導体層は、非晶質半導体層からなる。そして、非晶質半導体層は、非晶質シリコン、非晶質シリコンゲルマニウム、非晶質ゲルマニウム、非晶質シリコンカーバイド、非晶質シリコンナイトライド、非晶質シリコンオキサイド、非晶質シリコンオキシナイトライドおよび非晶質シリコンカーボンオキサイド等からなる。絶縁性が高い方が電極 6, 7 間のリークを抑制できるため、保護層 8 a は、真性の非晶質半導体層からなることが好ましい。例えば、保護層 8 a は、真性の非晶質シリコンからなり、保護層 8 b は、シリコンの窒化膜からなる。

[0072] 但し、保護層 8 b が絶縁膜からなる場合、保護層 8 a は、n 型非晶質半導体層または p 型非晶質半導体層からなっているもよい。

[0073] 保護層 8 b は、正の固定電荷を持つ誘電体膜からなることが好ましい。正の固定電荷を持つ誘電体膜は、例えば、シリコンの窒化膜およびシリコンの酸窒化膜である。

[0074] 半導体基板 1 は、n 型単結晶シリコンからなるので、保護層 8 b が正の固定電荷を持つ誘電体膜からなる場合、保護層 8 b は、少数キャリアである正孔に対して電界を及ぼし、ギャップ領域 G における少数キャリア（正孔）のライフタイムを長く維持することができる。

[0075] 保護膜 8 は、2 層構造に限らず、単層、または 2 層構造以上の多層構造か

らなっているもよい。

[0076] 保護膜 8 が単層からなる場合、保護膜 8 は、上述した無機絶縁膜の中から選択された 1 種類の膜からなる。

[0077] 保護膜 8 が多層構造からなる場合、保護膜 8 は、上述した保護層 8 a, 8 b を多層構造の中に含む。

[0078] 上述したように、保護膜 8 が 2 層構造からなる場合、保護層 8 a を非晶質半導体層で形成し、保護層 8 b を絶縁膜で形成することによって、n 型非晶質半導体層 4 および p 型非晶質半導体層 5 に対するパッシベーション性と、電極 6, 7 間の絶縁性とを両立できるので、好ましい。

[0079] また、半導体基板 1 が n 型シリコン基板からなる場合、正の固定電荷を持つ誘電体膜によって保護層 8 b を形成することにより、電界をギャップ領域に及ぼし、ギャップ領域における少数キャリア（正孔）のライフタイムを長くできるので、更に、好ましい。

[0080] 更に、上述した無機絶縁膜が保護膜 8 の多層構造の中に含まれる場合、非晶質半導体層（n 型非晶質半導体層 4 および p 型非晶質半導体層 5）に拡散してくる水分等を防ぐ防湿効果を得ることができるので、好ましい。上述した無機絶縁膜の中でも、シリコンの窒化膜、シリコンの酸窒化膜は、他の無機絶縁膜に比べて防湿性が特に高いため、特に好ましい。そして、n 型シリコン基板を用いた場合には、防湿性と正の固定電荷による電界効果とを合わせて得ることができるので、光電変換素子 10 の長期的な信頼性と高効率化とを両立することができる。

[0081] 例えば、保護膜 8 が 2 層構造以上の多層膜、例えば、3 層構造からなる場合、1 つの保護層（n 型非晶質半導体層 4 または p 型非晶質半導体層 5 に接する保護層）が非晶質半導体層からなり、残りの 2 つの保護層が無機絶縁膜の中から選択された 2 種類の膜からなる。

[0082] 更に、保護膜 8 が単層または多層からなる場合、保護膜 8 は、上述した無機絶縁膜上に有機物の絶縁膜等が形成された構造からなっているもよい。

[0083] 有機物は、例えば、イミド系樹脂、エポキシ樹脂、フッ素樹脂、ポリカー

ボネート、および液晶ポリマー等からなる。

[0084] イミド系樹脂は、例えば、ポリイミドである。フッ素樹脂は、例えば、ポリテトラフルオロエチレン（PTFE）である。また、有機物は、スクリーン印刷で形成されたレジストであってもよい。

[0085] 図4は、図1に示すn型非晶質半導体層4の詳細な構造を示す断面図である。なお、この図では、半導体基板1の裏面が平坦であり、平坦なパッシベーション膜3の上に、n型非晶質半導体層4が形成されている構造を示しているが、実際には、半導体基板1の裏面にはテクスチャ構造が形成されている。

[0086] 図4を参照して、n型非晶質半導体層4は、n型非晶質半導体層4の面内方向において、フラット領域FTと、膜厚減少領域TDとを有する。フラット領域FTは、n型非晶質半導体層4のうち、最も厚い膜厚を有し、かつ、膜厚がほぼ一定である部分からなる。

[0087] フラット領域FTの両端の点をA点とし、膜厚の減少率が第1の減少率から第1の減少率よりも大きい第2の減少率に変化する点をB点としたとき、膜厚減少領域TDは、n型非晶質半導体層4の面内方向においてA点からB点までの領域である。

[0088] そして、膜厚減少領域TDは、n型非晶質半導体層4の面内方向においてフラット領域FTの両側に配置される。

[0089] n型非晶質半導体層4が膜厚減少領域TDを有するのは、後述するように、シャドーマスクを用いてプラズマCVD法によってn型非晶質半導体層4を形成するからである。膜厚減少領域TDは、フラット領域FTよりも薄い膜厚を有するので、膜厚減少領域TDのドーパント濃度は、フラット領域FTのドーパント濃度よりも高い。

[0090] 電極6は、n型非晶質半導体層4のフラット領域FTの全体と膜厚減少領域TDの一部とに接して配置される。

[0091] p型非晶質半導体層5も、図4に示すn型非晶質半導体層4と同じ構造からなる。そして、電極7は、p型非晶質半導体層5のフラット領域FTの全

体と膜厚減少領域TDの一部とに接して配置される。

[0092] その結果、キャリア（電子）がn型非晶質半導体層4を介して電極6へ到達するときの抵抗は、パッシベーション膜3の面内方向において一定の膜厚を有するn型非晶質半導体層が形成される場合に比べ低抵抗になる。また、キャリア（正孔）がp型非晶質半導体層5を介して電極7へ到達するときの抵抗は、パッシベーション膜3の面内方向において一定の膜厚を有するp型非晶質半導体層が形成される場合に比べ低抵抗になる。従って、光電変換素子10の変換効率を向上できる。

[0093] なお、電極6は、n型非晶質半導体層4の膜厚減少領域TDの全体に接していてもよく、電極7は、p型非晶質半導体層5の膜厚減少領域TDの全体に接していてもよい。

[0094] 図5は、図1に示すn型非晶質半導体層4の他の詳細な構造を示す断面図である。図5の（a）を参照して、光電変換素子10は、n型非晶質半導体層4に代えてn型非晶質半導体層41を備え、電極6に代えて電極61を備えていてもよい。

[0095] n型非晶質半導体層41において、膜厚が最大である点をC点とし、膜厚の減少率が第1の減少率から第1の減少率よりも大きい第2の減少率に変化する点をD点とする。その結果、膜厚減少領域TDは、n型非晶質半導体層41の面内方向においてC点からD点までの領域である。

[0096] そして、n型非晶質半導体層41は、n型非晶質半導体層41の面内方向において2つの膜厚減少領域TDを有する。2つの膜厚減少領域TDは、n型非晶質半導体層41の面内方向において相互に接して配置される。

[0097] 電極61は、2つの膜厚減少領域TDのうち、一方の膜厚減少領域TDの一部と他方の膜厚減少領域TDの一部とに接して配置される。

[0098] 光電変換素子10は、p型非晶質半導体層5に代えて、図5の（a）に示すn型非晶質半導体層41と同じ構造からなるp型非晶質半導体層を備えていてもよい。

[0099] その結果、キャリア（電子）がn型非晶質半導体層41を介して電極61

へ到達するときの抵抗は、パッシベーション膜3の面内方向において一定の膜厚を有するn型非晶質半導体層が形成される場合に比べ低抵抗になる。また、キャリア（正孔）がn型非晶質半導体層41と同じ構造を有するp型非晶質半導体層を介して電極へ到達するときの抵抗は、パッシベーション膜3の面内方向において一定の膜厚を有するp型非晶質半導体層が形成される場合に比べ低抵抗になる。従って、光電変換素子10の変換効率を向上できる。

- [0100] なお、電極61は、n型非晶質半導体層41と、n型非晶質半導体層41と同じ構造を有するp型非晶質半導体層とにおいて、2つの膜厚減少領域TDの全体に接して配置されていてもよい。
- [0101] 図5の（b）を参照して、光電変換素子10は、n型非晶質半導体層4に代えてn型非晶質半導体層42を備え、電極6に代えて電極62を備えていてもよい。
- [0102] n型非晶質半導体層42において、膜厚が最大である点をE点とし、膜厚の減少率が第1の減少率から第1の減少率よりも大きい第2の減少率に変化する点をF点とし、膜厚の変化率の符号が負から正に変化する点をG点とする。
- [0103] その結果、膜厚減少領域TD1は、n型非晶質半導体層42の面内方向においてE点からF点までの領域であり、膜厚減少領域TD2は、n型非晶質半導体層42の面内方向においてE点からG点までの領域である。
- [0104] そして、n型非晶質半導体層42は、n型非晶質半導体層42の面内方向において2つの膜厚減少領域TD1と2つの膜厚減少領域TD2とを有する。
- [0105] 2つの膜厚減少領域TD2は、n型非晶質半導体層42の面内方向における膜厚分布がG点を通る線に対して対称になるように配置される。2つの膜厚減少領域TD1は、n型非晶質半導体層42の面内方向において2つの膜厚減少領域TD2の両側に配置される。
- [0106] 電極62は、2つの膜厚減少領域TD2の全体と、一方の膜厚減少領域TD

D 1の一部と、他方の膜厚減少領域T D 1の一部とに接して配置される。

[0107] 光電変換素子10は、p型非晶質半導体層5に代えて、図5の(b)に示すn型非晶質半導体層42と同じ構造からなるp型非晶質半導体層を備えていてもよい。

[0108] その結果、キャリア（電子）がn型非晶質半導体層42を介して電極62へ到達するときの抵抗は、パッシベーション膜3の面内方向において一定の膜厚を有するn型非晶質半導体層が形成される場合に比べ低抵抗になる。また、キャリア（正孔）がn型非晶質半導体層42と同じ構造を有するp型非晶質半導体層を介して電極へ到達するときの抵抗は、パッシベーション膜3の面内方向において一定の膜厚を有するp型非晶質半導体層が形成される場合に比べ低抵抗になる。従って、光電変換素子10の変換効率を向上できる。

[0109] なお、電極62は、n型非晶質半導体層42と、n型非晶質半導体層42と同じ構造を有するp型非晶質半導体層とにおいて、2つの膜厚減少領域T D 1の全体と、2つの膜厚減少領域T D 2の全体とに接して配置されているもよい。

[0110] このように、光電変換素子10は、膜厚減少領域T D（T D 1，T D 2）を有するn型非晶質半導体層およびp型非晶質半導体層を備える。そして、この発明の実施の形態においては、膜厚減少領域は、膜厚減少領域T D，T D 1，T D 2のいずれかからなる。

[0111] 従って、n型非晶質半導体層またはp型非晶質半導体層の膜厚が最大である点を第1の点とし、n型非晶質半導体層またはp型非晶質半導体層の面内方向において、膜厚の減少率が第1の減少率から第1の減少率よりも大きい第2の減少率に変化する点、または膜厚の変化率の符号が負から正に変化する点を第2の点としたとき、膜厚減少領域は、n型非晶質半導体層またはp型非晶質半導体層の面内方向において、第1の点から第2の点までの領域である。

[0112] なお、この発明の実施の形態においては、n型非晶質半導体層4およびp

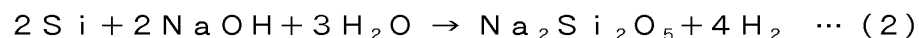
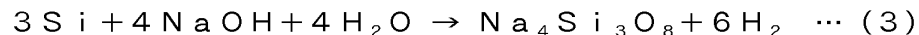
型非晶質半導体層 5 の少なくとも一方が膜厚減少領域を有していればよい。

[0113] 次に、光電変換素子 10 の製造方法について説明する。図 6 から図 10 は、それぞれ、図 1 に示す光電変換素子 10 の製造方法を示す第 1 から第 5 の工程図である。

[0114] 図 6 を参照して、光電変換素子 10 の製造が開始されると、バルクのシリコンからワイヤソーによって 100～300 μm の厚さを有するウェハを切り出す。そして、ウェハの表面のダメージ層を除去するためのエッチングと、厚さを調整するためのエッチングとを行い、半導体基板 1' を準備する（図 6 の工程（a）参照）。

[0115] 一般的に、テクスチャ構造を有するシリコン基板は、シリコンインゴットをワイヤソー等によりスライスして得られるシリコン基板をエッチングすることにより製造される。テクスチャを形成する基板は、遊離砥粒スライス基板を使用した単結晶シリコンが主流であるが、コスト削減やスライス技術の向上もあり固定砥粒スライス基板においても同様のテクスチャが形成可能である。

[0116] 半導体基板 1' のエッチングは、アルカリ性のエッチング液を用いた湿式エッチングにより行うことができる。このエッチングは水酸化ナトリウム溶液中の場合、以下の反応式（1）、（2）、（3）等の反応によって進行する。



[0117] 半導体基板 1' の表面にテクスチャ構造を形成するために、例えばエッチング速度を制御したエッチング液を使用することにより異方性エッチングを行う。半導体基板 1' の表面へのテクスチャ構造の形成は以下のメカニズムに基づく。半導体基板 1' のアルカリ水溶液によるエッチング速度は、シリコンの（100）面が最も早く、（111）面が最も遅い。そのため、アルカリ水溶液にエッチング速度を低下させることができる特定の添加剤（以下

、「エッチング抑制剤」ということもある。)を添加することによってテクスチャーエッチングの速度を抑制すると、シリコンの(100)面等のエッチングされやすい結晶面が優先的にエッチングされ、エッチング速度の遅い(111)面が表面に残存する。この(111)面は、(100)面に対して約54度の傾斜を持つためにプロセスの最終段階では(111)面とその等価な面で構成されるピラミッド状の凹凸構造が形成される。

[0118] しかし、エッチング条件によっては、おおよそ40〜54度程度の傾斜を持ったテクスチャが形成されることもあり、必ずしもテクスチャの表面が(111)が形成される訳ではない。本発明でも、テクスチャの傾斜面が、(111)面である必要はなく、傾斜が緩やかであってもよい。

[0119] また、テクスチャ形成用エッチング液として、水酸化ナトリウム(NaOH)水溶液に、エッチング抑制剤としてイソプロピルアルコール(以下、「IPA」と称する場合がある。)を添加したエッチング液を使用してもよい。このエッチング液を60〜80℃程度に加温し、(100)面のシリコン基板を10〜30分間浸漬させてエッチングする。

[0120] また、水酸化ナトリウム又は水酸化カリウムと、添加剤としてリグニン等の特定の添加剤と、炭酸水素ナトリウム又は炭酸水素カリウムを含むエッチング液を使用することにより、微小なピラミッド状(凹部の底面から凸部の頂点までの高さが1μm以下)のテクスチャ構造を形成することができる。このように、エッチング液の温度、処理時間、エッチング抑制剤の種類、エッチング速度、基板の種類など種々の条件を変えることで、テクスチャのサイズを制御することができる。ここでは、テクスチャのサイズが15μm以下となるようにエッチング条件が設定されている。

[0121] 本実施の形態では、図6の工程(a)の後、半導体基板1'をNaOHおよびKOH等のアルカリ溶液(例えば、KOH:1〜5wt%、イソプロピルアルコール:1〜10wt%の水溶液)を用いてエッチングする。これによって、半導体基板1'の両面が異方性エッチングされ、テクスチャのサイズが15μm以下のテクスチャ構造が形成される。(図6の工程(b)参照

）。

[0122] 引き続き、半導体基板 1 の表面を熱酸化して酸化膜 1 1 を半導体基板 1 の受光面に形成するとともにパッシベーション膜 3 を半導体基板 1 の裏面（受光面と反対側の表面）に形成する（図 6 の工程（c）参照）。

[0123] 半導体基板 1 の酸化は、ウェット処理および熱酸化のいずれでもよい。ウェット酸化の場合は、例えば、半導体基板 1 を過酸化水素、硝酸およびオゾン水等に浸漬し、その後、ドライ雰囲気中で 800～1000℃で半導体基板 1 を加熱する。また、熱酸化の場合、例えば、酸素または水蒸気の雰囲気中で半導体基板 1 を 900～1000℃に加熱する。

[0124] 図 6 の工程（c）の後、スパッタリング法、EB（Electron Beam）蒸着およびTEOS法等を用いて酸化膜 1 1 に接して窒化シリコン膜 1 2 を形成する。これによって、反射防止膜 2 が半導体基板 1 の受光面に形成される（図 7 の工程（d）参照）。

[0125] 図 7 の工程（d）の後、半導体基板 1 をプラズマ装置の反応室に入れ、シャドーマスク 3 0 を半導体基板 1 のパッシベーション膜 3 上に配置する（図 7 の工程（e）参照）。

[0126] ここで、シャドーマスク 3 0 について説明する。図 1 1 A は、シャドーマスク 3 0 を上から見た模式図である。シャドーマスク 3 0 は、複数の開口部 3 0 a と、開口部 3 0 b とを有する。開口部 3 0 a は、パッシベーション膜 3 の上に n 型非晶質半導体層 4 を形成するための開口部であり、隣接する開口部 3 0 a と一定の距離を隔てて形成されている。開口部 3 0 b は、p 型非晶質半導体層 5 を形成する際の基準となるアライメントマークを形成するための開口部である。

[0127] シャドーマスク 3 0 は、例えば、ステンレス鋼からなり、厚さが 200 μ m のメタルマスクで構成される。開口部 3 0 a は、略長方形の形状を有し、開口部 3 0 b は、略正方形の形状を有する。開口部 3 0 a の開口幅 w は約 400 μ m である。また、開口部 3 0 b は、1.0 mm×1.0 mm の大きさを有するが、0.4 mm×0.4 mm の大きさがより好ましい。

- [0128] 半導体基板 1 の温度を $130 \sim 180^{\circ}\text{C}$ に設定し、 $0 \sim 100 \text{ sccm}$ の水素 (H_2) ガス、 40 sccm の SiH_4 ガス、および 40 sccm のホスフィン (PH_3) ガスを反応室に流し、反応室の圧力を $40 \sim 120 \text{ Pa}$ に設定する。その後、RF パワー密度が $5 \sim 15 \text{ mW}/\text{cm}^2$ である高周波電力 (13.56 MHz) を平行平板電極に印加する。なお、 PH_3 ガスは、水素によって希釈されており、 PH_3 ガスの濃度は、例えば、 1% である。
- [0129] これによって、シャドーマスク 30 によって覆われていないパッシベーション膜 3 の領域に n 型非晶質シリコンが堆積され、n 型非晶質半導体層 4 とアライメントマーク 4 M とがパッシベーション膜 3 上に形成される (図 7 の工程 (f) 参照)。
- [0130] シャドーマスク 30 がパッシベーション膜 3 上に配置された場合、シャドーマスク 30 とパッシベーション膜 3 との間には、隙間が存在する。その結果、プラズマによって分解された SiH および SiH_2 等の活性種がシャドーマスク 30 とパッシベーション膜 3 との間の隙間に回り込み、シャドーマスク 30 によって覆われた一部の領域にも n 型非晶質半導体層 4 が形成される。テクスチャ構造が形成されていない半導体基板にシャドーマスク 30 を用いて成膜する場合に比べ、シャドーマスク 30 とパッシベーション膜 3 との間の隙間への回り込みが多くなる。これにより、膜厚減少領域 TD を有する n 型非晶質半導体層 4 がパッシベーション膜 3 上に形成される。また、シャドーマスク 30 上にも、n 型非晶質シリコン 31 が堆積する。
- [0131] なお、n 型非晶質半導体層 4 における膜厚減少領域 TD の幅および膜厚減少率は、n 型非晶質半導体層 4 を成膜するときの成膜圧力、シャドーマスク 30 の厚さおよびシャドーマスク 30 の開口幅を変えることによって制御される。例えば、シャドーマスク 30 の厚さを厚くすると、膜厚減少領域 TD の幅が広くなる。
- [0132] 図 7 の工程 (f) の後、シャドーマスク 30 に代えてシャドーマスク 40 をパッシベーション膜 3、n 型非晶質半導体層 4 及びアライメントマーク 4 M の上に配置する (図 8 の工程 (g) 参照)。

[0133] ここで、シャドーマスク40について説明する。図11Bは、シャドーマスク40を上から見た模式図である。シャドーマスク40は、パッシベーション膜3の上にp型非晶質半導体層5を形成するための複数の開口部40aと、パッシベーション膜3の上に形成されたアライメントマーク4M(図7の(f)参照)と位置合わせを行うためのアライメント用開口部40bとを有する。

[0134] 開口部40aは、シャドーマスク30の開口部30aと同様、略長方形の形状を有し、その開口幅wが約400 μ mである。アライメント用開口部40bの内側は開口しており、シャドーマスク30の開口部30bと同じ大きさの破線枠401bの各辺と接する位置に、アライメント用開口部40bの内側に突出した4つの凸部402b~405bを有する。シャドーマスク40の材質及び厚さは、シャドーマスク30と同様である。

[0135] シャドーマスク40を配置する際、パッシベーション膜3の上に形成されたアライメントマーク4Mを光学顕微鏡で観察し、アライメントマーク4Mの位置を特定する。本実施の形態では、半導体基板1の裏面の全体にテクスチャサイズが15 μ m未満のテクスチャ構造が形成されている。そのため、アライメントマーク4Mの下の半導体基板1の部分の反射率が略均一となっており、光学顕微鏡でアライメントマーク4Mの位置を確実に特定することができる。

[0136] アライメントマーク4Mの位置を特定した後、図11Cに示すように、アライメントマーク4Mの各辺に、シャドーマスク40のアライメント用開口部40bの凸部402b~405bが接するようにシャドーマスク40を配置する。これにより、シャドーマスク40の開口部40aがn型非晶質半導体層4と一定の距離を隔てた位置に配置される。

[0137] なお、図8の工程(g)においては、シャドーマスク40は、パッシベーション膜3から離れているように図示されているが、n型非晶質半導体層4の膜厚は、上述したように5~50nmと非常に薄いので、実際には、シャドーマスク40は、パッシベーション膜3に近接して配置されている。

- [0138] そして、半導体基板 1 の温度を $130 \sim 180^{\circ}\text{C}$ に設定し、 $0 \sim 100 \text{ sccm}$ の H_2 ガス、 40 sccm の SiH_4 ガス、および 40 sccm のジボラン (B_2H_6) ガスを反応室に流し、反応室の圧力を $40 \sim 200 \text{ Pa}$ に設定する。その後、RF パワー密度が $5 \sim 15 \text{ mW}/\text{cm}^2$ である高周波電力 (13.56 MHz) を平行平板電極に印加する。なお、 B_2H_6 ガスは、水素によって希釈されており、 B_2H_6 ガスの濃度は、例えば、2% である。
- [0139] これによって、シャドーマスク 40 によって覆われていないパッシベーション膜 3 の領域に p 型非晶質シリコンが堆積される。その結果、パッシベーション膜 3 上において、アライメントマーク 4 M の上に p 型非晶質シリコン 5 M が堆積するとともに、n 型非晶質半導体層 4 と一定の間隔を隔てた適切な位置に、p 型非晶質半導体層 5 が形成される (図 8 の工程 (h) 参照)。
- [0140] シャドーマスク 40 がパッシベーション膜 3 および n 型非晶質半導体層 4 上に配置された場合、シャドーマスク 40 とパッシベーション膜 3 との間には、隙間が存在する。その結果、プラズマによって分解された SiH および SiH_2 等の活性種がシャドーマスク 40 とパッシベーション膜 3 との間の隙間に回り込み、シャドーマスク 40 によって覆われた一部の領域にも p 型非晶質半導体層 5 が形成される。従って、膜厚減少領域 TD を有する p 型非晶質半導体層 5 がパッシベーション膜 3 上に形成される。また、シャドーマスク 40 上にも、p 型非晶質シリコン 32 が堆積する。
- [0141] なお、p 型非晶質半導体層 5 における膜厚減少領域 TD の幅および膜厚減少率は、p 型非晶質半導体層 5 を成膜するときの成膜圧力、シャドーマスク 40 の厚さおよびシャドーマスク 40 の開口幅を変えることによって制御される。例えば、シャドーマスク 40 の厚さを厚くすると、膜厚減少領域 TD の幅が広がる。
- [0142] p 型非晶質シリコンを堆積した後、シャドーマスク 40 を除去すると、半導体基板 1 の面内方向に交互に配置された n 型非晶質半導体層 4 および p 型非晶質半導体層 5 がパッシベーション膜 3 上に形成されるとともに、アライメントマーク 4 M の上に p 型非晶質シリコン 5 M が形成された状態になる (

図8の工程(i)参照)。

[0143] 図8の工程(i)の後、開口部がn型非晶質半導体層4およびp型非晶質半導体層5上に位置するようにシャドーマスク50を配置する(図9の工程(j)参照)。シャドーマスク50は、材質および厚さがシャドーマスク30と同じである。また、開口幅は、n型非晶質半導体層4又はp型非晶質半導体層5のフラット領域FTの幅と、その非晶質半導体層における2つの膜厚減少領域TDの幅との和に設定される。

[0144] 図9の工程(j)の後、シャドーマスク50を介して導電層6a, 7aおよび導電層6b, 7bを順次堆積する。これによって、電極6, 7がそれぞれn型非晶質半導体層4およびp型非晶質半導体層5上に堆積される(図9の工程(k)参照)。

[0145] 導電層6a, 7aおよび導電層6b, 7bは、スパッタリング法、蒸着法、イオンプレーティング法、熱CVD法、MOCVD (Metal Organic Chemical Vapor Deposition) 法、ゾルゲル法、液状にした原料を噴霧加熱する方法、およびインクジェット法等を用いて形成される。

[0146] 導電層6a, 7aは、例えば、ITO, IWO, ZnOのいずれかであり、導電層6b, 7bは、Ti (3nm) / Al (500nm) の2層構造からなる。

[0147] ITOは、例えば、SnO₂を0.5~4wt%ドーブしたITOターゲットを、アルゴンガスまたはアルゴンガスと酸素ガスとの混合ガスを流し、25~250℃の基板温度、0.1~1.5Paの圧力、0.01~2kWの電力でスパッタ処理を行うことによって形成される。

[0148] ZnOは、ITOターゲットに代えて、Alを0.5~4wt%ドーブしたZnOターゲットを用いて同様の条件でスパッタ処理を行うことにより形成される。

[0149] Ti / Alの2層構造は、EB蒸着によって形成される。

[0150] また、電極6, 7は、それぞれ、導電層6a, 7aをシード電極としてメ

ツキ成膜法によって導電層 6 b, 7 b を形成してもよい。この場合、導電層 6 b, 7 b は、例えば、Ni, W, Co, Ti, Cr、これらの合金、およびこれらの合金と P, B との合金のいずれかからなる。また、導電層 6 b, 7 b 上にメッキ法で Cu, Al, Sn 等を形成することもできる。

[0151] 図 9 の工程 (k) の後、シャドーマスク 60 を電極 6, 7 上に配置する (図 9 の工程 (l) 参照)。シャドーマスク 60 は、材質および厚さがシャドーマスク 30 と同じである。

[0152] そして、保護膜 8 をパッシベーション膜 3、n 型非晶質半導体層 4、p 型非晶質半導体層 5 および電極 6, 7 上に形成する。

[0153] より具体的には、プラズマ CVD 法を用いて真性非晶質半導体膜およびシリコンの窒化膜をパッシベーション膜 3、n 型非晶質半導体層 4、p 型非晶質半導体層 5 および電極 6, 7 上に順次堆積する。この場合、例えば、SiH₄ ガスを材料ガスとして真性非晶質半導体膜を形成し、真性非晶質半導体膜の膜厚は、例えば、10 nm である。また、例えば、SiH₄ ガスおよび NH₃ ガスを材料ガスとしてシリコンの窒化膜を形成し、シリコンの窒化膜の膜厚は、例えば、120 nm である。これによって、光電変換素子 10 が完成する (図 10 の工程 (m) 参照)。

[0154] 上述の例では、シャドーマスク 30, 40, 50, 60 の材料として、ステンレス鋼を例示したが、ステンレス鋼に限定されず、例えば、銅、ニッケル、ニッケル合金 (42 アロイ、インバー材等) およびモリブデン等を用いてもよい。また、シャドーマスク 30, 40, 50, 60 は、メタルマスクに限定されず、例えば、ガラスマスク、セラミックマスクおよび有機フィルムマスク等のいずれかでもよい。また、半導体基板 1 と同じ材質の半導体基板をエッチングで加工して、シャドーマスクとしてもよい。この場合、半導体基板とシャドーマスクとは同じ材質のため、熱膨張係数が同一となり、熱膨張係数の違いによるずれは生じない。また、半導体基板 1 の熱膨張係数との関係および原料コストを考慮すると、シャドーマスク 30, 40, 50, 60 の材料は、42 アロイが好ましい。半導体基板 1 との熱膨張係数の関係

から、シャドーマスク 30, 40, 50, 60 の材料は、ニッケルの組成が 36% 程度、鉄の組成が 64% の場合が、半導体基板 1 の熱膨張係数に最も近くなり、熱膨張係数の差によるアライメント誤差を最も小さくできる。

[0155] また、シャドーマスク 30, 40, 50, 60 の厚さに関しては、生産のランニングコストを抑制する観点から、再生して多数回使用できることが好ましい。この場合、シャドーマスク 30, 40, 50, 60 に付着した成膜物は、フッ酸または NaOH を用いて除去することができる。これらの再生回数を考慮すると、シャドーマスク 30, 40, 50, 60 の厚さは、30 μm ~ 300 μm が好ましい。

[0156] また、上述した製造方法においては、保護膜 8 を構成する真性非晶質半導体膜／シリコンの窒化膜を 1 つの反応室で連続して形成すると説明したが、この発明の実施の形態においては、これに限らず、真性非晶質半導体層を形成した後、シリコンの窒化膜をスパッタリング装置、または別の CVD 装置で形成するように、1 回、試料を大気に暴露してもよい。

[0157] 保護膜 8 を構成する真性非晶質半導体膜／シリコンの窒化膜を、大気暴露せずに形成した場合、大気中における有機物または水分のコンタミネーションを抑制することができるため、好ましい。

[0158] 更に、保護膜 8 は、EB 蒸着、スパッタリング法、レーザアブレーション法、CVD 法およびイオンプレーティング法を用いて形成されてもよい。

[0159] 更に、この発明の実施の形態においては、パッシベーション膜 3 を形成した後、窒素 (N_2) ガスを用いたプラズマ CVD 法によりパッシベーション膜 3 を窒化し、SiON からなるパッシベーション膜を形成してもよい。その結果、パッシベーション膜上に形成した p 型非晶質半導体層 5 中のドーパント (B) が半導体基板 1 へ拡散するのを抑制できる。そして、トンネル電流を流すことができる膜厚を有するパッシベーション膜を形成した場合であっても、有効にボロン (B) の拡散を抑制できるため、好ましい。

[0160] 上述したように、半導体基板 1 の裏面の全体には、テクスチャサイズが 15 μm 未満のテクスチャ構造が形成されている。このテクスチャ構造によっ

て半導体基板 1 の裏面の反射率が略均一となるため、パッシベーション膜 3 の上に n 型非晶質半導体層 4 とともに形成されたアライメントマーク 4 M を光学顕微鏡で観察した際、アライメントマーク 4 M の位置を確実に特定することができる。そのため、アライメントマーク 4 M を基準にシャドーマスク 40 のアライメント用開口部 40 b の凸部 402 b ~ 405 b の位置を合わせることができ、シャドーマスク 40 を適切な位置に配置することができる。その結果、n 型非晶質半導体層 4 と一定の間隔を隔てた位置に p 型非晶質半導体層 5 を形成することができ、隣接する n 型非晶質半導体層 4 と p 型非晶質半導体層 5 の間に、ギャップ領域 G を形成することができる。また、特に、n 型非晶質シリコンは、光学顕微鏡で観察した際、p 型非晶質シリコンと比べてコントラストが低いため、n 型非晶質半導体層 4 を形成した後、p 型非晶質半導体層 5 を形成する場合に上記の構成は特に有効である。

[0161] また、アライメントマーク 4 M とその他の領域との膜厚差が、例えば、n 型非晶質半導体層の膜厚の分だけしかない場合、アライメントマーク 4 M とその他の領域との境界の認識が難しい。しかしながら、アライメントマーク 4 M における n 型非晶質シリコンが形成された領域の境界（外縁）部分の下にテクスチャ構造が形成されることで、アライメントマーク 4 M における n 型非晶質シリコンの境界部分の視認性が高くなり、アライメントマーク 4 M の認識精度が向上する。その結果、n 型非晶質半導体層 4 の膜厚をより薄くすることが可能となり、n 型非晶質半導体層 4 における直列抵抗を低減し、より高い変換効率を実現することが可能となる。

[0162] また、テクスチャサイズによって、半導体基板 1 の裏面を光学顕微鏡で観察した際のテクスチャのエッジの鮮明さが異なる。これは、テクスチャサイズが大きいほど、シャドーマスクの裏側への膜の回り込み量が増加するからである。上述の例では、半導体基板 1 の裏面に形成されたテクスチャのサイズが $15\ \mu\text{m}$ 未満である。テクスチャのサイズが $15\ \mu\text{m}$ 未満では、半導体基板 1 の裏面からの反射光量が小さくなり、裏面の反射率が略均一となるため、アライメントマーク 4 M が認識しやすくなる。

[0163] ここで、図12の(a)～(d)に、裏面の状態が各々異なる半導体基板にアライメントマークを形成した場合のアライメントマークの光学顕微鏡画像を示す。図12の(a)は、半導体基板の裏面がミラー面である場合のアライメントマークの光学顕微鏡画像である。図12の(b)は、半導体基板の裏面にテクスチャ構造が形成されていないフラット面である場合のアライメントマークの光学顕微鏡画像である。図12の(c)は、半導体基板の裏面にテクスチャサイズが $1\mu\text{m}$ のテクスチャ構造が形成されている場合のアライメントマークの光学顕微鏡画像である。図12の(d)は、半導体基板の裏面にテクスチャサイズが $15\mu\text{m}$ のテクスチャ構造が形成されている場合のアライメントマークの光学顕微鏡画像である。図12の(a)～(d)に示す領域Aの画像部分はアライメントマークが形成された領域であり、領域Bの画像部分はパッシベーション膜3が形成されている領域である。

[0164] 図12の(a)の場合、半導体基板の裏面は原子レベルでフラットなミラー面であるため、半導体基板の反射率が面内で略一様である。また、n型非晶質半導体層4を形成する際のシャドーマスクの裏側にn型非晶質シリコンが回り込みにくくなり、図12の(a)に示すように、アライメントマークの部分と他の領域とのコントラストが高くなり、アライメントマークを認識しやすい。

[0165] 図12の(b)の場合には、半導体基板のディンプルによる大きな光学的コントラストがノイズ源になり、さらに、半導体基板の裏面がフラット面であることから半導体基板の反射光量が大きいため、アライメントマークの部分を光学的に認識することが困難である。

[0166] 図12の(c)において、破線枠で示す最も明るく見える領域Cは、p型非晶質半導体層5を形成する際のシャドーマスクのマスク用アライメントマークである。アライメントマークが形成されている領域Aの境界部分にはテクスチャ構造が形成されているため、半導体基板の裏面からの反射光量が図12の(b)の場合よりも小さくなり、面内の反射率が略均一となる。その結果、図12の(b)の場合よりもアライメントマークを光学的に認識しや

すくなる。

[0167] 図12の(d)の場合、図12の(c)に比べ、半導体基板の裏面に形成されたテクスチャ構造のテクスチャサイズが大きく、アライメントマークが形成されている領域Aの境界が認識しにくくなっている。これは、テクスチャサイズが大きくなるに従い、n型非晶質半導体層4を形成する際のシャドーマスクの裏側にn型非晶質シリコンが回り込みやすくなることによる。よって、半導体基板の裏面に形成されるテクスチャ構造のテクスチャサイズは $15\mu\text{m}$ 未満が好ましく、 $15\mu\text{m}$ 以上になるとアライメントマークの境界部が認識しにくくなることが分かる。

[0168] さらに、テクスチャの傾斜角 θ が小さいほど半導体基板の表面がフラットに近づき、反射率が高くなるため、アライメントマーク4Mの視認性が低下する。そのため、例えば、テクスチャの傾斜角 θ を 40° 以上とすることで、アライメントマーク4Mの境界のコントラスト比が高くなり、アライメントマーク4Mがより認識しやすくなる。

[0169] そして、隣接する電極6, 7間において、保護膜8が電極6, 7およびギャップ領域G（パッシベーション膜3、n型非晶質半導体層4およびp型非晶質半導体層5）上に形成される。その結果、隣接する電極6, 7間に、導電性の塵が付着した場合でも、短絡が防止される。従って、光電変換素子10の信頼性を向上できる。

[0170] また、電極6, 7は、端から内側に向かって $5\mu\text{m}$ 以上の領域が保護膜8によって覆われている。その結果、保護膜8の開口端から水分が浸入するのを効果的に抑制することができるとともに、保護膜8のはがれを抑制でき、生産時のアライメントずれによる歩留まりの低下を防止できる。

[0171] また、電極6, 7が接している半導体層と電極6, 7との密着性が比較的弱い場合においても、保護膜8で電極6, 7を覆うことにより、電極剥がれを効果的に抑制することができるため、好ましい。つまり、非晶質半導体と密着性の乏しい電極材料であっても、保護膜8を形成することで、使用することができるようになり、電極用の金属の選択範囲が広がり、特性向上が容

易になるため好ましい。半導体基板の表面の一面に n 型非晶質半導体層または p 型非晶質半導体層と TCO（透明導電膜）をほぼ全面に形成する従来のヘテロ接合型太陽電池では、非晶質半導体層と TCO に切れ目はない。

[0172] しかし、本実施形態における裏面ヘテロ接合型太陽電池のように、n 型非晶質半導体層または p 型非晶質半導体層や、TCO、電極等の層を交互に複数形成する場合、図 13A に示すように、各層の端部が多数発生することになる。このような構成でピールテスト等を行うと、端部から剥がれる可能性がある。しかし、半導体基板 1 の表面にテクスチャ構造を形成することによりアンカー効果が生じ、剥がれ等を抑制しやすくなるので好ましい。また、最も剥がれやすい電極端部を保護膜によって覆うことで、剥がれをより効果的に抑制することができ、より好ましい。

[0173] 更に、ギャップ領域 G においては、パッシベーション膜 3、n 型非晶質半導体層 4 および p 型非晶質半導体層 5 は、保護膜 8 によって覆われる。その結果、光電変換素子 10 の長期安定性の効果を得ることができる。

[0174] 図 13A は、図 1 に示す光電変換素子 10 の裏面側から見た平面図である。図 13A の (a) を参照して、n 型非晶質半導体層 4 および p 型非晶質半導体層 5 は、半導体基板 1 の面内方向に交互に所望の間隔で配置される。そして、電極 6、7 は、それぞれ、n 型非晶質半導体層 4 および p 型非晶質半導体層 5 上に配置される。その結果、隣り合う電極 6、7 間には、ギャップ領域 G が形成される。

[0175] 図 13A の (b) を参照して、保護膜 8 は、ギャップ領域 G および半導体基板 1 の周辺領域上に配置される。そして、電極 6、7 上には、幅 L を有する開口部 8A が形成される。電極 6、7 は、開口部 8A を介して配線シートに接続される。

[0176] なお、図 13A の (b) においては、半導体基板 1 の周辺部には、保護膜 8 で覆われていない領域が存在するが、光電変換素子 10 においては、半導体基板 1 の裏面の全面を保護膜で覆い、電極 6、7 の一部が露出している状態が最も好ましい。

- [0177] 図13Bは、配線シートの平面図である。図13Bを参照して、配線シート70は、絶縁基材710と、配線材71～87とを含む。
- [0178] 絶縁基材710は、電気絶縁性の材質であればよく、特に限定なく用いることができる。絶縁基材710は、例えば、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリフェニレンサルファイド（PPS）、ポリビニルフルオライド（PVF）およびポリイミド等からなる。
- [0179] また、絶縁基材710の膜厚は、特に限定されないが、好ましくは、25 μm 以上150 μm 以下である。そして、絶縁基材710は、1層構造であってもよく、2層以上の多層構造であってもよい。
- [0180] 配線材71は、バスバー部711と、フィンガー部712とを有する。フィンガー部712は、その一方端がバスバー部711に接続される。
- [0181] 配線材72は、バスバー部721と、フィンガー部722、723とを有する。フィンガー部722は、その一方端がバスバー部721に接続される。フィンガー部723は、バスバー部721に対してバスバー部721とフィンガー部722との接続部の反対側において、その一方端がバスバー部721に接続される。
- [0182] 配線材73は、バスバー部731と、フィンガー部732、733とを有する。フィンガー部732は、その一方端がバスバー部731に接続される。フィンガー部733は、バスバー部731に対してバスバー部731とフィンガー部732との接続部の反対側において、その一方端がバスバー部731に接続される。
- [0183] 配線材74は、バスバー部741と、フィンガー部742、743とを有する。フィンガー部742は、その一方端がバスバー部741に接続される。フィンガー部743は、バスバー部741に対してバスバー部741とフィンガー部742との接続部の反対側において、その一方端がバスバー部741に接続される。
- [0184] 配線材75は、バスバー部751と、フィンガー部752、753とを有

する。フィンガー部 7 5 2, 7 5 3 は、バスバー部 7 5 1 の長さ方向において隣接して配置され、その一方端がバスバー部 7 5 1 の同じ側においてバスバー部 7 5 1 に接続される。

[0185] 配線材 7 6 は、バスバー部 7 6 1 と、フィンガー部 7 6 2, 7 6 3 とを有する。フィンガー部 7 6 2 は、その一方端がバスバー部 7 6 1 に接続される。フィンガー部 7 6 3 は、バスバー部 7 6 1 に対してバスバー部 7 6 1 とフィンガー部 7 6 2 との接続部の反対側において、その一方端がバスバー部 7 6 1 に接続される。

[0186] 配線材 7 7 は、バスバー部 7 7 1 と、フィンガー部 7 7 2, 7 7 3 とを有する。フィンガー部 7 7 2 は、その一方端がバスバー部 7 7 1 に接続される。フィンガー部 7 7 3 は、バスバー部 7 7 1 に対してバスバー部 7 7 1 とフィンガー部 7 7 2 との接続部の反対側において、その一方端がバスバー部 7 7 1 に接続される。

[0187] 配線材 7 8 は、バスバー部 7 8 1 と、フィンガー部 7 8 2, 7 8 3 とを有する。フィンガー部 7 8 2 は、その一方端がバスバー部 7 8 1 に接続される。フィンガー部 7 8 3 は、バスバー部 7 8 1 に対してバスバー部 7 8 1 とフィンガー部 7 8 2 との接続部の反対側において、その一方端がバスバー部 7 8 1 に接続される。

[0188] 配線材 7 9 は、バスバー部 7 9 1 と、フィンガー部 7 9 2, 7 9 3 とを有する。フィンガー部 7 9 2, 7 9 3 は、バスバー部 7 9 1 の長さ方向において隣接して配置され、その一方端がバスバー部 7 9 1 の同じ側においてバスバー部 7 9 1 に接続される。

[0189] 配線材 8 0 は、バスバー部 8 0 1 と、フィンガー部 8 0 2, 8 0 3 とを有する。フィンガー部 8 0 2 は、その一方端がバスバー部 8 0 1 に接続される。フィンガー部 8 0 3 は、バスバー部 8 0 1 に対してバスバー部 8 0 1 とフィンガー部 8 0 2 との接続部の反対側において、その一方端がバスバー部 8 0 1 に接続される。

[0190] 配線材 8 1 は、バスバー部 8 1 1 と、フィンガー部 8 1 2, 8 1 3 とを有

する。フィンガー部 8 1 2 は、その一方端がバスバー部 8 1 1 に接続される。フィンガー部 8 1 3 は、バスバー部 8 1 1 に対してバスバー部 8 1 1 とフィンガー部 8 1 2 との接続部の反対側において、その一方端がバスバー部 8 1 1 に接続される。

[0191] 配線材 8 2 は、バスバー部 8 2 1 と、フィンガー部 8 2 2, 8 2 3 とを有する。フィンガー部 8 2 2 は、その一方端がバスバー部 8 2 1 に接続される。フィンガー部 8 2 3 は、バスバー部 8 2 1 に対してバスバー部 8 2 1 とフィンガー部 8 2 2 との接続部の反対側において、その一方端がバスバー部 8 2 1 に接続される。

[0192] 配線材 8 3 は、バスバー部 8 3 1 と、フィンガー部 8 3 2, 8 3 3 とを有する。フィンガー部 8 3 2, 8 3 3 は、バスバー部 8 3 1 の長さ方向において隣接して配置され、その一方端がバスバー部 8 3 1 の同じ側においてバスバー部 8 3 1 に接続される。

[0193] 配線材 8 4 は、バスバー部 8 4 1 と、フィンガー部 8 4 2, 8 4 3 とを有する。フィンガー部 8 4 2 は、その一方端がバスバー部 8 4 1 に接続される。フィンガー部 8 4 3 は、バスバー部 8 4 1 に対してバスバー部 8 4 1 とフィンガー部 8 4 2 との接続部の反対側において、その一方端がバスバー部 8 4 1 に接続される。

[0194] 配線材 8 5 は、バスバー部 8 5 1 と、フィンガー部 8 5 2, 8 5 3 とを有する。フィンガー部 8 5 2 は、その一方端がバスバー部 8 5 1 に接続される。フィンガー部 8 5 3 は、バスバー部 8 5 1 に対してバスバー部 8 5 1 とフィンガー部 8 5 2 との接続部の反対側において、その一方端がバスバー部 8 5 1 に接続される。

[0195] 配線材 8 6 は、バスバー部 8 6 1 と、フィンガー部 8 6 2, 8 6 3 とを有する。フィンガー部 8 6 2 は、その一方端がバスバー部 8 6 1 に接続される。フィンガー部 8 6 3 は、バスバー部 8 6 1 に対してバスバー部 8 6 1 とフィンガー部 8 6 2 との接続部の反対側において、その一方端がバスバー部 8 6 1 に接続される。

- [0196] 配線材 87 は、バスバー部 871 と、フィンガー部 872 とを有する。フィンガー部 872 は、その一方端がバスバー部 871 に接続される。
- [0197] 配線材 71 は、フィンガー部 712 が配線材 72 のフィンガー部 722 と噛み合うように絶縁基材 710 上に配置される。
- [0198] 配線材 72 は、フィンガー部 722 が配線材 71 のフィンガー部 712 と噛み合い、フィンガー部 723 が配線材 73 のフィンガー部 732 と噛み合うように絶縁基材 710 上に配置される。
- [0199] 配線材 73 は、フィンガー部 732 が配線材 72 のフィンガー部 723 と噛み合い、フィンガー部 733 が配線材 74 のフィンガー部 742 と噛み合うように絶縁基材 710 上に配置される。
- [0200] 配線材 74 は、フィンガー部 742 が配線材 73 のフィンガー部 733 と噛み合い、フィンガー部 743 が配線材 75 のフィンガー部 752 と噛み合うように絶縁基材 710 上に配置される。
- [0201] 配線材 75 は、フィンガー部 752 が配線材 74 のフィンガー部 743 と噛み合い、フィンガー部 753 が配線材 76 のフィンガー部 762 と噛み合うように絶縁基材 710 上に配置される。
- [0202] 配線材 76 は、フィンガー部 762 が配線材 75 のフィンガー部 753 と噛み合い、フィンガー部 763 が配線材 77 のフィンガー部 772 と噛み合うように絶縁基材 710 上に配置される。
- [0203] 配線材 77 は、フィンガー部 772 が配線材 76 のフィンガー部 763 と噛み合い、フィンガー部 773 が配線材 78 のフィンガー部 782 と噛み合うように絶縁基材 710 上に配置される。
- [0204] 配線材 78 は、フィンガー部 782 が配線材 77 のフィンガー部 773 と噛み合い、フィンガー部 783 が配線材 79 のフィンガー部 792 と噛み合うように絶縁基材 710 上に配置される。
- [0205] 配線材 79 は、フィンガー部 792 が配線材 78 のフィンガー部 783 と噛み合い、フィンガー部 793 が配線材 80 のフィンガー部 802 と噛み合うように絶縁基材 710 上に配置される。

- [0206] 配線材 80 は、フィンガー部 802 が配線材 79 のフィンガー部 793 と噛み合い、フィンガー部 803 が配線材 81 のフィンガー部 812 と噛み合うように絶縁基材 710 上に配置される。
- [0207] 配線材 81 は、フィンガー部 812 が配線材 80 のフィンガー部 803 と噛み合い、フィンガー部 813 が配線材 82 のフィンガー部 822 と噛み合うように絶縁基材 710 上に配置される。
- [0208] 配線材 82 は、フィンガー部 822 が配線材 81 のフィンガー部 813 と噛み合い、フィンガー部 823 が配線材 83 のフィンガー部 832 と噛み合うように絶縁基材 710 上に配置される。
- [0209] 配線材 83 は、フィンガー部 832 が配線材 82 のフィンガー部 823 と噛み合い、フィンガー部 833 が配線材 84 のフィンガー部 842 と噛み合うように絶縁基材 710 上に配置される。
- [0210] 配線材 84 は、フィンガー部 842 が配線材 83 のフィンガー部 833 と噛み合い、フィンガー部 843 が配線材 85 のフィンガー部 852 と噛み合うように絶縁基材 710 上に配置される。
- [0211] 配線材 85 は、フィンガー部 852 が配線材 84 のフィンガー部 843 と噛み合い、フィンガー部 853 が配線材 86 のフィンガー部 862 と噛み合うように絶縁基材 710 上に配置される。
- [0212] 配線材 86 は、フィンガー部 862 が配線材 85 のフィンガー部 853 と噛み合い、フィンガー部 863 が配線材 87 のフィンガー部 872 と噛み合うように絶縁基材 710 上に配置される。
- [0213] 配線材 87 は、フィンガー部 872 が配線材 86 のフィンガー部 863 と噛み合うように絶縁基材 710 上に配置される。
- [0214] 配線材 71～87 の各々は、電気導電性のものであればよく、特に限定されない。配線材 71～87 の各々は、例えば、Cu, Al, Ag およびこれらを主成分とする合金からなる。
- [0215] また、配線材 71～87 の厚さは、特に限定されないが、例えば、10 μ m 以上 80 μ m 以下が好適である。10 μ m 未満では、配線抵抗が高くなり

、 $80\mu\text{m}$ を超えると、光電変換素子10と貼り合わせるときに印加される熱によって配線材とシリコン基板との熱膨張係数の違いに起因してシリコン基板に反りが発生する。

[0216] 絶縁基材710の形状は、図13Bに示す形状に限定されず、適宜、変更可能である。また、配線材71～87の表面の一部に、Ni, Au, Pt, Pd, Sn, InおよびITO等の導電性材料を形成してもよい。このように、配線材71～87の表面の一部に、Ni等の導電性材料を形成するのは、配線材71～87と光電変換素子10の電極6, 7との電氣的接続を良好なものとし、配線材71～87の耐候性を向上させるためである。更に、配線材71～87は、単層構造であってもよく、多層構造であってもよい。

[0217] 電極6が配線材71のフィンガー部712に接続され、電極7が配線材72のフィンガー部722に接続されるように光電変換素子10を領域REG1上に配置し、電極6が配線材72のフィンガー部723に接続され、電極7が配線材73のフィンガー部732に接続されるように光電変換素子10を領域REG2上に配置する。以下、同様にして光電変換素子10を配線材73～87上に配置する。これによって、16個の光電変換素子10が直列に接続される。

[0218] 光電変換素子10の電極6, 7は、接着剤によって配線材71～87に接続される。接着剤は、例えば、半田樹脂、半田、導電性接着剤、熱硬化型Agペースト、低温硬化型銅ペースト、異方性導電フィルム(ACF: Anisotropic Conductive Film)、異方性導電ペースト(ACP: Anisotropic Conductive Paste)および絶縁性接着剤(NCP: Non Conductive Paste)からなる群から選択された1種類以上の接着材からなる。

[0219] 例えば、半田樹脂としては、タムラ科研(株)製のTCAP-5401-27等を用いることができる。

[0220] 絶縁性接着剤としては、エポキシ樹脂、アクリル樹脂およびウレタン樹脂等を用いることができ、熱硬化型および光硬化型の樹脂を用いることができる。

- [0221] 導電性接着剤としては、錫およびビスマスの少なくとも一方を含む半田粒子等を用いることができる。より好ましくは、導電性接着剤は、錫と、ビスマス、インジウムおよび銀等との合金である。これにより、半田融点を抑えることができ、低温による接着プロセスが可能になる。
- [0222] n型非晶質半導体層4、p型非晶質半導体層5および電極6、7上に保護膜8を形成した光電変換素子10を用いる場合には、電極6、7上の無機絶縁膜と、n型非晶質半導体層4およびp型非晶質半導体層5上の無機絶縁膜とが存在し、これら2つの無機絶縁膜は、下地が異なる。そして、光電変換素子10においては、下地が異なる無機絶縁膜が連続して形成されている。このような状況では、熱履歴が、下地が異なる無機絶縁膜に印加されると、下地の熱膨張係数の違いから無機絶縁膜の剥がれ等が発生する場合がある。
- [0223] 従って、低温、特に、200℃以下の熱プロセスが好ましく、その結果、低温で硬化し、電氣的に接合できる熱硬化型Agペースト、低温硬化型銅ペースト、異方性導電フィルムおよび異方性導電ペーストが特に好ましい。
- [0224] 上述したように、配線シート70上に配置した光電変換素子10を、ガラス基板上に配置されたエチレンビニルアセテート樹脂(EVA樹脂)と、PETフィルム上に配置されたEVA樹脂との間に配置する。そして、ラミネータ装置を用いて真空圧着によりガラス基板側のEVA樹脂を光電変換素子10に圧着させるとともに、PETフィルム側のEVA樹脂を光電変換素子10に圧着させた状態で125℃に加熱し、硬化させた。これにより、ガラス基板とPETフィルムとの間で硬化したEVA樹脂中に、配線シート70が付いた光電変換素子10が封止されることによって太陽電池モジュールを作製することができる。
- [0225] なお、上述の実施の形態1では、n型非晶質半導体層4を形成した後、p型非晶質半導体層5を形成する例を説明したが、p型非晶質半導体層5を形成した後、n型非晶質半導体層4を形成してもよい。この場合、アライメントマークは、p型非晶質半導体層5と同じ半導体層を含み、アライメントマークの上部にはn型非晶質半導体層4と同じ半導体層が堆積する。

[0226] また、上述の実施の形態 1 では、半導体基板 1 の裏面の全面にテクスチャ構造が形成される例を説明したが、アライメントマーク 4 M における n 型非晶質シリコンが形成された領域の境界（外縁部）の下に少なくともテクスチャ構造が形成されていればよい。このように構成した場合であっても、アライメントマーク 4 M における n 型非晶質シリコンの境界部分の反射率が略均一となるため、光学顕微鏡でアライメントマーク 4 M の位置を確実に認識することができる。

[0227] また、アライメントマーク 4 M とその他の領域との膜厚差が小さいほど、アライメントマーク 4 M とその他の領域との境界の認識が難しいが、アライメントマーク 4 M における n 型非晶質シリコンが形成された領域の境界（外縁）部分の下にテクスチャ構造が形成されることで、アライメントマーク 4 M における n 型非晶質シリコンの境界部分の視認性が高くなり、アライメントマーク 4 M の認識精度が向上する。これにより、n 型非晶質半導体層 4 の膜厚をより薄くすることが可能となり、n 型非晶質半導体層 4 における直列抵抗を小さくすることができ、より高い変換効率を実現することが可能となる。

[0228] [実施の形態 2]

本実施の形態では、半導体基板 1 の裏面の一部にテクスチャ構造が形成され、アライメントマーク 4 M が形成されない点で実施の形態 1 と異なる。以下、実施の形態 1 と異なる構成について説明する。

[0229] 図 1 4 A に示すように、本実施の形態における半導体基板 1 A の裏面には、n 型非晶質半導体層 4 と p 型非晶質半導体層 5 が形成され、n 型非晶質半導体層 4 及び p 型非晶質半導体層 5 が形成される領域と異なる領域にアライメントマーク 4 M は形成されない。また、本実施の形態では、図 1 4 A において、半導体基板 1 A の裏面の破線枠 P 1、P 2 で示す部分（以下、テクスチャ領域）に、上述した実施の形態 1 と同様のテクスチャ構造が形成されている。そして、テクスチャ領域 P 1、P 2 の上に、それぞれ、隣接する 1 組の n 型非晶質半導体層 4 及び p 型非晶質半導体層 5 の各境界の一部が重なっ

ている。テクスチャ領域 P 1、P 2 の上に形成された n 型非晶質半導体層 4 の破線部分 4 1 M は、光散乱層の一例であり、アライメント部として機能する。

[0230] 本実施の形態では、上述した実施の形態 1 の図 6 の (b) の工程に替えて、図 1 4 B の (b 1) ~ (b 5) に示す各工程を行う。具体的には、図 1 4 B の工程 (b 1) において、半導体基板 1' の裏面の全面に、SiO₂ からなる保護膜 9 0 をスパッタリング法により形成する。そして、保護膜 9 0 の上に、レジスト 9 1 を塗布してパターンニングを行い、所定の領域におけるレジスト 9 1 を除去し、開口部 9 1 a を形成する (図 1 4 の工程 (b 2))。

[0231] 続いて、レジスト 9 1 をマスクとして開口部 9 1 a における保護膜 9 0 をフッ酸によりエッチングして開口部 9 0' a を形成し、レジスト 9 1 を除去する (図 1 4 の工程 (b 3))。そして、半導体基板 1' の裏面側の開口部 9 0' a の部分と、半導体基板 1' の受光面側に、上述した実施の形態 1 と同様の異方性エッチングを行い、テクスチャ構造を形成する (図 1 4 の工程 (b 4))。続いて、半導体基板 1' の裏面側の保護膜 9 0' をフッ酸を用いてエッチングし、半導体基板 1 A が形成される (図 1 4 の工程 (b 5))。これにより、半導体基板 1 A の受光面側の全面と、裏面側の一部の領域 P 1、P 2 の部分にテクスチャ構造が形成される。その後、実施の形態 1 と同様、図 6 の (c) ~ 図 1 0 の (m) の工程を行う。

[0232] なお、本実施の形態では、図 7 の (e) の工程において、n 型非晶質半導体層 4 を形成するためのシャドーマスクとして、シャドーマスク 3 0 と同様の開口部 3 0 a のみを有するシャドーマスク (図示略) を用いる。本実施の形態では、図 1 4 A の破線枠 P 1、P 2 の部分に、このシャドーマスクにおける 1 つの開口部 3 0 a の一の長辺の一部が重なるように配置し、n 型非晶質半導体層 4 を形成する。これにより、破線枠 P 1、P 2 に形成されたテクスチャ構造の上に n 型非晶質半導体層 4 の一部からなるアライメントマーク 4 1 M が形成される。

[0233] また、本実施の形態では、図 8 の (g) の工程において、p 型非晶質半導

体層 5 を形成するためのシャドーマスクとして、シャドーマスク 40 と同様の開口部 40a のみを有するシャドーマスク（図示略）を用いる。アライメントマーク 41M の下にはテクスチャ構造が形成されているため、アライメントマーク 41M の部分の反射率は略均一となり、アライメントマーク 41M の位置を光学顕微鏡で特定することができる。よって、本実施の形態においては、アライメントマーク 41M を基に、n 型非晶質半導体層 4 の上に開口部 40a が重なるようにシャドーマスクを配置した後、n 型非晶質半導体層 4 の配列方向に沿ってギャップ領域 G の幅だけシャドーマスクをずらす。

[0234] これにより、n 型非晶質半導体層 4 と一定の距離だけ離れた位置に p 型非晶質半導体層 5 が形成されるとともに、テクスチャ領域 P1、P2 のそれぞれに、隣接する 1 組の n 型非晶質半導体層 4 と p 型非晶質半導体層 5 の各境界の一部が配置される。なお、p 型非晶質半導体層 5 の形成後は、実施の形態 1 と同様、図 8 の（h）～図 10 の（m）の各工程を行う。

[0235] 半導体基板 1A におけるテクスチャ領域 P1、P2 の反射率は略均一となる。そのため、テクスチャ領域 P1、P2 の部分を光学顕微鏡で観察することで、n 型非晶質半導体層 4 と p 型非晶質半導体層 5 のそれぞれの境界を認識することができる。これにより、n 型非晶質半導体層 4 と p 型非晶質半導体層 5 の形成後、n 型非晶質半導体層 4 と p 型非晶質半導体層 5 が形成されている位置を確認することができ、n 型非晶質半導体層 4 と p 型非晶質半導体層 5 が適切な位置に形成されているか否かを検査することができる。

[0236] つまり、テクスチャ領域 P1、P2 において n 型非晶質半導体層 4 と p 型非晶質半導体層 5 の境界が形成された部分は光散乱層であり、n 型非晶質半導体層 4 と p 型非晶質半導体層 5 が形成された位置を検査するための検査部として機能する。

[0237] なお、半導体基板 1A の裏面においてテクスチャ領域は複数存在する方が検査精度の観点から好ましいが、少なくとも 1 つのテクスチャ領域が存在していればよい。複数のテクスチャ領域が形成されている場合、1 つのテクスチャ領域が形成されている場合と比べ、n 型非晶質半導体層 4 と p 型非晶質

半導体層 5 のそれぞれを形成するための各シャドーマスクを配置する際の位置ずれをより正確に認識することができる。また、本実施の形態では、アライメントマーク 4 1 M は、n 型非晶質半導体層 4 の一部であるため、実施の形態 1 と比べ、半導体基板 1 A における n 型非晶質半導体層 4 及び p 型非晶質半導体層 5 が占める割合を大きくできるので、光電変換素子の変換効率が向上する。

[0238] なお、図 1 4 A では、半導体基板 1 A の裏面において、隣接する 1 組の n 型非晶質半導体層 4 と p 型非晶質半導体層 5 の各境界部分の下にテクスチャ領域が形成されている例を示したが、図 1 4 C に示すように、少なくとも 1 つの n 型非晶質半導体層 4 の一の長辺と重なる破線枠で示す領域 P 3 にテクスチャ領域が形成されていてもよい。または、n 型非晶質半導体層 4 の一の長辺の一部と重なる領域にテクスチャ領域が形成されていてもよい。要は、半導体基板 1 A の裏面において、n 型非晶質半導体層 4 及び p 型非晶質半導体層 5 が形成される領域の全体にテクスチャ領域が形成されていてもよいし、少なくとも 1 つの n 型非晶質半導体層 4 の一の長辺の少なくとも一部と重なる位置にテクスチャ領域が形成されていてもよい。なお、図 1 4 C の例では、テクスチャ領域 P 3 に形成された n 型非晶質半導体層 4 の破線部分 4 2 M がアライメント部として機能するとともに検査部として機能する。

[0239] また、上記の例は、n 型非晶質半導体層 4 を形成後、p 型非晶質半導体層 5 を形成する例であるが、p 型非晶質半導体層 5 を形成後、n 型非晶質半導体層 4 を形成してもよい。この場合には、少なくとも 1 つの p 型非晶質半導体層 5 の一の長辺、又は長辺の一部と重なる領域にテクスチャ構造が形成されていればよい。

[0240] [実施の形態 3]

本実施の形態では、半導体基板 1 の一部にテクスチャ構造が形成され、シャドーマスク 3 0 とは異なるシャドーマスクを用い、n 型非晶質半導体層 4 と、光電変換素子 1 0 を識別するための個体識別情報とが形成される点で実施の形態 1 と異なる。

[0241] 図15Aは、n型非晶質半導体層4を形成するための本実施形態におけるシャドーマスク3100を示す模式図である。図15Aに示すように、シャドーマスク3100は、n型非晶質半導体層4を形成するための複数の開口部30aと、光電変換素子10の個体識別情報を形成するための、複数の開口部3001からなる開口領域30cを有する。個体識別情報は、例えば、光電変換素子10の製造時期や製造場所等を示す情報であり、シャドーマスク3100における開口部3001の配置及び数は、製造される光電変換素子10によって異なる。

[0242] 本実施の形態では、実施の形態1の図6の(a)の工程に替えて、上述した実施の形態2の図14Bの工程(b1)～(b5)と同様の工程によって、半導体基板1'の裏面の一部にテクスチャ構造を形成するとともに、半導体基板1'の受光面の全面にテクスチャ構造を形成する。その後、実施の形態1と同様、図6の(c)～図10の(m)の工程を行う。

[0243] なお、本実施の形態では、図7の(e)に示す工程において、シャドーマスク30に替えて、パッシベーション膜3の上に、シャドーマスク3100を配置する。具体的には、テクスチャ構造が形成された領域の上にシャドーマスク3100の開口領域30cが配置されるようにシャドーマスク3100を配置し、n型非晶質シリコンを成膜する。これにより、シャドーマスク3100における開口部30a及び開口領域30cの部分に、n型非晶質シリコンが堆積し、n型非晶質半導体層4と個体識別情報とが形成される。

[0244] n型非晶質半導体層4と個体識別情報の形成後、図8の(g)に示す工程において、シャドーマスク40に替えて、図15Bに示すシャドーマスク3200を配置し、p型非晶質半導体層5を形成する。シャドーマスク3200は、シャドーマスク40と同様の開口部40aと、マスク用アライメントマーク40cとを有する。マスク用アライメントマーク40cの内側は開口しておらず、シャドーマスク3100の開口領域30cにおける四隅の開口部3001に対応する破線枠401cと接する位置に4つの凸部402c～405cを有する。本実施の形態では、シャドーマスク3100における四

隅の開口部 3001 によって形成された個体識別情報の一部に、シャドーマスク 3200 のマスク用アライメントマーク 40c の 4 つの凸部 402c ~ 405c が接するように位置合わせを行い、シャドーマスク 3200 を配置する。

[0245] 個体識別情報が形成された領域の下にはテクスチャ構造が形成されており、反射率が略均一となっているため、位置合わせの基準となる個体識別情報の一部を光学顕微鏡によって特定することができる。つまり、半導体基板 1 において個体識別情報が形成された領域がアライメント部として機能する。これにより、シャドーマスク 3200 の開口部 40a が n 型非晶質半導体層 4 と一定の距離を隔てた位置に配置される。なお、p 型非晶質半導体層 5 の形成後は、実施の形態 1 と同様に図 8 の (h) ~ 図 10 の (m) に示す各工程を行う。

[0246] 光電変換素子 10 の製造ごとに、開口領域 30c における開口部 3001 の位置関係が異なるシャドーマスクを用いて n 型非晶質半導体層 4 を形成することにより、光電変換素子ごとの個体識別情報が半導体基板 1 の裏面に形成される。個体識別情報が形成される領域の下に半導体基板 1 にはテクスチャ構造が形成されているため、光電変換素子 10 の製造後、光学顕微鏡によって個体識別情報を認識することができ、個々の光電変換素子 10 を特定することができる。

[0247] なお、上記の例では、n 型非晶質半導体層 4 を形成するためのシャドーマスク 3100 を用い、n 型非晶質シリコンからなる個体識別情報を形成する例を説明したが、さらに、p 型非晶質半導体層 5 を形成するためのシャドーマスクを用い、n 型非晶質シリコンからなる識別情報と、p 型非晶質シリコンからなる識別情報とを組み合わせた個体識別情報を形成してもよい。つまり、例えば、図 16 に示すように、半導体基板 1B の裏面において、n 型非晶質半導体層 4 と p 型非晶質半導体層 5 が交互に隣接して形成されるとともに、n 型非晶質シリコンからなる識別情報 4s と p 型非晶質シリコンからなる識別情報 5s とを組み合わせた個体識別情報 S が形成されてもよい。

[0248] この場合には、上述の実施の形態 1 における図 7 の (e) の工程で、シャドーマスク 3100 と同様、n 型非晶質半導体層 4 を形成するための開口部 30a と、n 型非晶質シリコンからなる識別情報 4s を形成するための開口部 3001 が設けられたシャドーマスクを用い、n 型非晶質シリコンを成膜する。また、図 8 の (g) の工程で、シャドーマスク 3200 と同様の開口部 40a と、シャドーマスク 3200 におけるマスク用アライメントマーク 40c の内側に識別情報 5s を形成するための開口部とを有するシャドーマスクを用い、p 型非晶質シリコンを成膜する。つまり、このシャドーマスクは、マスク用アライメントマーク 40c の内側に、識別情報 5s を形成するための開口部が設けられている点でシャドーマスク 3200 と異なる。これにより、図 16 に示すように、半導体基板 1B の裏面において、n 型非晶質半導体層 4 及び p 型非晶質半導体層 5 とともに、識別情報 4s 及び識別情報 5s からなる個体識別情報 S が形成される。

[0249] [実施の形態 4]

図 17 は、本実施の形態による光電変換素子の構成を示す断面図である。図 17 において実施の形態 1 と同様の構成には、実施の形態 1 の構成と同じ符号を付している。図 17 に示すように、本実施の形態による光電変換素子 20 は、光電変換素子 10 のパッシベーション膜 3 に替えて、パッシベーション膜 301、302 を備える点で光電変換素子 10 と異なる。

[0250] パッシベーション膜 301 は、半導体基板 1 の裏面に接して半導体基板 1 の裏面上に配置される。

[0251] パッシベーション膜 302 は、半導体基板 1 の面内方向においてパッシベーション膜 301 に隣接するとともに半導体基板 1 の裏面に接して半導体基板 1 の裏面上に配置される。

[0252] つまり、パッシベーション膜 301、302 は、半導体基板 1 の面内方向に交互に配置される。

[0253] n 型非晶質半導体層 4 は、パッシベーション膜 301 に接してパッシベーション膜 301 上に配置される。

- [0254] p型非晶質半導体層5は、パッシベーション膜302に接してパッシベーション膜302上に配置される。
- [0255] n型非晶質半導体層4およびp型非晶質半導体層5がそれぞれパッシベーション膜301, 302上に配置される結果、n型非晶質半導体層4およびp型非晶質半導体層5は、半導体基板1の面内方向に交互に配置される。
- [0256] 保護膜8は、パッシベーション膜301, 302、n型非晶質半導体層4、p型非晶質半導体層5、電極6, 7、及び半導体基板1の裏面の一部に接して電極6, 7の上に形成されている。
- [0257] パッシベーション膜301, 302の各々は、パッシベーション膜3と同様の材料からなり、パッシベーション膜3と同様の膜厚を有する。なお、パッシベーション膜301の膜厚は、パッシベーション膜302の膜厚と同じであってもよく、異なってもよい。
- [0258] 図18から図21は、それぞれ、図17に示す光電変換素子20の製造方法を示す工程図である。
- [0259] 本実施の形態では、まず、上述した図6の(a)～(c)及び図7の(d)の各工程を順次行った後、半導体基板1の裏面上にシャドーマスク310を配置する(図18の工程(e)参照)。シャドーマスク310は、上述したシャドーマスク30と同じ材料からなり、シャドーマスク30と同様の開口部30a及び30b(図8A参照)を有する。
- [0260] そして、シャドーマスク310を介してi型非晶質シリコンからなるパッシベーション膜301と、n型非晶質シリコンからなるn型非晶質半導体層4及びアライメントマーク4MとをプラズマCVD法によって半導体基板1の裏面上に順次堆積する(図18の工程(f)参照)。i型非晶質シリコンおよびn型非晶質シリコンの形成条件は、実施の形態1において説明したとおりである。これにより、n型非晶質半導体層4とアライメントマーク4Mの下にパッシベーション膜301が形成される。パッシベーション膜301、n型非晶質半導体層4、及びアライメントマーク4Mの形成時に、i型非晶質シリコン／n型非晶質シリコンの積層膜311がシャドーマスク310

上に形成される。

[0261] 図18の工程(f)の後、n型非晶質半導体層4及びアライメントマーク4Mの上にシャドーマスク320を配置する(図18の工程(g)参照)。シャドーマスク320も、上述したシャドーマスク40と同じ材料からなり、シャドーマスク40と同様の開口部40aとアライメント用開口部40b(図11B参照)を有する。本実施の形態においても、実施の形態1と同様、シャドーマスク320におけるアライメント用開口部40bと、半導体基板1の裏面に形成されたアライメントマーク4Mと位置合わせを行い、シャドーマスク320をn型非晶質半導体層4の上に配置する。本実施の形態では、アライメントマーク4M及びn型非晶質半導体層4が形成されていない他の領域には、パッシベーション膜301が形成されていない。そのため、アライメントマーク4M及びn型非晶質半導体層4が形成された部分の膜厚は、実施の形態1の場合よりも厚い。その結果、実施の形態1の場合よりアライメントマーク4Mのコントラストが高くなり、光学顕微鏡で観察した際のアライメントマーク4Mの認識精度が向上し、シャドーマスク320をより確実に適切な位置に配置することができる。

[0262] そして、シャドーマスク320を介してi型非晶質シリコンからなるパッシベーション膜302と、p型非晶質シリコンからなるp型非晶質半導体層5とをプラズマCVD法によって半導体基板1の裏面上に順次堆積する(図19の工程(h)参照)。i型非晶質シリコンおよびp型非晶質シリコンの形成条件は、実施の形態1において説明したとおりである。パッシベーション膜302およびp型非晶質半導体層5の形成によって、アライメントマーク4Mの上に、i型非晶質シリコン/p型非晶質シリコンの積層膜51Mが形成されるとともに、シャドーマスク320上にi型非晶質シリコン/p型非晶質シリコンの積層膜321が形成される。

[0263] 図19の工程(h)の後、シャドーマスク330が配置される(図19の工程(i)参照)。シャドーマスク330は、上述したシャドーマスク30と同じ材料からなる。

[0264] そして、シャドーマスク 330 を介して電極 6, 7 をそれぞれ n 型非晶質半導体層 4 および p 型非晶質半導体層 5 上に形成する（図 20 の工程（j）参照）。

[0265] その後、シャドーマスク 340 が配置される（図 20 の工程（k）参照）。シャドーマスク 340 は、上述したシャドーマスク 30 と同じ材料からなる。

[0266] そして、シャドーマスク 340 を介して保護膜 8 を電極 6, 7 上に形成する。これによって、光電変換素子 20 が完成する（図 21 の工程（l）参照）。光電変換素子 20 は、上述した配線シート 70 を用いてモジュール化される。なお、本実施の形態におけるその他の説明は、実施の形態 1 における説明と同じである。

[0267] このように、本実施の形態では、p 型非晶質半導体層 5 を形成する前は、アライメントマーク 4 M 及び n 型非晶質半導体層 4 が形成されていない他の領域にパッシベーション膜 301 が形成されていない。そのため、アライメントマーク 4 M の部分の膜厚が他の領域よりも厚くなり、アライメントマーク 4 M の部分のコントラストが他の領域よりも高くなる。その結果、p 型非晶質半導体層 5 を形成する際、光学顕微鏡によってアライメントマーク 4 M をより確実に認識することができ、アライメントマーク 4 M にシャドーマスク 320 のアライメント用開口部 40b の凸部の位置を合わせることができる。よって、半導体基板 1 の裏面の全体にパッシベーション膜 3 が形成される実施の形態 1 と比べて、n 型非晶質半導体層 4 及び p 型非晶質半導体層 5 をより確実に適切な位置に形成することができる。

[0268] [実施の形態 5]

図 22 は、この実施の形態による光電変換素子を備える光電変換モジュールの構成を示す概略図である。図 22 を参照して、光電変換モジュール 1000 は、複数の光電変換素子 1001 と、カバー 1002 と、出力端子 1003, 1004 とを備える。

[0269] 複数の光電変換素子 1001 は、アレイ状に配置され、直列に接続される

。なお、複数の光電変換素子 1001 は、直列に接続される代わりに、並列接続されてもよく、直列と並列を組み合わせて接続されてもよい。

[0270] そして、複数の光電変換素子 1001 の各々は、光電変換素子 10, 20 からなる。

[0271] カバー 1002 は、耐候性のカバーからなり、複数の光電変換素子 1001 を覆う。カバー 1002 は、例えば、光電変換素子 1001 の受光面側に設けられた透明基材（例えば、ガラス等）と、光電変換素子 1001 の受光面側と反対の裏面側に設けられた裏面基材（たとえば、ガラス、樹脂シート等）と、透明基材と裏面基材との間の隙間を埋める封止材（例えば、EVA 等）とを含む。

[0272] 出力端子 1003 は、直列に接続された複数の光電変換素子 1001 の一方端に配置される光電変換素子 1001 に接続される。

[0273] 出力端子 1004 は、直列に接続された複数の光電変換素子 1001 の他方端に配置される光電変換素子 1001 に接続される。

[0274] 上述したように、光電変換素子 10, 20 は、光電変換効率が向上している。従って、光電変換モジュール 1000 の光電変換効率を向上できる。

[0275] なお、光電変換モジュール 1000 に含まれる光電変換素子 1001 の数は、2 以上の任意の整数である。

[0276] また、本実施の形態による光電変換モジュールは、図 22 に示す構成に限らず、光電変換素子 10, 20 のいずれかを用いる限り、どのような構成であってよい。

[0277] [実施の形態 6]

図 23 は、この実施の形態による光電変換素子を備える太陽光発電システムの構成を示す概略図である。

[0278] 図 23 を参照して、太陽光発電システム 1100 は、光電変換モジュールアレイ 1101 と、接続箱 1102 と、パワーコンディショナー 1103 と、分電盤 1104 と、電力メーター 1105 とを備える。

[0279] 接続箱 1102 は、光電変換モジュールアレイ 1101 に接続される。パ

ワーコンディショナー 1103 は、接続箱 1102 に接続される。分電盤 1104 は、パワーコンディショナー 1103 および電気機器 1110 に接続される。電力メーター 1105 は、分電盤 1104 および系統連系に接続される。

[0280] 光電変換モジュールアレイ 1101 は、太陽光を電気に変換して直流電力を発電し、その発電した直流電力を接続箱 1102 に供給する。

[0281] 接続箱 1102 は、光電変換モジュールアレイ 1101 が発電した直流電力を受け、その受けた直流電力をパワーコンディショナー 1103 へ供給する。

[0282] パワーコンディショナー 1103 は、接続箱 1102 から受けた直流電力を交流電力に変換し、その変換した交流電力を分電盤 1104 に供給する。

[0283] 分電盤 1104 は、パワーコンディショナー 1103 から受けた交流電力および／または電力メーター 1105 を介して受けた商用電力を電気機器 1110 へ供給する。また、分電盤 1104 は、パワーコンディショナー 1103 から受けた交流電力が電気機器 1110 の消費電力よりも多いとき、余った交流電力を電力メーター 1105 を介して系統連系へ供給する。

[0284] 電力メーター 1105 は、系統連系から分電盤 1104 へ向かう方向の電力を計測するとともに、分電盤 1104 から系統連系へ向かう方向の電力を計測する。

[0285] 図 24 は、図 23 に示す光電変換モジュールアレイ 1101 の構成を示す概略図である。

[0286] 図 24 を参照して、光電変換モジュールアレイ 1101 は、複数の光電変換モジュール 1120 と、出力端子 1121, 1122 とを含む。

[0287] 複数の光電変換モジュール 1120 は、アレイ状に配列され、直列に接続される。なお、複数の光電変換モジュール 1120 は、直列に接続される代わりに、並列接続されてもよく、直列と並列を組み合わせで接続されてもよい。そして、複数の光電変換モジュール 1120 の各々は、図 22 に示す光電変換モジュール 1000 からなる。

- [0288] 出力端子 1 1 2 1 は、直列に接続された複数の光電変換モジュール 1 1 2 0 の一方端に位置する光電変換モジュール 1 1 2 0 に接続される。
- [0289] 出力端子 1 1 2 2 は、直列に接続された複数の光電変換モジュール 1 1 2 0 の他方端に位置する光電変換モジュール 1 1 2 0 に接続される。
- [0290] なお、光電変換モジュールアレイ 1 1 0 1 に含まれる光電変換モジュール 1 1 2 0 数は、2 以上の任意の整数である。
- [0291] 太陽光発電システム 1 1 0 0 における動作を説明する。光電変換モジュールアレイ 1 1 0 1 は、太陽光を電気に変換して直流電力を発電し、その発電した直流電力を接続箱 1 1 0 2 を介してパワーコンディショナー 1 1 0 3 へ供給する。
- [0292] パワーコンディショナー 1 1 0 3 は、光電変換モジュールアレイ 1 1 0 1 から受けた直流電力を交流電力に変換し、その変換した交流電力を分電盤 1 1 0 4 へ供給する。
- [0293] 分電盤 1 1 0 4 は、パワーコンディショナー 1 1 0 3 から受けた交流電力が電気機器 1 1 1 0 の消費電力以上であるとき、パワーコンディショナー 1 1 0 3 から受けた交流電力を電気機器 1 1 1 0 に供給する。そして、分電盤 1 1 0 4 は、余った交流電力を電力メーター 1 1 0 5 を介して系統連系へ供給する。
- [0294] また、分電盤 1 1 0 4 は、パワーコンディショナー 1 1 0 3 から受けた交流電力が電気機器 1 1 1 0 の消費電力よりも少ないとき、系統連系から受けた交流電力およびパワーコンディショナー 1 1 0 3 から受けた交流電力を電気機器 1 1 1 0 へ供給する。
- [0295] 太陽光発電システム 1 1 0 0 は、上述したように、光電変換効率に優れた光電変換素子 1 0, 2 0 のいずれかを備えている。従って、太陽光発電システム 1 1 0 0 の光電変換効率を改善できる。
- [0296] 図 2 5 は、この実施の形態による光電変換素子を備える別の太陽光発電システムの構成を示す概略図である。
- [0297] この実施の形態による光電変換素子を備える太陽光発電システムは、図 2

5に示す太陽光発電システム1100Aであってもよい。

[0298] 図25を参照して、太陽光発電システム1100Aは、図23に示す太陽光発電システム1100に蓄電池1106を追加したものである、その他は、太陽光発電システム1100と同じである。

[0299] 蓄電池1106は、パワーコンディショナー1103に接続される。

[0300] 太陽光発電システム1100Aにおいては、パワーコンディショナー1103は、接続箱1102から受けた直流電力の一部または全部を適切に変換して蓄電池1106に蓄電する。

[0301] パワーコンディショナー1103は、その他、太陽光発電システム1100における動作と同じ動作を行う。

[0302] 蓄電池1106は、パワーコンディショナー1103から受けた直流電力を蓄電する。また、蓄電池1106は、光電変換モジュールアレイ1101の発電量および／または電気機器1110の電力消費量の状況に応じて、蓄電した電力を、適宜、パワーコンディショナー1103へ供給する。

[0303] このように、太陽光発電システム1100Aは、蓄電池1106を備えているので、日照量の変動による出力変動を抑制できるとともに、日照のない時間帯であっても、蓄電池1106に蓄電された電力を電気機器1110に供給することができる。

[0304] なお、蓄電池1106は、パワーコンディショナー1103に内蔵されていてもよい。

[0305] また、本実施の形態による太陽光発電システムは、図23、24に示す構成または図24、25に示す構成に限らず、光電変換素子10、20のいずれかを用いる限り、どのような構成であってもよい。

[0306] [実施の形態7]

図26は、この実施の形態による光電変換素子を備える太陽光発電システムの構成を示す概略図である。

[0307] 図26を参照して、太陽光発電システム1200は、サブシステム1201～120n（nは2以上の整数）と、パワーコンディショナー1211～

121_nと、変圧器1221とを備える。太陽光発電システム1200は、図23、25に示す太陽光発電システム1100、1100Aよりも規模が大きい太陽光発電システムである。

[0308] パワーコンディショナー1211～121_nは、それぞれ、サブシステム1201～120_nに接続される。

[0309] 変圧器1221は、パワーコンディショナー1211～121_nおよび系統連系に接続される。

[0310] サブシステム1201～120_nの各々は、モジュールシステム1231～123_j（*j*は2以上の整数）からなる。

[0311] モジュールシステム1231～123_jの各々は、光電変換モジュールアレイ1301～130_i（*i*は2以上の整数）と、接続箱1311～131_iと、集電箱1321とを含む。

[0312] 光電変換モジュールアレイ1301～130_iの各々は、図23に示す光電変換モジュールアレイ1101と同じ構成からなる。

[0313] 接続箱1311～131_iは、それぞれ、光電変換モジュールアレイ1301～130_iに接続される。

[0314] 集電箱1321は、接続箱1311～131_iに接続される。また、サブシステム1201の*j*個の集電箱1321は、パワーコンディショナー1211に接続される。サブシステム1202の*j*個の集電箱1321は、パワーコンディショナー1212に接続される。以下、同様にして、サブシステム120_nの*j*個の集電箱1321は、パワーコンディショナー121_nに接続される。

[0315] モジュールシステム1231の*i*個の光電変換モジュールアレイ1301～130_iは、太陽光を電気に変換して直流電力を発電し、その発電した直流電力をそれぞれ接続箱1311～131_iを介して集電箱1321へ供給する。モジュールシステム1232の*i*個の光電変換モジュールアレイ1301～130_iは、太陽光を電気に変換して直流電力を発電し、その発電した直流電力をそれぞれ接続箱1311～131_iを介して集電箱1321へ

供給する。以下、同様にして、モジュールシステム 1 2 3 j の i 個の光電変換モジュールアレイ 1 3 0 1 ~ 1 3 0 i は、太陽光を電気に変換して直流電力を発電し、その発電した直流電力をそれぞれ接続箱 1 3 1 1 ~ 1 3 1 i を介して集電箱 1 3 2 1 へ供給する。

[0316] そして、サブシステム 1 2 0 1 の j 個の集電箱 1 3 2 1 は、直流電力をパワーコンディショナー 1 2 1 1 へ供給する。

[0317] サブシステム 1 2 0 2 の j 個の集電箱 1 3 2 1 は、同様にして直流電力をパワーコンディショナー 1 2 1 2 へ供給する。

[0318] 以下、同様にして、サブシステム 1 2 0 n の j 個の集電箱 1 3 2 1 は、直流電力をパワーコンディショナー 1 2 1 n へ供給する。

[0319] パワーコンディショナー 1 2 1 1 ~ 1 2 1 n は、それぞれ、サブシステム 1 2 0 1 ~ 1 2 0 n から受けた直流電力を交流電力に変換し、その変換した交流電力を変圧器 1 2 2 1 へ供給する。

[0320] 変圧器 1 2 2 1 は、パワーコンディショナー 1 2 1 1 ~ 1 2 1 n から交流電力を受け、その受けた交流電力の電圧レベルを変換して系統連系へ供給する。

[0321] 太陽光発電システム 1 2 0 0 は、上述したように、光電変換効率に優れた光電変換素子 1 0, 2 0 のいずれかを備えている。従って、太陽光発電システム 1 2 0 0 の光電変換効率を改善できる。

[0322] 図 2 7 は、この実施の形態による光電変換素子を備える別の太陽光発電システムの構成を示す概略図である。

[0323] この実施の形態による光電変換素子を備える太陽光発電システムは、図 2 7 に示す太陽光発電システム 1 2 0 0 A であってもよい。

[0324] 図 2 7 を参照して、太陽光発電システム 1 2 0 0 A は、図 2 6 に示す太陽光発電システム 1 2 0 0 に蓄電池 1 2 4 1 ~ 1 2 4 n を追加したものであり、その他は、太陽光発電システム 1 2 0 0 と同じである。

[0325] 蓄電池 1 2 4 1 ~ 1 2 4 n は、それぞれ、パワーコンディショナー 1 2 1 1 ~ 1 2 1 n に接続される。

- [0326] 太陽光発電システム1200Aにおいては、パワーコンディショナー1211～121nは、それぞれ、サブシステム1201～120nから受けた直流電力を交流電力に変換し、その変換した交流電力を変圧器1221へ供給する。また、パワーコンディショナー1211～121nは、それぞれ、サブシステム1201～120nから受けた直流電力を適切に変換し、その変換した直流電力をそれぞれ蓄電池1241～124nへ蓄電する。
- [0327] 蓄電池1241～124nは、サブシステム1201～120nからの直流電力量に応じて、蓄電した電力をそれぞれパワーコンディショナー1211～121nへ供給する。
- [0328] このように、太陽光発電システム1200Aは、蓄電池1241～124nを備えているので、日照量の変動による出力変動を抑制できるとともに、日照のない時間帯であっても、蓄電池1241～124nに蓄電された電力を変圧器1221に供給することができる。
- [0329] なお、蓄電池1241～124nは、それぞれ、パワーコンディショナー1211～121nに内蔵されていてもよい。
- [0330] また、本実施の形態による太陽光発電システムは、図26、27に示す構成に限らず、光電変換素子10、20のいずれかを用いる限り、どのような構成であってもよい。
- [0331] 更に、本実施の形態においては、太陽光発電システム1200、1200Aに含まれる全ての光電変換素子が光電変換素子10、20である必要はない。
- [0332] 例えば、あるサブシステム（サブシステム1201～120nのいずれか）に含まれる光電変換素子の全てが光電変換素子10、20のいずれかであり、別のサブシステム（サブシステム1201～120nのいずれか）に含まれる光電変換素子の一部または全部が光電変換素子10、20以外の光電変換素子である場合も有り得るものとする。
- [0333] 今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施の形態の説明

ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

[0334] (1) 上述の実施の形態 3、4 では、半導体基板 1 の裏面に n 型非晶質半導体層 4 を先に形成した後、p 型非晶質半導体層 5 を形成する例を説明したが、p 型非晶質半導体層 5 を先に形成した後、n 型非晶質半導体層 4 を形成してもよい。

[0335] (2) 上述の実施の形態 2、3 において、実施の形態 4 と同様、n 型非晶質半導体層 4、アライメントマーク 4 M、及び p 型非晶質半導体層 5 のそれぞれの下の部分のみに、真性非晶質半導体層からなるパッシベーション膜を形成してもよい。この場合、実施の形態 2 において、アライメントマーク 4 1 M、4 2 M は、n 型非晶質半導体層 4 と、n 型非晶質半導体層 4 の下に形成されたパッシベーション膜とを含む。そのため、アライメントマーク 4 1 M、4 2 M が形成された部分のコントラストが高くなり、p 型非晶質半導体層 5 を形成する際に用いるシャドーマスクをより適切な位置に配置することができる。また、実施の形態 3 において、n 型非晶質半導体層 4 からなる個体識別情報は、n 型非晶質半導体層 4 と、n 型非晶質半導体層 4 の下に形成されたパッシベーション膜とを含む。そのため、個体識別情報が形成された部分のコントラストが高くなり、p 型非晶質半導体層 5 を形成する際に用いるシャドーマスク 3 2 0 0 の凸部 4 0 2 c ~ 4 0 5 c の位置合わせをより正確に行うことができる。

[0336] (3) 上述した実施の形態 2 では、n 型非晶質半導体層 4 の一部からなるアライメントマーク 4 1 M を基に、p 型非晶質半導体層 5 を形成する際に用いるシャドーマスクの位置を調整する例を説明したが、アライメントマーク 4 1 M を用いずにシャドーマスクの位置を調整してもよい。つまり、例えば、n 型非晶質半導体層 4 を形成する際に用いるシャドーマスクと、p 型非晶質半導体層 5 を形成する際に用いるシャドーマスクの各位置を合わせるためのアライメントピンを、半導体基板 1 A を固定する台に予め固定する。そして、実施の形態 2 と同様、半導体基板 1 A の裏面の少なくとも一部にテクス

チャ構造を形成した後、各アライメントピンに合わせて、n型非晶質半導体層4とp型非晶質半導体層5をそれぞれ形成するためのシャドーマスクを配置し、n型非晶質半導体層4とp型非晶質半導体層5を順次形成する。

[0337] そして、n型非晶質半導体層4及びp型非晶質半導体層5を形成後、テクスチャ構造が形成された領域を光学顕微鏡で観察することで、テクスチャ構造の上に形成されたn型非晶質半導体層4とp型非晶質半導体層4の境界を特定することができる。これにより、n型非晶質半導体層4とp型非晶質半導体層5が重ならず、適切な位置に形成されているか否かを検査することができる。つまり、アライメントピンを用いてシャドーマスクを配置し、半導体基板1Aの裏面におけるテクスチャ構造の上に形成されたn型非晶質半導体層4及びp型非晶質半導体層5の境界部分は、光散乱層の一例であり、検査部として機能する。なお、上記では、アライメントピンを用いる例を説明したが、シャドーマスクの位置合わせを行う方法はアライメントピンを用いる方法に限らない。

産業上の利用可能性

[0338] この発明は、光電変換素子、それを備えた太陽電池モジュールおよび太陽光発電システムに適用される。

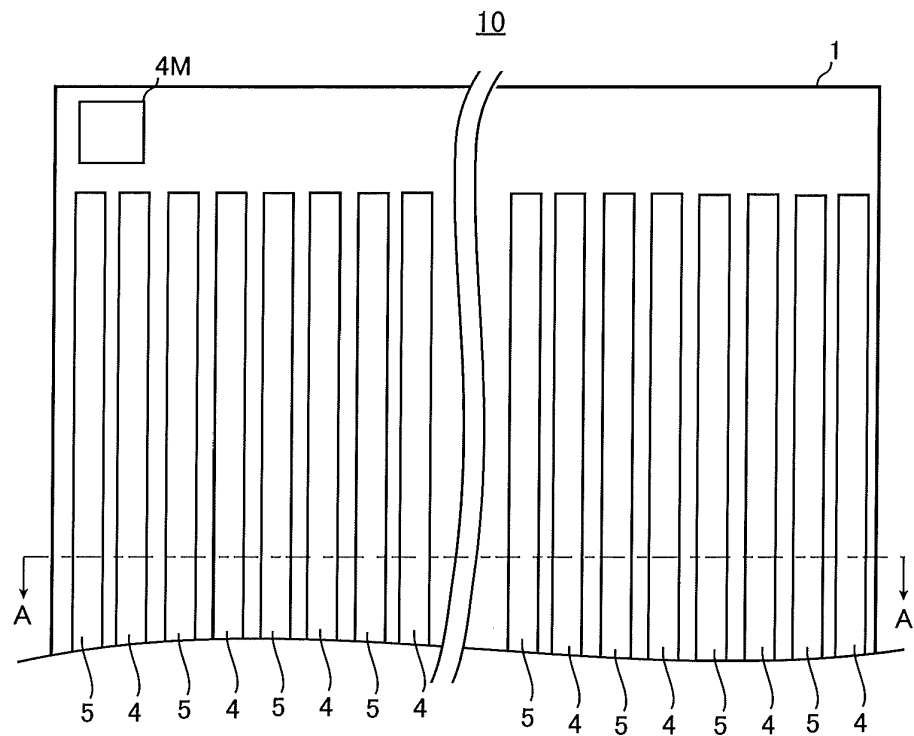
符号の説明

[0339] 1, 1A, 1B…半導体基板、2…反射防止膜、3, 301, 302…パッシベーション膜、4…n型非晶質半導体層、4s, 5s…識別情報、5…p型非晶質半導体層、6, 7…電極、6a, 6b, 7a, 7b…導電層、8…保護膜、10, 20…光電変換素子、30, 40, 50, 60, 310, 320, 330, 340, 3100, 3200…シャドーマスク、70…配線シート、1000…太陽電池モジュール、1100, 1100A, 1200, 1200A…太陽光発電システム、1101, 1301…光電変換モジュールアレイ、1120…光電変換モジュール、S…個体識別情報、4M, 41M, 42M…アライメントマーク

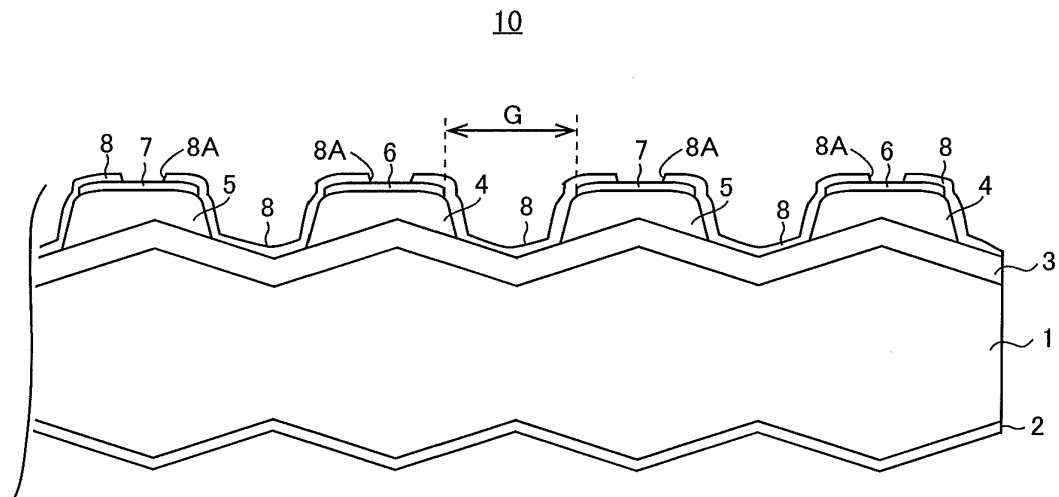
請求の範囲

- [請求項1] 半導体基板と、
 前記半導体基板の一方の面に形成され、第1の導電型を有する第1非晶質半導体層と、
 前記半導体基板の一方の面に形成されるとともに前記半導体基板の面内方向において前記第1非晶質半導体層に隣接して形成され、前記第1の導電型と反対の第2の導電型を有する第2非晶質半導体層と、
 前記半導体基板の一方の面の少なくとも一部に形成されたテクスチャ構造と、前記テクスチャ構造の上に、前記第1非晶質半導体層及び前記第2非晶質半導体層の少なくとも一方の非晶質半導体層を含む光散乱層と、を備える光電変換素子。
- [請求項2] 請求項1に記載の光電変換素子において、
 前記光散乱層は、前記半導体基板の一方の面において、前記第1非晶質半導体層と前記第2非晶質半導体層が形成される領域と異なる領域に形成され、前記第1非晶質半導体層及び前記第2非晶質半導体層の一方を形成する際の位置の調整に用いるためのアライメント部である、光電変換素子。
- [請求項3] 請求項1に記載の光電変換素子において、
 前記光散乱層は、前記第1非晶質半導体層及び前記第2非晶質半導体層の少なくとも一方が形成された領域に形成され、前記第1非晶質半導体層及び前記第2非晶質半導体層の一方を形成する際の位置の調整に用いるためのアライメント部である、光電変換素子。
- [請求項4] 請求項1から3のいずれか一項に記載の光電変換素子において、
 前記光散乱層は、さらに、前記一方の半導体層と前記半導体基板の一方の面との間に真性非晶質半導体層を含む、光電変換素子。
- [請求項5] 請求項1から4のいずれか一項に記載の光電変換素子において、
 前記テクスチャ構造を平面視した場合に、前記テクスチャ構造の凸部の外接円の直径の平均値は、 $15\mu\text{m}$ 未満である、光電変換素子。

[図1A]



[図1B]



[図2]

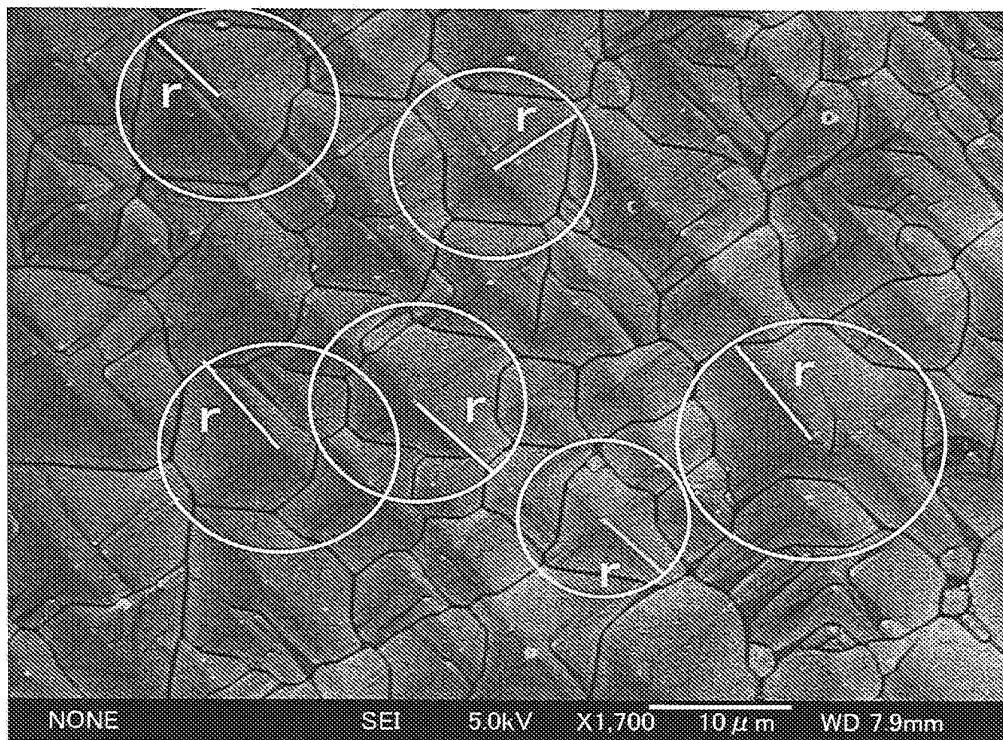
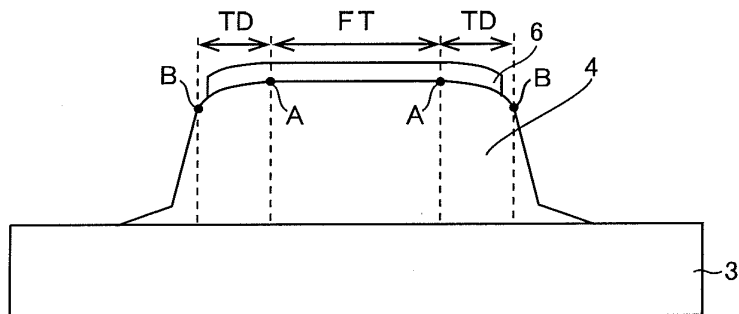
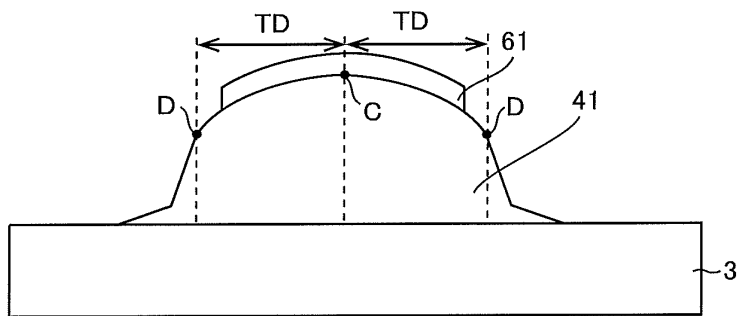


Diagram (b) shows a cross-sectional view of a semiconductor device. It features a substrate 3 with a central region 5. Above region 5, there is a structure 7 consisting of two parts, 7a and 7b, separated by a gap. The structure 7 is flanked by regions 8a and 8b. The regions 8a and 8b are further divided into sub-regions 8a and 8b. The device is defined by dimensions H, L, and G2, and a parameter p. The label (b) is at the bottom.

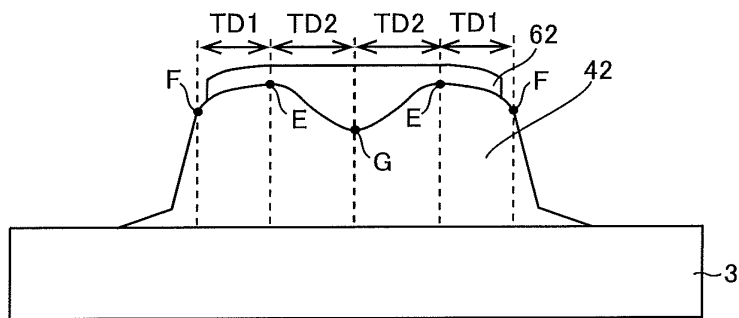
[図4]



[図5]



(a)

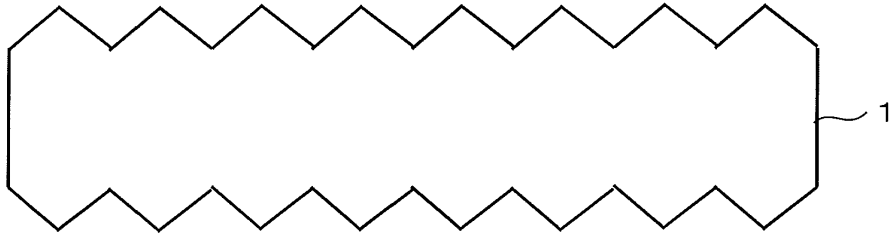


(b)

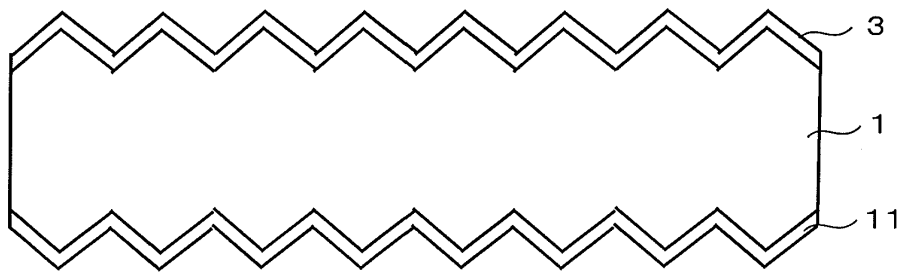
[図6]



(a)



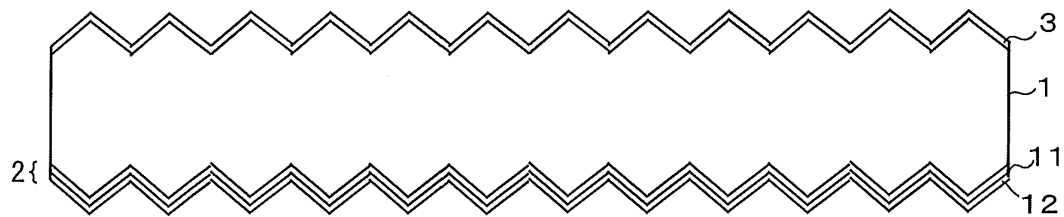
(b)



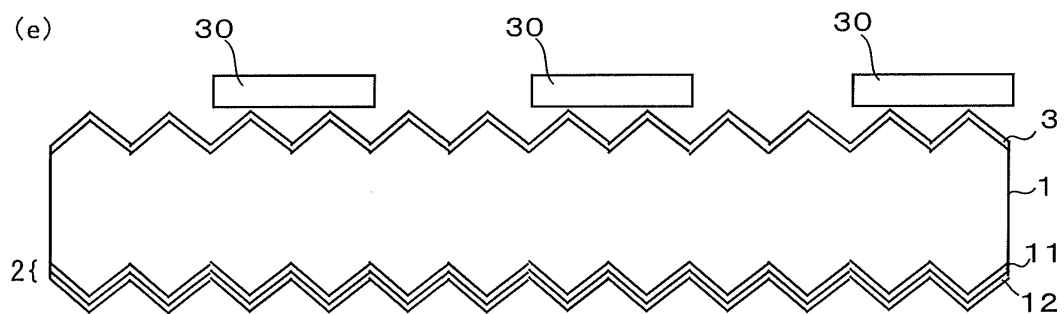
(c)

[図7]

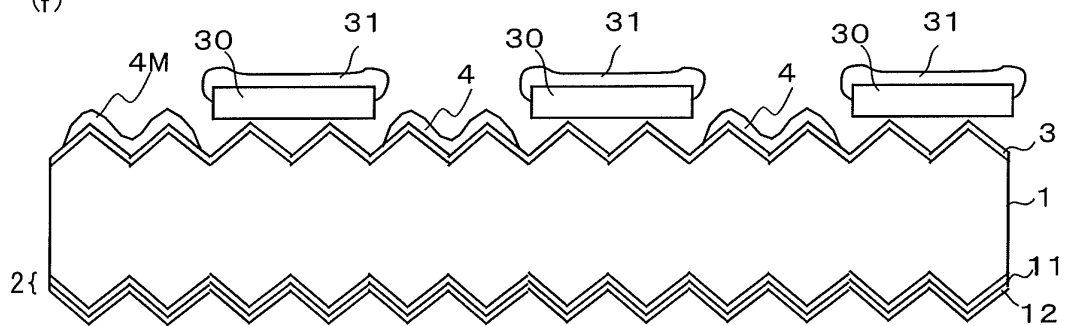
(d)



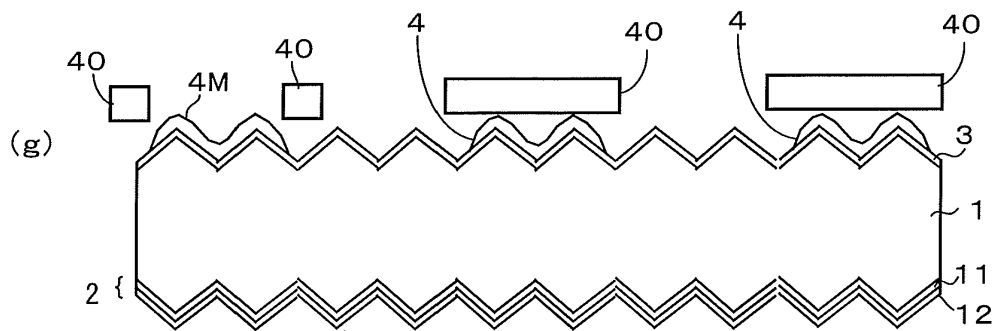
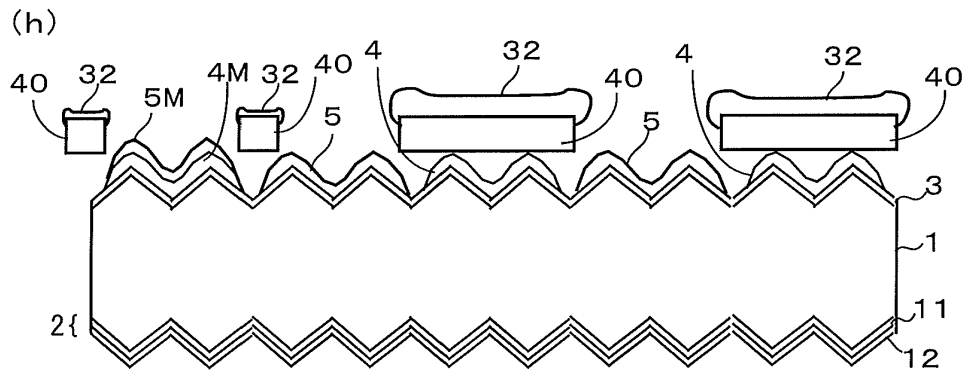
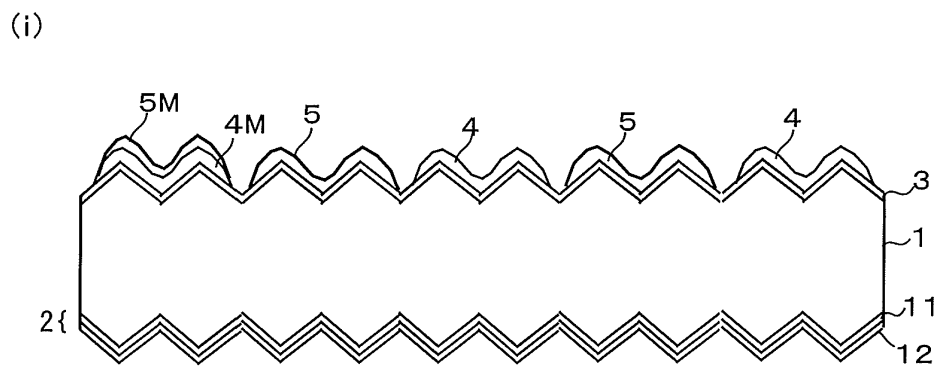
(e)



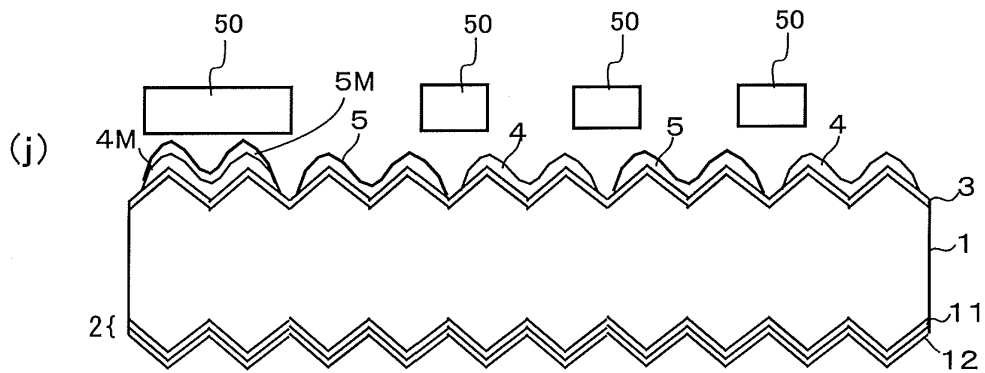
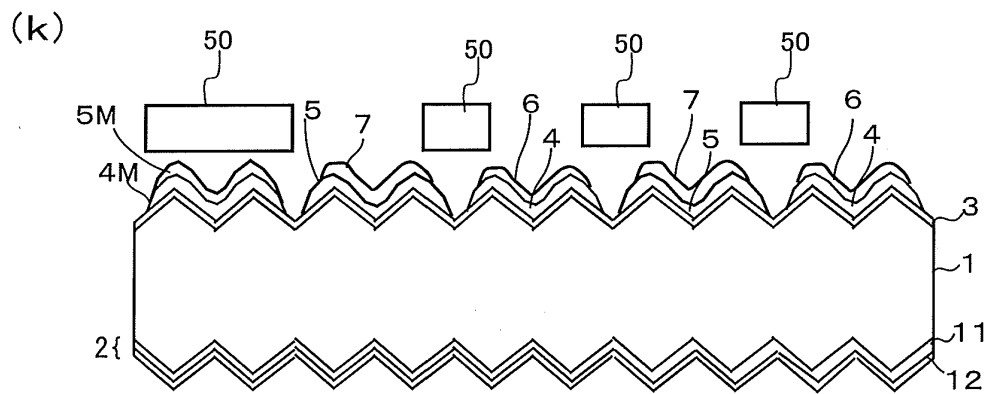
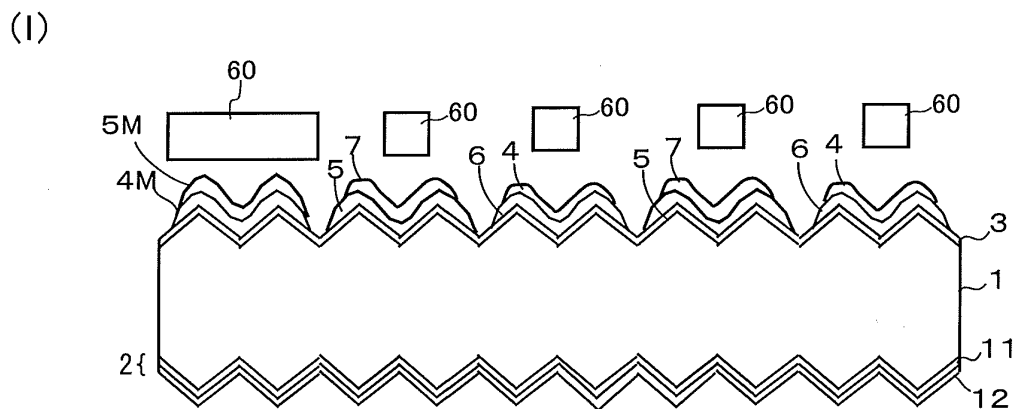
(f)



[図8]

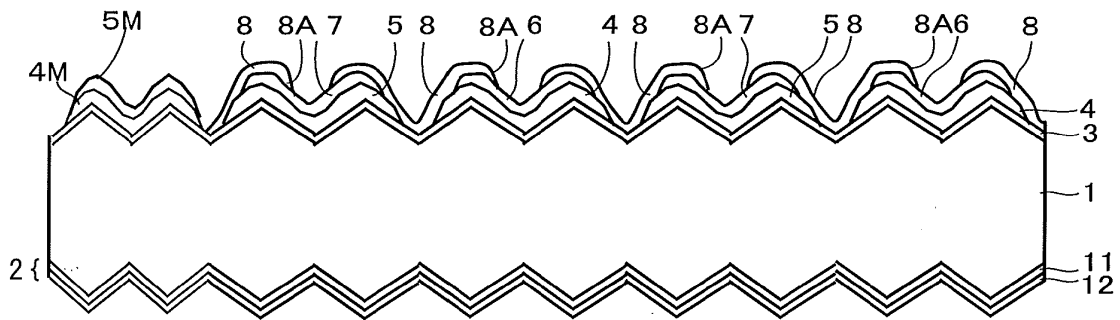


[図9]

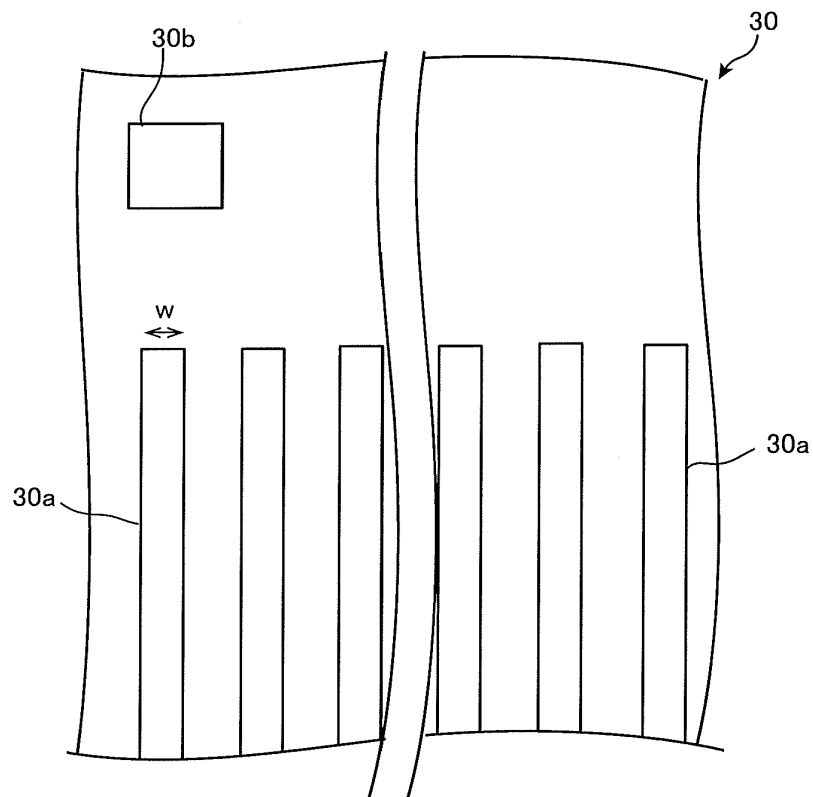


[図10]

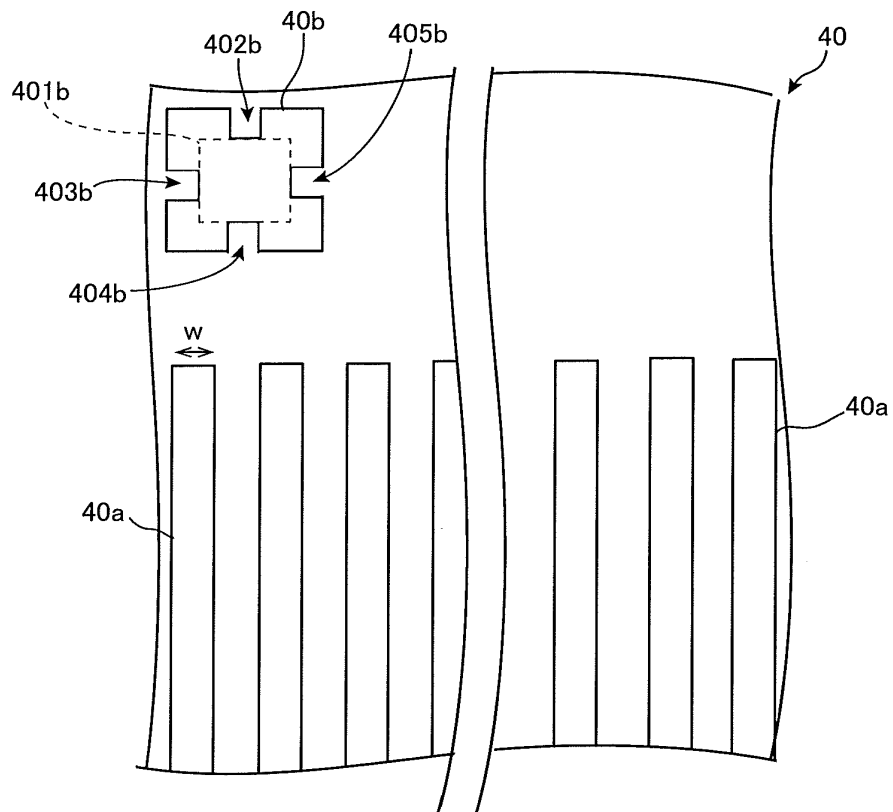
(m)



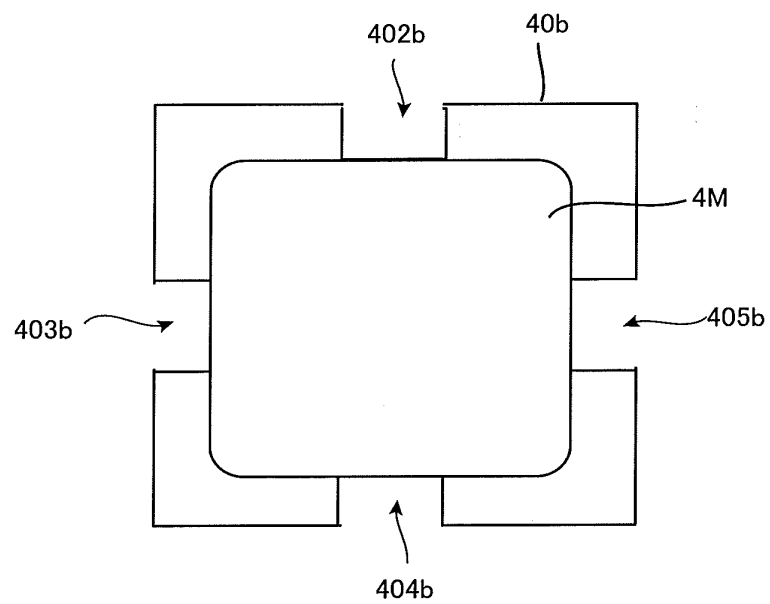
[図11A]



[図11B]

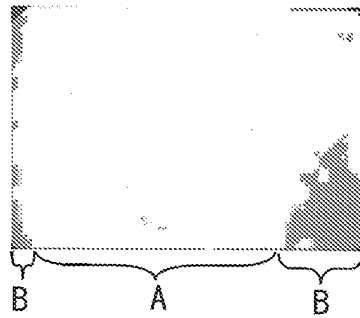


[図11C]

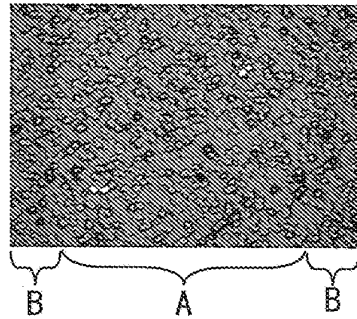


[図12]

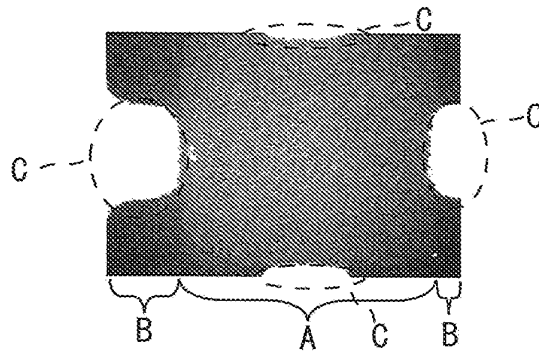
(a)



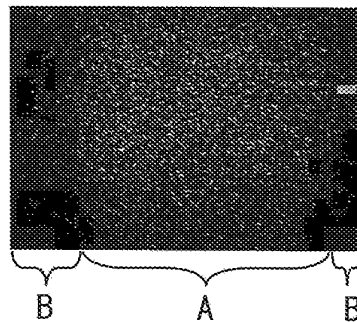
(b)



(c)

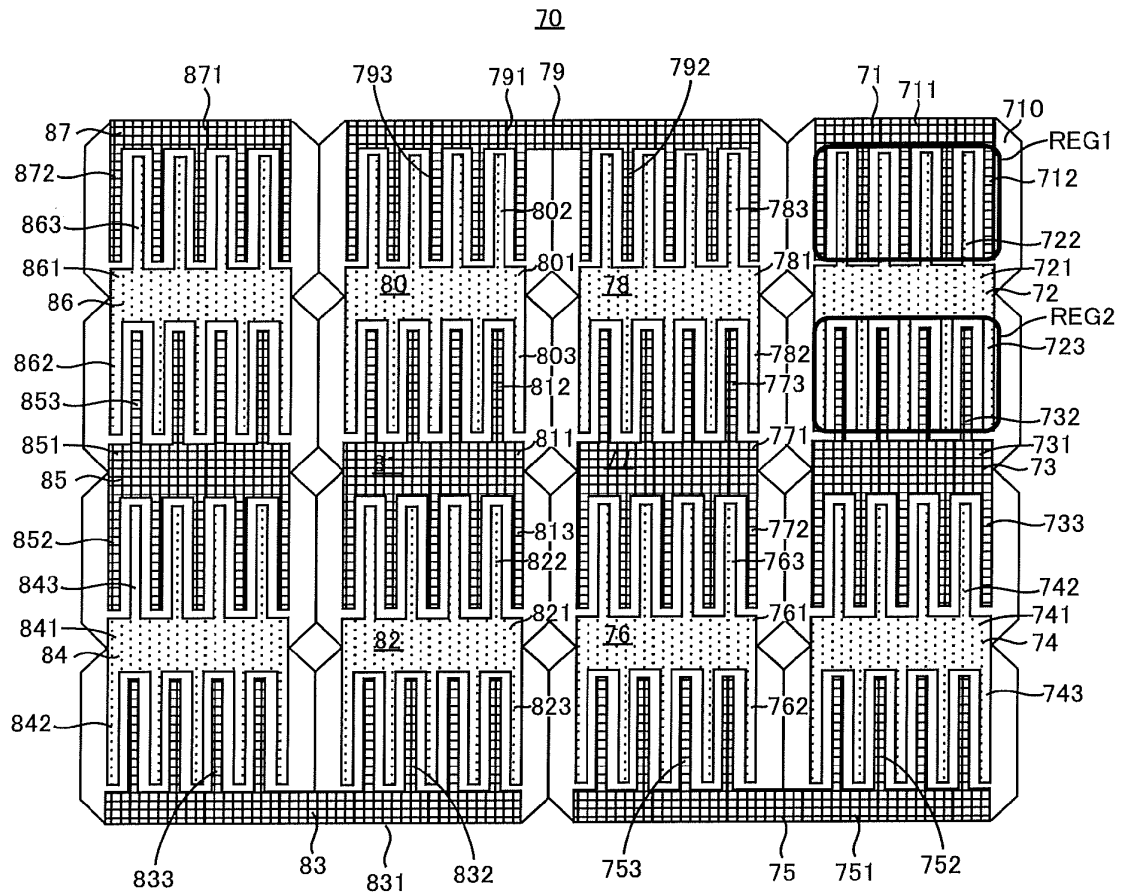


(d)

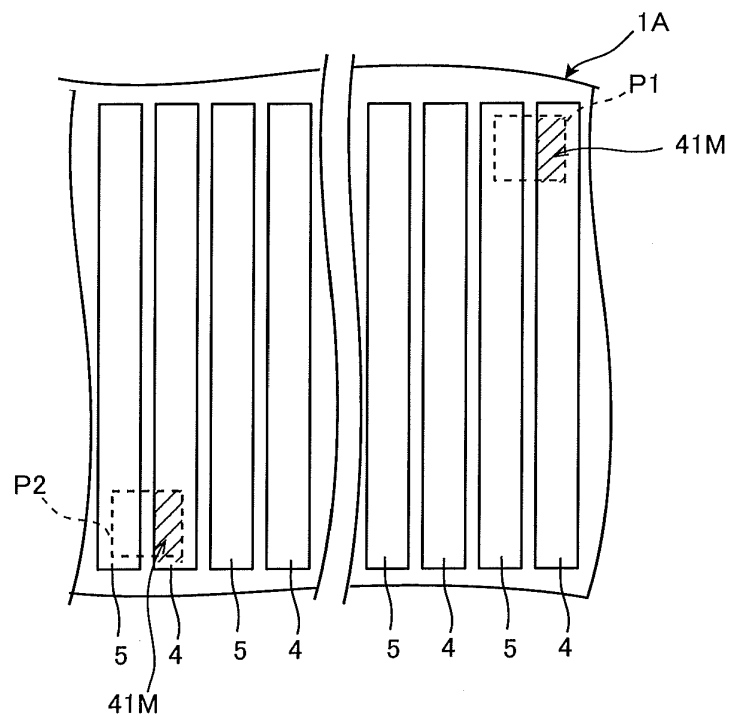


SEG Solar, EX1007, Page 314

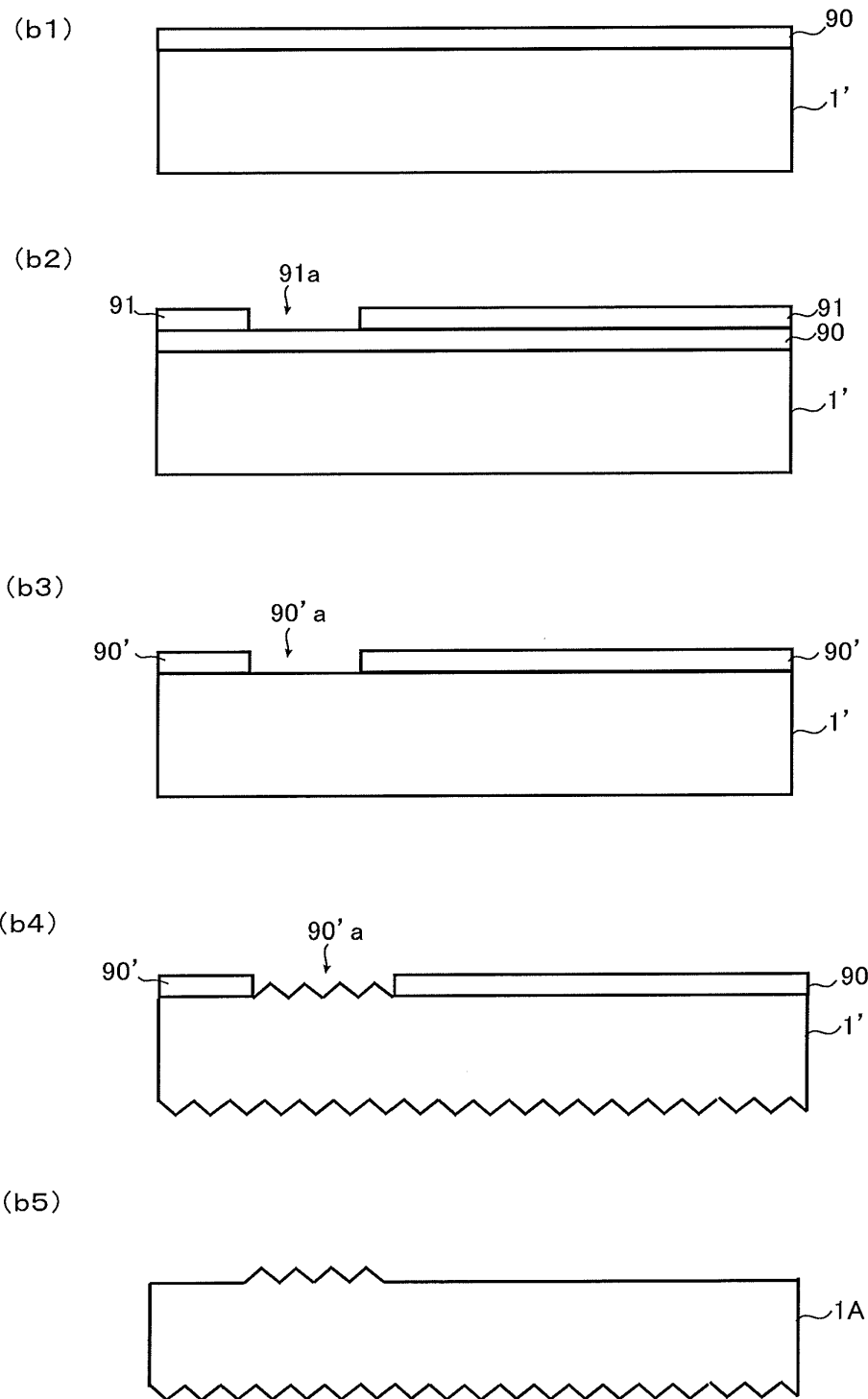
[図13B]



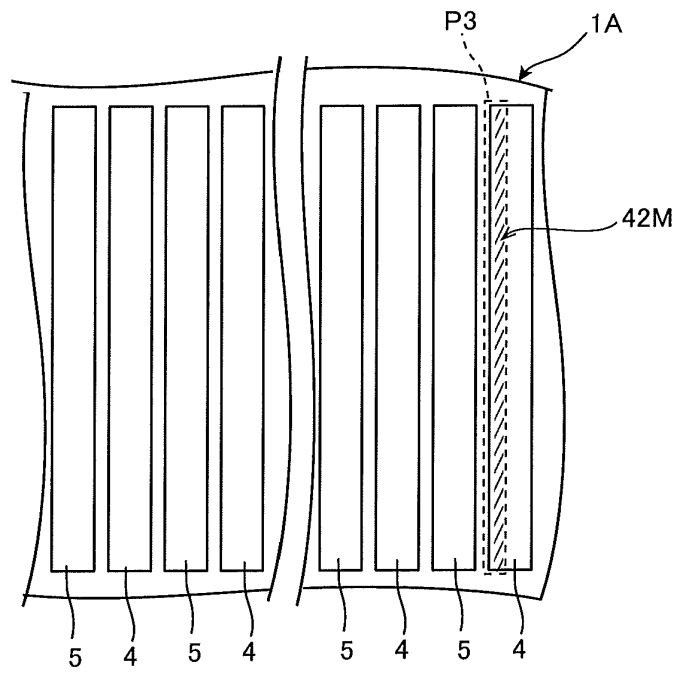
[図14A]



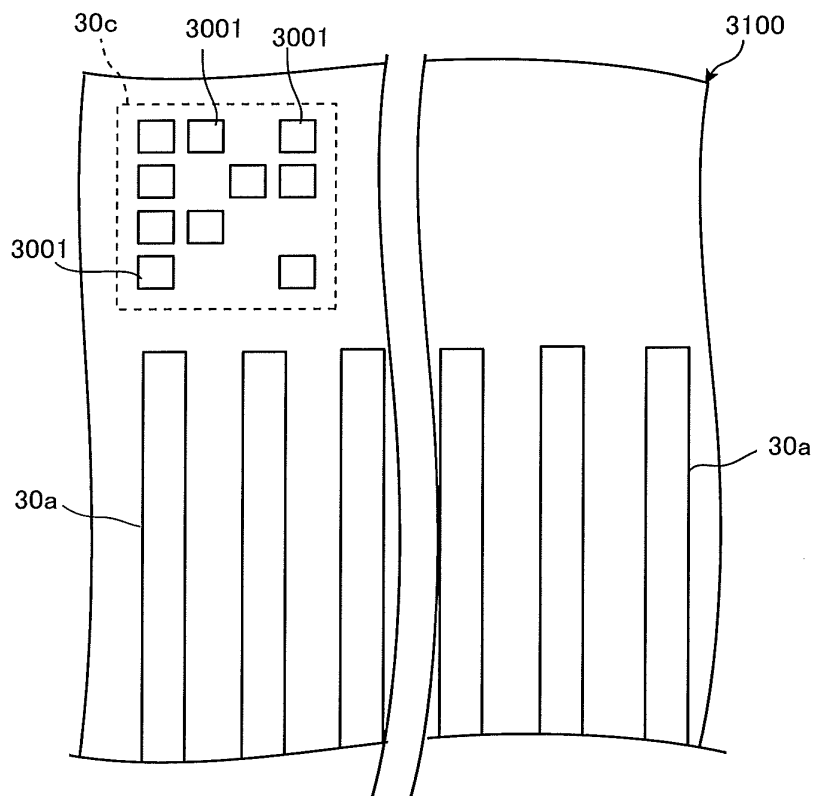
[図14B]



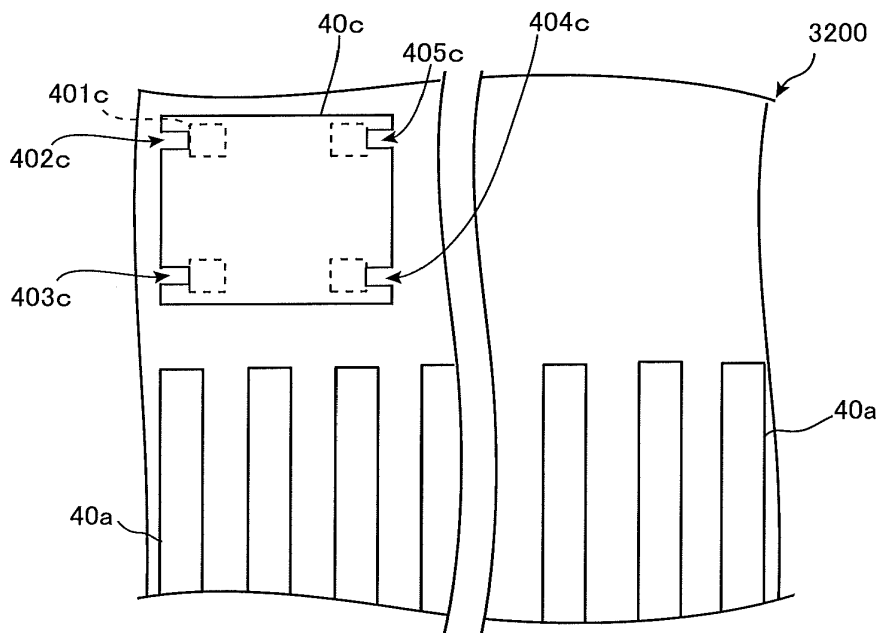
[図14C]



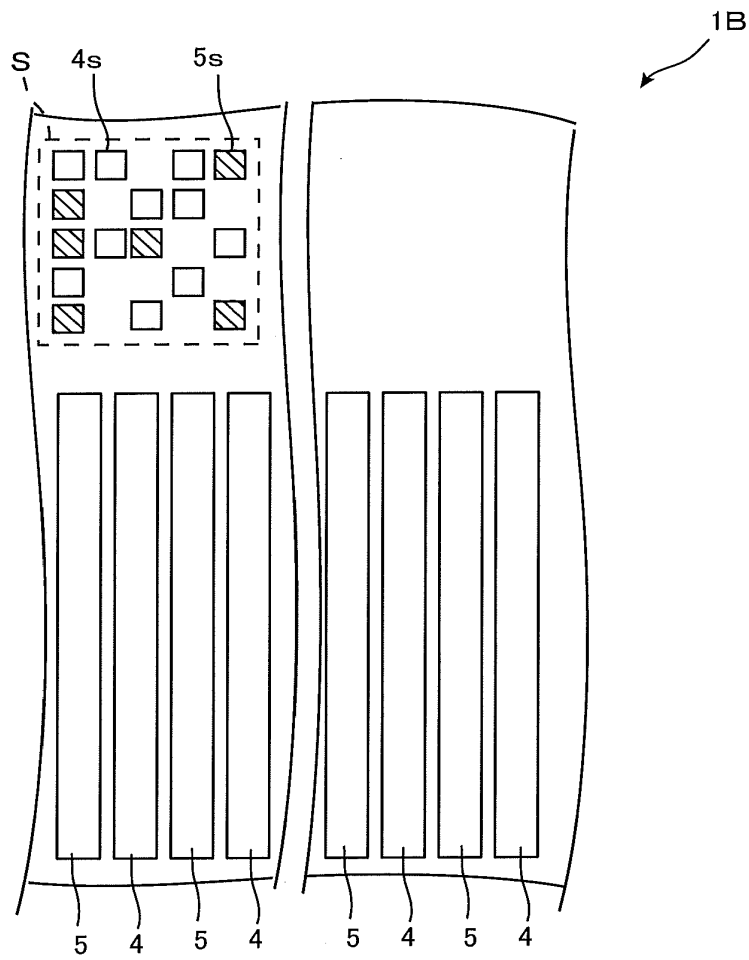
[図15A]



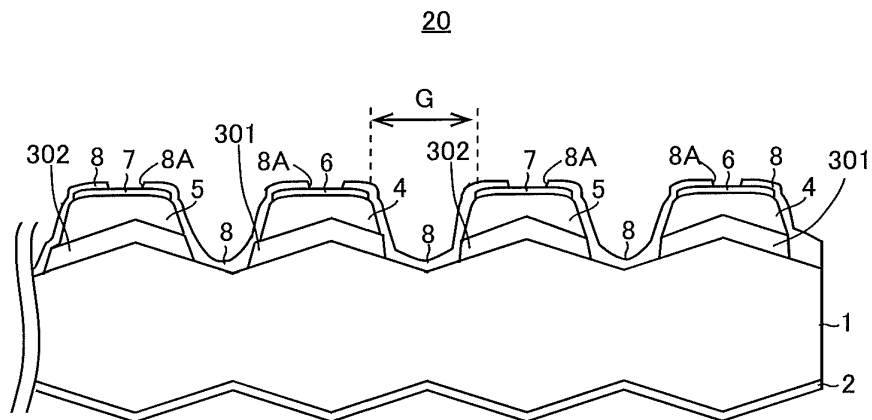
[図15B]



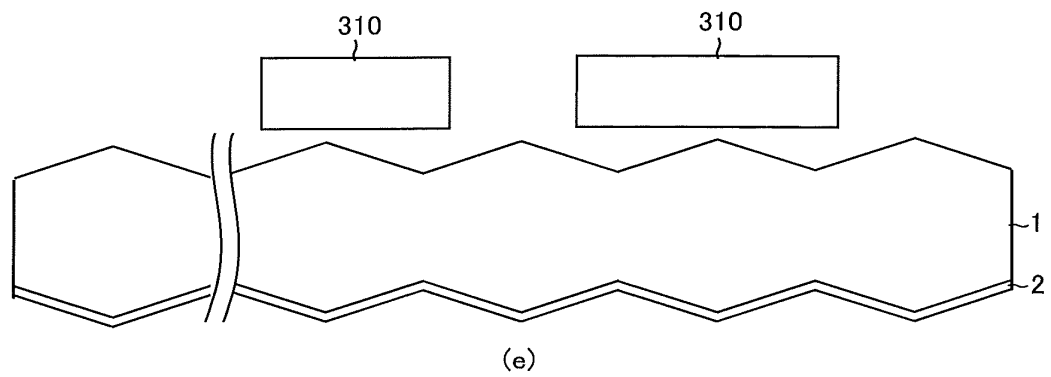
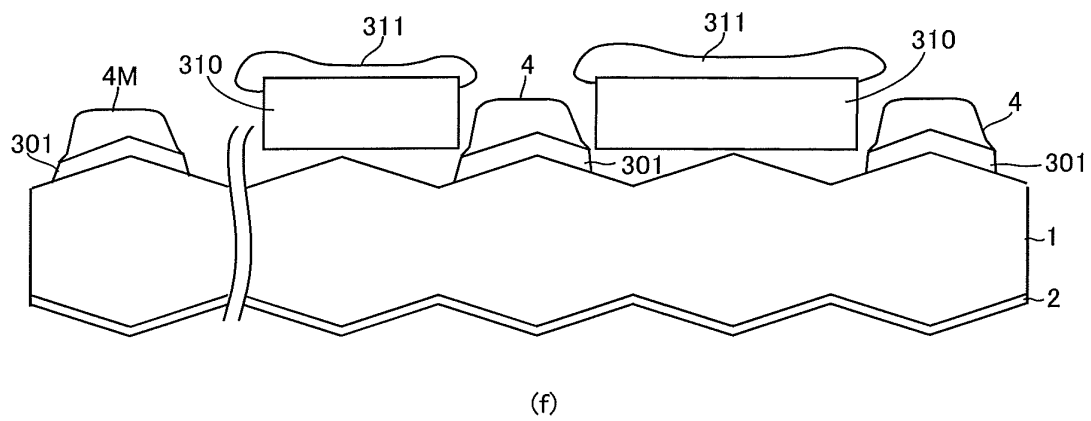
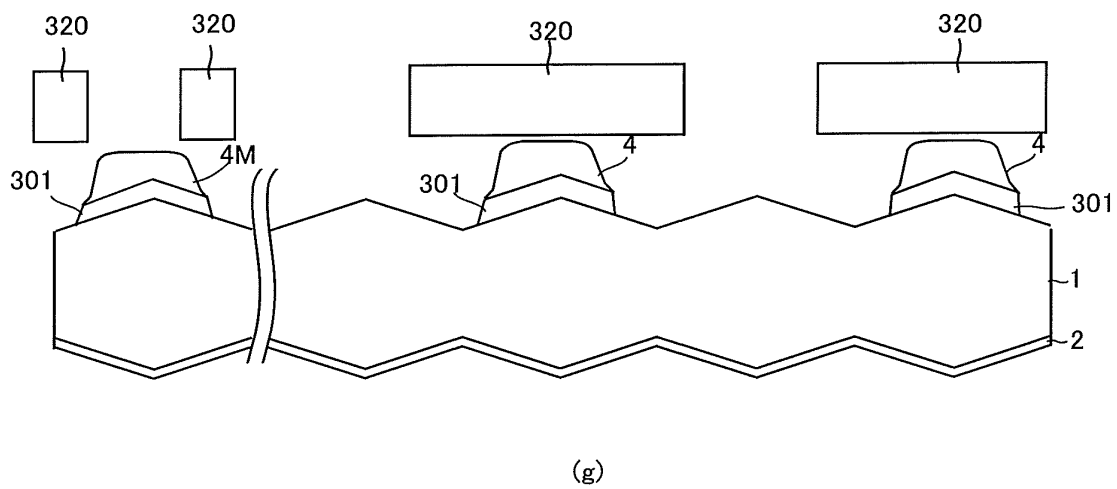
[図16]



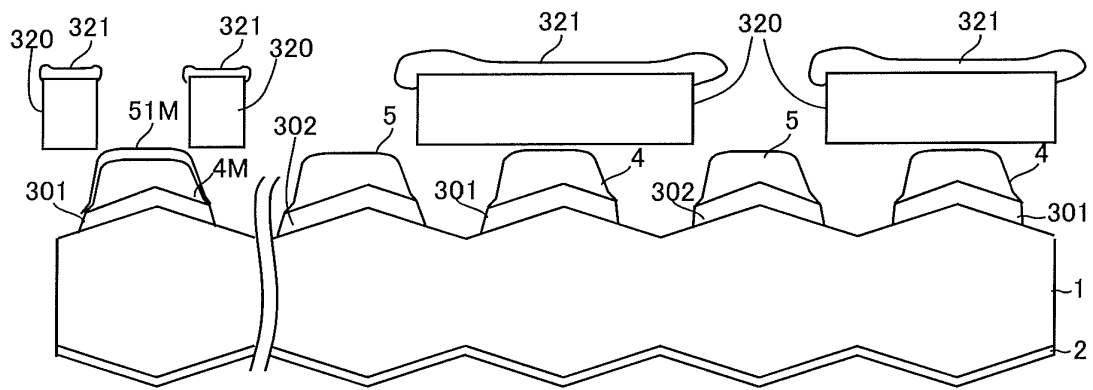
[図17]



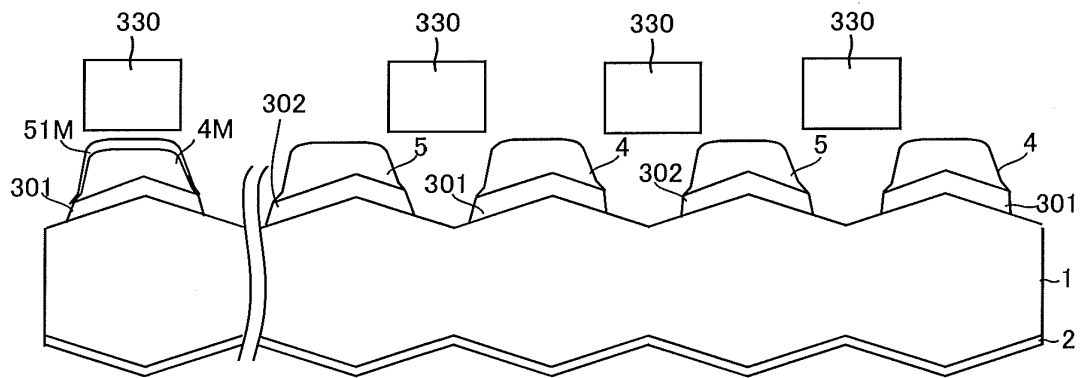
[図18]



[図19]

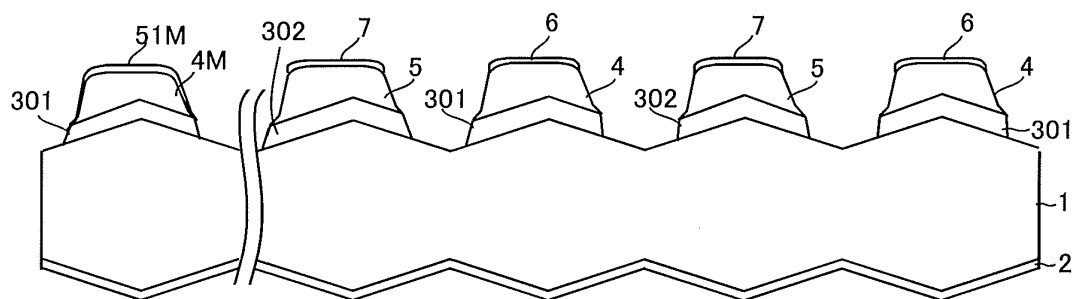


(h)

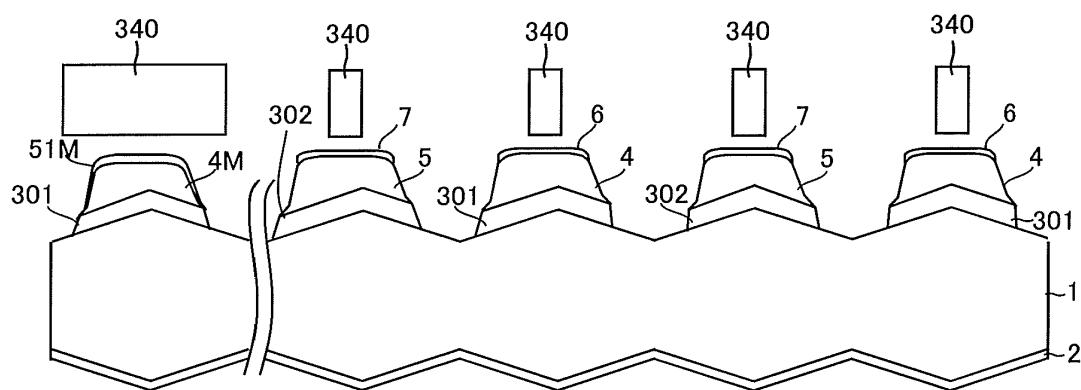


(i)

[図20]

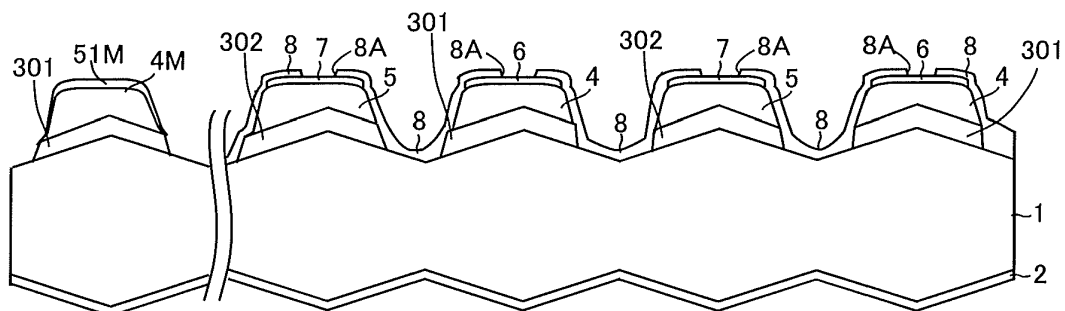


(j)

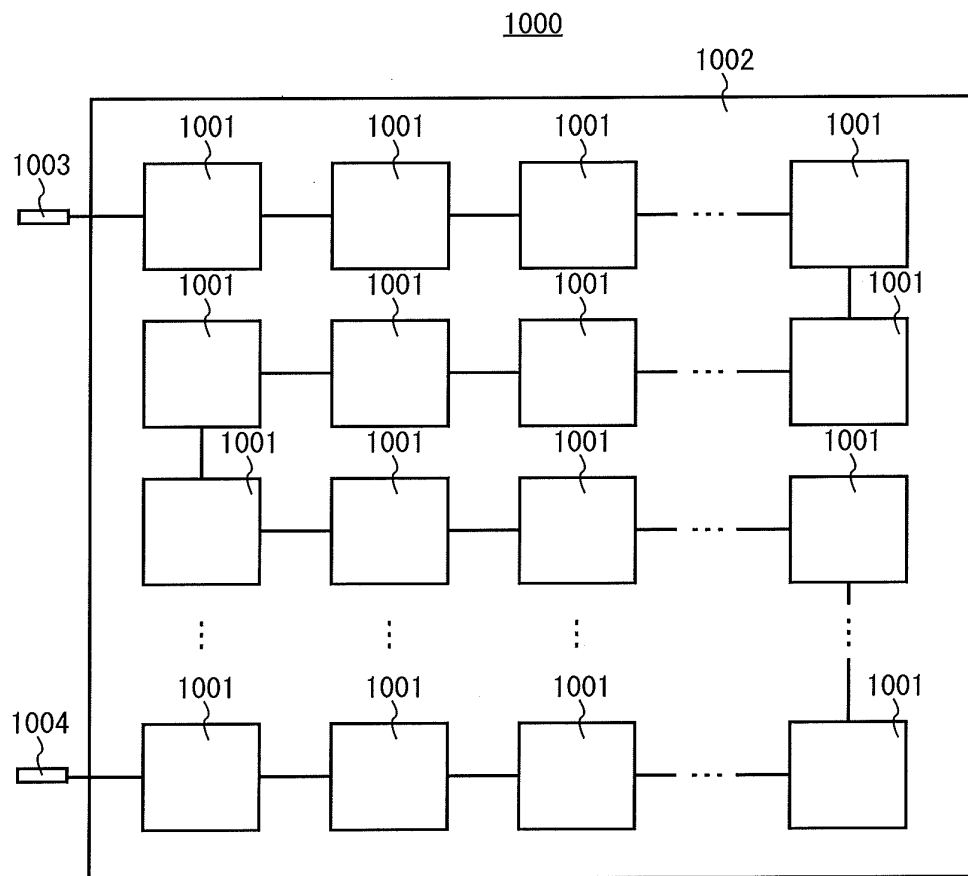


(k)

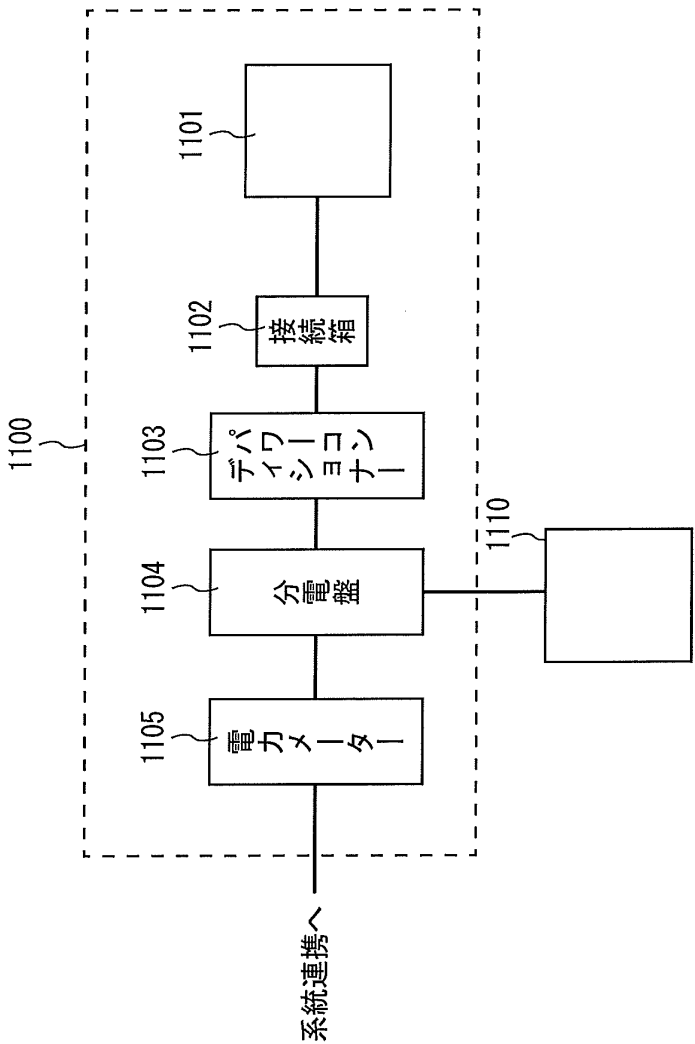
[図21]



[図22]

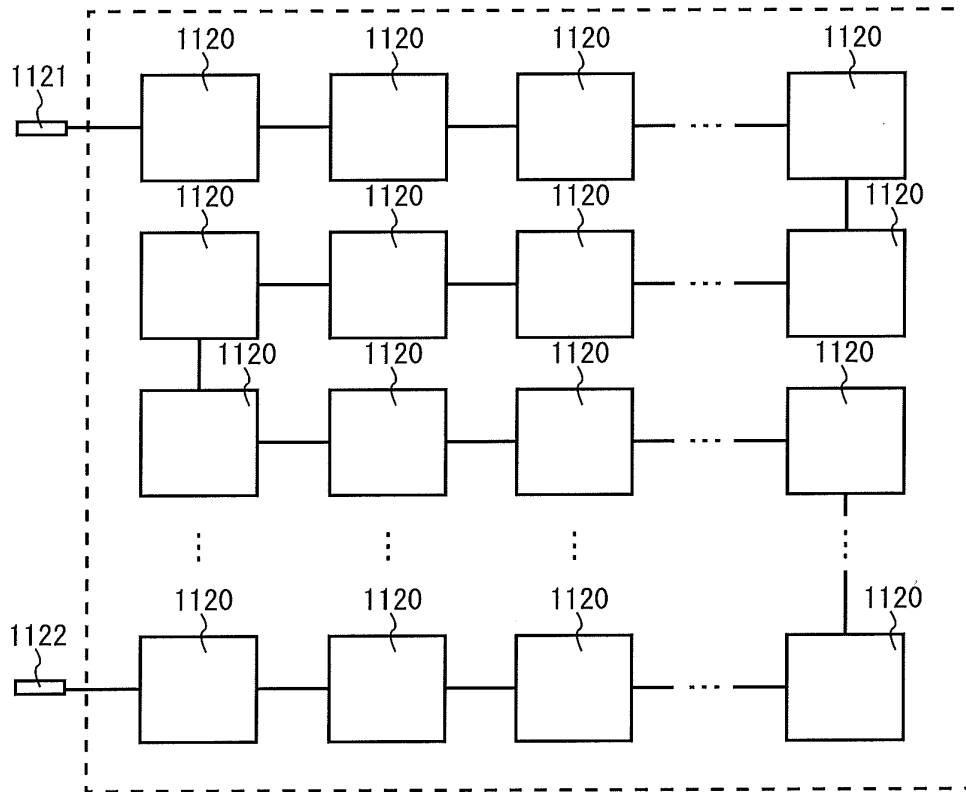


[図23]

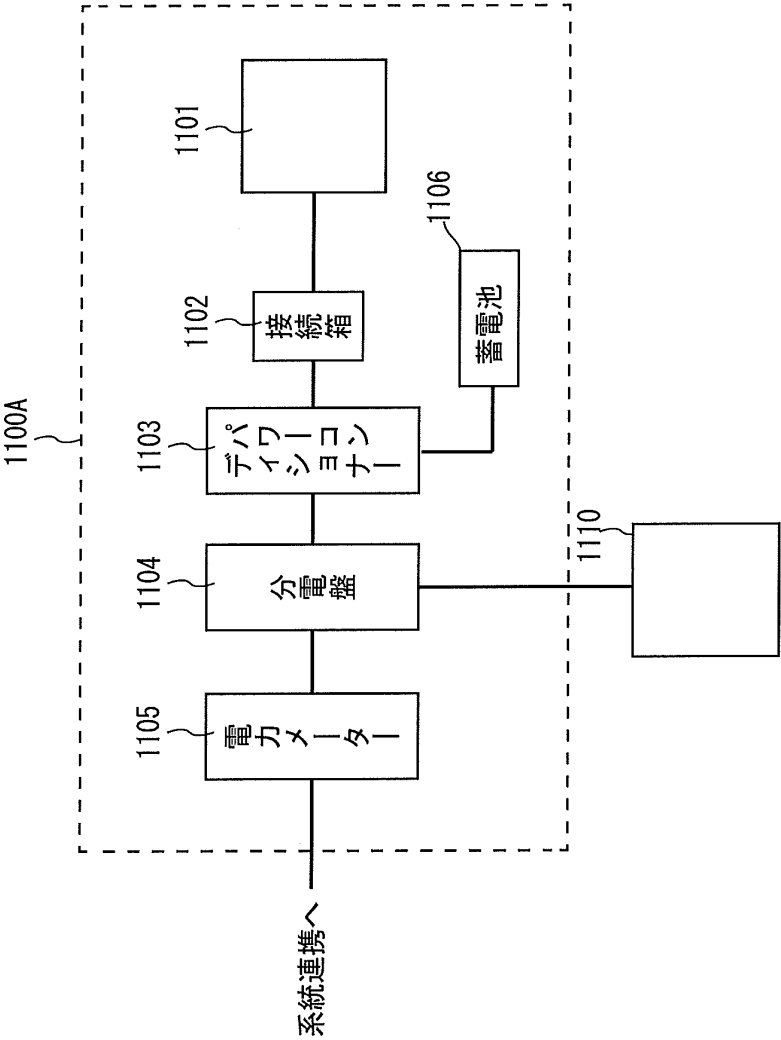


[図24]

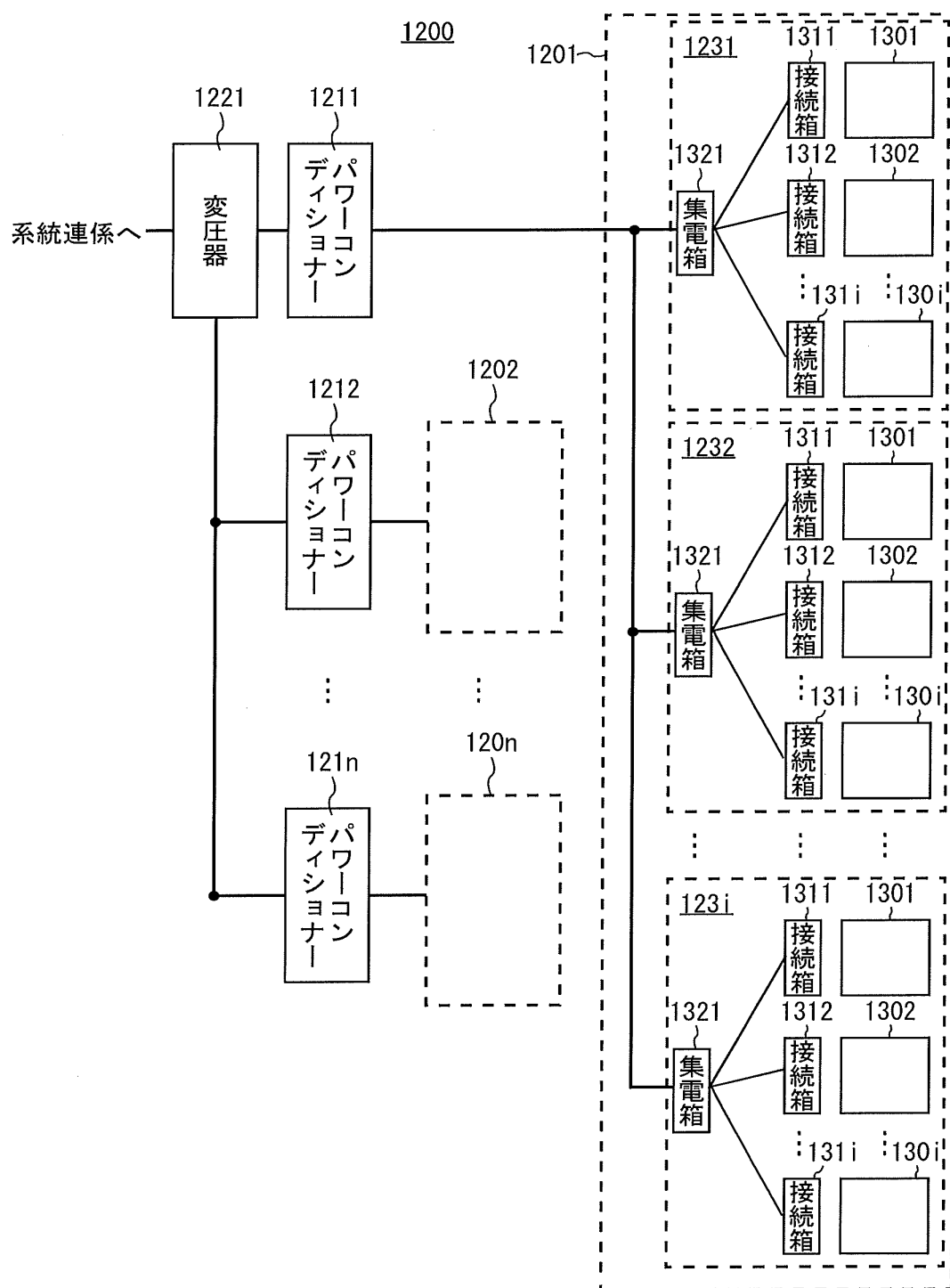
1101



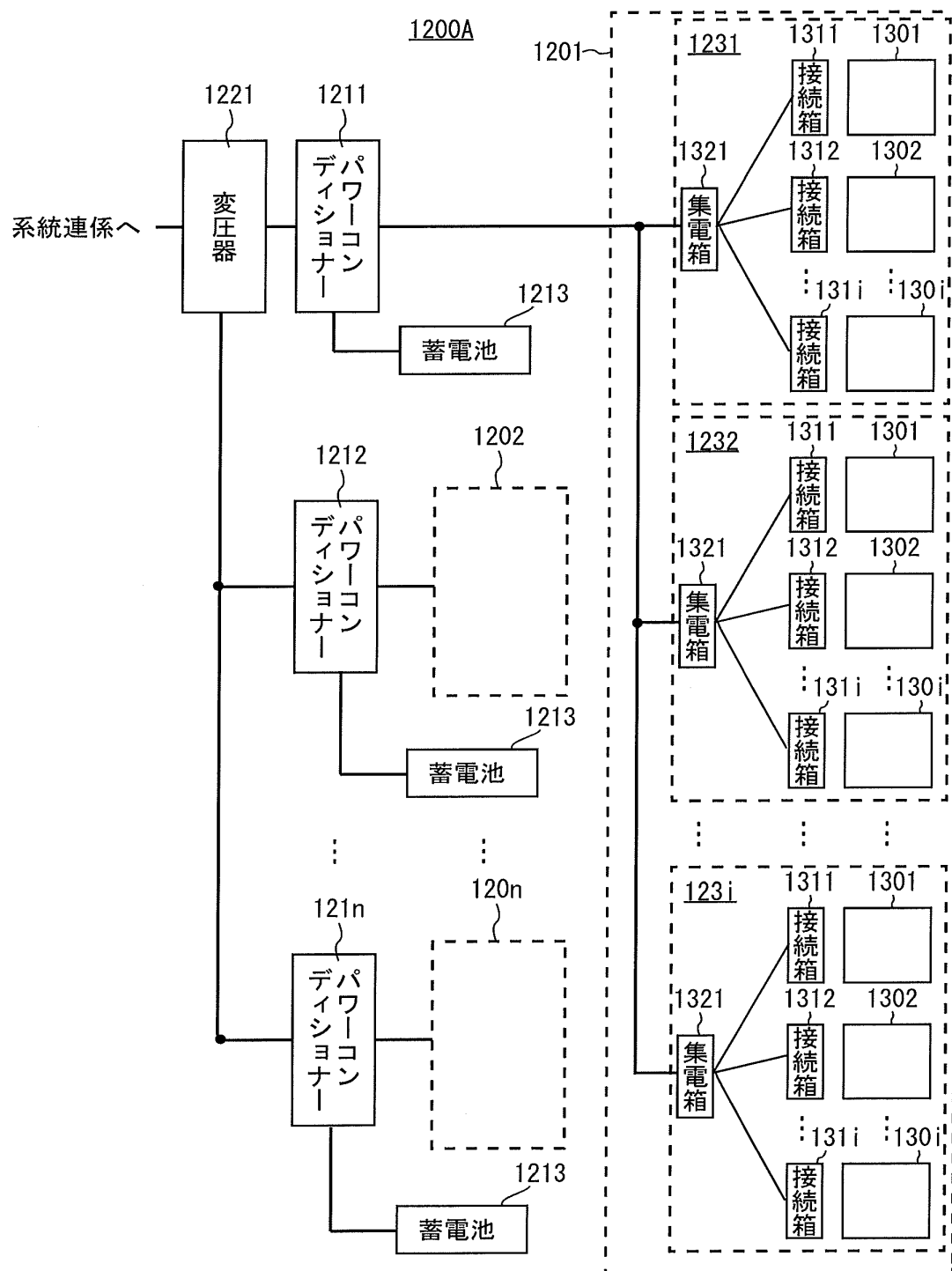
[図25]



[図26]



[図27]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/053226

A. CLASSIFICATION OF SUBJECT MATTER

H01L31/0747(2012.01)i, H01L31/0236(2006.01)i, H01L31/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L31/02-31/078, 31/18-31/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2010-258043 A (Sanyo Electric Co., Ltd.), 11 November 2010 (11.11.2010), paragraphs [0026] to [0052]; fig. 1 to 3 & US 2010/0263722 A1 paragraphs [0036] to [0062]; fig. 1 to 3	1, 4-5 2-3
X Y	WO 2012/132615 A1 (Sanyo Electric Co., Ltd.), 04 October 2012 (04.10.2012), paragraphs [0011] to [0020]; fig. 1 to 3 & US 2014/0020752 A1 paragraphs [0034] to [0044]; fig. 1 to 3	1, 4-5 2-3
X Y	JP 2013-187287 A (Sharp Corp.), 19 September 2013 (19.09.2013), paragraphs [0044] to [0062]; fig. 5 to 6 (Family: none)	1, 4-5 2-3

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 March 2016 (18.03.16)Date of mailing of the international search report
05 April 2016 (05.04.16)Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/053226

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-203379 A (Mitsubishi Electric Corp.), 27 July 2001 (27.07.2001), paragraphs [0023] to [0031]; fig. 1 to 17 (Family: none)	2-3
Y	JP 2012-64839 A (Kaneka Corp.), 29 March 2012 (29.03.2012), claims 1, 6; paragraphs [0029] to [0051] (Family: none)	2-3
P, A	WO 2015/146333 A1 (Sharp Corp.), 01 October 2015 (01.10.2015), paragraphs [0013] to [0033], [0082]; fig. 1, 16 & JP 2015-185743 A	1-5

Form PCT/ISA/210 (continuation of second sheet) (January 2015)

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. H01L31/0747(2012.01)i, H01L31/0236(2006.01)i, H01L31/18(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. H01L31/02-31/078, 31/18-31/20

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 6 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 6 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 6 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2010-258043 A (三洋電機株式会社) 2010.11.11, 段落 [0026] - [0052], 第 1-3 図 & US 2010/0263722 A1, 段落 [0036] - [0062], 第 1-3 図	1, 4-5 2-3
X Y	WO 2012/132615 A1 (三洋電機株式会社) 2012.10.04, 段落 [0011] - [0020], 第 1-3 図 & US 2014/0020752 A1, 段落 [0034] - [0044], 第 1-3 図	1, 4-5 2-3

☒ C 欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の 1 以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

1 8 . 0 3 . 2 0 1 6

国際調査報告の発送日

0 5 . 0 4 . 2 0 1 6

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目 4 番 3 号

特許庁審査官 (権限のある職員)

山本 元彦

2 K

3 9 1 4

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 2 5 5

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2013-187287 A (シャープ株式会社) 2013. 09. 19, 段落 [0044] - [0062], 第 5-6 図 (ファミリーなし)	1, 4-5
Y		2-3
Y	JP 2001-203379 A (三菱電機株式会社) 2001. 07. 27, 段落 [0023] - [0031], 第 1-17 図 (ファミリーなし)	2-3
Y	JP 2012-64839 A (株式会社カネカ) 2012. 03. 29, [請求項 1], [請求項 6], 段落 [0029] - [0051] (ファミリーなし)	2-3
P, A	WO 2015/146333 A1 (シャープ株式会社) 2015. 10. 01, 段落 [0013] - [0033], [0082], 第 1, 16 図 & JP 2015-185743 A	1-5

Electronic Acknowledgement Receipt	
EFS ID:	45313463
Application Number:	17459689
International Application Number:	
Confirmation Number:	8617
Title of Invention:	SOLAR CELL, MANUFACTURING METHOD THEREOF, AND PHOTOVOLTAIC MODULE
First Named Inventor/Applicant Name:	Kun YU
Customer Number:	22204
Filer:	Jeffrey Costellia/Natarsha Young
Filer Authorized By:	Jeffrey Costellia
Attorney Docket Number:	084546-000033
Receipt Date:	24-MAR-2022
Filing Date:	27-AUG-2021
Time Stamp:	17:08:36
Application Type:	Utility under 35 USC 111(a)

Payment information:

Submitted with Payment	no
------------------------	----

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Transmittal Letter	084546-000033_IDS.pdf	137142	no	2
			066e99831a53f98584a62337470e3815835156b8		

Warnings:

Information:					
2	Information Disclosure Statement (IDS) Form (SB08)	084546-000033_PTO1449.pdf	165699	no	1
			0ef0d9bcd56996d4b5ec92e720e693d1aa92ca84		
Warnings:					
Information:					
This is not an USPTO supplied IDS fillable form					
3	Foreign Reference	CN112599615A.pdf	1655988	no	19
			273f17eb7b2917c481b45bc37d9b0b2670192d17		
Warnings:					
Information:					
4	Foreign Reference	JP2012216788A.pdf	637131	no	18
			ad632f6e593c23440d3ff2032031692a11d2b3bc		
Warnings:					
Information:					
5	Foreign Reference	WO2016129481A1.pdf	3922096	no	94
			9fb0bbecca5291946486a418ae523d1e6b557d08		
Warnings:					
Information:					
6	Non Patent Literature	JP2021137285-OA1_edited.pdf	1512981	no	17
			b586b39b60ab82157fd2a7c2695d4fa7d942a3b		
Warnings:					
Information:					
Total Files Size (in bytes):			8031037		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application	)	
Kun YU et al.	)	Art Unit: Not Yet Assigned
Application No.: 17/459,689	)	Examiner: Not Yet Assigned
Filed: August 27, 2021	)	Confirmation No.: 8617
For: SOLAR CELL, MANUFACTURING	)	
METHOD THEREOF, AND	)	
PHOTOVOLTAIC MODULE	)	

INFORMATION DISCLOSURE STATEMENT

Mail Stop Amendment – Via EFS

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Dear Sir:

In accordance with the duty of disclosure as set forth in 37 C.F.R. § 1.56, Applicant hereby submits the following information in conformance with 37 C.F.R. §§ 1.97 and 1.98. In accordance with the policies of the U.S. Patent and Trademark Office, only copies of newly cited foreign patents and non-patent literature are being submitted.

Foreign Communication – Japan Office Action

Applicant notes that the Foreign and U.S. *Patent Documents*: CN-112599615; JP-2012-216788; WO-2016/129481; US-2018/0182905; US-2018/0315866 listed in the attached Form PTO-1449 were previously cited by Japan Patent Office in a Japanese Office Action mailed **January 11, 2022** (copy and English-language translation thereof enclosed) issued in a counterpart Japanese Patent Application No. 2021-137285.

The undersigned certifies that each item of information contained in this information disclosure statement was first cited in any communication from a foreign patent office in connection with a counterpart foreign application not more than three (3) months prior to the filing of this statement.

It is requested that the accompanying Form PTO-1449 be considered and made of record in the above-identified application and that an Examiner-initialed copy of this form be returned to the undersigned.

The present Information Disclosure Statement is filed within three months of filing, or before the mailing of a first Office action on the merits, whichever is later; therefore, no fee is believed to be necessary at this time.

However, if a fee becomes necessary, the Commissioner is hereby authorized by this paper to charge any additional fees, except the issue fee, during the entire pendency of this application including fees due under 37 C.F.R. §§ 1.16 and 1.17 which may be required, including any required extension of time fees, or credit any overpayment to Deposit Account No. 19-2380.

Respectfully submitted,

/Jeffrey L. Costellia, Reg. No. 35,483/
Jeffrey L. Costellia
Registration No. 35,483

NIXON PEABODY LLP
CUSTOMER NO.: 22204
799 9th Street, N.W., Suite 500
Washington, DC 20001-4501
Tel: 202-585-8000

Substitute for form 1449A/PTO INFORMATION DISCLOSURE STATEMENT BY APPLICANT <i>(use as many sheets as necessary)</i>				Complete if Known			
				Application Number		17/459,689	
				Filing Date		August 27, 2021	
				First Named Inventor		Kun YU et al.	
				Art Unit		Not Yet Assigned	
Examiner Name		Not Yet Assigned					
Sheet	1	of	1	Attorney Docket Number		084546-000033	

U.S. PATENT DOCUMENTS					
Examiner Initials*	Cite No. ¹	U.S. Patent Document	Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		Number - Kind Code ² (if known)			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			
		US-			

FOREIGN PATENT DOCUMENTS						
Examiner Initials ⁵	Cite No. ¹	Foreign Patent Document		Publication Date MM-DD-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
		Country Code ³	Number ⁴ Kind Code ² (if known)			
		CN-	111628049	09-04-2020		Abstract
		CN-	212750903	03-19-2021		Abstract
		EP-	2149915	02-03-2010		Eng.
		EP-	2645421	10-02-2013		Eng.
		WO-	2015/122257	08-20-2015		Abstract

OTHER PRIOR ART – NON PATENT LITERATURE DOCUMENTS			
Examiner Initials ⁵	Cite No. ¹	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial, symposium, catalog, etc.), date, page(s), volume-issue number(s), publisher, city and/or country where published.	T ²
		Extended European Search Report for EP App. No. 21194044.0, mailed Dec 2, 2021, 7 pages.	Eng.

Examiner Signature		Date Considered	
--------------------	--	-----------------	--

*EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of this form with next communication to applicant.

¹ Applicant's unique citation designation number (optional). ² See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. ³ Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3). ⁴ For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document. ⁵ Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST.16 if possible. ⁶ Applicant is to place a check mark here if English language Translation is attached.

¹ Applicant's unique citation designation number (optional). ² Applicant is to place a check mark here if English language Translation is attached.



Espacenet

Bibliographic data: CN111628049 (A) — 2020-09-04

Method for realizing hole **local passivation contact**, and crystalline silicon solar cell and preparation method thereof

Inventor(s): HUANG HAIBING; ZHANG MENGGE; SHEN MENGCHAO; ZHANG SHENGJUN; XU XIN; WU ZHIHAN ± (黄海冰; ; 张梦葛; ; 沈梦超; ; 张胜军; ; 绪欣; ; 吴智涵)

Applicant(s): CHANGZHOU SHICHUANG ENERGY CO LTD ± (常州时创能源股份有限公司)

Classification: - **international:** H01L31/0216; H01L31/0224; H01L31/068; H01L31/18
- **cooperative:** H01L31/02168 (CN); H01L31/022425 (CN); H01L31/068 (CN);
H01L31/1804 (CN); H01L31/1864 (CN); H01L31/1868 (CN); Y02E10/546
(EP); Y02E10/547 (EP); Y02P70/50 (EP)

Application number: CN202010528263 20200611 Global Dossier

Priority number(s): CN202010528263 20200611

Abstract of CN111628049 (A)

The invention discloses a method for realizing hole local passivation contact, which can realize selective boron doping by adopting printing boron slurry or printing boron ink, and can also realize selective boron doping by selective boron ion implantation, and the boron surface concentration of the formed local boron-doped polycrystalline silicon is not lower than $7 \times 10^{19} \text{cm}^{-3}$; and the polycrystalline silicon or amorphous silicon thin film region without local boron doping is etched through alkaline solution chemical etching, and the local boron-doped polycrystalline silicon region is metalized to form the hole local passivation contact structure. Furthermore, the invention also discloses a crystalline silicon solar cell with the hole local passivation contact structure and a corresponding cell preparation method. According to the preparation method of the hole local passivation contact and the preparation method of the corresponding crystalline silicon solar cell, the process is simple, the cost is low, and the industrial potential is good.



(12)发明专利申请



(10)申请公布号 CN 111628049 A

(43)申请公布日 2020.09.04

(21)申请号 202010528263.5

(22)申请日 2020.06.11

(71)申请人 常州时创能源股份有限公司

地址 213300 江苏省常州市溧阳市溧城镇
吴潭渡路8号

(72)发明人 黄海冰 张梦葛 沈梦超 张胜军
绪欣 吴智涵

(51)Int. Cl.

H01L 31/18(2006.01)

H01L 31/0224(2006.01)

H01L 31/0216(2014.01)

H01L 31/068(2012.01)

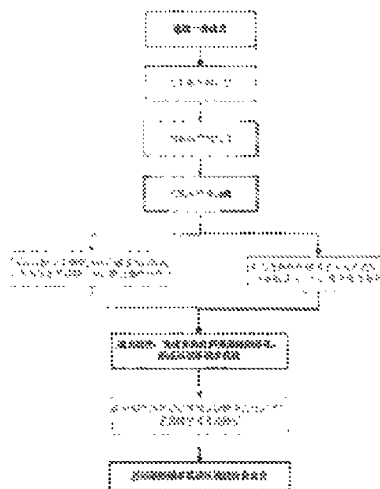
权利要求书3页 说明书11页 附图3页

(54)发明名称

实现空穴局部钝化接触的方法、晶体硅太阳能电池及其制备方法

(57)摘要

本发明公开一种实现空穴局部钝化接触的方法,该方法可通过采用印刷硼浆或打印硼墨水实现选择性硼掺杂,也可通过选择性的硼离子注入来实现选择性硼掺杂,形成的局部掺硼多晶硅硼表面浓度不低于 $7E19cm^{-3}$;然后通过碱溶液化学刻蚀将无局部硼掺杂的多晶硅或非晶硅薄膜区域刻蚀掉,再对局部掺硼多晶硅区域进行金属化,从而形成所述空穴局部钝化接触结构。进一步,本发明还公开一种具有空穴局部钝化接触结构的晶体硅太阳能电池和相应的电池制备方法。本发明给出的空穴局部钝化接触的制备方法和相应晶体硅太阳能电池的制备方法,工艺简洁,成本较低,具有良好的工业化潜力。



CN 111628049 A

1. 一种实现空穴局部钝化接触的方法,其特征在于,包括:
提供一种晶体硅衬底;
在所述晶体硅衬底表面制备隧穿氧化硅;
在所述隧穿氧化硅表面制备本征非晶硅;
在所述非晶硅表面局部覆盖硼掺杂剂;
将局部覆盖硼掺杂剂的晶体硅衬底进行退火处理,实现非晶硅到多晶硅的转变,同时所述硼掺杂剂被激活并在多晶硅薄膜内进行再分布,形成局部硼掺杂;所述局部硼掺杂的表面浓度不低于 $7E19\text{ cm}^{-3}$;
采用碱溶液对退火后的晶体硅衬底进行刻蚀,去除局部硼掺杂之外区域的多晶硅,所述局部硼掺杂区域的多晶硅被保留;
制备金属电极,所述金属电极位于局部硼掺杂区域的正上方;
至此,形成空穴局部钝化接触。
2. 如权利要求1所述的方法,其特征在于,在所述非晶硅表面局部覆盖硼掺杂剂,具体包括:通过丝网印刷的方式在非晶硅表面局部覆盖硼浆,或者通过打印的方式在非晶硅表面局部覆盖硼墨水。
3. 如权利要求1所述的方法,其特征在于,在所述非晶硅表面局部覆盖硼掺杂剂,具体包括:通过离子注入的方式在非晶硅表面局部注入硼离子。
4. 如权利要求1所述的方法,其特征在于,所述非晶硅表面覆盖的硼掺杂剂是图案化的,所述图案与金属电极的图案相对应。
5. 如权利要求1所述的方法,其特征在于,采用炉管或快速热处理炉进行退火处理;退火后,所述晶体硅衬底表面形成均匀的多晶硅层。
6. 如权利要求5所述的方法,其特征在于,退火温度为 $750-1100^{\circ}\text{C}$,退火时间为20-100分钟,炉内气氛是氮气。
7. 如权利要求5所述的方法,其特征在于,所述碱溶液为NaOH溶液或KOH溶液,所述碱溶液的质量浓度为1-30%,温度为 $10-95^{\circ}\text{C}$,刻蚀时间为4-40分钟。
8. 如权利要求7所述的方法,其特征在于,所述碱溶液的质量浓度为2-5%,温度为 $40-80^{\circ}\text{C}$,刻蚀时间为5-10分钟。
9. 如权利要求1所述的方法,其特征在于,采用激光局部热处理退火进行退火处理;退火后,所述晶体硅衬底表面局部硼掺杂处形成多晶硅层。
10. 如权利要求9所述的方法,其特征在于,选用的激光波长范围是100-1100 nm。
11. 如权利要求9所述的方法,其特征在于,所述碱溶液为NaOH溶液或KOH溶液,所述碱溶液的质量浓度为0.5-20%,温度为 $10-95^{\circ}\text{C}$,刻蚀时间为2-20分钟。
12. 如权利要求11所述的方法,其特征在于,所述碱溶液的质量浓度为0.5-5%,温度为 $20-80^{\circ}\text{C}$,刻蚀时间为2-7分钟。
13. 如权利要求1所述的方法,其特征在于,所述局部硼掺杂的表面浓度不低于 $1E20\text{ cm}^{-3}$ 。
14. 如权利要求1所述的方法,其特征在于,所述隧穿氧化层的厚度为0.5-2 nm;所述非晶硅的厚度为10-300 nm。
15. 一种晶体硅太阳能电池制备方法,其特征在于,包括以下步骤:

提供一种晶体硅衬底；

去除所述晶体硅衬底表面的损伤层，在晶体硅衬底表面形成背面所需形貌；

在去除损伤层后的晶体硅衬底表面制备隧穿氧化层；

在所述晶体硅衬底正面沉积本征非晶硅并局部覆盖硼掺杂剂，在所述晶体硅衬底背面沉积非晶硅膜并整面覆盖磷掺杂剂；

对正、背两面完成掺杂剂覆盖的晶体硅衬底进行退火处理，实现非晶硅到多晶硅的转变，同时所述硼掺杂剂被激活并在多晶硅薄膜内进行再分布，形成局部硼掺杂，以及磷掺杂剂被激活并在多晶硅薄膜内进行再分布，形成磷掺杂；所述局部硼掺杂的表面浓度不低于 $7 \times 10^{19} \text{ cm}^{-3}$ ；

在所述晶体硅衬底背面沉积氮化硅或氮氧化硅膜，所述氮化硅或氮氧化硅膜用于阻挡后续碱刻蚀步骤中碱溶液对晶体硅衬底背面的刻蚀以及背面钝化；

采用碱溶液刻蚀晶体硅衬底正面局部硼掺杂之外区域的多晶硅，局部硼掺杂处的多晶硅被保留，同时在晶体硅衬底正面形成绒面结构；

在所述晶体硅衬底正面制备p型掺杂结，所述p型掺杂结为整面均匀的掺杂或者局部硼掺杂之外区域的选择性掺杂；

在所述晶体硅衬底正面制备钝化减反膜；

在所述晶体硅衬底正面和背面制备金属电极，所述正面金属电极位于局部硼掺杂区域正上方。

16. 一种晶体硅太阳能电池，其特征在于，包括：

晶体硅衬底；

位于晶体硅衬底正面的空穴局部钝化接触结构、p型掺杂结和钝化减反射膜；所述空穴局部钝化接触结构包括依次形成于晶体硅衬底正面的隧穿氧化层、掺硼多晶硅和正面金属电极，所述正面金属电极与隧穿氧化层和掺硼多晶硅的位置相对应，所述掺硼多晶硅处硼的表面浓度不低于 $7 \times 10^{19} \text{ cm}^{-3}$ ；所述晶体硅衬底正面为绒面结构，所述p型掺杂结为整面均匀的掺杂或者空穴局部钝化接触结构之外区域的选择性掺杂，所述钝化减反射膜为氧化铝、氧化硅、氮氧化硅、氮化硅中的一种或者多种的叠加；

位于晶体硅衬底背面的电子钝化接触结构；所述电子钝化接触结构包括依次形成于晶体硅衬底背面的隧穿氧化层、掺磷多晶硅和背面金属电极；所述晶体硅衬底背面还包括形成于掺磷多晶硅表面的氮化硅或氮氧化硅膜；所述晶体硅衬底背面为抛光面或绒面结构。

17. 如权利要求16所述的晶体硅太阳能电池，其特征在于，所述钝化减反射膜为氧化硅或氮化硅膜。

18. 一种晶体硅太阳能电池制备方法，其特征在于，包括以下步骤：

提供一种晶体硅衬底；

去除所述晶体硅衬底表面的损伤层；

在去除损伤层后的晶体硅衬底表面制备隧穿氧化层；

在所述晶体硅衬底正面沉积本征非晶硅，并局部覆盖硼掺杂剂；

对局部覆盖硼掺杂剂的晶体硅衬底进行退火处理，实现非晶硅到多晶硅的转变，同时所述硼掺杂剂被激活并在多晶硅薄膜内进行再分布，形成局部硼掺杂；所述局部硼掺杂的表面浓度不低于 $7 \times 10^{19} \text{ cm}^{-3}$ ；

采用碱溶液刻蚀晶体硅衬底正面局部硼掺杂之外区域的多晶硅,局部硼掺杂处的多晶硅被保留,同时在晶体硅衬底正面形成绒面结构;

在所述晶体硅衬底正面制备p型掺杂结,所述p型掺杂结为整面均匀的掺杂或者局部硼掺杂之外区域的选择性掺杂;采用硝酸和氢氟酸的混合溶液结合水上漂的湿法刻蚀设备,对晶体硅衬底背面进行化学刻蚀并形成抛光面结构;

在所述晶体硅衬底背面制备n型掺杂结;

在所述晶体硅衬底背面制备钝化膜,在所述晶体硅衬底正面制备钝化减反膜;

在所述晶体硅衬底正面和背面制备金属电极,所述正面金属电极位于局部硼掺杂区域正上方。

19. 一种晶体硅太阳能电池,其特征在于,包括:

晶体硅衬底;

位于晶体硅衬底正面的空穴局部钝化接触结构、p型掺杂结和钝化减反射膜;所述空穴局部钝化接触结构包括依次形成于晶体硅衬底正面的隧穿氧化层、掺硼多晶硅和正面金属电极,所述正面金属电极与隧穿氧化层和掺硼多晶硅的位置相对应,所述掺硼多晶硅处硼的表面浓度不低于 $7 \times 10^{19} \text{ cm}^{-3}$;所述晶体硅衬底正面为绒面结构,所述p型掺杂结为整面均匀的掺杂或者空穴局部钝化接触结构之外区域的选择性掺杂,所述钝化减反射膜为氧化铝、氧化硅、氮氧化硅、氮化硅中的一种或者多种的叠加;

依次形成于晶体硅衬底背面的n型掺杂结、钝化膜和背面金属电极,所述晶体硅衬底背面为抛光面或绒面结构,所述n型掺杂结为整面均匀结或选择性掺杂结,所述钝化膜为氮化硅、氧化硅、氮氧化硅、氧化铝中的一种或多种叠加。

20. 如权利要求19所述的晶体硅太阳能电池,其特征在于,所述钝化减反射膜为氧化硅或氮化硅膜。

实现空穴局部钝化接触的方法、晶体硅太阳能电池及其制备方法

技术领域

[0001] 本发明属于太阳能电池制备技术领域,具体涉及一种实现空穴局部钝化接触结构的方法,以及将这种空穴局部钝化接触结构应用于晶体硅太阳能电池和相应的电池制备方法。

背景技术

[0002] 钝化接触(Tunnel Oxide and Passivated Contact, TOPCon)太阳能电池是一种新型高效太阳能电池,这种太阳能电池通过隧穿氧化硅和掺杂多晶硅钝化晶体硅太阳能电池(以下简称太阳能电池或电池)的表面,来实现光生载流子的选择性通过,也即多数载流子可以无障碍地通过隧穿氧化硅层进入到掺杂多晶硅薄膜内继而被收集,而与此同时少数载流子在隧穿氧化硅和硅的界面处的复合速率很低并且无法通过隧穿氧化硅到达掺杂多晶硅薄膜中。TOPCon电池可以实现光生载流子的一维收集,减小了少数载流子复合几率的同时,也增加了多数载流子的收集几率。由于TOPCon电池中的掺杂多晶硅(实际上应是多晶硅和微晶硅的混合体,但以多晶硅为主,为便于表述,本申请统称多晶硅)的光学吸收系数相对于晶体硅更大,这会导致照射到电池表面的光在这层多晶硅薄膜中被过多地吸收,从而显著降低了吸收层晶体硅衬底的光吸收。因此,钝化接触结构在应用于晶体硅太阳能电池时,更多地是应用于电池背表面。

[0003] 在太阳能电池的正面采用局部钝化接触结构可以避免上述问题。这种结构的特征是在非金属电极接触区域(以下简称非金属电极区域)不采用钝化接触结构,而在金属电极接触区域(以下简称金属电极区域)则采用钝化接触结构。相比于传统的全面积(也即包括非金属电极区域和金属电极区域)的钝化接触结构设计,采用局部钝化接触结构应用于电池正面,可以避免电池正面非金属电极区域采用掺杂多晶硅层而导致的光吸收较大的问题,从而增加了进入到晶体硅衬底的入射光的量,进而增加了晶体硅衬底中的光生载流子产生量。

[0004] 目前实现这种局部钝化接触结构,普遍多采用光刻法、化学浆料刻蚀法。光刻法属于半导体芯片的制造方法,成本较高同时制备步骤较为繁琐;而采用化学浆料刻蚀法制备局部接触钝化结构也需要在多晶硅层实施掺杂、制备掩膜、印刷保护型或刻蚀型化学浆料、化学刻蚀以及去除掩膜等,制备步骤比较繁琐,成本较高。由此可见,采用这两种常用方法制备局部钝化接触结构,工艺步骤繁琐,而光刻胶和化学刻蚀浆料作为消耗材料成本也较高,从而导致总体的制备成本比较高,这就给局部钝化接触结构的应用带来了较大的难度。

发明内容

[0005] 为解决上述问题,本发明给出了一种简洁实用、低成本的实现空穴局部钝化接触的制备方法。进一步,又将上述实现空穴局部钝化接触结构的方法应用于太阳能电池,公开了一种具有空穴局部钝化接触结构的晶体硅太阳能电池和相应的电池制备方法。

[0006] 本发明所涉及的实现空穴局部钝化接触结构的方法,利用硅表面的硼掺杂浓度不低于 $7E19\text{ cm}^{-3}$ 时可以非常有效地阻挡碱溶液刻蚀的这个特性,来制备这种空穴局部钝化接触结构。从总体上,本发明给出的方法可以分为两种(基于如何制备选择性分区的硼掺杂),分述如下:

第一种实现空穴局部钝化接触结构的方法,概括地说,是通过生长隧穿氧化硅、沉积非晶硅、丝网印刷硼浆或打印硼墨水、退火、化学溶液刻蚀以及金属化等工艺步骤来联合实现这种结构。首先在已经去除损伤层的晶体硅衬底上制备隧穿氧化硅;紧接着在这层隧穿氧化硅层上制备非晶硅层;然后在这层非晶硅薄膜上通过丝网印刷或打印的方法印上一定图案的硼浆或硼墨水(在本文中又统称为局部覆盖硼掺杂剂),局部覆盖的硼掺杂剂图案和后续金属化电极图案相对应(本申请中是指具有相同的轴心线);接着通过退火来将非晶硅晶化为多晶硅,同时也激活硼浆(或硼墨水)中的硼掺杂剂以及完成其在多晶硅薄膜内的再分布;然后通过一定温度、浓度的碱溶液来刻蚀样品,当多晶硅表面的硼掺杂浓度不低于 $7E19\text{ cm}^{-3}$ 时,由于该温度、浓度下的碱溶液对上述局部掺硼的多晶硅薄膜区域无法实现有效的刻蚀,而无硼掺杂的多晶硅或非晶硅薄膜区域则可以被该温度、浓度下的碱溶液刻蚀掉;最后在这个局部掺硼的多晶硅薄膜上制备金属化层(金属电极图案和局部掺硼多晶硅图案相对应)。至此形成本发明所述的空穴局部钝化接触结构。

[0007] 第二种实现空穴局部钝化接触结构的方法,概括地说,是通过生长隧穿氧化硅、沉积非晶硅、选择性的硼离子注入、退火、化学溶液刻蚀以及金属化等工艺步骤来联合实现这种结构。这种方法与第一种方法的区别是采用选择性离子注入在多晶硅层上制备局部硼掺杂,局部掺硼的多晶硅薄膜的表面硼浓度要不低于 $7E19\text{ cm}^{-3}$,从而有效地阻挡碱溶液的刻蚀。其他工艺步骤与第一种方法完全相同。

[0008] 本发明给出的可以实现空穴局部钝化接触结构的方法。如前所述,该方法可分为两种,是基于具体实现选择性硼掺杂的不同制备方法来给出的。第一种是通过采用印刷硼浆或打印硼墨水实现选择性硼掺杂,第二种是通过选择性的硼离子注入来实现选择性硼掺杂。两种方法的共同点是要在多晶硅层的表面实现硼掺杂浓度不低于 $7E19\text{ cm}^{-3}$,从而能有效地阻挡碱溶液的刻蚀,以形成局部掺硼多晶硅。

[0009] 基于上述给出的实现空穴局部钝化接触结构的方法,本发明又继续给出一种简洁实用、低成本的晶体硅太阳能电池和相应的制备方法。具体来说,是将所述空穴局部钝化接触结构应用于电池正面(钝化电池正面的金属电极区域),在电池制备方法上则结合了所给出的制备空穴局部钝化接触结构的方法。这种晶体硅太阳能电池的衬底可以选用n型硅或p型硅;电池正面采用空穴局部钝化接触;电池背面可以采用全面积的电子局部钝化接触,也可以采用常规的n型掺杂结和相应的钝化膜。更为具体的电池结构特征描述和电池制备方法会在具体实施方式中给出。

[0010] 本发明具有以下有益效果:

1) 本发明给出的空穴局部钝化接触的制备方法和相应晶体硅太阳能电池的制备方法,工艺简洁,成本较低,具有良好的工业化潜力。

[0011] 2) 本发明给出的电池,其正面光学性能良好、金属化复合低,可以获得更高的光生载流子收集几率和更少的光生载流子传输损失,从而可以有效地提升电池的开路电压、短路电流和光电转换效率,也有提升其应用于光伏组件和系统的发电量。

附图说明

[0012] 图1为实施例1所述制备所述空穴局部钝化接触结构的工艺流程示意图。

[0013] 图2为制备具有空穴局部钝化接触结构的制备工艺流程(实施例1)中所对应的硅片样品的结构示意图,其中:图2-a:在局部覆盖硼掺杂剂后(第4步完成后)的结构示意图;图2-b:经过炉管或快速热处理炉高温退火后(第5步完成后)的结构示意图;图2-c:碱溶液化学刻蚀完成后的结构示意图:局部掺硼的多晶硅薄膜区域得以完全保留,未掺硼的多晶硅薄膜区域则被完全刻蚀掉;紧接着又继续在硅片表面完成制绒(第6步完成后);图2-d:对局部掺硼多晶硅薄膜区域实施金属化后(第7步完成后)的结构示意图,也是所述空穴局部钝化接触结构的最终结构示意图。

[0014] 图3为实施例2和3所述的晶体硅太阳能电池结构,即:电池正面采用空穴局部钝化接触,电池背面采用全面积的电子钝化接触。

[0015] 图4为实施例2和4所述的晶体硅太阳能电池结构,即:电池正面采用空穴局部钝化接触,电池背面采用常规的n型掺杂结和钝化层。

[0016] 附图标注:

图2:11-晶体硅衬底(n型或p型)、12-隧穿氧化硅、13-本征非晶硅、14-局部硼掺杂剂、15-掺硼多晶硅、16-绒面、17-金属电极;

图3:21-n型(或p型)晶体硅衬底、22-隧穿氧化硅、23-掺硼多晶硅、24-p型掺杂结、25-氮化硅、26-掺磷多晶硅、27-氮化硅、28-正面银电极、29-背面银电极;

图4:31-p型(或n型)晶体硅衬底、32-隧穿氧化硅、33-掺硼多晶硅、34-p型掺杂结、35-氮化硅、36-n型掺杂结、37-氮化硅、38-正面银电极、39-背面银电极。

具体实施方式

[0017] 首先,本发明给出一种可以实现空穴局部钝化接触结构的方法。如前所述,该方法可分为两种,是基于具体实现选择性硼掺杂的不同制备方法给出的。具体地,第一种是通过采用印刷硼浆或打印硼墨水实现选择性硼掺杂,第二种是通过选择性的硼离子注入来实现选择性硼掺杂。两种方法的共同点是要在多晶硅层的表面实现硼掺杂浓度不低于 $7E19\text{ cm}^{-3}$,从而能有效地阻挡碱溶液的刻蚀,以形成局部掺硼多晶硅。下面结合图1和图2所示,实施例1公开一种实现空穴局部钝化接触结构的方法,但以下实施例仅用于更加清楚地说明本发明的技术方案,而不能以此来限制本发明的保护范围。

[0018] 1)选用一种单晶n型硅片或p型硅片,也可以选用多晶或类单晶硅片,并不限于此。对所选用的硅片用碱溶液(例如氢氧化钠NaOH或氢氧化钾KOH等)或酸溶液(例如硝酸和氢氟酸的混合溶液等)进行抛光刻蚀去除损伤层。进一步,还可以在去除损伤层后继续使用碱溶液制绒,以在硅片表面形成随机金字塔形貌的绒面。

[0019] 2)在硅片表面制备隧穿氧化硅,具体方法可通过热氧化、硝酸氧化、臭氧氧化、等离子增强化学气相沉积(PECVD)等方法实现,也不限于此。隧穿氧化层厚度为0.5-2 nm(更优选地在1.2-1.6 nm),折射率是1.45-1.5左右。

[0020] 3)在隧穿氧化硅层上制备本征非晶硅,具体可采用低压化学气相沉积(LPCVD)、PECVD或物理气相沉积(PVD)等方法制备,也不限于此。厚度在10-300 nm范围(更优选地在70-150 nm)。