

(19) 日本国特許庁 (JP)

再 公 表 特 許 (A1)

(11) 国際公開番号

W02016/129481

発行日 平成29年11月16日 (2017.11.16)

(43) 国際公開日 平成28年8月18日 (2016.8.18)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 31/046 (2014.01)	HO 1 L 31/04	5 3 2 Z
HO 1 L 31/0747 (2012.01)	HO 1 L 31/06	4 5 5
		5 F 1 5 1

審査請求 未請求 予備審査請求 未請求 (全 50 頁)

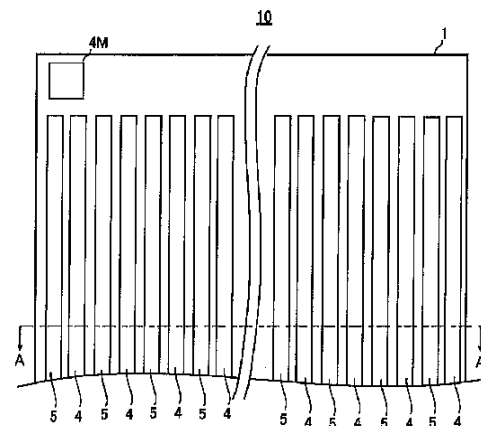
出願番号	特願2016-574758 (P2016-574758)	(71) 出願人	000005049
(21) 国際出願番号	PCT/JP2016/053226		シャープ株式会社
(22) 国際出願日	平成28年2月3日 (2016.2.3)		大阪府堺市堺区匠町 1 番地
(31) 優先権主張番号	特願2015-23477 (P2015-23477)	(74) 代理人	100120662
(32) 優先日	平成27年2月9日 (2015.2.9)		弁理士 川上 桂子
(33) 優先権主張国	日本国 (JP)	(74) 代理人	100112715
			弁理士 松山 隆夫
		(72) 発明者	酒井 敏彦
			大阪府堺市堺区匠町 1 番地 シャープ株式
			会社内
		(72) 発明者	神川 剛
			大阪府堺市堺区匠町 1 番地 シャープ株式
			会社内

最終頁に続く

(54) 【発明の名称】 光電変換素子

(57) 【要約】

n型半導体層とp型半導体層とが重なることによる光電変換効率の低下を低減しうる光電変換素子を提供する。半導体基板1表面において、n型非晶質半導体層4およびp型非晶質半導体層5は、所望の間隔を隔てて半導体基板1の裏面上に交互に配置されるとともに、n型非晶質半導体層4と同じ半導体層を含むアライメントマーク4Mが形成される。半導体基板1の表面において、アライメントマーク4Mの境界における部分には少なくともテクスチャ構造が形成される。



【特許請求の範囲】

【請求項 1】

半導体基板と、

前記半導体基板の一方の面に形成され、第 1 の導電型を有する第 1 非晶質半導体層と、
前記半導体基板の一方の面に形成されるとともに前記半導体基板の面内方向において前記第 1 非晶質半導体層に隣接して形成され、前記第 1 の導電型と反対の第 2 の導電型を有する第 2 非晶質半導体層と、

前記半導体基板の一方の面の少なくとも一部に形成されたテクスチャ構造と、前記テクスチャ構造の上に、前記第 1 非晶質半導体層及び前記第 2 非晶質半導体層の少なくとも一方の非晶質半導体層を含む光散乱層と、を備える光電変換素子。

10

【請求項 2】

請求項 1 に記載の光電変換素子において、

前記光散乱層は、前記半導体基板の一方の面において、前記第 1 非晶質半導体層と前記第 2 非晶質半導体層が形成される領域と異なる領域に形成され、前記第 1 非晶質半導体層及び前記第 2 非晶質半導体層の一方を形成する際の位置の調整に用いるためのアライメント部である、光電変換素子。

【請求項 3】

請求項 1 に記載の光電変換素子において、

前記光散乱層は、前記第 1 非晶質半導体層及び前記第 2 非晶質半導体層の少なくとも一方が形成された領域に形成され、前記第 1 非晶質半導体層及び前記第 2 非晶質半導体層の一方を形成する際の位置の調整に用いるためのアライメント部である、光電変換素子。

20

【請求項 4】

請求項 1 から 3 のいずれか一項に記載の光電変換素子において、

前記光散乱層は、さらに、前記一方の半導体層と前記半導体基板の一方の面との間に真性非晶質半導体層を含む、光電変換素子。

【請求項 5】

請求項 1 から 4 のいずれか一項に記載の光電変換素子において、

前記テクスチャ構造を平面視した場合に、前記テクスチャ構造の凸部の外接円の直径の平均値は、 $15\ \mu\text{m}$ 未満である、光電変換素子。

【発明の詳細な説明】

30

【技術分野】

【0001】

この発明は、光電変換素子に関する。

【背景技術】

【0002】

従来、n 型の結晶シリコン基板と p 型の非晶質シリコン層との間に真性（i 型）の非晶質シリコンを介在させて、界面での欠陥を低減し、ヘテロ接合界面での特性を改善させた光電変換装置が知られている（下記特許文献1参照）。

【先行技術文献】

【特許文献】

40

【0003】

【特許文献 1】特開 2010-10620 号公報

【発明の概要】

【発明が解決しようとする課題】

【0004】

結晶シリコンと p 型非晶質シリコン層との界面に真性非晶質シリコンが形成されている裏面接合型の光電変換素子の作製に際し、メタルマスク等のシャドーマスクを用い、結晶シリコン基板の裏面に n 型半導体層と p 型半導体層を別々にパターンニングする場合、先に形成される半導体層の位置に応じた適切な位置に、後に形成する半導体層を形成しなければならない。しかしながら、結晶シリコン基板のディンプルによる不均一な反射光等によ

50

って、先に形成される半導体層の位置が確実に認識できない場合、適切な位置にn型半導体層とp型半導体層とを形成することができず、n型半導体層とp型半導体層とが重なり、光電変換効率が低下する場合がある。

【0005】

本発明は、n型半導体層とp型半導体層とが重なることによる光電変換効率の低下を低減しうる光電変換素子と、それを備えた太陽電池モジュール及び太陽光発電システムを提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明に係る光電変換素子は、半導体基板と、前記半導体基板の一方の面に形成され、第1の導電型を有する第1非晶質半導体層と、前記半導体基板の一方の面に形成されるとともに前記半導体基板の面内方向において前記第1非晶質半導体層に隣接して形成され、前記第1の導電型と反対の第2の導電型を有する第2非晶質半導体層と、前記半導体基板の一方の面の少なくとも一部に形成されたテクスチャ構造と、前記テクスチャ構造の上に、前記第1非晶質半導体層及び前記第2非晶質半導体層の少なくとも一方の非晶質半導体層を含む光散乱層と、を備える。

【発明の効果】

【0007】

本発明によれば、n型半導体層とp型半導体層とが重なることによる光電変換効率の低下を低減することができる。

【図面の簡単な説明】

【0008】

【図1A】図1Aは、実施の形態1に係る光電変換素子を上から見た模式図である。

【図1B】図1Bは、図1Aに示す光電変換素子をA-A線で切断した断面図である。

【図2】図2は、大きさや形状がさまざまなピラミッド状の凹凸が複数形成されたテクスチャ構造を示す図である。

【図3】図3は、図1に示す電極および保護膜の拡大図である。

【図4】図4は、図1に示すn型非晶質半導体層の詳細な構造を示す断面図である。

【図5】図5は、図1に示すn型非晶質半導体層の他の詳細な構造を示す断面図である。

【図6】図6は、図1に示す光電変換素子の製造方法を示す第1の工程図である。

【図7】図7は、図1に示す光電変換素子の製造方法を示す第2の工程図である。

【図8】図8は、図1に示す光電変換素子の製造方法を示す第3の工程図である。

【図9】図9は、図1に示す光電変換素子の製造方法を示す第4の工程図である。

【図10】図10は、図1に示す光電変換素子の製造方法を示す第5の工程図である。

【図11A】図11Aは、実施の形態1におけるn型非晶質半導体層を形成する際に用いるシャドーマスクを上から見た模式図である。

【図11B】図11Bは、実施の形態1におけるp型非晶質半導体層を形成する際に用いるシャドーマスクを上から見た模式図である。

【図11C】図11Cは、図11Bに示すシャドーマスクの位置合わせを説明する模式図である。

【図12】図12の(a)～(d)は、裏面の状態が各々異なる半導体基板にアライメントマークを形成した場合のアライメントマークの光学顕微鏡画像の比較例を示す図である。

【図13A】図13Aは、図1に示す光電変換素子の裏面側から見た平面図である。

【図13B】図13Bは、配線シートの平面図である。

【図14A】図14Aは、実施の形態2による光電変換素子を上から見た模式図である。

【図14B】図14Bは、図14Aに示す光電変換素子の製造方法を示す工程図である。

【図14C】図14Cは、実施の形態2による他の例の半導体基板を上から見た模式図である。

【図15A】図15Aは、実施の形態3におけるn型非晶質半導体層を形成する際に用い

るシャドーマスクを上から見た模式図である。

【図 1 5 B】図 1 5 B は、実施の形態 3 における p 型非晶質半導体層を形成する際に用いるシャドーマスクを上から見た模式図である。

【図 1 6】図 1 6 は、実施の形態 3 における半導体基板を上から見た模式図である。

【図 1 7】図 1 7 は、実施の形態 4 に係る光電変換素子の構成を示す断面図である。

【図 1 8】図 1 8 は、図 1 7 に示す光電変換素子の製造方法を示す工程図である。

【図 1 9】図 1 9 は、図 1 7 に示す光電変換素子の製造方法を示す工程図である。

【図 2 0】図 2 0 は、図 1 7 に示す光電変換素子の製造方法を示す工程図である。

【図 2 1】図 2 1 は、図 1 7 に示す光電変換素子の製造方法を示す工程図である。

【図 2 2】図 2 2 は、実施の形態 5 による光電変換素子を備える光電変換モジュールの構成を示す概略図である。

【図 2 3】図 2 3 は、実施の形態 6 による光電変換素子を備える太陽光発電システムの構成を示す概略図である。

【図 2 4】図 2 4 は、図 2 3 に示す光電変換モジュールアレイの構成を示す概略図である。

【図 2 5】図 2 5 は、実施の形態 6 による光電変換素子を備える別の太陽光発電システムの構成を示す概略図である。

【図 2 6】図 2 6 は、実施の形態 7 による光電変換素子を備える太陽光発電システムの構成を示す概略図である。

【図 2 7】図 2 7 は、実施の形態 7 による光電変換素子を備える別の太陽光発電システムの構成を示す概略図である。

【発明を実施するための形態】

【0009】

本発明の一実施形態に係る光電変換素子は、半導体基板と、前記半導体基板の一方の面に形成され、第 1 の導電型を有する第 1 非晶質半導体層と、前記半導体基板の一方の面に形成されるとともに前記半導体基板の面内方向において前記第 1 非晶質半導体層に隣接して形成され、前記第 1 の導電型と反対の第 2 の導電型を有する第 2 非晶質半導体層と、前記半導体基板の一方の面の少なくとも一部に形成されたテクスチャ構造と、前記テクスチャ構造の上に、前記第 1 非晶質半導体層及び前記第 2 非晶質半導体層の少なくとも一方の非晶質半導体層を含む光散乱層と、を備える（第 1 の構成）。

【0010】

第 1 の構成によれば、半導体基板の一方の面の少なくとも一部に、テクスチャ構造が形成され、テクスチャ構造の上に第 1 非晶質半導体層及び第 2 非晶質半導体層の少なくとも一方の非晶質半導体層を含む光散乱層を有する。光散乱層におけるテクスチャ構造によって、光散乱層の反射率は略均一となるため、光散乱層の位置を特定しやすくなる。そのため、光散乱層における第 1 非晶質半導体層及び第 2 非晶質半導体層の少なくとも一方の位置を特定することができ、第 1 非晶質半導体層と第 2 非晶質半導体層とが重ならないように第 1 非晶質半導体層と第 2 非晶質半導体層とを形成することができる。

【0011】

第 2 の構成は、第 1 の構成において、前記光散乱層は、前記半導体基板の一方の面において、前記第 1 非晶質半導体層と前記第 2 非晶質半導体層が形成される領域と異なる領域に形成され、前記第 1 非晶質半導体層及び前記第 2 非晶質半導体層の一方を形成する際の位置の調整に用いるアライメント部であることとしてもよい。

【0012】

第 2 の構成によれば、アライメント部は、第 1 非晶質半導体層及び第 2 非晶質半導体層が形成される領域とは異なる領域に形成され、第 1 非晶質半導体層及び第 2 非晶質半導体層の一方を形成する際の位置の調整に用いられる。そのため、第 1 非晶質半導体層及び第 2 非晶質半導体層が形成される領域にアライメント部が形成される場合と比べ、アライメント部の位置を特定しやすく、第 1 非晶質半導体層と第 2 非晶質半導体層とが重ならないように、より適切な位置に第 1 非晶質半導体層及び第 2 非晶質半導体層を形成することが

できる。

【0013】

第3の構成は、第2の構成において、前記アライメント部は、前記光電変換素子を識別する識別情報を含むこととしてもよい。

【0014】

第3の構成によれば、アライメント部の識別情報によって光電変換素子を識別することができる。

【0015】

第4の構成は、第1の構成において、前記光散乱層は、前記第1非晶質半導体層及び前記第2非晶質半導体層の少なくとも一方が形成された領域に形成され、前記第1非晶質半導体層及び前記第2非晶質半導体層の一方を形成する際の位置の調整に用いるためのアライメント部であることとしてもよい。

10

【0016】

第4の構成によれば、アライメント部が第1非晶質半導体層及び第2非晶質半導体層が形成される領域と異なる領域に形成される場合と比べ、半導体基板の一方の面における第1非晶質半導体層及び第2非晶質半導体層が形成される領域を大きくすることができる。

【0017】

第5の構成は、第1の構成において、前記光散乱層は、前記第1非晶質半導体層及び前記第2非晶質半導体層の少なくとも一方が形成された領域に形成され、前記第1非晶質半導体層及び前記第2非晶質半導体層が形成された位置の検査に用いるための検査部であることとしてもよい。

20

【0018】

第5の構成によれば、検査部におけるテクスチャ構造によって、第1非晶質半導体層と第2非晶質半導体層の少なくとも一方が形成された位置を特定しやすくなるため、第1非晶質半導体層と第2非晶質半導体層が適切な位置に形成されているか否か検査することができる。

【0019】

第6の構成は、第1から第5のいずれかの構成において、前記光散乱層は、さらに、前記一方の半導体層と前記半導体基板の一方の面との間に真性非晶質半導体層を含むこととしてもよい。

30

【0020】

第6の構成によれば、光散乱層における非晶質半導体層が先に形成される場合、光散乱層の膜厚は当該非晶質半導体層が形成されていない領域よりも厚くなるため、光散乱層のコントラストが高くなる。その結果、光散乱層が形成されている位置がより特定しやすくなり、後に形成される非晶質半導体層をより適切な位置に形成できる。

【0021】

第7の構成は、第1から第6のいずれかの構成において、前記テクスチャ構造を平面視した場合に、前記テクスチャ構造の凸部の外接円の直径の平均値は、15 μm 未満であることとしてもよい。

【0022】

第6の構成によれば、半導体基板の一方の面からの反射光量が小さくなるため、アライメント部の位置を特定しやすくなる。

40

【0023】

本発明の実施の形態について図面を参照しながら詳細に説明する。なお、図中同一または相当部分には同一符号を付してその説明は繰返さない。また、説明を分かりやすくするために、以下で参照する図面においては、構成が簡略化または模式化して示されたり、一部の構成部材が省略されたりしている。また、各図に示された構成部材間の寸法比は、必ずしも実際の寸法比を示すものではない。

【0024】

この明細書においては、非晶質半導体層は、微結晶相を含んで良いものとする。微結晶

50

相は、平均粒子径が1～50nmである結晶を含む。

【0025】

〔実施の形態1〕

図1Aは、実施の形態1による光電変換素子を上から見た模式図である。また、図1Bは、図1Aに示す光電変換素子10をA-A線で切断した光電変換素子10の構成を示す断面図である。図1Aを参照して、光電変換素子10は、半導体基板1の一方の面の面内方向において、n型非晶質半導体層4とp型非晶質半導体層5が交互に配置されている。また、半導体基板1の一方の面には、n型非晶質半導体層4とp型非晶質半導体層5とが形成されている領域と異なる領域にアライメントマーク4Mが形成されている。以下、光電変換素子10の具体的な構成について説明する。

10

【0026】

図1A及び1Bを参照して、光電変換素子10は、半導体基板1と、反射防止膜2と、パッシベーション膜3と、n型非晶質半導体層4と、p型非晶質半導体層5と、電極6、7と、保護膜8と、アライメントマーク4Mとを備える。

【0027】

半導体基板1において反射防止膜2が形成された面から太陽光が入射される。以下、反射防止膜2が形成された面を「受光面」、n型非晶質半導体層4と、p型非晶質半導体層5が形成された面を「裏面」と呼ぶ。

【0028】

半導体基板1は、例えば、n型単結晶シリコン基板からなる。半導体基板1は、例えば、100～150μmの厚さを有する。そして、半導体基板1は、図1に示すように基板の両面にテクスチャ構造が形成されている。本実施形態におけるテクスチャのサイズは15μm未満である。テクスチャサイズの詳細については後述する。

20

【0029】

反射防止膜2は、半導体基板1の受光面に接して配置される。

【0030】

パッシベーション膜3は、半導体基板1の裏面に接して配置される。

【0031】

n型非晶質半導体層4は、パッシベーション膜3に接して配置される。

【0032】

p型非晶質半導体層5は、パッシベーション膜3に接し、半導体基板1の面内方向においてn型非晶質半導体層4に隣接して配置される。より詳しくは、p型非晶質半導体層5は、半導体基板1の面内方向においてn型非晶質半導体層4との間で所望の間隔を隔てて配置される。

30

【0033】

n型非晶質半導体層4およびp型非晶質半導体層5は、半導体基板1の面内方向において交互に配置される。

【0034】

図1Bではアライメントマーク4Mが図示されていないが、アライメントマーク4Mは、n型非晶質半導体層4と同じ半導体層を含み、アライメントマーク4Mの上部にはp型非晶質半導体層5と同じ半導体層が堆積されている。光電変換素子10の具体的な製造方法は後述するが、本実施の形態では、n型非晶質半導体層4を形成した後、p型非晶質半導体層5が形成される。アライメントマーク4Mは、p型非晶質半導体層5を形成する際に用いるシャドーマスクの位置の調整に用いられる。

40

【0035】

本実施の形態において、アライメントマーク4Mは、光散乱層の一例である。光散乱層は、半導体基板1の裏面の少なくとも一部に形成されたテクスチャ構造と、n型非晶質半導体層4及びp型非晶質半導体層5の少なくとも一方と同じ非晶質半導体層を含む。本実施の形態では、アライメントマーク4Mは、p型非晶質半導体層5を形成する際のシャドーマスクの位置の調整に用いられるアライメント部として機能する。

50

【0036】

電極6は、n型非晶質半導体層4上に、n型非晶質半導体層4に接して配置される。

【0037】

電極7は、p型非晶質半導体層5上に、p型非晶質半導体層5に接して配置される。

【0038】

保護膜8は、パッシベーション膜3、n型非晶質半導体層4、p型非晶質半導体層5および電極6、7に接して配置される。より詳しくは、保護膜8は、隣接するn型非晶質半導体層4およびp型非晶質半導体層5間において、n型非晶質半導体層4、p型非晶質半導体層5および電極6、7の一部に接して配置されるとともに、n型非晶質半導体層4とp型非晶質半導体層5との間に配置されたパッシベーション膜3の一部に接して配置される。そして、保護膜8は、電極6、7上に開口部8Aを有し、電極6、7の端から電極6、7の内側へ向かって5 μ m以上の領域に形成される。

10

【0039】

反射防止膜2は、例えば、窒化シリコン膜からなり、例えば、60nmの膜厚を有する。また反射防止層2と受光面の間に、真性非晶質半導体層や、n型、p型の導電型の非晶質半導体層が挿入されていてもよい。この場合、受光面のパッシベーション性を向上することができるため好ましい。

【0040】

パッシベーション膜3は、例えば、非晶質シリコン、非晶質シリコンの酸化物、非晶質シリコンの窒化物、非晶質シリコンの酸窒化物、および多結晶シリコンのいずれかからなる。

20

【0041】

パッシベーション膜3が非晶質シリコンの酸化物からなる場合、パッシベーション膜3は、シリコンの熱酸化膜からなっているとしてもよいし、プラズマCVD (Chemical Vapor Deposition) 法等の気相成膜法によって形成されたシリコンの酸化物からなっているとしてもよい。

【0042】

パッシベーション膜3は、例えば、1~20nmの膜厚を有し、好ましくは、3~8nmの膜厚を有する。そして、パッシベーション膜3がシリコンの絶縁膜からなる場合、パッシベーション膜3は、キャリア（電子および正孔）がトンネル可能な膜厚を有する。実施の形態1においては、パッシベーション膜3は、シリコンの熱酸化膜からなり、パッシベーション膜3の膜厚は、2nmに設定されている。

30

【0043】

n型非晶質半導体層4は、n型の導電性を有し、水素を含有する非晶質半導体層である。n型非晶質半導体層4は、例えば、n型非晶質シリコン、n型非晶質シリコンゲルマニウム、n型非晶質ゲルマニウム、n型非晶質シリコンカーバイド、n型非晶質シリコンナイトライド、n型非晶質シリコンオキシライド、n型非晶質シリコンオキシナイトライド、およびn型非晶質シリコンカーボンオキシライド等からなる。n型非晶質半導体層4は、例えば、n型ドーパントとしてリン（P）を含む。そして、n型非晶質半導体層4は、例えば、5~50nmの膜厚を有する。

40

【0044】

p型非晶質半導体層5は、p型の導電性を有し、水素を含有する非晶質半導体層である。p型非晶質半導体層5は、例えば、p型非晶質シリコン、p型非晶質シリコンゲルマニウム、p型非晶質ゲルマニウム、p型非晶質シリコンカーバイド、p型非晶質シリコンナイトライド、p型非晶質シリコンオキシライド、p型非晶質シリコンオキシナイトライド、およびp型非晶質シリコンカーボンオキシライド等からなる。p型非晶質半導体層5は、例えば、p型ドーパントとしてボロン（B）を含む。そして、p型非晶質半導体層5は、例えば、5~50nmの膜厚を有する。

【0045】

[テクスチャサイズの定義]

50

ここで、テクスチャサイズについて説明する。本明細書において、テクスチャのサイズとは、半導体基板1の主面を平面視した状態、すなわち半導体基板1の主面に対して垂直上方から見た状態におけるサイズを意味する。テクスチャの具体例としては、主面が(100)面であるn型単結晶シリコン基板に、異方性エッチングを施すことによって得られるピラミッド状(四角錐状や四角錐台状)の凹凸構造がある。実際のテクスチャは、図2に示すように、大きさや形状がさまざまなピラミッド状の凹凸が複数形成されている。この凹凸には、重なり合っているものや、変形したものも含まれている。

【0046】

本実施の形態では、テクスチャを平面視した場合に、テクスチャの凸部の外接円の直径の平均値をテクスチャのサイズと定義する。ここでは、下記の方法により、テクスチャのサイズを求めた。

10

【0047】

半導体基板1の主面において $100\mu\text{m} \times 100\mu\text{m}$ の大きさの領域を抽出し、抽出した領域に含まれるピラミッド状の凹凸の側面の斜線長(平面視における斜線長) r のうち、斜線長 r が長いものから順に20個(r_1 、 r_2 、 $\dots$ 、 r_{20})を検出する。そして、検出した20個の斜線長 r (r_1 、 r_2 、 $\dots$ 、 r_{20})の平均値 r_{ave} の2倍をテクスチャ構造のサイズとする。これは、半導体基板1の主面における $100\mu\text{m} \times 100\mu\text{m}$ の大きさの領域内で、テクスチャを平面視した場合に、ピラミッド状の凸部の外接円の直径 R のうち、長いものから順に20個(R_1 、 R_2 、 $\dots$ 、 R_{20})を検出し、検出した20個の外接円の直径 R の平均長と等しい。

20

【0048】

なお、ピラミッド状の凹凸の底面の一边の長さに基づいて、テクスチャのサイズを定義してもいいし、ピラミッド状の凹凸の高さに基づいて、テクスチャのサイズを定義してもよい。例えば、ピラミッド状の凹凸の形状が、正方形の底面を有する四角錐である場合、底面の一边の長さ a は、平面視した側面の斜線長 r と $a = 2 \times r / \sqrt{2}$ の関係がある。また、底面と、側面の斜辺との成す角 θ をテクスチャの傾斜角とした場合、高さ b は、 $b = r \times \tan \theta$ の関係がある。

【0049】

次に、電極6、7及び保護膜8の具体的な構造について説明する。図3は、図1に示す電極6、7および保護膜8の拡大図である。図3の(a)は、電極6が形成されている部分の拡大図であり、図3の(b)は、電極7が形成されている部分の拡大図である。なお、図3では、電極6、7および保護膜8の構造を分かり易くするため、半導体基板1の裏面が平坦であり、平坦なパッシベーション膜3の上にn型非晶質半導体層4、及びp型非晶質半導体層5が形成されている構造を図示している。実際には、テクスチャが形成された半導体基板1の裏面にパッシベーション膜3が形成され、凹凸形状を有するパッシベーション膜3の上にn型非晶質半導体層4、及びp型非晶質半導体層5が形成されている。

30

【0050】

図3の(a)に示すように、電極6は、導電層6a、6bからなる。導電層6aは、n型非晶質半導体層4に接して配置される。導電層6bは、導電層6aに接して配置される。保護膜8の開口部8Aの幅を L とし、電極6、7の端から開口部8Aまでの距離を H とした場合、導電層6a、6bは、n型非晶質半導体層4の面内方向において、n型非晶質半導体層4の中心から両側に $H + L/2$ の範囲に形成される。幅 L は、例えば、 $20\mu\text{m}$ 以上であり、好ましくは、 $100\mu\text{m}$ 以上である。幅 L がこのような値に設定されることによって、外部配線と電極6、7との密着性を確保できるとともに、コンタクト抵抗を低下できる。また、距離 H は、電極6、7と保護膜8との密着性を考慮すると、例えば、 $5\mu\text{m}$ 以上である。

40

【0051】

図3の(b)に示すように、電極7は、導電層7a、7bからなる。導電層7aは、p型非晶質半導体層5に接して配置される。導電層7bは、導電層7aに接して配置される。導電層7a、7bは、p型非晶質半導体層5の面内方向において、p型非晶質半導体層

50

5 の中心から両側に $H + L / 2$ の範囲に形成される。

【0052】

その結果、電極 6, 7 の各々は、n 型非晶質半導体層 4 および p 型非晶質半導体層 5 の面内方向において、 $2H + L$ の長さを有する。

【0053】

図 3 の (a) (b) に示すように、保護膜 8 は、例えば、保護層 8 a, 8 b の 2 層構成からなる。保護膜 8 が n 型非晶質半導体層 4 上に形成される場合、保護層 8 a は、パッシベーション膜 3、n 型非晶質半導体層 4 および電極 6 に接して配置される。保護層 8 b は、保護層 8 a に接して配置される。保護膜 8 が p 型非晶質半導体層 5 上に形成される場合、保護層 8 a は、パッシベーション膜 3、p 型非晶質半導体層 5 および電極 7 に接して配置される。保護層 8 b は、保護層 8 a に接して配置される。

10

【0054】

そして、n 型非晶質半導体層 4 の面内方向において、電極 6 の端よりも n 型非晶質半導体層 4 の外側の領域をギャップ領域 G 1 と言い、p 型非晶質半導体層 5 の面内方向において、電極 7 の端よりも p 型非晶質半導体層 5 の外側の領域をギャップ領域 G 2 と言う。その結果、n 型非晶質半導体層 4 の面内方向において n 型非晶質半導体層 4 の両側にギャップ領域 G 1 が存在する。また、p 型非晶質半導体層 5 の面内方向において p 型非晶質半導体層 5 の両側にギャップ領域 G 2 が存在する。

【0055】

保護膜 8 がパッシベーション膜 3、n 型非晶質半導体層 4 および電極 6 に接して配置されるとともにパッシベーション膜 3、p 型非晶質半導体層 5 および電極 7 に接して配置される結果、半導体基板 1 の面内方向において隣接する n 型非晶質半導体層 4 および p 型非晶質半導体層 5 の領域では、ギャップ領域 G (= G 1 + G 2) が存在し、保護膜 8 は、図 1 に示すように、電極 6, 7 およびギャップ領域 G 上に形成されることになる。このギャップ領域 G は、パッシベーション膜 3、n 型非晶質半導体層 4 および p 型非晶質半導体層 5 がむき出しになった領域であり、例えば、 $20 \mu\text{m} \sim 500 \mu\text{m}$ の幅を有する。

20

【0056】

電極 6, 7 が例えば銀 (Ag) やアルミニウム (Al) で構成されている場合、電極 6, 7 の反射率は 90% 以上となる。半導体基板 1 の裏面には、 $800 \sim 1200 \text{ nm}$ 程度の長波長領域の光が到達する。半導体基板 1 の受光面から入射してきた光が、電極 6, 7 が設けられている領域 n, p に入射すると、電極 6, 7 によって反射されて半導体基板 1 内に戻り、半導体基板 1 に吸収される。しかし、電極 6, 7 が設けられていないギャップ領域 G (図 1 参照) に光が入射した場合、電極 6, 7 による反射が無い場合、半導体基板 1 の裏面側に光が抜け、入射光を有効に利用できない場合がある。ギャップ領域 G の幅が広がると、電極 6, 7 で反射されない光が増えるため、好ましくない。このため、ギャップ領域 G の幅は $500 \mu\text{m}$ 以下が好ましく、 $300 \mu\text{m}$ 以下であることがより好ましい。

30

【0057】

導電層 6 a, 7 a の各々は、透明導電膜からなる。透明導電膜は、例えば、ITO (Indium Tin Oxide)、ZnO および IWO (Indium Tungsten Oxide) などからなる。

40

【0058】

導電層 6 b, 7 b の各々は、金属からなる。金属は、例えば、銀 (Ag)、ニッケル (Ni)、アルミニウム (Al)、銅 (Cu)、錫 (Sn)、白金 (Pt)、金 (Au)、クロム (Cr)、タングステン (W)、コバルト (Co) およびチタン (Ti) のいずれか、またはこれらの合金、またはこれら金属の 2 層以上の積層膜からなる。

【0059】

導電層 6 a, 7 a としては、それぞれ、n 型非晶質半導体層 4 および p 型非晶質半導体層 5 と密着性が良い透明導電膜を用いることが好ましく、導電層 6 b, 7 b としては、導電率が高い金属を用いることが好ましい。

【0060】

50

導電層 6 a, 7 a の各々の膜厚は、例えば、3 ~ 100 nm である。導電層 6 b, 7 b の各々の膜厚は、50 nm 以上であることが好ましく、実施の形態 1 においては、例えば、0.8 μ m である。

【0061】

なお、実施の形態 1 においては、電極 6 は、導電層 6 b のみからなっており、電極 7 は、導電層 7 b のみからなっている。この場合、導電層 6 a, 7 a が無く、導電層 6 b, 7 b がそれぞれ n 型非晶質半導体層 4 および p 型非晶質半導体層 5 に接する。

【0062】

導電層 6 a, 7 a が無い場合、導電層 6 b, 7 b は、金属膜で構成されており、それぞれ、下地である n 型非晶質半導体層 4 および p 型非晶質半導体層 5 と密着性が高い金属であることが好ましい。例えば、導電層 6 b, 7 b は、Ti, Ni, Al, Cr 等からなり、かつ、1 ~ 10 nm 程度の膜厚を有する密着層と、Al, Ag 等を主成分とする光反射金属との積層構造からなる。

【0063】

また、導電層 6 b, 7 b は、保護膜 8 と接するため、保護膜 8 との密着性を考慮する必要がある。保護膜 8 として、シリコン、アルミニウム、チタンおよびジルコニア等の酸化膜、シリコンおよびアルミニウムの窒化膜、シリコンおよびアルミニウムの酸窒化膜等を用いた場合、導電層 6 b, 7 b の保護膜 8 側の表面は、Al、インジウム (In)、Ti、Ni、Cu、Cr、W、Co、パラジウム (Pd) および Sn 等の金属からなることが好ましい。

【0064】

更に、電極 6, 7 の各々は、透明導電膜の単膜からなっている。この場合、透明導電膜は、上述した ITO 等からなる。

【0065】

保護層 8 a, 8 b の各々は、無機絶縁膜からなる。無機絶縁膜は、酸化膜、窒化膜および酸窒化膜等からなる。

【0066】

酸化膜は、シリコン、アルミニウム、チタン、ジルコニア、ハフニウム、亜鉛、タンタルおよびイットリウム等の酸化膜からなる。

【0067】

窒化膜は、シリコンおよびアルミニウム等の窒化膜からなる。

【0068】

酸窒化膜は、シリコンおよびアルミニウム等の酸窒化膜からなる。

【0069】

そして、保護層 8 b は、保護層 8 a と異なる無機絶縁膜からなる。即ち、上述した無機絶縁膜の中から 2 種類の膜を選択して保護層 8 a, 8 b を形成する。

【0070】

また、保護層 8 a が半導体層からなり、保護層 8 b が上述した無機絶縁膜からなっている。

【0071】

この場合、半導体層は、非晶質半導体層からなる。そして、非晶質半導体層は、非晶質シリコン、非晶質シリコンゲルマニウム、非晶質ゲルマニウム、非晶質シリコンカーバイド、非晶質シリコンナイトライド、非晶質シリコンオキサイド、非晶質シリコンオキシナイトライドおよび非晶質シリコンカーボンオキサイド等からなる。絶縁性が高い方が電極 6, 7 間のリークを抑制できるため、保護層 8 a は、真性の非晶質半導体層からなることが好ましい。例えば、保護層 8 a は、真性の非晶質シリコンからなり、保護層 8 b は、シリコンの窒化膜からなる。

【0072】

但し、保護層 8 b が絶縁膜からなる場合、保護層 8 a は、n 型非晶質半導体層または p 型非晶質半導体層からなっている。

【0073】

保護層8bは、正の固定電荷を持つ誘電体膜からなることが好ましい。正の固定電荷を持つ誘電体膜は、例えば、シリコンの窒化膜およびシリコンの酸窒化膜である。

【0074】

半導体基板1は、n型単結晶シリコンからなるので、保護層8bが正の固定電荷を持つ誘電体膜からなる場合、保護層8bは、少数キャリアである正孔に対して電界を及ぼし、ギャップ領域Gにおける少数キャリア（正孔）のライフタイムを長く維持することができる。

【0075】

保護膜8は、2層構造に限らず、単層、または2層構造以上の多層構造からなっていて

10

【0076】

保護膜8が単層からなる場合、保護膜8は、上述した無機絶縁膜の中から選択された1種類の膜からなる。

【0077】

保護膜8が多層構造からなる場合、保護膜8は、上述した保護層8a、8bを多層構造の中に含む。

【0078】

上述したように、保護膜8が2層構造からなる場合、保護層8aを非晶質半導体層で形成し、保護層8bを絶縁膜で形成することによって、n型非晶質半導体層4およびp型非晶質半導体層5に対するパッシベーション性と、電極6、7間の絶縁性とを両立できるので、好ましい。

20

【0079】

また、半導体基板1がn型シリコン基板からなる場合、正の固定電荷を持つ誘電体膜によって保護層8bを形成することにより、電界をギャップ領域に及ぼし、ギャップ領域における少数キャリア（正孔）のライフタイムを長くできるので、更に、好ましい。

【0080】

更に、上述した無機絶縁膜が保護膜8の多層構造の中に含まれる場合、非晶質半導体層（n型非晶質半導体層4およびp型非晶質半導体層5）に拡散してくる水分等を防ぐ防湿効果を得ることができるので、好ましい。上述した無機絶縁膜の中でも、シリコンの窒化膜、シリコンの酸窒化膜は、他の無機絶縁膜に比べて防湿性が特に高いため、特に好ましい。そして、n型シリコン基板を用いた場合には、防湿性と正の固定電荷による電界効果とを合わせて得ることができるので、光電変換素子10の長期的な信頼性と高効率化とを両立することができる。

30

【0081】

例えば、保護膜8が2層構造以上の多層膜、例えば、3層構造からなる場合、1つの保護層（n型非晶質半導体層4またはp型非晶質半導体層5に接する保護層）が非晶質半導体層からなり、残りの2つの保護層が無機絶縁膜の中から選択された2種類の膜からなる。

【0082】

更に、保護膜8が単層または多層からなる場合、保護膜8は、上述した無機絶縁膜上に有機物の絶縁膜等が形成された構造からなっていてよい。

40

【0083】

有機物は、例えば、イミド系樹脂、エポキシ樹脂、フッ素樹脂、ポリカーボネート、および液晶ポリマー等からなる。

【0084】

イミド系樹脂は、例えば、ポリイミドである。フッ素樹脂は、例えば、ポリテトラフルオロエチレン（PTFE）である。また、有機物は、スクリーン印刷で形成されたレジストであってもよい。

【0085】

50

図４は、図１に示すｎ型非晶質半導体層４の詳細な構造を示す断面図である。なお、この図では、半導体基板１の裏面が平坦であり、平坦なパッシベーション膜３の上に、ｎ型非晶質半導体層４が形成されている構造を示しているが、実際には、半導体基板１の裏面にはテクスチャ構造が形成されている。

【００８６】

図４を参照して、ｎ型非晶質半導体層４は、ｎ型非晶質半導体層４の面内方向において、フラット領域ＦＴと、膜厚減少領域ＴＤとを有する。フラット領域ＦＴは、ｎ型非晶質半導体層４のうち、最も厚い膜厚を有し、かつ、膜厚がほぼ一定である部分からなる。

【００８７】

フラット領域ＦＴの両端の点をＡ点とし、膜厚の減少率が第１の減少率から第１の減少率よりも大きい第２の減少率に変化する点をＢ点としたとき、膜厚減少領域ＴＤは、ｎ型非晶質半導体層４の面内方向においてＡ点からＢ点までの領域である。

【００８８】

そして、膜厚減少領域ＴＤは、ｎ型非晶質半導体層４の面内方向においてフラット領域ＦＴの両側に配置される。

【００８９】

ｎ型非晶質半導体層４が膜厚減少領域ＴＤを有するのは、後述するように、シャドーマスクを用いてプラズマＣＶＤ法によってｎ型非晶質半導体層４を形成するからである。膜厚減少領域ＴＤは、フラット領域ＦＴよりも薄い膜厚を有するので、膜厚減少領域ＴＤのドーパント濃度は、フラット領域ＦＴのドーパント濃度よりも高い。

【００９０】

電極６は、ｎ型非晶質半導体層４のフラット領域ＦＴの全体と膜厚減少領域ＴＤの一部とに接して配置される。

【００９１】

ｐ型非晶質半導体層５も、図４に示すｎ型非晶質半導体層４と同じ構造からなる。そして、電極７は、ｐ型非晶質半導体層５のフラット領域ＦＴの全体と膜厚減少領域ＴＤの一部とに接して配置される。

【００９２】

その結果、キャリア（電子）がｎ型非晶質半導体層４を介して電極６へ到達するときの抵抗は、パッシベーション膜３の面内方向において一定の膜厚を有するｎ型非晶質半導体層が形成される場合に比べ低抵抗になる。また、キャリア（正孔）がｐ型非晶質半導体層５を介して電極７へ到達するときの抵抗は、パッシベーション膜３の面内方向において一定の膜厚を有するｐ型非晶質半導体層が形成される場合に比べ低抵抗になる。従って、光電変換素子１０の変換効率を向上できる。

【００９３】

なお、電極６は、ｎ型非晶質半導体層４の膜厚減少領域ＴＤの全体に接していてもよく、電極７は、ｐ型非晶質半導体層５の膜厚減少領域ＴＤの全体に接していてもよい。

【００９４】

図５は、図１に示すｎ型非晶質半導体層４の他の詳細な構造を示す断面図である。図５の（ａ）を参照して、光電変換素子１０は、ｎ型非晶質半導体層４に代えてｎ型非晶質半導体層４１を備え、電極６に代えて電極６１を備えていてもよい。

【００９５】

ｎ型非晶質半導体層４１において、膜厚が最大である点をＣ点とし、膜厚の減少率が第１の減少率から第１の減少率よりも大きい第２の減少率に変化する点をＤ点とする。その結果、膜厚減少領域ＴＤは、ｎ型非晶質半導体層４１の面内方向においてＣ点からＤ点までの領域である。

【００９６】

そして、ｎ型非晶質半導体層４１は、ｎ型非晶質半導体層４１の面内方向において２つの膜厚減少領域ＴＤを有する。２つの膜厚減少領域ＴＤは、ｎ型非晶質半導体層４１の面内方向において相互に接して配置される。

【0097】

電極61は、2つの膜厚減少領域TDのうち、一方の膜厚減少領域TDの一部と他方の膜厚減少領域TDの一部とに接して配置される。

【0098】

光電変換素子10は、p型非晶質半導体層5に代えて、図5の(a)に示すn型非晶質半導体層41と同じ構造からなるp型非晶質半導体層を備えていてもよい。

【0099】

その結果、キャリア（電子）がn型非晶質半導体層41を介して電極61へ到達するときの抵抗は、パッシベーション膜3の面内方向において一定の膜厚を有するn型非晶質半導体層が形成される場合に比べ低抵抗になる。また、キャリア（正孔）がn型非晶質半導体層41と同じ構造を有するp型非晶質半導体層を介して電極へ到達するときの抵抗は、パッシベーション膜3の面内方向において一定の膜厚を有するp型非晶質半導体層が形成される場合に比べ低抵抗になる。従って、光電変換素子10の変換効率を向上できる。

10

【0100】

なお、電極61は、n型非晶質半導体層41と、n型非晶質半導体層41と同じ構造を有するp型非晶質半導体層とにおいて、2つの膜厚減少領域TDの全体に接して配置されているともよい。

【0101】

図5の(b)を参照して、光電変換素子10は、n型非晶質半導体層4に代えてn型非晶質半導体層42を備え、電極6に代えて電極62を備えていてもよい。

20

【0102】

n型非晶質半導体層42において、膜厚が最大である点をE点とし、膜厚の減少率が第1の減少率から第1の減少率よりも大きい第2の減少率に変化する点をF点とし、膜厚の変化率の符号が負から正に変化する点をG点とする。

【0103】

その結果、膜厚減少領域TD1は、n型非晶質半導体層42の面内方向においてE点からF点までの領域であり、膜厚減少領域TD2は、n型非晶質半導体層42の面内方向においてE点からG点までの領域である。

【0104】

そして、n型非晶質半導体層42は、n型非晶質半導体層42の面内方向において2つの膜厚減少領域TD1と2つの膜厚減少領域TD2とを有する。

30

【0105】

2つの膜厚減少領域TD2は、n型非晶質半導体層42の面内方向における膜厚分布がG点を通る線に対して対称になるように配置される。2つの膜厚減少領域TD1は、n型非晶質半導体層42の面内方向において2つの膜厚減少領域TD2の両側に配置される。

【0106】

電極62は、2つの膜厚減少領域TD2の全体と、一方の膜厚減少領域TD1の一部と、他方の膜厚減少領域TD1の一部とに接して配置される。

【0107】

光電変換素子10は、p型非晶質半導体層5に代えて、図5の(b)に示すn型非晶質半導体層42と同じ構造からなるp型非晶質半導体層を備えていてもよい。

40

【0108】

その結果、キャリア（電子）がn型非晶質半導体層42を介して電極62へ到達するときの抵抗は、パッシベーション膜3の面内方向において一定の膜厚を有するn型非晶質半導体層が形成される場合に比べ低抵抗になる。また、キャリア（正孔）がn型非晶質半導体層42と同じ構造を有するp型非晶質半導体層を介して電極へ到達するときの抵抗は、パッシベーション膜3の面内方向において一定の膜厚を有するp型非晶質半導体層が形成される場合に比べ低抵抗になる。従って、光電変換素子10の変換効率を向上できる。

【0109】

なお、電極62は、n型非晶質半導体層42と、n型非晶質半導体層42と同じ構造を

50

有する p 型非晶質半導体層とにおいて、2つの膜厚減少領域 T D 1 の全体と、2つの膜厚減少領域 T D 2 の全体とに接して配置されていてもよい。

【0110】

このように、光電変換素子 10 は、膜厚減少領域 T D (T D 1, T D 2) を有する n 型非晶質半導体層および p 型非晶質半導体層を備える。そして、この発明の実施の形態においては、膜厚減少領域は、膜厚減少領域 T D, T D 1, T D 2 のいずれかからなる。

【0111】

従って、n 型非晶質半導体層または p 型非晶質半導体層の膜厚が最大である点を第 1 の点とし、n 型非晶質半導体層または p 型非晶質半導体層の面内方向において、膜厚の減少率が第 1 の減少率から第 1 の減少率よりも大きい第 2 の減少率に変化する点、または膜厚の変化率の符号が負から正に変化する点を第 2 の点としたとき、膜厚減少領域は、n 型非晶質半導体層または p 型非晶質半導体層の面内方向において、第 1 の点から第 2 の点までの領域である。

【0112】

なお、この発明の実施の形態においては、n 型非晶質半導体層 4 および p 型非晶質半導体層 5 の少なくとも一方が膜厚減少領域を有していればよい。

【0113】

次に、光電変換素子 10 の製造方法について説明する。図 6 から図 10 は、それぞれ、図 1 に示す光電変換素子 10 の製造方法を示す第 1 から第 5 の工程図である。

【0114】

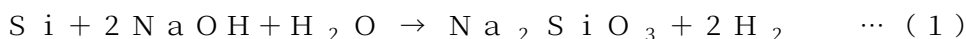
図 6 を参照して、光電変換素子 10 の製造が開始されると、バルクのシリコンからワイヤソーによって 100 ~ 300 μm の厚さを有するウェハを切り出す。そして、ウェハの表面のダメージ層を除去するためのエッチングと、厚さを調整するためのエッチングとを行い、半導体基板 1' を準備する (図 6 の工程 (a) 参照)。

【0115】

一般的に、テクスチャ構造を有するシリコン基板は、シリコンインゴットをワイヤソー等によりスライスして得られるシリコン基板をエッチングすることにより製造される。テクスチャを形成する基板は、遊離砥粒スライス基板を使用した単結晶シリコンが主流であるが、コスト削減やスライス技術の向上もあり固定砥粒スライス基板においても同様のテクスチャが形成可能である。

【0116】

半導体基板 1' のエッチングは、アルカリ性のエッチング液を用いた湿式エッチングにより行うことができる。このエッチングは水酸化ナトリウム溶液中の場合、以下の反応式 (1)、(2)、(3) 等の反応によって進行する。



【0117】

半導体基板 1' の表面にテクスチャ構造を形成するために、例えばエッチング速度を制御したエッチング液を使用することにより異方性エッチングを行う。半導体基板 1' の表面へのテクスチャ構造の形成は以下のメカニズムに基づく。半導体基板 1' のアルカリ水溶液によるエッチング速度は、シリコンの (100) 面が最も早く、(111) 面が最も遅い。そのため、アルカリ水溶液にエッチング速度を低下させることができる特定の添加剤 (以下、「エッチング抑制剤」ということもある。) を添加することによってテクスチャーエッチングの速度を抑制すると、シリコンの (100) 面等のエッチングされやすい結晶面が優先的にエッチングされ、エッチング速度の遅い (111) 面が表面に残存する。この (111) 面は、(100) 面に対して約 54 度の傾斜を持つためにプロセスの最終段階では (111) 面とその等価な面で構成されるピラミッド状の凹凸構造が形成される。

【0118】

しかし、エッチング条件によっては、おおよそ40〜54度程度の傾斜を持ったテクスチャが形成されることもあり、必ずしもテクスチャの表面が(111)が形成される訳ではない。本発明でも、テクスチャの傾斜面が、(111)面である必要はなく、傾斜が緩やかであってもよい。

【0119】

また、テクスチャ形成用エッチング液として、水酸化ナトリウム(NaOH)水溶液に、エッチング抑制剤としてイソプロピルアルコール(以下、「IPA」と称する場合がある。)を添加したエッチング液を使用してもよい。このエッチング液を60〜80℃程度に加温し、(100)面のシリコン基板を10〜30分間浸漬させてエッチングする。

【0120】

また、水酸化ナトリウム又は水酸化カリウムと、添加剤としてリグニン等の特定の添加剤と、炭酸水素ナトリウム又は炭酸水素カリウムを含むエッチング液を使用することにより、微小なピラミッド状(凹部の底面から凸部の頂点までの高さが1μm以下)のテクスチャ構造を形成することができる。このように、エッチング液の温度、処理時間、エッチング抑制剤の種類、エッチング速度、基板の種類など種々の条件を変えることで、テクスチャのサイズを制御することができる。ここでは、テクスチャのサイズが15μm以下となるようにエッチング条件が設定されている。

【0121】

本実施の形態では、図6の工程(a)の後、半導体基板1'をNaOHおよびKOH等のアルカリ溶液(例えば、KOH:1〜5wt%、イソプロピルアルコール:1〜10wt%の水溶液)を用いてエッチングする。これによって、半導体基板1'の両面が異方性エッチングされ、テクスチャのサイズが15μm以下のテクスチャ構造が形成される。(図6の工程(b)参照)。

【0122】

引き続き、半導体基板1の表面を熱酸化して酸化膜11を半導体基板1の受光面に形成するとともにパッシベーション膜3を半導体基板1の裏面(受光面と反対側の表面)に形成する(図6の工程(c)参照)。

【0123】

半導体基板1の酸化は、ウェット処理および熱酸化のいずれでもよい。ウェット酸化の場合は、例えば、半導体基板1を過酸化水素、硝酸およびオゾン水等に浸漬し、その後、ドライ雰囲気中で800〜1000℃で半導体基板1を加熱する。また、熱酸化の場合、例えば、酸素または水蒸気の雰囲気中で半導体基板1を900〜1000℃に加熱する。

【0124】

図6の工程(c)の後、スパッタリング法、EB(Electron Beam)蒸着およびTEOS法等を用いて酸化膜11に接して窒化シリコン膜12を形成する。これによって、反射防止膜2が半導体基板1の受光面に形成される(図7の工程(d)参照)。

【0125】

図7の工程(d)の後、半導体基板1をプラズマ装置の反応室に入れ、シャドーマスク30を半導体基板1のパッシベーション膜3上に配置する(図7の工程(e)参照)。

【0126】

ここで、シャドーマスク30について説明する。図11Aは、シャドーマスク30を上から見た模式図である。シャドーマスク30は、複数の開口部30aと、開口部30bとを有する。開口部30aは、パッシベーション膜3の上にn型非晶質半導体層4を形成するための開口部であり、隣接する開口部30aと一定の距離を隔てて形成されている。開口部30bは、p型非晶質半導体層5を形成する際の基準となるアライメントマークを形成するための開口部である。

【0127】

シャドーマスク30は、例えば、ステンレス鋼からなり、厚さが200μmのメタルマスクで構成される。開口部30aは、略長方形の形状を有し、開口部30bは、略正方形の形状を有する。開口部30aの開口幅wは約400μmである。また、開口部30bは

、1.0mm×1.0mmの大きさを有するが、0.4mm×0.4mmの大きさがより好ましい。

【0128】

半導体基板1の温度を130～180℃に設定し、0～100sccmの水素(H₂)ガス、40sccmのSiH₄ガス、および40sccmのホスフィン(PH₃)ガスを反応室に流し、反応室の圧力を40～120Paに設定する。その後、RFパワー密度が5～15mW/cm²である高周波電力(13.56MHz)を平行平板電極に印加する。なお、PH₃ガスは、水素によって希釈されており、PH₃ガスの濃度は、例えば、1%である。

【0129】

これによって、シャドーマスク30によって覆われていないパッシベーション膜3の領域にn型非晶質シリコンが堆積され、n型非晶質半導体層4とアライメントマーク4Mとがパッシベーション膜3上に形成される(図7の工程(f)参照)。

【0130】

シャドーマスク30がパッシベーション膜3上に配置された場合、シャドーマスク30とパッシベーション膜3との間には、隙間が存在する。その結果、プラズマによって分解されたSiHおよびSiH₂等の活性種がシャドーマスク30とパッシベーション膜3との間の隙間に回り込み、シャドーマスク30によって覆われた一部の領域にもn型非晶質半導体層4が形成される。テクスチャ構造が形成されていない半導体基板にシャドーマスク30を用いて成膜する場合に比べ、シャドーマスク30とパッシベーション膜3との間の隙間への回り込みが多くなる。これにより、膜厚減少領域TDを有するn型非晶質半導体層4がパッシベーション膜3上に形成される。また、シャドーマスク30上にも、n型非晶質シリコン31が堆積する。

【0131】

なお、n型非晶質半導体層4における膜厚減少領域TDの幅および膜厚減少率は、n型非晶質半導体層4を成膜するときの成膜圧力、シャドーマスク30の厚さおよびシャドーマスク30の開口幅を変えることによって制御される。例えば、シャドーマスク30の厚さを厚くすると、膜厚減少領域TDの幅が広がる。

【0132】

図7の工程(f)の後、シャドーマスク30に代えてシャドーマスク40をパッシベーション膜3、n型非晶質半導体層4及びアライメントマーク4Mの上に配置する(図8の工程(g)参照)。

【0133】

ここで、シャドーマスク40について説明する。図11Bは、シャドーマスク40を上から見た模式図である。シャドーマスク40は、パッシベーション膜3の上にp型非晶質半導体層5を形成するための複数の開口部40aと、パッシベーション膜3の上に形成されたアライメントマーク4M(図7の(f)参照)と位置合わせを行うためのアライメント用開口部40bとを有する。

【0134】

開口部40aは、シャドーマスク30の開口部30aと同様、略長方形の形状を有し、その開口幅wが約400μmである。アライメント用開口部40bの内側は開口しており、シャドーマスク30の開口部30bと同じ大きさの破線枠401bの各辺と接する位置に、アライメント用開口部40bの内側に突出した4つの凸部402b～405bを有する。シャドーマスク40の材質及び厚さは、シャドーマスク30と同様である。

【0135】

シャドーマスク40を配置する際、パッシベーション膜3の上に形成されたアライメントマーク4Mを光学顕微鏡で観察し、アライメントマーク4Mの位置を特定する。本実施の形態では、半導体基板1の裏面の全体にテクスチャサイズが15μm未満のテクスチャ構造が形成されている。そのため、アライメントマーク4Mの下の半導体基板1の部分の反射率が略均一となっており、光学顕微鏡でアライメントマーク4Mの位置を確実に特定

することができる。

【0136】

アライメントマーク4Mの位置を特定した後、図11Cに示すように、アライメントマーク4Mの各辺に、シャドーマスク40のアライメント用開口部40bの凸部402b～405bが接するようにシャドーマスク40を配置する。これにより、シャドーマスク40の開口部40aがn型非晶質半導体層4と一定の距離を隔てた位置に配置される。

【0137】

なお、図8の工程(g)においては、シャドーマスク40は、パッシベーション膜3から離れているように図示されているが、n型非晶質半導体層4の膜厚は、上述したように5～50nmと非常に薄いので、実際には、シャドーマスク40は、パッシベーション膜3に近接して配置されている。

10

【0138】

そして、半導体基板1の温度を130～180℃に設定し、0～100sccmのH₂ガス、40sccmのSiH₄ガス、および40sccmのジボラン(B₂H₆)ガスを反応室に流し、反応室の圧力を40～200Paに設定する。その後、RFパワー密度が5～15mW/cm²である高周波電力(13.56MHz)を平行平板電極に印加する。なお、B₂H₆ガスは、水素によって希釈されており、B₂H₆ガスの濃度は、例えば、2%である。

【0139】

これによって、シャドーマスク40によって覆われていないパッシベーション膜3の領域にp型非晶質シリコンが堆積される。その結果、パッシベーション膜3上において、アライメントマーク4Mの上にp型非晶質シリコン5Mが堆積するとともに、n型非晶質半導体層4と一定の間隔を隔てた適切な位置に、p型非晶質半導体層5が形成される(図8の工程(h)参照)。

20

【0140】

シャドーマスク40がパッシベーション膜3およびn型非晶質半導体層4上に配置された場合、シャドーマスク40とパッシベーション膜3との間には、隙間が存在する。その結果、プラズマによって分解されたSiHおよびSiH₂等の活性種がシャドーマスク40とパッシベーション膜3との間の隙間に回り込み、シャドーマスク40によって覆われた一部の領域にもp型非晶質半導体層5が形成される。従って、膜厚減少領域TDを有するp型非晶質半導体層5がパッシベーション膜3上に形成される。また、シャドーマスク40上にも、p型非晶質シリコン32が堆積する。

30

【0141】

なお、p型非晶質半導体層5における膜厚減少領域TDの幅および膜厚減少率は、p型非晶質半導体層5を成膜するときの成膜圧力、シャドーマスク40の厚さおよびシャドーマスク40の開口幅を変えることによって制御される。例えば、シャドーマスク40の厚さを厚くすると、膜厚減少領域TDの幅が広がる。

【0142】

p型非晶質シリコンを堆積した後、シャドーマスク40を除去すると、半導体基板1の面内方向に交互に配置されたn型非晶質半導体層4およびp型非晶質半導体層5がパッシベーション膜3上に形成されるとともに、アライメントマーク4Mの上にp型非晶質シリコン5Mが形成された状態になる(図8の工程(i)参照)。

40

【0143】

図8の工程(i)の後、開口部がn型非晶質半導体層4およびp型非晶質半導体層5上に位置するようにシャドーマスク50を配置する(図9の工程(j)参照)。シャドーマスク50は、材質および厚さがシャドーマスク30と同じである。また、開口幅は、n型非晶質半導体層4又はp型非晶質半導体層5のフラット領域FTの幅と、その非晶質半導体層における2つの膜厚減少領域TDの幅との和に設定される。

【0144】

図9の工程(j)の後、シャドーマスク50を介して導電層6a、7aおよび導電層6

50

b, 7bを順次堆積する。これによって、電極6, 7がそれぞれn型非晶質半導体層4およびp型非晶質半導体層5上に堆積される(図9の工程(k)参照)。

【0145】

導電層6a, 7aおよび導電層6b, 7bは、スパッタリング法、蒸着法、イオンプレーティング法、熱CVD法、MOCVD(Metal Organic Chemical Vapor Deposition)法、ゾルゲル法、液状にした原料を噴霧加熱する方法、およびインクジェット法等を用いて形成される。

【0146】

導電層6a, 7aは、例えば、ITO, IWO, ZnOのいずれかであり、導電層6b, 7bは、Ti(3nm)/Al(500nm)の2層構造からなる。

10

【0147】

ITOは、例えば、SnO₂を0.5~4wt%ドーブしたITOターゲットを、アルゴンガスまたはアルゴンガスと酸素ガスとの混合ガスを流し、25~250℃の基板温度、0.1~1.5Paの圧力、0.01~2kWの電力でスパッタ処理を行うことによって形成される。

【0148】

ZnOは、ITOターゲットに代えて、Alを0.5~4wt%ドーブしたZnOターゲットを用いて同様の条件でスパッタ処理を行うことにより形成される。

【0149】

Ti/Alの2層構造は、EB蒸着によって形成される。

20

【0150】

また、電極6, 7は、それぞれ、導電層6a, 7aをシード電極としてメッキ成膜法によって導電層6b, 7bを形成してもよい。この場合、導電層6b, 7bは、例えば、Ni, W, Co, Ti, Cr、これらの合金、およびこれらの合金とP, Bとの合金のいずれかからなる。また、導電層6b, 7b上にメッキ法でCu, Al, Sn等を形成することもできる。

【0151】

図9の工程(k)の後、シャドーマスク60を電極6, 7上に配置する(図9の工程(l)参照)。シャドーマスク60は、材質および厚さがシャドーマスク30と同じである。

30

【0152】

そして、保護膜8をパッシベーション膜3、n型非晶質半導体層4、p型非晶質半導体層5および電極6, 7上に形成する。

【0153】

より具体的には、プラズマCVD法を用いて真性非晶質半導体膜およびシリコンの窒化膜をパッシベーション膜3、n型非晶質半導体層4、p型非晶質半導体層5および電極6, 7上に順次堆積する。この場合、例えば、SiH₄ガスを材料ガスとして真性非晶質半導体膜を形成し、真性非晶質半導体膜の膜厚は、例えば、10nmである。また、例えば、SiH₄ガスおよびNH₃ガスを材料ガスとしてシリコンの窒化膜を形成し、シリコンの窒化膜の膜厚は、例えば、120nmである。これによって、光電変換素子10が完成する(図10の工程(m)参照)。

40

【0154】

上述の例では、シャドーマスク30, 40, 50, 60の材料として、ステンレス鋼を例示したが、ステンレス鋼に限定されず、例えば、銅、ニッケル、ニッケル合金(42アロイ、インバー材等)およびモリブデン等を用いてもよい。また、シャドーマスク30, 40, 50, 60は、メタルマスクに限定されず、例えば、ガラスマスク、セラミックマスクおよび有機フィルムマスク等のいずれかでもよい。また、半導体基板1と同じ材質の半導体基板をエッチングで加工して、シャドーマスクとしてもよい。この場合、半導体基板とシャドーマスクとは同じ材質のため、熱膨張係数が同一となり、熱膨張係数の違いによるずれは生じない。また、半導体基板1の熱膨張係数との関係および原料コストを考慮

50

すると、シャドーマスク 30, 40, 50, 60 の材料は、42 アロイが好ましい。半導体基板 1 との熱膨張係数の関係から、シャドーマスク 30, 40, 50, 60 の材料は、ニッケルの組成が 36 % 程度、鉄の組成が 64 % の場合が、半導体基板 1 の熱膨張係数に最も近くなり、熱膨張係数の差によるアライメント誤差を最も小さくできる。

【0155】

また、シャドーマスク 30, 40, 50, 60 の厚さに関しては、生産のランニングコストを抑制する観点から、再生して多数回使用できることが好ましい。この場合、シャドーマスク 30, 40, 50, 60 に付着した成膜物は、フッ酸または NaOH を用いて除去することができる。これらの再生回数を考慮すると、シャドーマスク 30, 40, 50, 60 の厚さは、30 μm ~ 300 μm が好ましい。

10

【0156】

また、上述した製造方法においては、保護膜 8 を構成する真性非晶質半導体膜 / シリコンの窒化膜を 1 つの反応室で連続して形成すると説明したが、この発明の実施の形態においては、これに限らず、真性非晶質半導体層を形成した後、シリコンの窒化膜をスパッタリング装置、または別の CVD 装置で形成するように、1 回、試料を大気に暴露してもよい。

【0157】

保護膜 8 を構成する真性非晶質半導体膜 / シリコンの窒化膜を、大気暴露せずに形成した場合、大気中における有機物または水分のコンタミネーションを抑制することができるため、好ましい。

20

【0158】

更に、保護膜 8 は、EB 蒸着、スパッタリング法、レーザアブレーション法、CVD 法およびイオンプレーティング法を用いて形成されてもよい。

【0159】

更に、この発明の実施の形態においては、パッシベーション膜 3 を形成した後、窒素 (N_2) ガスを用いたプラズマ CVD 法によりパッシベーション膜 3 を窒化し、SiON かなるパッシベーション膜を形成してもよい。その結果、パッシベーション膜上に形成した p 型非晶質半導体層 5 中のドーパント (B) が半導体基板 1 へ拡散するのを抑制できる。そして、トンネル電流を流すことができる膜厚を有するパッシベーション膜を形成した場合であっても、有効にボロン (B) の拡散を抑制できるため、好ましい。

30

【0160】

上述したように、半導体基板 1 の裏面の全体には、テクスチャサイズが 15 μm 未満のテクスチャ構造が形成されている。このテクスチャ構造によって半導体基板 1 の裏面の反射率が略均一となるため、パッシベーション膜 3 の上に n 型非晶質半導体層 4 とともに形成されたアライメントマーク 4M を光学顕微鏡で観察した際、アライメントマーク 4M の位置を確実に特定することができる。そのため、アライメントマーク 4M を基準にシャドーマスク 40 のアライメント用開口部 40b の凸部 402b ~ 405b の位置を合わせることができ、シャドーマスク 40 を適切な位置に配置することができる。その結果、n 型非晶質半導体層 4 と一定の間隔を隔てた位置に p 型非晶質半導体層 5 を形成することができ、隣接する n 型非晶質半導体層 4 と p 型非晶質半導体層 5 の間に、ギャップ領域 G を形成することができる。また、特に、n 型非晶質シリコンは、光学顕微鏡で観察した際、p 型非晶質シリコンと比べてコントラストが低いため、n 型非晶質半導体層 4 を形成した後、p 型非晶質半導体層 5 を形成する場合に上記の構成は特に有効である。

40

【0161】

また、アライメントマーク 4M とその他の領域との膜厚差が、例えば、n 型非晶質半導体層の膜厚の分だけしかない場合、アライメントマーク 4M とその他の領域との境界の認識が難しい。しかしながら、アライメントマーク 4M における n 型非晶質シリコンが形成された領域の境界 (外縁) 部分の下にテクスチャ構造が形成されることで、アライメントマーク 4M における n 型非晶質シリコンの境界部分の視認性が高くなり、アライメントマーク 4M の認識精度が向上する。その結果、n 型非晶質半導体層 4 の膜厚をより薄くする

50

ことが可能となり、n型非晶質半導体層4における直列抵抗を低減し、より高い変換効率を実現することが可能となる。

【0162】

また、テクスチャサイズによって、半導体基板1の裏面を光学顕微鏡で観察した際のテクスチャのエッジの鮮明さが異なる。これは、テクスチャサイズが大きいほど、シャドーマスクの裏側への膜の回り込み量が増加するからである。上述の例では、半導体基板1の裏面に形成されたテクスチャのサイズが15 μm 未満である。テクスチャのサイズが15 μm 未満では、半導体基板1の裏面からの反射光量が小さくなり、裏面の反射率が略均一となるため、アライメントマーク4Mが認識しやすくなる。

【0163】

ここで、図12の(a)～(d)に、裏面の状態が各々異なる半導体基板にアライメントマークを形成した場合のアライメントマークの光学顕微鏡画像を示す。図12の(a)は、半導体基板の裏面がミラー面である場合のアライメントマークの光学顕微鏡画像である。図12の(b)は、半導体基板の裏面にテクスチャ構造が形成されていないフラット面である場合のアライメントマークの光学顕微鏡画像である。図12の(c)は、半導体基板の裏面にテクスチャサイズが1 μm のテクスチャ構造が形成されている場合のアライメントマークの光学顕微鏡画像である。図12の(d)は、半導体基板の裏面にテクスチャサイズが15 μm のテクスチャ構造が形成されている場合のアライメントマークの光学顕微鏡画像である。図12の(a)～(d)に示す領域Aの画像部分はアライメントマークが形成された領域であり、領域Bの画像部分はパッシベーション膜3が形成されている領域である。

【0164】

図12の(a)の場合、半導体基板の裏面は原子レベルでフラットなミラー面であるため、半導体基板の反射率が面内で略一様である。また、n型非晶質半導体層4を形成する際のシャドーマスクの裏側にn型非晶質シリコンが回り込みにくくなり、図12の(a)に示すように、アライメントマークの部分と他の領域とのコントラストが高くなり、アライメントマークを認識しやすい。

【0165】

図12の(b)の場合には、半導体基板のディンプルによる大きな光学的コントラストがノイズ源になり、さらに、半導体基板の裏面がフラット面であることから半導体基板の反射光量が大きいため、アライメントマークの部分を光学的に認識することが困難である。

【0166】

図12の(c)において、破線枠で示す最も明るく見える領域Cは、p型非晶質半導体層5を形成する際のシャドーマスクのマスク用アライメントマークである。アライメントマークが形成されている領域Aの境界部分にはテクスチャ構造が形成されているため、半導体基板の裏面からの反射光量が図12の(b)の場合よりも小さくなり、面内の反射率が略均一となる。その結果、図12の(b)の場合よりもアライメントマークを光学的に認識しやすくなる。

【0167】

図12の(d)の場合、図12の(c)に比べ、半導体基板の裏面に形成されたテクスチャ構造のテクスチャサイズが大きく、アライメントマークが形成されている領域Aの境界が認識しにくくなっている。これは、テクスチャサイズが大きくなるに従い、n型非晶質半導体層4を形成する際のシャドーマスクの裏側にn型非晶質シリコンが回り込みやすくなることによる。よって、半導体基板の裏面に形成されるテクスチャ構造のテクスチャサイズは15 μm 未満が好ましく、15 μm 以上になるとアライメントマークの境界部が認識しにくくなることが分かる。

【0168】

さらに、テクスチャの傾斜角 θ が小さいほど半導体基板の表面がフラットに近づき、反射率が高くなるため、アライメントマーク4Mの視認性が低下する。そのため、例えば、

テクスチャの傾斜角 θ を 40° 以上とすることで、アライメントマーク4Mの境界のコントラスト比が高くなり、アライメントマーク4Mがより認識しやすくなる。

【0169】

そして、隣接する電極6, 7間において、保護膜8が電極6, 7およびギャップ領域G（パッシベーション膜3、n型非晶質半導体層4およびp型非晶質半導体層5）上に形成される。その結果、隣接する電極6, 7間に、導電性の塵が付着した場合でも、短絡が防止される。従って、光電変換素子10の信頼性を向上できる。

【0170】

また、電極6, 7は、端から内側に向かって $5\mu\text{m}$ 以上の領域が保護膜8によって覆われている。その結果、保護膜8の開口端から水分が浸入するのを効果的に抑制することができるとともに、保護膜8のはがれを抑制でき、生産時のアライメントずれによる歩留まりの低下を防止できる。

【0171】

また、電極6, 7が接している半導体層と電極6, 7との密着性が比較的弱い場合においても、保護膜8で電極6, 7を覆うことにより、電極剥がれを効果的に抑制することができるため、好ましい。つまり、非晶質半導体と密着性の乏しい電極材料であっても、保護膜8を形成することで、使用することができるようになり、電極用の金属の選択範囲が広がり、特性向上が容易になるため好ましい。半導体基板の表面の一面にn型非晶質半導体層またはp型非晶質半導体層とTCO（透明導電膜）をほぼ全面に形成する従来のヘテロ接合型太陽電池では、非晶質半導体層とTCOに切れ目はない。

【0172】

しかし、本実施形態における裏面ヘテロ接合型太陽電池のように、n型非晶質半導体層またはp型非晶質半導体層や、TCO、電極等の層を交互に複数形成する場合、図13Aに示すように、各層の端部が多数発生することになる。このような構成でピールテスト等を行うと、端部から剥がれる可能性がある。しかし、半導体基板1の表面にテクスチャ構造を形成することによりアンカー効果が生じ、剥がれ等を抑制しやすくなるので好ましい。また、最も剥がれやすい電極端部を保護膜によって覆うことで、剥がれをより効果的に抑制することができ、より好ましい。

【0173】

更に、ギャップ領域Gにおいては、パッシベーション膜3、n型非晶質半導体層4およびp型非晶質半導体層5は、保護膜8によって覆われる。その結果、光電変換素子10の長期安定性の効果を得ることができる。

【0174】

図13Aは、図1に示す光電変換素子10の裏面側から見た平面図である。図13Aの(a)を参照して、n型非晶質半導体層4およびp型非晶質半導体層5は、半導体基板1の面内方向に交互に所望の間隔で配置される。そして、電極6, 7は、それぞれ、n型非晶質半導体層4およびp型非晶質半導体層5上に配置される。その結果、隣り合う電極6, 7間には、ギャップ領域Gが形成される。

【0175】

図13Aの(b)を参照して、保護膜8は、ギャップ領域Gおよび半導体基板1の周辺領域上に配置される。そして、電極6, 7上には、幅Lを有する開口部8Aが形成される。電極6, 7は、開口部8Aを介して配線シートに接続される。

【0176】

なお、図13Aの(b)においては、半導体基板1の周辺部には、保護膜8で覆われていない領域が存在するが、光電変換素子10においては、半導体基板1の裏面の全面を保護膜で覆い、電極6, 7の一部が露出している状態が最も好ましい。

【0177】

図13Bは、配線シートの平面図である。図13Bを参照して、配線シート70は、絶縁基材710と、配線材71～87とを含む。

【0178】

絶縁基材 710 は、電気絶縁性の材質であればよく、特に限定なく用いることができる。絶縁基材 710 は、例えば、ポリエチレンテレフタレート（PET）、ポリエチレンナフタレート（PEN）、ポリフェニレンサルファイド（PPS）、ポリビニルフルオライド（PVF）およびポリイミド等からなる。

【0179】

また、絶縁基材 710 の膜厚は、特に限定されないが、好ましくは、 $25\mu\text{m}$ 以上 $150\mu\text{m}$ 以下である。そして、絶縁基材 710 は、1層構造であってもよく、2層以上の多層構造であってもよい。

【0180】

配線材 71 は、バスバー部 711 と、フィンガー部 712 とを有する。フィンガー部 712 は、その一方端がバスバー部 711 に接続される。

10

【0181】

配線材 72 は、バスバー部 721 と、フィンガー部 722、723 とを有する。フィンガー部 722 は、その一方端がバスバー部 721 に接続される。フィンガー部 723 は、バスバー部 721 に対してバスバー部 721 とフィンガー部 722 との接続部の反対側において、その一方端がバスバー部 721 に接続される。

【0182】

配線材 73 は、バスバー部 731 と、フィンガー部 732、733 とを有する。フィンガー部 732 は、その一方端がバスバー部 731 に接続される。フィンガー部 733 は、バスバー部 731 に対してバスバー部 731 とフィンガー部 732 との接続部の反対側において、その一方端がバスバー部 731 に接続される。

20

【0183】

配線材 74 は、バスバー部 741 と、フィンガー部 742、743 とを有する。フィンガー部 742 は、その一方端がバスバー部 741 に接続される。フィンガー部 743 は、バスバー部 741 に対してバスバー部 741 とフィンガー部 742 との接続部の反対側において、その一方端がバスバー部 741 に接続される。

【0184】

配線材 75 は、バスバー部 751 と、フィンガー部 752、753 とを有する。フィンガー部 752、753 は、バスバー部 751 の長さ方向において隣接して配置され、その一方端がバスバー部 751 の同じ側においてバスバー部 751 に接続される。

30

【0185】

配線材 76 は、バスバー部 761 と、フィンガー部 762、763 とを有する。フィンガー部 762 は、その一方端がバスバー部 761 に接続される。フィンガー部 763 は、バスバー部 761 に対してバスバー部 761 とフィンガー部 762 との接続部の反対側において、その一方端がバスバー部 761 に接続される。

【0186】

配線材 77 は、バスバー部 771 と、フィンガー部 772、773 とを有する。フィンガー部 772 は、その一方端がバスバー部 771 に接続される。フィンガー部 773 は、バスバー部 771 に対してバスバー部 771 とフィンガー部 772 との接続部の反対側において、その一方端がバスバー部 771 に接続される。

40

【0187】

配線材 78 は、バスバー部 781 と、フィンガー部 782、783 とを有する。フィンガー部 782 は、その一方端がバスバー部 781 に接続される。フィンガー部 783 は、バスバー部 781 に対してバスバー部 781 とフィンガー部 782 との接続部の反対側において、その一方端がバスバー部 781 に接続される。

【0188】

配線材 79 は、バスバー部 791 と、フィンガー部 792、793 とを有する。フィンガー部 792、793 は、バスバー部 791 の長さ方向において隣接して配置され、その一方端がバスバー部 791 の同じ側においてバスバー部 791 に接続される。

【0189】

50

配線材 80 は、バスバー部 801 と、フィンガー部 802, 803 とを有する。フィンガー部 802 は、その一方端がバスバー部 801 に接続される。フィンガー部 803 は、バスバー部 801 に対してバスバー部 801 とフィンガー部 802 との接続部の反対側において、その一方端がバスバー部 801 に接続される。

【0190】

配線材 81 は、バスバー部 811 と、フィンガー部 812, 813 とを有する。フィンガー部 812 は、その一方端がバスバー部 811 に接続される。フィンガー部 813 は、バスバー部 811 に対してバスバー部 811 とフィンガー部 812 との接続部の反対側において、その一方端がバスバー部 811 に接続される。

【0191】

配線材 82 は、バスバー部 821 と、フィンガー部 822, 823 とを有する。フィンガー部 822 は、その一方端がバスバー部 821 に接続される。フィンガー部 823 は、バスバー部 821 に対してバスバー部 821 とフィンガー部 822 との接続部の反対側において、その一方端がバスバー部 821 に接続される。

【0192】

配線材 83 は、バスバー部 831 と、フィンガー部 832, 833 とを有する。フィンガー部 832, 833 は、バスバー部 831 の長さ方向において隣接して配置され、その一方端がバスバー部 831 の同じ側においてバスバー部 831 に接続される。

【0193】

配線材 84 は、バスバー部 841 と、フィンガー部 842, 843 とを有する。フィンガー部 842 は、その一方端がバスバー部 841 に接続される。フィンガー部 843 は、バスバー部 841 に対してバスバー部 841 とフィンガー部 842 との接続部の反対側において、その一方端がバスバー部 841 に接続される。

【0194】

配線材 85 は、バスバー部 851 と、フィンガー部 852, 853 とを有する。フィンガー部 852 は、その一方端がバスバー部 851 に接続される。フィンガー部 853 は、バスバー部 851 に対してバスバー部 851 とフィンガー部 852 との接続部の反対側において、その一方端がバスバー部 851 に接続される。

【0195】

配線材 86 は、バスバー部 861 と、フィンガー部 862, 863 とを有する。フィンガー部 862 は、その一方端がバスバー部 861 に接続される。フィンガー部 863 は、バスバー部 861 に対してバスバー部 861 とフィンガー部 862 との接続部の反対側において、その一方端がバスバー部 861 に接続される。

【0196】

配線材 87 は、バスバー部 871 と、フィンガー部 872 とを有する。フィンガー部 872 は、その一方端がバスバー部 871 に接続される。

【0197】

配線材 71 は、フィンガー部 712 が配線材 72 のフィンガー部 722 と噛み合うように絶縁基材 710 上に配置される。

【0198】

配線材 72 は、フィンガー部 722 が配線材 71 のフィンガー部 712 と噛み合い、フィンガー部 723 が配線材 73 のフィンガー部 732 と噛み合うように絶縁基材 710 上に配置される。

【0199】

配線材 73 は、フィンガー部 732 が配線材 72 のフィンガー部 723 と噛み合い、フィンガー部 733 が配線材 74 のフィンガー部 742 と噛み合うように絶縁基材 710 上に配置される。

【0200】

配線材 74 は、フィンガー部 742 が配線材 73 のフィンガー部 733 と噛み合い、フィンガー部 743 が配線材 75 のフィンガー部 752 と噛み合うように絶縁基材 710 上

10

20

30

40

50

に配置される。

【0201】

配線材75は、フィンガー部752が配線材74のフィンガー部743と噛み合い、フィンガー部753が配線材76のフィンガー部762と噛み合うように絶縁基材710上に配置される。

【0202】

配線材76は、フィンガー部762が配線材75のフィンガー部753と噛み合い、フィンガー部763が配線材77のフィンガー部772と噛み合うように絶縁基材710上に配置される。

【0203】

配線材77は、フィンガー部772が配線材76のフィンガー部763と噛み合い、フィンガー部773が配線材78のフィンガー部782と噛み合うように絶縁基材710上に配置される。

【0204】

配線材78は、フィンガー部782が配線材77のフィンガー部773と噛み合い、フィンガー部783が配線材79のフィンガー部792と噛み合うように絶縁基材710上に配置される。

【0205】

配線材79は、フィンガー部792が配線材78のフィンガー部783と噛み合い、フィンガー部793が配線材80のフィンガー部802と噛み合うように絶縁基材710上に配置される。

【0206】

配線材80は、フィンガー部802が配線材79のフィンガー部793と噛み合い、フィンガー部803が配線材81のフィンガー部812と噛み合うように絶縁基材710上に配置される。

【0207】

配線材81は、フィンガー部812が配線材80のフィンガー部803と噛み合い、フィンガー部813が配線材82のフィンガー部822と噛み合うように絶縁基材710上に配置される。

【0208】

配線材82は、フィンガー部822が配線材81のフィンガー部813と噛み合い、フィンガー部823が配線材83のフィンガー部832と噛み合うように絶縁基材710上に配置される。

【0209】

配線材83は、フィンガー部832が配線材82のフィンガー部823と噛み合い、フィンガー部833が配線材84のフィンガー部842と噛み合うように絶縁基材710上に配置される。

【0210】

配線材84は、フィンガー部842が配線材83のフィンガー部833と噛み合い、フィンガー部843が配線材85のフィンガー部852と噛み合うように絶縁基材710上に配置される。

【0211】

配線材85は、フィンガー部852が配線材84のフィンガー部843と噛み合い、フィンガー部853が配線材86のフィンガー部862と噛み合うように絶縁基材710上に配置される。

【0212】

配線材86は、フィンガー部862が配線材85のフィンガー部853と噛み合い、フィンガー部863が配線材87のフィンガー部872と噛み合うように絶縁基材710上に配置される。

【0213】

配線材 87 は、フィンガー部 872 が配線材 86 のフィンガー部 863 と噛み合うように絶縁基材 710 上に配置される。

【0214】

配線材 71～87 の各々は、電気導電性のものであればよく、特に限定されない。配線材 71～87 の各々は、例えば、Cu, Al, Ag およびこれらを主成分とする合金からなる。

【0215】

また、配線材 71～87 の厚さは、特に限定されないが、例えば、10 μm 以上 80 μm 以下が好適である。10 μm 未満では、配線抵抗が高くなり、80 μm を超えると、光電変換素子 10 と貼り合わせるときに印加される熱によって配線材とシリコン基板との熱膨張係数の違いに起因してシリコン基板に反りが発生する。

10

【0216】

絶縁基材 710 の形状は、図 13B に示す形状に限定されず、適宜、変更可能である。また、配線材 71～87 の表面の一部に、Ni, Au, Pt, Pd, Sn, In および ITO 等の導電性材料を形成してもよい。このように、配線材 71～87 の表面の一部に、Ni 等の導電性材料を形成するのは、配線材 71～87 と光電変換素子 10 の電極 6, 7 との電氣的接続を良好なものとし、配線材 71～87 の耐候性を向上させるためである。更に、配線材 71～87 は、単層構造であってもよく、多層構造であってもよい。

【0217】

電極 6 が配線材 71 のフィンガー部 712 に接続され、電極 7 が配線材 72 のフィンガー部 722 に接続されるように光電変換素子 10 を領域 REG1 上に配置し、電極 6 が配線材 72 のフィンガー部 723 に接続され、電極 7 が配線材 73 のフィンガー部 732 に接続されるように光電変換素子 10 を領域 REG2 上に配置する。以下、同様にして光電変換素子 10 を配線材 73～87 上に配置する。これによって、16 個の光電変換素子 10 が直列に接続される。

20

【0218】

光電変換素子 10 の電極 6, 7 は、接着剤によって配線材 71～87 に接続される。接着剤は、例えば、半田樹脂、半田、導電性接着剤、熱硬化型 Ag ペースト、低温硬化型銅ペースト、異方性導電フィルム (ACF: Anisotropic Conductive Film)、異方性導電ペースト (ACP: Anisotropic Conductive Paste) および絶縁性接着剤 (NCP: Non

30

Conductive Paste) からなる群から選択された 1 種類以上の接着材からなる。

【0219】

例えば、半田樹脂としては、タムラ科研 (株) 製の TCA P-5401-27 等を用いることができる。

【0220】

絶縁性接着剤としては、エポキシ樹脂、アクリル樹脂およびウレタン樹脂等を用いることができ、熱硬化型および光硬化型の樹脂を用いることができる。

【0221】

導電性接着剤としては、錫およびビスマスの少なくとも一方を含む半田粒子等を用いることができる。より好ましくは、導電性接着剤は、錫と、ビスマス、インジウムおよび銀等との合金である。これにより、半田融点を抑えることができ、低温による接着プロセスが可能になる。

40

【0222】

n 型非晶質半導体層 4、p 型非晶質半導体層 5 および電極 6, 7 上に保護膜 8 を形成した光電変換素子 10 を用いる場合には、電極 6, 7 上の無機絶縁膜と、n 型非晶質半導体層 4 および p 型非晶質半導体層 5 上の無機絶縁膜とが存在し、これら 2 つの無機絶縁膜は、下地が異なる。そして、光電変換素子 10 においては、下地が異なる無機絶縁膜が連続して形成されている。このような状況では、熱履歴が、下地が異なる無機絶縁膜に印加されると、下地の熱膨張係数の違いから無機絶縁膜の剥がれ等が発生する場合がある。

【0223】

50

従って、低温、特に、200℃以下の熱プロセスが好ましく、その結果、低温で硬化し、電氣的に接合できる熱硬化型Agペースト、低温硬化型銅ペースト、異方性導電フィルムおよび異方性導電ペーストが特に好ましい。

【0224】

上述したように、配線シート70上に配置した光電変換素子10を、ガラス基板上に配置されたエチレンビニルアセテート樹脂(EVA樹脂)と、PETフィルム上に配置されたEVA樹脂との間に配置する。そして、ラミネータ装置を用いて真空圧着によりガラス基板側のEVA樹脂を光電変換素子10に圧着させるとともに、PETフィルム側のEVA樹脂を光電変換素子10に圧着させた状態で125℃に加熱し、硬化させた。これにより、ガラス基板とPETフィルムとの間で硬化したEVA樹脂中に、配線シート70が付いた光電変換素子10が封止されることによって太陽電池モジュールを作製することができる。

10

【0225】

なお、上述の実施の形態1では、n型非晶質半導体層4を形成した後、p型非晶質半導体層5を形成する例を説明したが、p型非晶質半導体層5を形成した後、n型非晶質半導体層4を形成してもよい。この場合、アライメントマークは、p型非晶質半導体層5と同じ半導体層を含み、アライメントマークの上部にはn型非晶質半導体層4と同じ半導体層が堆積する。

【0226】

また、上述の実施の形態1では、半導体基板1の裏面の全面にテクスチャ構造が形成される例を説明したが、アライメントマーク4Mにおけるn型非晶質シリコンが形成された領域の境界(外縁部)の下に少なくともテクスチャ構造が形成されていればよい。このように構成した場合であっても、アライメントマーク4Mにおけるn型非晶質シリコンの境界部分の反射率が略均一となるため、光学顕微鏡でアライメントマーク4Mの位置を確実に認識することができる。

20

【0227】

また、アライメントマーク4Mとその他の領域との膜厚差が小さいほど、アライメントマーク4Mとその他の領域との境界の認識が難しいが、アライメントマーク4Mにおけるn型非晶質シリコンが形成された領域の境界(外縁)部分の下にテクスチャ構造が形成されることで、アライメントマーク4Mにおけるn型非晶質シリコンの境界部分の視認性が高くなり、アライメントマーク4Mの認識精度が向上する。これにより、n型非晶質半導体層4の膜厚をより薄くすることが可能となり、n型非晶質半導体層4における直列抵抗を小さくすることができ、より高い変換効率を実現することが可能となる。

30

【0228】

[実施の形態2]

本実施の形態では、半導体基板1の裏面の一部にテクスチャ構造が形成され、アライメントマーク4Mが形成されない点で実施の形態1と異なる。以下、実施の形態1と異なる構成について説明する。

【0229】

図14Aに示すように、本実施の形態における半導体基板1Aの裏面には、n型非晶質半導体層4とp型非晶質半導体層5が形成され、n型非晶質半導体層4及びp型非晶質半導体層5が形成される領域と異なる領域にアライメントマーク4Mは形成されない。また、本実施の形態では、図14Aにおいて、半導体基板1Aの裏面の破線枠P1、P2で示す部分(以下、テクスチャ領域)に、上述した実施の形態1と同様のテクスチャ構造が形成されている。そして、テクスチャ領域P1、P2の上に、それぞれ、隣接する1組のn型非晶質半導体層4及びp型非晶質半導体層5の各境界の一部が重なっている。テクスチャ領域P1、P2の上に形成されたn型非晶質半導体層4の破線部分41Mは、光散乱層の一例であり、アライメント部として機能する。

40

【0230】

本実施の形態では、上述した実施の形態1の図6の(b)の工程に替えて、図14Bの

50

(b1)～(b5)に示す各工程を行う。具体的には、図14Bの工程(b1)において、半導体基板1'の裏面の全面に、 SiO_2 からなる保護膜90をスパッタリング法により形成する。そして、保護膜90の上に、レジスト91を塗布してパターニングを行い、所定の領域におけるレジスト91を除去し、開口部91aを形成する(図14の工程(b2))。

【0231】

続いて、レジスト91をマスクとして開口部91aにおける保護膜90をフッ酸によりエッチングして開口部90'aを形成し、レジスト91を除去する(図14の工程(b3))。そして、半導体基板1'の裏面側の開口部90'aの部分と、半導体基板1'の受光面側に、上述した実施の形態1と同様の異方性エッチングを行い、テクスチャ構造を形成する(図14の工程(b4))。続いて、半導体基板1'の裏面側の保護膜90'をフッ酸を用いてエッチングし、半導体基板1Aが形成される(図14の工程(b5))。これにより、半導体基板1Aの受光面側の全面と、裏面側の一部の領域P1、P2の部分にテクスチャ構造が形成される。その後、実施の形態1と同様、図6の(c)～図10の(m)の工程を行う。

10

【0232】

なお、本実施の形態では、図7の(e)の工程において、n型非晶質半導体層4を形成するためのシャドーマスクとして、シャドーマスク30と同様の開口部30aのみを有するシャドーマスク(図示略)を用いる。本実施の形態では、図14Aの破線枠P1、P2の部分に、このシャドーマスクにおける1つの開口部30aの一の長辺の一部が重なるように配置し、n型非晶質半導体層4を形成する。これにより、破線枠P1、P2に形成されたテクスチャ構造の上にn型非晶質半導体層4の一部からなるアライメントマーク41Mが形成される。

20

【0233】

また、本実施の形態では、図8の(g)の工程において、p型非晶質半導体層5を形成するためのシャドーマスクとして、シャドーマスク40と同様の開口部40aのみを有するシャドーマスク(図示略)を用いる。アライメントマーク41Mの下にはテクスチャ構造が形成されているため、アライメントマーク41Mの部分の反射率は略均一となり、アライメントマーク41Mの位置を光学顕微鏡で特定することができる。よって、本実施の形態においては、アライメントマーク41Mを基に、n型非晶質半導体層4の上に開口部40aが重なるようにシャドーマスクを配置した後、n型非晶質半導体層4の配列方向に沿ってギャップ領域Gの幅だけシャドーマスクをずらす。

30

【0234】

これにより、n型非晶質半導体層4と一定の距離だけ離れた位置にp型非晶質半導体層5が形成されるとともに、テクスチャ領域P1、P2のそれぞれに、隣接する1組のn型非晶質半導体層4とp型非晶質半導体層5の各境界の一部が配置される。なお、p型非晶質半導体層5の形成後は、実施の形態1と同様、図8の(h)～図10の(m)の各工程を行う。

【0235】

半導体基板1Aにおけるテクスチャ領域P1、P2の反射率は略均一となる。そのため、テクスチャ領域P1、P2の部分光学顕微鏡で観察することで、n型非晶質半導体層4とp型非晶質半導体層5のそれぞれの境界を認識することができる。これにより、n型非晶質半導体層4とp型非晶質半導体層5の形成後、n型非晶質半導体層4とp型非晶質半導体層5が形成されている位置を確認することができ、n型非晶質半導体層4とp型非晶質半導体層5が適切な位置に形成されているか否かを検査することができる。

40

【0236】

つまり、テクスチャ領域P1、P2においてn型非晶質半導体層4とp型非晶質半導体層5の境界が形成された部分は光散乱層であり、n型非晶質半導体層4とp型非晶質半導体層5が形成された位置を検査するための検査部として機能する。

【0237】

50

なお、半導体基板 1 A の裏面においてテクスチャ領域は複数存在する方が検査精度の観点から好ましいが、少なくとも 1 つのテクスチャ領域が存在していればよい。複数のテクスチャ領域が形成されている場合、1 つのテクスチャ領域が形成されている場合と比べ、n 型非晶質半導体層 4 と p 型非晶質半導体層 5 のそれぞれを形成するための各シャドーマスクを配置する際の位置ずれをより正確に認識することができる。また、本実施の形態では、アライメントマーク 4 1 M は、n 型非晶質半導体層 4 の一部であるため、実施の形態 1 と比べ、半導体基板 1 A における n 型非晶質半導体層 4 及び p 型非晶質半導体層 5 が占める割合を大きくできるので、光電変換素子の変換効率が向上する。

【0238】

なお、図 1 4 A では、半導体基板 1 A の裏面において、隣接する 1 組の n 型非晶質半導体層 4 と p 型非晶質半導体層 5 の各境界部分の下にテクスチャ領域が形成されている例を示したが、図 1 4 C に示すように、少なくとも 1 つの n 型非晶質半導体層 4 の一の長辺と重なる破線枠で示す領域 P 3 にテクスチャ領域が形成されていてもよい。または、n 型非晶質半導体層 4 の一の長辺の一部と重なる領域にテクスチャ領域が形成されていてもよい。要は、半導体基板 1 A の裏面において、n 型非晶質半導体層 4 及び p 型非晶質半導体層 5 が形成される領域の全体にテクスチャ領域が形成されていてもよいし、少なくとも 1 つの n 型非晶質半導体層 4 の一の長辺の少なくとも一部と重なる位置にテクスチャ領域が形成されていてもよい。なお、図 1 4 C の例では、テクスチャ領域 P 3 に形成された n 型非晶質半導体層 4 の破線部分 4 2 M がアライメント部として機能するとともに検査部として機能する。

【0239】

また、上記の例は、n 型非晶質半導体層 4 を形成後、p 型非晶質半導体層 5 を形成する例であるが、p 型非晶質半導体層 5 を形成後、n 型非晶質半導体層 4 を形成してもよい。この場合には、少なくとも 1 つの p 型非晶質半導体層 5 の一の長辺、又は長辺の一部と重なる領域にテクスチャ構造が形成されていればよい。

【0240】

[実施の形態 3]

本実施の形態では、半導体基板 1 の一部にテクスチャ構造が形成され、シャドーマスク 3 0 とは異なるシャドーマスクを用い、n 型非晶質半導体層 4 と、光電変換素子 1 0 を識別するための個体識別情報とが形成される点で実施の形態 1 と異なる。

【0241】

図 1 5 A は、n 型非晶質半導体層 4 を形成するための本実施形態におけるシャドーマスク 3 1 0 0 を示す模式図である。図 1 5 A に示すように、シャドーマスク 3 1 0 0 は、n 型非晶質半導体層 4 を形成するための複数の開口部 3 0 a と、光電変換素子 1 0 の個体識別情報を形成するための、複数の開口部 3 0 0 1 からなる開口領域 3 0 c を有する。個体識別情報は、例えば、光電変換素子 1 0 の製造時期や製造場所等を示す情報であり、シャドーマスク 3 1 0 0 における開口部 3 0 0 1 の配置及び数は、製造される光電変換素子 1 0 によって異なる。

【0242】

本実施の形態では、実施の形態 1 の図 6 の (a) の工程に替えて、上述した実施の形態 2 の図 1 4 B の工程 (b 1) ~ (b 5) と同様の工程によって、半導体基板 1 ' の裏面の一部にテクスチャ構造を形成するとともに、半導体基板 1 ' の受光面の全面にテクスチャ構造を形成する。その後、実施の形態 1 と同様、図 6 の (c) ~ 図 1 0 の (m) の工程を行う。

【0243】

なお、本実施の形態では、図 7 の (e) に示す工程において、シャドーマスク 3 0 に替えて、パッシベーション膜 3 の上に、シャドーマスク 3 1 0 0 を配置する。具体的には、テクスチャ構造が形成された領域の上にシャドーマスク 3 1 0 0 の開口領域 3 0 c が配置されるようにシャドーマスク 3 1 0 0 を配置し、n 型非晶質シリコンを成膜する。これにより、シャドーマスク 3 1 0 0 における開口部 3 0 a 及び開口領域 3 0 c の部分に、n 型

非晶質シリコンが堆積し、n型非晶質半導体層4と個体識別情報とが形成される。

【0244】

n型非晶質半導体層4と個体識別情報の形成後、図8の(g)に示す工程において、シャドーマスク40に替えて、図15Bに示すシャドーマスク3200を配置し、p型非晶質半導体層5を形成する。シャドーマスク3200は、シャドーマスク40と同様の開口部40aと、マスク用アライメントマーク40cとを有する。マスク用アライメントマーク40cの内側は開口しておらず、シャドーマスク3100の開口領域30cにおける四隅の開口部3001に対応する破線枠401cと接する位置に4つの凸部402c~405cを有する。本実施の形態では、シャドーマスク3100における四隅の開口部3001によって形成された個体識別情報の一部に、シャドーマスク3200のマスク用アライメントマーク40cの4つの凸部402c~405cが接するように位置合わせを行い、シャドーマスク3200を配置する。

10

【0245】

個体識別情報が形成された領域の下にはテクスチャ構造が形成されており、反射率が略均一となっているため、位置合わせの基準となる個体識別情報の一部を光学顕微鏡によって特定することができる。つまり、半導体基板1において個体識別情報が形成された領域がアライメント部として機能する。これにより、シャドーマスク3200の開口部40aがn型非晶質半導体層4と一定の距離を隔てた位置に配置される。なお、p型非晶質半導体層5の形成後は、実施の形態1と同様に図8の(h)~図10の(m)に示す各工程を行う。

20

【0246】

光電変換素子10の製造ごとに、開口領域30cにおける開口部3001の位置関係が異なるシャドーマスクを用いてn型非晶質半導体層4を形成することにより、光電変換素子ごとの個体識別情報が半導体基板1の裏面に形成される。個体識別情報が形成される領域の下の半導体基板1にはテクスチャ構造が形成されているため、光電変換素子10の製造後、光学顕微鏡によって個体識別情報を認識することができ、個々の光電変換素子10を特定することができる。

【0247】

なお、上記の例では、n型非晶質半導体層4を形成するためのシャドーマスク3100を用い、n型非晶質シリコンからなる個体識別情報を形成する例を説明したが、さらに、p型非晶質半導体層5を形成するためのシャドーマスクを用い、n型非晶質シリコンからなる識別情報と、p型非晶質シリコンからなる識別情報とを組み合わせた個体識別情報を形成してもよい。つまり、例えば、図16に示すように、半導体基板1Bの裏面において、n型非晶質半導体層4とp型非晶質半導体層5が交互に隣接して形成されるとともに、n型非晶質シリコンからなる識別情報4sとp型非晶質シリコンからなる識別情報5sとを組み合わせた個体識別情報Sが形成されてもよい。

30

【0248】

この場合には、上述の実施の形態1における図7の(e)の工程で、シャドーマスク3100と同様、n型非晶質半導体層4を形成するための開口部30aと、n型非晶質シリコンからなる識別情報4sを形成するための開口部3001が設けられたシャドーマスクを用い、n型非晶質シリコンを成膜する。また、図8の(g)の工程で、シャドーマスク3200と同様の開口部40aと、シャドーマスク3200におけるマスク用アライメントマーク40cの内側に識別情報5sを形成するための開口部とを有するシャドーマスクを用い、p型非晶質シリコンを成膜する。つまり、このシャドーマスクは、マスク用アライメントマーク40cの内側に、識別情報5sを形成するための開口部が設けられている点でシャドーマスク3200と異なる。これにより、図16に示すように、半導体基板1Bの裏面において、n型非晶質半導体層4及びp型非晶質半導体層5とともに、識別情報4s及び識別情報5sからなる個体識別情報Sが形成される。

40

【0249】

[実施の形態4]

50

図17は、本実施の形態による光電変換素子の構成を示す断面図である。図17において実施の形態1と同様の構成には、実施の形態1の構成と同じ符号を付している。図17に示すように、本実施の形態による光電変換素子20は、光電変換素子10のパッシベーション膜3に替えて、パッシベーション膜301、302を備える点で光電変換素子10と異なる。

【0250】

パッシベーション膜301は、半導体基板1の裏面に接して半導体基板1の裏面上に配置される。

【0251】

パッシベーション膜302は、半導体基板1の面内方向においてパッシベーション膜301に隣接するとともに半導体基板1の裏面に接して半導体基板1の裏面上に配置される。

10

【0252】

つまり、パッシベーション膜301、302は、半導体基板1の面内方向に交互に配置される。

【0253】

n型非晶質半導体層4は、パッシベーション膜301に接してパッシベーション膜301上に配置される。

【0254】

p型非晶質半導体層5は、パッシベーション膜302に接してパッシベーション膜302上に配置される。

20

【0255】

n型非晶質半導体層4およびp型非晶質半導体層5がそれぞれパッシベーション膜301、302上に配置される結果、n型非晶質半導体層4およびp型非晶質半導体層5は、半導体基板1の面内方向に交互に配置される。

【0256】

保護膜8は、パッシベーション膜301、302、n型非晶質半導体層4、p型非晶質半導体層5、電極6、7、及び半導体基板1の裏面の一部に接して電極6、7の上に形成されている。

【0257】

パッシベーション膜301、302の各々は、パッシベーション膜3と同様の材料となり、パッシベーション膜3と同様の膜厚を有する。なお、パッシベーション膜301の膜厚は、パッシベーション膜302の膜厚と同じであってもよく、異なってもよい。

30

【0258】

図18から図21は、それぞれ、図17に示す光電変換素子20の製造方法を示す工程図である。

【0259】

本実施の形態では、まず、上述した図6の(a)～(c)及び図7の(d)の各工程を順次行った後、半導体基板1の裏面上にシャドーマスク310を配置する(図18の工程(e)参照)。シャドーマスク310は、上述したシャドーマスク30と同じ材料からなり、シャドーマスク30と同様の開口部30a及び30b(図8A参照)を有する。

40

【0260】

そして、シャドーマスク310を介してi型非晶質シリコンからなるパッシベーション膜301と、n型非晶質シリコンからなるn型非晶質半導体層4及びアライメントマーク4MとをプラズマCVD法によって半導体基板1の裏面上に順次堆積する(図18の工程(f)参照)。i型非晶質シリコンおよびn型非晶質シリコンの形成条件は、実施の形態1において説明したとおりである。これにより、n型非晶質半導体層4とアライメントマーク4Mの下にパッシベーション膜301が形成される。パッシベーション膜301、n型非晶質半導体層4、及びアライメントマーク4Mの形成時に、i型非晶質シリコン/n型非晶質シリコンの積層膜311がシャドーマスク310上に形成される。

50

【0261】

図18の工程(f)の後、n型非晶質半導体層4及びアライメントマーク4Mの上にシャドーマスク320を配置する(図18の工程(g)参照)。シャドーマスク320も、上述したシャドーマスク40と同じ材料からなり、シャドーマスク40と同様の開口部40aとアライメント用開口部40b(図11B参照)を有する。本実施の形態においても、実施の形態1と同様、シャドーマスク320におけるアライメント用開口部40bと、半導体基板1の裏面に形成されたアライメントマーク4Mと位置合わせを行い、シャドーマスク320をn型非晶質半導体層4の上に配置する。本実施の形態では、アライメントマーク4M及びn型非晶質半導体層4が形成されていない他の領域には、パッシベーション膜301が形成されていない。そのため、アライメントマーク4M及びn型非晶質半導体層4が形成された部分の膜厚は、実施の形態1の場合よりも厚い。その結果、実施の形態1の場合よりアライメントマーク4Mのコントラストが高くなり、光学顕微鏡で観察した際のアライメントマーク4Mの認識精度が向上し、シャドーマスク320をより確実に適切な位置に配置することができる。

10

【0262】

そして、シャドーマスク320を介してi型非晶質シリコンからなるパッシベーション膜302と、p型非晶質シリコンからなるp型非晶質半導体層5とをプラズマCVD法によって半導体基板1の裏面上に順次堆積する(図19の工程(h)参照)。i型非晶質シリコンおよびp型非晶質シリコンの形成条件は、実施の形態1において説明したとおりである。パッシベーション膜302およびp型非晶質半導体層5の形成によって、アライメントマーク4Mの上に、i型非晶質シリコン/p型非晶質シリコンの積層膜51Mが形成されるとともに、シャドーマスク320上にi型非晶質シリコン/p型非晶質シリコンの積層膜321が形成される。

20

【0263】

図19の工程(h)の後、シャドーマスク330が配置される(図19の工程(i)参照)。シャドーマスク330は、上述したシャドーマスク30と同じ材料からなる。

【0264】

そして、シャドーマスク330を介して電極6,7をそれぞれn型非晶質半導体層4およびp型非晶質半導体層5上に形成する(図20の工程(j)参照)。

【0265】

その後、シャドーマスク340が配置される(図20の工程(k)参照)。シャドーマスク340は、上述したシャドーマスク30と同じ材料からなる。

30

【0266】

そして、シャドーマスク340を介して保護膜8を電極6,7上に形成する。これによって、光電変換素子20が完成する(図21の工程(l)参照)。光電変換素子20は、上述した配線シート70を用いてモジュール化される。なお、本実施の形態におけるその他の説明は、実施の形態1における説明と同じである。

【0267】

このように、本実施の形態では、p型非晶質半導体層5を形成する前は、アライメントマーク4M及びn型非晶質半導体層4が形成されていない他の領域にパッシベーション膜301が形成されていない。そのため、アライメントマーク4Mの部分の膜厚が他の領域よりも厚くなり、アライメントマーク4Mの部分のコントラストが他の領域よりも高くなる。その結果、p型非晶質半導体層5を形成する際、光学顕微鏡によってアライメントマーク4Mをより確実に認識することができ、アライメントマーク4Mにシャドーマスク320のアライメント用開口部40bの凸部の位置を合わせることができる。よって、半導体基板1の裏面の全体にパッシベーション膜3が形成される実施の形態1と比べて、n型非晶質半導体層4及びp型非晶質半導体層5をより確実に適切な位置に形成することができる。

40

【0268】

[実施の形態5]

50

図 2 2 は、この実施の形態による光電変換素子を備える光電変換モジュールの構成を示す概略図である。図 2 2 を参照して、光電変換モジュール 1 0 0 0 は、複数の光電変換素子 1 0 0 1 と、カバー 1 0 0 2 と、出力端子 1 0 0 3, 1 0 0 4 とを備える。

【0269】

複数の光電変換素子 1 0 0 1 は、アレイ状に配置され、直列に接続される。なお、複数の光電変換素子 1 0 0 1 は、直列に接続される代わりに、並列接続されてもよく、直列と並列を組み合わせて接続されてもよい。

【0270】

そして、複数の光電変換素子 1 0 0 1 の各々は、光電変換素子 1 0, 2 0 からなる。

【0271】

カバー 1 0 0 2 は、耐候性のカバーからなり、複数の光電変換素子 1 0 0 1 を覆う。カバー 1 0 0 2 は、例えば、光電変換素子 1 0 0 1 の受光面側に設けられた透明基材（例えば、ガラス等）と、光電変換素子 1 0 0 1 の受光面側と反対の裏面側に設けられた裏面基材（たとえば、ガラス、樹脂シート等）と、透明基材と裏面基材との間の隙間を埋める封止材（例えば、EVA等）を含む。

【0272】

出力端子 1 0 0 3 は、直列に接続された複数の光電変換素子 1 0 0 1 の一方端に配置される光電変換素子 1 0 0 1 に接続される。

【0273】

出力端子 1 0 0 4 は、直列に接続された複数の光電変換素子 1 0 0 1 の他方端に配置される光電変換素子 1 0 0 1 に接続される。

【0274】

上述したように、光電変換素子 1 0, 2 0 は、光電変換効率が向上している。従って、光電変換モジュール 1 0 0 0 の光電変換効率を向上できる。

【0275】

なお、光電変換モジュール 1 0 0 0 に含まれる光電変換素子 1 0 0 1 の数は、2 以上の任意の整数である。

【0276】

また、本実施の形態による光電変換モジュールは、図 2 2 に示す構成に限らず、光電変換素子 1 0, 2 0 のいずれかを用いる限り、どのような構成であってもよい。

【0277】

〔実施の形態 6〕

図 2 3 は、この実施の形態による光電変換素子を備える太陽光発電システムの構成を示す概略図である。

【0278】

図 2 3 を参照して、太陽光発電システム 1 1 0 0 は、光電変換モジュールアレイ 1 1 0 1 と、接続箱 1 1 0 2 と、パワーコンディショナー 1 1 0 3 と、分電盤 1 1 0 4 と、電力メーター 1 1 0 5 とを備える。

【0279】

接続箱 1 1 0 2 は、光電変換モジュールアレイ 1 1 0 1 に接続される。パワーコンディショナー 1 1 0 3 は、接続箱 1 1 0 2 に接続される。分電盤 1 1 0 4 は、パワーコンディショナー 1 1 0 3 および電気機器 1 1 1 0 に接続される。電力メーター 1 1 0 5 は、分電盤 1 1 0 4 および系統連系に接続される。

【0280】

光電変換モジュールアレイ 1 1 0 1 は、太陽光を電気に変換して直流電力を発電し、その発電した直流電力を接続箱 1 1 0 2 に供給する。

【0281】

接続箱 1 1 0 2 は、光電変換モジュールアレイ 1 1 0 1 が発電した直流電力を受け、その受けた直流電力をパワーコンディショナー 1 1 0 3 へ供給する。

【0282】

パワーコンディショナー 1103 は、接続箱 1102 から受けた直流電力を交流電力に変換し、その変換した交流電力を分電盤 1104 に供給する。

【0283】

分電盤 1104 は、パワーコンディショナー 1103 から受けた交流電力および／または電力メーター 1105 を介して受けた商用電力を電気機器 1110 へ供給する。また、分電盤 1104 は、パワーコンディショナー 1103 から受けた交流電力が電気機器 1110 の消費電力よりも多いとき、余った交流電力を電力メーター 1105 を介して系統連系へ供給する。

【0284】

電力メーター 1105 は、系統連系から分電盤 1104 へ向かう方向の電力を計測するとともに、分電盤 1104 から系統連系へ向かう方向の電力を計測する。

10

【0285】

図 24 は、図 23 に示す光電変換モジュールアレイ 1101 の構成を示す概略図である。

【0286】

図 24 を参照して、光電変換モジュールアレイ 1101 は、複数の光電変換モジュール 1120 と、出力端子 1121, 1122 とを含む。

【0287】

複数の光電変換モジュール 1120 は、アレイ状に配列され、直列に接続される。なお、複数の光電変換モジュール 1120 は、直列に接続される代わりに、並列接続されてもよく、直列と並列を組み合わせて接続されてもよい。そして、複数の光電変換モジュール 1120 の各々は、図 22 に示す光電変換モジュール 1000 からなる。

20

【0288】

出力端子 1121 は、直列に接続された複数の光電変換モジュール 1120 の一方端に位置する光電変換モジュール 1120 に接続される。

【0289】

出力端子 1122 は、直列に接続された複数の光電変換モジュール 1120 の他方端に位置する光電変換モジュール 1120 に接続される。

【0290】

なお、光電変換モジュールアレイ 1101 に含まれる光電変換モジュール 1120 数は、2 以上の任意の整数である。

30

【0291】

太陽光発電システム 1100 における動作を説明する。光電変換モジュールアレイ 1101 は、太陽光を電気に変換して直流電力を発電し、その発電した直流電力を接続箱 1102 を介してパワーコンディショナー 1103 へ供給する。

【0292】

パワーコンディショナー 1103 は、光電変換モジュールアレイ 1101 から受けた直流電力を交流電力に変換し、その変換した交流電力を分電盤 1104 へ供給する。

【0293】

分電盤 1104 は、パワーコンディショナー 1103 から受けた交流電力が電気機器 1110 の消費電力以上であるとき、パワーコンディショナー 1103 から受けた交流電力を電気機器 1110 に供給する。そして、分電盤 1104 は、余った交流電力を電力メーター 1105 を介して系統連系へ供給する。

40

【0294】

また、分電盤 1104 は、パワーコンディショナー 1103 から受けた交流電力が電気機器 1110 の消費電力よりも少ないとき、系統連系から受けた交流電力およびパワーコンディショナー 1103 から受けた交流電力を電気機器 1110 へ供給する。

【0295】

太陽光発電システム 1100 は、上述したように、光電変換効率に優れた光電変換素子 10, 20 のいずれかを備えている。従って、太陽光発電システム 1100 の光電変換効

50

率を改善できる。

【0296】

図25は、この実施の形態による光電変換素子を備える別の太陽光発電システムの構成を示す概略図である。

【0297】

この実施の形態による光電変換素子を備える太陽光発電システムは、図25に示す太陽光発電システム1100Aであってもよい。

【0298】

図25を参照して、太陽光発電システム1100Aは、図23に示す太陽光発電システム1100に蓄電池1106を追加したものである、その他は、太陽光発電システム1100と同じである。

【0299】

蓄電池1106は、パワーコンディショナー1103に接続される。

【0300】

太陽光発電システム1100Aにおいては、パワーコンディショナー1103は、接続箱1102から受けた直流電力の一部または全部を適切に変換して蓄電池1106に蓄電する。

【0301】

パワーコンディショナー1103は、その他、太陽光発電システム1100における動作と同じ動作を行う。

【0302】

蓄電池1106は、パワーコンディショナー1103から受けた直流電力を蓄電する。また、蓄電池1106は、光電変換モジュールアレイ1101の発電量および／または電気機器1110の電力消費量の状況に応じて、蓄電した電力を、適宜、パワーコンディショナー1103へ供給する。

【0303】

このように、太陽光発電システム1100Aは、蓄電池1106を備えているので、日照量の変動による出力変動を抑制できるとともに、日照のない時間帯であっても、蓄電池1106に蓄電された電力を電気機器1110に供給することができる。

【0304】

なお、蓄電池1106は、パワーコンディショナー1103に内蔵されていてもよい。

【0305】

また、本実施の形態による太陽光発電システムは、図23、24に示す構成または図24、25に示す構成に限らず、光電変換素子10、20のいずれかを用いる限り、どのような構成であってもよい。

【0306】

〔実施の形態7〕

図26は、この実施の形態による光電変換素子を備える太陽光発電システムの構成を示す概略図である。

【0307】

図26を参照して、太陽光発電システム1200は、サブシステム1201～120n（nは2以上の整数）と、パワーコンディショナー1211～121nと、変圧器1221とを備える。太陽光発電システム1200は、図23、25に示す太陽光発電システム1100、1100Aよりも規模が大きい太陽光発電システムである。

【0308】

パワーコンディショナー1211～121nは、それぞれ、サブシステム1201～120nに接続される。

【0309】

変圧器1221は、パワーコンディショナー1211～121nおよび系統連系に接続される。

【0310】

サブシステム1201～120nの各々は、モジュールシステム1231～123j（jは2以上の整数）からなる。

【0311】

モジュールシステム1231～123jの各々は、光電変換モジュールアレイ1301～130i（iは2以上の整数）と、接続箱1311～131iと、集電箱1321を含む。

【0312】

光電変換モジュールアレイ1301～130iの各々は、図23に示す光電変換モジュールアレイ1101と同じ構成からなる。

10

【0313】

接続箱1311～131iは、それぞれ、光電変換モジュールアレイ1301～130iに接続される。

【0314】

集電箱1321は、接続箱1311～131iに接続される。また、サブシステム1201のj個の集電箱1321は、パワーコンディショナー1211に接続される。サブシステム1202のj個の集電箱1321は、パワーコンディショナー1212に接続される。以下、同様にして、サブシステム120nのj個の集電箱1321は、パワーコンディショナー121nに接続される。

【0315】

モジュールシステム1231のi個の光電変換モジュールアレイ1301～130iは、太陽光を電気に変換して直流電力を発電し、その発電した直流電力をそれぞれ接続箱1311～131iを介して集電箱1321へ供給する。モジュールシステム1232のi個の光電変換モジュールアレイ1301～130iは、太陽光を電気に変換して直流電力を発電し、その発電した直流電力をそれぞれ接続箱1311～131iを介して集電箱1321へ供給する。以下、同様にして、モジュールシステム123jのi個の光電変換モジュールアレイ1301～130iは、太陽光を電気に変換して直流電力を発電し、その発電した直流電力をそれぞれ接続箱1311～131iを介して集電箱1321へ供給する。

20

【0316】

そして、サブシステム1201のj個の集電箱1321は、直流電力をパワーコンディショナー1211へ供給する。

30

【0317】

サブシステム1202のj個の集電箱1321は、同様にして直流電力をパワーコンディショナー1212へ供給する。

【0318】

以下、同様にして、サブシステム120nのj個の集電箱1321は、直流電力をパワーコンディショナー121nへ供給する。

【0319】

パワーコンディショナー1211～121nは、それぞれ、サブシステム1201～120nから受けた直流電力を交流電力に変換し、その変換した交流電力を変圧器1221へ供給する。

40

【0320】

変圧器1221は、パワーコンディショナー1211～121nから交流電力を受け、その受けた交流電力の電圧レベルを変換して系統連系へ供給する。

【0321】

太陽光発電システム1200は、上述したように、光電変換効率に優れた光電変換素子10、20のいずれかを備えている。従って、太陽光発電システム1200の光電変換効率を改善できる。

【0322】

50

図 27 は、この実施の形態による光電変換素子を備える別の太陽光発電システムの構成を示す概略図である。

【0323】

この実施の形態による光電変換素子を備える太陽光発電システムは、図 27 に示す太陽光発電システム 1200A であってもよい。

【0324】

図 27 を参照して、太陽光発電システム 1200A は、図 26 に示す太陽光発電システム 1200 に蓄電池 1241～124n を追加したものであり、その他は、太陽光発電システム 1200 と同じである。

【0325】

蓄電池 1241～124n は、それぞれ、パワーコンディショナー 1211～121n に接続される。

【0326】

太陽光発電システム 1200A においては、パワーコンディショナー 1211～121n は、それぞれ、サブシステム 1201～120n から受けた直流電力を交流電力に変換し、その変換した交流電力を変圧器 1221 へ供給する。また、パワーコンディショナー 1211～121n は、それぞれ、サブシステム 1201～120n から受けた直流電力を適切に変換し、その変換した直流電力をそれぞれ蓄電池 1241～124n へ蓄電する。

【0327】

蓄電池 1241～124n は、サブシステム 1201～120n からの直流電力量に応じて、蓄電した電力をそれぞれパワーコンディショナー 1211～121n へ供給する。

【0328】

このように、太陽光発電システム 1200A は、蓄電池 1241～124n を備えているので、日照量の変動による出力変動を抑制できるとともに、日照のない時間帯であっても、蓄電池 1241～124n に蓄電された電力を変圧器 1221 に供給することができる。

【0329】

なお、蓄電池 1241～124n は、それぞれ、パワーコンディショナー 1211～121n に内蔵されていてもよい。

【0330】

また、本実施の形態による太陽光発電システムは、図 26, 27 に示す構成に限らず、光電変換素子 10, 20 のいずれかを用いる限り、どのような構成であってもよい。

【0331】

更に、本実施の形態においては、太陽光発電システム 1200, 1200A に含まれる全ての光電変換素子が光電変換素子 10, 20 である必要はない。

【0332】

例えば、あるサブシステム（サブシステム 1201～120n のいずれか）に含まれる光電変換素子の全てが光電変換素子 10, 20 のいずれかであり、別のサブシステム（サブシステム 1201～120n のいずれか）に含まれる光電変換素子の一部または全部が光電変換素子 10, 20 以外の光電変換素子である場合も有り得るものとする。

【0333】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は、上記した実施の形態の説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

【0334】

(1) 上述の実施の形態 3、4 では、半導体基板 1 の裏面に n 型非晶質半導体層 4 を先に形成した後、p 型非晶質半導体層 5 を形成する例を説明したが、p 型非晶質半導体層 5 を先に形成した後、n 型非晶質半導体層 4 を形成してもよい。

【0335】

(2) 上述の実施の形態2、3において、実施の形態4と同様、n型非晶質半導体層4、アライメントマーク4M、及びp型非晶質半導体層5のそれぞれの下の部分のみに、真性非晶質半導体層からなるパッシベーション膜を形成してもよい。この場合、実施の形態2において、アライメントマーク41M、42Mは、n型非晶質半導体層4と、n型非晶質半導体層4の下に形成されたパッシベーション膜とを含む。そのため、アライメントマーク41M、42Mが形成された部分のコントラストが高くなり、p型非晶質半導体層5を形成する際に用いるシャドーマスクをより適切な位置に配置することができる。また、実施の形態3において、n型非晶質半導体層4からなる個体識別情報は、n型非晶質半導体層4と、n型非晶質半導体層4の下に形成されたパッシベーション膜とを含む。そのため、個体識別情報が形成された部分のコントラストが高くなり、p型非晶質半導体層5を形成する際に用いるシャドーマスク3200の凸部402c～405cの位置合わせをより正確に行うことができる。

10

【0336】

(3) 上述した実施の形態2では、n型非晶質半導体層4の一部からなるアライメントマーク41Mを基に、p型非晶質半導体層5を形成する際に用いるシャドーマスクの位置を調整する例を説明したが、アライメントマーク41Mを用いずにシャドーマスクの位置を調整してもよい。つまり、例えば、n型非晶質半導体層4を形成する際に用いるシャドーマスクと、p型非晶質半導体層5を形成する際に用いるシャドーマスクの各位置を合わせるためのアライメントピンを、半導体基板1Aを固定する台に予め固定する。そして、実施の形態2と同様、半導体基板1Aの裏面の少なくとも一部にテクスチャ構造を形成した後、各アライメントピンに合わせて、n型非晶質半導体層4とp型非晶質半導体層5をそれぞれ形成するためのシャドーマスクを配置し、n型非晶質半導体層4とp型非晶質半導体層5を順次形成する。

20

【0337】

そして、n型非晶質半導体層4及びp型非晶質半導体層5を形成後、テクスチャ構造が形成された領域を光学顕微鏡で観察することで、テクスチャ構造の上に形成されたn型非晶質半導体層4とp型非晶質半導体層4の境界を特定することができる。これにより、n型非晶質半導体層4とp型非晶質半導体層5が重ならず、適切な位置に形成されているか否かをチェックすることができる。つまり、アライメントピンを用いてシャドーマスクを配置し、半導体基板1Aの裏面におけるテクスチャ構造の上に形成されたn型非晶質半導体層4及びp型非晶質半導体層5の境界部分は、光散乱層の一例であり、検査部として機能する。なお、上記では、アライメントピンを用いる例を説明したが、シャドーマスクの位置合わせを行う方法はアライメントピンを用いる方法に限らない。

30

【産業上の利用可能性】

【0338】

この発明は、光電変換素子、それを備えた太陽電池モジュールおよび太陽光発電システムに適用される。

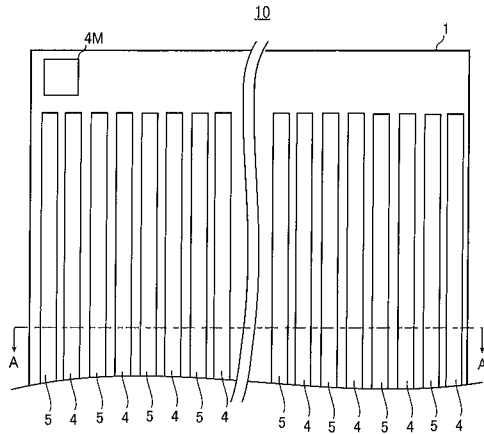
【符号の説明】

【0339】

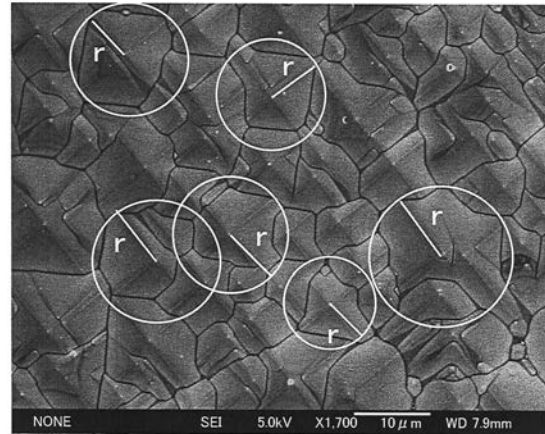
1, 1A, 1B…半導体基板、2…反射防止膜、3, 301, 302…パッシベーション膜、4…n型非晶質半導体層、4s, 5s…識別情報、5…p型非晶質半導体層、6, 7…電極、6a, 6b, 7a, 7b…導電層、8…保護膜、10, 20…光電変換素子、30, 40, 50, 60, 310, 320, 330, 340, 3100, 3200…シャドーマスク、70…配線シート、1000…太陽電池モジュール、1100, 1100A, 1200, 1200A…太陽光発電システム、1101, 1301…光電変換モジュールアレイ、1120…光電変換モジュール、S…個体識別情報、4M, 41M, 42M…アライメントマーク

40

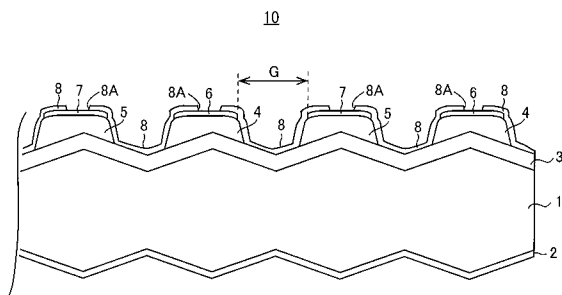
【図 1 A】



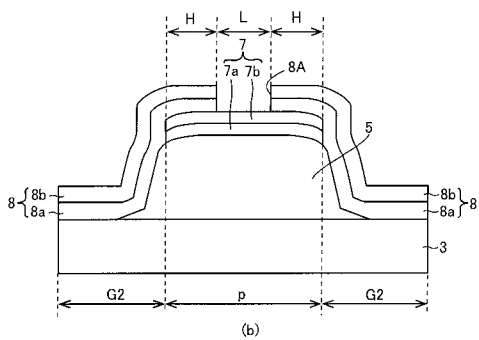
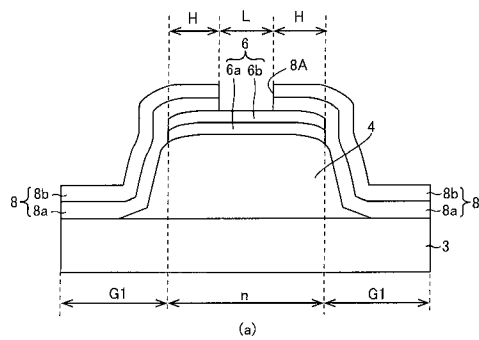
【図 2】



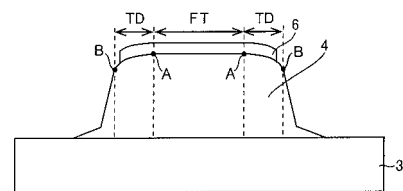
【図 1 B】



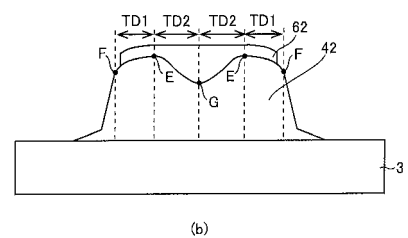
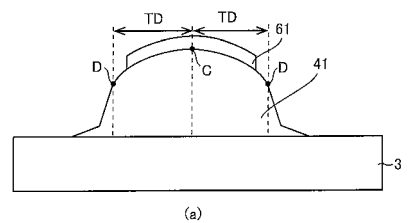
【図 3】



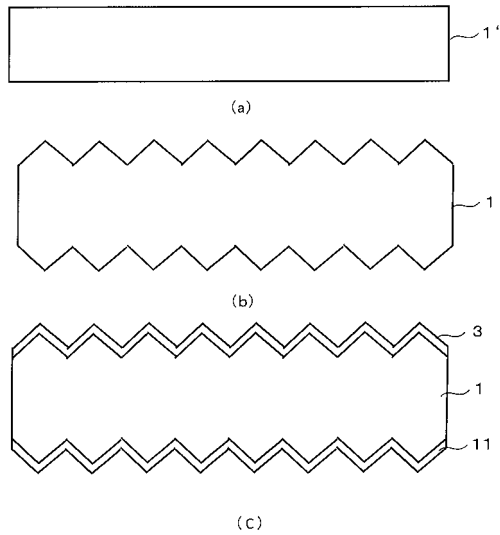
【図 4】



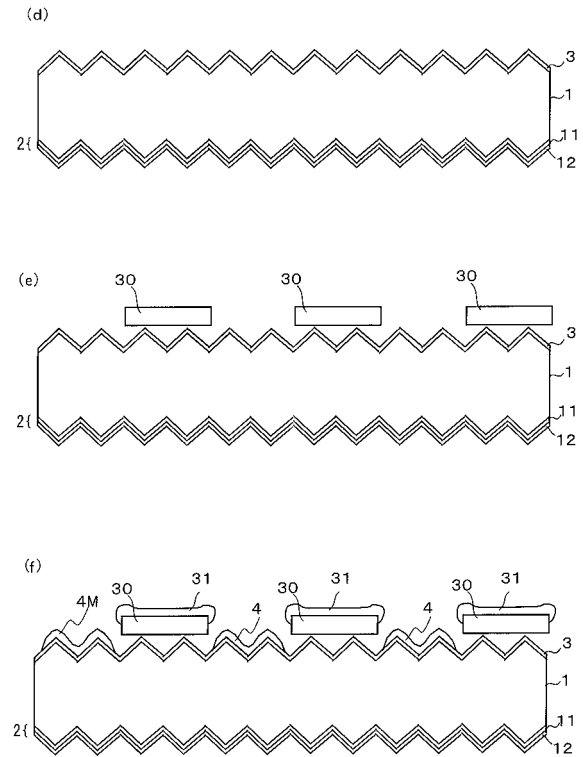
【図 5】



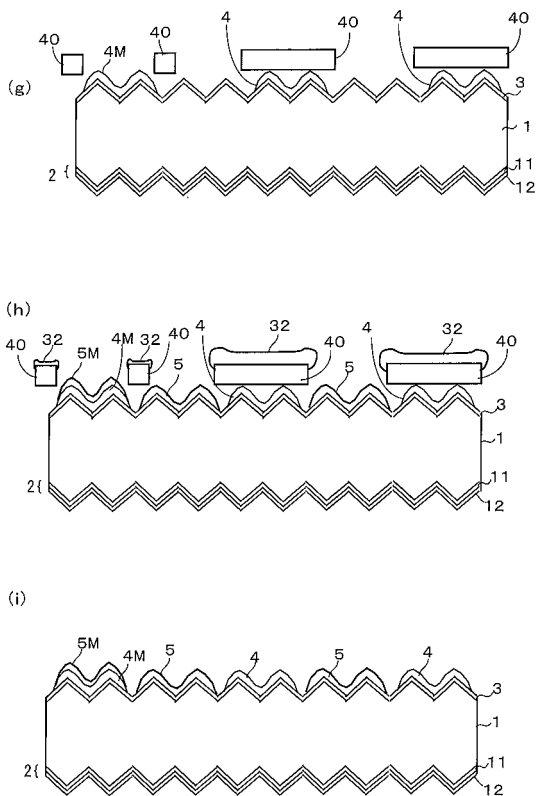
【図 6】



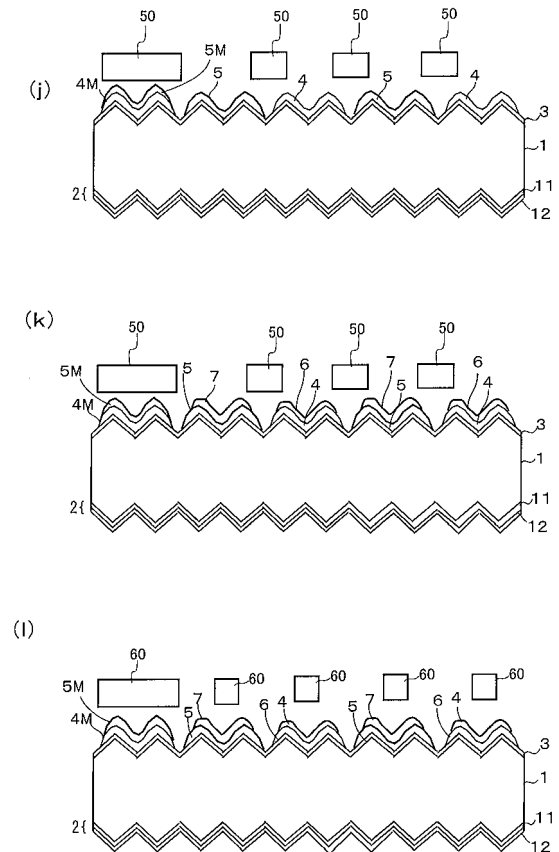
【図 7】



【図 8】

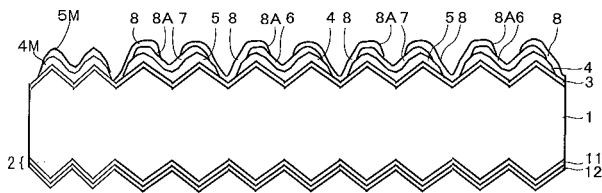


【図 9】

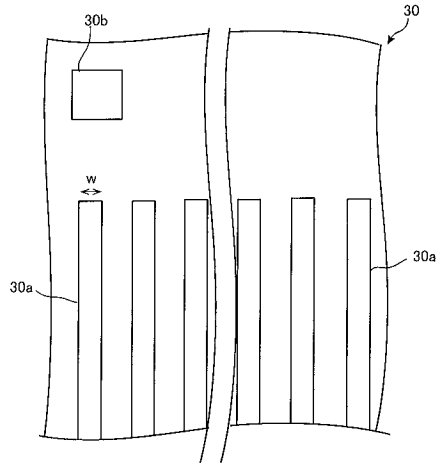


【図 10】

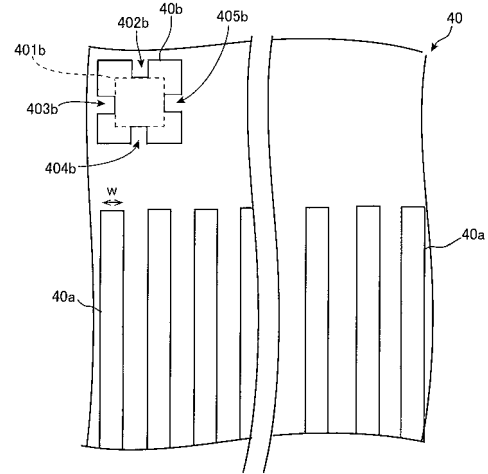
(m)



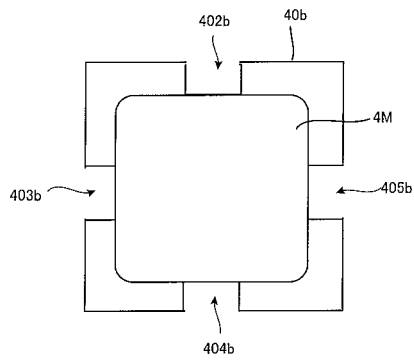
【図 11 A】



【図 11 B】

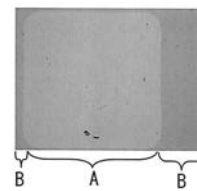


【図 11 C】

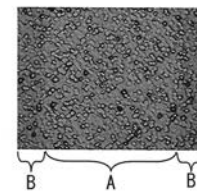


【図 12】

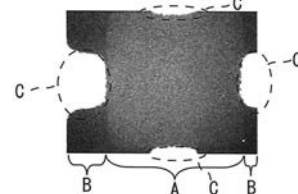
(a)



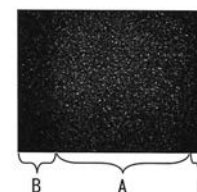
(b)



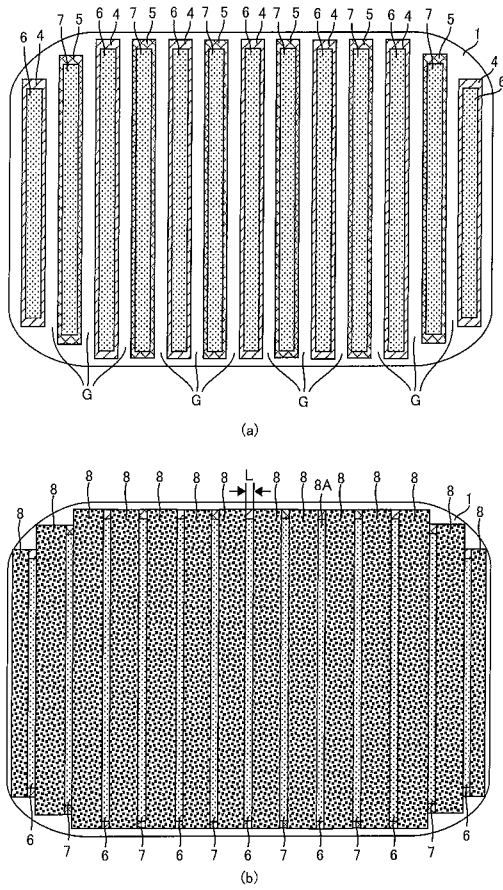
(c)



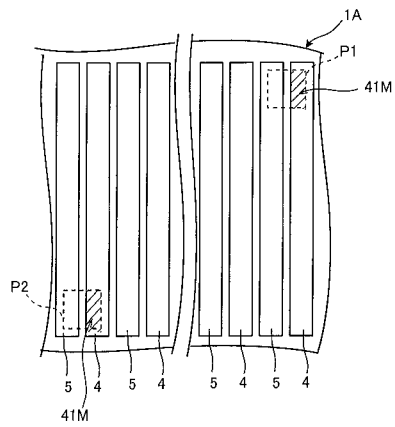
(d)



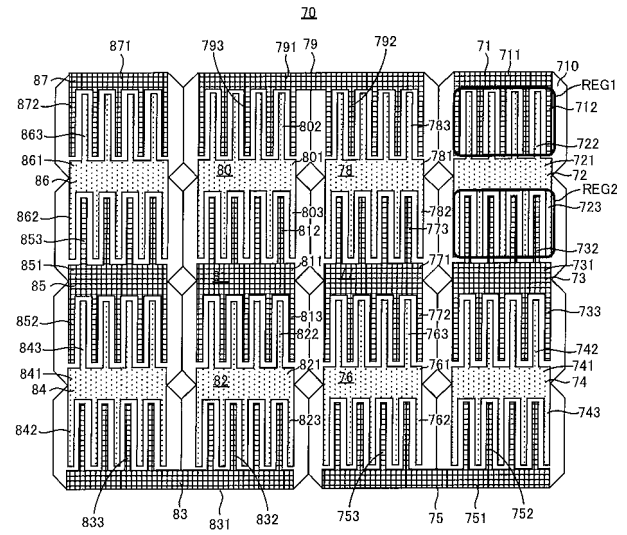
【 図 1 3 A 】



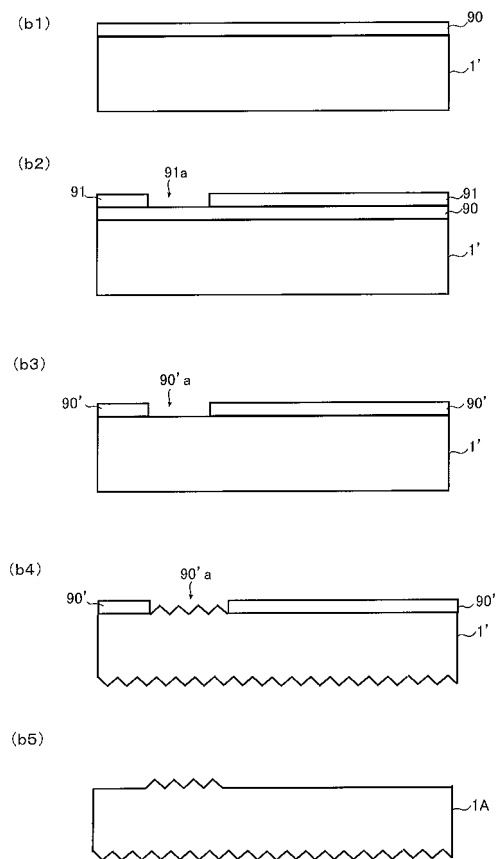
【図 1 4 A】



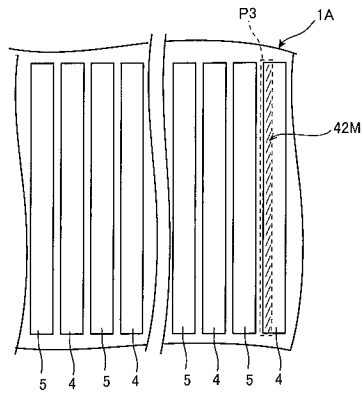
【図 1 3 B】



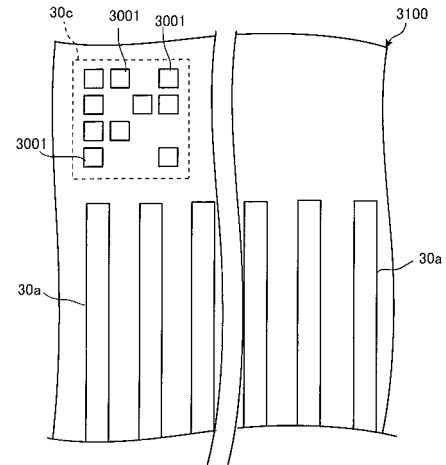
【図 14 B】



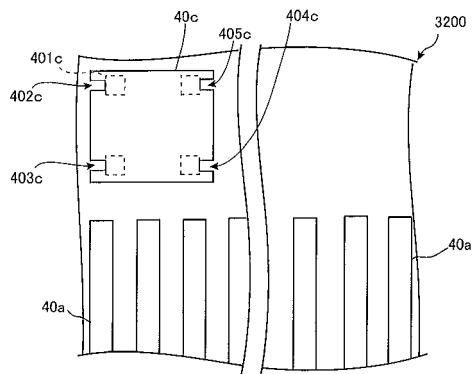
【図 1 4 C】



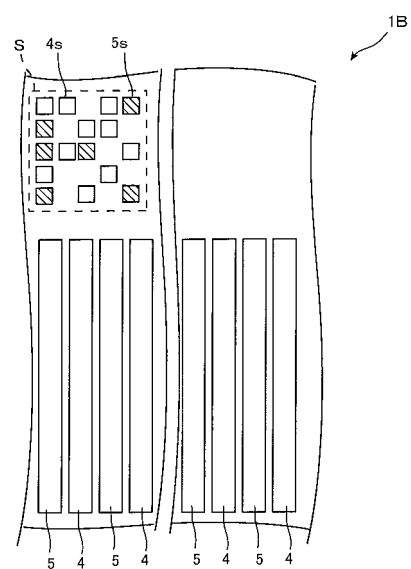
【図 1 5 A】



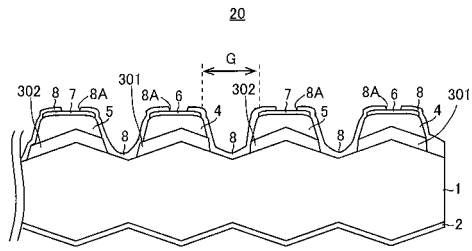
【図 1 5 B】



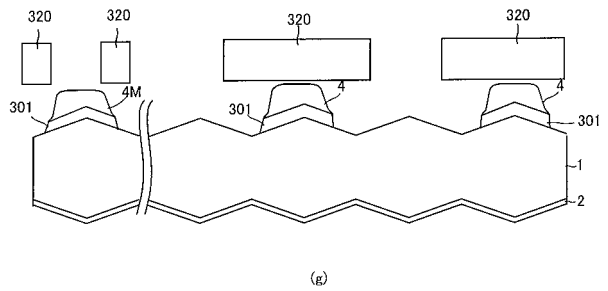
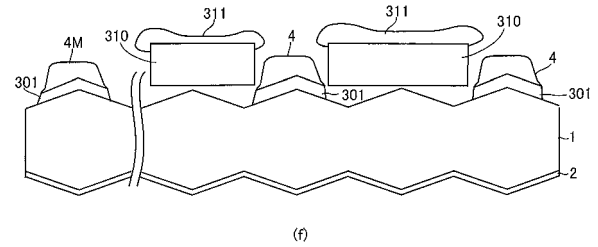
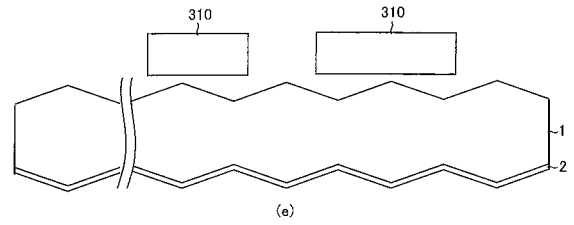
【図 1 6】



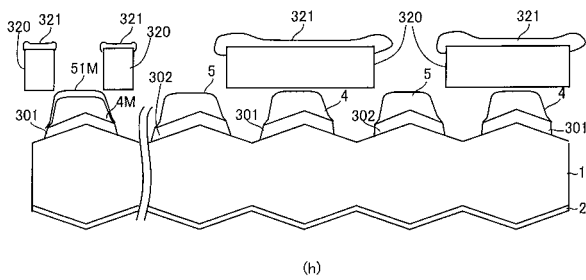
【図 17】



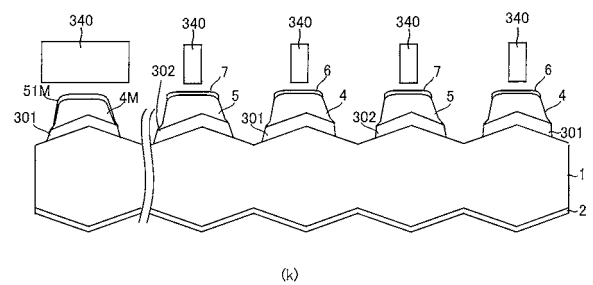
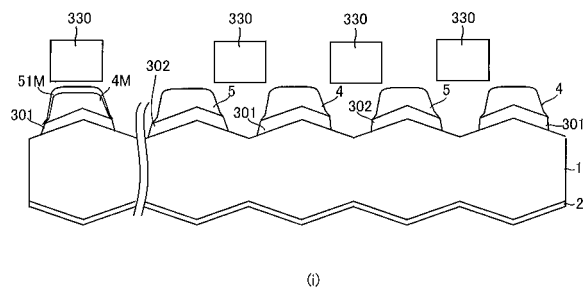
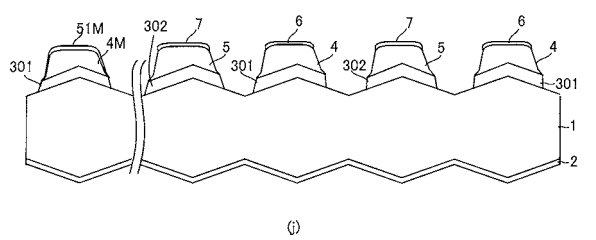
【図 18】



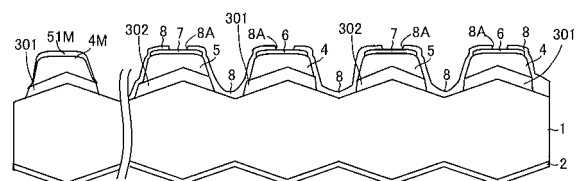
【図 19】



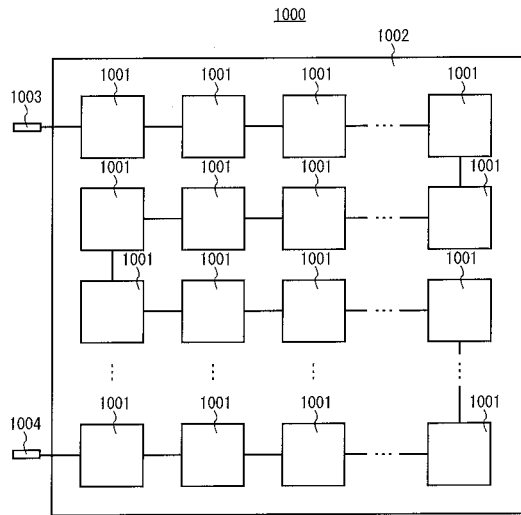
【図 20】



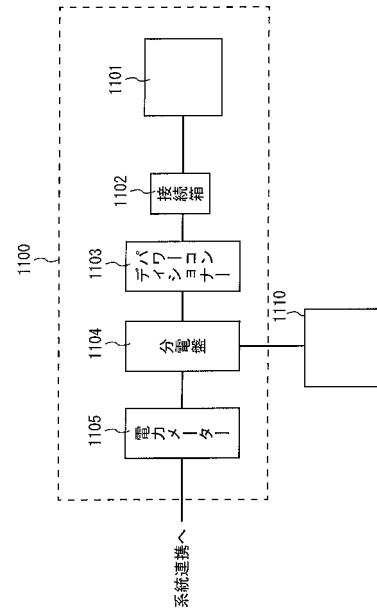
【図 21】



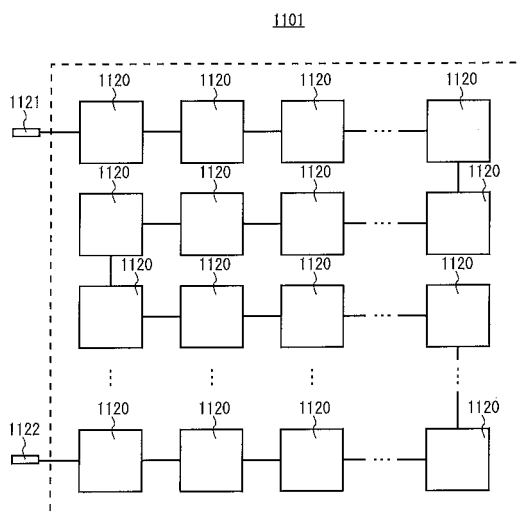
【図 2 2】



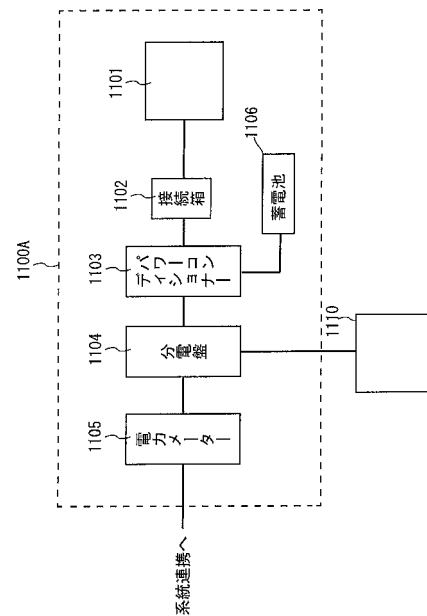
【図 2 3】



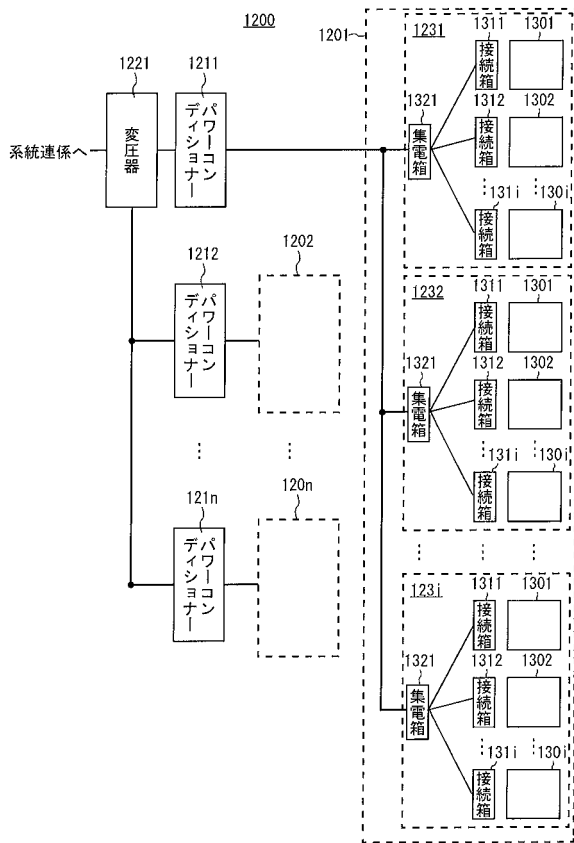
【図 2 4】



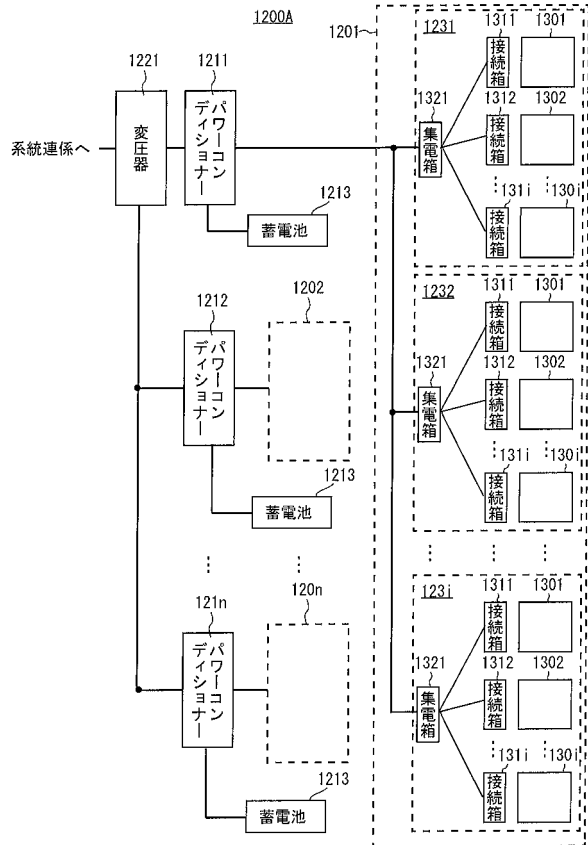
【図 2 5】



【図 26】



【図 27】



【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No. PCT/JP2016/053226												
A. CLASSIFICATION OF SUBJECT MATTER H01L31/0747(2012.01)i, H01L31/0236(2006.01)i, H01L31/18(2006.01)i According to International Patent Classification (IPC) or to both national classification and IPC														
B. FIELDS SEARCHED Minimum documentation searched (classification system followed by classification symbols) H01L31/02-31/078, 31/18-31/20 Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2016 Kokai Jitsuyo Shinan Koho 1971-2016 Toroku Jitsuyo Shinan Koho 1994-2016 Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)														
C. DOCUMENTS CONSIDERED TO BE RELEVANT <table border="1"> <thead> <tr> <th>Category*</th> <th>Citation of document, with indication, where appropriate, of the relevant passages</th> <th>Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X Y</td> <td>JP 2010-258043 A (Sanyo Electric Co., Ltd.), 11 November 2010 (11.11.2010), paragraphs [0026] to [0052]; fig. 1 to 3 & US 2010/0263722 A1 paragraphs [0036] to [0062]; fig. 1 to 3</td> <td>1, 4-5 2-3</td> </tr> <tr> <td>X Y</td> <td>WO 2012/132615 A1 (Sanyo Electric Co., Ltd.), 04 October 2012 (04.10.2012), paragraphs [0011] to [0020]; fig. 1 to 3 & US 2014/0020752 A1 paragraphs [0034] to [0044]; fig. 1 to 3</td> <td>1, 4-5 2-3</td> </tr> <tr> <td>X Y</td> <td>JP 2013-187287 A (Sharp Corp.), 19 September 2013 (19.09.2013), paragraphs [0044] to [0062]; fig. 5 to 6 (Family: none)</td> <td>1, 4-5 2-3</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X Y	JP 2010-258043 A (Sanyo Electric Co., Ltd.), 11 November 2010 (11.11.2010), paragraphs [0026] to [0052]; fig. 1 to 3 & US 2010/0263722 A1 paragraphs [0036] to [0062]; fig. 1 to 3	1, 4-5 2-3	X Y	WO 2012/132615 A1 (Sanyo Electric Co., Ltd.), 04 October 2012 (04.10.2012), paragraphs [0011] to [0020]; fig. 1 to 3 & US 2014/0020752 A1 paragraphs [0034] to [0044]; fig. 1 to 3	1, 4-5 2-3	X Y	JP 2013-187287 A (Sharp Corp.), 19 September 2013 (19.09.2013), paragraphs [0044] to [0062]; fig. 5 to 6 (Family: none)	1, 4-5 2-3
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.												
X Y	JP 2010-258043 A (Sanyo Electric Co., Ltd.), 11 November 2010 (11.11.2010), paragraphs [0026] to [0052]; fig. 1 to 3 & US 2010/0263722 A1 paragraphs [0036] to [0062]; fig. 1 to 3	1, 4-5 2-3												
X Y	WO 2012/132615 A1 (Sanyo Electric Co., Ltd.), 04 October 2012 (04.10.2012), paragraphs [0011] to [0020]; fig. 1 to 3 & US 2014/0020752 A1 paragraphs [0034] to [0044]; fig. 1 to 3	1, 4-5 2-3												
X Y	JP 2013-187287 A (Sharp Corp.), 19 September 2013 (19.09.2013), paragraphs [0044] to [0062]; fig. 5 to 6 (Family: none)	1, 4-5 2-3												
☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.														
<table border="0"> <tr> <td> * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed </td> <td> "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family </td> </tr> </table>			* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family										
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family													
Date of the actual completion of the international search 18 March 2016 (18.03.16)		Date of mailing of the international search report 05 April 2016 (05.04.16)												
Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan		Authorized officer Telephone No.												

Form PCT/ISA/210 (second sheet) (January 2015)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/053226

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-203379 A (Mitsubishi Electric Corp.), 27 July 2001 (27.07.2001), paragraphs [0023] to [0031]; fig. 1 to 17 (Family: none)	2-3
Y	JP 2012-64839 A (Kaneka Corp.), 29 March 2012 (29.03.2012), claims 1, 6; paragraphs [0029] to [0051] (Family: none)	2-3
P, A	WO 2015/146333 A1 (Sharp Corp.), 01 October 2015 (01.10.2015), paragraphs [0013] to [0033], [0082]; fig. 1, 16 & JP 2015-185743 A	1-5

Form PCT/ISA/210 (continuation of second sheet) (January 2015)

国際調査報告		国際出願番号 PCT/J P 2 0 1 6 / 0 5 3 2 2 6	
A. 発明の属する分野の分類（国際特許分類（I P C）） Int.Cl. H01L31/0747(2012.01)i, H01L31/0236(2006.01)i, H01L31/18(2006.01)i			
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（I P C）） Int.Cl. H01L31/02-31/078, 31/18-31/20 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2016年 日本国実用新案登録公報 1996-2016年 日本国登録実用新案公報 1994-2016年 国際調査で使った電子データベース（データベースの名称、調査に使用した用語）			
C. 関連すると認められる文献			
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号	
X Y	JP 2010-258043 A（三洋電機株式会社）2010.11.11, 段落 [0026] - [0052], 第1-3図 & US 2010/0263722 A1, 段落 [0036] - [0062], 第1-3図	1, 4-5 2-3	
X Y	WO 2012/132615 A1（三洋電機株式会社）2012.10.04, 段落 [0011] - [0020], 第1-3図 & US 2014/0020752 A1, 段落 [0034] - [0044], 第1-3図	1, 4-5 2-3	
☒ C欄の続きにも文献が列挙されている。 ☐ パテントファミリーに関する別紙を参照。			
* 引用文献のカテゴリ 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願 の日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献			
国際調査を完了した日 18.03.2016		国際調査報告の発送日 05.04.2016	
国際調査機関の名称及びあて先 日本国特許庁（I S A / J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号		特許庁審査官（権限のある職員） 山本 元彦 電話番号 03-3581-1101 内線 3255	

様式PCT/I S A / 2 1 0（第2ページ）（2015年1月）

国際調査報告		国際出願番号 PCT/J P 2 0 1 6 / 0 5 3 2 2 6
C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2013-187287 A (シャープ株式会社) 2013.09.19, 段落 [0044] - [0062], 第 5-6 図 (ファミリーなし)	1, 4-5
Y		2-3
Y	JP 2001-203379 A (三菱電機株式会社) 2001.07.27, 段落 [0023] - [0031], 第 1-17 図 (ファミリーなし)	2-3
Y	JP 2012-64839 A (株式会社カネカ) 2012.03.29, [請求項 1], [請求項 6], 段落 [0029] - [0051] (ファミリーなし)	2-3
P, A	WO 2015/146333 A1 (シャープ株式会社) 2015.10.01, 段落 [0013] - [0033], [0082], 第 1, 16 図 & JP 2015-185743 A	1-5

様式 PCT/ISA/210 (第 2 ページの続き) (2015 年 1 月)

フロントページの続き

(81)指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US

(72)発明者 原田 真臣
大阪府堺市堺区匠町1番地 シャープ株式会社内

(72)発明者 國吉 督章
大阪府堺市堺区匠町1番地 シャープ株式会社内

(72)発明者 鄒 柳民
大阪府堺市堺区匠町1番地 シャープ株式会社内

Fターム(参考) 5F151 AA02 AA05 DA07 DA10 FA04 FA06 FA18 GA14

(注) この公表は、国際事務局(WIPO)により国際公開された公報を基に作成したものである。なおこの公表に係る日本語特許出願(日本語実用新案登録出願)の国際公開の効果は、特許法第184条の10第1項(実用新案法第48条の13第2項)により生ずるものであり、本掲載とは関係ありません。

(19) Japan Patent Office (JP)

**RE-PUBLICATION OF PCT
INTERNATIONAL PUBLICATION (A1)**

(11) PCT International
Publication No.
WO2016/129481

Date Issued: November 16, 2017 (Heisei 29) (43) International Publication Date: **August 18, 2016 (Heisei 28)**

(51) Int. Cl.	FI	Theme Code (Reference)
<i>H 01 L 31/046 (2014.01)</i>	H 01 L 31/04	532Z 5F151
<i>H 01 L 31/0747 (2012.01)</i>	H 01 L 31/06	455

Examination Request: Not Yet

Preliminary Examination Request: Not Yet (Total 50 pages)

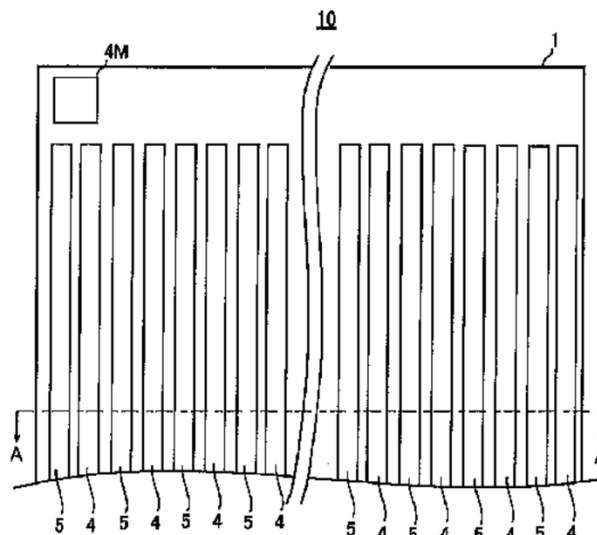
Application No. JP 2016-574758 (P2016-574758) (21) Int. Application No. PCT/JP2016/053226 (22) Int. Date of Filing February 3, 2016 (Heisei 28) (31) Priority Number JP 2015-23477 (P2015-23477) (32) Priority Date February 9, 2015 (Heisei 27) (33) Country of Priority Japan (JP)	(71) Applicant 000005049 SHARP CORPORATION 1 Takumi-cho, Sakai-ku Sakai-shi, Osaka (74) Agent 100120662 Keiko Kawakami, Attorney (74) Agent 100112715 Takao Matsuyama, Attorney (72) Inventor Toshihiko Sakai c/o SHARP CORPORATION 1 Takumi-cho, Sakai-ku Sakai-shi, Osaka (72) Inventor Takeshi Kamikawa c/o SHARP CORPORATION 1 Takumi-cho, Sakai-ku Sakai-shi, Osaka
---	---

Continued on last page

(54) [Title of Invention] PHOTOELECTRIC
CONVERSION ELEMENT

(57) [Abstract]

The present invention provides a photoelectric conversion element capable of reducing a decrease in photoelectric conversion efficiency due to overlapping of an n-type semiconductor layer and a p-type semiconductor layer. On a front surface of a semiconductor substrate 1, an n-type amorphous semiconductor layer 4 and a p-type amorphous semiconductor layer 5 are alternately disposed on a back surface of the semiconductor substrate 1 at a desired interval, and an alignment mark 4M including the same semiconductor layer as the n-type amorphous semiconductor layer 4 is formed. A texture structure is formed on the front surface of the semiconductor substrate 1 on at least a portion at a boundary of the alignment mark 4M.



[Scope of Patent Claims]

[Claim 1]

A photoelectric conversion element, comprising: a semiconductor substrate;
a first amorphous semiconductor layer formed on one surface of the semiconductor substrate and having a first conduction type;
a second amorphous semiconductor layer formed on one surface of the semiconductor substrate and formed adjacent to the first amorphous semiconductor layer in an in-plane direction of the semiconductor substrate and having a second conduction type opposite to the first conductive type; a texture structure formed on at least a portion of one surface of the semiconductor substrate; and
a light scattering layer, including at least one amorphous semiconductor layer of the first amorphous semiconductor layer and the second amorphous semiconductor layer, on the texture structure.

[Claim 2]

The photoelectric conversion element according to claim 1, wherein the light scattering layer is formed on one surface of the semiconductor substrate in a region different from the region in which the first amorphous semiconductor layer and the second amorphous semiconductor layer are formed, and is an alignment part for use in adjusting the position when forming one of the first amorphous semiconductor layer and the second amorphous semiconductor layer.

[Claim 3]

The photoelectric conversion element according to claim 1, wherein the light scattering layer is formed in a region in which at least one of the first amorphous semiconductor layer and the second amorphous semiconductor layer is formed, and is an alignment part for use in adjusting the position when forming one of the first amorphous semiconductor layer and the second amorphous semiconductor layer.

[Claim 4]

The photoelectric conversion element according to any one of claims 1 to 3, wherein the light scattering layer further comprises an intrinsic amorphous semiconductor layer between the one semiconductor layer and one surface of the semiconductor substrate.

[Claim 5]

The photoelectric conversion element according to any one of claims 1 to 4, wherein, when the texture structure is viewed in a plan view, an average value of a diameter of a circumscribed circle of a convex portion of the texture structure is less than 15 μm .

[Detailed Description of Invention]

[Technical Field]

[0001]

The present invention relates to a photoelectric conversion element.

[Background Art]

[0002]

Conventionally, a photoelectric conversion device is known in which intrinsic (i-type) amorphous silicon is interposed between an n-type crystalline silicon substrate and a p-type amorphous silicon layer, thereby reducing defects at the interface and improving characteristics at the heterojunction interface (see Patent Document 1 below).

[Prior Art Document]

[Patent Document]

[0003]

[Patent Document 1] JP 2010-10620 A

[Summary of Invention]

[Problem to Be Solved by Invention]

[0004]

During the production of a back surface junction-type photoelectric conversion element in which intrinsic amorphous silicon is formed at an interface between crystalline silicon and a p-type amorphous silicon layer, when using a shadow mask, such as a metal mask or the like, to separately pattern a n-type semiconductor layer and a p-

type semiconductor layer on a back surface of a crystalline silicon substrate, the semiconductor layer to be formed later must be formed at an appropriate position corresponding to the position of the semiconductor layer formed earlier. However, when the position of the semiconductor layer formed earlier cannot be reliably recognized due to non-uniform reflected light or the like caused by a dimple in the crystalline silicon substrate, the n-type semiconductor layer and the p-type semiconductor layer cannot be formed at an appropriate position, the n-type semiconductor layer and the p-type semiconductor layer overlap, and photoelectric conversion efficiency may decrease.

[0005]

An object of the present invention is to provide a photoelectric conversion element capable of reducing a decrease in photoelectric conversion efficiency due to overlapping of an n-type semiconductor layer and a p-type semiconductor layer, as well as a solar cell module and a solar power generation system provided therewith.

[Means for Solving Problem]

[0006]

A photoelectric conversion element according to the present invention includes a semiconductor substrate; a first amorphous semiconductor layer formed on one surface of the semiconductor substrate and having a first conduction type; a second amorphous semiconductor layer formed on one surface of the semiconductor substrate and formed adjacent to the first amorphous semiconductor layer in an in-plane direction of the semiconductor substrate and having a second conduction type opposite to the first conductive type; a texture structure formed on at least a portion of one surface of the semiconductor substrate; and a light scattering layer, including at least one amorphous semiconductor layer of the first amorphous semiconductor layer and the second amorphous semiconductor layer, on the texture structure.

[Effect of Invention]

[0007]

According to the present invention, it is possible to reduce a decrease in photoelectric conversion efficiency due to overlapping of an n-type semiconductor layer and a p-type semiconductor layer.

[Brief Description of Drawings]

[0008]

[FIG. 1A] FIG. 1A is a schematic view of a photoelectric conversion element according to embodiment 1 when viewed from above.

[FIG. 1B] FIG. 1B is a cross-sectional view of the photoelectric conversion element illustrated in FIG. 1A cut along a line A-A.

[FIG. 2] FIG. 2 is a diagram illustrating a texture structure in which pyramid-shaped unevenness of various sizes and shapes is formed in plurality.

[FIG. 3] FIG. 3 is an enlarged view of electrodes and a protective film illustrated in FIG. 1.

[FIG. 4] FIG. 4 is a cross-sectional view illustrating a detailed structure of an n-type amorphous semiconductor layer illustrated in FIG. 1.

[FIG. 5] FIG. 5 is a cross-sectional view illustrating another detailed structure of the n-type amorphous semiconductor layer illustrated in FIG. 1.

[FIG. 6] FIG. 6 is a first step diagram illustrating a method for manufacturing the photoelectric conversion element illustrated in FIG. 1.

[FIG. 7] FIG. 7 is a second step diagram illustrating a method for manufacturing the photoelectric conversion element illustrated in FIG. 1.

[FIG. 8] FIG. 8 is a third step diagram illustrating a method for manufacturing the photoelectric conversion element illustrated in FIG. 1.

[FIG. 9] FIG. 9 is a fourth step diagram illustrating a method for manufacturing the photoelectric conversion element illustrated in FIG. 1.

[FIG. 10] FIG. 10 is a fifth step diagram illustrating a method for manufacturing the photoelectric conversion element illustrated in FIG. 1.

[FIG. 11A] FIG. 11A is a schematic view of a shadow mask used when forming the n-type amorphous semiconductor layer according to embodiment 1 when viewed from above.

[FIG. 11B] FIG. 11B is a schematic view of a shadow mask used when forming a p-type amorphous semiconductor layer according to embodiment 1 when viewed from above.

[FIG. 11C] FIG. 11C is a schematic view describing the alignment of the shadow mask illustrated in FIG. 11B.

[FIG. 12] FIG. 12(a) to (d) are drawings illustrating comparative examples of optical microscope images of alignment marks when alignment marks are formed on semiconductor substrates having different back surface states.

[FIG. 13A] FIG. 13A is a plan view of the photoelectric conversion element illustrated in FIG. 1 when viewed from the back surface side.

[FIG. 13B] FIG. 13B is a plan view of a wiring sheet.

[FIG. 14A] FIG. 14A is a schematic view of the photoelectric conversion element according to embodiment 2 when viewed from above.

[FIG. 14B] FIG. 14B is a step diagram illustrating a method for manufacturing the photoelectric conversion element illustrated in FIG. 14A.

[FIG. 14C] FIG. 14C is a schematic view of another example of a semiconductor substrate according to embodiment 2 when viewed from above.

[FIG. 15A] FIG. 15A is a schematic view of a shadow mask used when forming an n-type amorphous semiconductor layer according to embodiment 3 when viewed from above.

[FIG. 15B] FIG. 15B is a schematic view of a shadow mask used when forming a p-type amorphous semiconductor layer according to embodiment 3 when viewed from above.

[FIG. 16] FIG. 16 is a schematic view of the semiconductor substrate according to embodiment 3 when viewed from above.

[FIG. 17] FIG. 17 is a cross-sectional view illustrating a configuration of the photoelectric conversion element according to embodiment 4.

[FIG. 18] FIG. 18 is a step diagram illustrating a method for manufacturing the photoelectric conversion element illustrated in FIG. 17.

[FIG. 19] FIG. 19 is a step diagram illustrating a method for manufacturing the photoelectric conversion element illustrated in FIG. 17.

[FIG. 20] FIG. 20 is a step diagram illustrating a method for manufacturing the photoelectric conversion element illustrated in FIG. 17.

[FIG. 21] FIG. 21 is a step diagram illustrating a method for manufacturing the photoelectric conversion element illustrated in FIG. 17.

[FIG. 22] FIG. 22 is a schematic view illustrating a configuration of a photoelectric conversion module provided with a photoelectric conversion element according to embodiment 5.

[FIG. 23] FIG. 23 is a schematic view illustrating a configuration of a solar power generation system provided with a photoelectric conversion element according to embodiment 6.

[FIG. 24] FIG. 24 is a schematic view illustrating a configuration of a photoelectric conversion module array illustrated in FIG. 23.

[FIG. 25] FIG. 25 is a schematic view illustrating a configuration of another solar power generation system provided with the photoelectric conversion element according to embodiment 6.

[FIG. 26] FIG. 26 is a schematic view illustrating a configuration of a solar power generation system provided with a photoelectric conversion element according to embodiment 7.

[FIG. 27] FIG. 27 is a schematic view illustrating a configuration of another solar power generation system provided with the photoelectric conversion element according to embodiment 7.

[Embodiments of Invention]

[0009]

A photoelectric conversion element according one embodiment of the present invention includes a semiconductor substrate; a first amorphous semiconductor layer formed on one surface of the semiconductor substrate and having a first conduction type; a second amorphous semiconductor layer formed on one surface of the semiconductor substrate and formed adjacent to the first amorphous semiconductor layer in an in-plane direction of the semiconductor substrate and having a second conduction type opposite to the first conductive type; a texture

structure formed on at least a portion of one surface of the semiconductor substrate; and a light scattering layer, including at least one amorphous semiconductor layer of the first amorphous semiconductor layer and the second amorphous semiconductor layer, on the texture structure (first configuration).

[0010]

According to the first configuration, the texture structure is formed on at least a portion of one surface of the semiconductor substrate; and the light scattering layer, including at least one amorphous semiconductor layer of the first amorphous semiconductor layer and the second amorphous semiconductor layer, is provided on the texture structure. Due to the texture structure in the light scattering layer, the reflectance of the light scattering layer becomes substantially uniform, making it easier to determine the position of the light scattering layer. Therefore, it is possible to determine the position of at least one of the first amorphous semiconductor layer and the second amorphous semiconductor layer in the light scattering layer, and the first amorphous semiconductor layer and the second amorphous semiconductor layer may be formed so that the first amorphous semiconductor layer and the second amorphous semiconductor layer do not overlap.

[0011]

In a second configuration based on the first configuration, the light scattering layer may be formed on one surface of the semiconductor substrate in a region different from the region in which the first amorphous semiconductor layer and the second amorphous semiconductor layer are formed, and may be an alignment part that is used in adjusting the position when forming one of the first amorphous semiconductor layer and the second amorphous semiconductor layer.

[0012]

According to the second configuration, the alignment part is formed in a region different from the region in which the first amorphous semiconductor layer and the second amorphous semiconductor layer are formed, and is used to adjust the position when forming one of the first amorphous semiconductor layer and the second amorphous semiconductor layer. Therefore, the first amorphous semiconductor layer and the second amorphous semiconductor layer may be formed at a more appropriate position so that the position of the alignment part is easy to determine and the first amorphous semiconductor layer and the second amorphous semiconductor layer do not overlap, compared to when the alignment part is formed in a region in which the first amorphous semiconductor layer and the second amorphous semiconductor layer are formed.

[0013]

In a third configuration based on the second configuration, the alignment part may include identification information that identifies the photoelectric conversion element.

[0014]

According to the third configuration, the photoelectric conversion element may be identified by the identification information of the alignment part.

[0015]

In a fourth configuration based on the first configuration, the light scattering layer may be formed in a region in which at least one of the first amorphous semiconductor layer and the second amorphous semiconductor layer is formed, and may be an alignment part for use in adjusting the position when forming one of the first amorphous semiconductor layer and the second amorphous semiconductor layer.

[0016]

According to the fourth configuration, the region in which the first amorphous semiconductor layer and the second amorphous semiconductor layer are formed on one surface of the semiconductor substrate may be made larger, compared to when the alignment part is formed in a region different from the region in which the first amorphous semiconductor layer and the second amorphous semiconductor layer are formed.

[0017]

In a fifth configuration based on the first configuration, the light scattering layer may be formed in a region in which at least one of the first amorphous semiconductor layer and the second amorphous semiconductor layer is formed, and may be an inspection unit for use in inspecting the position where the first amorphous semiconductor layer and the second amorphous semiconductor layer are formed.

[0018]

According to the fifth configuration, due to the texture structure in the inspection unit, it is easier to determine the position where at least one of the first amorphous semiconductor layer and the second amorphous semiconductor layer is formed, making it possible to inspect whether the first amorphous semiconductor layer and the second amorphous semiconductor layer are formed at an appropriate position.

[0019]

In a sixth configuration based on any of the first to fifth configurations, the light scattering layer may further include an intrinsic amorphous semiconductor layer between the one semiconductor layer and the one surface of the semiconductor substrate.

[0020]

According to the sixth configuration, when the amorphous semiconductor layer in the light scattering layer is formed first, a film thickness of the light scattering layer becomes thicker than that of the region in which the amorphous semiconductor layer is not formed, and thus contrast of the light scattering layer increases. As a result, it may be easier to determine the position where the light scattering layer is formed, and the amorphous semiconductor layer formed later may be formed at a more appropriate position.

[0021]

In a seventh configuration based on any of the first to sixth configurations, when the texture structure is viewed in a plan view, an average value of a diameter of a circumscribed circle of a convex portion of the texture structure may be less than 15 μm .

[0022]

According to the sixth configuration, the amount of reflected light from one surface of the semiconductor substrate is reduced, making it easier to determine the position of the alignment part.

[0023]

Embodiments of the present invention will be described in detail below with reference to drawings. Note that the same or corresponding portions in the drawings are denoted by the same reference numerals, and a description thereof will not be repeated. Furthermore, for ease of understanding, configurations are illustrated in simplified or schematic form in the drawings referenced below, and some constituent members are omitted. Furthermore, the dimensional ratios between the constituent members illustrated in each drawing do not necessarily indicate the actual dimensional ratios.

[0024]

In the present specification, the amorphous semiconductor layer may contain a microcrystalline phase. The microcrystalline phase includes crystals having an average particle size of 1 to 50 nm.

[0025]

[Embodiment 1]

FIG. 1A is a schematic view of a photoelectric conversion element according to embodiment 1 when viewed from above. Furthermore, FIG. 1B is a cross-sectional view illustrating a configuration of a photoelectric conversion element 10, in which the photoelectric conversion element 10 illustrated in FIG. 1A is cut along a line A-A. Referring to FIG. 1A, in the photoelectric conversion element 10, an n-type amorphous semiconductor layer 4 and a p-type amorphous semiconductor layer 5 are alternately disposed in an in-plane direction of one surface of a semiconductor substrate 1.

Furthermore, an alignment mark 4M is formed on one surface of the semiconductor substrate 1 in a region different from the region in which the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 are formed. A specific configuration of the photoelectric conversion element 10 will be described below.

[0026]

Referring to FIG. 1A and FIG. 1B, the photoelectric conversion element 10 is provided with a semiconductor substrate 1, an antireflective film 2, a passivation film 3, the n-type amorphous semiconductor layer 4, the p-type amorphous semiconductor layer 5, electrodes 6 and 7, a protective film 8, and the alignment mark 4M.

[0027]

Sunlight is incident on a surface of the semiconductor substrate 1 on which the antireflective film 2 is formed.

Hereinafter, the surface on which the antireflective film 2 is formed is referred to as a “light-receiving surface”, and the surface on which the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 are formed is referred to as a “back surface”.

[0028]

The semiconductor substrate 1 is composed of, for example, an n-type single crystal silicon substrate. The semiconductor substrate 1 has a thickness of, for example, 100 to 150 μm . Also, the semiconductor substrate 1 has a texture structure formed on both surfaces of the substrate as illustrated in FIG. 1. The size of the texture according to the present embodiment is less than 15 μm . Texture size will be described in detail later.

[0029]

The antireflective film 2 is disposed in contact with the light-receiving surface of the semiconductor substrate 1.

[0030]

The passivation film 3 is disposed in contact with the back surface of the semiconductor substrate 1.

[0031]

The n-type amorphous semiconductor layer 4 is disposed in contact with the passivation film 3.

[0032]

The p-type amorphous semiconductor layer 5 contacts the passivation film 3 and is disposed adjacent to the n-type amorphous semiconductor layer 4 in the in-plane direction of the semiconductor substrate 1. More specifically, the p-type amorphous semiconductor layer 5 is disposed at a desired interval between the n-type amorphous semiconductor layer 4 in the in-plane direction of the semiconductor substrate 1.

[0033]

The n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 are alternately disposed in the in-plane direction of the semiconductor substrate 1.

[0034]

Although the alignment mark 4M is not illustrated in FIG. 1B, the alignment mark 4M includes the same semiconductor layer as the n-type amorphous semiconductor layer 4, and the same semiconductor layer as the p-type amorphous semiconductor layer 5 is deposited on an upper portion of the alignment mark 4M. A specific method for manufacturing the photoelectric conversion element 10 will be described later, but in the present embodiment, the n-type amorphous semiconductor layer 4 is formed, and then the p-type amorphous semiconductor layer 5 is formed. The alignment mark 4M is used to adjust the position of a shadow mask used when forming the p-type amorphous semiconductor layer 5.

[0035]

In the present embodiment, the alignment mark 4M is one example of a light scattering layer. The light scattering layer includes a texture structure formed on at least a portion of the back surface of the semiconductor substrate 1 and the same amorphous semiconductor layer as at least one of the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5. In the present embodiment, the alignment mark 4M functions as an alignment part used to adjust the position of the shadow mask when forming the p-type amorphous semiconductor layer 5.

[0036]

The electrode 6 is disposed on the n-type amorphous semiconductor layer 4 and in contact with the n-type amorphous semiconductor layer 4.

[0037]

The electrode 7 is disposed on the p-type amorphous semiconductor layer 5 and in contact with the p-type amorphous semiconductor layer 5.

[0038]

The protective film 8 is disposed in contact with the passivation film 3, the n-type amorphous semiconductor layer 4, the p-type amorphous semiconductor layer 5, and the electrodes 6 and 7. More specifically, the protective film 8 is disposed in contact with a portion of the n-type amorphous semiconductor layer 4, the p-type amorphous semiconductor layer 5, and the electrodes 6 and 7 between the adjacent n-type amorphous semiconductor layer 4 and

p-type amorphous semiconductor layer 5, and is disposed in contact with a portion of the passivation film 3 disposed between the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5. Also, the protective film 8 has an opening 8A on the electrodes 6 and 7 and is formed in a region of 5 μm or more from an end of the electrodes 6 and 7 toward the inside of the electrodes 6 and 7.

[0039]

The antireflective film 2 is composed of, for example, a silicon nitride film and has a film thickness of, for example, 60 nm. Furthermore, an intrinsic amorphous semiconductor layer or an n-type or p-type conductive amorphous semiconductor layer may be inserted between the antireflective layer 2 and the light-receiving surface. In this case, the passivation property of the light-receiving surface may be improved, which is preferable.

[0040]

The passivation film 3 is composed of, for example, any of amorphous silicon, an oxide of amorphous silicon, a nitride of amorphous silicon, an oxynitride of amorphous silicon, and polycrystalline silicon.

[0041]

When the passivation film 3 is composed of an oxide of amorphous silicon, the passivation film 3 may be composed of a thermal oxide film of silicon or may be composed of an oxide of silicon formed by a vapor deposition method, such as a plasma chemical vapor deposition (CVD) method or the like.

[0042]

The passivation film 3 has a film thickness of, for example, 1 to 20 nm, and preferably has a film thickness of 3 to 8 nm. Also, when the passivation film 3 is composed of a silicon insulating film, the passivation film 3 has a film thickness that allows carriers (electrons and holes) to tunnel. In embodiment 1, the passivation film 3 is composed of a thermal oxide film of silicon, and the film thickness of the passivation film 3 is set to 2 nm.

[0043]

The n-type amorphous semiconductor layer 4 is an amorphous semiconductor layer having n-type conductivity and containing hydrogen. The n-type amorphous semiconductor layer 4 is composed of, for example, n-type amorphous silicon, n-type amorphous silicon germanium, n-type amorphous germanium, n-type amorphous silicon carbide, n-type amorphous silicon nitride, n-type amorphous silicon oxide, n-type amorphous silicon oxynitride, n-type amorphous silicon carbon oxide, or the like. The n-type amorphous semiconductor layer 4 includes phosphorus (P) as an n-type dopant, for example. Also, the n-type amorphous semiconductor layer 4 has a film thickness of, for example, 5 to 50 nm.

[0044]

The p-type amorphous semiconductor layer 5 is an amorphous semiconductor layer having p-type conductivity and containing hydrogen. The p-type amorphous semiconductor layer 5 is composed of, for example, p-type amorphous silicon, p-type amorphous silicon germanium, p-type amorphous germanium, p-type amorphous silicon carbide, p-type amorphous silicon nitride, p-type amorphous silicon oxide, p-type amorphous silicon oxynitride, p-type amorphous silicon carbon oxide, and the like. The p-type amorphous semiconductor layer 5 includes boron (B) as a p-type dopant, for example. Also, the p-type amorphous semiconductor layer 5 has a film thickness of, for example, 5 to 50 nm.

[0045]

[Definition of texture size]

Here, the texture size will be described. In the present specification, the size of the texture means the size in a state where a main surface of the semiconductor substrate 1 is viewed in a plan view; that is, in a state when viewed from vertically above the main surface of the semiconductor substrate 1. A specific example of the texture is a pyramid-shaped (quadrangular pyramid-shaped or truncated quadrangular pyramid-shaped) uneven structure obtained by performing anisotropic etching on an n-type single crystal silicon substrate whose main surface is a (100) surface. As illustrated in FIG. 2, the actual texture has pyramid-shaped unevenness of various sizes and shapes formed in plurality. This unevenness includes overlapping portions and deformed portions.

[0046]

In the present embodiment, when the texture is viewed in a plan view, an average value of a diameter of a circumscribed circle of a convex portion of the texture is defined as the size of the texture. Here, the size of the texture

is calculated by the following method.

[0047]

A region having a size of $100\ \mu\text{m} \times 100\ \mu\text{m}$ is extracted from the main surface of the semiconductor substrate 1, and twenty ($r_1, r_2, \dots, r_{20}$) diagonal line lengths (diagonal line lengths in a plan view) r of side surfaces of the pyramid-shaped unevenness included in the extracted region are detected in order from the longest diagonal line length r . Also, the size of the texture structure is defined as twice an average value rave of the detected twenty diagonal line lengths r ($r_1, r_2, \dots, r_{20}$). This is equal to — when the texture is viewed in a plan view within a region having a size of $100\ \mu\text{m} \times 100\ \mu\text{m}$ on the main surface of the semiconductor substrate 1, and twenty ($R_1, R_2, \dots, R_{20}$) diameters R of the circumscribed circles of pyramid-shaped convex portions are detected in order from the longest — the average length of the twenty detected diameters R of the circumscribed circles.

[0048]

Note that the size of the texture may be defined based on the length of one side of a bottom surface of the pyramid-shaped unevenness, or the size of the texture may be defined based on the height of the pyramid-shaped unevenness. For example, when the shape of the pyramid-shaped unevenness is a quadrangular pyramid having a square bottom surface, a length a of one side of the bottom surface has a relationship of $a = 2 \times r / \sqrt{2}$ to the diagonal line length r of the side surface when viewed in a plan view. Furthermore, when an angle θ formed by the bottom surface and an hypotenuse side surface is defined as an inclination angle of the texture, a height b has a relationship of $b = r \times \tan \theta$.

[0049]

Next, the specific structures of the electrodes 6 and 7 and the protective film 8 will be described. FIG. 3 is an enlarged view of the electrodes 6 and 7 and the protective film 8 illustrated in FIG. 1. FIG. 3(a) is an enlarged view of the portion where the electrode 6 is formed, and FIG. 3(b) is an enlarged view of the portion where the electrode 7 is formed. Note that in FIG. 3, in order to make the structures of the electrodes 6 and 7 and the protective film 8 easier to understand, a structure is illustrated in which the back surface of the semiconductor substrate 1 is flat, and the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 are formed on the flat passivation film 3. In practice, the passivation film 3 is formed on the back surface of the semiconductor substrate 1 on which the texture is formed, and the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 are formed on the passivation film 3 having an uneven shape.

[0050]

As illustrated in FIG. 3(a), the electrode 6 is composed of conductive layers 6a and 6b. The conductive layer 6a is disposed in contact with the n-type amorphous semiconductor layer 4. The conductive layer 6b is disposed in contact with the conductive layer 6a. When a width of the opening 8A of the protective film 8 defined as L and a distance from the ends of the electrodes 6 and 7 to the opening 8A is defined as H , the conductive layers 6a and 6b are formed in a range of $H + L / 2$ on both sides from the center of the n-type amorphous semiconductor layer 4 in the in-plane direction of the n-type amorphous semiconductor layer 4. The width L is, for example, $20\ \mu\text{m}$ or more, and preferably $100\ \mu\text{m}$ or more. Setting the width L to such a value may ensure adhesion between external wiring and the electrodes 6 and 7 and may decrease contact resistance. Furthermore, the distance H is defined as, for example, $5\ \mu\text{m}$ or more in consideration of adhesion between the electrodes 6 and 7 and the protective film 8.

[0051]

As illustrated in FIG. 3(b), the electrode 7 is composed of conductive layers 7a and 7b. The conductive layer 7a is disposed in contact with the p-type amorphous semiconductor layer 5. The conductive layer 7b is disposed in contact with the conductive layer 7a. The conductive layers 7a and 7b are formed in a range of $H + L / 2$ on both sides from the center of the p-type amorphous semiconductor layer 5 in the in-plane direction of the p-type amorphous semiconductor layer 5.

[0052]

As a result, each of the electrodes 6 and 7 has a length of $2H + L$ in the in-plane direction of the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5.

[0053]

As illustrated in FIG. 3(a) and (b), the protective film 8 is composed of, for example, a two-layer structure

made of protective layers 8a and 8b. When the protective film 8 is formed on the n-type amorphous semiconductor layer 4, the protective layer 8a is disposed in contact with the passivation film 3, the n-type amorphous semiconductor layer 4, and the electrode 6. The protective layer 8b is disposed in contact with the protective layer 8a. When the protective film 8 is formed on the p-type amorphous semiconductor layer 5, the protective layer 8a is disposed in contact with the passivation film 3, the p-type amorphous semiconductor layer 5, and the electrode 7. The protective layer 8b is disposed in contact with the protective layer 8a.

[0054]

Also, in the in-plane direction of the n-type amorphous semiconductor layer 4, a region outside the n-type amorphous semiconductor layer 4 beyond an end of the electrode 6 is referred to as the gap region G1, and in the in-plane direction of the p-type amorphous semiconductor layer 5, a region outside the p-type amorphous semiconductor layer 5 beyond an end of the electrode 7 is referred to as a gap region G2. As a result, the gap region G1 is present on both sides of the n-type amorphous semiconductor layer 4 in the in-plane direction of the n-type amorphous semiconductor layer 4. Furthermore, the gap region G2 is present on both sides of the p-type amorphous semiconductor layer 5 in the in-plane direction of the p-type amorphous semiconductor layer 5.

[0055]

As a result of the protective film 8 being disposed in contact with the passivation film 3, the n-type amorphous semiconductor layer 4, and the electrode 6 and in contact with the passivation film 3, the p-type amorphous semiconductor layer 5, and the electrode 7, a gap region G (= G1 + G2) is present in the region of the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 adjacent in the in-plane direction of the semiconductor substrate 1, and the protective film 8 is formed on the electrodes 6 and 7 and the gap region G as illustrated in FIG. 1. The gap region G is a region in which the passivation film 3, the n-type amorphous semiconductor layer 4, and the p-type amorphous semiconductor layer 5 are exposed, and has a width of, for example, 20 μm to 500 μm .

[0056]

When the electrodes 6 and 7 are constituted by, for example, silver (Ag) or aluminum (Al), the reflectance of the electrodes 6 and 7 is 90% or more. Light in the long wavelength region of about 800 to 1,200 nm reaches the back surface of the semiconductor substrate 1. When light incident from the light-receiving surface of the semiconductor substrate 1 enters regions n and p where the electrodes 6 and 7 are provided, the light is reflected by the electrodes 6 and 7, returned to the semiconductor substrate 1, and absorbed by the semiconductor substrate 1. However, when light is incident in the gap region G (see FIG. 1) where the electrodes 6 and 7 are not provided, the light is not reflected by the electrodes 6 and 7, and thus light may be removed at the back surface side of the semiconductor substrate 1 and the incident light may not be effectively utilized. When the width of the gap region G is widened, the light not reflected by the electrodes 6 and 7 increases, which is not preferable. For this reason, the width of the gap region G is preferably 500 μm or less, and more preferably 300 μm or less.

[0057]

Each of the conductive layers 6a and 7a is composed of a transparent conductive film. The transparent conductive film is composed of, for example, indium tin oxide (ITO), ZnO, indium tungsten oxide (IWO), or the like.

[0058]

Each of the conductive layers 6b and 7b is composed of a metal. The metal is composed of, for example, any one of silver (Ag), nickel (Ni), aluminum (Al), copper (Cu), tin (Sn), platinum (Pt), gold (Au), chromium (Cr), tungsten (W), cobalt (Co), and titanium (Ti), an alloy thereof, or a laminated film of two or more layers of these metals.

[0059]

A transparent conductive film having good adhesion to the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 is preferably used for each of the conductive layers 6a and 7a, and a metal having high conductivity is preferably used for the conductive layers 6b and 7b.

[0060]

The film thickness of each of the conductive layers 6a and 7a is, for example, 3 to 100 nm. The film thickness of each of the conductive layers 6b and 7b is preferably 50 nm or more, and in embodiment 1 is, for example, 0.8

μm.

[0061]

Note that in embodiment 1, the electrode 6 may be composed solely of the conductive layer 6b, and the electrode 7 may be composed solely of the conductive layer 7b. In this case, there are no conductive layers 6a and 7a, and the conductive layers 6b and 7b contact the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5, respectively.

[0062]

When there are no conductive layers 6a and 7a, the conductive layers 6b and 7b are constituted by a metal film, and are preferably metals having high adhesion to the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5, respectively, which are the foundation. For example, the conductive layers 6b and 7b are composed of a laminated structure having an adhesive layer composed of Ti, Ni, Al, Cr, or the like and having a film thickness of about 1 to 10 nm, and a light-reflecting metal whose main component is Al, Ag, or the like.

[0063]

Furthermore, the conductive layers 6b and 7b contact the protective film 8, and thus adhesion to the protective film 8 must be considered. When an oxide film of silicon, aluminum, titanium, zirconia, or the like, a nitride film of silicon and aluminum, an oxynitride film of silicon and aluminum, or the like is used as the protective film 8, the front surface of the protective film 8 side of the conductive layers 6b and 7b is preferably composed of a metal such as Al, indium (In), Ti, Ni, Cu, Cr, W, Co, palladium (Pd), Sn, or the like.

[0064]

Moreover, each of the electrodes 6 and 7 may be composed of a monolayer of a transparent conductive film. In this case, the transparent conductive film is composed of the ITO or the like described above.

[0065]

Each of the protective layers 8a and 8b is composed of an inorganic insulating film. The inorganic insulating film is composed of an oxide film, a nitride film, an oxynitride film, or the like.

[0066]

The oxide film is composed of an oxide film of silicon, aluminum, titanium, zirconia, hafnium, zinc, tantalum, yttrium, and the like.

[0067]

The nitride film is composed of a nitride film of silicon, aluminum, or the like.

[0068]

The oxynitride film is composed of an oxynitride film of silicon, aluminum, or the like.

[0069]

Also, the protective layer 8b is composed of an inorganic insulating film that differs from the protective layer 8a. That is, two types of films are selected from the inorganic insulating films described above to form the protective layers 8a and 8b.

[0070]

Furthermore, the protective layer 8a may be composed of a semiconductor layer, and the protective layer 8b may be composed of the inorganic insulating film described above.

[0071]

In this case, the semiconductor layer is composed of an amorphous semiconductor layer. Also, the amorphous semiconductor layer is composed of amorphous silicon, amorphous silicon germanium, amorphous germanium, amorphous silicon carbide, amorphous silicon nitride, amorphous silicon oxide, amorphous silicon oxynitride, amorphous silicon carbon oxide, or the like. The more insulating the material, the more the leakage between the electrodes 6 and 7 is able to be suppressed, and thus the protective layer 8a is preferably composed of an intrinsic amorphous semiconductor layer. For example, the protective layer 8a is composed of intrinsic amorphous silicon, and the protective layer 8b is composed of a silicon nitride film.

[0072]

However, when the protective layer 8b is composed of an insulating film, the protective layer 8a may be composed of an n-type amorphous semiconductor layer or a p-type amorphous semiconductor layer.

[0073]

The protective layer 8b is preferably composed of a dielectric film having a positive fixed charge. The dielectric film having a positive fixed charge is, for example, a silicon nitride film and a silicon oxynitride film.

[0074]

Since the semiconductor substrate 1 is composed of n-type single crystal silicon, when the protective layer 8b is composed of a dielectric film having a positive fixed charge, the protective layer 8b applies an electric field on holes, which are minority carriers, thereby allowing the lifetime of minority carriers (holes) in the gap region G to be maintained for a long time.

[0075]

The protective film 8 is not limited to a two-layer structure and may be composed of a single layer or a multilayer structure having two or more layers.

[0076]

When the protective film 8 is composed of a single layer, the protective film 8 is composed of one type of film selected from the inorganic insulating films described above.

[0077]

When the protective film 8 is composed of a multilayer structure, the protective film 8 includes the protective layers 8a and 8b described above in the multilayer structure.

[0078]

As described above, when the protective film 8 is composed of a two-layer structure, forming the protective layer 8a from an amorphous semiconductor layer and forming the protective layer 8b from an insulating film makes it possible to achieve both passivation of the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5, and insulation between electrodes 6 and 7, which is preferable.

[0079]

Furthermore, when the semiconductor substrate 1 is composed of an n-type silicon substrate, forming the protective layer 8b from a dielectric film having a positive fixed charge applies an electric field to the gap region and may extend the lifetime of the minority carriers (holes) in the gap region, which is further preferable.

[0080]

Furthermore, when the inorganic insulating film described above is included in the multilayer structure of the protective film 8, a moisture-proof effect may be achieved that prevents the diffusion of water or the like into the amorphous semiconductor layers (the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5), which is preferable. Among the inorganic insulating films described above, a silicon nitride film and a silicon oxynitride film are particularly preferable because they have particularly high moisture resistance compared to other inorganic insulating films. Also, when an n-type silicon substrate is used, moisture resistance and the electric field effect caused by the positive fixed charge may be obtained together, and thus both long-term reliability and high efficiency of the photoelectric conversion element 10 may be achieved.

[0081]

For example, when the protective film 8 is composed of a multilayer film having a two-layer or more structure, for example, a three-layer structure, one protective layer (a protective layer in contact with the n-type amorphous semiconductor layer 4 or the p-type amorphous semiconductor layer 5) is composed of an amorphous semiconductor layer, and the remaining two protective layers are composed of two types of films selected from among the inorganic insulating films.

[0082]

Moreover, when the protective film 8 is composed of a single layer or a multilayer, the protective film 8 may be composed of a structure in which an insulating film of an organic substance or the like is formed on the inorganic insulating film described above.

[0083]

The organic substance is composed of, for example, an imide resin, an epoxy resin, a fluor resin, a polycarbonate, a liquid crystal polymer, or the like.

[0084]

The imide resin is, for example, a polyimide. The fluor resin is, for example, polytetrafluoroethylene (PTFE). Furthermore, the organic substance may be a resist formed by screen printing.

[0085]

FIG. 4 is a cross-sectional view illustrating a detailed structure of the n-type amorphous semiconductor layer 4 illustrated in FIG. 1. Note that in the drawing, a structure is illustrated in which the back surface of the semiconductor substrate 1 is flat, and the n-type amorphous semiconductor layer 4 is formed on the flat passivation film 3; however, in practice, the texture structure is formed on the back surface of the semiconductor substrate 1.

[0086]

Referring to FIG. 4, the n-type amorphous semiconductor layer 4 has a flat region FT and a film thickness-reducing region TD in the in-plane direction of the n-type amorphous semiconductor layer 4. The flat region FT is composed of a portion of the n-type amorphous semiconductor layer 4 having the thickest film thickness and having a substantially uniform film thickness.

[0087]

When a point at both ends of the flat region FT is defined as point A and a point at which a rate of reduction in film thickness changes from a first rate of reduction to a second rate of reduction that is greater than the first rate of reduction is defined as point B, the film thickness-reducing region TD is a region from point A to point B in the in-plane direction of the n-type amorphous semiconductor layer 4.

[0088]

Also, the film thickness-reducing region TD is disposed on both sides of the flat region FT in the in-plane direction of the n-type amorphous semiconductor layer 4.

[0089]

The n-type amorphous semiconductor layer 4 has the film thickness-reducing region TD because the n-type amorphous semiconductor layer 4 is formed by a plasma CVD method using a shadow mask, as will be described later. Since the film thickness-reducing region TD has a thinner film thickness than the flat region FT, the dopant concentration of the film thickness-reducing region TD is higher than the dopant concentration of the flat region FT.

[0090]

The electrode 6 is disposed in contact with the entire flat region FT and a portion of the film thickness-reducing region TD of the n-type amorphous semiconductor layer 4.

[0091]

The p-type amorphous semiconductor layer 5 is also composed of the same structure as the n-type amorphous semiconductor layer 4 illustrated in FIG. 4. Also, the electrode 7 is disposed in contact with the entire flat region FT and a portion of the film thickness-reducing region TD of the p-type amorphous semiconductor layer 5.

[0092]

As a result, the resistance of the carrier (electron) when it reaches the electrode 6 via the n-type amorphous semiconductor layer 4 is lower than when the n-type amorphous semiconductor layer having a uniform film thickness is formed in the in-plane direction of the passivation film 3. Furthermore, the resistance of the carrier (hole) when it reaches the electrode 7 via the p-type amorphous semiconductor layer 5 is lower than when the p-type amorphous semiconductor layer having a uniform film thickness is formed in the in-plane direction of the passivation film 3. Accordingly, the conversion efficiency of the photoelectric conversion element 10 may be improved.

[0093]

Note that the electrode 6 may contact the entire film thickness-reducing region TD of the n-type amorphous semiconductor layer 4, and the electrode 7 may contact the entire film thickness-reducing region TD of the p-type amorphous semiconductor layer 5.

[0094]

FIG. 5 is a cross-sectional view illustrating another detailed structure of the n-type amorphous semiconductor layer 4 illustrated in FIG. 1. Referring to FIG. 5(a), the photoelectric conversion element 10 may be provided with an n-type amorphous semiconductor layer 41 instead of the n-type amorphous semiconductor layer 4, and may be provided with an electrode 61 instead of the electrode 6.

[0095]

In the n-type amorphous semiconductor layer 41, a point where the film thickness is the largest is defined as point C, and a point where a rate of reduction of film thickness changes from the first rate of reduction to a second rate of reduction that is greater than the first rate of reduction is defined as point D. As a result, the film thickness-reducing region TD is a region from point C to point D in the in-plane direction of the n-type amorphous semiconductor layer 41.

[0096]

Also, the n-type amorphous semiconductor layer 41 has two film thickness-reducing regions TD in the in-plane direction of the n-type amorphous semiconductor layer 41. The two film thickness-reducing regions TD are disposed in contact with each other in the in-plane direction of the n-type amorphous semiconductor layer 41.

[0097]

Among the two film thickness-reducing regions TD, the electrode 61 is disposed in contact with a portion of one of the two film thickness-reducing regions TD and a portion of the other film thickness-reducing region TD.

[0098]

The photoelectric conversion element 10 may be provided with a p-type amorphous semiconductor layer composed of the same structure as the n-type amorphous semiconductor layer 41 illustrated in FIG. 5(a) instead of the p-type amorphous semiconductor layer 5.

[0099]

As a result, the resistance of the carrier (electron) when it reaches the electrode 61 via the n-type amorphous semiconductor layer 41 is lower than when the n-type amorphous semiconductor layer having a uniform film thickness is formed in the in-plane direction of the passivation film 3. Furthermore, the resistance of the carrier (hole) when it reaches the electrode via the p-type amorphous semiconductor layer having the same structure as the n-type amorphous semiconductor layer 41 is lower than when the p-type amorphous semiconductor layer having a uniform film thickness is formed in the in-plane direction of the passivation film 3. Accordingly, the conversion efficiency of the photoelectric conversion element 10 may be improved.

[0100]

Note that the electrode 61 may be disposed in contact with the entire two film thickness-reducing regions TD in the n-type amorphous semiconductor layer 41 and the p-type amorphous semiconductor layer having the same structure as the n-type amorphous semiconductor layer 41.

[0101]

Referring to FIG. 5(b), the photoelectric conversion element 10 may be provided with an n-type amorphous semiconductor layer 42 instead of the n-type amorphous semiconductor layer 4, and may be provided with an electrode 62 instead of the electrode 6.

[0102]

In the n-type amorphous semiconductor layer 42, a point where the film thickness is the largest is defined as point E, a point at which a rate of reduction in film thickness changes from a first rate of reduction to a second rate of reduction that is greater than the first rate of reduction is defined as point F, and a point where a sign of a rate of change of film thickness changes from negative to positive is defined as point G.

[0103]

As a result, a film thickness-reducing region TD1 is a region from point E to point F in the in-plane direction of the n-type amorphous semiconductor layer 42, and a film thickness-reducing region TD2 is a region from point E to point G in the in-plane direction of the n-type amorphous semiconductor layer 42.

[0104]

Also, the n-type amorphous semiconductor layer 42 has two film thickness-reducing regions TD1 and two film thickness-reducing regions TD2 in the in-plane direction of the n-type amorphous semiconductor layer 42.

[0105]

The two film thickness reducing regions TD2 are disposed so that a film thickness distribution in the in-plane direction of the n-type amorphous semiconductor layer 42 is symmetrical with respect to a line passing through point G. The two film thickness-reducing regions TD1 are disposed on both sides of the two film thickness-reducing regions TD2 in the in-plane direction of the n-type amorphous semiconductor layer 42.

[0106]

Among the entire two film thickness-reducing regions TD2, the electrode 62 is disposed in contact with a portion of one film thickness-reducing region TD1 and a portion of the other film thickness-reducing region TD1.

[0107]

The photoelectric conversion element 10 may be provided with a p-type amorphous semiconductor layer composed of the same structure as the n-type amorphous semiconductor layer 42 illustrated in FIG. 5(b) instead of the p-type amorphous semiconductor layer 5.

[0108]

As a result, the resistance of the carrier (electron) when it reaches the electrode 62 via the n-type amorphous semiconductor layer 42 is lower than when the n-type amorphous semiconductor layer having a uniform film thickness is formed in the in-plane direction of the passivation film 3. Furthermore, the resistance of the carrier (hole) when it reaches the electrode via the p-type amorphous semiconductor layer having the same structure as the n-type amorphous semiconductor layer 42 is lower than when the p-type amorphous semiconductor layer having a uniform film thickness is formed in the in-plane direction of the passivation film 3. Accordingly, the conversion efficiency of the photoelectric conversion element 10 may be improved.

[0109]

Note that the electrode 62 may be disposed in contact with the entire two film thickness-reducing regions TD1 and the entire two film thickness-reducing regions TD2 in the n-type amorphous semiconductor layer 42 and the p-type amorphous semiconductor layer having the same structure as the n-type amorphous semiconductor layer 42.

[0110]

In this manner, the photoelectric conversion element 10 is provided with an n-type amorphous semiconductor layer and a p-type amorphous semiconductor layer having a film thickness-reducing region TD (TD1, TD2). Also, in an embodiment of the present invention, the film thickness-reducing region is composed of any of the film thickness-reducing regions TD, TD1, and TD2.

[0111]

Accordingly, when a point where the film thickness of the n-type amorphous semiconductor layer or the p-type amorphous semiconductor layer is at maximum is defined as a first point, and a point where the rate of reduction in film thickness changes from the first rate of reduction to the second rate of reduction that is greater than the first rate of reduction or a point where a sign of the rate of change in film thickness changes from negative to positive in the in-plane direction of the n-type amorphous semiconductor layer or the p-type amorphous semiconductor layer is defined as a second point, the film thickness-reducing region is a region from the first point to the second point in the in-plane direction of the n-type amorphous semiconductor layer or the p-type amorphous semiconductor layer.

[0112]

Note that in an embodiment of the present invention, at least one of the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 may have a film thickness-reducing region.

[0113]

Next, a method for manufacturing the photoelectric conversion element 10 will be described. FIG. 6 to FIG. 10 are first to fifth step diagrams, respectively, illustrating a method of manufacturing the photoelectric conversion element 10 illustrated in FIG. 1.

[0114]

Referring to FIG. 6, when manufacture of the photoelectric conversion element 10 begins, a wafer having a thickness of 100 to 300 μm is cut out from bulk silicon using a wire saw. Then, etching to remove a damaged layer on the front surface of the wafer and etching to adjust the thickness are performed to prepare a semiconductor substrate 1' (see step (a) in FIG. 6).

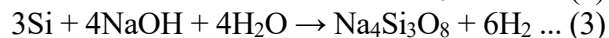
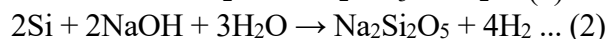
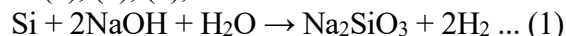
[0115]

Generally, a silicon substrate having a texture structure is manufactured by etching a silicon substrate obtained by slicing a silicon ingot using a wire saw or the like. The substrate that forms the texture is mainly monocrystalline silicon using a free abrasive sliced substrate, but a similar texture may also be formed on a fixed abrasive sliced

substrate due to cost reduction and improvements in slice technology.

[0116]

Etching of the semiconductor substrate 1' may be performed by wet etching using an alkaline etching solution. When this etching is performed in a sodium hydroxide solution, it proceeds through reactions such as the following equations (1), (2), (3), or the like.



[0117]

To form the texture structure on the front surface of the semiconductor substrate 1', anisotropic etching, for example, is performed by using an etching solution having a controlled etching rate. The formation of the texture structure on the front surface of the semiconductor substrate 1' is based on the following mechanism. The etching rate of the semiconductor substrate 1' using an alkaline aqueous solution is the fastest on the (100) surface and the slowest on the (111) surface. Therefore, when the rate of texture etching is inhibited by adding a defined additive that is able to decrease the etching rate (hereinafter also referred to as an "etching inhibitor") to the alkaline aqueous solution, a crystal surface that is easily etched, such as the (100) surface of silicon or the like, is preferentially etched, and the (111) surface having a slow etching rate remains on the front surface. The (111) surface has an inclination of approximately 54 degrees with respect to the (100) surface, and thus a pyramid-shaped uneven structure constituted by the (111) surface and an equivalent surface thereof is formed in the final stage of the process.

[0118]

However, depending on the etching conditions, a texture having an inclination of about 40 to 54 degrees may be formed, and the front surface of the texture does not necessarily form (111). Even in the present invention, the inclined surface of the texture need not be the (111) surface, and the inclination may be gentle.

[0119]

Furthermore, an etching solution to which isopropyl alcohol (hereinafter sometimes referred to as "IPA") is added as an etching inhibitor to an aqueous sodium hydroxide (NaOH) solution may be used as the etching solution for texture formation. The etching solution is heated to about 60°C to 80°C, and the silicon substrate of surface (100) is immersed for 10 to 30 minutes and etched.

[0120]

Furthermore, by using an etching solution containing sodium hydroxide or potassium hydroxide, a defined additive such as lignin or the like as an additive, and sodium bicarbonate or potassium bicarbonate, a fine pyramid-shaped (height from the bottom surface of a concave portion to the top of the convex portion is 1 μm or less) texture structure may be formed. In this manner, the size of the texture may be controlled by changing various conditions such as the temperature of the etching solution, the processing time, the type of etching inhibitor, the etching rate, the type of substrate, and the like. Here, the etching conditions are set so that the size of the texture is 15 μm or less.

[0121]

In the present embodiment, after step (a) in FIG. 6, the semiconductor substrate 1' is etched using an alkaline solution such as NaOH, KOH, or the like (for example, an aqueous solution of KOH: 1 to 5 wt% and isopropyl alcohol: 1 to 10 wt%). Both surfaces of the semiconductor substrate 1' are thus anisotropically etched to form a texture structure where the size of the texture is 15 μm or less (see step (b) in FIG. 6).

[0122]

Subsequently, the front surface of the semiconductor substrate 1 is thermally oxidized to form an oxide film 11 on the light-receiving surface of the semiconductor substrate 1, and the passivation film 3 is formed on the back surface (surface on the opposite side to the light-receiving surface) of the semiconductor substrate 1 (see step (c) in FIG. 6).

[0123]

Oxidation of the semiconductor substrate 1 may be performed by either a wet process or thermal oxidation. In the case of wet oxidation, for example, the semiconductor substrate 1 is immersed in hydrogen peroxide, nitric acid, ozone water, or the like, and then the semiconductor substrate 1 is heated at 800°C to 1,000°C in a dry

atmosphere. Furthermore, in the case of thermal oxidation, for example, the semiconductor substrate 1 is heated to 900°C to 1,000°C in an atmosphere of oxygen or water vapor.

[0124]

After step (c) in FIG. 6, a silicon nitride film 12 is formed in contact with the oxide film 11 using a sputtering method, electron beam (EB) deposition, TEOS method, or the like. The antireflective film 2 is thus formed on the light-receiving surface of the semiconductor substrate 1 (see step (d) in FIG. 7).

[0125]

After step (d) in FIG. 7, the semiconductor substrate 1 is placed in the reaction chamber of the plasma device, and a shadow mask 30 is disposed on the passivation film 3 of the semiconductor substrate 1 (see step (e) in FIG. 7).

[0126]

The shadow mask 30 will be described here. FIG. 11A is a schematic view of the shadow mask 30 when viewed from above. The shadow mask 30 has a plurality of openings 30a and openings 30b. The opening 30a is an opening for forming the n-type amorphous semiconductor layer 4 on the passivation film 3, and is formed at a uniform distance from the adjacent opening 30a. The opening 30b is an opening for forming an alignment mark serving as a reference when forming the p-type amorphous semiconductor layer 5.

[0127]

The shadow mask 30 is constituted by, for example, a metal mask composed of stainless steel and having a thickness of 200 μm . The opening 30a has a substantially rectangular shape, and the opening 30b has a substantially square shape. An opening width w of the opening 30a is approximately 400 μm . Furthermore, the opening 30b has a size of 1.0 mm $\times$ 1.0 mm, but a size of 0.4 mm $\times$ 0.4 mm is more preferable.

[0128]

A temperature of the semiconductor substrate 1 is set to 130°C to 180°C, hydrogen (H_2) gas at 0 to 100 sccm, SiH_4 gas at 40 sccm, and phosphine (PH_3) gas at 40 sccm are supplied to the reaction chamber, and a pressure of the reaction chamber is set to 40 to 120 Pa. Thereafter, high-frequency power (13.56 MHz) having an RF power density of 5 to 15 mW/cm^2 is applied to a parallel plate electrode. Note that the PH_3 gas is diluted using hydrogen, and the concentration of the PH_3 gas is, for example, 1%.

[0129]

N-type amorphous silicon is thus deposited in a region of the passivation film 3 not covered by the shadow mask 30, and the n-type amorphous semiconductor layer 4 and the alignment mark 4M are formed on the passivation film 3 (see step (f) in FIG. 7).

[0130]

When the shadow mask 30 is disposed on the passivation film 3, a gap is present between the shadow mask 30 and the passivation film 3. As a result, an active species such as SiH , SiH_2 , or the like decomposed by plasma enters the gap between the shadow mask 30 and the passivation film 3, and the n-type amorphous semiconductor layer 4 is also formed in a portion of the region covered by the shadow mask 30. More coverage occurs in the gap between the shadow mask 30 and the passivation film 3 than when the shadow mask 30 is used to deposit a film on a semiconductor substrate on which a texture structure is not formed. Thus, the n-type amorphous semiconductor layer 4 having the film thickness-reducing region TD is formed on the passivation film 3. Furthermore, n-type amorphous silicon 31 is also deposited on the shadow mask 30.

[0131]

Note that the width of the film thickness-reducing region TD and the film thickness rate of reduction in the n-type amorphous semiconductor layer 4 are controlled by changing the film formation pressure when the n-type amorphous semiconductor layer 4 is deposited, the thickness of the shadow mask 30, and the opening width of the shadow mask 30. For example, when the thickness of the shadow mask 30 is made thicker, the width of the film thickness-reducing region TD becomes wider.

[0132]

After step (f) in FIG. 7, the shadow mask 40 is disposed on the passivation film 3, the n-type amorphous semiconductor layer 4, and the alignment mark 4M (see step (g) in FIG. 8) instead of the shadow mask 30.

[0133]

The shadow mask 40 will be described here. FIG. 11B is a schematic view of the shadow mask 40 when viewed from above. The shadow mask 40 has a plurality of openings 40a for forming the p-type amorphous semiconductor layer 5 on the passivation film 3 and an alignment opening 40b for aligning with the alignment mark 4M (see (f) in FIG. 7) formed on the passivation film 3.

[0134]

The opening 40a, similar to the opening 30a of the shadow mask 30, has a substantially rectangular shape and an opening width w of approximately 400 μm . The inside of the alignment opening 40b is open, and has four convex portions 402b to 405b protruding inside the alignment opening 40b at positions in contact with each side of a dashed-line frame 401b of the same size as the opening 30b of the shadow mask 30. The material and thickness of the shadow mask 40 are the same as those of the shadow mask 30.

[0135]

When the shadow mask 40 is disposed, the alignment mark 4M formed on the passivation film 3 is observed using an optical microscope to determine the position of the alignment mark 4M. In the present embodiment, the texture structure having a texture size of less than 15 μm is formed on the entire back surface of the semiconductor substrate 1. Therefore, the reflectance of the portion of the semiconductor substrate 1 below the alignment mark 4M is substantially uniform, and the position of the alignment mark 4M may be reliably determined using an optical microscope.

[0136]

After determining the position of the alignment mark 4M, as illustrated in FIG. 11C, the shadow mask 40 is disposed so that the convex portions 402b to 405b of the alignment opening 40b of the shadow mask 40 contact each side of the alignment mark 4M. Thus, the opening 40a of the shadow mask 40 is disposed at a position that is a uniform distance from the n-type amorphous semiconductor layer 4.

[0137]

Note that in step (g) in FIG. 8, the shadow mask 40 is illustrated as being distant from the passivation film 3, but the film thickness of the n-type amorphous semiconductor layer 4 is very thin at 5 to 50 nm as described above, and thus the shadow mask 40 is actually disposed in proximity to the passivation film 3.

[0138]

Also, the temperature of the semiconductor substrate 1 is set to 130°C to 180°C, H_2 gas at 0 to 100 sccm, SiH_4 gas at 40 sccm, and diborane (B_2H_6) gas at 40 sccm are supplied to the reaction chamber, and the pressure of the reaction chamber is set to 40 to 200 Pa. Thereafter, high-frequency power (13.56 MHz) having an RF power density of 5 to 15 mW/cm^2 is applied to a parallel plate electrode. Note that the B_2H_6 gas is diluted using hydrogen, and the concentration of the B_2H_6 gas is, for example, 2%.

[0139]

P-type amorphous silicon is thus deposited in a region of the passivation film 3 not covered by the shadow mask 40. As a result, p-type amorphous silicon 5M is deposited on the alignment mark 4M on the passivation film 3, and the p-type amorphous semiconductor layer 5 is formed at an appropriate position at a uniform interval from the n-type amorphous semiconductor layer 4 (see step (h) in FIG. 8).

[0140]

When the shadow mask 40 is disposed on the passivation film 3 and the n-type amorphous semiconductor layer 4, a gap is present between the shadow mask 40 and the passivation film 3. As a result, active species such as SiH , SiH_2 , and the like decomposed by plasma go into the gap between the shadow mask 40 and the passivation film 3, and the p-type amorphous semiconductor layer 5 is also formed in a portion of the region covered by the shadow mask 40. Accordingly, the p-type amorphous semiconductor layer 5 having the film thickness-reducing region TD is formed on the passivation film 3. Furthermore, p-type amorphous silicon 32 is also deposited on the shadow mask 40.

[0141]

Note that the width of the film thickness-reducing region TD and the film thickness rate of reduction in the p-type amorphous semiconductor layer 5 are controlled by changing the film formation pressure when the p-type amorphous semiconductor layer 5 is deposited, the thickness of the shadow mask 40, and the opening width of the

shadow mask 40. For example, when the thickness of the shadow mask 40 is made thicker, the width of the film thickness-reducing region TD becomes wider.

[0142]

When the shadow mask 40 is removed after the p-type amorphous silicon is deposited, a state is formed in which the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 that are alternately disposed in the in-plane direction of the semiconductor substrate 1 are formed on the passivation film 3, and the p-type amorphous silicon 5M is formed on the alignment mark 4M (see step (i) in FIG. 8).

[0143]

After step (i) in FIG. 8, a shadow mask 50 is disposed so that openings are positioned on the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 (see step (j) in FIG. 9). The shadow mask 50 has the same material and thickness as the shadow mask 30. Furthermore, the opening width is set to a sum of the width of the flat region FT of the n-type amorphous semiconductor layer 4 or the p-type amorphous semiconductor layer 5 and the width of the two film thickness-reducing regions TD in the amorphous semiconductor layer.

[0144]

After step (j) in FIG. 9, the conductive layers 6a and 7a and the conductive layers 6b and 7b are sequentially deposited via the shadow mask 50. The electrodes 6 and 7 are thus deposited on the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5, respectively (see step (k) in FIG. 9).

[0145]

The conductive layers 6a and 7a and the conductive layers 6b and 7b are formed using a sputtering method, vapor deposition method, ion plating method, thermal CVD method, metal organic chemical vapor deposition (MOVD) method, sol-gel method, method of spray heating liquid raw material, ink jet method, or the like.

[0146]

The conductive layers 6a and 7a are, for example, any of ITO, IWO, and ZnO, and the conductive layers 6b and 7b are composed of a two-layer structure of Ti (3 nm)/Al (500 nm).

[0147]

The ITO is formed, for example, by sputtering an ITO target doped with 0.5 to 4 wt% SnO₂ while supplying argon gas or a mixed gas of argon and oxygen, at a substrate temperature of 25°C to 250°C, a pressure of 0.1 to 1.5 Pa, and a power of 0.01 to 2 kW.

[0148]

ZnO is formed by performing a sputtering process under similar conditions using a ZnO target doped with 0.5 to 4 wt% Al instead of an ITO target.

[0149]

The two-layer structure of Ti/Al is formed by EB deposition.

[0150]

Furthermore, the conductive layers 6b and 7b may be formed by the plating deposition method using the conductive layers 6a and 7a as seed electrodes, respectively, for the electrodes 6 and 7. In this case, the conductive layers 6b and 7b are composed of, for example, any of Ni, W, Co, Ti, Cr, alloys thereof, and alloys thereof with an alloy of P or B. In addition, Cu, Al, Sn, or the like may be formed on the conductive layers 6b and 7b by a plating method.

[0151]

After step (k) in FIG. 9, a shadow mask 60 is disposed on the electrodes 6 and 7 (see step (l) in FIG. 9). The shadow mask 60 has the same material and thickness as the shadow mask 30.

[0152]

Also, the protective film 8 is formed on the passivation film 3, the n-type amorphous semiconductor layer 4, the p-type amorphous semiconductor layer 5, and the electrodes 6 and 7.

[0153]

More specifically, an intrinsic amorphous semiconductor film and a silicon nitride film are sequentially deposited on the passivation film 3, the n-type amorphous semiconductor layer 4, the p-type amorphous semiconductor layer 5, and the electrodes 6 and 7 using the plasma CVD method. In this case, for example, an

intrinsic amorphous semiconductor film is formed using SiH_4 gas as a material gas, and the film thickness of the intrinsic amorphous semiconductor film is, for example, 10 nm. Furthermore, for example, a silicon nitride film is formed using SiH_4 gas and NH_3 gas as a material gas, and the silicon nitride film has a film thickness of, for example, 120 nm. The photoelectric conversion element 10 is thus completed (see step (m) in FIG. 10).

[0154]

In the above example, stainless steel is exemplified as the material of the shadow masks 30, 40, 50, and 60, but the present invention is not limited to stainless steel, and, for example, copper, nickel, nickel alloys (alloy 42, Invar materials, and the like), molybdenum, and the like may be used. Furthermore, the shadow masks 30, 40, 50, and 60 are not limited to metal masks, and may be any of, for example, a glass mask, a ceramic mask, an organic film mask, or the like. Furthermore, a semiconductor substrate made of the same material as the semiconductor substrate 1 may be processed by etching to form a shadow mask. In this case, the semiconductor substrate and the shadow mask are made of the same material, and thus the coefficient of thermal expansion is the same, and no deviation occurs due to differences in the coefficient of thermal expansion. Furthermore, in consideration of the relationship with the coefficient of thermal expansion of the semiconductor substrate 1 and the raw material cost, alloy 42 is preferable as the material for the shadow masks 30, 40, 50, and 60. Based on the relationship of the coefficient of thermal expansion and the semiconductor substrate 1, the material of the shadow masks 30, 40, 50, and 60 is closest to the coefficient of thermal expansion of the semiconductor substrate 1 when the composition of nickel is about 36% and the composition of iron is 64%, and any alignment errors due to a difference in the coefficient of thermal expansion may be minimized.

[0155]

Furthermore, with respect to the thickness of the shadow masks 30, 40, 50, and 60, being able to restore and use them many times is preferable from the perspective of suppressing the running costs of production. In this case, the deposited product adhered to the shadow masks 30, 40, 50, and 60 may be removed using hydrofluoric acid or NaOH. Considering the number of restorations, the thickness of the shadow masks 30, 40, 50, and 60 is preferably 30 μm to 300 μm .

[0156]

Furthermore, in the manufacturing method described above, it has been described that the intrinsic amorphous semiconductor film/silicon nitride film constituting the protective film 8 is continuously formed in one reaction chamber; however, in an embodiment of the present invention, it is not limited to this; after the intrinsic amorphous semiconductor layer is formed, the sample may be exposed to the atmosphere once so that the silicon nitride film is formed using a sputtering device or another CVD device.

[0157]

When the intrinsic amorphous semiconductor film/silicon nitride film constituting the protective film 8 is formed without atmospheric exposure, contamination of organic substances or moisture in the atmosphere may be suppressed, which is preferable.

[0158]

Moreover, the protective film 8 may be formed using EB deposition, a sputtering method, a laser ablation method, a CVD method, or an ion plating method.

[0159]

Furthermore, in an embodiment of the present invention, after forming the passivation film 3, the passivation film 3 may be nitrided by a plasma CVD method using nitrogen (N_2) gas to form a passivation film composed of SiON. As a result, the dopant (B) in the p-type amorphous semiconductor layer 5 formed on the passivation film may be suppressed from diffusing to the semiconductor substrate 1. Also, even when a passivation film having a film thickness capable of passing a tunnel current is formed, diffusion of the boron (B) may be effectively suppressed, which is preferable.

[0160]

As described above, the texture structure having a texture size of less than 15 μm is formed on the entire back surface of the semiconductor substrate 1. This texture structure makes the reflectance of the back surface of the semiconductor substrate 1 substantially uniform, and thus the position of the alignment mark 4M may be reliably

determined when the alignment mark 4M formed together with the n-type amorphous semiconductor layer 4 on the passivation film 3 is observed using an optical microscope. Therefore, the convex portions 402b to 405b of the alignment opening 40b of the shadow mask 40 may be aligned based on the alignment mark 4M, and the shadow mask 40 may be disposed at an appropriate position. As a result, the p-type amorphous semiconductor layer 5 may be formed at a position at a uniform interval from the n-type amorphous semiconductor layer 4, and the gap region G may be formed between the adjacent n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5. Furthermore, n-type amorphous silicon in particular has a lower contrast than p-type amorphous silicon when observed using an optical microscope, and thus the foregoing configuration is particularly effective when the p-type amorphous semiconductor layer 5 is formed after the n-type amorphous semiconductor layer 4 is formed.

[0161]

Furthermore, when the difference in film thickness between the alignment mark 4M and the other regions is, for example, only the film thickness of the n-type amorphous semiconductor layer, it is difficult to recognize the boundary between the alignment mark 4M and the other regions. However, by forming a texture structure below the boundary (outer edge) portion of the region in which the n-type amorphous silicon is formed at the alignment mark 4M, visibility of the boundary portion of the n-type amorphous silicon at the alignment mark 4M is increased, and recognition accuracy of the alignment mark 4M is improved. As a result, the film thickness of the n-type amorphous semiconductor layer 4 may be made thinner, the series resistance in the n-type amorphous semiconductor layer 4 may be reduced, and a higher conversion efficiency may be achieved.

[0162]

Furthermore, the clarity of the edges of the texture when observing the back surface of the semiconductor substrate 1 using an optical microscope varies depending on the texture size. This is because as the texture size increases, the amount of film entered into the back surface of the shadow mask increases. In the above example, the size of the texture formed on the back surface of the semiconductor substrate 1 is less than 15 μm . When the size of the texture is less than 15 μm , the amount of reflected light from the back surface of the semiconductor substrate 1 becomes small, and the reflectance of the back surface becomes substantially uniform, and thus the alignment mark 4M is easily recognized.

[0163]

Here, FIG. 12(a) to (d) illustrates optical microscope images of alignment marks when alignment marks are formed on semiconductor substrates having different back surface states. FIG. 12(a) is an optical microscope image of an alignment mark when the back surface of the semiconductor substrate is a mirrored surface. FIG. 12(b) is an optical microscope image of an alignment mark on a flat surface when a texture structure is not formed on the back surface of the semiconductor substrate. FIG. 12(c) is an optical microscope image of an alignment mark when a texture structure having a texture size of 1 μm is formed on the back surface of the semiconductor substrate. FIG. 12(d) is an optical microscope image of an alignment mark when a texture structure having a texture size of 15 μm is formed on the back surface of the semiconductor substrate. The portion of the image in region A illustrated in FIG. 12(a) to (d) is the region where the alignment mark is formed, and the portion of the image in region B is the region where the passivation film 3 is formed.

[0164]

In the case of FIG. 12(a), the back surface of the semiconductor substrate is an atomically flat mirrored surface, and thus the reflectance of the semiconductor substrate is substantially uniform in the surface. Furthermore, the n-type amorphous silicon is less likely to enter the back side of the shadow mask when forming the n-type amorphous semiconductor layer 4, and as illustrated in FIG. 12(a), contrast between the portion of the alignment mark and the other regions is higher, and the alignment mark is more easily recognized.

[0165]

In the case of FIG. 12(b), large optical contrast due to dimpling of the semiconductor substrate becomes a noise source, and furthermore, since the back surface of the semiconductor substrate is a flat surface, the amount of reflected light of the semiconductor substrate is large, and it is thereby difficult to optically recognize the portion of the alignment mark.

[0166]

In FIG. 12(c), region C, the brightest part, as illustrated by a dashed-line frame, is the mask alignment mark for the shadow mask when forming the p-type amorphous semiconductor layer 5. Since the texture structure is formed at the boundary portion of the region A where the alignment mark is formed, the amount of reflected light from the back surface of the semiconductor substrate is smaller than that in FIG. 12(b), and the reflectance in the surface is substantially uniform. As a result, the alignment mark is more easily optically recognized than in that FIG. 12(b).

[0167]

In the case of FIG. 12(d), the texture size of the texture structure formed on the back surface of the semiconductor substrate is larger than that in FIG. 12(c), and the boundary of the region A where the alignment mark is formed is difficult to recognize. This is because as the texture size increases, the n-type amorphous silicon tends to enter the back side of the shadow mask when forming the n-type amorphous semiconductor layer 4. Therefore, it is clear that the texture size of the texture structure formed on the back surface of the semiconductor substrate is preferably less than 15 μm , and when it is 15 μm or more, the boundary portion of the alignment mark is difficult to recognize.

[0168]

Moreover, the smaller the inclination angle θ of the texture, the flatter the front surface of the semiconductor substrate becomes and the higher the reflectance, and thus visibility of the alignment mark 4M decreases. Therefore, for example, by defining the inclination angle θ of the texture as 40° or more, the contrast ratio of the boundary of the alignment mark 4M becomes high, and the alignment mark 4M becomes more recognizable.

[0169]

Also, between the adjacent electrodes 6 and 7, the protective film 8 is formed on the electrodes 6 and 7 and the gap region G (passivation film 3, n-type amorphous semiconductor layer 4, and p-type amorphous semiconductor layer 5). As a result, short circuits are prevented even when conductive dust adheres between adjacent electrodes 6 and 7. Accordingly, the reliability of the photoelectric conversion element 10 may be improved.

[0170]

Furthermore, a region of 5 μm or more of the electrodes 6 and 7 from the end to the inside is covered by the protective film 8. As a result, moisture may be effectively suppressed from entering the protective film 8 from the opening end, peeling of the protective film 8 may be suppressed, and a decrease in yield due to misalignment during production may be prevented.

[0171]

Furthermore, even when the adhesion between the semiconductor layer, which the electrodes 6 and 7 contact, and the electrodes 6 and 7 is relatively weak, covering the electrodes 6 and 7 using the protective film 8 may effectively suppress electrode peeling, which is preferable. In other words, by forming the protective film 8, even an electrode material having little adhesion to the amorphous semiconductor may be used, which is preferable because the range of metals selected for the electrode expands and the characteristics are easily improved. In a conventional heterojunction solar cell in which an n-type amorphous semiconductor layer or a p-type amorphous semiconductor layer and a transparent conductive film (TCO) are formed on substantially the entire surface of one surface of a front surface a semiconductor substrate, there is no break between the amorphous semiconductor layer and the TCO.

[0172]

However, when a plurality of layers such as an n-type amorphous semiconductor layer or a p-type amorphous semiconductor layer, a TCO, an electrode, or the like are alternately formed, as in the case of the back surface heterojunction solar cell in the present embodiment, a large number of end portions of each layer are generated, as illustrated in FIG. 13A. When a peel test or the like is performed in such a configuration, there is a possibility of peeling from the end portion. However, it is preferable that a texture structure be formed on the front surface of the semiconductor substrate 1, which causes an anchor effect and is likely to suppress peeling and the like. Furthermore, by covering the electrode end portion that is most likely to peel with a protective film, peeling may be more effectively suppressed, which is more preferable.

[0173]

Moreover, in the gap region G, the passivation film 3, the n-type amorphous semiconductor layer 4, and the

p-type amorphous semiconductor layer 5 are covered by the protective film 8. As a result, long-term stability of the photoelectric conversion element 10 is an effect that may be obtained.

[0174]

FIG. 13A is a plan view of the photoelectric conversion element 10 illustrated in FIG. 1 when viewed from the back surface side. Referring to FIG. 13A(a), the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 are alternately disposed at a desired interval in the in-plane direction of the semiconductor substrate 1. Also, the electrodes 6 and 7 are disposed on the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5, respectively. As a result, the gap region G is formed between the adjacent electrodes 6 and 7.

[0175]

Referring to FIG. 13A(b), the protective film 8 is disposed on the gap region G and a peripheral region of the semiconductor substrate 1. Also, the opening 8A having the width L is formed on the electrodes 6 and 7. The electrodes 6 and 7 are connected to a wiring sheet via the opening 8A.

[0176]

Note that in FIG. 13A(b), a region is present that is not covered by the protective film 8 at a peripheral portion of the semiconductor substrate 1, but in the photoelectric conversion element 10, the most preferable state is where the entire surface of the back surface of the semiconductor substrate 1 is covered by the protective film, and a portion of the electrodes 6 and 7 is exposed.

[0177]

FIG. 13B is a plan view of the wiring sheet. Referring to FIG. 13B, a wiring sheet 70 includes an insulating substrate 710 and wiring materials 71 to 87.

[0178]

The insulating substrate 710 may be an electrically insulating material and may be used without particular limitation. The insulating substrate 710 is composed of, for example, polyethylene terephthalate (PET), polyethylene naphthalate (PEN), polyphenylene sulfide (PPS), polyvinylfluoride (PVF), polyimide, and the like.

[0179]

Furthermore, the film thickness of the insulating substrate 710 is not particularly limited, but is preferably 25 μm or more and 150 μm or less. Also, the insulating substrate 710 may have a single-layer structure or a multilayer structure of two or more layers.

[0180]

The wiring material 71 has a bus bar portion 711 and a finger portion 712. One end of the finger portion 712 is connected to the bus bar portion 711.

[0181]

The wiring material 72 has a bus bar portion 721 and finger portions 722 and 723. One end of the finger portion 722 is connected to the bus bar portion 721. With respect to the bus bar portion 721, one end of the finger portion 723 is connected to the bus bar portion 721 on the opposite side of the connection portion between the bus bar portion 721 and the finger portion 722.

[0182]

The wiring material 73 has a bus bar portion 731 and finger portions 732 and 733. One end of the finger portion 732 is connected to the bus bar portion 731. With respect to the bus bar portion 731, one end of the finger portion 733 is connected to the bus bar portion 731 on the opposite side of the connection portion between the bus bar portion 731 and the finger portion 732.

[0183]

The wiring material 74 has a bus bar portion 741 and finger portions 742 and 743. One end of the finger portion 742 is connected to the bus bar portion 741. With respect to the bus bar portion 741, one end of the finger portion 743 is connected to the bus bar portion 741 on the opposite side of the connection portion between the bus bar portion 741 and the finger portion 742.

[0184]

The wiring material 75 has a bus bar portion 751 and finger portions 752 and 753. The finger portions 752

and 753 are disposed adjacent in the length direction of the bus bar portion 751, and one end thereof is connected to the bus bar portion 751 on the same side of the bus bar portion 751.

[0185]

The wiring material 76 has a bus bar portion 761 and finger portions 762 and 763. One end of the finger portion 762 is connected to the bus bar portion 761. With respect to the bus bar portion 761, one end of the finger portion 763 is connected to the bus bar portion 761 on the opposite side of the connection portion between the bus bar portion 761 and the finger portion 762.

[0186]

The wiring material 77 has a bus bar portion 771 and finger portions 772 and 773. One end of the finger portion 772 is connected to the bus bar portion 771. With respect to the bus bar portion 771, one end of the finger portion 773 is connected to the bus bar portion 771 on the opposite side of the connection portion between the bus bar portion 771 and the finger portion 772.

[0187]

The wiring material 78 has a bus bar portion 781 and finger portions 782 and 783. One end of the finger portion 782 is connected to the bus bar portion 781. With respect to the bus bar portion 781, one end of the finger portion 783 is connected to the bus bar portion 781 on the opposite side of the connection portion between the bus bar portion 781 and the finger portion 782.

[0188]

The wiring material 79 has a bus bar portion 791 and finger portions 792 and 793. The finger portions 792 and 793 are disposed adjacent in the length direction of the bus bar portion 791, and one end thereof is connected to the bus bar portion 791 on the same side of the bus bar portion 791.

[0189]

The wiring material 80 has a bus bar portion 801 and finger portions 802 and 803. One end of the finger portion 802 is connected to the bus bar portion 801. With respect to the bus bar portion 801, one end of the finger portion 803 is connected to the bus bar portion 801 on the opposite side of the connection portion between the bus bar portion 801 and the finger portion 802.

[0190]

The wiring material 81 has a bus bar portion 811 and finger portions 812 and 813. One end of the finger portion 812 is connected to the bus bar portion 811. With respect to the bus bar portion 811, one end of the finger portion 813 is connected to the bus bar portion 811 on the opposite side of the connection portion between the bus bar portion 811 and the finger portion 812.

[0191]

The wiring material 82 has a bus bar portion 821 and finger portions 822 and 823. One end of the finger portion 822 is connected to the bus bar portion 821. With respect to the bus bar portion 821, one end of the finger portion 823 is connected to the bus bar portion 821 on the opposite side of the connection portion between the bus bar portion 821 and the finger portion 822.

[0192]

The wiring material 83 has a bus bar portion 831 and finger portions 832 and 833. The finger portions 832 and 833 are disposed adjacent in the length direction of the bus bar portion 831, and one end thereof is connected to the bus bar portion 831 on the same side of the bus bar portion 831.

[0193]

The wiring material 84 has a bus bar portion 841 and finger portions 842 and 843. One end of the finger portion 842 is connected to the bus bar portion 841. With respect to the bus bar portion 841, one end of the finger portion 843 is connected to the bus bar portion 841 on the opposite side of the connection portion between the bus bar portion 841 and the finger portion 842.

[0194]

The wiring material 85 has a bus bar portion 851 and finger portions 852 and 853. One end of the finger portion 852 is connected to the bus bar portion 851. With respect to the bus bar portion 851, one end of the finger portion 853 is connected to the bus bar portion 851 on the opposite side of the connection portion between the bus

bar portion 851 and the finger portion 852.

[0195]

The wiring material 86 has a bus bar portion 861 and finger portions 862 and 863. One end of the finger portion 862 is connected to the bus bar portion 861. With respect to the bus bar portion 861, one end of the finger portion 863 is connected to the bus bar portion 861 on the opposite side of the connection portion between the bus bar portion 861 and the finger portion 862.

[0196]

The wiring material 87 has a bus bar portion 871 and a finger portion 872. One end of the finger portion 872 is connected to the bus bar portion 871.

[0197]

The wiring material 71 is disposed on the insulating substrate 710 such that the finger portion 712 engages with the finger portion 722 of the wiring material 72.

[0198]

The wiring material 72 is disposed on the insulating substrate 710 such that the finger portion 722 engages with the finger portion 712 of the wiring material 71 and the finger portion 723 engages with the finger portion 732 of the wiring material 73.

[0199]

The wiring material 73 is disposed on the insulating substrate 710 such that the finger portion 732 engages with the finger portion 723 of the wiring material 72 and the finger portion 733 engages with the finger portion 742 of the wiring material 74.

[0200]

The wiring material 74 is disposed on the insulating substrate 710 such that the finger portion 742 engages with the finger portion 733 of the wiring material 73 and the finger portion 743 engages with the finger portion 752 of the wiring material 75.

[0201]

The wiring material 75 is disposed on the insulating substrate 710 such that the finger portion 752 engages with the finger portion 743 of the wiring material 74 and the finger portion 753 engages with the finger portion 762 of the wiring material 76.

[0202]

The wiring material 76 is disposed on the insulating substrate 710 such that the finger portion 762 engages with the finger portion 753 of the wiring material 75 and the finger portion 763 engages with the finger portion 772 of the wiring material 77.

[0203]

The wiring material 77 is disposed on the insulating substrate 710 such that the finger portion 772 engages with the finger portion 763 of the wiring material 76 and the finger portion 773 engages with the finger portion 782 of the wiring material 78.

[0204]

The wiring material 78 is disposed on the insulating substrate 710 such that the finger portion 782 engages with the finger portion 773 of the wiring material 77 and the finger portion 783 engages with the finger portion 792 of the wiring material 79.

[0205]

The wiring material 79 is disposed on the insulating substrate 710 such that the finger portion 792 engages with the finger portion 783 of the wiring material 78 and the finger portion 793 engages with the finger portion 802 of the wiring material 80.

[0206]

The wiring material 80 is disposed on the insulating substrate 710 such that the finger portion 802 engages with the finger portion 793 of the wiring material 79 and the finger portion 803 engages with the finger portion 812 of the wiring material 81.

[0207]

The wiring material 81 is disposed on the insulating substrate 710 such that the finger portion 812 engages with the finger portion 803 of the wiring material 80 and the finger portion 813 engages with the finger portion 822 of the wiring material 82.

[0208]

The wiring material 82 is disposed on the insulating substrate 710 such that the finger portion 822 engages with the finger portion 813 of the wiring material 81 and the finger portion 823 engages with the finger portion 832 of the wiring material 83.

[0209]

The wiring material 83 is disposed on the insulating substrate 710 such that the finger portion 832 engages with the finger portion 823 of the wiring material 82 and the finger portion 833 engages with the finger portion 842 of the wiring material 84.

[0210]

The wiring material 84 is disposed on the insulating substrate 710 such that the finger portion 842 engages with the finger portion 833 of the wiring material 83 and the finger portion 843 engages with the finger portion 852 of the wiring material 85.

[0211]

The wiring material 85 is disposed on the insulating substrate 710 such that the finger portion 852 engages with the finger portion 843 of the wiring material 84 and the finger portion 853 engages with the finger portion 862 of the wiring material 86.

[0212]

The wiring material 86 is disposed on the insulating substrate 710 such that the finger portion 862 engages with the finger portion 853 of the wiring material 85 and the finger portion 863 engages with the finger portion 872 of the wiring material 87.

[0213]

The wiring material 87 is disposed on the insulating substrate 710 such that the finger portion 872 engages with the finger portion 863 of the wiring material 86.

[0214]

Each of the wiring materials 71 to 87 may be electrically conductive and is not particularly limited. Each of the wiring materials 71 to 87 is composed of, for example, Cu, Al, Ag, or an alloy mainly composed of any of these.

[0215]

Furthermore, the thickness of the wiring materials 71 to 87 is not particularly limited, but is ideally, for example, 10 μm or more and 80 μm or less. If less than 10 μm , wiring resistance increases, and if more than 80 μm , warping occurs on the silicon substrate due to the difference in the coefficient of thermal expansion between the wiring material and the silicon substrate due to heat applied when bonding to the photoelectric conversion element 10.

[0216]

The shape of the insulating substrate 710 is not limited to the shape illustrated in FIG. 13B and may be changed as appropriate. Furthermore, a conductive material such as Ni, Au, Pt, Pd, Sn, In, ITO, or the like may be formed on a portion of the front surfaces of the wiring materials 71 to 87. In this manner, a conductive material such as Ni or the like is formed on a portion of the front surfaces of the wiring materials 71 to 87 to enhance the electrical connection between the wiring materials 71 to 87 and the electrodes 6 and 7 of the photoelectric conversion element 10 and to improve the weather resistance of the wiring materials 71 to 87. Moreover, the wiring materials 71 to 87 may have a single layer structure or a multilayer structure.

[0217]

The photoelectric conversion element 10 is disposed on a region REG 1 such that the electrode 6 is connected to the finger portion 712 of the wiring material 71 and the electrode 7 is connected to the finger portion 722 of the wiring material 72, and the photoelectric conversion element 10 is disposed on a region REG 2 such that the electrode 6 is connected to the finger portion 723 of the wiring material 72 and the electrode 7 is connected to the finger portion 732 of the wiring material 73. Hereinafter, the photoelectric conversion element 10 is disposed on the wiring materials

73 to 87 in the same manner. Sixteen photoelectric conversion elements 10 are thus connected in series.

[0218]

The electrodes 6 and 7 of the photoelectric conversion element 10 are connected to the wiring materials 71 to 87 by an adhesive. The adhesive is composed of, for example, one or more adhesive materials selected from the group consisting of solder resin, solder, conductive adhesive, thermosetting Ag paste, low-temperature curing copper paste, anisotropic conductive film (ACF), anisotropic conductive paste (ACP), and insulating adhesive (non-conductive paste: NCP).

[0219]

For example, TCAP-5401-27 made by Tamura Corporation or the like may be used as the solder resin.

[0220]

Epoxy resin, acrylic resin, urethane resin, or the like may be used as the insulating adhesive, and thermosetting and light-curing resins may be used.

[0221]

Solder particles or the like containing at least one of tin or bismuth may be used as the conductive adhesive. More preferably, the conductive adhesive is an alloy of tin and bismuth, indium, silver, or the like. Thus, the solder melting point may be suppressed, and the adhesion process may be performed at low temperatures.

[0222]

When the photoelectric conversion element 10, having the protective film 8 formed on the n-type amorphous semiconductor layer 4, the p-type amorphous semiconductor layer 5, and the electrodes 6 and 7, is used, an inorganic insulating film on the electrodes 6 and 7 and an inorganic insulating film on the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 are present, and the foundations of these two inorganic insulating films are different. In the photoelectric conversion element 10, inorganic insulating films having different foundations are continuously formed. In this situation, when thermal history is applied to an inorganic insulating film having a different foundation, peeling of the inorganic insulating film or the like may occur due to a difference in the coefficient of thermal expansion of the foundation.

[0223]

Accordingly, a thermal process at a low temperature, particularly at 200°C or lower, is preferable, and as a result, a thermosetting Ag paste, a low-temperature curing copper paste, anisotropic conductive film, and anisotropic conductive paste that is able to be cured and electrically bonded at low temperatures are particularly preferable.

[0224]

As described above, the photoelectric conversion element 10 disposed on the wiring sheet 70 is disposed between an ethylene vinyl acetate resin (EVA resin) disposed on a glass substrate and an EVA resin disposed on a PET film. Also, the EVA resin on the glass substrate side is crimped onto the photoelectric conversion element 10 by vacuum crimping using a laminator device, and the EVA resin on the PET film side is crimped onto the photoelectric conversion element 10; heating is performed in this state at 125°C to carry out curing. Thus, the photoelectric conversion element 10 to which the wiring sheet 70 is attached may be sealed in the EVA resin cured between the glass substrate and the PET film to produce a solar cell module.

[0225]

Note that in embodiment 1 described above, an example is described in which the p-type amorphous semiconductor layer 5 is formed after the n-type amorphous semiconductor layer 4 is formed; however, the n-type amorphous semiconductor layer 4 may be formed after the p-type amorphous semiconductor layer 5 has been formed. In this case, the alignment mark includes the same semiconductor layer as the p-type amorphous semiconductor layer 5, and the same semiconductor layer as the n-type amorphous semiconductor layer 4 is deposited at an upper portion of the alignment mark.

[0226]

Furthermore, in embodiment 1 described above, an example is described in which a texture structure is formed on the entire surface of the back surface of the semiconductor substrate 1; however, the texture structure may be formed at least below a boundary (outer edge portion) of a region in which n-type amorphous silicon is formed at the alignment mark 4M. Even in this configuration, the reflectance of the boundary portion of the n-type amorphous

silicon at the alignment mark 4M is substantially uniform, and thus the position of the alignment mark 4M may be reliably recognized using an optical microscope.

[0227]

Furthermore, the smaller the difference in film thickness between the alignment mark 4M and the other regions, the more difficult it is to recognize the boundary between the alignment mark 4M and the other regions; however, by forming the texture structure under the boundary (outer edge) portion of the region where the n-type amorphous silicon is formed at the alignment mark 4M, visibility of the boundary portion of the n-type amorphous silicon at the alignment mark 4M is increased, and recognition accuracy of the alignment mark 4M is improved. As a result, the film thickness of the n-type amorphous semiconductor layer 4 may be made thinner, the series resistance in the n-type amorphous semiconductor layer 4 may be made smaller, and a higher conversion efficiency may be achieved.

[0228]

[Embodiment 2]

The present embodiment differs from embodiment 1 in that a texture structure is formed on a portion of a back surface of a semiconductor substrate 1, and an alignment mark 4M is not formed. Configurations that differ from embodiment 1 will be described below.

[0229]

As illustrated in FIG. 14A, an n-type amorphous semiconductor layer 4 and a p-type amorphous semiconductor layer 5 are formed on a back surface of a semiconductor substrate 1A according to the present embodiment, and the alignment mark 4M is not formed in a region different from the region in which the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 are formed. Furthermore, in the present embodiment, in FIG. 14A, a texture structure similar to that in embodiment 1 described above is formed in the portion indicated by dashed-line frames P1 and P2 on the back surface of the semiconductor substrate 1A (hereinafter referred to as the texture region). Also, a portion of each boundary of one set of the adjacent n-type amorphous semiconductor layer 4 and p-type amorphous semiconductor layer 5 overlaps on each texture region P1 and P2. A dashed-line portion 41M of the n-type amorphous semiconductor layer 4 formed on the texture regions P1 and P2 is one example of a light scattering layer and functions as an alignment part.

[0230]

In the present embodiment, each of the steps illustrated in FIG. 14B(b1) to (b5) is performed in place of the step in FIG. 6(b) of embodiment 1 described above. Specifically, in the step in FIG. 14B(b1), a protective film 90 composed of SiO_2 is formed on the entire surface of a back surface of a semiconductor substrate 1' by a sputtering method. Also, a resist 91 is coated onto the protective film 90 and patterning is performed to remove the resist 91 at a predetermined region and form an opening 91a (step (b2) in FIG. 14).

[0231]

Following, the protective film 90 at the opening 91a is etched using hydrofluoric acid using the resist 91 as a mask to form an opening 90'a, thereby removing the resist 91 (step (b3) in FIG. 14). Also, anisotropic etching similar to that in embodiment 1 described above is performed on a portion of the opening 90'a on the back surface side of the semiconductor substrate 1' and the light-receiving surface side of the semiconductor substrate 1' to form a texture structure (step (b4) in FIG. 14). Following, a protective film 90' on the back surface side of the semiconductor substrate 1' is etched using hydrofluoric acid to form the semiconductor substrate 1A (step (b5) in FIG. 14). Thus, the texture structure is formed on the entire surface of the light-receiving surface side of the semiconductor substrate 1A and a portion of the regions P1 and P2 on a portion of the back surface side. Thereafter, the steps in FIG. 6(c) to FIG. 10(m) are performed in a similar manner to embodiment 1.

[0232]

Note that in the present embodiment, in step (e) in FIG. 7, a shadow mask (illustration omitted) having only the opening 30a similar to the shadow mask 30 is used as the shadow mask for forming the n-type amorphous semiconductor layer 4. In the present embodiment, a portion of one long side of one opening 30a in the shadow mask is disposed so as to overlap a portion of the dashed-line frames P1 and P2 in FIG. 14A to form the n-type amorphous semiconductor layer 4. As a result, the alignment mark 41M composed of a portion of the n-type amorphous

semiconductor layer 4 is formed on the texture structure formed in the dashed-line frames P1 and P2.

[0233]

Furthermore, in the present embodiment, in the step in FIG. 8(g), a shadow mask (illustration omitted) having only an opening 40a similar to the shadow mask 40 is used as the shadow mask for forming the p-type amorphous semiconductor layer 5. Since the texture structure is formed below the alignment mark 41M, the reflectance of the portion of the alignment mark 41M becomes substantially uniform, and the position of the alignment mark 41M may be determined using an optical microscope. Thus, in the present embodiment, after the shadow mask is disposed so that the opening 40a overlaps the n-type amorphous semiconductor layer 4 based on the alignment mark 41M, the shadow mask is shifted by a width of a gap region G along a sequence direction of the n-type amorphous semiconductor layer 4.

[0234]

As a result, the p-type amorphous semiconductor layer 5 is formed at position separated by a uniform distance from the n-type amorphous semiconductor layer 4, and a portion of each boundary of one set of the adjacent n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 is disposed in each of the texture regions P1 and P2. Note that after the p-type amorphous semiconductor layer 5 is formed, each step in FIG. 8(h) to FIG. 10(m) is performed in the same manner as in embodiment 1.

[0235]

The reflectance of the texture regions P1 and P2 in the semiconductor substrate 1A is substantially uniform. Therefore, by observing portions of the texture regions P1 and P2 using an optical microscope, the respective boundaries of the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 may be recognized. As a result, after the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 are formed, the position where the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 are formed may be confirmed, and it is possible to inspect whether the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 are formed at an appropriate position.

[0236]

That is, the portion where the boundary between the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 is formed in the texture regions P1 and P2 is a light scattering layer, and functions as an inspection unit for inspecting the position where the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 are formed.

[0237]

Note that although it is preferable to have a plurality of texture regions present on the back surface of the semiconductor substrate 1A from the perspective of inspection accuracy, it is sufficient that at least one texture region is present. When a plurality of texture regions is formed, misalignment when disposing each shadow mask for forming each of the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 may be more accurately recognized compared to when one texture region is formed. Furthermore, in the present embodiment, the alignment mark 41M is a portion of the n-type amorphous semiconductor layer 4, and thus the ratio occupied by the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 at the semiconductor substrate 1A may be increased compared to that of embodiment 1, thereby improving the conversion efficiency of a photoelectric conversion element.

[0238]

Note that although FIG. 14A illustrates an example in which a texture region is formed on the back surface of the semiconductor substrate 1A under each boundary portion of a set of the adjacent n-type amorphous semiconductor layer 4 and p-type amorphous semiconductor layer 5, as illustrated in FIG. 14C, the texture region may be formed in a region P3 indicated by a dashed-line frame overlapping one long side of at least one of the n-type amorphous semiconductor layers 4. Alternatively, the texture region may be formed in a region overlapping a portion of one long side of the n-type amorphous semiconductor layer 4. In essence, the texture region may be formed on the entire region where the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 are formed on the back surface of the semiconductor substrate 1A, or the texture region may be formed at a position overlapping at least a portion of one long side of at least one of the n-type amorphous semiconductor layers 4. Note

that in the example in FIG. 14C, a dashed-line portion 42M of the n-type amorphous semiconductor layer 4 formed in the texture region P3 functions as an alignment part and also functions as an inspection unit.

[0239]

Furthermore, the foregoing example is one in which the n-type amorphous semiconductor layer 4 is formed and then the p-type amorphous semiconductor layer 5 is formed; however, the n-type amorphous semiconductor layer 4 may be formed after the p-type amorphous semiconductor layer 5 has been formed. In this case, the texture structure may be formed in a region overlapping one long side or a portion of a long side of at least one of the p-type amorphous semiconductor layers 5.

[0240]

[Embodiment 3]

The present embodiment differs from embodiment 1 in that a texture structure is formed on a portion of a semiconductor substrate 1, a shadow mask different from the shadow mask 30 is used, and an n-type amorphous semiconductor layer 4 and individual identification information for identifying a photoelectric conversion element 10 are formed.

[0241]

FIG. 15A is a schematic view illustrating a shadow mask 3100 according to the present embodiment for forming the n-type amorphous semiconductor layer 4. As illustrated in FIG. 15A, the shadow mask 3100 has a plurality of openings 30a for forming the n-type amorphous semiconductor layer 4 and an opening region 30c composed of a plurality of openings 3001 for forming individual identification information of the photoelectric conversion element 10. The individual identification information is information indicating, for example, the time of manufacture, place of manufacture, and the like of the photoelectric conversion element 10, and the arrangement and number of openings 3001 at the shadow mask 3100 differ depending on the photoelectric conversion element 10 being manufactured.

[0242]

In the present embodiment, in place of step (a) in FIG. 6 of embodiment 1, a texture structure is formed on a portion of a back surface of a semiconductor substrate 1' and a texture structure is formed on the entire surface of a light-receiving surface of the semiconductor substrate 1' according to steps similar to steps (b1) to (b5) in FIG. 14B of embodiment 2 described above. Thereafter, the steps in FIG. 6(c) to FIG. 10(m) are performed in a similar manner to embodiment 1.

[0243]

Note that in the present embodiment, in step (e) illustrated in FIG. 7, the shadow mask 3100 is disposed on a passivation film 3 in place of the shadow mask 30. Specifically, the shadow mask 3100 is disposed so that the opening region 30c of the shadow mask 3100 is disposed on the region where the texture structure is formed, and n-type amorphous silicon is deposited. As a result, n-type amorphous silicon is deposited on a portion of the opening 30a and the opening region 30c of the shadow mask 3100, and the n-type amorphous semiconductor layer 4 and the individual identification information are formed.

[0244]

After the n-type amorphous semiconductor layer 4 and the individual identification information are formed, in step (g) illustrated in FIG. 8, a shadow mask 3200 illustrated in FIG. 15B is disposed in place of the shadow mask 40 to form a p-type amorphous semiconductor layer 5. The shadow mask 3200 has an opening 40a similar to the shadow mask 40 and a mask alignment mark 40c. The inside of the mask alignment mark 40c is not open, and has four convex portions 402c to 405c at positions in contact with a dashed-line frame 401c corresponding to the openings 3001 of the four corners at the opening region 30c of the shadow mask 3100. In the present embodiment, the shadow mask 3200 is disposed by aligning the four convex portions 402c to 405c of the mask alignment mark 40c of the shadow mask 3200 so as to contact a portion of the individual identification information formed by the four corner openings 3001 on the shadow mask 3100.

[0245]

The texture structure is formed below the region where the individual identification information is formed, and the reflectance is substantially uniform, and thus a portion of the individual identification information that serves

as a reference for alignment may be determined using an optical microscope. That is, the region where the individual identification information is formed in the semiconductor substrate 1 functions as an alignment part. Thus, the opening 40a of the shadow mask 3200 is disposed at a position that is a uniform distance from the n-type amorphous semiconductor layer 4. Note that after the p-type amorphous semiconductor layer 5 is formed, each of steps (h) to (m) illustrated in FIG. 8 to FIG. 10 is performed in a similar manner as in embodiment 1.

[0246]

For each instance of manufacturing the photoelectric conversion element 10, the n-type amorphous semiconductor layer 4 is formed using a shadow mask in which the positional relationship of the opening 3001 at the opening region 30c is different, whereby individual identification information for each photoelectric conversion element is formed on the back surface of the semiconductor substrate 1. Since the texture structure is formed on the semiconductor substrate 1 below the region where the individual identification information is formed, the individual identification information may be recognized using an optical microscope after manufacturing the photoelectric conversion element 10, and individual photoelectric conversion elements 10 may be determined.

[0247]

Note that in the foregoing example, the example described is one in which the shadow mask 3100 for forming the n-type amorphous semiconductor layer 4 is used to form individual identification information composed of n-type amorphous silicon; however, the shadow mask for forming the p-type amorphous semiconductor layer 5 may be further used to form individual identification information in which identification information composed of n-type amorphous silicon and identification information composed of p-type amorphous silicon are combined. That is, for example, as illustrated in FIG. 16, the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 may be alternately formed adjacent to each other on the back surface of a semiconductor substrate 1B, and individual identification information S may be formed in which identification information 4s composed of n-type amorphous silicon and identification information 5s composed of p-type amorphous silicon are combined.

[0248]

In this case, in step (e) in FIG. 7 in embodiment 1 described above, in a similar manner to the shadow mask 3100, the n-type amorphous silicon is deposited using a shadow mask provided with the opening 30a for forming the n-type amorphous semiconductor layer 4 and the opening 3001 for forming the identification information 4s composed of n-type amorphous silicon. Furthermore, in step (g) in FIG. 8, p-type amorphous silicon is deposited using a shadow mask having an opening 40a similar to that of the shadow mask 3200 and an opening for forming the identification information 5s inside the mask alignment mark 40c of the shadow mask 3200. That is, this shadow mask differs from the shadow mask 3200 in that an opening for forming the identification information 5s is provided inside the mask alignment mark 40c. As a result, as illustrated in FIG. 16, the individual identification information S composed of the identification information 4s and the identification information 5s is formed on the back surface of the semiconductor substrate 1B together with the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5.

[0249]

[Embodiment 4]

FIG. 17 is a cross-sectional view illustrating a configuration of the photoelectric conversion element according to the present embodiment. In FIG. 17, configurations similar to that of embodiment 1 are denoted by the same reference numerals as that the configuration of embodiment 1. As illustrated in FIG. 17, a photoelectric conversion element 20 according to the present embodiment differs from the photoelectric conversion element 10 in that passivation films 301 and 302 are provided in place of the passivation film 3 of the photoelectric conversion element 10.

[0250]

The passivation film 301 is disposed in contact with a back surface of a semiconductor substrate 1 and on the back surface of the semiconductor substrate 1.

[0251]

The passivation film 302 is disposed in contact with the back surface of the semiconductor substrate 1 and on

the back surface of the semiconductor substrate 1 as well as adjacent to the passivation film 301 in an in-plane direction of the semiconductor substrate 1.

[0252]

That is, the passivation films 301 and 302 are alternately disposed in the in-plane direction of the semiconductor substrate 1.

[0253]

An n-type amorphous semiconductor layer 4 is disposed in contact with the passivation film 301 and on the passivation film 301.

[0254]

A p-type amorphous semiconductor layer 5 is disposed in contact with the passivation film 302 and on the passivation film 302.

[0255]

As a result of the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 being disposed on the passivation films 301 and 302, respectively, the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 are alternately disposed in the in-plane direction of the semiconductor substrate 1.

[0256]

A protective film 8 is formed on electrodes 6 and 7 in contact with the passivation films 301 and 302, the n-type amorphous semiconductor layer 4, the p-type amorphous semiconductor layer 5, the electrodes 6 and 7, and a portion of the back surface of the semiconductor substrate 1.

[0257]

Each of the passivation films 301 and 302 is composed of the same material as the passivation film 3 and has the same film thickness as the passivation film 3. Note that a film thickness of the passivation film 301 may be the same as or different from a film thickness of the passivation film 302.

[0258]

FIGS. 18 to 21 are respective step diagrams illustrating the method for manufacturing the photoelectric conversion element 20 illustrated in FIG. 17.

[0259]

In the present embodiment, first, each of the steps (a) to (c) in FIG. 6 and (d) in FIG. 7 described above are performed sequentially, after which a shadow mask 310 is disposed on the back surface of the semiconductor substrate 1 (see step (e) in FIG. 18). The shadow mask 310 is composed of the same material as the shadow mask 30 described above and has the openings 30a and 30b (see FIG. 8A) similar to the shadow mask 30.

[0260]

Furthermore, the passivation film 301, which is composed of an i-type amorphous silicon, the n-type amorphous semiconductor layer 4, which is composed of an n-type amorphous silicon, and the alignment mark 4M are sequentially deposited onto the back surface of the semiconductor substrate 1 via the shadow mask 310 by the plasma CVD method (see step (f) in FIG. 18). The formation conditions of the i-type amorphous silicon and the n-type amorphous silicon are as described in embodiment 1. Thereby, the passivation film 301 is formed under the n-type amorphous semiconductor layer 4 and the alignment mark 4M. During the formation of the passivation film 301, the n-type amorphous semiconductor layer 4, and the alignment mark 4M, a laminated film 311 of an i-type amorphous silicon / n-type amorphous silicon is formed on the shadow mask 310.

[0261]

After step (f) in FIG. 18, a shadow mask 320 is disposed on the n-type amorphous semiconductor layer 4 and the alignment mark 4M (see step (g) in FIG. 18). The shadow mask 320 is also composed of the same material as the shadow mask 40 described above, and has the opening 40a and the alignment opening 40b (see FIG. 11B) similar to the shadow mask 40. In the present embodiment, similarly to embodiment 1, the alignment opening 40b in the shadow mask 320 is aligned with the alignment mark 4M formed on the back surface of the semiconductor substrate 1, and the shadow mask 320 is disposed on the n-type amorphous semiconductor layer 4. In the present embodiment, in the other regions where the alignment mark 4M and the n-type amorphous semiconductor layer 4 are not formed, the

passivation film 301 is not formed. Therefore, a film thickness of the portion where the alignment mark 4M and the n-type amorphous semiconductor layer 4 are formed is thicker than that in embodiment 1. As a result, contrast of the alignment mark 4M is higher than in embodiment 1, recognition accuracy of the alignment mark 4M when observed under an optical microscope is improved, and the shadow mask 320 can be more reliably disposed at an appropriate position.

[0262]

Furthermore, the passivation film 302, which is composed of an i-type amorphous silicon, and the p-type amorphous semiconductor layer 5, which is composed of an n-type amorphous silicon, are sequentially deposited onto the back surface of the semiconductor substrate 1 via the shadow mask 320 by the plasma CVD method (see step (h) in FIG. 19). The formation conditions of the i-type amorphous silicon and the p-type amorphous silicon are as described in embodiment 1. Through formation of the passivation film 302 and the p-type amorphous semiconductor layer 5, a laminated film 51M of an i-type amorphous silicon / p-type amorphous silicon is formed on the alignment mark 4M, and a laminated film 321 of an i-type amorphous silicon / p-type amorphous silicon is formed on the shadow mask 320.

[0263]

After step (h) in FIG. 19, a shadow mask 330 is disposed (see step (i) in FIG. 19). The shadow mask 330 is composed of the same material as that of the shadow mask 30 described above.

[0264]

Furthermore, the electrodes 6 and 7 are respectively formed on the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 via the shadow mask 330 (see step (j) in FIG. 20).

[0265]

Thereafter, a shadow mask 340 is disposed (see step (k) in FIG. 20). The shadow mask 340 is composed of the same material as that of the shadow mask 30 described above.

[0266]

Furthermore, the protective film 8 is formed on the electrodes 6 and 7 via the shadow mask 340. Thus, the photoelectric conversion element 20 is completed (see step (l) in FIG. 21). The photoelectric conversion element 20 is modularized using the wiring sheet 70 described above. Note that the other descriptions in the present embodiment are the same as those in embodiment 1.

[0267]

As such, prior to forming the p-type amorphous semiconductor layer 5 in the present embodiment, in the other regions where the alignment mark 4M and the n-type amorphous semiconductor layer 4 are not formed, the passivation film 301 is not formed. Therefore, a film thickness of the alignment mark 4M portion is thicker than that of the other regions, and contrast of the alignment mark 4M portion is higher than that of the other regions. As a result, when forming the p-type amorphous semiconductor layer 5, the alignment mark 4M can be more reliably recognized by an optical microscope, and the convex portion of the alignment opening 40b of the shadow mask 320 can be aligned with the alignment mark 4M. Therefore, the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 can be more reliably formed at appropriate positions compared to embodiment 1, in which the passivation film 3 is formed on the entire back surface of the semiconductor substrate 1.

[0268]

[Embodiment 5]

FIG. 22 is a schematic view illustrating a configuration of a photoelectric conversion module provided with a photoelectric conversion element according to this embodiment. Referring to FIG. 22, a photoelectric conversion module 1000 is provided with a plurality of photoelectric conversion elements 1001, a cover 1002, and output terminals 1003 and 1004.

[0269]

The plurality of photoelectric conversion elements 1001 is arranged in an array and connected in series. Note that rather than being connected in series, the plurality of photoelectric conversion elements 1001 may be connected in parallel, or may be connected in a combination of in series and in parallel.

[0270]

Furthermore, the respective plurality of photoelectric conversion elements 1001 is composed of the photoelectric conversion elements 10 and 20.

[0271]

The cover 1002 is composed of a weather-resistant cover and covers the plurality of photoelectric conversion elements 1001. The cover 1002 includes, for example, a transparent base material (for example, a glass or the like) provided on the light-receiving surface side of the photoelectric conversion elements 1001, a back surface base material (for example, a glass, a resin sheet, or the like) provided on the back surface side opposite to the light-receiving surface side of the photoelectric conversion elements 1001, and a sealing material (for example, EVA or the like) for filling a gap between the transparent base material and a back base material.

[0272]

The output terminal 1003 is connected to a photoelectric conversion element 1001 which is disposed at one end of the plurality of photoelectric conversion elements 1001 that is connected in series.

[0273]

The output terminal 1004 is connected to a photoelectric conversion element 1001 which is disposed at the other end of the plurality of photoelectric conversion elements 1001 that is connected in series.

[0274]

As described above, photoelectric conversion efficiency of the photoelectric conversion elements 10 and 20 is improved. Accordingly, photoelectric conversion efficiency of the photoelectric conversion module 1000 may be improved.

[0275]

Note that the number of the photoelectric conversion elements 1001 which is included in the photoelectric conversion module 1000 is any integer greater than or equal to 2.

[0276]

In addition, the photoelectric conversion module according to the present embodiment is not limited to the configuration illustrated in FIG. 22, and may have any configuration as long as either of the photoelectric conversion elements 10 and 20 is used.

[0277]

[Embodiment 6]

FIG. 23 is a schematic view illustrating a configuration of a solar power generation system provided with a photoelectric conversion element according to this embodiment.

[0278]

Referring to FIG. 23, a solar power generation system 1100 includes a photoelectric conversion module array 1101, a junction box 1102, a power conditioner 1103, a distribution board 1104, and a power meter 1105.

[0279]

The junction box 1102 is connected to the photoelectric conversion module array 1101. The power conditioner 1103 is connected to the junction box 1102. The distribution board 1104 is connected to the power conditioner 1103 and an electrical device 1110. The power meter 1105 is connected to the distribution board 1104 and a system linkage.

[0280]

The photoelectric conversion module array 1101 converts sunlight into electricity to generate DC power, and supplies the generated DC power to the junction box 1102.

[0281]

The junction box 1102 receives the DC power generated by the photoelectric conversion module array 1101 and supplies the received DC power to the power conditioner 1103.

[0282]

The power conditioner 1103 converts the DC power received from the junction box 1102 into AC power, and supplies the converted AC power to the distribution board 1104.

[0283]

The distribution board 1104 supplies the AC power received from the power conditioner 1103 and/or

commercial power received via the power meter 1105 to the electrical device 1110. In addition, when the AC power received from the power conditioner 1103 is greater than a power consumption of the electrical device 1110, the distribution board 1104 supplies the excess AC power to the system linkage via the power meter 1105.

[0284]

The power meter 1105 measures power in the direction from the system linkage to the distribution board 1104, and also measures power in the direction from the distribution board 1104 to the system linkage.

[0285]

FIG. 24 is a schematic view illustrating a configuration of the photoelectric conversion module array 1101 illustrated in FIG. 23.

[0286]

Referring to FIG. 24, the photoelectric conversion module array 1101 includes a plurality of photoelectric conversion modules 1120, and output terminals 1121 and 1122.

[0287]

The plurality of photoelectric conversion modules 1120 is arranged in an array and connected in series. Note that rather than being connected in series, the plurality of photoelectric conversion modules 1120 may be connected in parallel, or may be connected in a combination of in series and in parallel. Furthermore, the respective plurality of photoelectric conversion modules 1120 is composed of the photoelectric conversion module 1000 illustrated in FIG. 22.

[0288]

The output terminal 1121 is connected to a photoelectric conversion module 1120 which is positioned at one end of the plurality of photoelectric conversion modules 1120 that is connected in series.

[0289]

The output terminal 1122 is connected to a photoelectric conversion module 1120 which is positioned at the other end of the plurality of photoelectric conversion modules 1120 that is connected in series.

[0290]

Note that the number of the photoelectric conversion modules 1120 which is included in the photoelectric conversion module array 1101 is any integer greater than or equal to 2.

[0291]

An operation of the solar power generation system 1100 will be described. The photoelectric conversion module array 1101 converts sunlight into electricity to generate DC power, and supplies the generated DC power to the power conditioner 1103 via the junction box 1102.

[0292]

The power conditioner 1103 converts the DC power received from the photoelectric conversion module array 1101 into AC power, and supplies the converted AC power to the distribution board 1104.

[0293]

When the AC power received from the power conditioner 1103 is equal to or greater than the power consumption of the electrical device 1110, the distribution board 1104 supplies the AC power received from the power conditioner 1103 to the electrical device 1110. Furthermore, the distribution board 1104 supplies excess AC power to the system linkage via the power meter 1105.

[0294]

In addition, when the AC power received from the power conditioner 1103 is less than the power consumption of the electrical device 1110, the distribution board 1104 supplies the AC power received from the system linkage and the AC power received from the power conditioner 1103 to the electrical device 1110.

[0295]

As described above, the solar power generation system 1100 is provided with either of the photoelectric conversion elements 10 and 20, which have excellent photoelectric conversion efficiency. Accordingly, photoelectric conversion efficiency of the solar power generation system 1100 can be improved.

[0296]

FIG. 25 is a schematic view illustrating a configuration of another solar power generation system provided

with a photoelectric conversion element according to this embodiment.

[0297]

A solar power generation system which is provided with the photoelectric conversion element according to this embodiment may be a solar power generation system 1100A, which is illustrated in FIG. 25.

[0298]

Referring to FIG. 25, the solar power generation system 1100A has a storage battery 1106 added to the solar power generation system 1100 illustrated in FIG. 23, and is otherwise the same as the solar power generation system 1100.

[0299]

The storage battery 1106 is connected to the power conditioner 1103.

[0300]

In the solar power generation system 1100A, the power conditioner 1103 appropriately converts a portion or all of the DC power received from the junction box 1102, and stores the power in the storage battery 1106.

[0301]

The power conditioner 1103 otherwise performs the same operations as in the solar power generation system 1100.

[0302]

The storage battery 1106 stores the DC power received from the power conditioner 1103. In addition, the storage battery 1106 supplies the stored power to the power conditioner 1103 as appropriate in accordance with the status of an amount of power generated by the photoelectric conversion module array 1101 and/or an amount of power consumed by the electrical device 1110.

[0303]

As such, because the solar power generation system 1100A is provided with the storage battery 1106, an output fluctuation due to a variation in an amount of sunlight can be suppressed, and the power stored in the storage battery 1106 can be supplied to the electrical device 1110 even during a period of time without sunlight.

[0304]

Note that the storage battery 1106 may be built into the power conditioner 1103.

[0305]

In addition, the solar power generation system according to the present embodiment is not limited to the configurations illustrated in FIGS. 23 and 24, or the configurations illustrated in FIGS. 24 and 25, and may be of any configuration as long as either of the photoelectric conversion elements 10 and 20 is used.

[0306]

[Embodiment 7]

FIG. 26 is a schematic view illustrating a configuration of a solar power generation system provided with a photoelectric conversion element according to this embodiment.

[0307]

Referring to FIG. 26, a solar power generation system 1200 is provided with subsystems 1201 to 120n (n being an integer of two or more), power conditioners 1211 to 121n, and a transformer 1221. The solar power generation system 1200 is a solar power generation system of a larger scale than that of the solar power generation systems 1100 and 1100A illustrated in FIGS. 23 and 25.

[0308]

The power conditioners 1211 to 121n are respectively connected to subsystems 1201 to 120n.

[0309]

The transformer 1221 is connected to the power conditioners 1211 to 121n and a system linkage.

[0310]

The respective subsystems 1201 to 120n are composed of module systems 1231 to 123j (j being an integer of two or more).

[0311]

The respective module systems 1231 to 123j include photoelectric conversion module arrays 1301 to 130i (i

being an integer of two or more), junction boxes 1311 to 131i, and a PV combiner box 1321.

[0312]

The respective photoelectric conversion module arrays 1301 to 130i are composed of the same configuration as that of the photoelectric conversion module array 1101 illustrated in FIG. 23.

[0313]

The junction boxes 1311 to 131i are respectively connected to the photoelectric conversion module arrays 1301 to 130i.

[0314]

The PV combiner box 1321 is connected to the junction boxes 1311 to 131i. In addition, a j number of the PV combiner box 1321 of the subsystem 1201 are connected to the power conditioner 1211. A j number of the PV combiner box 1321 of a subsystem 1202 are connected to a power conditioner 1212. Likewise hereinafter, a j number of the PV combiner box 1321 of the subsystem 120n are connected to the power conditioner 121n.

[0315]

An i number of the photoelectric conversion module arrays 1301 to 130i of the module system 1231 convert sunlight into electricity to generate DC power, and respectively supply the generated DC power to the PV combiner box 1321 via the junction boxes 1311 to 131i. An i number of the photoelectric conversion module arrays 1301 to 130i of a module system 1232 convert sunlight into electricity to generate DC power, and respectively supply the generated DC power to the PV combiner box 1321 via the junction boxes 1311 to 131i. Similarly hereinafter, an i number of the photoelectric conversion module arrays 1301 to 130i of the module system 123j convert sunlight into electricity to generate DC power, and respectively supply the generated DC power to the PV combiner box 1321 via the junction boxes 1311 to 131i.

[0316]

Furthermore, the j number of the PV combiner box 1321 of the subsystem 1201 supply DC power to the power conditioner 1211.

[0317]

The j number of the PV combiner box 1321 of the subsystem 1202 similarly supply DC power to the power conditioner 1212.

[0318]

Similarly hereinafter, the j number of the PV combiner box 1321 of the subsystem 120n supply DC power to the power conditioner 121n.

[0319]

The power conditioners 1211 to 121n convert the DC power received from the subsystems 1201 to 120n into AC power, and supply the converted AC power to the transformer 1221.

[0320]

The transformer 1221 receives the AC power from the power conditioners 1211 to 121n, converts a voltage level of the received AC power, and supplies the power to the system linkage.

[0321]

As described above, the solar power generation system 1200 is provided with either of the photoelectric conversion elements 10 and 20, which have excellent photoelectric conversion efficiency. Accordingly, photoelectric conversion efficiency of the solar power generation system 1200 can be improved.

[0322]

FIG. 27 is a schematic view illustrating a configuration of another solar power generation system provided with a photoelectric conversion element according to this embodiment.

[0323]

A solar power generation system which is provided with the photoelectric conversion element according to this embodiment may be a solar power generation system 1200A, which is illustrated in FIG. 27.

[0324]

Referring to FIG. 27, the solar power generation system 1200A has storage batteries 1241 to 124n added to the solar power generation system 1200 illustrated in FIG. 26, and is otherwise the same as the solar power generation

system 1200.

[0325]

The storage batteries 1241 to 124n are respectively connected to the power conditioners 1211 to 121n.

[0326]

In the solar power generation system 1200A, the power conditioners 1211 to 121n convert the DC power received from the subsystems 1201 to 120n into AC power, and supply the converted AC power to the transformer 1221. In addition, the power conditioners 1211 to 121n respectively convert the DC power received from the subsystems 1201 to 120n as appropriate, and store the converted DC power in the storage batteries 1241 to 124n, respectively.

[0327]

The storage batteries 1241 to 124n respectively supply the stored power to the power conditioners 1211 to 121n according to an amount of DC power from the subsystems 1201 to 120n.

[0328]

As such, because the solar power generation system 1200A is provided with the storage batteries 1241 to 124n, an output fluctuation due to a variation in an amount of sunlight can be suppressed, and the power stored in the storage batteries 1241 to 124n can be supplied to the transformer 1221 even during a period of time without sunlight.

[0329]

Note that the storage batteries 1241 to 124n may respectively be built into the power conditioners 1211 to 121n.

[0330]

In addition, the solar power generation system according to the present embodiment is not limited to the configurations illustrated in FIGS. 26 and 27, and may be of any configuration as long as either of the photoelectric conversion elements 10 and 20 is used.

[0331]

Furthermore, in the present embodiment, not all of the photoelectric conversion elements included in the solar power generation systems 1200 and 1200A need be the photoelectric conversion elements 10 and 20.

[0332]

For example, all of the photoelectric conversion elements included in a given subsystem (any of the subsystems 1201 to 120n) may be either of the photoelectric conversion elements 10 and 20, and a portion or all of the photoelectric conversion elements included in another subsystem (any of the subsystems 1201 to 120n) may be a photoelectric conversion element other than the photoelectric conversion elements 10 and 20.

[0333]

It should be considered that the presently disclosed embodiments are exemplary in all respects and not restrictive. The scope of the present invention is intended to be indicated by the scope of patent claims, not the embodiments described above, and includes all modifications within the same meaning and scope as the scope of patent claims.

[0334]

(1) In embodiments 3 and 4 described above, an example is described in which the n-type amorphous semiconductor layer 4 is formed on the back surface of the semiconductor substrate 1 first, after which the p-type amorphous semiconductor layer 5 is formed; however, the p-type amorphous semiconductor layer 5 may be formed first, after which the n-type amorphous semiconductor layer 4 may be formed.

[0335]

(2) In embodiments 2 and 3 described above, similarly to embodiment 4, a passivation film composed of an intrinsic amorphous semiconductor layer may be respectively formed on only portions under the n-type amorphous semiconductor layer 4, the alignment mark 4M, and the p-type amorphous semiconductor layer 5. In this case, in embodiment 2, the alignment marks 41M and 42M include the n-type amorphous semiconductor layer 4 and the passivation film formed under the n-type amorphous semiconductor layer 4. Contrast of portions where the alignment marks 41M and 42M are formed is therefore high, and the shadow mask used when forming the p-type amorphous semiconductor layer 5 may be disposed at a more appropriate position. In addition, in embodiment 3, the individual

identification information composed of the n-type amorphous semiconductor layer 4 includes the n-type amorphous semiconductor layer 4, and the passivation film formed under the n-type amorphous semiconductor layer 4. Contrast of a portion where the individual identification information is formed is therefore high, and alignment of the convex portions 402c to 405c of the shadow mask 3200 that is used when forming the p-type amorphous semiconductor layer 5 can be more accurately performed.

[0336]

(3) In embodiment 2 described above, an example is described in which the position of the shadow mask that is used when forming the p-type amorphous semiconductor layer 5 is adjusted based on the alignment mark 41M, which is composed of a portion of the n-type amorphous semiconductor layer 4, however, the position of the shadow mask may be adjusted without using the alignment mark 41M. That is, for example, alignment pins for respectively aligning the shadow mask that are used when forming the n-type amorphous semiconductor layer 4 as well as the shadow mask that is used when forming the p-type amorphous semiconductor layer 5 are fixed in advance to a base for fixing the semiconductor substrate 1A. Furthermore, similarly to embodiment 2, after the texture structure is formed on at least a portion of the back surface of the semiconductor substrate 1A, a shadow mask for respectively forming the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 is disposed in accordance with each alignment pin, and the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 are sequentially formed.

[0337]

Furthermore, after the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 are formed, a boundary between the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 4 formed on a texture structure can be determined by observing a region where the texture structure is formed using an optical microscope. Thereby, it is possible to inspect whether the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 do not overlap, and whether such are formed at appropriate positions. That is, the shadow masks are disposed using alignment pins, and the boundary portion of the n-type amorphous semiconductor layer 4 and the p-type amorphous semiconductor layer 5 formed on the texture structure on the back surface of the semiconductor substrate 1A is an example of a light scattering layer, which functions as an inspection unit. Note that although an example using alignment pins is described above, the method for shadow mask alignment is not limited to a method using alignment pins.

[Industrial Applicability]

[0338]

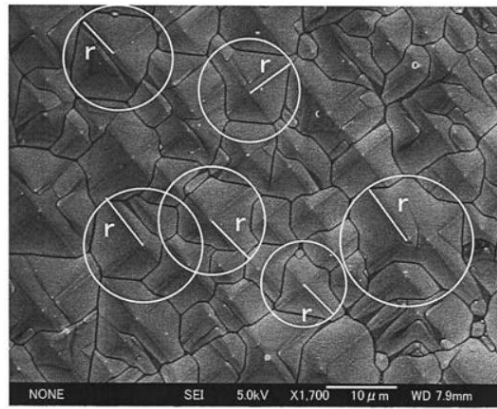
The present invention applies to a photoelectric conversion element, a solar cell module provided therewith, and a solar power generation system.

[Description of Reference Numerals]

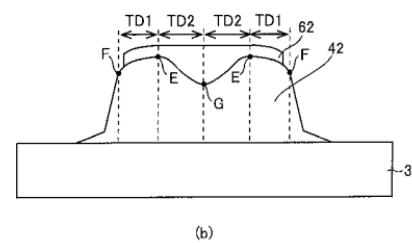
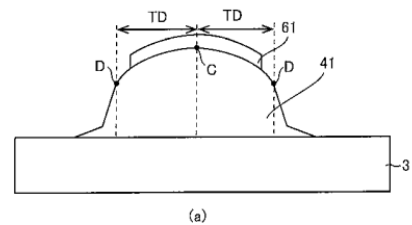
[0339]

1, 1A, 1B...semiconductor substrate, 2...antireflective film, 3, 301, 302...passivation film, 4...n-type amorphous semiconductor layer, 4s, 5s...identification information, 5...p-type amorphous semiconductor layer, 6, 7...electrode, 6a, 6b, 7a, 7b...conductive layer, 8...protective film, 10, 20...photoelectric conversion element, 30, 40, 50, 60, 310, 320, 330, 340, 3100, 3200...shadow mask, 70...wiring sheet, 1000...solar cell module, 1100, 1100A, 1200, 1200A...solar power generation system, 1101, 1301...photoelectric conversion module array, 1120...photoelectric conversion module, S...individual identification information, 4M, 41M, 42M...alignment mark

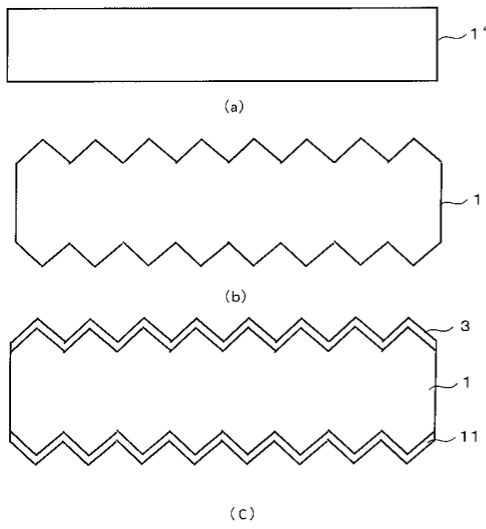
[FIG. 2]



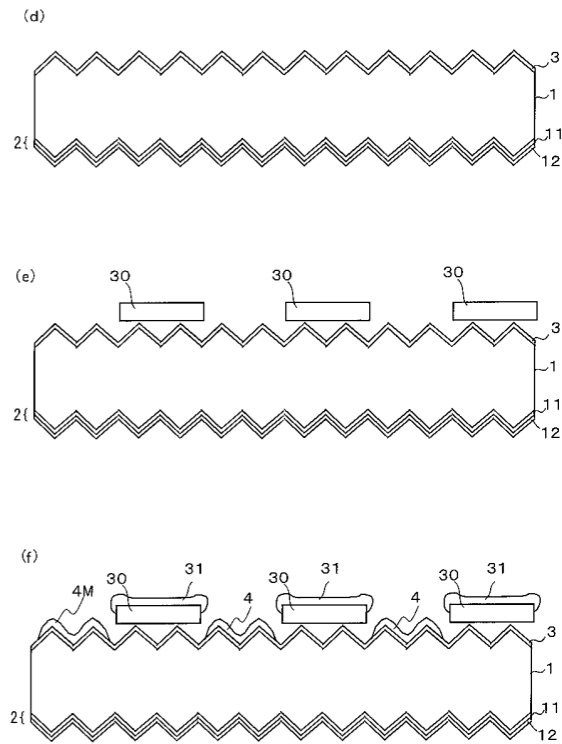
10



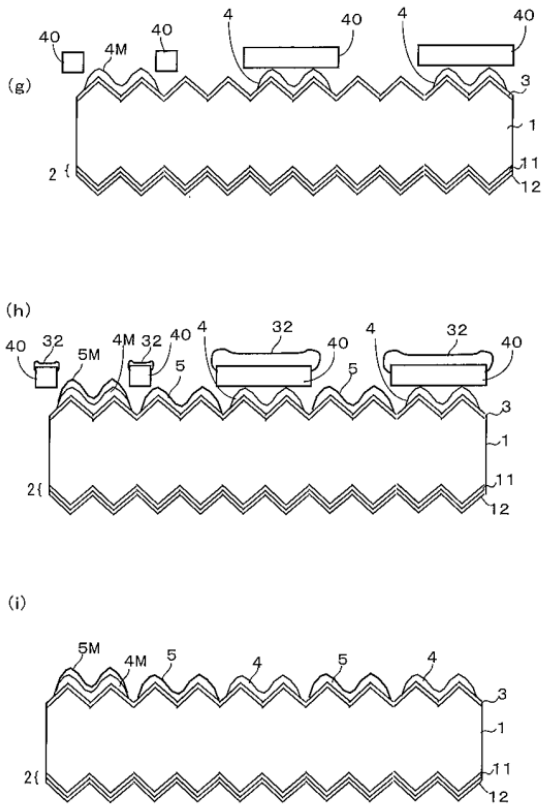
[FIG. 6]



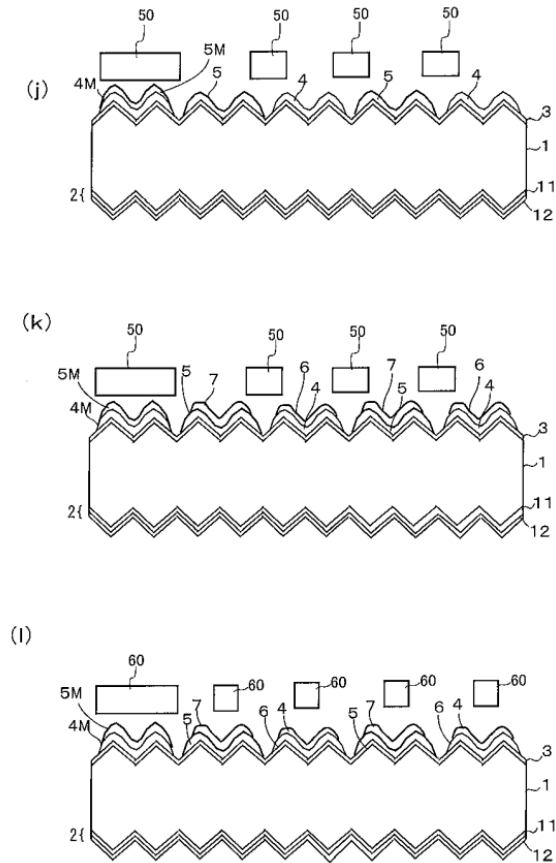
[FIG. 7]



[FIG. 8]

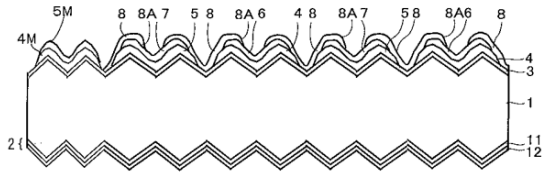


[FIG. 9]

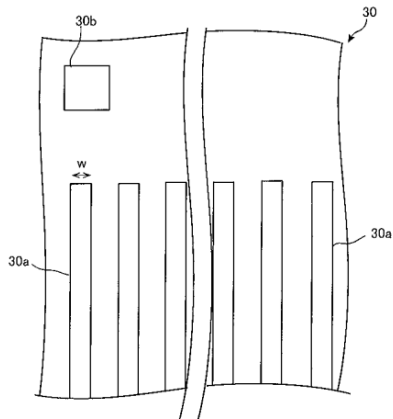


[FIG. 10]

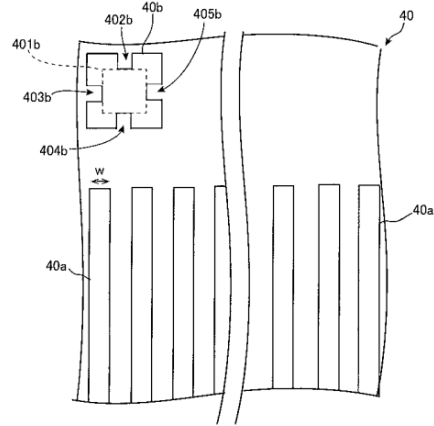
(m)



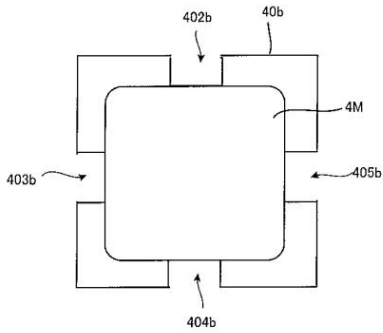
[FIG. 11A]



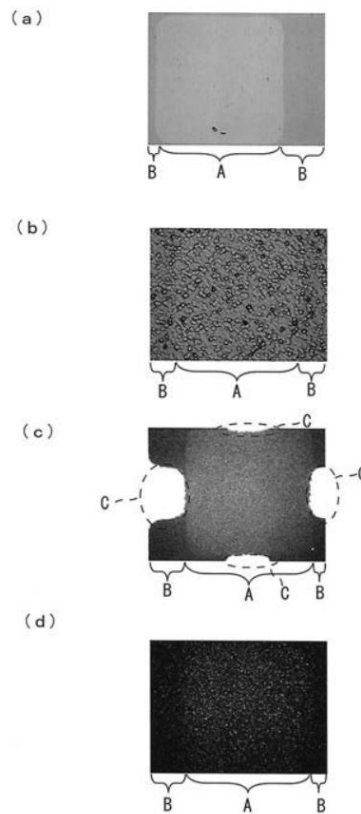
[FIG. 11B]



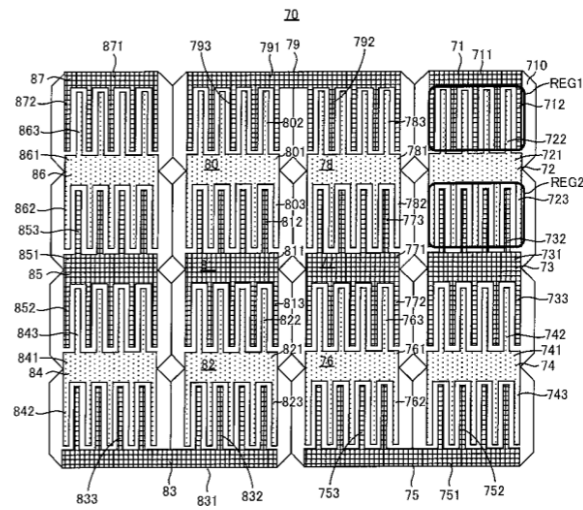
[FIG. 11C]



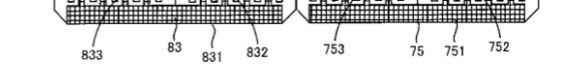
[FIG. 12]



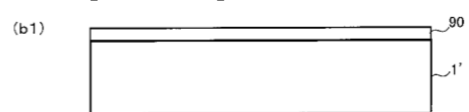
[FIG. 13B]



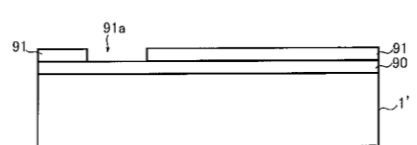
842



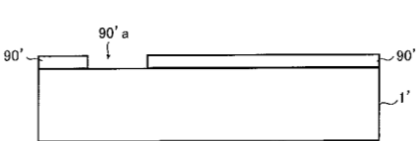
[FIG. 14B]



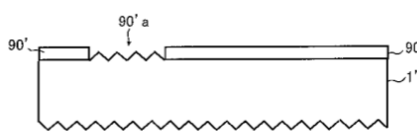
(b2)



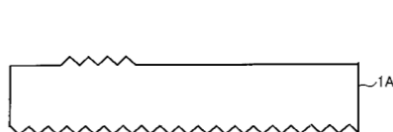
(b3)



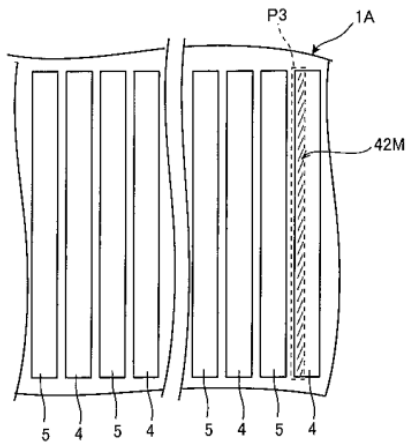
(b4)



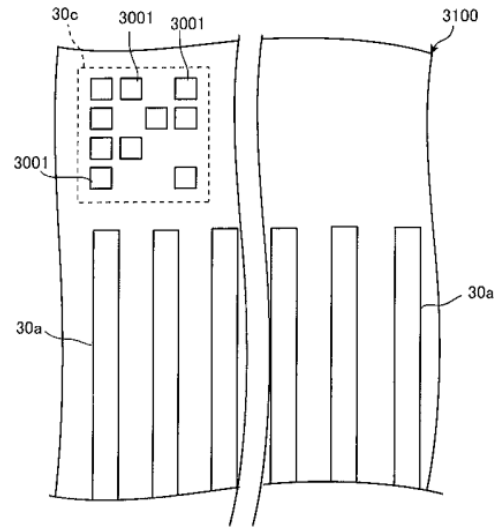
(b5)



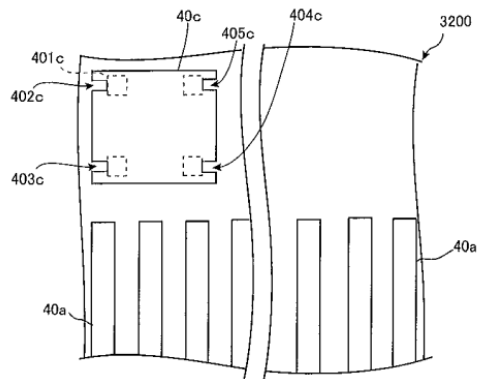
[FIG. 14C]



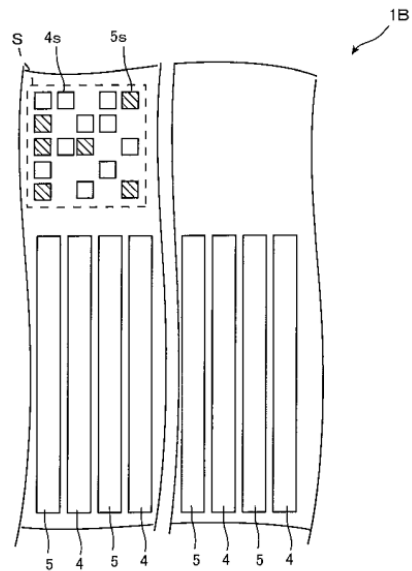
[FIG. 15A]



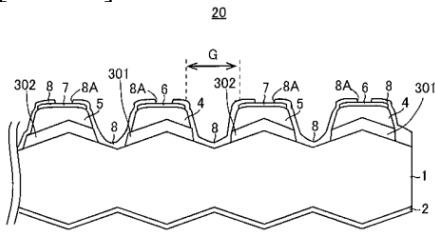
[FIG. 15B]



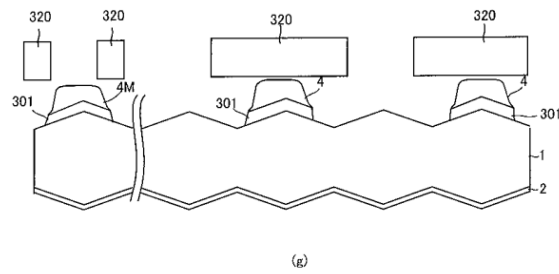
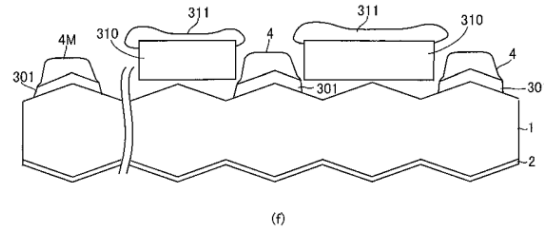
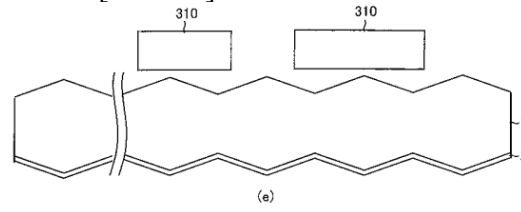
[FIG. 16]



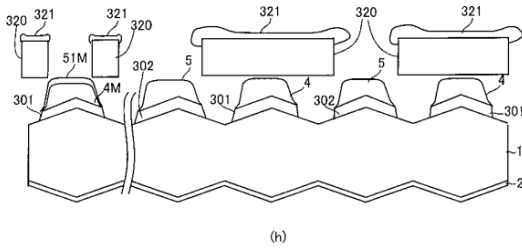
[FIG. 17]



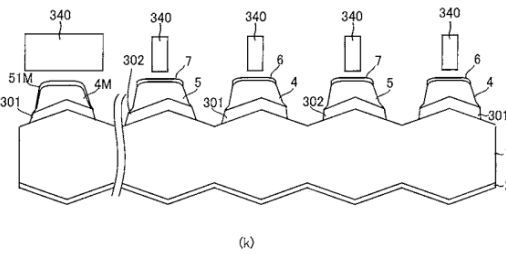
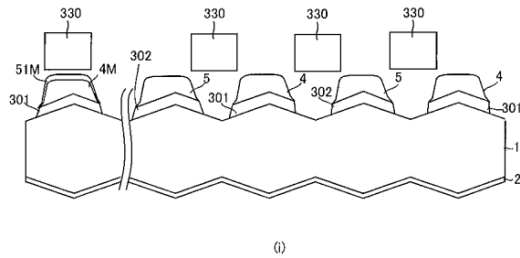
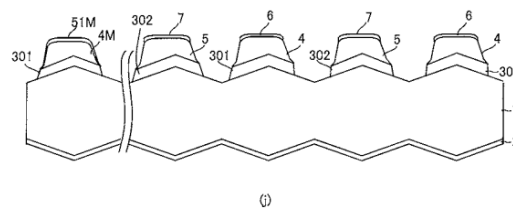
[FIG. 18]



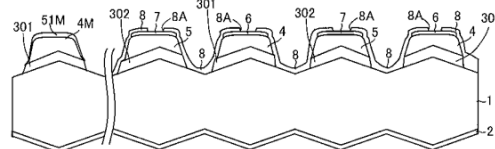
[FIG. 19]



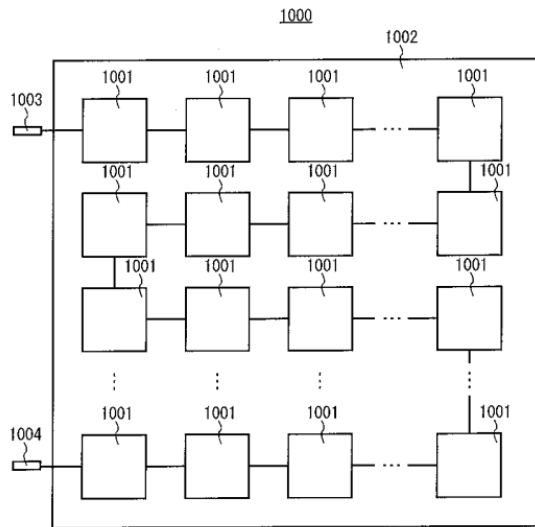
[FIG. 20]



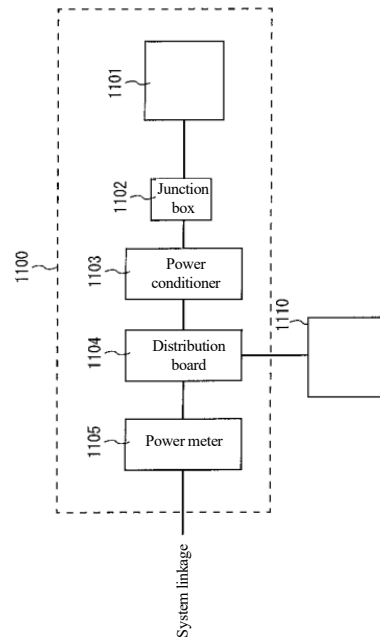
[FIG. 21]



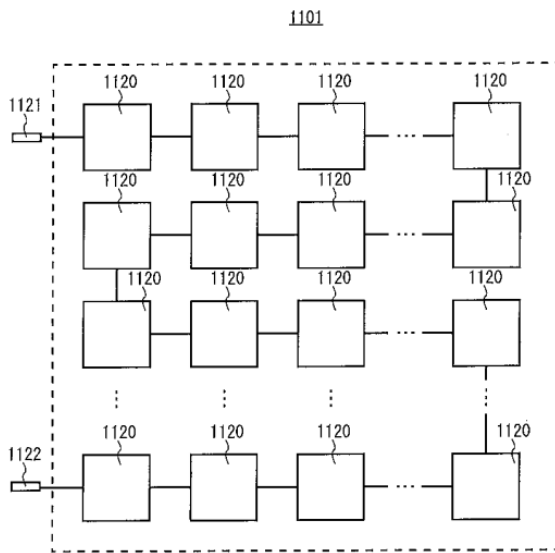
[FIG. 22]



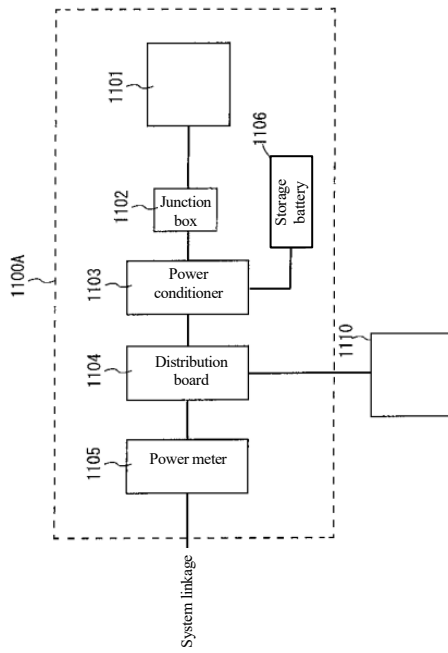
[FIG. 23]



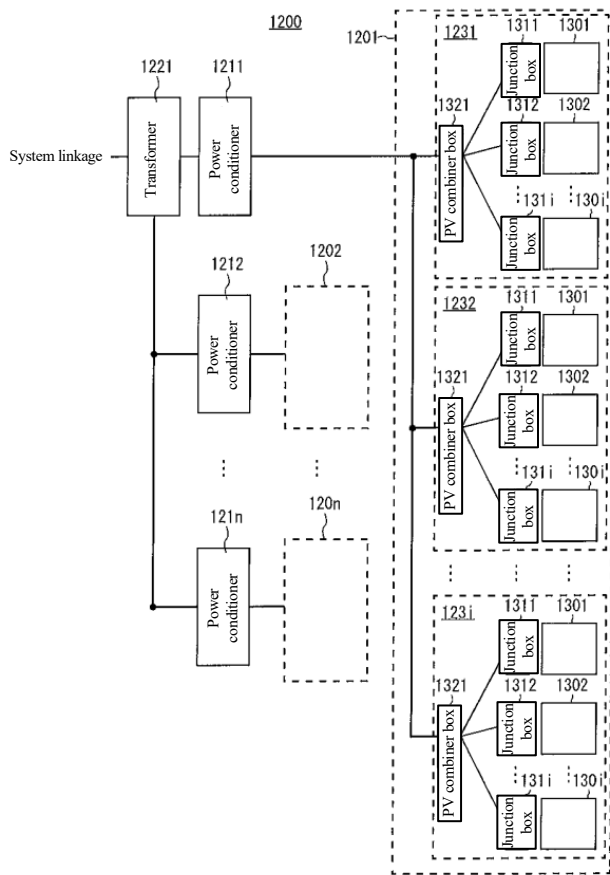
[FIG. 24]



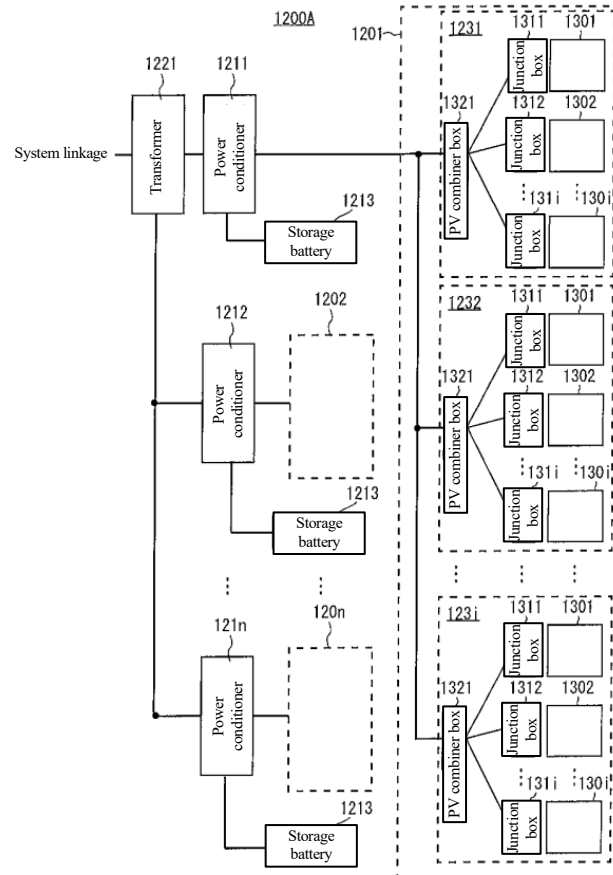
[FIG. 25]



[FIG. 26]



[FIG. 27]



[International Search Report]

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/053226

A. CLASSIFICATION OF SUBJECT MATTER

H01L31/0747(2012.01)i, H01L31/0236(2006.01)i, H01L31/18(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L31/02-31/078, 31/18-31/20

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2016

Kokai Jitsuyo Shinan Koho 1971-2016 Toroku Jitsuyo Shinan Koho 1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2010-258043 A (Sanyo Electric Co., Ltd.), 11 November 2010 (11.11.2010), paragraphs [0026] to [0052]; fig. 1 to 3 & US 2010/0263722 A1 paragraphs [0036] to [0062]; fig. 1 to 3	1, 4-5 2-3
X Y	WO 2012/132615 A1 (Sanyo Electric Co., Ltd.), 04 October 2012 (04.10.2012), paragraphs [0011] to [0020]; fig. 1 to 3 & US 2014/0020752 A1 paragraphs [0034] to [0044]; fig. 1 to 3	1, 4-5 2-3
X Y	JP 2013-187287 A (Sharp Corp.), 19 September 2013 (19.09.2013), paragraphs [0044] to [0062]; fig. 5 to 6 (Family: none)	1, 4-5 2-3



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 March 2016 (18.03.16)Date of mailing of the international search report
05 April 2016 (05.04.16)Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigasaka, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

Form PCT/ISA/210 (second sheet) (January 2015)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/053226

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2001-203379 A (Mitsubishi Electric Corp.), 27 July 2001 (27.07.2001), paragraphs [0023] to [0031]; fig. 1 to 17 (Family: none)	2-3
Y	JP 2012-64839 A (Kaneka Corp.), 29 March 2012 (29.03.2012), claims 1, 6; paragraphs [0029] to [0051] (Family: none)	2-3
P,A	WO 2015/146333 A1 (Sharp Corp.), 01 October 2015 (01.10.2015), paragraphs [0013] to [0033], [0082]; fig. 1, 16 & JP 2015-185743 A	1-5

Form PCT/ISA/210 (continuation of second sheet) (January 2015)

International Search Report

Int. Application No. P C T / J P 2 0 1 6 / 0 5 3 2 2 6

A. CLASSIFICATION OF FIELD OF INVENTION (INTERNATIONAL PATENT CLASSIFICATION (IPC))**Int.Cl.** H01L31/0747 (2012.01) i, H01L31/0236 (2006.01) i, H01L31/18 (2006.01) i**B. FIELDS SEARCHED**

Minimum documentation searched (international patent classification (IPC))

Int.Cl. H01L31/02-31/078, 31/18-31/20

Documentation included in the fields searched other than the minimum documentation

Japanese Utility Model Application Publications	1922 to 1996
Japanese Unexamined Utility Model Application Publications	1971 to 2016
Japanese Examined Utility Model Registration Publications	1996 to 2016
Japanese Registered Utility Model Publications	1994 to 2016

Electronic database used in the international search (database name, terms used in search)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Cited document category*	Cited document name and, when passages of a portion are relevant, indication of the relevant passages	Relevant claim no.
X	JP 2010-258043 A (Sanyo Electric Co., Ltd.), November 11, 2010, paragraphs [0026] to [0052], FIGS. 1 to 3	1, 4-5
Y	& US 2010/0263722 A1, paragraphs [0036] to [0062], FIGS. 1 to 3	2-3
X	WO 2012/132615 A1 (Sanyo Electric Co., Ltd.), October 4, 2012, paragraphs [0011] to [0020], FIGS. 1 to 3	1, 4-5
Y	& US 2014/0020752 A1, paragraphs [0034] to [0044], FIGS. 1 to 3	2-3

☒ Further documents are listed in the continuation of Box C.☐ See patent family appendix.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent than international application date but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the application date based on the priority claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of completion of international search

1 8 . 0 3 . 2 0 1 6

Date of mailing of international search report

0 5 . 0 4 . 2 0 1 6

Name and mailing address of the ISA

Japan Patent Office (ISA/JP)
3-4-3 Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915

Patent examiner (authorized officer)

Motohiko Yamamoto

2 K

3 9 1 4

Telephone
No.

0 3 - 3 5 8 1 - 1 1 0 1

ext.

2 5 5

Form P C T / I S A / 2 1 0

(second sheet) (January 2015)

International Search Report

Int. Application No. PCT / J P 2 0 1 6 / 0 5 3 2 2 6

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Cited document category*	Cited document name and, when passages of a portion are relevant, indication of the relevant passages	Relevant claim no.
X	JP 2013-187287 A (Sharp Corp.), September 19, 2013, paragraphs [0044] to [0062], FIGS. 5 and 6 Family: none	1, 4-5
Y		2-3
Y	JP 2001-203379 A (Mitsubishi Electric Corp.) July 27, 2001, paragraphs [0023] to [0031], FIGS. 1 to 17 (Family: none)	2-3
Y	JP 2012-64839 A (Kaneka Corp.) March 29, 2012, [claim 1], [claim 6], paragraphs [0029] to [0051] (Family: none)	2-3
P, A	WO 2015/146333 A1 (Sharp Corp.) October 1, 2015, paragraphs [0013] to [0033], [0082], FIGS. 1 and 16 & JP 2015-185743 A	1-5

Continued from front page

(81) Designated Countries AP(BW,GH,GM,KE,LR,LS,MW,MZ,NA,RW,SD,SL,ST,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,RU,TJ,TM),EP(AL,AT,BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,HR,HU,IE,IS,IT,LT,LU,LV,MC,MK,MT,NL,NO,PL,PT,RO,RS,SE,SI,SK,SM,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW,KM,ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AO,AT,AU,AZ,BA,BB,BG,BH,BN,BR,BW,BY,BZ,CA,CH,CL,CN,CO,CR,CU,CZ,DE,DK,DM,DO,DZ,EC,EE,EG,ES,FI,GB,GD,GE,GH,GM,GT,HN,HR,HU,ID,IL,IN,IR,IS,JP,KE,KG,KN,KP,KR,KZ,LA,LC,LK,LR,LS,LU,LY,MA,MD,ME,MG,MK,MN,MW,MX,MY,MZ,NA,NG,NI,NO,NZ,OM,PA,PE,PG,PH,PL,PT,QA,RO,RS,RU,RW,SA,SC,SD,SE,SG,SK,SL,SM,ST,SV,SY,TH,TJ,TM,TN,TR,TT,TZ,UA,UG,US

(72) Inventor Masatomi Harada
c/o SHARP CORPORATION
1 Takumi-cho, Sakai-ku
Sakai-shi, Osaka

(72) Inventor Tokuaki Kuniyoshi
c/o SHARP CORPORATION
1 Takumi-cho, Sakai-ku
Sakai-shi, Osaka

(72) Inventor Liumin Zou
c/o SHARP CORPORATION
1 Takumi-cho, Sakai-ku
Sakai-shi, Osaka

F-term (reference) 5F151 AA02 AA05 DA07 DA10 FA04 FA06 FA18 GA14

(Note) The present publication was drafted based on the publication internationally disclosed by the International Bureau (WIPO). Note that the result of the international disclosure of the Japanese patent application (Japanese Examined Utility Model Registration Application) according to the present publication arose pursuant to Japanese Patent Law Article 184-10(1) (Utility Model Law Article 48-13(2), and is unrelated to the present publication.

CERTIFICATE OF ACCURACY

Attached as Ex A is the original document identified as patent application number JPWO2016129481 A and attached as Ex B is the translation of the original document from Japanese to English.

This is to certify under penalty of perjury that I, Nicholas Abraham, translated the Specifications par. [0258]-[0339], Drawings, ISR pages, and Bibliographic info in the document attached as Exhibit B and it is a true, accurate, and complete translation of Specifications par. [0258]-[0339], Drawings, ISR pages, and Bibliographic info in Exhibit A.

I am thoroughly familiar with and competent in both Japanese and English languages. I have over 8 years of experience in translating Japanese to English and hold a Bachelor of Science, Biology at University of Utah. Attached as Exhibit C is a copy of my current CV.

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code.

Dated: 01/19/2026



Nicholas Abraham
Japanese Linguist

Your
legal
translation
partner 

EDUCATION

Bachelor of Science, Biology – University of Utah

2018

Laboratory experience

PhD research assistant, Mycology, Natural History Museum of Utah

Tested for genetic similarity between widely separated samples from the single *Armillaria ostoyae* specimen (humongous fungus) in Malheur National Forest in Oregon, covering 3.4 square miles. Tested using cellular culturing, purification, DNA amplification, and analysis.

LINGUISTIC EXPERIENCE

Translator/Editor (Japanese to English) – JET Patent & IP Translations

2014 - 2017

2020 - Present

Translating and editing various documents, including but not limited to:

Patents, office actions, other IP-related documents, scientific journal articles, medical reports and hospital records, lab reports, scientific textbooks, emails and other business communications, PowerPoints, and more

Specializing in subject matters of:

Biochemistry, chemistry, pharmaceuticals, medical devices

With wide-ranged experience in the fields of:

Optical, electrical, mechanical, computing, marketing, financial, and business

Non-exhaustive list of specific subject matter experience

Drug design and drug-target interactions

Antibody design and testing

Clinical trials and related documents

Clinical Informed Consent Forms (ICFs)

Clinical Instructions for Use (IFUs)

Pharmaceutical formulations

Gene mutations

Cancer treatment

Crystallization and crystal polymorphs

Chemical synthesis

Chemical analysis and analytical devices

Patient referral documents

Medical diagnoses

Diagnostic imaging instrumentation

Medical records and exam reports

Blood tests and results

Cardiac CT reports

Echocardiogram reports and Holter reports

Histopathological exam reports

Lung function exam reports

Data-processing systems

Semiconductors

Electronic displays and optical sensors

Electronic device design

Electrical sensor design

Radio, telecommunications, and signaling

Mobile batteries

Touch displays

Network configuration

LED displays

Video decoding and encoding

Mobile device screen design

Terminal devices / base-station devices

Magnetic fields and the detection thereof

Japanese Language Instructor – Missionary Training Center, Provo

2014

Taught beginning-level classes individually and in a group setting.

Lifetime translated JP>EN word counts for JET: 2.2 million

Patents: 400K

Life sciences and chemistry: 300K

Computing: 140K

Electrical engineering: 135K

Mechanical engineering: 120K

Telecommunications: 50K

CERTIFICATE OF ACCURACY

Attached as Ex A is the original document identified as patent application number JPWO2016129481 A and attached as Ex B is the translation of the original document from Japanese to English.

This is to certify under penalty of perjury that I, Lorelle Knowles, translated the Abstract, Claims and Specifications par. [0001]-[0257] in the document attached as Exhibit B and it is a true, accurate, and complete translation of Abstract, Claims and Specifications par. [0001]-[0257] in Exhibit A.

I am thoroughly familiar with and competent in both Japanese and English languages. I have over 11 years of experience in translating Japanese to English and a NAATI-certified translator. Attached as Exhibit D is a copy of my current CV.

I hereby declare that all statements made herein of my own knowledge are true and that all statements made on information and belief are believed to be true; and further that these statements were made with the knowledge that willful false statements and the like so made are punishable by fine or imprisonment, or both, under Section 1001 of Title 18 of the United States Code.

Dated: 01/19/2026



Lorelle Knowles
Japanese Linguist

Your
legal
translation
partner 

Education

- 2015 – 2016 **Master of Interpreting and Translating Studies**, Monash University – Melbourne, Australia
- 2014 – 2015 **Honours Degree in Japanese translation**, Monash University – Melbourne, Australia
- 2009 – 2009 **Bachelor of Arts Exchange Program**, Sugiyama Jogakuen Daigaku – Nagoya, Japan
- 2006 – 2010 **Bachelor of Arts**, University of Tasmania – Hobart and Launceston, Australia
- Japanese language and Asian Studies majors
 - History and English minors

Translation and Linguistics-Related Experience

- 2016 – Present **Senior Patent Translator** – JET Patent and IP Translations
- Translation and proofreading of predominantly IP-related documents such as patents, and also legal, medical, financial, and engineering-related documents
 - Providing mentorship and advice to new translators
 - Quality checking and post-editing of externally translated documents
- 2013 – Present **Freelance Translator** – Self-Employed
- Translation, proofreading, and post-editing of a range of documents including patents and legal, medical, financial, and engineering-related documents
 - Translation and certification of government-issued documents
 - Providing advice to lawyers regarding the field of translation
- 2011 – 2013 **Assistant Language Teacher** – Altia Central, Nagano and Gifu, Japan
- Assigned to five schools, ranging from kindergarten to junior high school
 - Co-teaching with native Japanese teachers of English, helping predominantly with speaking, writing, and positive in-class interactions
 - Creating lesson plans tailored to each individual class, depending on age, language level, class size, and collective degree of motivation
 - Grading English homework, helping out with speech contests, fostering an overall interest in English and Australia/New Zealand culture

Non-Exhaustive List of Linguistic Subject Matter Experience

- Animal models of arthritis
- Antibody directed against galectin-9 and inhibitor of suppressive activity of regulatory T lymphocytes
- Antiparkinsonian drug development
- Autoinjector device for the administration of drugs
- Automated storage and dispensing device of medical and pharmaceutical products
- Benzodiazepine and non-benzodiazepine hypnotics
- Case reports
- Clinical SAEs/AEs
- CMC (chemistry, manufacturing and controls) of pharmaceuticals and medicinal products
- Development of pharmaceuticals
- Drug research and development
- GMP Compliance Inspection Reports
- Hand-held blood analyzer
- Instructions For Use (IFU) for reusable surgical instruments (peripherally inserted central catheter kit)
- In vitro diagnostic devices
- Maxillary sinus floor augmentation using low-crystalline carbonate apatite granules
- Method of screening for mutants in a population of organisms
- Modified polynucleotides for the production of oncology-related proteins and peptides
- Negative Pressure Wound Therapy with Instillation and Dwelling (NPWTi-d) and Negative Pressure Wound Therapy (NPWT)
- Optimization of radiation equipment and improvements to the life span of CT tubes

- Patient referral documents
- Pharmaceuticals and Medical Devices Agency (PMDA) documents
- Pharmaceutical composition for treating or preventing ulcer or fistula in intestinal tract
- Regulation of pigment cell-specific gene expression
- Reports on safety and efficacy of various drug substances
- Solvent Handbook
- Stability tests of various drug substances
- Validation reports
- Various Phase II/II placebo-controlled studies

Translated JP>EN Word Counts for JET since 2019:

Patent and Office Action: 1.7 million

Optical: 67,000

Electrical: 501,000

Mechanical: 289,000

Telecommunications: 78,000

Chemical: 270,000

Computing/Software: 374,000

Biochem/Med/Pharm: 955,000

Certifications and T&I Organisations

2021 – Present **Trados Studio – Level 1**
RWS Group

2017 – Present **AUSIT Member**
Australian Institute of Interpreters and Translators

2016 – Present **NAATI Certification, Certified Translator in the Japanese to English direction**
National Accreditation Authority for Translators and Interpreters, Australia

2013 – Present **Japanese Language Proficiency Test, N2 Certification**
Japan Educational Exchanges and Services (JEES) and The Japan Foundation