



특허출원서

【출원구분】 특허출원

【출원인】

【명칭】 엘지디스플레이 주식회사

【특허고객번호】 1-1998-101865-5

【대리인】

【명칭】 특허법인 인벤투스

【대리인번호】 9-2016-100001-1

【지정된변리사】 변리사 오세일, 변리사 김병철

【포괄위임등록번호】 2016-015520-9

【발명(고안)의 국문명칭】 표시 장치

【발명(고안)의 영문명칭】 DISPLAY DEVICE

【발명(고안)자】

【성명】 강규태

【성명의 영문표기】 Kang, Gyu Tae

【주민등록번호】 정보보호를 위해 미공개

【우편번호】 정보보호를 위해 미공개

【주소】 정보보호를 위해 미공개

【국적】 KR

【발명(고안)자】

【성명】 박남길

【성명의 영문표기】 Park, Nam Kil



【주민등록번호】 정보보호를 위해 미공개

【우편번호】 정보보호를 위해 미공개

【주소】 정보보호를 위해 미공개

【국적】 KR

【발명(고안)자】

【성명】 권마르딘

【성명의 영문표기】 Kwon, Mardin

【주민등록번호】 정보보호를 위해 미공개

【우편번호】 정보보호를 위해 미공개

【주소】 정보보호를 위해 미공개

【국적】 KR

【발명(고안)자】

【성명】 정성웅

【성명의 영문표기】 Jeong, Seong Woong

【주민등록번호】 정보보호를 위해 미공개

【우편번호】 정보보호를 위해 미공개

【주소】 정보보호를 위해 미공개

【국적】 KR

【출원언어】 국어

【취지】

위와 같이 특허청장에게 제출합니다.

대리인 특허법인 인벤투스 (서명 또는 인)

【수수료】



【(기본)출원료】	0 면 46,000 원
【가산수수료】	65 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	0 항 0 원
【합계】	46,000 원



【발명의 설명】

【발명의 명칭】

표시 장치{DISPLAY DEVICE}

【기술분야】

【0001】 본 명세서는 표시 장치에 관한 것으로서, 보다 상세하게는 새로운 전원 전압 인입 방식을 통해 전원 전압의 강하를 저감하고, 휘도 균일도를 향상시킬 수 있는 표시 장치에 관한 것이다.

【배경기술】

【0002】 액정 표시 장치(Liquid Crystal Display Device), 유기 발광 소자 표시 장치(Organic Light Emitting Diode Display Device), 양자 점 표시 장치(Quantum Dot Display Device) 등과 같은 평판 표시 장치(Flat Panel Display Device)는 얇은 두께와 낮은 소비전력으로 인해 차세대 표시 장치로서 각광을 받고 있다.

【0003】 표시 장치는 복수의 픽셀을 구동하기 위한 전원 전압을 제공하는 구동 IC(Driver Integrated Circuit)를 포함한다. 구동 IC는 표시 장치에 배치된 전원 배선을 통해 각각의 픽셀로 전원 전압을 제공한다.

【0004】 그러나, 구동 IC에 의해 제공되는 전원 전압은 배선을 지나며 전압 강하가 발생하고, 이에 따라 각각의 픽셀로 제공되는 전원 전압이 일정하지 않아 표시 장치의 휘도 균일성이 떨어질 수 있다. 이에, 표시 장치의 복수의 픽셀로 일정한 전원 전압을 제공하기 위한 방법에 대한 요구가 존재한다.

【발명의 내용】

【해결하려는 과제】

【0005】 본 명세서의 발명자들은, 표시 장치에서 비표시 영역이 차지하는 면적을 저감하기 위해 비표시 영역을 벤딩하는 것, 즉 플렉서블 표시 장치에 대한 요구가 증가함을 인식하였고, 비표시 영역의 면적을 저감하기 위해, 비표시 영역의 일부 영역을 제거하였다. 그리고, 제거할 수 있는 영역을 증가시키기 위해, 비표시 영역에 배치되는 각종 배선 및 부품들의 재배치가 필요함을 인식하였다. 이에, 본 명세서의 발명자들은 비표시



영역의 면적을 최소화하기 위해 비표시 영역에 배치되는 전원 배선의 배치 영역을 저감하기 위한 설계가 필요함을 인식하였다. 그리고, 전원 전압이 구동 IC에서 복수의 픽셀로 공급되는 동안, 배선의 저항에 의해 전원 전압의 강하가 일어나게 되어, 복수의 픽셀의 휘도가 불균일하고, 전원 전압의 강하를 보상하기 위해 보다 많은 전압을 인가해야 하는 문제점이 발생했다.

【0006】 이에, 본 명세서의 발명자들은 비표시 영역의 크기를 축소할 수 있으며, 전원 전압 강하를 저감하여 일정한 전원 전압을 제공하는 표시 장치를 발명하였다.

【0007】 이에, 본 명세서가 해결하고자 하는 과제는 전원 전압 공급 지점을 분할하여 전원 전압 강하를 저감하고, 휘도 균일도를 향상시킨 표시 장치를 제공하는 것이다.

【0008】 본 명세서가 해결하고자 하는 다른 과제는 전원 전압을 공급하는 전원 배선과 데이터 전압을 전달하는 데이터 배선이 모두 중첩하도록 배치하여 기생 용량에 의한 데이터 전압의 지연 편차를 개선하여 휘도 균일도가 향상된 표시 장치를 제공하는 것이다.

【0009】 본 명세서의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

【과제의 해결 수단】

【0010】 전술한 바와 같은 과제를 해결하기 위하여 본 명세서의 일 실시예에 따른 표시 장치는 복수의 픽셀이 구비된 표시 영역 및 표시 영역과 인접한 비표시 영역을 포함하는 기판, 표시 영역에 구비되어 복수의 픽셀에 전원을 공급하고, 복수의 제1 전원 배선 및 복수의 제2 전원 배선을 포함하는 복수의 전원 배선, 비표시 영역에 구비되고, 복수의 전원 배선에 연결되는 하부 전원 링크 배선, 하부 전원 링크 배선으로부터 연장되는 제1 하부 연결 배선 및 제2 하부 연결 배선을 포함하는 전원 링크 배선을 포함하고, 복수의 제1 전원 배선은 제1 하부 연결 배선으로부터 거리가 동일한 적어도 2개의 제1 전원 배선을 포함하고, 복수의 제2 전원 배선은 제2 하부 연결 배선으로부터 거리가 동일한 적어도 2개의 제2 전원 배선을 포함한다. 따라서, 전원 전압이 공급되는 지점을 분할하여 전원 전압의 강하를 저감하고, 휘도 균일도를 향상시킬 수 있다.

【0011】 전술한 바와 같은 과제를 해결하기 위하여 본 명세서의 다른 실시예에 따른 표



시 장치는 복수의 픽셀이 구비된 표시 영역 및 표시 영역과 인접한 비표시 영역을 포함하는 기판, 표시 영역에 구비되어 복수의 픽셀에 전원을 공급하고, 복수의 제1 전원 배선 및 복수의 제2 전원 배선을 포함하는 복수의 전원 배선 및 비표시 영역에 배치되어 복수의 제1 전원 배선에 연결되는 제1 하부 전원 링크 배선 및 복수의 제2 전원 배선에 연결되는 제2 하부 전원 링크 배선을 포함하는 전원 링크 배선을 포함한다. 그리고, 제1 하부 전원 링크 배선 및 제2 하부 전원 링크 배선 각각은 기판의 좌측 영역 및 우측 영역 내에 배치되어, 복수의 전원 배선 및 전원 링크 배선에서의 전원 전압 강하량을 최소화할 수 있다.

【0012】 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

【발명의 효과】

【0013】 본 명세서는 전원 전압이 공급되는 지점을 분할하고, 전원 전압이 인가되는 배선의 길이 및 그에 따른 저항을 저감함으로써, 전원 전압의 강하를 저감할 수 있다.

【0014】 본 명세서는 전원 전압을 공급하는 전원 배선과 데이터 배선이 모두 중첩되도록 배치함으로써, 기생 용량 및 배선의 저항으로 인한 신호 지연의 편차를 개선할 수 있다.

【0015】 본 명세서에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

【도면의 간단한 설명】

【0016】 도 1은 본 명세서의 일 실시예에 따른 표시 장치의 평면도이다.

도 2는 도 1의 II-II'에 따른 단면도이다.

도 3은 본 명세서의 다른 실시예에 따른 표시 장치의 평면도이다.

도 4는 도 3의 IV-IV'에 따른 단면도이다.

도 5 내지 도 9는 본 발명의 다양한 실시예들에 따른 표시 장치의 평면도이다.

【발명을 실시하기 위한 구체적인 내용】

【0017】 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 제한되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야



에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

【0018】 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 제한되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

【0019】 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

【0020】 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.

【0021】 소자 또는 층이 다른 소자 또는 층 "위 (on)"로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.

【0022】 또한 제 1, 제 2 등이 다양한 구성 요소들을 서술하기 위해서 사용되나, 이들 구성 요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성 요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제 1 구성 요소는 본 발명의 기술적 사상 내에서 제 2 구성 요소일 수도 있다.

【0023】 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.

【0024】 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.

【0025】 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.

【0026】 이하에서는 도면을 참조하여 본 명세서의 실시예에 따른 표시 장치에 대해 상세



히 설명하기로 한다.

【0027】 도 1은 본 명세서의 일 실시예에 따른 표시 장치의 평면도이다. 도 1에서는 설명의 편의를 위해 표시 장치(100)의 다양한 구성 요소 중 기판(101), 전원 링크 배선, 전원 배선 및 구동 IC(112)만을 도시하였다.

【0028】 기판(101)은 표시 장치(100)의 여러 구성 요소들을 지지하기 위한 베이스 부재로, 절연 물질로 이루어질 수 있다. 예를 들어, 기판(101)은 유리 또는 폴리아미드 등과 같은 플라스틱 물질로 이루어질 수 있다.

【0029】 도 1을 참조하면, 기판(101)은 표시 영역(A/A) 및 비표시 영역(N/A)을 포함한다.

【0030】 표시 영역(A/A)은 복수의 픽셀이 배치되어 화상을 표시하는 영역이다. 표시 영역(A/A)에는 영상을 표시하기 위한 표시부 및 표시부를 구동하기 위한 회로부가 형성될 수 있다. 예를 들어, 표시 장치(100)가 유기 발광 표시 장치인 경우, 표시부는 유기 발광 소자를 포함할 수 있다. 즉, 표시부는 애노드, 애노드 상의 유기층, 및 유기층 상의 캐소드를 포함할 수 있다. 유기층은, 예를 들어, 정공 수송층, 정공 주입층, 유기 발광층, 전자 주입층, 및 전자 수송층으로 구성될 수 있다. 또한, 회로부는 전원 배선, 박막 트랜지스터, 스토리지 커패시터, 게이트 배선, 및 데이터 배선 등과 같은 다양한 구성 요소로 이루어질 수 있으나, 이에 제한되는 것은 아니다. 이하에서는 설명의 편의를 위해 표시 장치(100)가 유기 발광 표시 장치인 것으로 가정하지만, 표시 장치(100)가 유기 발광 표시 장치로 제한되는 것은 아니다.

【0031】 도 1을 참조하면, 표시 영역(A/A)은 모서리가 둥근(rounded) 형상을 가질 수 있다. 최근 디자인적 측면이 강조됨에 따라, 기존의 직사각형 형상의 표시 영역(A/A)이 아닌 다른 형태의 표시 영역(A/A)에 대한 니즈가 존재한다. 이에, 본 명세서의 일 실시예에 따른 표시 장치(100)의 기판(101)은 모서리가 둥근 형상을 갖는다. 다만, 표시 영역(A/A)의 형상이 이에 제한되는 것은 아니고 실시예에 따라 각진 형상으로 모서리가 형성될 수도 있다.

【0032】 비표시 영역(N/A)은 화상이 표시되지 않는 영역으로서, 표시 영역(A/A)에 배치된 표시부를 구동하기 위한 다양한 배선 및 회로 등이 배치되는 영역이다. 또한, 비표시 영역(N/A)에는 표시부의 구동을 위한 신호를 공급하는 구동 IC(112), 전원 링크 배선, 데이터 링크 배선 등이 배치될 수도 있다.



【0033】비표시 영역(N/A)은 도 1에 도시된 바와 같이 표시 영역(A/A)에서 연장되는 영역으로 정의될 수 있다. 다만, 이에 제한되지 않고, 비표시 영역(N/A)은 표시 영역(A/A)을 둘러싸는 영역으로 정의될 수도 있다.

【0034】도 1을 참조하면, 비표시 영역(N/A)은 제1 비표시 영역(NA1), 벤딩 영역(BA), 제2 비표시 영역(NA2), 및 패드 영역(PA)을 포함한다. 제1 비표시 영역(NA1)은 표시 영역(A/A)에서 연장된 영역이고, 벤딩 영역(BA)은 제1 비표시 영역(NA1)에서 연장된 영역으로 벤딩이 가능할 수 있다. 제2 비표시 영역(NA2)은 벤딩 영역(BA)에서 연장된 영역이고, 패드 영역(PA)은 제2 비표시 영역(NA2)에서 연장된 영역으로 패드가 배치된 영역이다.

【0035】한편, 기판(101)은 표시 영역(A/A) 및 비표시 영역(N/A)으로 정의되고, 제1 영역(A1) 및 제2 영역(A2)으로도 정의될 수 있다. 표시 영역(A/A) 및 비표시 영역(N/A)은 기판(101)을 가로 방향으로 나누어 정의되고, 제1 영역(A1) 및 제2 영역(A2)은 기판(101)을 세로 방향으로 나누어 정의될 수 있다. 제1 영역(A1)은 기판(101)의 좌측 영역으로, 표시 영역(A/A), 제1 비표시 영역(NA1), 벤딩 영역(BA), 제2 비표시 영역(NA2), 및 패드 영역(PA) 각각의 일부를 포함하도록 정의될 수 있다. 제2 영역(A2)은 기판(101)의 우측 영역으로 표시 영역(A/A), 제1 비표시 영역(NA1), 벤딩 영역(BA), 제2 비표시 영역(NA2), 및 패드 영역(PA) 각각의 다른 일부를 포함할 수 있다. 이 경우, 제1 영역(A1) 및 제2 영역(A2)은 좌우 대칭일 수 있다.

【0036】플렉서블 필름(110)은 연성을 가진 베이스 필름(111)에 각종 부품을 배치한 필름으로, 표시 영역(A/A)의 픽셀로 신호를 공급하기 위한 부품이다. 플렉서블 필름(110)은 비표시 영역(N/A)의 패드 영역(PA)에 배치되어 패드 영역(PA)에 배치된 패드를 통해 전원 전압, 데이터 전압 등을 표시 영역(A/A)의 픽셀로 공급한다. 플렉서블 필름(110)은 베이스 필름(111) 및 구동 IC(112)를 포함하고, 이 외에도 각종 부품이 배치될 수 있다. 도 1에서는 설명의 편의를 위해 플렉서블 필름(110)에 연결되는 인쇄 회로 기판의 도시는 생략하였다.

【0037】베이스 필름(111)은 플렉서블 필름(110)을 지지하는 층이다. 베이스 필름(111)은 절연 물질로 이루어질 수 있고, 예를 들어, 플렉서빌리티(flexibility)를 갖는 절연 물질로 이루어질 수 있다.

【0038】구동 IC(112)는 영상을 표시하기 위한 데이터와 이를 처리하기 위한 구동 신호를



처리하는 부품이다. 구동 IC(112)는 표시 장치(100)의 기판(101) 상에 실장되는 방식에 따라 칩 온 글래스(Chip On Glass; COG), 칩 온 필름(Chip On Film; COF), 테이프 캐리어 패키지(Tape Carrier Package; TCP) 등의 방식으로 배치될 수 있다. 도 1에서는 설명의 편의를 위해 구동 IC(112)가 플렉서블 필름(110) 상에 실장된 칩 온 필름 방식인 것으로 도시하였으나, 이에 제한되지 않는다.

【0039】 표시 영역(A/A)에 복수의 전원 배선이 배치되고, 비표시 영역(N/A)에 전원 링크 배선이 배치된다. 복수의 전원 배선은 표시 영역(A/A)에 배치된 복수의 픽셀에 전원 전압을 전달하기 위한 배선이다. 복수의 전원 배선은 전원 링크 배선으로부터 전원 전압을 전달 받아 복수의 픽셀로 전원 전압을 전달한다.

【0040】 전원 링크 배선은 비표시 영역(N/A)에 배치되어, 구동 IC(112)로부터의 전원 전압을 전원 배선으로 전달하기 위한 배선이다. 구체적으로, 전원 링크 배선은 제1 비표시 영역(NA1), 벤딩 영역(BA), 및 제2 비표시 영역(NA2)에 배치되어 구동 IC(112)와 복수의 전원 배선을 각각 연결한다. 이에, 전원 링크 배선은 복수의 전원 배선으로 전원 전압을 전달할 수 있다.

【0041】 복수의 전원 배선 및 전원 링크 배선은 도전성 물질로 형성될 수 있다. 예를 들어, 복수의 전원 배선 및 전원 링크 배선은 표시 영역(A/A)의 유기 발광 소자 및 박막 트랜지스터의 게이트 전극, 소스 전극, 및 드레인 전극 제조 시 사용되는 다양한 물질 중 하나로 형성될 수 있고, 단층 또는 복층으로 구성될 수 있다. 구체적으로, 복수의 전원 배선 및 전원 링크 배선은 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd), 구리(Cu), 및 은(Ag)과 마그네슘(Mg)의 합금 등으로 형성될 수 있다.

【0042】 한편, 도 1에서는 기판(101) 상에 전원 링크 배선 및 복수의 전원 배선만 배치된 것으로 도시되었으나, 표시 영역(A/A)의 복수의 픽셀로 데이터 전압을 전달하는 데이터 배선 및 데이터 링크 배선, 게이트 배선 등과 같은 다양한 배선이 더 배치될 수 있다. 이 중 데이터 배선 및 데이터 링크 배선에 대해서는 도 2를 참조하여 상세히 후술한다.

【0043】 전원 링크 배선은 제1 비표시 영역(NA1)에 배치된 하부 전원 링크 배선, 벤딩 영역(BA)에 배치된 복수의 벤딩 패턴(BP), 제2 비표시 영역(NA2)에 배치된 상부 전원 링크 배선 및 패드 연결 배선(PCL)을 포함한다. 또한, 전원 링크 배선은 제1 비표시 영역(NA1)에 배치되어 하부 전원 링크 배선과 벤딩 패턴(BP)을 연결하는 제1 하부 연결 배선(LP1)



및 제2 하부 연결 배선(LP2)을 더 포함할 수 있다. 또한, 전원 링크 배선은 제2 비표시 영역(NA2)에 배치되어 상부 전원 링크 배선과 벤딩 패턴(BP)을 연결하는 제1 상부 연결 배선(UP1) 및 제2 상부 연결 배선(UP2)을 더 포함할 수 있다.

【0044】 패드 연결 배선(PCL)은 패드 영역(PA)에 배치된 패드와 연결되어 제2 비표시 영역(NA2)에 배치된 상부 전원 링크 배선으로 전원 전압을 전달한다.

【0045】 상부 전원 링크 배선은 제2 비표시 영역(NA2)의 중앙부에 배치되고, 제1 영역(A1)으로 연장된 제1 부분(UPLLA) 및 제2 영역(A2)으로 연장된 제2 부분(UPLLB)을 포함한다. 상부 전원 링크 배선은 기판(101)의 중앙부에서 패드 연결 배선(PCL)과 연결된다. 상부 전원 링크 배선의 제1 부분(UPLLA) 및 제2 부분(UPLLB) 각각은 제2 비표시 영역(NA2)에서 제1 영역(A1)의 중앙부 및 제2 영역(A2)의 중앙부까지 연장된다.

【0046】 상부 전원 링크 배선은 복수의 벤딩 패턴(BP)과 연결된다. 구체적으로, 상부 전원 링크 배선의 제1 부분(UPLLA)은 제1 상부 연결 배선(UP1)을 통해 벤딩 패턴(BP)과 연결되고, 제2 부분(UPLLB)은 제2 상부 연결 배선(UP2)을 통해 벤딩 패턴(BP)과 연결된다. 이 경우, 복수의 벤딩 패턴(BP) 중 일부는 제1 상부 연결 배선(UP1)을 통해 상부 전원 링크 배선의 제1 부분(UPLLA)에 연결되고, 복수의 벤딩 패턴(BP) 중 다른 일부는 제2 상부 연결 배선(UP2)을 통해 상부 전원 링크 배선의 제2 부분(UPLLB)에 연결된다.

【0047】 제1 상부 연결 배선(UP1) 및 제2 상부 연결 배선(UP2)은 복수의 벤딩 패턴(BP)으로부터 제2 비표시 영역(NA2)을 향해 연장된 배선으로, 제2 비표시 영역(NA2)에 배치된다. 제1 상부 연결 배선(UP1)은 복수의 벤딩 패턴(BP) 중 일부와 상부 전원 링크 배선의 제1 부분(UPLLA)에 연결된다. 제2 상부 연결 배선(UP2)은 복수의 벤딩 패턴(BP) 중 다른 일부와 상부 전원 링크 배선의 제2 부분(UPLLB)에 연결된다. 구체적으로, 제1 상부 연결 배선(UP1)은 제1 부분(UPLLA)의 단부에 연결되고, 제2 상부 연결 배선(UP2)은 제2 부분(UPLLB)의 단부에 연결된다. 그러나, 제1 상부 연결 배선(UP1) 및 제2 상부 연결 배선(UP2)은 배선의 설계에 따라 상부 전원 링크 배선의 다른 곳에 연결될 수 있으며, 이에 제한되지 않는다.

【0048】 전원 링크 배선의 복수의 벤딩 패턴(BP)은 벤딩 영역(BA)에 배치된다. 벤딩 영역(BA)은 상술한 바와 같이 제1 비표시 영역(NA1)에서 제2 비표시 영역(NA2)으로 연장된 영역으로, 최종 제품 상에서 벤딩 방향으로 벤딩되는 영역이다. 따라서, 전원 링크 배선의



벤딩 패턴(BP)은 벤딩 영역(BA)에서는 복수의 링크 배선에 집중되는 응력 및 크랙을 최소화하기 위한 특정 형상의 패턴으로 이루어질 수 있다. 예를 들어, 벤딩 패턴(BP)은 다이아몬드 형상, 마름모 형상, 지그재그 형상, 원형 형상 중 적어도 하나의 형상을 갖는 도전 패턴이 반복적으로 배치된 패턴일 수 있다. 다만, 이에 제한되지 않고, 벤딩 패턴(BP)의 형상은 벤딩 패턴(BP)에 집중되는 응력 및 크랙을 최소화하기 위한 다양한 형상일 수 있다.

【0049】 하부 전원 링크 배선은 상부 전원 링크 배선 및 복수의 벤딩 패턴(BP)을 통해 전달된 전원 전압을 각각 표시 영역(A/A)의 제1 전원 배선(PL1) 및 제2 전원 배선(PL2)으로 전달한다.

【0050】 하부 전원 링크 배선은 제1 비표시 영역(NA1)에 배치되고, 제1 하부 전원 링크 배선(PLL1) 및 제2 하부 전원 링크 배선(PLL2)을 포함한다. 제1 하부 전원 링크 배선(PLL1)은 제1 비표시 영역(NA1)에서 제1 영역(A1)에 배치되고, 제1 영역(A1)의 양끝단까지 연장된다. 제2 하부 전원 링크 배선(PLL2)은 제1 비표시 영역(NA1)에서 제2 영역(A2)에 배치되고, 제2 영역(A2)의 양끝단까지 연장된다. 그리고, 제1 하부 전원 링크 배선(PLL1) 및 제2 하부 전원 링크 배선(PLL2)은 제1 영역(A1) 및 제2 영역(A2)의 경계에서 연결된다. 즉, 제1 하부 전원 링크 배선(PLL1) 및 제2 하부 전원 링크 배선(PLL2)은 하나의 배선일 수 있다.

【0051】 한편, 하부 전원 링크 배선은 복수의 벤딩 패턴(BP)과 연결된다. 구체적으로, 하부 전원 링크 배선의 제1 하부 전원 링크 배선(PLL1) 및 제2 하부 전원 링크 배선(PLL2)은 복수의 벤딩 패턴(BP)과 연결된다. 예를 들어, 제1 하부 전원 링크 배선(PLL1)은 제1 하부 연결 배선(LP1)을 통해 벤딩 패턴(BP)과 연결되고, 제2 하부 전원 링크 배선(PLL2)은 제2 하부 연결 배선(LP2)을 통해 벤딩 패턴(BP)과 연결된다. 이 경우, 복수의 벤딩 패턴(BP) 중 일부는 제1 하부 연결 배선(LP1)을 통해 제1 하부 전원 링크 배선(PLL1)에 연결되고, 복수의 벤딩 패턴(BP) 중 다른 일부는 제2 하부 연결 배선(LP2)을 통해 제2 하부 전원 링크 배선(PLL2)에 연결된다.

【0052】 제1 하부 연결 배선(LP1) 및 제2 하부 연결 배선(LP2)은 복수의 벤딩 패턴(BP)으로부터 제1 비표시 영역(NA1)을 향해 연장된 배선으로, 제1 비표시 영역(NA1)에 배치된다. 제1 하부 연결 배선(LP1)은 복수의 벤딩 패턴(BP) 중 일부와 제1 하부 전원 링크 배선(PLL1)에 연결된다. 제2 하부 연결 배선(LP2)은 복수의 벤딩 패턴(BP) 중 다른 일부와 제



2 하부 전원 링크 배선(PLL2)에 연결된다.

【0053】 복수의 제1 전원 배선(PL1)은 표시 영역(A/A)의 제1 영역(A1)에 배치되고, 복수의 제2 전원 배선(PL2)은 표시 영역(A/A)의 제2 영역(A2)에 배치된다. 그리고, 복수의 제1 전원 배선(PL1) 및 제2 전원 배선(PL2) 각각의 단부는 제1 비표시 영역(NA1)으로 연장되어 제1 하부 전원 링크 배선(PLL1) 및 제2 하부 전원 링크 배선(PLL2)에 연결된다. 따라서, 하나의 제1 하부 전원 링크 배선(PLL1)에 복수의 제1 전원 배선(PL1)이 연결되고, 하나의 제2 하부 전원 링크 배선(PLL2)에 복수의 제2 전원 배선(PL2)이 연결된다.

【0054】 상술한 바와 같은 전원 링크 배선의 구성에 따라, 구동 IC(112)로부터 전달된 전원 전압은 패드 연결 배선(PCL), 상부 전원 링크 배선의 제1 부분(UPLLA), 제1 상부 연결 배선(UP1), 벤딩 패턴(BP), 제1 하부 연결 배선(LP1), 제1 하부 전원 링크 배선(PLL1), 및 제1 전원 배선(PL1)의 순서로 전달되어 제1 영역(A1)에 배치된 픽셀로 공급될 수 있다. 또한, 구동 IC(112)로부터 전달된 전원 전압은 패드 연결 배선(PCL), 상부 전원 링크 배선의 제2 부분(UPLLB), 제2 상부 연결 배선(UP2), 벤딩 패턴(BP), 제2 하부 연결 배선(LP2), 제2 하부 전원 링크 배선(PLL2), 및 제2 전원 배선(PL2)의 순서로 전달되어 제2 영역(A2)에 배치된 픽셀로 공급된다.

【0055】 도 1을 참조하면, 제1 하부 연결 배선(LP1)은 제1 하부 전원 링크 배선(PLL1)의 중앙부에 연결되고, 제2 하부 연결 배선(LP2)은 제2 하부 전원 링크 배선(PLL2)의 중앙부에 연결될 수 있다. 즉, 제1 하부 연결 배선(LP1) 및 제2 하부 연결 배선(LP2) 각각은 제1 하부 전원 링크 배선(PLL1)의 단부 및 제2 하부 전원 링크 배선(PLL2)의 단부가 아닌 중앙부에 연결될 수 있다.

【0056】 상술한 바와 같이, 제1 하부 전원 링크 배선(PLL1)은 제1 영역(A1)의 양끝단까지 연장되고, 상부 전원 링크 배선의 제1 부분(UPLLA)은 제1 영역(A1)의 중앙부까지 연장될 수 있다. 그리고, 벤딩 패턴(BP)은 제1 상부 연결 배선(UP1)을 통해 제1 영역(A1)의 중앙부까지 연장된 상부 전원 링크 배선의 제1 부분(UPLLA)의 단부에 연결된다. 마찬가지로, 제2 하부 전원 링크 배선(PLL2)은 제2 영역(A2)의 양끝단까지 연장되고, 상부 전원 링크 배선의 제2 부분(UPLLB)은 제2 영역(A2)의 중앙부까지 연장될 수 있다. 그리고, 벤딩 패턴(BP)은 제2 상부 연결 배선(UP2)을 통해 제2 영역(A2)의 중앙부까지 연장된 상부 전원 링크 배선의 제2 부분(UPLLB)의 단부에 연결된다. 즉, 복수의 벤딩 패턴(BP) 중 일



부는 제1 영역(A1)의 중앙부에 배치되고, 복수의 벤딩 패턴(BP) 중 다른 일부는 제2 영역(A2)의 중앙부에 배치될 수 있다. 따라서, 복수의 벤딩 패턴(BP) 중 일부는 제1 하부 전원 링크 배선(PLL1)의 중앙부에 연결될 수 있고, 복수의 벤딩 패턴(BP) 중 다른 일부는 제2 하부 전원 링크 배선(PLL2)의 중앙부에 연결될 수 있다.

【0057】따라서, 복수의 제1 전원 배선(PL1)은 제1 하부 연결 배선(LP1)으로부터 거리가 동일한 적어도 2개의 제1 전원 배선(PL1)을 포함할 수 있다. 즉, 복수의 벤딩 패턴(BP)과 연결되는 제1 하부 연결 배선(LP1)이 제1 영역(A1)에서 중앙부에 배치되고, 제1 하부 연결 배선(LP1)은 제1 전원 연결 링크 배선(PLL1)의 중앙부에 연결될 수 있으므로, 복수의 제1 전원 배선(PL1)은 제1 하부 연결 배선(LP1)으로부터 거리가 동일한 중 적어도 2개의 제1 전원 배선(PL1)을 포함할 수 있다. 또한, 제2 하부 연결 배선(LP2)은 제2 전원 연결 링크 배선(PLL2)의 중앙부에 연결될 수 있으므로, 복수의 제2 전원 배선(PL2)은 제2 하부 연결 배선(LP2)으로부터 거리가 동일한 적어도 2개의 제2 전원 배선(PL2)을 포함할 수 있다. 즉, 복수의 벤딩 패턴(BP)과 연결되는 제2 하부 연결 배선(LP2)이 제2 영역(A2)에서 중앙부에 배치되므로, 복수의 전원 배선 중 적어도 2개는 제2 하부 연결 배선(LP2)으로부터 거리가 동일할 수 있다.

【0058】여기서, 제1 하부 연결 배선(LP1) 및 제2 하부 연결 배선(LP2) 각각이 제1 하부 전원 링크 배선(PLL1)의 중앙부와 제2 하부 전원 링크 배선(PLL2)의 중앙부에 연결된다는 것은 제1 하부 연결 배선(LP1) 및 제2 하부 연결 배선(LP2) 각각이 제1 하부 전원 링크 배선(PLL1)의 정중앙 및 제2 하부 전원 링크 배선(PLL2)의 정중앙에 연결되는 것으로 정의될 수도 있다. 또는, 제1 하부 연결 배선(LP1) 및 제2 하부 연결 배선(LP2) 각각이 제1 하부 전원 링크 배선(PLL1)의 중앙부와 제2 하부 전원 링크 배선(PLL2)의 중앙부에 연결된다는 것은 제1 하부 연결 배선(LP1) 및 제2 하부 연결 배선(LP2) 각각으로부터 거리가 동일한 제1 전원 배선(PL1) 및 제2 전원 배선(PL2)이 적어도 2개가 존재하도록, 제1 하부 연결 배선(LP1) 및 제2 하부 연결 배선(LP2) 각각이 제1 하부 전원 링크 배선(PLL1)의 끝단과 제2 하부 전원 링크 배선(PLL2)의 끝단이 아닌 위치에 연결되는 것으로 정의될 수도 있다.

【0059】한편, 제1 비표시 영역(NA1)에서의 제1 영역(A1)과 제2 영역(A2)의 너비의 합을 L이라 가정하면, 제1 하부 전원 링크 배선(PLL1) 및 제2 하부 전원 링크 배선(PLL2)은 각



각 $1/2 \cdot L$ 의 길이를 가질 수 있다. 그리고, 복수의 벤딩 패턴(BP) 중 일부는 제1 하부 전원 링크 배선(PLL1)의 중앙부에 연결되므로, 복수의 벤딩 패턴(BP) 중 일부를 통해 전달된 전원 전압은 제1 하부 전원 링크 배선(PLL1)의 $1/2$ 지점, 즉, 제1 영역(A1)과 제2 영역(A2)의 경계로부터 $1/4 \cdot L$ 지점, 다르게 말하면 제1 영역(A1) 및 제2 영역(A2) 전체에서 $1/4 \cdot L$ 지점으로 인입되어 제1 영역(A1)의 양끝단으로 전달된다. 아울러, 복수의 벤딩 패턴(BP) 중 다른 일부는 제2 하부 전원 링크 배선(PLL2)의 중앙부에 연결되므로, 복수의 벤딩 패턴(BP) 중 다른 일부를 통해 전달된 전원 전압은 제2 하부 전원 링크 배선(PLL2)의 $1/2$ 지점, 즉, 제1 영역(A1)과 제2 영역(A2)의 경계로부터 $1/4 \cdot L$ 지점, 다르게 말하면 제1 영역(A1) 및 제2 영역(A2) 전체에서 $3/4 \cdot L$ 지점으로 인입되어 제2 영역(A2)의 양끝단으로 전달된다.

【0060】 이하에서는, 제2 비표시 영역(NA2)에서의 데이터 링크 배선과 상부 전원 링크 배선의 관계를 설명하기 위해 도 2를 함께 참조한다.

【0061】 도 2는 도 1의 II-II'에 따른 단면도이다. 도 2는 제2 비표시 영역(NA2)에 대한 단면도로, 상세하게는 제2 비표시 영역(NA2)에 배치된 상부 전원 링크 배선의 제1 부분(UPLLA)을 포함하는 영역의 단면도이다.

【0062】 도 2를 참조하면, 표시 장치(100)는 기판(101), 버퍼층(102), 전원 링크 배선, 절연층(103), 데이터 링크 배선(DLL), 및 보호층(104)을 포함한다.

【0063】 기판(101) 상에 버퍼층(102)이 배치된다. 버퍼층(102)은 기판(101)을 통한 수분 또는 불순물의 침투를 방지할 수 있다. 다만, 버퍼층(102)은 반드시 필요한 구성은 아니며, 기판(101)의 종류 및 표시 영역(A/A)에 배치된 박막 트랜지스터의 종류 등에 따라 선택적으로 배치될 수 있다.

【0064】 버퍼층(102) 상에는 전원 링크 배선의 상부 전원 링크 배선의 제1 부분(UPLLA)이 배치된다. 상부 전원 링크 배선의 제1 부분(UPLLA)은 상술한 바와 같이 표시 영역(A/A)의 유기 발광 소자 및 박막 트랜지스터의 게이트 전극, 소스 전극, 및 드레인 전극 제조 시 사용되는 다양한 물질 중 하나로 형성될 수 있다.

【0065】 절연층(103)은 상부 전원 링크 배선을 보호하기 위한 절연층이다. 예를 들어, 절연층(103)은 게이트 절연층, 층간 절연층 등과 같은 절연층(103)일 수 있으며, 실리콘 산화물(SiO_x) 또는 실리콘 질화물(SiN_x)의 단일층이나 복층으로 구성될 수 있으나, 이에 제



한되는 것은 아니다.

【0066】절연층(103) 상에는 복수의 데이터 링크 배선(DLL)이 배치된다. 이 경우, 복수의 데이터 링크 배선(DLL)의 일부만이 상부 전원 링크 배선의 제1 부분(UPLLA)과 중첩할 수 있다. 데이터 링크 배선(DLL)은 구동 IC(112)로부터 데이터 전압을 표시 영역(A/A)의 복수의 데이터 배선으로 전달하기 위한 배선이다. 데이터 링크 배선(DLL)은 비표시 영역(N/A)에 배치되고, 데이터 배선은 표시 영역(A/A)에 배치된다. 그리고, 복수의 데이터 링크 배선(DLL)은 구동 IC(112)와 복수의 데이터 배선에 각각 연결된다. 복수의 데이터 링크 배선(DLL) 및 데이터 배선은 표시 영역(A/A)의 유기 발광 소자 및 박막 트랜지스터의 소스 전극 및 드레인 전극, 게이트 전극의 제조 시 사용되는 다양한 물질 중 하나로 형성될 수 있고, 단층 또는 복층으로 구성될 수 있다. 도 2에서는 데이터 링크 배선(DLL)이 상부 전원 링크 배선의 제1 부분(UPLLA) 상에 배치된 것으로 도시되었으나, 데이터 링크 배선(DLL)이 상부 전원 링크 배선의 제1 부분(UPLLA) 아래에 배치될 수도 있다.

【0067】복수의 데이터 링크 배선(DLL) 상에 보호층(104)이 배치된다. 보호층(104)은 데이터 링크 배선(DLL)을 보호하기 위한 절연층이다. 예를 들어, 보호층(104)은 실리콘 산화물(SiO_x) 또는 실리콘 질화물(SiN_x)의 단일층이나 복층으로 구성될 있으나, 이에 제한되는 것은 아니다.

【0068】도 2에서는 데이터 링크 배선(DLL) 상에 보호층(104)만 배치된 것으로 도시되었으나, 유기층 또는 평탄화층과 같은 다른 구성이 더 배치될 수도 있다.

【0069】표시 장치는 모니터 및 TV, 스마트폰, 시계 등 그 적용 범위가 다양해지고 있으며, 넓은 표시 면적을 가지면서도 감소된 부피 및 무게를 갖는 표시 장치에 대한 연구가 진행되고 있다. 그 중 한가지로 표시 장치의 베젤의 크기를 감소시키기 위한 연구가 진행되고 있으며, 베젤의 크기를 감소시키기 위해 기판의 비표시 영역을 벤딩하는 기술, 기판의 비표시 영역의 크기를 축소하는 기술 등이 사용되고 있다. 이에 따라, 전원 전압의 입력 영역을 축소하고, 전원 전압을 전달하는 배선의 수를 감소시키기 위한 설계에 대한 연구가 진행되고 있다.

【0070】그러나, 전원 전압의 입력 영역 및 전원 전압을 전달하는 배선의 수를 감소시키는 과정에서 전원 링크 배선의 저항으로 인한 전원 전압의 강하가 발생하는 문제점이 있다. 구체적으로, 전원 전압의 강하로 인해 표시 영역의 복수의 픽셀에 불균일한 전원 전압이



전달되는 문제가 있다. 예를 들어, 비표시 영역에서 전원 전압을 전달하는 전원 링크 배선이 비표시 영역의 중앙부에 위치하고, 표시 영역과 인접한 비표시 영역에서 전원 링크 배선이 비표시 영역의 중앙부로부터 양 끝단으로 연장하는 경우, 표시 영역의 중앙부에 위치한 전원 배선을 통해 인가되는 전원 전압보다 표시 영역의 끝단에 위치한 전원 배선을 통해 인가되는 전원 전압이 작을 수 있다. 즉, 표시 영역의 중앙부에 위치한 전원 배선은 비표시 영역의 중앙부에 위치한 전원 링크 배선으로부터 직접 전원 전압을 인가받는 반면, 표시 영역의 끝단에 위치한 전원 배선은 비표시 영역의 중앙부로부터 양 끝단으로 연장하는 전원 링크 배선을 더 거친 전원 전압을 인가 받으므로, 표시 영역의 중앙부에 위치한 전원 배선을 통해 인가되는 전원 전압보다 표시 영역의 끝단에 위치한 전원 배선을 통해 인가되는 전원 전압이 작을 수 있다. 이와 같이, 표시 영역에서 불균일한 전원 전압이 복수의 픽셀로 전달되면, 휘도의 불균형이 발생하므로 표시 장치의 신뢰성이 저감될 수 있다.

【0071】 이에, 본 명세서의 일 실시예에 따른 표시 장치(100)는 전원 전압을 기판(101)의 제1 영역(A1) 및 제2 영역(A2)으로 나누어 전달하는 전원 링크 배선을 포함하고, 전원 전압이 전달되는 배선의 길이의 차이에 따른 배선 저항의 차이를 저감하여 전원 전압의 강하를 최소화할 수 있다. 구체적으로, 패드 영역(PA)에 배치된 구동 IC(112)로부터의 전원 전압은 제2 비표시 영역(NA2)의 중앙부로 인입된다. 그리고, 전원 전압은 상부 전원 링크 배선의 제1 부분(UPLLA) 및 제2 부분(UPLLB)을 통해 제1 영역(A1) 및 제2 영역(A2) 각각의 중앙부로 전달된다. 결과적으로, 비표시 영역(N/A)에서 중앙부로 인입된 전원 전압은 표시 영역(A/A)의 중앙부가 아닌, 예를 들어, 1/4 지점 및 3/4 지점에서 복수의 전원 배선으로 전달되므로, 전원 전압이 기판(101)의 중앙부에서 기판(101)의 양끝단으로 전달될 때보다 전원 전압 강하량이 저감될 수 있다. 따라서, 본 명세서의 일 실시예에 따른 표시 장치(100)는 구동 IC(112)로부터 기판(101)의 중앙부로 인입되는 전원 전압이 표시 영역(A/A)에 전달되기 전까지, 전원 전압을 여러 지점으로 분산시켜 전원 전압이 각 전원 배선에 전달되기까지의 경로를 감소시킴에 따라 전원 전압의 강하를 최소화하여, 균일한 휘도의 영상을 표시할 수 있는 효과가 있다.

【0072】 도 3은 본 명세서의 다른 실시예에 따른 표시 장치의 평면도이다. 도 4는 도 3의 IV-IV'에 따른 단면도이다. 도 4는 제2 비표시 영역(NA2)에 대한 단면도로, 제2 비표시



영역(NA2)에 배치된 상부 전원 링크의 제1 부분(UPLLA)을 포함하는 영역의 단면도이다. 도 3 및 도 4에 도시된 표시 장치(300)는 도 1 및 도 2에 도시된 표시 장치(100)와 비교하여 상부 전원 링크 배선의 제1 부분(UPLLA) 및 제2 부분(UPLLB)이 상이하고, 다른 구성들은 실질적으로 동일하므로 중복 설명은 생략한다.

【0073】 도 3을 참조하면, 상부 전원 링크 배선은 제1 영역(A1)으로 연장된 제1 부분(UPLLA) 및 제2 영역(A2)으로 연장된 제2 부분(UPLLB)을 포함한다. 그리고, 상부 전원 링크 배선의 제1 부분(UPLLA) 및 제2 부분(UPLLB) 각각은 제2 비표시 영역(NA2)의 중앙부에서 제1 영역(A1)의 끝단 및 제2 영역(A2)의 끝단까지 연장된다. 이에, 제1 상부 연결 배선(UP1) 및 제2 상부 연결 배선(UP2) 각각은 상부 전원 링크 배선의 제1 부분(UPLLA) 및 제2 부분(UPLLB)의 단부가 아닌 중앙부로부터 연장될 수 있다.

【0074】 또한, 상부 전원 링크 배선의 제1 부분(UPLLA)과 같이 제1 하부 전원 링크 배선(PLL1) 또한 제1 영역(A1)의 양끝단까지 연장되고, 상부 전원 링크 배선의 제2 부분(UPLLB)과 같이 제2 하부 전원 링크 배선(PLL2)도 제2 영역(A2)의 양끝단까지 연장된다.

【0075】 도 4를 참조하면, 버퍼층(102) 상에 상부 전원 링크 배선의 제1 부분(UPLLA)이 배치된다. 이때, 상부 전원 링크 배선의 제1 부분(UPLLA)은 제1 영역(A1)의 끝단까지 연장된 것으로, 상부 전원 링크 배선의 제1 부분(UPLLA)은 제1 영역(A1) 전체에 배치된다. 또한, 상부 전원 링크 배선의 제2 부분(UPLLB) 및 제2 하부 전원 링크 배선(PLL2)은 제2 영역(A2) 전체에 배치되고, 제1 하부 전원 링크 배선(PLL1)은 제1 영역(A1) 전체에 배치된다.

【0076】 상부 전원 링크 배선의 제1 부분(UPLLA) 상에 절연층(103) 및 데이터 링크 배선(DLL)이 배치된다. 그리고, 상부 전원 링크 배선의 제1 부분(UPLLA)은 복수의 데이터 링크 배선(DLL) 모두와 중첩되도록 배치된다.

【0077】 본 명세서의 다른 실시예에 따른 표시 장치(300)에서는 상부 전원 링크 배선의 제1 부분(UPLLA) 및 제2 부분(UPLLB) 각각이 제2 비표시 영역(NA2)의 중앙부에서 제1 영역(A1)의 끝단 및 제2 영역(A2)의 끝단까지 연장되어 데이터 전압에 대한 RC 부하에 따른 편차를 최소화할 수 있다. 또한, 제1 비표시 영역(NA1)에서도, 제1 하부 전원 링크 배선(PLL1) 및 제2 하부 전원 링크 배선(PLL2) 각각이 제1 영역(A1)의 양끝단 및 제2 영



역(A2)의 양끝단까지 연장되어 데이터 전압에 대한 RC 부하에 따른 편차를 최소화할 수 있다. 상술한 바와 같이 데이터 링크 배선(DLL)과 상부 전원 링크 배선 및 하부 전원 링크 배선이 서로 중첩하는 경우, 데이터 링크 배선(DLL)과 상부 전원 링크 배선 및 하부 전원 링크 배선 사이에 기생 커패시턴스가 발생할 수 있으며, 이에 따라 데이터 링크 배선(DLL)으로 전달되는 데이터 전압에 대해 RC 부하가 발생할 수 있다. 다만, 상부 전원 링크 배선 및 하부 전원 링크 배선이 복수의 데이터 링크 배선(DLL) 중 일부와만 중첩하는 경우, 상부 전원 링크 배선 및 하부 전원 링크 배선이 중첩하는 데이터 링크 배선(DLL)과 중첩하지 않는 데이터 링크 배선(DLL)으로 전달되는 각각의 데이터 전압에 대해 서로 다른 RC 부하가 발생할 수 있으며, 데이터 링크 배선(DLL)에 따른 RC 부하 편차가 발생할 수 있다. 이에, 본 명세서의 다른 실시예에 따른 표시 장치(300)에서는 상부 전원 링크 배선의 제1 부분(UPLLA) 및 제2 부분(UPLLB) 각각이 제2 비표시 영역(NA2)의 중앙부에서 제1 영역(A1)의 끝단 및 제2 영역(A2)의 끝단까지 연장되어 상부 전원 링크 배선의 제1 부분(UPLLA)이 제1 영역(A1)에 배치된 데이터 링크 배선(DLL) 모두와 중첩하고, 상부 전원 링크 배선의 제2 부분(UPLLB)이 제2 영역(A2)에 배치된 데이터 링크 배선(DLL) 모두와 중첩할 수 있다. 아울러, 하부 전원 링크 배선의 제1 하부 전원 링크 배선(PLL1) 및 제2 하부 전원 링크 배선(PLL2) 각각이 제1 비표시 영역(NA1)에서 제1 영역(A1) 및 제2 영역(A2)의 양끝단까지 연장되어 제1 하부 전원 링크 배선(PLL1)이 제1 영역(A1)에 배치된 데이터 링크 배선(DLL) 모두와 중첩하고, 제2 하부 전원 링크 배선(PLL2)이 제2 영역(A2)에 배치된 데이터 링크 배선(DLL) 모두와 중첩할 수 있다. 따라서, 본 명세서의 다른 실시예에 따른 표시 장치(300)에서는 데이터 링크 배선(DLL)을 통해 전달되는 RC 부하에 대한 편차를 감소시켜, 데이터 전압에 대한 지연이 모든 데이터 링크 배선(DLL)에 대해 동일하게 발생되도록 할 수 있으며, 이에 따라 데이터 전압의 지연에 따른 편차를 최소화할 수 있다.

【0078】 도 5는 본 명세서의 또 다른 실시예에 따른 표시 장치의 평면도이다. 도 5에 도시된 표시 장치(500)는 도 3 및 도 4에 도시된 표시 장치(300)와 비교하여 제3 영역(A3), 제3 상부 연결 배선(UP3), 제3 하부 연결 배선(LP3), 제3 하부 전원 링크 배선(PLL3) 및 제3 전원 배선(PL3)이 더 포함되었다는 것이 상이하고, 다른 구성들은 실질적으로 동일하므로 중복 설명은 생략한다.



【0079】도 5를 참조하면, 표시 장치(500)의 기판(501)은 제1 영역(A1), 제2 영역(A2), 및 제3 영역(A3)을 포함한다. 제1 영역(A1), 제2 영역(A2), 및 제3 영역(A3)은 기판(501)을 세로 방향으로 나누어 정의될 수 있다. 예를 들어, 기판(501)을 세로 방향으로 3등분한 경우, 제1 영역(A1)은 기판(501)의 좌측 영역으로, 표시 영역(A/A) 및 비표시 영역(N/A)의 일부를 포함한다. 제2 영역(A2)은 기판(501)의 우측 영역으로, 표시 영역(A/A) 및 비표시 영역(N/A)의 다른 일부를 포함한다. 제3 영역(A3)은 기판(501)의 중앙 영역으로, 표시 영역(A/A) 및 비표시 영역(N/A)의 또 다른 일부를 포함한다.

【0080】상부 전원 링크 배선은 제3 영역(A3)의 일부 및 제1 영역(A1)으로 연장된 제1 부분(UPLLA)과 제3 영역(A3)의 다른 일부 및 제2 영역(A2)으로 연장된 제2 부분(UPLLB)을 포함한다. 그리고, 제1 부분(UPLLA) 및 제2 부분(UPLLB) 각각은 제3 영역(A3)의 중앙부에서 제1 영역(A1)의 끝단 및 제2 영역(A2)의 끝단까지 연장된다.

【0081】복수의 상부 연결 배선은 제2 비표시 영역(NA2)에 배치되어, 상부 전원 링크 배선의 제1 부분(UPLLA) 및 제2 부분(UPLLB)과 벤딩 영역(BA)에 배치된 복수의 벤딩 패턴(BP)을 연결한다. 복수의 상부 연결 배선은 제1 상부 연결 배선(UP1), 제2 상부 연결 배선(UP2), 및 제3 상부 연결 배선(UP3)을 포함한다. 제1 상부 연결 배선(UP1)은 제1 영역(A1)에 배치된 제1 부분(UPLLA)으로부터 벤딩 영역(BA)을 향해 연장된 배선이다. 제2 상부 연결 배선(UP2)은 제2 영역(A2)에 배치된 제2 부분(UPLLB)으로부터 벤딩 영역(BA)을 향해 연장된 배선이다. 제3 상부 연결 배선(UP3)은 제3 영역(A3)에 배치된 제1 부분(UPLLA) 및 제2 부분(UPLLB)으로부터 벤딩 영역(BA)을 향해 연장된 배선이다.

【0082】복수의 벤딩 패턴(BP) 각각은 복수의 상부 연결 배선에 연결되고, 벤딩 영역(BA)에 배치된다. 구체적으로, 복수의 벤딩 패턴(BP) 중 일부는 제1 영역(A1)의 제1 부분(UPLLA)으로부터 연장된 제1 상부 연결 배선(UP1)에 연결되고, 복수의 벤딩 패턴(BP) 중 다른 일부는 제2 영역(A2)의 제2 부분(UPLLB)으로부터 연장된 제2 상부 연결 배선(UP2)에 연결되고, 복수의 벤딩 패턴(BP) 중 또 다른 일부는 제3 영역(A3)의 제1 부분(UPLLA) 및 제2 부분(UPLLB)으로부터 연장된 제3 상부 연결 배선(UP3)에 연결된다. 즉, 벤딩 영역(BA)에서 복수의 벤딩 패턴(BP) 중 일부는 제1 영역(A1)에 배치되고, 다른 일부는 제2 영역(A2)에 배치되며, 또 다른 일부는 제3 영역(A3)에 배치된다.

【0083】복수의 하부 연결 배선은 복수의 벤딩 패턴(BP) 각각과 연결되고, 제1 비표시 영



역(NA1)에 배치된다. 구체적으로, 복수의 하부 연결 배선은 제1 하부 연결 배선(LP1), 제2 하부 연결 배선(LP2), 및 제3 하부 연결 배선(LP3)을 포함한다. 제1 비표시 영역(NA1)에서, 제1 하부 연결 배선(LP1)은 제1 영역(A1)에 배치되고, 제2 하부 연결 배선(LP2)은 제2 영역(A2)에 배치되고, 제3 하부 연결 배선(LP3)은 제3 영역(A3)에 배치된다. 따라서, 제1 하부 연결 배선(LP1)은 제1 영역(A1)에 배치된 복수의 벤딩 패턴(BP)과 연결되고, 제2 하부 연결 배선(LP2)은 제2 영역(A2)에 배치된 복수의 벤딩 패턴(BP)과 연결되며, 제3 하부 연결 배선(LP3)은 제3 영역(A3)에 배치된 복수의 벤딩 패턴(BP)과 연결된다.

【0084】 제1 하부 전원 링크 배선(PLL1), 제2 하부 전원 링크 배선(PLL2), 및 제3 하부 전원 링크 배선(PLL3) 각각은 제1 하부 연결 배선(LP1), 제2 하부 연결 배선(LP2), 및 제3 하부 연결 배선(LP3)과 연결된다. 구체적으로, 제1 하부 전원 링크 배선(PLL1)은 제1 하부 연결 배선(LP1)에 연결되고, 제2 하부 전원 링크 배선(PLL2)은 제2 하부 연결 배선(LP2)에 연결되며, 제3 하부 전원 링크 배선(PLL3)은 제3 하부 연결 배선(LP3)에 연결된다. 즉, 제1 비표시 영역(NA1)에서 제1 하부 전원 링크 배선(PLL1)은 제1 영역(A1)에 배치되고, 제2 하부 전원 링크 배선(PLL2)은 제2 영역(A2)에 배치되며, 제3 하부 전원 링크 배선(PLL3)은 제3 영역(A3)에 배치된다. 이때, 제1 하부 전원 링크 배선(PLL1), 제2 하부 전원 링크 배선(PLL2), 및 제3 하부 전원 링크 배선(PLL3)은 각각 제1 영역(A1), 제2 영역(A2), 및 제3 영역(A3)의 양끝단까지 연장될 수 있다. 또한, 제1 영역(A1), 제2 영역(A2), 및 제3 영역(A3)의 양끝단까지 연장된 제1 하부 전원 링크 배선(PLL1), 제2 하부 전원 링크 배선(PLL2), 및 제3 하부 전원 링크 배선(PLL3)은 각 영역의 경계에서 서로 연결될 수 있다. 즉, 제1 하부 전원 링크 배선(PLL1), 제2 하부 전원 링크 배선(PLL2), 및 제3 하부 전원 링크 배선(PLL3)은 하나의 배선으로 연결될 수 있다.

【0085】 복수의 전원 배선은 표시 영역(A/A)에 배치되어, 제1 하부 전원 링크 배선(PLL1), 제2 하부 전원 링크 배선(PLL2), 및 제3 하부 전원 링크 배선(PLL3)과 연결된다. 복수의 전원 배선은 제1 전원 배선(PL1), 제2 전원 배선(PL2), 및 제3 전원 배선(PL3)을 포함한다. 복수의 제1 전원 배선(PL1)은 제1 영역(A1)에 배치되어 제1 하부 전원 링크 배선(PLL1)에 연결되고, 복수의 제2 전원 배선(PL2)은 제2 영역(A2)에 배치되어 제2 하부 전원 링크 배선(PLL2)에 연결되며, 복수의 제3 전원 배선(PL3)은 제3 영역(A3)에 배치되어 제3 하부 전원 링크 배선(PLL3)에 연결된다.



【0086】 상술한 바와 같은 전원 링크 배선의 구성에 따라, 구동 IC(112)로부터 전달된 전원 전압은 패드 연결 배선(PCL), 상부 전원 링크 배선의 제1 부분(UPLLA), 제1 상부 연결 배선(UP1), 벤딩 패턴(BP), 제1 하부 연결 배선(LP1), 제1 하부 전원 링크 배선(PLL1), 및 제1 전원 배선(PL1)의 순서로 전달되어 제1 영역(A1)에 배치된 픽셀로 공급될 수 있다. 그리고, 구동 IC(112)로부터 전달된 전원 전압은 패드 연결 배선(PCL), 상부 전원 링크 배선의 제2 부분(UPLLB), 제2 상부 연결 배선(UP2), 벤딩 패턴(BP), 제2 하부 연결 배선(LP2), 제2 하부 전원 링크 배선(PLL2), 및 제2 전원 배선(PL2)의 순서로 전달되어 제2 영역(A2)에 배치된 픽셀로 공급될 수 있다. 마지막으로, 구동 IC(112)로부터 전달된 전원 전압은 패드 연결 배선(PCL), 상부 전원 링크 배선의 제1 부분(UPLLA) 및 제2 부분(UPLLB), 제3 상부 연결 배선(UP3), 벤딩 패턴(BP), 제3 하부 연결 배선(LP3), 제3 하부 전원 링크 배선(PLL3), 및 제3 전원 배선(PL3)의 순서로 전달되어 제3 영역(A3)에 배치된 픽셀로 공급될 수 있다.

【0087】 본 명세서의 또 다른 실시예에 따른 표시 장치(500)는 기판(501)을 제1 영역(A1), 제2 영역(A2), 및 제3 영역(A3)으로 나누고, 그에 따른 전원 링크 배선 및 전원 배선을 배치하여 각 영역의 픽셀로 전원 전압을 공급하지만, 이에 제한되지 않는다. 이 경우, 기판(501)을 3개 이상의 영역으로 나누어 전원 전압을 공급할 수도 있다.. 다만, 벤딩 영역(BA)에는 벤딩 시, 각 배선에 전달되는 응력을 저감하기 위해 중립면(neutral plane)의 높이를 설계하는데, 중립면의 용이한 설계를 위해, 복수의 벤딩 패턴(BP) 및 복수의 데이터 링크 배선은 동일층상에 배치될 수 있다. 이때, 기판(501)에 배치되는 벤딩 패턴(BP)의 개수가 증가하는 경우, 데이터 링크 배선이 배치될 공간은 줄어들게 된다. 다만, 표시 장치가 고해상도가 될수록 데이터 배선의 수가 증가하며, 데이터 배선과 연결된 데이터 링크 배선의 수 또한 증가하게 된다. 따라서, 고해상도의 표시 장치의 경우 데이터 링크 배선이 배치될 수 있는 충분한 공간이 필요하므로, 벤딩 영역(BA) 상에서 벤딩 패턴(BP)을 배치할 수 있는 영역은 제한될 수 있다. 이 경우, 표시 장치의 해상도, 벤딩 영역(BA)의 폭, 데이터 링크 배선의 폭 등에 따라 기판(501)의 영역의 개수 및 이에 따른 전원 링크 배선의 설계를 결정할 수 있다. 이에, 실시예에 따라 기판(501)의 영역의 개수가 3개 이상이 될 수도 있다.

【0088】 한편, 제1 비표시 영역(NA1)에서의 제1 영역(A1), 제2 영역(A2), 및 제3 영역



(A3)의 너비의 합을 L 이라 가정하면, 제1 하부 전원 링크 배선(PLL1), 제2 하부 전원 링크 배선(PLL2), 및 제3 하부 전원 링크 배선(PLL3)은 각각 $1/3 \cdot L$ 의 길이를 가질 수 있다. 그리고, 복수의 벤딩 패턴(BP) 중 일부는 제1 하부 전원 링크 배선(PLL1)의 중앙부에 연결되므로, 복수의 벤딩 패턴(BP) 중 일부를 통해 전달된 전원 전압은 제1 하부 전원 링크 배선(PLL1)의 $1/2$ 지점, 즉, 제1 영역(A1)과 제3 영역(A3)의 경계로부터 $1/6 \cdot L$ 지점으로 인입되어 제1 영역(A1)의 양끝단으로 전달된다. 그리고, 복수의 벤딩 패턴(BP) 중 다른 일부는 제2 하부 전원 링크 배선(PLL2)의 중앙부에 연결되므로, 복수의 벤딩 패턴(BP) 중 다른 일부를 통해 전달된 전원 전압은 제2 하부 전원 링크 배선(PLL2)의 $1/2$ 지점, 즉, 제2 영역(A2)과 제3 영역(A3)의 경계로부터 $1/6 \cdot L$ 지점으로 인입되어 제2 영역(A2)의 양끝단으로 전달된다. 마지막으로, 복수의 벤딩 패턴(BP) 중 또 다른 일부는 제3 하부 전원 링크 배선(PLL3)의 중앙부에 연결되므로, 복수의 벤딩 패턴(BP) 중 또 다른 일부를 통해 전달된 전원 전압은 제3 하부 전원 링크 배선(PLL3)의 $1/2$ 지점, 즉, 제3 영역(A3)과 제1 영역(A1)의 경계로부터 $1/6 \cdot L$ 지점으로 인입되어 제3 영역(A3)의 양끝단으로 전달된다.

【0089】 이에, 본 명세서의 또 다른 실시예에 따른 표시 장치(500)는 전원 전압을 기판(501)의 제1 영역(A1), 제2 영역(A2), 및 제3 영역(A3)으로 나누어 전달하는 전원 링크 배선을 포함하고, 전원 전압이 전달되는 배선의 길이의 차이에 따른 배선 저항의 차이를 저감하여 전원 전압의 강하를 최소화할 수 있다. 제2 비표시 영역(NA2)의 중앙부로 인입된 전원 전압은, 예를 들어, 표시 영역(A/A)의 각 $1/6$, $1/2$, 및 $5/6$ 지점에서 복수의 전원 배선으로 전달되므로, 전원 전압이 기판(501)의 중앙부에서 기판(501)의 양끝단으로 전달될 때보다 전원 전압 강하량이 저감될 수 있다.

【0090】 따라서, 본 명세서의 또 다른 실시예에 따른 표시 장치(500)는 기판(501)의 중앙부로 인입되는 전원 전압이 구동 IC(112)로부터 표시 영역(A/A)에 전달되기 전까지, 전원 전압의 인입 위치를 여러 지점으로 분산시켜 전원 전압이 각 전원 배선에 전달되기까지 경로를 감소시킴에 따라 전원 전압의 강하를 최소화하여, 균일한 휘도의 영상을 표시할 수 있는 효과가 있다.

【0091】 도 6은 본 명세서의 또 다른 실시예에 따른 표시 장치의 평면도이다. 도 6에 도시된 표시 장치(600)는 도 1 및 도 2에 도시된 표시 장치(100)와 비교하여 패드 연결 배선의



위치 구성, 상부 전원 링크 배선의 제1 부분(UPLLA) 및 제2 부분(UPLLB)이 상이하고, 다른 구성들은 실질적으로 동일하므로, 중복 설명은 생략한다.

【0092】 도 6을 참조하면, 플렉서블 필름(110)에 배치된 구동 IC(112)는 제1 패드(P1) 및 제2 패드(P2)를 통해 전원 전압을 전원 링크 배선으로 전달한다. 제1 패드(P1) 및 제2 패드(P2)는 전원 전압을 출력하는 패드일 수 있다. 플렉서블 필름(110)은 전원 전압, 데이터 전압 등을 출력하는 복수의 패드를 포함하고, 그 중에서도 제1 패드(P1) 및 제2 패드(P2)는 플렉서블 필름(110)에 배치된 복수의 패드 중 최외곽에 배치된 패드일 수 있다. 다만, 도 6에서는 설명의 편의를 위해 복수의 패드 중 구동 IC(112)로부터의 전원 전압이 출력되는 제1 패드(P1) 및 제2 패드(P2)만을 도시하였다.

【0093】 패드 연결 배선은 제2 비표시 영역(NA2)에서 제1 영역(A1)에 배치된 제1 패드 연결 배선(PCL1) 및 제2 영역(A2)에 배치된 제2 패드 연결 배선(PCL2)을 포함한다. 그리고, 제1 패드 연결 배선(PCL1)은 패드 영역(PA)의 제1 패드(P1)에서 제1 영역(A1)에 대응하는 영역의 끝단으로부터 제2 비표시 영역(NA2)으로 연장하고, 제2 패드 연결 배선(PCL2)은 패드 영역(PA)의 제2 패드(P2)에서 제2 영역(A2)에 대응하는 영역의 끝단으로부터 제2 비표시 영역(NA2)으로 연장한다. 즉, 제1 패드 연결 배선(PCL1) 및 제2 패드 연결 배선(PCL2) 각각은 플렉서블 필름(110)의 복수의 패드 중 최외곽에 배치된 제1 패드(P1) 및 제2 패드(P2)에 연결되며, 패드 영역(PA)의 양끝단에 배치된다.

【0094】 그리고, 도 6에서는 패드 연결 배선이 제1 패드 연결 배선(PCL1) 및 제2 패드 연결 배선(PCL2)의 2개인 것으로 도시되었으나, 구동 IC로부터의 전원 전압이 출력되는 패드의 배치에 따라 더 많은 패드 연결 배선이 배치되거나, 패드 연결 배선의 위치는 달라질 수 있으며, 이에 제한되지 않는다.

【0095】 상부 전원 링크 배선은 제2 비표시 영역(NA2)에서 제1 영역(A1)에 배치된 제1 부분(UPLLA) 및 제2 영역(A2)에 배치된 제2 부분(UPLLB)을 포함한다. 구체적으로, 상부 전원 링크 배선은 제2 비표시 영역(NA2)의 일단에서 제1 영역(A1)으로 연장된 제1 부분(UPLLA)을 포함하고, 제2 비표시 영역(NA2)의 타단에서 제2 영역(A2)으로 연장된 제2 부분(UPLLB)을 포함한다. 이때, 제1 부분(UPLLA)은 제2 비표시 영역(NA2)의 일단에서 제1 영역(A1)의 중앙부까지 연장되고, 제2 부분(UPLLB)은 제2 비표시 영역(NA2)의 타단에서 제2 영역(A2)의 중앙부까지 연장될 수 있다.



【0096】상부 전원 링크 배선은 패드 연결 배선과 연결된다. 구체적으로, 제2 비표시 영역(NA2)의 일단에서 상부 전원 링크 배선의 제1 부분(UPLLA)과 제1 패드 연결 배선(PCL1)이 연결된다. 제2 비표시 영역(NA2)의 타단에서 상부 전원 링크 배선의 제2 부분(UPLLB)과 제2 패드 연결 배선(PCL2)이 연결된다.

【0097】상부 전원 링크 배선은 복수의 벤딩 패턴(BP)과 연결된다. 구체적으로, 상부 전원 링크 배선의 제1 부분(UPLLA)은 제1 상부 연결 배선(UP1)을 통해 벤딩 패턴(BP)과 연결되고, 상부 전원 링크 배선의 제2 부분(UPLLB)은 제2 상부 연결 배선(UP2)을 통해 벤딩 패턴(BP)과 연결된다. 즉, 제1 영역(A1)의 중앙부에서 상부 전원 링크 배선의 제1 부분(UPLLA)의 단부와 제1 상부 연결 배선(UP1)이 연결되고, 제2 영역(A2)의 중앙부에서 상부 전원 링크 배선의 제2 부분(UPLLB)의 단부와 제2 상부 연결 배선(UP2)이 연결된다.

【0098】본 명세서의 또 다른 실시예에 따른 표시 장치(600)에서는 패드 영역(PA)에 배치된 구동 IC(112)로부터 전원 전압이 비표시 영역(N/A)의 양끝단으로 각각 공급된다. 표시 장치(600)의 구동 IC(112)의 전원 전압 출력 지점은 구동 IC(112)의 모델 및 설계 등에 따라 다양하게 변경될 수 있다. 구동 IC(112)의 전원 전압 출력 지점이 변경됨에 따라 패드 연결 배선의 배치가 변경되더라도, 제1 패드 연결 배선(PCL1) 및 제2 패드 연결 배선(PCL2)에 연결된 상부 전원 링크 배선의 제1 부분(UPLLA) 및 제2 부분(UPLLB)을 각각 제1 영역(A1) 및 제2 영역(A2)의 중앙부로 연장할 수 있다. 따라서, 본 명세서의 또 다른 실시예에 따른 표시 장치(600)는 구동 IC(112)의 모델이나 설계 등에 따른 전원 전압의 인입 지점이 달라지는 것에 관계없이 전원 전압이 구동 IC(112)로부터 표시 영역(A/A)에 전달되기 전까지 전원 전압을 여러 지점으로 분산시킬 수 있다. 이에, 전원 전압이 각 전원 배선에 전달되기까지 경로를 감소시킴에 따라 전원 전압의 강하를 최소화하여, 균일한 휘도의 영상을 표시할 수 있는 효과가 있다. 따라서, 구동 IC(112)의 종류 및 설계에 따라 전원 링크 배선의 배치 위치가 자유롭게 설정될 수 있으므로, 설계 자유도가 높아질 수 있다.

【0099】또한, 전원 전압을 제2 비표시 영역(NA2)의 양끝단에 각각 배치된 제1 패드 연결 배선(PCL1) 및 제2 패드 연결 배선(PCL2)으로 나누어 인입할 수 있어, 과도한 전류로 인한 발열, 표시 장치(600)의 변형 등을 개선하여 표시 장치(600)의 성능 저하를 저감할 수 있다.



【0100】도 7은 본 명세서의 또 다른 실시예에 따른 표시 장치의 평면도이다. 도 7에 도시된 표시 장치(700)는 도 6에 도시된 표시 장치(600)와 비교하여 상부 전원 링크 배선의 제1 부분(UPLLA) 및 제2 부분(UPLLB)이 상이하고, 다른 구성들은 실질적으로 동일하므로, 중복 설명은 생략한다.

【0101】도 7을 참조하면, 제2 비표시 영역(NA2)에서 제1 영역(A1)에 상부 전원 링크 배선의 제1 부분(UPLLA)이 배치되고, 제2 영역(A2)에 상부 전원 링크 배선의 제2 부분(UPLLB)이 배치된다. 이때, 상부 전원 링크 배선의 제1 부분(UPLLA)은 제2 비표시 영역(NA2)의 일단에서 제1 영역(A1) 및 제2 영역(A2)의 경계까지 연장되고, 상부 전원 링크 배선의 제2 부분(UPLLB)은 제2 비표시 영역(NA2)의 타단에서 제1 영역(A1) 및 제2 영역(A2)의 경계까지 연장되어, 상부 전원 링크 배선의 제1 부분(UPLLA) 및 제2 부분(UPLLB)은 서로 연결된다. 이에, 제1 상부 연결 배선(UP1) 및 제2 상부 연결 배선(UP2)은 상부 전원 링크 배선의 제1 부분(UPLLA) 및 제2 부분(UPLLB)의 중앙부로부터 연장될 수 있다. 즉, 제1 부분(UPLLA) 및 제2 부분(UPLLB)은 제2 비표시 영역(NA2) 전체에 배치된다.

【0102】또한, 제1 비표시 영역(NA1)에서, 제1 하부 전원 링크 배선(PLL1)은 제1 영역(A1)의 양끝단까지 연장되고, 제2 하부 전원 링크 배선(PLL2)은 제2 영역(A2)의 양끝단까지 연장된다. 즉, 제2 비표시 영역(NA2)에서의 제1 부분(UPLLA) 및 제2 부분(UPLLB)과 같이, 제1 하부 전원 링크 배선(PLL1) 및 제2 하부 전원 링크 배선(PLL2) 또한 제1 비표시 영역(NA1) 전체에 배치된다.

【0103】본 명세서의 또 다른 실시예에 따른 표시 장치(700)에서는 상부 전원 링크 배선의 제1 부분(UPLLA) 및 제2 부분(UPLLB) 각각이 제2 비표시 영역(NA2)의 양끝단에서 제1 영역(A1) 및 제2 영역(A2)의 경계까지 연장되어 데이터 전압에 대한 RC 부하에 따른 편차를 최소화할 수 있다. 구체적으로, 상부 전원 링크 배선의 제1 부분(UPLLA)이 제2 비표시 영역(NA2)의 일단에서 제1 영역(A1) 및 제2 영역(A2)의 경계까지 연장되어, 제1 영역(A1)에 배치된 데이터 링크 배선 모두와 중첩할 수 있다. 그리고, 상부 전원 링크 배선의 제2 부분(UPLLB)이 제2 비표시 영역(NA2)의 타단에서 제1 영역(A1) 및 제2 영역(A2)의 경계까지 연장되어, 제2 영역(A2)에 배치된 데이터 링크 배선 모두와 중첩할 수 있다. 아울러, 제1 하부 전원 링크 배선(PLL1) 및 제2 하부 전원 링크 배선(PLL2) 또한 제1 비



표시 영역(NA1)의 전체에 배치되어, 제1 비표시 영역(NA1)에 배치된 데이터 링크 배선 모두와 중첩할 수 있다. 따라서, 본 명세서의 또 다른 실시예에 따른 표시 장치(700)에서는 데이터 링크 배선을 통해 전달되는 RC 부하에 대한 편차를 감소시켜, 데이터 전압에 대한 지연이 모든 데이터 링크 배선에 대해 동일하게 발생되도록 할 수 있으며, 이에 따라 데이터 전압의 지연에 따른 편차를 최소화할 수 있다.

【0104】 도 8은 본 명세서의 또 다른 실시예에 따른 표시 장치의 평면도이다. 도 8에 도시된 표시 장치(800)는 도 6에 도시된 표시 장치(600)와 비교하여 상부 전원 링크 배선의 제1 부분(UPLLA) 및 제2 부분(UPLLB)과 벤딩 패턴(BP)의 배치가 상이하고, 다른 구성들은 실질적으로 동일하므로, 중복 설명은 생략한다.

【0105】 도 8을 참조하면, 제2 비표시 영역(NA2)의 양끝단에 각각 제1 패드 연결 배선(PCL1) 및 제2 패드 연결 배선(PCL2)이 배치된다. 그리고, 제2 비표시 영역(NA2)에서 제1 영역(A1)에 상부 전원 링크 배선의 제1 부분(UPLLA)이 배치되고, 제2 영역(A2)에 상부 전원 링크 배선의 제2 부분(UPLLB)이 배치된다. 이때, 상부 전원 링크 배선의 제1 부분(UPLLA)은 제1 패드 연결 배선(PCL1)과 동일 선상에서 연결되고, 제2 부분(UPLLB)은 제2 패드 연결 배선(PCL2)과 동일 선상에서 연결된다.

【0106】 즉, 제1 부분(UPLLA) 및 제2 부분(UPLLB) 또한 제1 패드 연결 배선(PCL1) 및 제2 패드 연결 배선(PCL2)과 같이 제2 비표시 영역(NA2)의 양끝단인 제1 영역(A1)에 일단 및 제2 영역(A2)의 일단에 각각 배치될 수 있다.

【0107】 상부 전원 링크 배선은 복수의 벤딩 패턴(BP)과 연결된다. 구체적으로, 상부 전원 링크 배선의 제1 부분(UPLLA)은 제1 상부 연결 배선(UP1)을 통해 벤딩 패턴(BP)과 연결되고, 상부 전원 링크 배선의 제2 부분(UPLLB)은 제2 상부 연결 배선(UP2)을 통해 벤딩 패턴(BP)과 연결된다. 예를 들어, 제1 영역(A1)의 일단(A1)에 배치된 제1 패드 연결 배선(PCL1), 제1 부분(UPLLA) 및 제1 상부 연결 배선(UP1)에 벤딩 패턴(BP)이 연결되고, 제2 영역(A2)의 일단에 배치된 제2 패드 연결 배선(PCL2), 제2 부분(UPLLB), 및 제2 상부 연결 배선(UP2)에 벤딩 패턴(BP)이 배치된다. 따라서, 제1 상부 연결 배선(UP1) 및 제2 상부 연결 배선(UP2)에 연결된 복수의 벤딩 패턴(BP) 또한 비표시 영역(N/A)의 양끝단, 즉 벤딩 영역(BA)의 양끝단에 배치될 수 있다.

【0108】 본 명세서의 또 다른 실시예에 따른 표시 장치(800)는 패드 영역(PA)에 배치된 구



동 IC(112)로부터 전원 전압이 비표시 영역(N/A)의 양끝단으로 각각 공급된다. 그리고, 전원 전압을 전달하는 전원 링크 배선을 일직선으로 배치하여 배선의 길이를 최소화할 수 있다. 구체적으로, 제1 패드 연결 배선(PCL1) 및 제2 패드 연결 배선(PCL2)은 각각 제2 비표시 영역(NA2)의 양끝단에 배치된다. 그리고, 제1 패드 연결 배선(PCL1)에 일직선으로 상부 전원 링크 배선의 제1 부분(UPLLA), 제1 상부 연결 배선(UP1) 및 벤딩 패턴(BP)이 연결된다. 또한, 제2 패드 연결 배선(PCL2)에 일직선으로 상부 전원 링크 배선의 제2 부분(UPLLB), 제2 상부 연결 배선(UP2) 및 벤딩 패턴(BP)이 연결된다. 따라서, 본 명세서의 또 다른 실시예에 따른 표시 장치(800)는 전원 전압이 구동 IC(112)로부터 표시 영역(A/A)에 전달되기 전까지 전원 전압을 전달하는 경로를 감소시킴에 따라 전원 전압의 강하를 최소화하여, 균일한 휘도의 영상을 표시할 수 있는 효과가 있다.

【0109】 도 9는 본 명세서의 또 다른 실시예에 따른 표시 장치의 평면도이다. 도 9에 도시된 표시 장치(900)는 도 1 및 도 2에 도시된 표시 장치(100)와 비교하여 상부 전원 링크 배선의 제1 부분(UPLLA) 및 제2 부분(UPLLB)이 상이하고, 다른 구성들은 실질적으로 동일하므로, 중복 설명은 생략한다.

【0110】 도 9를 참조하면, 상부 전원 링크 배선은 제1 영역(A1)으로 연장된 제1 부분(UPLLA) 및 제2 영역(A2)으로 연장된 제2 부분(UPLLB)을 포함한다. 상부 전원 링크 배선의 제1 부분(UPLLA) 및 제2 부분(UPLLB)은 패드 연결 배선(PCL)에 연결된다. 그리고, 상부 전원 링크 배선의 제1 부분(UPLLA) 및 제2 부분(UPLLB) 각각은 제2 비표시 영역(NA2)에서 제1 영역(A1)의 중앙부 및 제2 영역(A2)의 중앙부까지 연장된다.

【0111】 상부 전원 링크 배선은 복수의 벤딩 패턴(BP)과 연결된다. 구체적으로, 상부 전원 링크 배선의 제1 부분(UPLLA)은 제1 상부 연결 배선(UP1)을 통해 벤딩 패턴(BP)과 연결되고, 제2 부분(UPLLB)은 제2 상부 연결 배선(UP2)을 통해 벤딩 패턴(BP)과 연결된다. 이 경우, 복수의 벤딩 패턴(BP) 중 일부는 제1 상부 연결 배선(UP1)을 통해 상부 전원 링크 배선의 제1 부분(UPLLA)에 연결되고, 복수의 벤딩 패턴(BP) 중 다른 일부는 제2 상부 연결 배선(UP2)을 통해 상부 전원 링크 배선의 제2 부분(UPLLB)에 연결된다.

【0112】 제1 부분(UPLLA) 및 제2 부분(UPLLB) 각각은 제1 상부 연결 배선(UP1) 및 제2 상부 연결 배선(UP2)과 패드 연결 배선(PCL)사이의 최단거리로 연결될 수 있다. 즉, 제1 부분(UPLLA) 및 제2 부분(UPLLB) 각각은 제2 비표시 영역에서 사선 방향으로 배치될



수 있다.

【0113】 본 명세서의 또 다른 실시예에 따른 표시 장치(900)에서는 패드 영역(PA)에 배치된 구동 IC(112)로부터 전원 전압이 비표시 영역(N/A)의 양끝단으로 각각 공급된다. 표시 장치(600)의 구동 IC(112)의 전원 전압 출력 지점은 구동 IC(112)의 모델 및 설계 등에 따라 다양하게 변경될 수 있다. 구동 IC(112)의 전원 전압 출력 지점이 변경됨에 따라 패드 연결 배선의 배치가 변경되더라도, 제1 패드 연결 배선(PCL1) 및 제2 패드 연결 배선(PCL2)에 연결된 상부 전원 링크 배선의 제1 부분(UPLLA) 및 제2 부분(UPLLB)을 각각 제1 영역(A1) 및 제2 영역(A2)의 중앙부로 연장할 수 있다. 제1 영역(A1) 및 제2 영역(A2)의 중앙부로 연장된 제1 부분(UPLLA) 및 제2 부분(UPLLB)에 각각 제1 영역(A1) 및 제2 영역(A2)의 중앙부에 배치된 복수의 벤딩 패턴(BP)이 연결된다. 이때, 제1 부분(UPLLA) 및 제2 부분(UPLLB)은 비표시 영역(N/A)의 중앙부, 즉 제1 영역(A1) 및 제2 영역(A2)의 경계에 배치된 패드 연결 배선(PCL)과 복수의 벤딩 패턴(BP)을 최단 거리에서 연결할 수 있다. 따라서, 비표시 영역(N/A)의 중앙부로 전달된 전원 전압을 제1 영역(A1) 및 제2 영역(A2)의 중앙부로 각각 전달하는 전원 링크 배선의 길이를 최소화할 수 있다. 이에, 전원 링크 배선의 길이가 저감됨에 따라 전원 링크 배선의 저항이 감소할 수 있고, 전원 전압의 강하 또한 저감될 수 있다. 따라서, 본 명세서의 일 실시예에 따른 표시 장치(900)는 구동 IC(112)로부터 기판(101)의 중앙부로 인입되는 전원 전압이 표시 영역(A/A)에 전달되기 전까지, 전원 전압을 여러 지점으로 분산시키는 동시에, 전원 전압이 전달되는 경로를 최소화함에 따라 전원 전압의 강하를 최소화하여, 균일한 휘도의 영상을 표시할 수 있는 효과가 있다.

【0114】 본 명세서의 다양한 실시예들에 따른 표시 장치는 다음과 같이 설명될 수 있다.

【0115】 본 명세서의 일 실시예에 따른 표시 장치는 복수의 픽셀이 구비된 표시 영역 및 표시 영역과 인접한 비표시 영역을 포함하는 기판, 표시 영역에 구비되어 복수의 픽셀에 전원을 공급하고, 복수의 제1 전원 배선 및 복수의 제2 전원 배선을 포함하는 복수의 전원 배선, 비표시 영역에 구비되고, 복수의 전원 배선에 연결되는 하부 전원 링크 배선, 하부 전원 링크 배선으로부터 연장되는 제1 하부 연결 배선, 및 제2 하부 연결 배선을 포함하는 전원 링크 배선을 포함하고, 복수의 제1 전원 배선은 제1 하부 연결 배선으로부터 거리가 동일한 적어도 2개의 제1 전원 배선을 포함하고, 복수의 제2 전원 배선은 제2 하



부 연결 배선으로부터 거리가 동일한 적어도 2개의 제2 전원 배선을 포함한다.

【0116】 본 명세서의 다른 특징에 따르면, 비표시 영역은, 하부 전원 링크 배선이 배치된 제1 비표시 영역, 제1 비표시 영역과 인접한 벤딩 영역, 벤딩 영역과 인접한 제2 비표시 영역 및 제2 비표시 영역과 인접한 패드 영역을 포함하고, 기판은 복수의 제1 전원 배선 및 제1 하부 연결 배선이 배치된 제1 영역, 및 복수의 제2 전원 배선 및 제2 하부 연결 배선이 배치된 제2 영역을 포함하고, 하부 전원 링크 배선은 제1 영역으로 연장된 제1 하부 전원 링크 배선 및 제2 영역으로 연장된 제2 하부 전원 링크 배선을 포함하고, 제1 하부 연결 배선 및 제2 하부 연결 배선 각각은 제1 하부 전원 링크 배선 및 제2 하부 전원 링크 배선으로부터 벤딩 영역 측으로 연장할 수 있다.

【0117】 본 명세서의 또 다른 특징에 따르면, 제1 영역 및 제2 영역 중 하나는 좌측 영역이고, 다른 하나는 우측 영역일 수 있다.

【0118】 본 명세서의 또 다른 특징에 따르면, 제1 하부 전원 링크 배선은 제1 영역의 양끝단까지 연장되고, 제2 하부 전원 링크 배선은 제2 영역의 양끝단까지 연장되며, 제1 하부 전원 링크 배선 및 제2 하부 전원 링크 배선은 제1 영역 및 제2 영역의 경계에서 연결될 수 있다.

【0119】 본 명세서의 또 다른 특징에 따르면, 전원 링크 배선은, 벤딩 영역에 구비되고, 제1 하부 연결 배선 및 제2 하부 연결 배선과 연결된 복수의 벤딩 패턴, 제2 비표시 영역에 구비되는 상부 전원 링크 배선 및 제2 비표시 영역에 구비되어 벤딩 패턴과 상부 전원 링크 배선을 연결시키는 상부 연결 배선을 더 포함할 수 있다.

【0120】 본 명세서의 또 다른 특징에 따르면, 상부 전원 링크 배선은 제1 영역으로 연장된 제1 부분 및 제2 영역으로 연장된 제2 부분을 포함할 수 있다.

【0121】 본 명세서의 또 다른 특징에 따르면, 상부 전원 링크 배선의 제1 부분 및 제2 부분 각각은 제1 영역의 중앙부 및 제2 영역의 중앙부까지 연장될 수 있다.

【0122】 본 명세서의 또 다른 특징에 따르면, 복수의 벤딩 패턴 중 일부는 상부 전원 링크 배선의 제1 부분의 단부에서 제1 하부 연결 배선으로 연장되고, 복수의 벤딩 패턴 중 다른 일부는 상부 전원 링크 배선의 제2 부분의 단부에서 제2 하부 연결 배선으로 연장될 수 있다.

【0123】 본 명세서의 또 다른 특징에 따르면, 상부 전원 링크 배선의 제1 부분 및 제2 부분



각각은 제1 영역의 끝단 및 제2 영역의 끝단까지 연장될 수 있다.

【0124】본 명세서의 또 다른 특징에 따르면, 표시 영역에 구비되고, 복수의 픽셀에 데이터 신호를 공급하는 복수의 데이터 배선 및 비표시 영역에 구비되고, 복수의 데이터 배선에 연결된 복수의 데이터 링크 배선을 더 포함하고, 상부 전원 링크 배선의 제1 부분은 복수의 데이터 링크 배선 중 제1 영역에 배치된 데이터 링크 배선 모두와 중첩하고, 상부 전원 링크 배선의 제2 부분은 복수의 데이터 링크 배선 중 제2 영역에 배치된 데이터 링크 배선 모두와 중첩할 수 있다.

【0125】본 명세서의 또 다른 특징에 따르면, 제1 하부 전원 링크 배선은 복수의 데이터 링크 배선 중 제1 영역에 배치된 데이터 링크 배선 모두와 중첩하고, 제2 하부 전원 링크 배선은 복수의 데이터 링크 배선 중 제2 영역에 배치된 데이터 링크 배선 모두와 중첩할 수 있다.

【0126】본 명세서의 또 다른 특징에 따르면, 복수의 전원 배선은 표시 영역에 배치되고, 복수의 픽셀에 전원을 공급하는 복수의 제3 전원 배선을 더 포함하고, 전원 링크 배선은 비표시 영역에 배치되고, 복수의 제3 전원 배선에 연결된 제3 하부 전원 링크 배선을 더 포함하고, 기판은 제1 영역 및 제2 영역 사이의 복수의 제3 전원 배선 및 제3 하부 전원 링크 배선이 배치된 제3 영역을 더 포함할 수 있다.

【0127】본 명세서의 또 다른 특징에 따르면, 전원 링크 배선은 상부 전원 링크 배선의 중앙부 또는 상부 전원 링크 배선의 양 끝단과 패드 영역의 패드를 연결하는 패드 연결 배선을 더 포함할 수 있다.

【0128】본 명세서의 또 다른 특징에 따르면, 패드 연결 배선은, 패드 영역에서 제2 비표시 영역의 양 끝단에 각각 배치된 제1 패드 연결 배선 및 제2 패드 연결 배선을 포함할 수 있다.

【0129】본 명세서의 또 다른 특징에 따르면, 상부 전원 링크 배선은, 제2 비표시 영역의 일단에 배치되고, 제1 영역으로 연장된 제1 부분을 포함하는 제1 상부 전원 링크 배선 및 제2 비표시 영역의 타단에 배치되고, 제2 영역으로 연장된 제2 부분을 포함하는 제2 상부 전원 링크 배선을 포함할 수 있다.

【0130】본 명세서의 또 다른 특징에 따르면, 벤딩 패턴은 다이아몬드 형상, 마름모 형상, 지그재그 형상, 원형 형상 중 적어도 하나의 형상을 갖는 도전 패턴이 반복적으로 배치된



패턴일 수 있다.

【0131】 본 명세서의 다른 실시예에 따른 표시 장치는, 복수의 픽셀이 구비된 표시 영역 및 표시 영역과 인접한 비표시 영역을 포함하는 기판, 표시 영역에 구비되어 복수의 픽셀에 전원을 공급하고, 복수의 제1 전원 배선 및 복수의 제2 전원 배선을 포함하는 복수의 전원 배선 및 비표시 영역에 배치되어 복수의 제1 전원 배선에 연결되는 제1 하부 전원 링크 배선 및 복수의 제2 전원 배선에 연결되는 제2 하부 전원 링크 배선을 포함하는 전원 링크 배선을 포함하고, 제1 하부 전원 링크 배선 및 제2 하부 전원 링크 배선 각각은 복수의 전원 배선 및 전원 링크 배선에서의 전원 전압 강하량을 최소화하도록 기판의 좌측 영역 및 우측 영역 내에 배치된다.

【0132】 본 명세서의 다른 특징에 따르면, 비표시 영역은, 표시 영역에서 연장되고, 제1 하부 전원 링크 배선 및 제2 하부 전원 링크 배선이 배치된 제1 비표시 영역, 제1 비표시 영역에서 연장된 벤딩 영역, 벤딩 영역에서 연장된 제2 비표시 영역 및 제2 비표시 영역에서 연장된 패드 영역을 포함하고, 제1 하부 전원 링크 배선은 제1 비표시 영역에서 좌측 영역의 양끝단까지 연장되고, 제2 하부 전원 링크 배선은 제1 비표시 영역에서 우측 영역의 양끝단까지 연장되고, 제1 하부 전원 링크 배선 및 제2 하부 전원 링크 배선은 좌측 영역 및 우측 영역의 경계에서 연결될 수 있다.

【0133】 본 명세서의 또 다른 특징에 따르면, 전원 링크 배선은, 제1 하부 전원 링크 배선으로부터 벤딩 영역으로 연장하는 제1 하부 연결 배선 및 제2 하부 전원 링크 배선으로부터 벤딩 영역으로 연장하는 제2 하부 연결 배선을 더 포함하고, 복수의 제1 전원 배선은 제1 하부 연결 배선을 기준으로 대칭되도록 배치되고, 복수의 제2 전원 배선은 제2 하부 연결 배선을 기준으로 대칭되도록 배치될 수 있다.

【0134】 본 명세서의 또 다른 특징에 따르면, 표시 영역에 구비되고, 복수의 픽셀에 데이터 신호를 공급하는 복수의 데이터 배선 및 비표시 영역에 구비되고, 복수의 데이터 배선에 연결된 복수의 데이터 링크 배선을 더 포함하고, 전원 링크 배선은, 벤딩 영역에 배치되고, 제1 하부 전원 링크 배선 및 제2 하부 전원 링크 배선과 연결된 복수의 벤딩 패턴 및 제2 비표시 영역에 구비되고, 제1 하부 전원 링크 배선과 전기적으로 연결된 제1 부분 및 제2 하부 전원 링크 배선과 전기적으로 연결된 제2 부분을 포함하는 상부 전원 링크 배선을 더 포함하고, 제1 부분 및 제2 부분은 복수의 데이터 링크 배선의 RC 부하에 따른 편



차를 최소화하도록 복수의 데이터 링크 배선과 중첩될 수 있다.

【0135】 본 명세서의 또 다른 특징에 따르면, 제1 하부 전원 링크 배선 및 제2 하부 전원 링크 배선은 복수의 데이터 링크 배선의 RC 부하에 따른 편차를 최소화하도록 복수의 데이터 링크 배선과 중첩될 수 있다.

【0136】 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 제한하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 제한되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 제한적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

【부호의 설명】

【0137】 100 : 표시 장치

101, 501 : 기판

102 : 버퍼층

103 : 절연층

104 : 보호층

110 : 플렉서블 필름

111 : 베이스 필름

112 : 구동 IC

A/A : 표시 영역

N/A : 비표시 영역

NA1 : 제1 비표시 영역

BA : 벤딩 영역

NA2 : 제2 비표시 영역

PA : 패드 영역

A1 : 제1 영역



A2 : 제2 영역

A3 : 제3 영역

DLL : 데이터 링크 배선

PL1 : 제1 전원 배선

PL2 : 제2 전원 배선

PL3 : 제3 전원 배선

PLL1 : 제1 하부 전원 링크 배선

PLL2 : 제2 하부 전원 링크 배선

PLL3 : 제3 하부 전원 링크 배선

LP1 : 제1 하부 연결 배선

LP2 : 제2 하부 연결 배선

LP3 : 제3 하부 연결 배선

BP : 벤딩 패턴

UP1 : 제1 상부 연결 배선

UP2 : 제2 상부 연결 배선

UP3 : 제3 상부 연결 배선

UPLLA : 상부 전원 링크 배선의 제1 부분

UPLLB : 상부 전원 링크 배선의 제2 부분

PCL : 패드 연결 배선

PCL1 : 제1 패드 연결 배선

PCL2 : 제2 패드 연결 배선



【청구범위】

【청구항 1】

복수의 픽셀이 구비된 표시 영역 및 상기 표시 영역과 인접한 비표시 영역을 포함하는 기판;

상기 표시 영역에 구비되어 상기 복수의 픽셀에 전원을 공급하고, 복수의 제1 전원 배선 및 복수의 제2 전원 배선을 포함하는 복수의 전원 배선;

상기 비표시 영역에 구비되고, 상기 복수의 전원 배선에 연결되는 하부 전원 링크 배선, 상기 하부 전원 링크 배선으로부터 연장되는 제1 하부 연결 배선, 및 제2 하부 연결 배선을 포함하는 전원 링크 배선을 포함하고,

상기 복수의 제1 전원 배선은 상기 제1 하부 연결 배선으로부터 거리가 동일한 적어도 2개의 제1 전원 배선을 포함하고,

상기 복수의 제2 전원 배선은 상기 제2 하부 연결 배선으로부터 거리가 동일한 적어도 2개의 제2 전원 배선을 포함하는, 표시 장치.

【청구항 2】

제1항에 있어서,

상기 비표시 영역은,

상기 하부 전원 링크 배선이 배치된 제1 비표시 영역;

상기 제1 비표시 영역과 인접한 벤딩 영역;

상기 벤딩 영역과 인접한 제2 비표시 영역; 및

상기 제2 비표시 영역과 인접한 패드 영역을 포함하고,

상기 기판은 상기 복수의 제1 전원 배선 및 상기 제1 하부 연결 배선이 배치된 제1 영역, 및 상기 복수의 제2 전원 배선 및 상기 제2 하부 연결 배선이 배치된 제2 영역을 포함하고,

상기 하부 전원 링크 배선은 상기 제1 영역으로 연장된 제1 하부 전원 링크 배선 및 상기 제2 영역으로 연장된 제2 하부 전원 링크 배선을 포함하고,

상기 제1 하부 연결 배선 및 상기 제2 하부 연결 배선 각각은 상기 제1 하부 전원 링크 배선 및 상기 제2 하부 전원 링크 배선으로부터 상기 벤딩 영역 측으로 연장하는, 표시 장



치.

【청구항 3】

제2항에 있어서,

상기 제1 영역 및 상기 제2 영역 중 하나는 좌측 영역이고, 다른 하나는 우측 영역인, 표시 장치.

【청구항 4】

제2항에 있어서,

상기 제1 하부 전원 링크 배선은 상기 제1 영역의 양끝단까지 연장되고,

상기 제2 하부 전원 링크 배선은 상기 제2 영역의 양끝단까지 연장되며,

상기 제1 하부 전원 링크 배선 및 상기 제2 하부 전원 링크 배선은 상기 제1 영역 및 상기 제2 영역의 경계에서 연결된, 표시 장치.

【청구항 5】

제2항에 있어서,

상기 전원 링크 배선은,

상기 벤딩 영역에 구비되고, 상기 제1 하부 연결 배선 및 상기 제2 하부 연결 배선과 연결된 복수의 벤딩 패턴;

상기 제2 비표시 영역에 구비되는 상부 전원 링크 배선; 및

상기 제2 비표시 영역에 구비되어 상기 벤딩 패턴과 상기 상부 전원 링크 배선을 연결시키는 상부 연결 배선을 더 포함하는, 표시 장치.

【청구항 6】

제5항에 있어서,

상기 상부 전원 링크 배선은 상기 제1 영역으로 연장된 제1 부분 및 상기 제2 영역으로 연장된 제2 부분을 포함하는, 표시 장치.

【청구항 7】

제6항에 있어서,

상기 상부 전원 링크 배선의 제1 부분 및 제2 부분 각각은 상기 제1 영역의 중앙부 및 상



기 제2 영역의 중앙부까지 연장된, 표시 장치.

【청구항 8】

제7항에 있어서,

상기 복수의 벤딩 패턴 중 일부는 상기 상부 전원 링크 배선의 제1 부분의 단부에서 상기 제1 하부 연결 배선으로 연장되고,

상기 복수의 벤딩 패턴 중 다른 일부는 상기 상부 전원 링크 배선의 제2 부분의 단부에서 상기 제2 하부 연결 배선으로 연장된, 표시 장치.

【청구항 9】

제6항에 있어서,

상기 상부 전원 링크 배선의 제1 부분 및 제2 부분 각각은 상기 제1 영역의 끝단 및 상기 제2 영역의 끝단까지 연장된, 표시 장치.

【청구항 10】

제9항에 있어서,

상기 표시 영역에 구비되고, 상기 복수의 픽셀에 데이터 신호를 공급하는 복수의 데이터 배선; 및

상기 비표시 영역에 구비되고, 상기 복수의 데이터 배선에 연결된 복수의 데이터 링크 배선을 더 포함하고,

상기 상부 전원 링크 배선의 제1 부분은 상기 복수의 데이터 링크 배선 중 상기 제1 영역에 배치된 데이터 링크 배선 모두와 중첩하고,

상기 상부 전원 링크 배선의 제2 부분은 상기 복수의 데이터 링크 배선 중 상기 제2 영역에 배치된 데이터 링크 배선 모두와 중첩하는, 표시 장치.

【청구항 11】

제10항에 있어서,

상기 제1 하부 전원 링크 배선은 상기 복수의 데이터 링크 배선 중 상기 제1 영역에 배치된 데이터 링크 배선 모두와 중첩하고,

상기 제2 하부 전원 링크 배선은 상기 복수의 데이터 링크 배선 중 상기 제2 영역에 배치



된 데이터 링크 배선 모두와 중첩하는, 표시 장치.

【청구항 12】

제5항에 있어서,

상기 복수의 전원 배선은 상기 표시 영역에 배치되고, 상기 복수의 픽셀에 전원을 공급하는 복수의 제3 전원 배선을 더 포함하고,

상기 전원 링크 배선은 상기 비표시 영역에 배치되고, 상기 복수의 제3 전원 배선에 연결된 제3 하부 전원 링크 배선을 더 포함하고,

상기 기판은 상기 제1 영역 및 상기 제2 영역 사이의 상기 복수의 제3 전원 배선 및 상기 제3 하부 전원 링크 배선이 배치된 제3 영역을 더 포함하는, 표시 장치.

【청구항 13】

제5항에 있어서,

상기 전원 링크 배선은 상기 상부 전원 링크 배선의 중앙부 또는 상기 상부 전원 링크 배선의 양 끝단과 상기 패드 영역의 패드를 연결하는 패드 연결 배선을 더 포함하는, 표시 장치.

【청구항 14】

제13항에 있어서,

상기 패드 연결 배선은,

상기 패드 영역에서 상기 제2 비표시 영역의 양 끝단에 각각 배치된 제1 패드 연결 배선 및 제2 패드 연결 배선을 포함하는, 표시 장치.

【청구항 15】

제5항에 있어서,

상기 상부 전원 링크 배선은,

상기 제2 비표시 영역의 일단에 배치되고, 상기 제1 영역으로 연장된 제1 부분을 포함하는 제1 상부 전원 링크 배선; 및

상기 제2 비표시 영역의 타단에 배치되고, 상기 제2 영역으로 연장된 제2 부분을 포함하는 제2 상부 전원 링크 배선을 포함하는, 표시 장치.



【청구항 16】

제5항에 있어서,

상기 벤딩 패턴은 다이아몬드 형상, 마름모 형상, 지그재그 형상, 원형 형상 중 적어도 하나의 형상을 갖는 도전 패턴이 반복적으로 배치된 패턴인, 표시 장치.

【청구항 17】

복수의 픽셀이 구비된 표시 영역 및 상기 표시 영역과 인접한 비표시 영역을 포함하는 기판;

상기 표시 영역에 구비되어 상기 복수의 픽셀에 전원을 공급하고, 복수의 제1 전원 배선 및 복수의 제2 전원 배선을 포함하는 복수의 전원 배선; 및

상기 비표시 영역에 배치되어 상기 복수의 제1 전원 배선에 연결되는 제1 하부 전원 링크 배선 및 상기 복수의 제2 전원 배선에 연결되는 제2 하부 전원 링크 배선을 포함하는 전원 링크 배선을 포함하고,

상기 제1 하부 전원 링크 배선 및 상기 제2 하부 전원 링크 배선 각각은 상기 복수의 전원 배선 및 상기 전원 링크 배선에서의 전원 전압 강하량을 최소화하도록 상기 기판의 좌측 영역 및 우측 영역 내에 배치된, 표시 장치.

【청구항 18】

제17항에 있어서,

상기 비표시 영역은,

상기 표시 영역에서 연장되고, 상기 제1 하부 전원 링크 배선 및 상기 제2 하부 전원 링크 배선이 배치된 제1 비표시 영역;

상기 제1 비표시 영역에서 연장된 벤딩 영역;

상기 벤딩 영역에서 연장된 제2 비표시 영역; 및

상기 제2 비표시 영역에서 연장된 패드 영역을 포함하고,

상기 제1 하부 전원 링크 배선은 상기 제1 비표시 영역에서 상기 좌측 영역의 양끝단까지 연장되고,

상기 제2 하부 전원 링크 배선은 상기 제1 비표시 영역에서 상기 우측 영역의 양끝단까지 연장되고,



상기 제1 하부 전원 링크 배선 및 상기 제2 하부 전원 링크 배선은 상기 좌측 영역 및 상기 우측 영역의 경계에서 연결된, 표시 장치.

【청구항 19】

제18항에 있어서,

상기 전원 링크 배선은, 상기 제1 하부 전원 링크 배선으로부터 상기 벤딩 영역으로 연장하는 제1 하부 연결 배선 및 상기 제2 하부 전원 링크 배선으로부터 상기 벤딩 영역으로 연장하는 제2 하부 연결 배선을 더 포함하고,

상기 복수의 제1 전원 배선은 상기 제1 하부 연결 배선을 기준으로 대칭되도록 배치되고, 상기 복수의 제2 전원 배선은 상기 제2 하부 연결 배선을 기준으로 대칭되도록 배치되는, 표시 장치.

【청구항 20】

제18항에 있어서,

상기 표시 영역에 구비되고, 상기 복수의 픽셀에 데이터 신호를 공급하는 복수의 데이터 배선; 및

상기 비표시 영역에 구비되고, 상기 복수의 데이터 배선에 연결된 복수의 데이터 링크 배선을 더 포함하고,

상기 전원 링크 배선은,

상기 벤딩 영역에 배치되고, 상기 제1 하부 전원 링크 배선 및 상기 제2 하부 전원 링크 배선과 연결된 복수의 벤딩 패턴; 및

상기 제2 비표시 영역에 구비되고, 상기 제1 하부 전원 링크 배선과 전기적으로 연결된 제1 부분 및 상기 제2 하부 전원 링크 배선과 전기적으로 연결된 제2 부분을 포함하는 상부 전원 링크 배선을 더 포함하고,

상기 제1 부분 및 상기 제2 부분은 상기 복수의 데이터 링크 배선의 RC 부하에 따른 편차를 최소화하도록 상기 복수의 데이터 링크 배선과 중첩된, 표시 장치.

【청구항 21】

제20항에 있어서,

상기 제1 하부 전원 링크 배선 및 상기 제2 하부 전원 링크 배선은 상기 복수의 데이터 링



크 배선의 RC 부하에 따른 편차를 최소화하도록 상기 복수의 데이터 링크 배선과 중첩된,
표시 장치.



【요약서】

【요약】

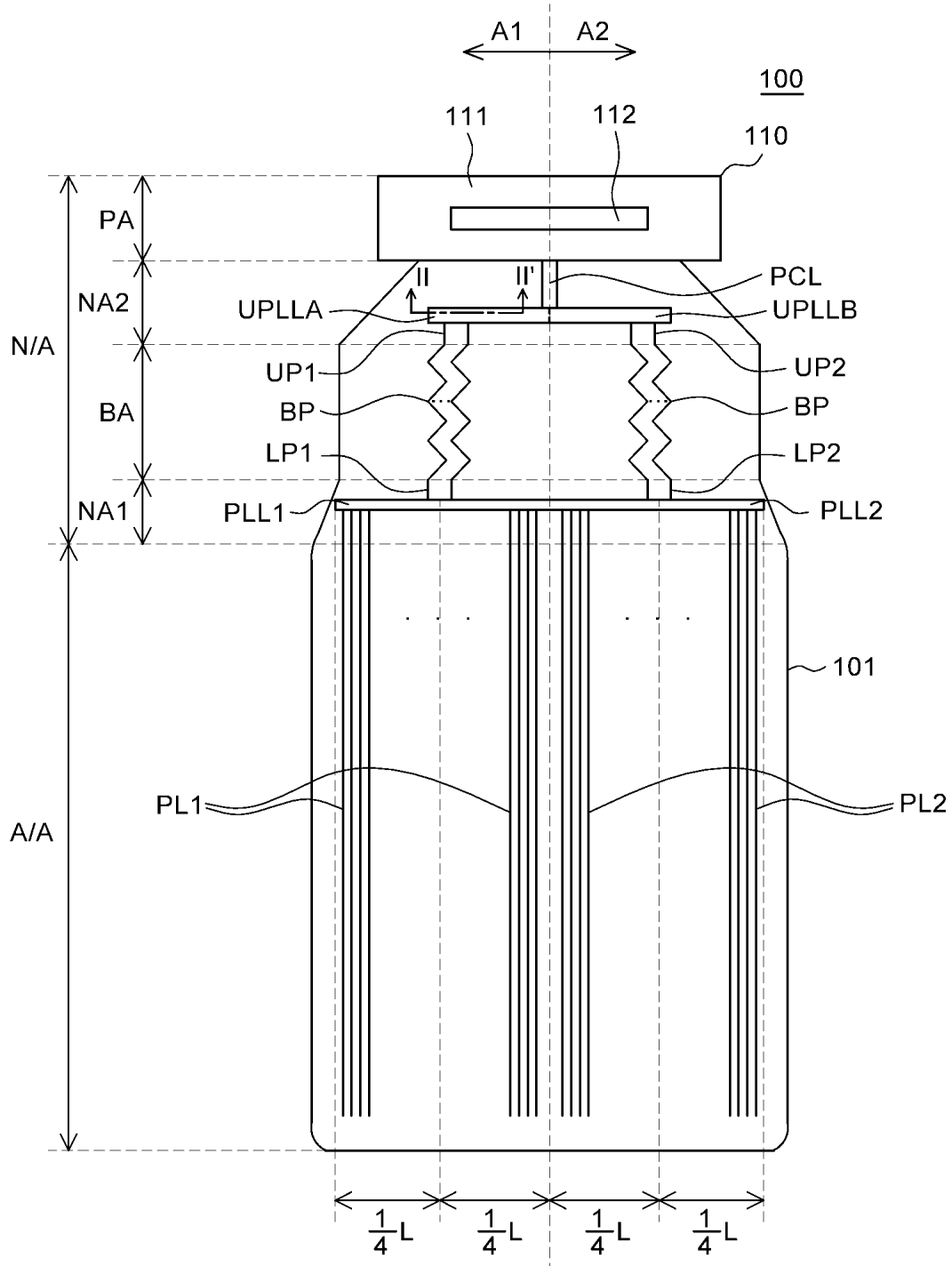
본 명세서에는 표시 장치에 관한 것으로서, 복수의 픽셀이 구비된 표시 영역 및 표시 영역과 인접한 비표시 영역을 포함하는 기판, 표시 영역에 구비되어 복수의 픽셀에 전원을 공급하고, 복수의 제1 전원 배선 및 복수의 제2 전원 배선을 포함하는 복수의 전원 배선, 비표시 영역에 구비되고, 복수의 전원 배선에 연결되는 하부 전원 링크 배선, 하부 전원 링크 배선으로부터 연장되는 제1 하부 연결 배선 및 제2 하부 연결 배선을 포함하는 전원 링크 배선을 포함하고, 복수의 제1 전원 배선은 제1 하부 연결 배선으로부터 거리가 동일한 적어도 2개의 제1 전원 배선을 포함하고, 복수의 제2 전원 배선은 제2 하부 연결 배선으로부터 거리가 동일한 적어도 2개의 제2 전원 배선을 포함한다. 따라서, 전원 전압이 공급되는 지점을 분할하여 전원 전압의 강하를 저감하고, 휘도 균일도를 향상시킬 수 있다.

【대표도】

도1

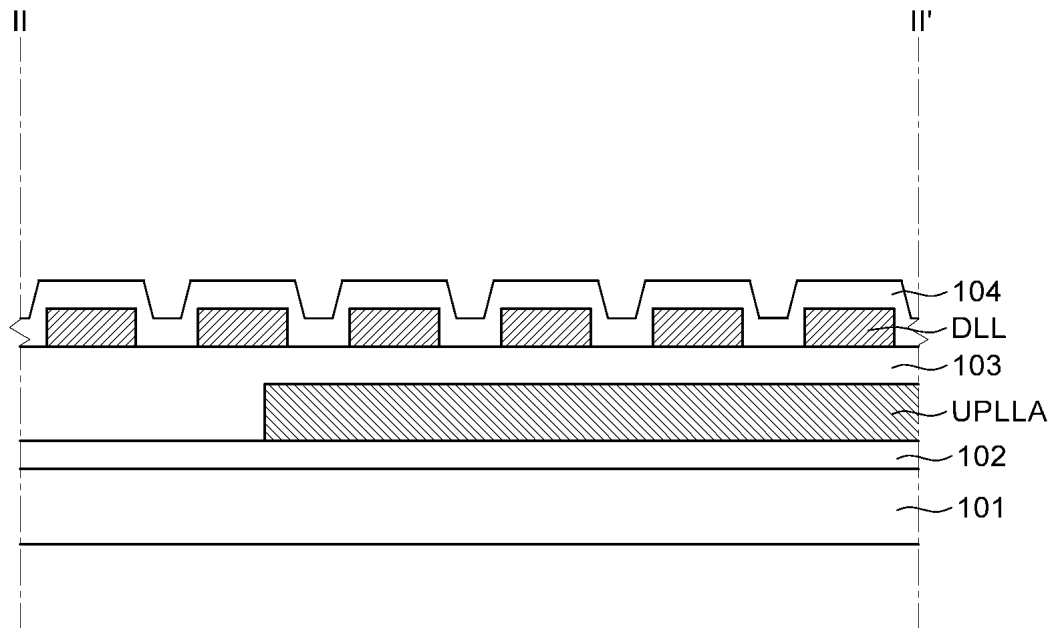
【도면】

【도 1】

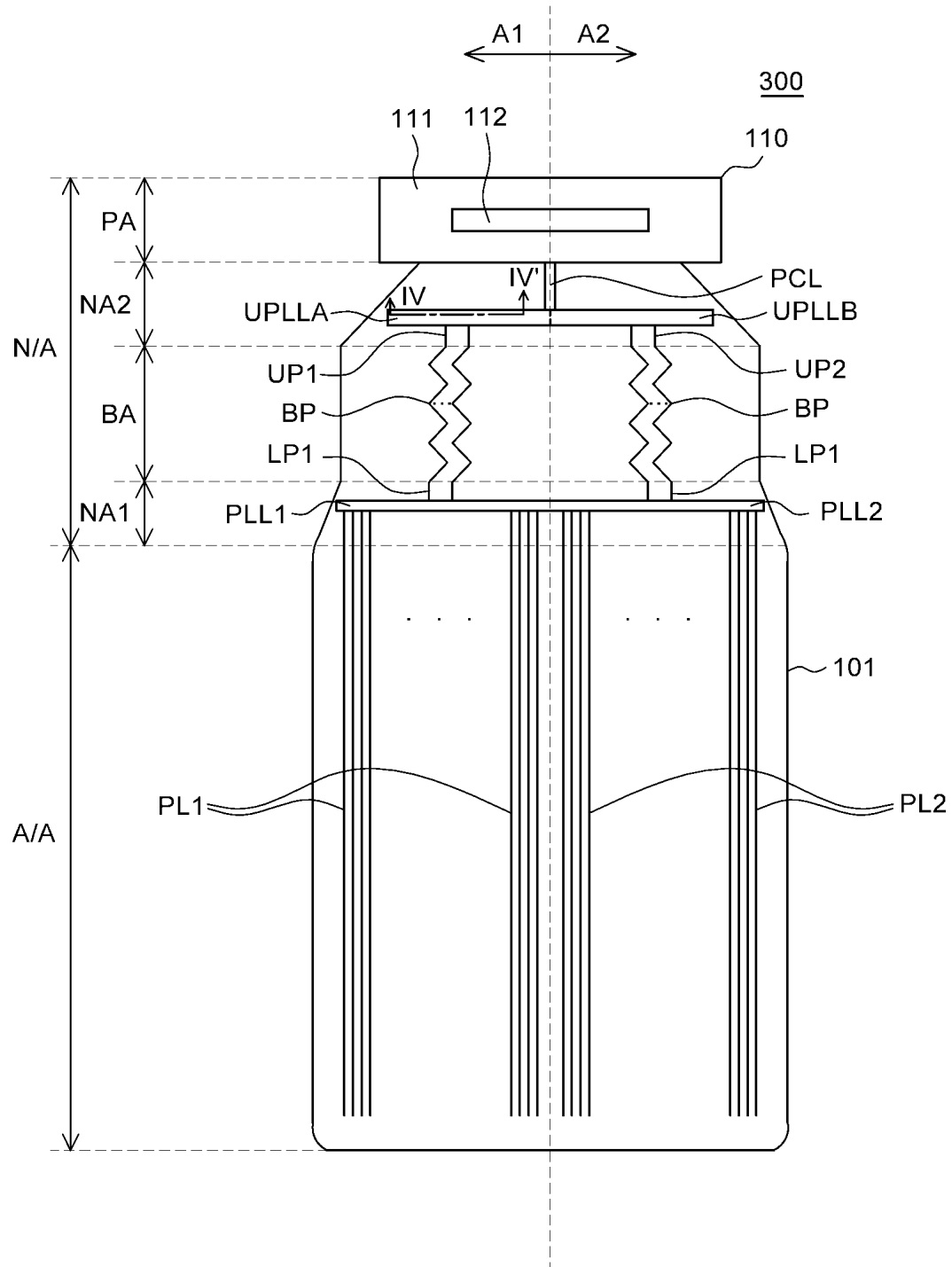




【도 2】

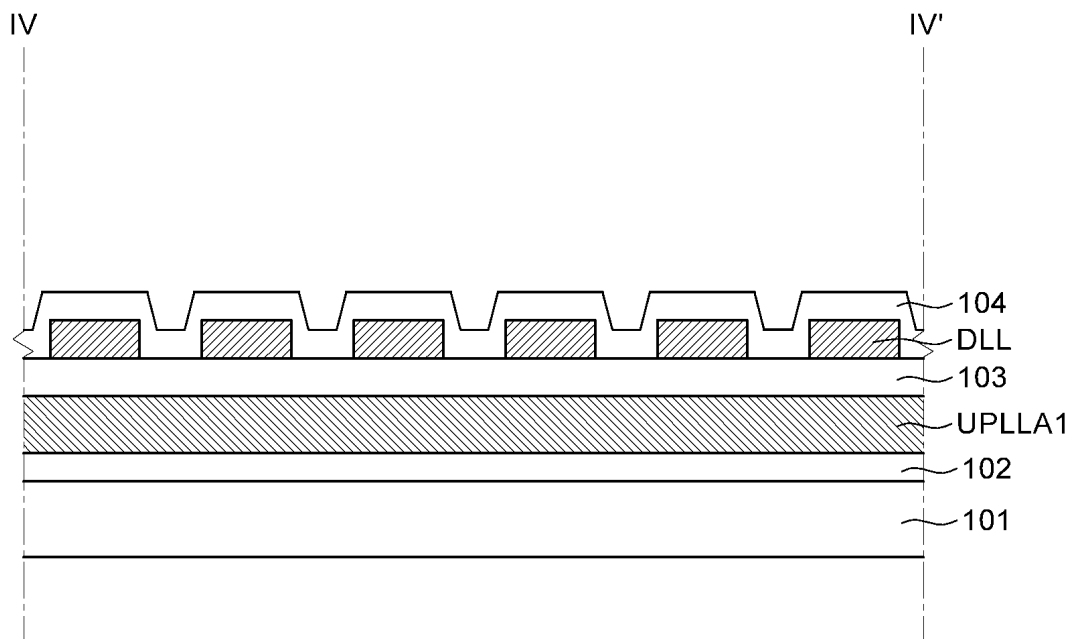


【도 3】



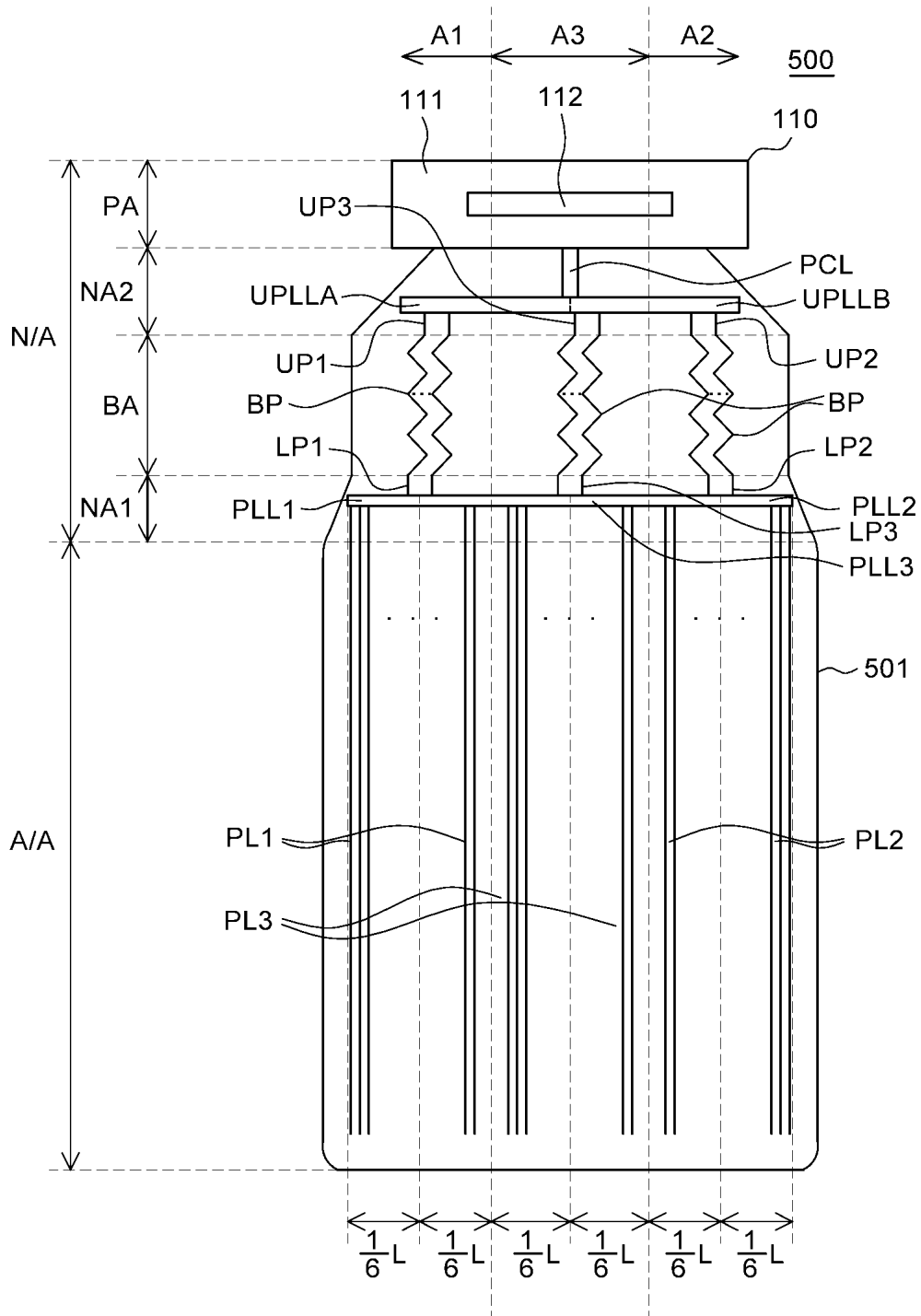


【도 4】

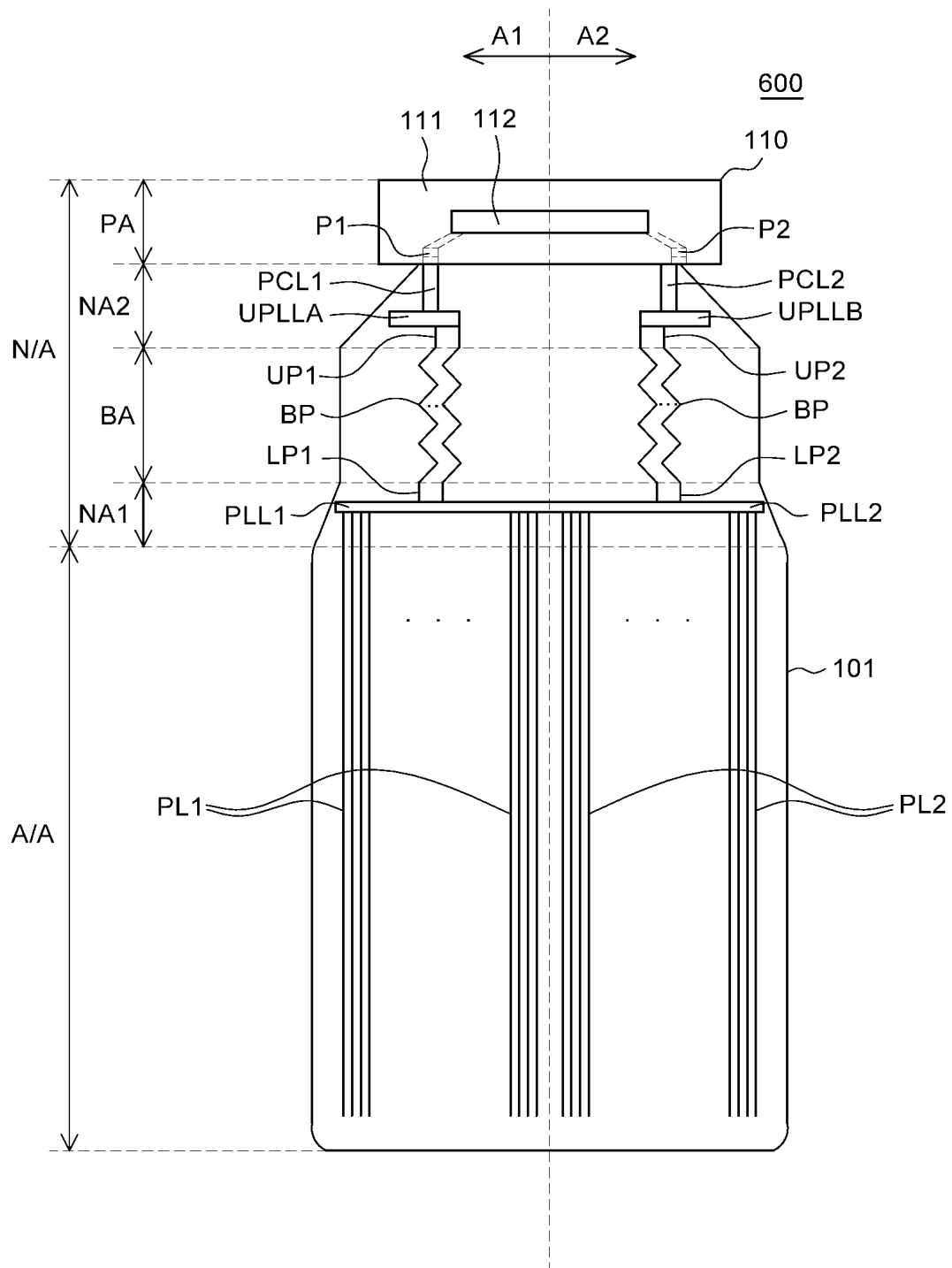




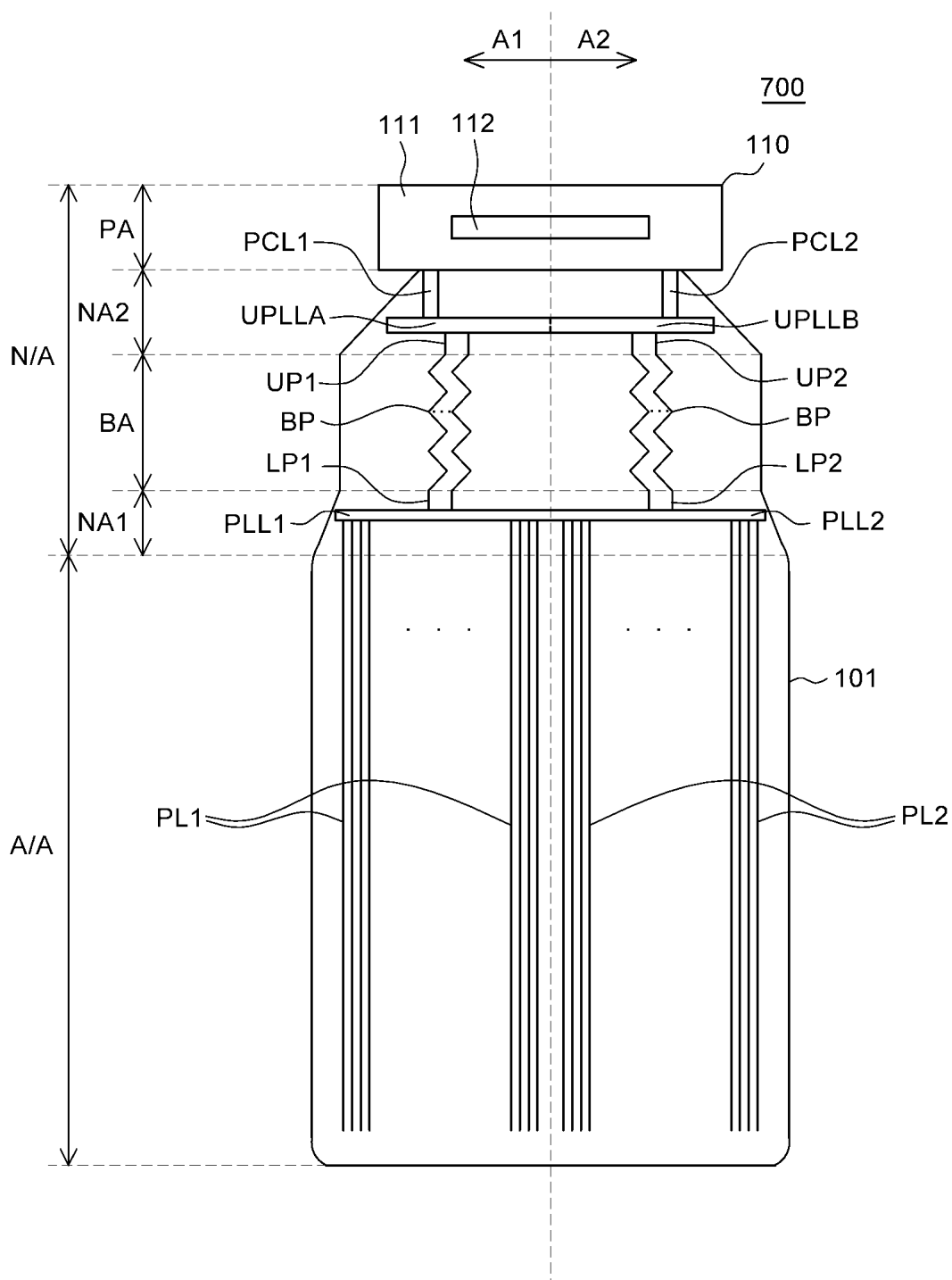
【도 5】



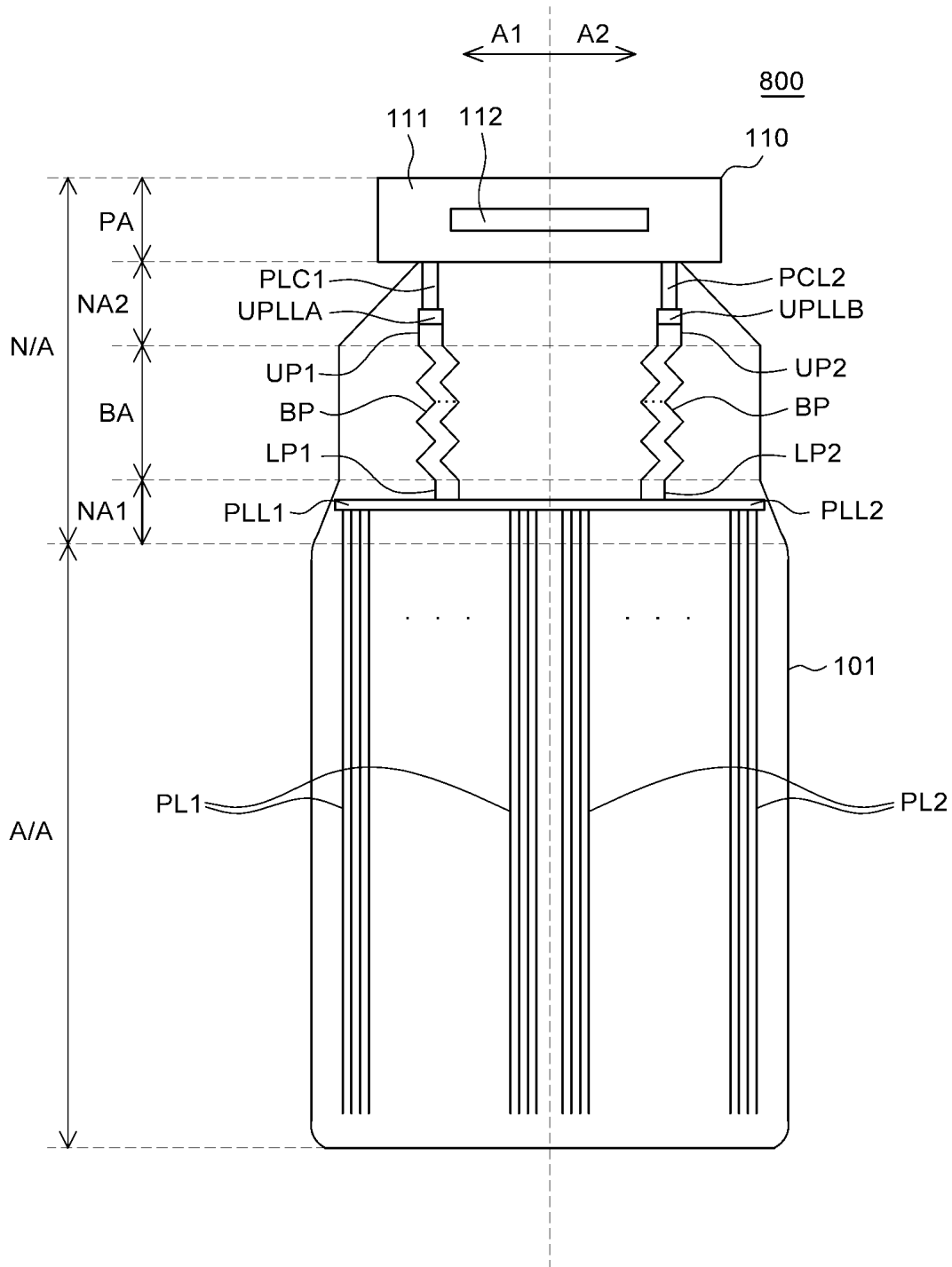
【도 6】



【도 7】



【도 8】





【도 9】

