Doc Code: ECOMM.AUTH/ECOMM.WTDW
Doc Description: Internet Communications Authorized/Internet Communications Authorization Withdrawn

PTO/SB/439 (11-15)

AUTHORIZATION FOR INTERNET COMMUNICATIONS IN A PATENT APPLICATION OR REQUEST TO WITHDRAW AUTHORIZATION FOR INTERNET COMMUNICATIONS

Application No.	
Filing Date	
First Named Inventor	Xing WU
Art Unit	
Examiner Name	
Practitioner Docket No.	92088

To: Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

I. To authorize permission for Internet Communications.

☑ Recognizing that Internet communications are not secure, I hereby authorize the USPTO to communicate with the undersigned and practitioners in accordance with 37 CFR 1.33 and 37 CFR 1.34 concerning any subject matter of this application via video conferencing, instant messaging, or electronic mail. I understand that a copy of these communications will be made of record in the application file. (MPEP 502.03)

II. To withdraw authorization for Internet Communications.

☐ The authorization given on _____, to the USPTO to communicate with the undersigned and any practitioner in accordance with 37 CFR 1.33 and 37 CFR 1.34 concerning any subject matter of this application via Internet communications such as video conferencing, instant messaging, or electronic mail is hereby withdrawn. I understand that the withdrawal is effective when approved rather than when received.

I am the

☐ applicant.

☑ attorney or agent of record. Registration number 40338.

☐ attorney or agent acting under 37 CFR 1.34. Registration number _____.

/Martin D. Moynihan/ — Signature

March 29, 2022 — Date

Martin D. Moynihan — Typed or printed name

(703) 859-9634 — Telephone Number

NOTE: This form must be signed in accordance with 37 CFR 1.33. See 37 CFR 1.4 for signature requirements and certifications. Juristic entities must be represented by a patent practitioner (see 37 CFR 1.31, which is applicable to any paper filed on or after September 16, 2012, that is presented on behalf of a juristic entity, regardless of application filing date). Submit multiple forms if more than one signature is required, see below*.

☑ * Total of 1 forms are submitted.

Privacy Act Statement

The **Privacy Act of 1974 (P.L. 93-579)** requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1. The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether disclosure of these records is required by the Freedom of Information Act.
2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.
3. A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.
4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).
5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent Cooperation Treaty.
6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).
7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (*i.e.*, GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.
8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspection or an issued patent.
9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

ASSIGNMENT AND DECLARATION FOR UTILITY OR DESIGN PATENT APPLICATION	Attorney Docket Number	
	First Named Inventor	WU, Xing

DISPLAY PANEL AND DISPLAY DEVICE

(Title of the invention)

As a below named inventor, I hereby declare that:

This assignment and declaration is directed to:

☐ The attached application

OR

☒ United States Application Number or PCT International application number PCT/CN2022/082256 filed on 03/22/2022 (MM/DD/YYYY)

The above-identified application was made or authorized to be made by me.

I believe I am the original or an original joint inventor of the claimed invention in the application.

I hereby acknowledge that any willful false statement made in this declaration is punishable under 18 U.S.C. 1001 by fine or imprisonment of not more than five (5) years, or both.

I hereby state that I have reviewed and understand the contents of the above identified specification, including the claims.

I acknowledge the duty to disclose information which is material to patentability as defined in 37 CFR 1.56, including for continuation-in-part applications, material information which became available between the filing date of the prior application and the national or PCT international filing date of the continuation-in-part application.

As a below named inventor, I hereby sell, assign and transfer unto to WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO. LTD., a corporation of China, herein referred to as "Assignee", whose mailing address is 305 Room, Building C5, Biolake of Optics Valley, No.666 Gaoxin Avenue, Wuhan East Lake High-tech Development Zone, Wuhan, Hubei, 430079 China, the full and exclusive right to the said invention in the United States and the entire right, title and interest in and to any and all Patents which may be granted therefor in the United States. I hereby authorize and request the Commissioner of Patents and Trademarks to issue said United States Patent, the entire right, title, and interest in and to the same, for the Assignee's sole use and benefit; and for the use and benefit of the Assignee's legal representatives, to the full end of the term for which said Patent may be granted, as fully and entirely as the same would have been held by me had this assignment and sale not been made.

Petitioner Samsung Ex-1004, 0003

ASSIGNMENT AND DECLARATION — Utility or Design Patent Application

LEGAL NAME OF SOLE OR FIRST INVENTOR:			
Given Name (first and middle [if any]) Xing	Family Name or Surname WU		
Inventor's Signature Xing WU		Date (Optional) 2021/12/26	
Residence: City Wuhan	State Hubei	Country China	
Mailing Address 305 Room, Building C5, Biolake of Optics Valley, No 666 Gaoxin Avenue, Wuhan East Lake High-tech Development Zone, Wuhan, Hubei, 430079 China			
City Wuhan	State Hubei	Zip 430079	Country China
Legal Name of Additional Joint Inventor, if any:			
Given Name (first and middle [if any])	Family Name or Surname		
Inventor's Signature		Date (Optional)	
Residence: City	State	Country	
Mailing Address			
City	State	Zip	Country
Legal Name of Additional Joint Inventor, if any:			
Given Name (first and middle [if any])	Family Name or Surname		
Inventor's Signature		Date (Optional)	
Residence: City	State	Country	
Mailing Address			
City	State	Zip	Country
☐ Additional inventors are being named on the ___ supplemental sheet(s) attached hereto.			

Petitioner Samsung Ex-1004, 0004

PCT请求书

打印件(原件为电子形式)

0	由受理局填写	
0-1	国际申请号	
0-2	国际申请日	
0-3	受理局名称和"PCT国际申请"	

0-4	**PCT/RO/101表 PCT请求书**	
0-4-1	软件版本	**CEPCT** 版本 **10.25.43(20220101) MT/FOP 20140331/0.20.5.21**
0-5	请求 下列签字人请求按照专利合作条约的规定处理本国际申请	
0-6	申请人指定的受理局	中国国家知识产权局 **(RO/CN)**
0-7	申请人或代理人的档案号	**WHP213866PCT**
I	发明名称	显示面板及显示装置
II	申请人	
II-1	该人是	申请人 **(applicant only)**
II-2	是对下列国家的申请人	所有指定国 **(all designated States)**
II-4zh	名称	武汉华星光电半导体显示技术有限公司
II-4en	Name:	**WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.**
II-5zh	地址	中国湖北省武汉市 东湖新技术开发区高新大道**666**号光谷生物创新园**C5**栋**305**室 **430079**
II-5en	Address	**305 Room, Building C5, Biolake of Optics Valley, No.666 Gaoxin Avenue, Wuhan East Lake High-tech Development Zone** **Wuhan, Hubei 430079** **China**
II-6	国籍	中国 **CN**
II-7	居所	中国 **CN**
II-8	电话号码	**86-0755-83066895**
II-9	传真号码	**86-0755-83066895**
II-10	电子邮址	**wipo@purplevineip.com**
II-10(a)	电子邮件授权 授权受理局、国际检索单位、国际局和国际初步审查单位，如果其愿意，使用本电子邮件地址发送有关本国际申请的通知书	仅使用电子形式（随后将不邮寄纸件通知书）
II-11	申请人在专利局的登记号	

PCT请求书

打印件(原件为电子形式)

III-1	申请人和/或发明人	
III-1-1	该人是	发明人 **(inventor only)**
III-1-3	对下列国家的发明人	
III-1-4zh	姓名:	吴 星
III-1-4en	Name (LAST, First):	**WU, Xing**
III-1-5zh	地址:	中国湖北省武汉市 东湖新技术开发区高新大道**666**号光谷生物创新园**C5**栋**305**室 **430079**
III-1-5en	Address	**305 Room, Building C5, Biolake of Optics Valley, No.666 Gaoxin Avenue, Wuhan East Lake High-tech Development Zone** **Wuhan, Hubei 430079** **China**
IV-1	代理人,共同代表或通信地址 下列人员被委托/已经被委托为代表申请人在主管国际单位办理事务的	代理人 **(agent)**
IV-1-1zh	名称	深圳紫藤知识产权代理有限公司
IV-1-1en	Name:	**PURPLEVINE INTELLECTUAL PROPERTY (SHENZHEN) CO., LTD.**
IV-1-2zh	地址:	中国广东省深圳市 南山区粤海街道大冲社区华润置地大厦**C**座**2901** **518052**
IV-1-2en	Address:	**2901** **Block C, China Resources Land Building,Dachong Community, Yuehai Street, Nanshan District** **Shenzhen, Guangdong 518052** **China**
IV-1-3	电话号码	**86-0755-83066895**
IV-1-4	传真号码	**86-0755-83066895**
IV-1-5	电子邮址	**wipo@purplevineip.com**
IV-1-5(a)	电子邮件授权 授权受理局、国际检索单位、国际局和国际初步审查单位，如果其愿意，使用本电子邮件地址发送有关本国际申请的通知书：	仅使用电子形式（随后将不邮寄纸件通知书）
IV-1-6	代理人登记号	**44570**
V	国家的指定	
V-1	根据细则**4.9(a)**，提交本请求书即为，指定在国际申请日受**PCT**约束的所有成员国,以要求获得可以获得的所有保护类型，适用情况下，要求获得地区专利和国家专利。	
V-2	**V-2**栏只可用于（不可悔改地）排除对有关国家的指定，如果本国际申请在提交时或者在根据细则**26**之二**.1**的后续程序中，第**VI**栏包含有对在该有关国家提出的在先国家申请的优先权要求，以避免被要求优先权的该在先国家申请因国家法律而停止效力。	

PCT请求书

打印件(原件为电子形式)

VI-1	要求在先国家申请的优先权		
VI-1-1	申请日	**2022年 3月 11日 (11.03.2022)**	
VI-1-2	号码	**202210237733.1**	
VI-1-3	国家	中国 **CN**	
VI-2	优先权文件请求 请国际局从数字图书馆获取上面指明的在先申请的证明副本，查询码为：	**VI-1 查询码: 9D35**	
VI-3	援引加入： 如果条约11（1）(•)（d）或（e）规定的国际申请的某一项目，或者细则20.5(a)规定的说明书、权利要求书或附图的某一部分不包含在本国际申请中，但是全部包含在一个在先申请中，并且在受理局首次收到条约11（1）(•)规定的一个或多个项目之日要求了该在先申请的优先权，则该项目或该部分可以依据细则20.6确认，为细则20.6的目的援引加入到该国际申请中。		
VII-1	选定的国际检索单位	中国国家知识产权局 **(ISA/CN)**	
VIII	声明	声明数目	
VIII-1	关于发明人身份的声明	-	
VIII-2	关于申请人在国际申请日有权申请和被授予专利的声明	-	
VIII-3	关于申请人在国际申请日有权要求在先申请的优先权的说明	-	
VIII-4	发明人资格声明(仅为指定美国目的)	-	
VIII-5	关于不影响新颖性的公开或缺乏新颖性的例外的声明	-	
IX	清单	页数	附以电子文档
IX-1	请求书(包括声明页)	**4**	✓
IX-2	说明书	**9**	✓
IX-3	权利要求	**4**	✓
IX-4	摘要	**1**	✓
IX-5	附图	**5**	✓
IX-7	共计	**23**	
	附件	附以纸件	附以电子文档
IX-8	费用计算页	-	✓
IX-9	单独委托书原件	-	✓
IX-18	PCT-SAFE 物理载体	-	-
IX-20	应与摘要一起公布的附图图号	**2**	
IX-21	国际申请所用语言	中文	
X-1	申请人，代理人或共同代表的签字		
X-1-1	姓名:		
X-1-2	签字人姓名		
X-1-3	还要注明此人是以什么名义签字的		

PCT请求书

打印件(原件为电子形式)

由受理局填写

10-1	据称的国际申请文件的实际收到日期	
10-2	附图:	
10-2-1	收到	
10-2-2	未收到	
10-3	由于随后在期限内收到补充国际申请的文件或附图,更改的实际收到日期	
10-4	在期限内收到根据**PCT**第**11(2)**条所进行的改正的日期	
10-5	国际检索单位	**ISA/CN**
10-6	检索本的传送推迟到缴纳检索费后	

由国际局填写

11-1	国际局收到登记本的日期	

说明书

发明名称：显示面板及显示装置

技术领域

[0001] 本发明涉及显示技术领域，具体涉及一种显示面板及显示装置。

背景技术

[0002] OLED（Organic Light-Emitting Diode，有机发光二极管）屏幕目前获得了广泛应用，具有轻便，色域值高的优点。但由于基板采用有机柔性基板，受基板与无机层界面的影响，OLED屏幕容易出现屏幕残像、初始压降（Initial drop）、寿命较差等现象。

[0003] 为了减弱这个影响，越来越多的OLED屏幕采用底部遮挡金属在基板与无机层的界面处遮挡像素驱动电路。但是，底部遮挡金属为了与电源线搭接，其边缘呈锯齿状，容易在锯齿的尖端处发生ESD（Electro-Static Discharge，静电放电）炸伤，从而影响显示效果。

发明概述

技术问题

[0004] 本发明实施例提供一种显示面板及一种显示装置，可以改善底部遮挡金属发生ESD炸伤的问题。

问题的解决方案

技术解决方案

[0005] 本发明实施例提供一种显示面板，包括显示区和设置在显示区至少一侧的非显示区，所述显示面板包括：基板；遮挡层，位于所述基板上，包括多个遮挡块以及电性连接于多个所述遮挡块的汇聚走线，所述汇聚走线位于多个所述遮挡块的至少一侧；像素驱动电路层，位于所述遮挡层上，包括位于所述显示区内的多个像素驱动电路，每一所述像素驱动电路与对应的所述遮挡块至少部分重叠；以及第一导电层，设置在所述遮挡层远离所述基板的一侧，所述第一导电层包括：多条电源线，多条所述电源线通过多个通孔与所述汇聚走线电性连接；其中，相邻所述通孔之间的所述汇聚走线按相邻所述通孔之间的最短距离设

Petitioner Samsung Ex-1004, 0009

置。

[0006] 在一些实施例中，相邻所述通孔之间的所述汇聚走线呈直线形设置。

[0007] 在一些实施例中，所述汇聚走线呈直线形设置，且与所述汇聚走线重叠设置的多个所述通孔呈直线排列。

[0008] 在一些实施例中，所述汇聚走线包括第一汇聚走线，所述第一汇聚走线包括多个第一连接段和多个第二连接段，其中，每一所述第二连接段连接于相邻的两所述第一连接段的中部之间，所述第一连接段的宽度大于所述第二连接段的宽度，多条所述电源线通过多个所述通孔电性连接于多个所述第一连接段。

[0009] 在一些实施例中，所述像素驱动电路层包括多个沿着第一方向和第二方向阵列排布的多个像素驱动电路，每个所述第一连接段与一列沿着第一方向排布的所述像素驱动电路对应的遮挡块电连接。

[0010] 在一些实施例中，所述第一连接段的外周缘呈圆弧形，所述第二连接段呈直线形，所述第一连接段的最大宽度大于所述第二连接段的宽度。

[0011] 在一些实施例中，所述非显示区包括：设置在所述显示区两侧的第一非显示区和第二非显示区，所述第一非显示区包括弯折子区，所述显示面板在所述弯折子区弯折设置；

[0012] 所述汇聚走线包括设置在所述第一非显示区的第一汇聚走线，多条所述电源线至少通过多个所述通孔与所述第一汇聚走线电连接。

[0013] 在一些实施例中，所述汇聚走线包括设置在所述第二非显示区的第二汇聚走线，多条所述电源线还通过多个所述通孔与所述第二汇聚走线电连接。

[0014] 在一些实施例中，所述像素驱动电路层包括：半导体层，设置在所述遮挡层远离所述基板的一侧；第一绝缘层，设置在所述半导体层远离所述基板的一侧；第一栅极金属层，设置在所述第一绝缘层远离所述基板的一侧；第二绝缘层，设置在所述第一栅极金属层远离所述基板的一侧；第二栅极金属层，设置在所述第二绝缘层远离所述基板的一侧；第三绝缘层，设置在所述第二栅极金属层远离所述基板的一侧；所述第一导电层，设置在所述第三绝缘层远离所述基板的一侧，所述第一导电层的多条所述电源线通过多个所述通孔与所述汇聚走线电性连接，所述通孔穿过所述第一绝缘层、所述第二绝缘层、以及所述第三绝

缘层。

[0015] 在一些实施例中，所述像素驱动电路层还包括：第四绝缘层，设置在所述第二栅极金属层和所述第三绝缘层之间；第二导电层，设置在所述第四绝缘层和所述第三绝缘层之间；所述通孔包括第一通孔和第二通孔，所述第一通孔穿过所述第一绝缘层、所述第二绝缘层、所述第四绝缘层，所述第二通孔穿过所述第三绝缘层，所述第一通孔与所述第二通孔连通且所述第二通孔的直径大于所述第一通孔的直径。

[0016] 本发明实施例还提供一种显示装置，包括如上所述的显示面板。

发明的有益效果

有益效果

[0017] 在本发明的实施例提供的显示面板和显示装置中，所述遮挡层的多个遮挡块遮挡所述像素驱动电路层的多个所述薄膜晶体管，所述电源线与所述遮挡层的所述汇聚走线通过通孔相互电性连接，其中，相邻所述通孔之间的所述汇聚走线按相邻所述通孔之间的最短距离设置，使得流经所述汇聚走线的预期的电流的路径位于所述汇聚走线的边界内且沿着相邻所述通孔之间的最短距离传导，由此可以减少电荷在所述遮挡层的边界处的聚集，而可以减少所述遮挡层发生ESD炸伤的现象。

对附图的简要说明

附图说明

[0018] 图1是本发明实施例提供的显示面板的截面示意图；

[0019] 图2是本发明实施例提供的显示面板的俯视示意图；

[0020] 图3是图2中的A部分的放大示意图；

[0021] 图4是本发明实施例提供的显示面板的俯视示意图；

[0022] 图5是图4中B部分的放大示意图。

发明实施例

本发明的实施方式

[0023] 为使本申请的目的、技术方案及效果更加清楚、明确，以下参照附图并举实施

Petitioner Samsung Ex-1004, 0011

例对本申请进一步详细说明。应当理解，此处所描述的具体实施例仅用以解释本申请，并不用于限定本申请。在本发明中，在未作相反说明的情况下，使用的方位词如“上”和“下”通常是指装置实际使用或工作状态下的上和下，具体为附图中的图面方向；而“内”和“外”则是针对装置的轮廓而言的。

[0024] 如图1和图2所示，本发明的实施例提供一种显示面板1000，所述显示面板1000可以是OLED显示面板，液晶显示面板，微发光二极管显示面板，或者迷你发光二极管显示面板。示例性地，所述显示面板1000为OLED显示面板。

[0025] 所述显示面板1000包括显示区DA和非显示区NDA。所述显示区DA可以是用于设置显示图像的子像素9的区域。所述非显示区NDA可以是用于设置为子像素9的像素驱动电路40提供驱动信号的驱动单元如栅极驱动电路，以及连接驱动单元的一些的区域。在所述非显示区NDA内没有设置子像素9。所述非显示区NDA可以设置在显示区DA的至少一侧。所述非显示区NDA可以至少部分地围绕显示区DA的周围。所述非显示区NDA包括设置在所述显示区DA两侧的第一非显示区和第二非显示区，所述显示面板在所述第一非显示区的弯折子区BA弯折。

[0026] 所述显示面板1000包括基板1、位于所述基板1上的遮挡层2、位于所述遮挡层2上的底部绝缘层30、位于所述底部绝缘层30上的缓冲层31、位于所述缓冲层31上的像素驱动电路层4、位于所述像素驱动电路层4上的像素定义层5和发光器件层6，以及电源线7。为了便于描述，多个所述子像素9可以包括所述发光器件层6。

[0027] 请参阅图1，所述基板1可以包括如玻璃、石英和聚合物树脂的单层绝缘材料，或者如双层聚合物树脂的多层绝缘材料。所述基板1可以是刚性基板1、或者柔性基板1。所述基板1用于承载设置于其上的膜层。

[0028] 所述底部绝缘层30和所述缓冲层31可以包括氮化硅（SiNx）和氧化硅（SiOx）之类的绝缘膜的单层膜或者层叠有氮化硅（SiNx）和氧化硅（SiOx）的多层膜。所述缓冲层31防止杂质或者水分之类不必要成分的渗透。

[0029] 请一并参阅图1和图2，所述遮挡层2可以包括单层或多层金属材料如Mo，Ti，Ti/Al/Ti，或半导体材料Si，或透明导电材料如ITO（Indium Tin Oxide，氧化铟锡）。所述遮挡层2位于所述底部绝缘层30和所述基板1之间，设置于所述像素

Petitioner Samsung Ex-1004, 0012

驱动电路层4之下，以遮挡所述像素驱动电路层4的多个所述像素驱动电路40。所述遮挡层2包括相互连接的汇聚走线20、遮挡部21和公共连接部22，其中，所述汇聚走线20位于所述非显示区NDA内且靠近所述显示区DA，所述遮挡部21位于所述显示区DA内。

[0030] 所述汇聚走线20包括相对的第一汇聚走线201以及第二汇聚走线202；其中，所述第一汇聚走线201位于所述第一非显示区内，所述第二汇聚走线202位于所述第二非显示区内，所述第一汇聚走线201以及所述第二汇聚走线202沿第一方向延伸，所述第一方向为所述像素驱动电路层4的扫描线的延伸方向（图中从左到右的方向）。所述第一汇聚走线201和所述第二汇聚走线202均包括多个第一连接段203和多个第二连接段204，其中，所述第一连接段203的外周缘呈圆弧形，示例性地，所述第一连接段203的外周缘大致可以呈椭圆形或者圆形，所述第二连接段204大致呈直线形。每一所述第二连接段204连接于相邻的两所述第一连接段203的中部之间，所述第一连接段203的最大宽度大于所述第二连接段204的宽度。

[0031] 所述遮挡部21用于遮挡沿着第一方向和第二方向阵列排布的多个所述像素驱动电路40的多个薄膜晶体管401。多个所述薄膜晶体管401包括多个驱动薄膜晶体管，所述遮挡部21包括遮挡多个所述驱动薄膜晶体管的半导体图案的多个遮挡块211。其中，多个所述遮挡块211阵列排布，每列所述遮挡块211遮挡驱动对应的一列所述子像素9的多个所述像素驱动电路40的所述驱动薄膜晶体管的所述半导体图案，并连接于对应的所述第一连接段203。

[0032] 所述公共连接部22包括多个公共连接段221，其中，第一汇聚走线分所述多个公共连接段221直接连接于在行方向上最外侧的多个所述遮挡块211和所述第一连接段203之间，第二部分所述多个公共连接段221电性连接于多个所述遮挡块211之间。

[0033] 请继续参阅图1，所述像素驱动电路层4包括半导体层41、位于半导体层41上的第一绝缘层42、位于所述第一绝缘层42上的第一栅极金属层43、位于所述第一栅极金属层43上的第二绝缘层44、位于所述第二绝缘层44上的第二栅极金属层45、位于所述第二栅极金属层45上的层间绝缘层46（即第四绝缘层）、位于所述

Petitioner Samsung Ex-1004, 0013

层间绝缘层46上的第三金属层47（即第二导电金属层）、位于所述第三金属层47上的第一平坦层481（即第三绝缘层）、位于所述第一平坦层481上的第四金属层49（即第一导电层）以及位于所述第四金属层49上的第二平坦层482。其中，所述半导体层41、所述第一绝缘层42、所述第一栅极金属层43、所述层间绝缘层46和所述第三金属层47可以共同形成多个所述薄膜晶体管401，所述第一栅极金属层43、所述第二绝缘层44和所述第二栅极金属层45可以共同形成多个电容402。其中，多个像素驱动电路40可以包括多个所述电容402和多个所述薄膜晶体管401，以驱动所述子像素9发光。

[0034] 所述半导体层41可以包括多晶硅或者氧化物半导体。此时，所述氧化物半导体可以包括基于钛（Ti）、铪（Hf）、锆（Zr）、铝（Al）、钽（Ta）、锗（Ge）、锌（Zn）、镓（Ga）、锡（Sn）或者铟（In）的氧化物或者它们的复合氧化物中的任意一个。所述半导体层41可以包括所述薄膜晶体管401的所述半导体图案。所述半导体图案可以包括：沟道区域，在厚度方向上与栅极重叠；第一源极/漏极区域和第二源极/漏极区域，分别位于所述沟道区域的一侧及另一侧。所述第一源极/漏极区域及所述第二源极/漏极区域是导体化的区域，相比于所述沟道区域，导电性可以更高，电阻更低。

[0035] 所述第一绝缘层42和所述第二绝缘层44可以是包括氧化硅（SiOx）、氮化硅（SiNx）的单层膜或者层叠有它们的多层膜。

[0036] 所述第一栅极金属层43可以包括所述薄膜晶体管401的栅极和多条所述扫描线，所述栅极可以利用低电阻物质构成。所述第二栅极金属层45可以包括所述电容402的上极板，所述栅极可以作为所述电容402的下极板。所述第一栅极金属层43和所述第二栅极金属层45的材料可以相同或者不同，示例性地，所述第一栅极金属层43和所述第二栅极金属层45可以包括选自钼（Mo）、铝（Al）、铂（Pt）、钯（Pd）、银（Ag）、镁（Mg）、金（Au）、镍（Ni）、钕（Nd）、铱（Ir）、铬（Cr）、钙（Ca）、钛（Ti）、钽（Ta）、钨（W）、铜（Cu）中的一种以上的金属，但并不局限于此。

[0037] 所述层间绝缘层46可以包括硅化合物、金属氧化物等。例如，层间绝缘层46可以包括硅氧化物、硅氮化物、硅氮氧化物、铝氧化物、钽氧化物、铪氧化物、

Petitioner Samsung Ex-1004, 0014

锆氧化物、钛氧化物等。这些物质可以单独使用或彼此组合而使用。

[0038] 所述第三金属层47可以包括所述薄膜晶体管401的源极和漏极，以及多条所述数据线。所述第三金属层47和所述第四金属层49的材料可以相同。示例性地，所述第三金属层47和所述第四金属层49可以包括选自钼（Mo）、铝（Al）、铂（Pt）、钯（Pd）、银（Ag）、镁（Mg）、金（Au）、镍（Ni）、钕（Nd）、铱（Ir）、铬（Cr）、钙（Ca）、钛（Ti）、钽（Ta）、钨（W）、铜（Cu）中的一种以上的金属。所述第三金属层47可以是单层膜或多层膜。例如，所述第三金属层47可以形成为Ti/Al/Ti、Mo/Al/Mo、Mo/AlGe/Mo、Ti/Cu等的层叠结构。

[0039] 所述第一平坦层481和所述第二平坦层482的材料可以相同或者不同。示例性地，所述第一平坦层481和所述第二平坦层482可以包括无机绝缘物质或者聚丙烯酸酯系树脂、环氧树脂、酚醛树脂、聚酰胺系树脂、聚酰亚胺系树脂、不饱和聚酯系树脂、聚苯醚系树脂、聚苯硫醚系树脂或苯并环丁烯等有机绝缘物质。所述第一平坦层481还可以包括光敏性物质，但是不限于此。

[0040] 请一并参阅图1至图3，所述电源线7设置在第四金属层49内，所述第一所述电源线7可以是具有固定电位的位于所述非显示区NDA内的电源线，所述电源线7包括设置在所述显示区DA内且与所述像素驱动电路40电连接的多个信号走线71，以及设置在所述非显示区NDA内且与预设电压源（例如电源芯片）电性连接的外围走线72，所述外围走线72与多个所述信号走线71电性连接，以降低多个所述信号走线71上的信号差异。多个信号走线71沿第二方向延伸，所述第二方向为所述像素驱动电路层4的数据线的延伸方向（图中从上到下的方向）。所述外围走线72沿所述第一方向延伸，包括相对的第一连接部721和第二连接部722，所述第一连接部721靠近所述弯折子区BA，所述第二连接部722位于所述第二非显示区内。

[0041] 示例性地，所述电源线7是高电压电源线和复位信号线中的至少一个。所述第三金属层47和所述第四金属层49可以形成所述高电压电源线、低电压电源线和所述复位信号线。多个所述薄膜晶体管401中的所述驱动薄膜晶体管可以和所述子像素9的发光层串联在所述高电压电源线和所述低电压电源线形成的电路回路

Petitioner Samsung Ex-1004, 0015

中，以驱动所述子像素9的发光层61发光。所述复位信号线可以用于电性连接于所述电容402、所述子像素9的第一电极和所述驱动薄膜晶体管中的至少一个，以对其进行复位。

[0042] 所述电源线7通过通孔90电性连接于所述汇聚走线20的多个所述第一连接段203，以电性连接于所述遮挡层2。其中，相邻所述通孔90之间的所述汇聚走线20按相邻所述通孔90之间的最短距离设置。由于相邻所述通孔90之间的最短距离，即虚拟线段107，可以代表相邻所述通孔90之间的预期的电流路径，这样，大致呈直线型的所述预期的电流路径可以位于所述汇聚走线20的边界内。所述通孔90穿过所述第一绝缘层42、所述第二绝缘层44，以及所述第一平坦层481。所述通孔90包括多个第一通孔91和多个第二通孔92。所述第一通孔91贯穿过所述第一绝缘层42、所述第二绝缘层44、所述层间绝缘层46，所述第二通孔92贯穿所述第一平坦层481。所述第一通孔91与所述第二通孔92连通，且所述第一通孔91的直径小于所述第二通孔92的直径。

[0043] 请继续参阅图,1，所述像素定义层5可以包含聚丙烯酸酯类（polyacrylates）或者聚酰亚胺类（polyimides）等的树脂和二氧化硅系列的无机物等。所述像素定义层5设有多个开孔，以暴露所述发光器件层6的第一电极60。

[0044] 所述发光器件层6可以包括第一电极60、发光层61和第二电极62。

[0045] 所述第一电极60可以是阳极。所述阳极可以具有层叠铟锡氧化物（ITO：Indium-Tin-Oxide）、铟锌氧化物（IZO：Indium-Zinc-Oxide）、氧化锌（ZnO）、氧化铟（In2O3：Induim Oxide）的功函数较高的物质层和诸如银（Ag）、镁（Mg）、铝（Al）、铂（Pt）、钯（Pd）、金（Au）、镍（Ni）、钕（Nd）、铱（Ir）、铬（Cr）、锂（Li）、钙（Ca）或其混合物的反射性物质层的层叠膜结构，但并不局限于此。功函数较高的层可以相比于反射性物质层布置于上层且靠近发光层61EL而布置。所述阳极可以具有ITO/Mg、ITO/MgF2、ITO/Ag、ITO/Ag/ITO的多层结构，但并不局限于此。

[0046] 所述发光层61可以包括有机物质层。所述发光层61的所述有机物质层可以包括有机发光层，并且还可以包括空穴注入/传输层和/或电子注入/传输层。

[0047] 所述第二电极62可以是阴极。所述阴极可以包括诸如Li、Ca、LiF/Ca、LiF/Al

Petitioner Samsung Ex-1004, 0016

、Al、Mg、Ag、Pt、Pd、Ni、Au、Nd、Ir、Cr、BaF2、Ba或其化合物或混合物（例如，Ag与Mg的混合物等）的功函数较小的物质层。所述阴极还可以包括布置于所述功函数较小的物质层上的透明金属氧化物层。

[0048] 在本实施例的显示面板1000中，所述遮挡层2的多个遮挡块211遮挡所述像素驱动电路层4的多个所述薄膜晶体管401，所述电源线7与所述遮挡层2的所述汇聚走线20通过设置在所述像素驱动电路层4中的通孔90相互电性连接，其中，相邻所述通孔90之间的所述汇聚走线20按相邻所述通孔90之间的最短距离设置，使得流经所述汇聚走线20的预期的电流路径位于所述汇聚走线的边界内且沿着相邻所述通孔90之间的最短距离传导，由此可以减少电荷在所述遮挡层2的边界处的聚集，而可以减少所述遮挡层2发生ESD炸伤的现象。

[0049] 在其他的实施例中，请参阅图4和图5，所述第一汇聚走线201和所述第二汇聚走线202呈直线形，且与所述第一汇聚走线201和所述第二汇聚走线202重叠设置的多个所述通孔90呈直线排列。基于相同或相似的原理，发生在相邻的连接位置处的ESD炸伤的现象可以得到减少。

[0050] 在其他实施例中，所述遮挡层2可以位于所述缓冲层31和所述半导体层41之间，也可以位于所述基板1之下，以位于所述像素驱动电路层4之下以进行遮挡。

[0051] 在其他实施例中，所述电源线7也可以位于所述像素驱动电路层4的其他层中，也可以位于所述像素驱动电路层4的下方，而不限于是高电压电源线或复位信号线。

[0052] 本发明的实施例还提供一种显示装置，包括上述任一项所述的显示面板1000。所述显示装置作为显示视频或静止图像的装置，不仅可以是固定终端诸如电视、台式计算机、监视器、广告牌，也可以是移动终端诸如移动电话、平板电脑、移动通信终端、电子记事本、电子书、多媒体播放器、导航仪、笔记本电脑，还可以是穿戴式电子设备诸如智能手表、智能眼镜、虚拟现实设备、增强现实设备。

[0053] 可以理解的是，对本领域普通技术人员来说，可以根据本申请的技术方案及其发明构思加以等同替换或改变，而所有这些改变或替换都应属于本申请所附的权利要求的保护范围。

Petitioner Samsung Ex-1004, 0017

权利要求书

[权利要求 1] 一种显示面板，包括显示区和设置在显示区至少一侧的非显示区，其中，所述显示面板包括：

基板；

遮挡层，位于所述基板上，包括多个遮挡块以及电性连接于多个所述遮挡块的汇聚走线，所述汇聚走线位于多个所述遮挡块的至少一侧；

像素驱动电路层，位于所述遮挡层上，包括位于所述显示区内的多个像素驱动电路，每一所述像素驱动电路与对应的所述遮挡块至少部分重叠；以及

第一导电层，设置在所述遮挡层远离所述基板的一侧，所述第一导电层包括：多条电源线，多条所述电源线通过多个通孔与所述汇聚走线电性连接；

其中，相邻所述通孔之间的所述汇聚走线按相邻所述通孔之间的最短距离设置。

[权利要求 2] 根据权利要求1所述的显示面板，其中，相邻所述通孔之间的所述汇聚走线呈直线形设置。

[权利要求 3] 根据权利要求2所述的显示面板，其中，所述汇聚走线呈直线形设置，且与所述汇聚走线重叠设置的多个所述通孔呈直线排列。

[权利要求 4] 根据权利要求1所述的显示面板，其中，所述汇聚走线包括第一汇聚走线，所述第一汇聚走线包括多个第一连接段和多个第二连接段，其中，每一所述第二连接段连接于相邻的两所述第一连接段的中部之间，所述第一连接段的宽度大于所述第二连接段的宽度，多条所述电源线通过多个所述通孔电性连接于多个所述第一连接段。

[权利要求 5] 根据权利要求4所述的显示面板，其中，所述像素驱动电路层包括多个沿着第一方向和第二方向阵列排布的多个像素驱动电路，每个所述第一连接段与一列沿着第一方向排布的所述像素驱动电路

Petitioner Samsung Ex-1004, 0018

对应的遮挡块电连接。

[权利要求 6] 根据权利要求5所述的显示面板，其中，所述第一连接段的外周缘呈圆弧形，所述第二连接段呈直线形，所述第一连接段的最大宽度大于所述第二连接段的宽度。

[权利要求 7] 根据权利要求1所述的显示面板，其中，所述非显示区包括：设置在所述显示区两侧的第一非显示区和第二非显示区，所述第一非显示区包括弯折子区，所述显示面板在所述弯折子区弯折设置；所述汇聚走线包括设置在所述第一非显示区的第一汇聚走线，多条所述电源线至少通过多个所述通孔与所述第一汇聚走线电连接。

[权利要求 8] 根据权利要求7所述的显示面板，其中，所述汇聚走线包括设置在所述第二非显示区的第二汇聚走线，多条所述电源线还通过多个所述通孔与所述第二汇聚走线电连接。

[权利要求 9] 根据权利要求1所述的显示面板，其中，所述像素驱动电路层包括：

半导体层，设置在所述遮挡层远离所述基板的一侧；

第一绝缘层，设置在所述半导体层远离所述基板的一侧；

第一栅极金属层，设置在所述第一绝缘层远离所述基板的一侧；

第二绝缘层，设置在所述第一栅极金属层远离所述基板的一侧；

第二栅极金属层，设置在所述第二绝缘层远离所述基板的一侧；

第三绝缘层，设置在所述第二栅极金属层远离所述基板的一侧；

所述第一导电层，设置在所述第三绝缘层远离所述基板的一侧，所述第一导电层的多条所述电源线通过多个所述通孔与所述汇聚走线电性连接，所述通孔穿过所述第一绝缘层、所述第二绝缘层，以及所述第三绝缘层。

[权利要求 10] 根据权利要求9所述的显示面板，其中，所述像素驱动电路层还包括：

第四绝缘层，设置在所述第二栅极金属层和所述第三绝缘层之间

Petitioner Samsung Ex-1004, 0019

；

第二导电层，设置在所述第四绝缘层和所述第三绝缘层之间；

所述通孔包括第一通孔和第二通孔，所述第一通孔穿过所述第一绝缘层、所述第二绝缘层、所述第四绝缘层，所述第二通孔穿过所述第三绝缘层，所述第一通孔与所述第二通孔连通且所述第二通孔的直径大于所述第一通孔的直径。

[权利要求 11] 一种显示装置，包括如权利要求1所述的显示面板，所述显示面板为OLED显示面板。

[权利要求 12] 根据权利要求11所述的显示装置，其中，相邻所述通孔之间的所述汇聚走线呈直线形设置。

[权利要求 13] 根据权利要求12所述的显示装置，其中，所述汇聚走线呈直线形设置，且与所述汇聚走线重叠设置的多个所述通孔呈直线排列。

[权利要求 14] 根据权利要求11所述的显示装置，其中，所述汇聚走线包括第一汇聚走线，所述第一汇聚走线包括多个第一连接段和多个第二连接段，其中，每一所述第二连接段连接于相邻的两所述第一连接段的中部之间，所述第一连接段的宽度大于所述第二连接段的宽度，多条所述电源线通过多个所述通孔电性连接于多个所述第一连接段。

[权利要求 15] 根据权利要求14所述的显示装置，其中，所述像素驱动电路层包括多个沿着第一方向和第二方向阵列排布的多个像素驱动电路，每个所述第一连接段与一列沿着第一方向排布的所述像素驱动电路对应的遮挡块电连接。

[权利要求 16] 根据权利要求15所述的显示装置，其中，所述第一连接段的外周缘呈圆弧形，所述第二连接段呈直线形，所述第一连接段的最大宽度大于所述第二连接段的宽度。

[权利要求 17] 根据权利要求11所述的显示装置，其中，所述非显示区包括：设置在所述显示区两侧的第一非显示区和第二非显示区，所述第一非显示区包括弯折子区，所述显示面板在所述弯折子区弯折设置

Petitioner Samsung Ex-1004, 0020

；

所述汇聚走线包括设置在所述第一非显示区的第一汇聚走线，多条所述电源线至少通过多个所述通孔与所述第一汇聚走线电连接。

[权利要求 18] 根据权利要求17所述的显示装置，其中，所述汇聚走线包括设置在所述第二非显示区的第二汇聚走线，多条所述电源线还通过多个所述通孔与所述第二汇聚走线电连接。

[权利要求 19] 根据权利要求11所述的显示装置，其中，所述像素驱动电路层包括：

半导体层，设置在所述遮挡层远离所述基板的一侧；

第一绝缘层，设置在所述半导体层远离所述基板的一侧；

第一栅极金属层，设置在所述第一绝缘层远离所述基板的一侧；

第二绝缘层，设置在所述第一栅极金属层远离所述基板的一侧；

第二栅极金属层，设置在所述第二绝缘层远离所述基板的一侧；

第三绝缘层，设置在所述第二栅极金属层远离所述基板的一侧；

所述第一导电层，设置在所述第三绝缘层远离所述基板的一侧，所述第一导电层的多条所述电源线通过多个所述通孔与所述汇聚走线电性连接，所述通孔穿过所述第一绝缘层、所述第二绝缘层，以及所述第三绝缘层。

[权利要求 20] 根据权利要求19所述的显示装置，其中，所述像素驱动电路层还包括：

第四绝缘层，设置在所述第二栅极金属层和所述第三绝缘层之间；

第二导电层，设置在所述第四绝缘层和所述第三绝缘层之间；

所述通孔包括第一通孔和第二通孔，所述第一通孔穿过所述第一绝缘层、所述第二绝缘层、所述第四绝缘层，所述第二通孔穿过所述第三绝缘层，所述第一通孔与所述第二通孔连通且所述第二通孔的直径大于所述第一通孔的直径。

Petitioner Samsung Ex-1004, 0021

摘要

本发明提供一种显示面板及显示装置，包括：遮挡层；像素驱动电路层，位于所述遮挡层上，包括与遮挡层至少部分重叠的多个像素驱动电路；以及电源线，与所述遮挡层通过设置在所述像素驱动电路层中的多个通孔相互电性连接。其中，相邻所述通孔之间的所述汇聚走线按相邻所述通孔之间的最短距离设置。

附　　图

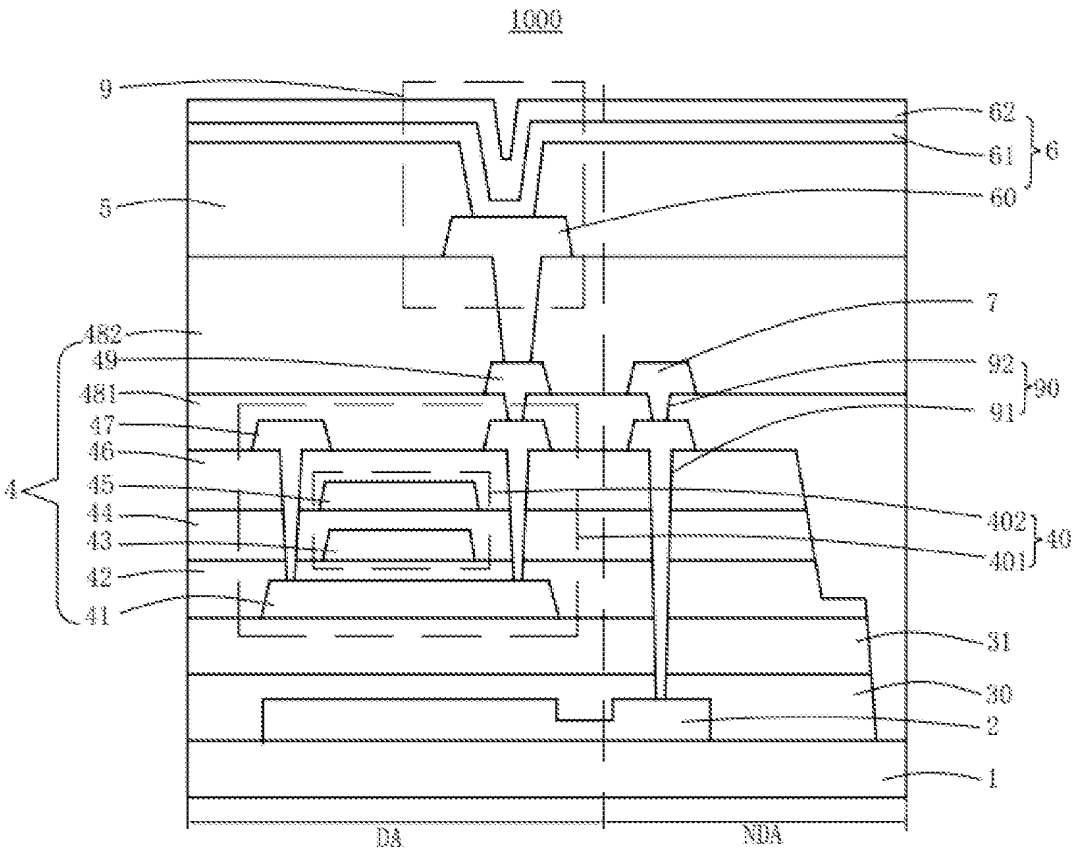


图 1

Petitioner Samsung Ex-1004, 0023

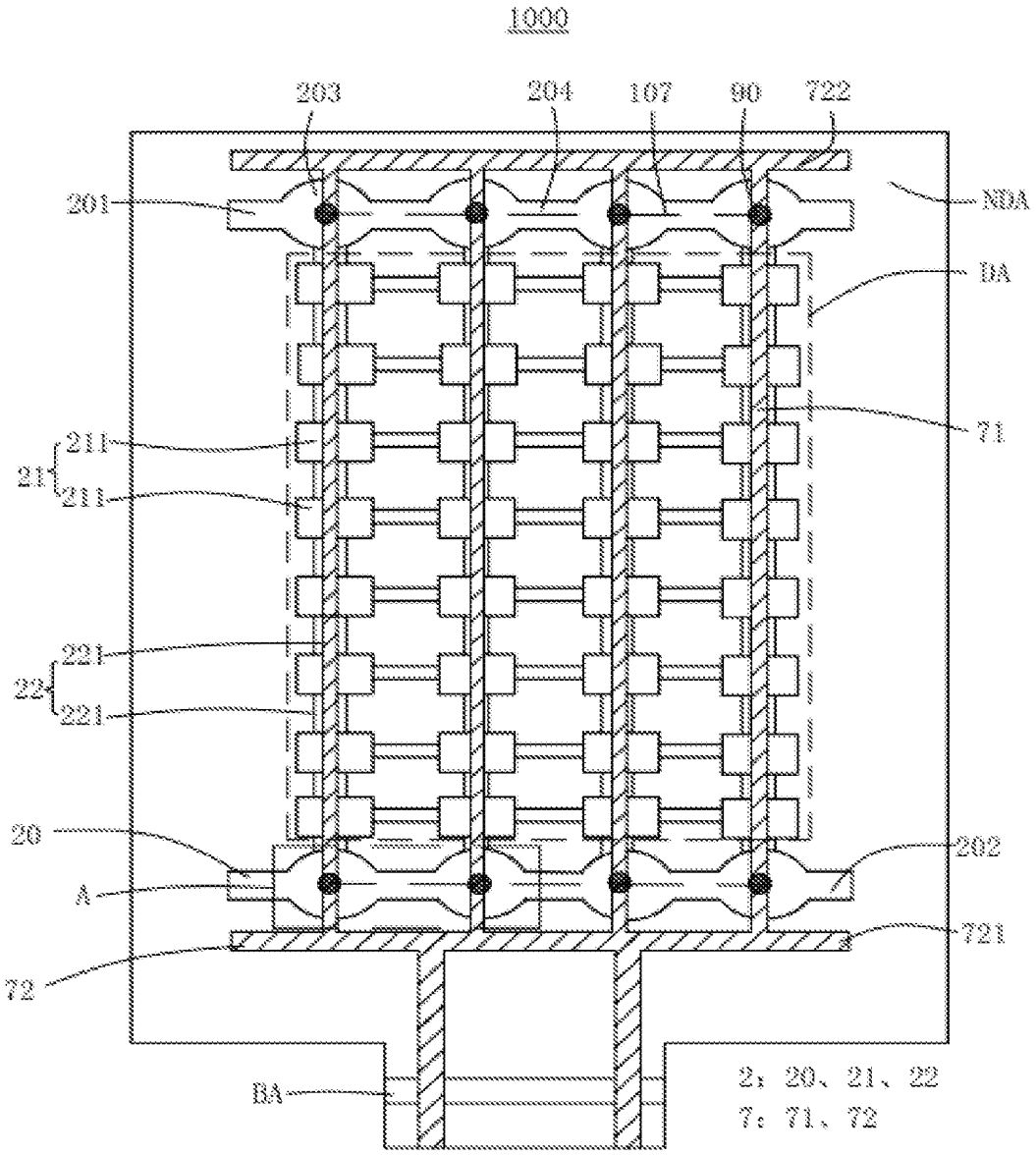

1000
203
204
107
90
722
201
NDA
DA
71
211
21
211
221
22
221
20
202
A
721
72
BA
2：20、21、22
7：71、72

图 2

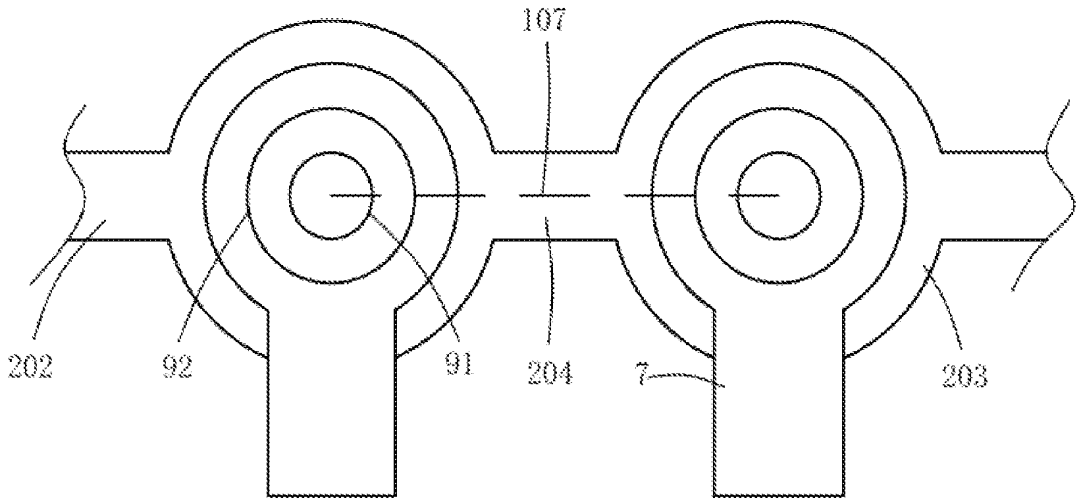


图 3

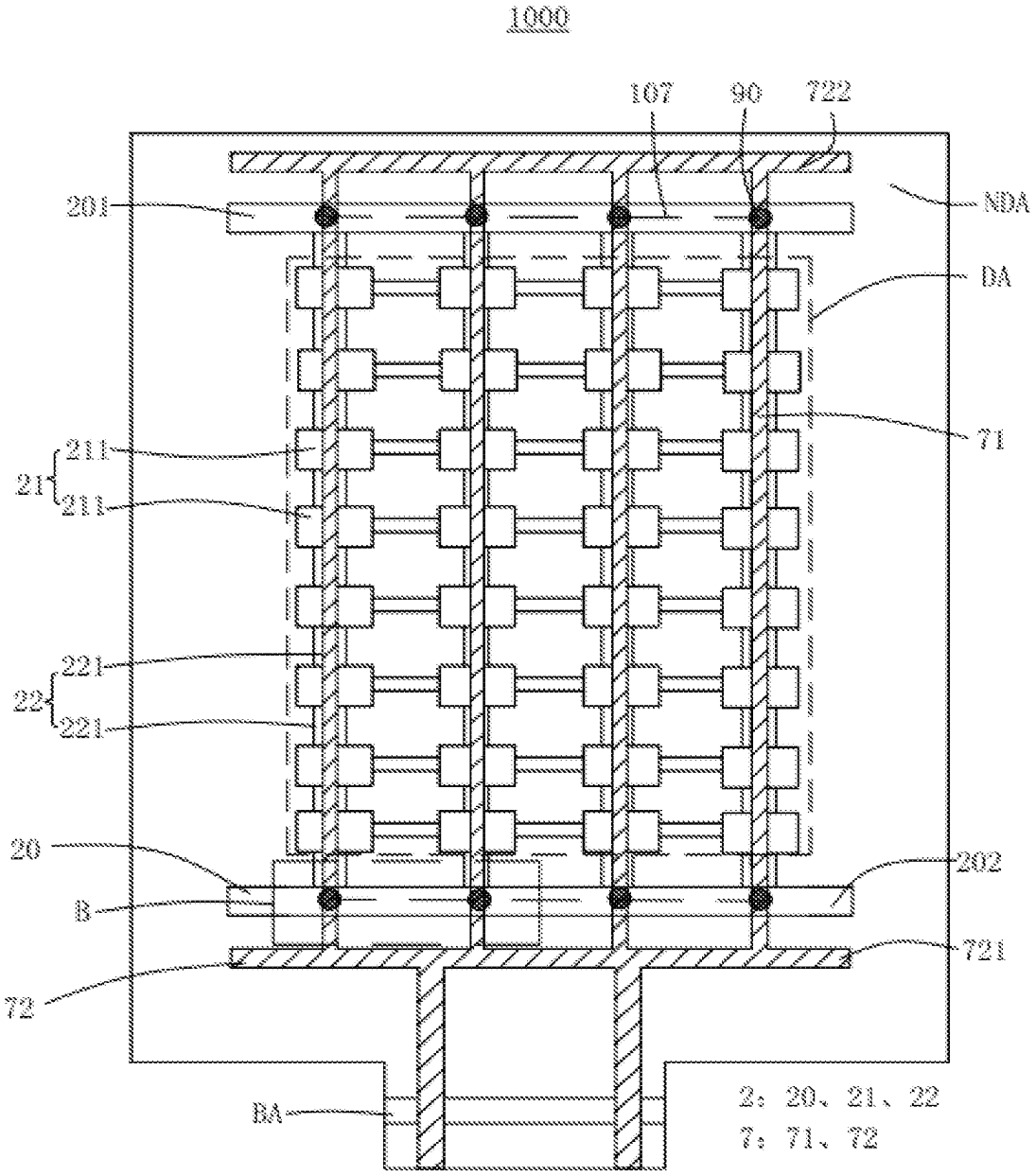

1000
107
90
722
201
NDA
DA
71
211
21
211
221
22
221
20
202
B
721
72
BA
2：20、21、22
7：71、72

图 4

B

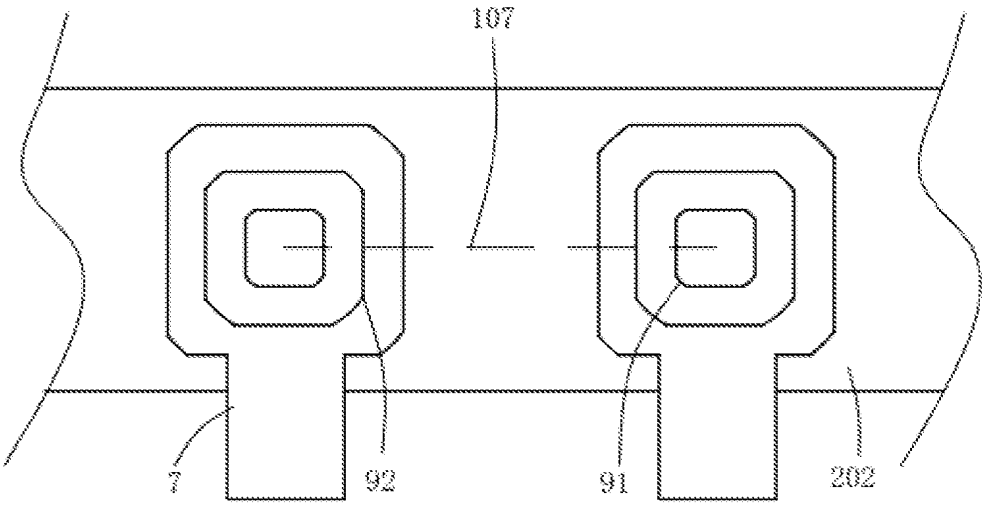


图 5

Electronic Patent Application Fee Transmittal

Application Number:	
Filing Date:	
Title of Invention:	DISPLAY PANEL AND DISPLAY DEVICE
First Named Inventor/Applicant Name:	Xing WU
Filer:	Martin Dennis Moynihan
Attorney Docket Number:	92088

Filed as Large Entity

Filing Fees for U.S. National Stage under 35 USC 371

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Basic Filing:				
NATIONAL STAGE FEE	1631	1	320	320
NATIONAL STAGE SEARCH - ALL OTHER CASES	1632	1	700	700
NATIONAL STAGE EXAM - ALL OTHER CASES	1633	1	800	800
Pages:				
Claims:				
Miscellaneous-Filing:				
Petition:				
Patent-Appeals-and-Interference:				

Petitioner Samsung Ex-1004, 0028

Description	Fee Code	Quantity	Amount	Sub-Total in USD($)
Post-Allowance-and-Post-Issuance:				
Extension-of-Time:				
Miscellaneous:				
		Total in USD ($)		**1820**

Electronic Acknowledgement Receipt

EFS ID:	45338707
Application Number:	17764557
International Application Number:	PCT/CN2022/082256
Confirmation Number:	9510
Title of Invention:	DISPLAY PANEL AND DISPLAY DEVICE
First Named Inventor/Applicant Name:	Xing WU
Customer Number:	67801
Filer:	Martin Dennis Moynihan
Filer Authorized By:	
Attorney Docket Number:	92088
Receipt Date:	29-MAR-2022
Filing Date:	
Time Stamp:	07:51:03
Application Type:	U.S. National Stage under 35 USC 371

Payment information:

Submitted with Payment	yes
Payment Type	DA
Payment was successfully received in RAM	$1820
RAM confirmation Number	E20223S852222251
Deposit Account	501407
Authorized User	Martin Moynihan

The Director of the USPTO is hereby authorized to charge indicated fees and credit any overpayment as follows:

37 CFR 1.17 (Patent application and reexamination processing fees)

37 CFR 1.19 (Document supply fees)

Petitioner Samsung Ex-1004, 0030

37 CFR 1.20 (Post Issuance fees)

37 CFR 1.21 (Miscellaneous fees and charges)

37 CFR 1.492 (National application filing, search, and examination fees)

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Transmittal of New Application	1-92088TransmittalSheetforUSNP.pdf	45049 e524a0ba96e5e7a9301c490d42cee2ef6d3f2138	no	2
Warnings:					
Information:					
2	Preliminary Amendment	2-92088PreliminaryAmendment.pdf	66813 a48074c5bbc5922291724fd0fec6d32ba7861256	no	13
Warnings:					
Information:					
3	Specification	3-92088.pdf	101831 3cc61cab30987d479e0ab787853d6fefb9aed419	no	24
Warnings:					
Information:					
4	Oath or Declaration filed	4-92088ExecutedDeclaration.pdf	294715 d59a81ede6f475a506fde6d07b8b73f4f42faa3f	no	2
Warnings:					
Information:					
5	Drawings-only black and white line drawings	5-92088Drawings.pdf	582734 334f3d3fabca92a43de6f92a5c4ff223be382505	no	5
Warnings:					
Information:					
6	Application Data Sheet	6-92088ApplicationDataSheet.pdf	1256140 1e5b37da3d9a13694fa5272df8d299e0fa5ca7ef	no	8
Warnings:					
Information:					

7	Internet Communications Authorized	7-92088FormSB439.pdf	74194 74472dc326adb60ad39696ae4087e2108e532b03	no	2
Warnings:					
Information:					
8	Assignee showing of ownership per 37 CFR 3.73	8-92088ExecutedAssignment.pdf	294714 ec4950e7e6e2a66b47ddb7f269743d51e865c176	no	2
Warnings:					
Information:					
9	Power of Attorney	9-92088ExecutedPowerofAttorney.pdf	924449 36c2fba8e9836ddf40a515b6db3a23cbe5ed995c	no	4
Warnings:					
Information:					
10	Documents submitted with 371 (National Stage) Applications	10-92088PCTRequestForm.pdf	5314465 43ea9e5b0341047d908b906c06537177555 8bd3b	no	4
Warnings:					
Information:					
11	Documents submitted with 371 (National Stage) Applications	11-92088PCTSpecificationChinese.pdf	488020 24ac2921e95ec6b51a9978967fe6aaa1c73cf8ad	no	19
Warnings:					
Information:					
12	Fee Worksheet (SB06)	fee-info.pdf	43857 a3bed1d5bd43a0364f2a784fdb925f1a7f1d1f58	no	2
Warnings:					
Information:					
		Total Files Size (in bytes):	9486981		

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

Doc Code: PA..
Document Description: Power of Attorney

PTO/AIA/82A
OMB 0651-0051
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

TRANSMITTAL FOR POWER OF ATTORNEY TO ONE OR MORE REGISTERED PRACTITIONERS

Attorney Docket Number: 92088

NOTE: This form is to be submitted with the Power of Attorney by Applicant form (PTO/AIA/82B) to identify the application to which the Power of Attorney is directed, in accordance with 37 CFR 1.5, unless the application number and filing date are identified in the Power of Attorney by Applicant form. If neither form PTO/AIA/82A nor form PTO/AIA82B identifies the application to which the Power of Attorney is directed, the Power of Attorney will not be recognized in the application.

Application Number	
Filing Date	
First Named Inventor	Xing WU
Title	DISPLAY PANEL AND DISPLAY DEVICE
Art Unit	
Examiner Name	
Attorney Docket Number	92088

SIGNATURE of Applicant or Patent Practitioner

Signature	**/Martin D. Moynihan/**	Date (Optional)	March 29, 2022
Name	Martin D. Moynihan	Registration Number	40338
Title (if Applicant is a juristic entity)			
Applicant Name (If Applicant is a juristic entity)			

NOTE: This form must be signed in accordance with 37 CFR 1.33. See 37 CFR 1.4(d) for signature requirements and certifications. If more than one applicant, use multiple forms.

☑ *Total of 4 forms are submitted.

This collection of information is required by 37 CFR 1.131, 1.32 and 1.33.The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

Doc Code: PA..
Document Description: Power of Attorney

PTO/AIA/82B (07-13)
Approved for use through 11/30/2014. OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number

POWER OF ATTORNEY BY APPLICANT

I hereby revoke all previous powers of attorney given in the application identified in either the attached transmittal letter or the boxes below.

Application Number	Filing Date

(Note: The boxes above may be left blank if information is provided on form PTO/AIA/82A.)

☑ I hereby appoint the Patent Practitioner(s) associated with the following Customer Number as my/our attorney(s) or agent(s), and to transact all business in the United States Patent and Trademark Office connected therewith for the application referenced in the attached transmittal letter (form PTO/AIA/82A) or identified above: 67801

OR

☐ I hereby appoint Practitioner(s) named in the attached list (form PTO/AIA/82C) as my/our attorney(s) or agent(s), and to transact all business in the United States Patent and Trademark Office connected therewith for the patent application referenced in the attached transmittal letter (form PTO/AIA/82A) or identified above. (Note: Complete form PTO/AIA/82C.)

Please recognize or change the correspondence address for the application identified in the attached transmittal letter or the boxes above to:

☑ The address associated with the above-mentioned Customer Number

OR

☐ The address associated with Customer Number:

OR

Firm or Individual Name					
Address					
City		State		Zip	
Country					
Telephone		Email			

I am the Applicant (if the Applicant is a juristic entity, list the Applicant name in the box):

Wuhan China Star Optoelectronics Semiconductor Display Technology Co., LTd.

☐ Inventor or Joint Inventor (title not required below)

☐ Legal Representative of a Deceased or Legally Incapacitated Inventor (title not required below)

☑ Assignee or Person to Whom the Inventor is Under an Obligation to Assign (provide signer's title if applicant is a juristic entity)

☐ Person Who Otherwise Shows Sufficient Proprietary Interest (e.g., a petition under 37 CFR 1.46(b)(2) was granted in the application or is concurrently being filed with this document) (provide signer's title if applicant is a juristic entity)

SIGNATURE of Applicant for Patent

The undersigned (whose title is supplied below) is authorized to act on behalf of the applicant (e.g., where the applicant is a juristic entity).

Signature	Jason YAO	Date (Optional)	2017/6/27
Name	Jason YAO		
Title	IP Manager		

NOTE: Signature - This form must be signed by the applicant in accordance with 37 CFR 1.33. See 37 CFR 1.4 for signature requirements and certifications. If more than one applicant, use multiple forms.

☐ Total of forms are submitted

This collection of information is required by 37 CFR 1.131, 1.32, and 1.33. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 3 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

PTO/AIA/96 (08-12)

OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number

STATEMENT UNDER 37 CFR 3.73(c)

Applicant/Patent Owner: Xing WU

Application No./Patent No.:_____ Filed/Issue Date: _____

Titled: DISPLAY PANEL AND DISPLAY DEVICE

Wuhan China Star Optoelectronics Semiconductor Display Technology Co., Ltd., a Corporation
(Name of Assignee) (Type of Assignee, e.g., corporation, partnership, university, government agency, etc.)

states that, for the patent application/patent identified above, it is (choose one of options 1, 2, 3 or 4 below):

1. ☑ The assignee of the entire right, title, and interest.
2. ☐ An assignee of less than the entire right, title, and interest (check applicable box):
   - ☐ The extent (by percentage) of its ownership interest is ____%. Additional Statement(s) by the owners holding the balance of the interest must be submitted to account for 100% of the ownership interest.
   - ☐ There are unspecified percentages of ownership. The other parties, including inventors, who together own the entire right, title and interest are:

     Additional Statement(s) by the owner(s) holding the balance of the interest must be submitted to account for the entire right, title, and interest.
3. ☐ The assignee of an undivided interest in the entirety (a complete assignment from one of the joint inventors was made). The other parties, including inventors, who together own the entire right, title, and interest are:

   Additional Statement(s) by the owner(s) holding the balance of the interest must be submitted to account for the entire right, title, and interest.
4. ☐ The recipient, via a court proceeding or the like (e.g., bankruptcy, probate), of an undivided interest in the entirety (a complete transfer of ownership interest was made). The certified document(s) showing the transfer is attached.

The interest identified in option 1, 2 or 3 above (not option 4) is evidenced by either (choose one of options A or B below):

A. ☑ An assignment from the inventor(s) of the patent application/patent identified above. The assignment was recorded in the United States Patent and Trademark Office at Reel _____, Frame _____, or for which a copy thereof is attached.

B. ☐ A chain of title from the inventor(s), of the patent application/patent identified above, to the current assignee as follows:

1. From: _____ To: _____

   The document was recorded in the United States Patent and Trademark Office at Reel _____, Frame _____, or for which a copy thereof is attached.

2. From: _____ To: _____

   The document was recorded in the United States Patent and Trademark Office at Reel ___, Frame _____, or for which a copy thereof is attached.

This collection of information is required by 37 CFR 3.73(b). The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to

Petitioner Samsung Ex-1004, 0036

OMB 0651-0031
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number

process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.11 and 1.14. This collection is estimated to take 12 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

STATEMENT UNDER 37 CFR 3.73(c)

3. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at

Reel _____, Frame _____, or for which a copy thereof is attached.

4. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at

Reel ____, Frame _____, or for which a copy thereof is attached.

5. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at

Reel _____, Frame _____, or for which a copy thereof is attached.

6. From: _____ To: _____

The document was recorded in the United States Patent and Trademark Office at

Reel ____, Frame _____, or for which a copy thereof is attached.

☐ Additional documents in the chain of title are listed on a supplemental sheet(s).

☐ As required by 37 CFR 3.73(c)(1)(i), the documentary evidence of the chain of title from the original owner to the assignee was, or concurrently is being, submitted for recordation pursuant to 37 CFR 3.11.

[NOTE: A separate copy (i.e., a true copy of the original assignment document(s)) must be submitted to Assignment Division in accordance with 37 CFR Part 3, to record the assignment in the records of the USPTO. See MPEP 302.08]

The undersigned (whose title is supplied below) is authorized to act on behalf of the assignee.

/Martin D. Moynihan/	March 29, 2022
Signature	Date
Martin D. Moynihan	40338
Printed or typed Name	Title or Registration Number

FORM PTO-1390(modified) U.S. DEPARTMENT OF COMMERCE PATENT AND TRADEMARK OFFICE		ATTORNEY'S DOCKET NUMBER
TRANSMITTAL LETTER TO THE UNITED STATES DESIGNATED/ELECTED OFFICE (DO/EO/US) CONCERNING A FILING UNDER 35 U.S.C., 371		**92088**
		U.S. APPLICATION NO. (IF KNOWN), SEE 37 CFR
INTERNATIONAL APPLICATION NO.	INTERNATIONAL FILING DATE	PRIORITY DATE CLAIMED
PCT/CN2022/082256	**March 22, 2022**	**March 11, 2022**

TITLE OF INVENTION

DISPLAY PANEL AND DISPLAY DEVICE

APPLICANT(S) FOR DO/EO/US

Xing WU

Applicant herewith submits to the United States Designated/Elected Office (DO/EO.US) the following items and other information:

1. ☒ This is a FIRST submission of items concerning a filing under 35 U.S.C. 371.
2. ☐ This is a SECOND or SUBSEQUENT submission of items concerning a filing under 35 U.S.C. 371
3. ☒ This is an express request to begin national examination procedures (35 U.S.C. 371(f) at any time rather than delay examination until the expiration of the applicable time limit set in 35 U.S.C. 371(b) and PCT Articles 22 and 39(1).
4. ☐ A proper Demand for International Preliminary Examination was made by the 19th month from the earliest claimed priority date.
5. ☒ A copy of the International Application as filed (35 U.S.C. 371(3)(2)
   a. ☒ is transmitted herewith (required only if not transmitted by the International Bureau).
   b. ☐ has been transmitted by the International Bureau.
   c. ☐ is not required, as the application was filed in the United States Receiving Office (RO/US).
6. ☒ A translation of the International Application into English (35 U.S.C. 371(3)(2).
7. ☐ A copy of the International Search Report (PCT/ISA/210) and Written Opinion (PCT/ISA/237).
8. ☐ Amendments to the claims of the International Application under PCT Article 19 (35 U.S.C. 371(c)(3)
   a. ☐ are transmitted herewith (required only if not transmitted by the International Bureau).
   b. ☐ have been transmitted by the International Bureau.
   c. ☐ have not been made; however, the time limit for making such amendments has NOT expired.
   d. ☐ have not been made and will not be made.
9. ☐ A translation of the amendments to the claims under PCT Article 19(35 U.S.C. 371(c)(3)).
10. ☒ An **executed** oath or declaration of the inventor(s) (35 U.S.C. 371(c)(4)).
11. ☐ A copy of the International Preliminary Report on Patentability (PCT/IPEA/409).
12. ☐ A translation of the annexes to the International Preliminary Examination Report under PCT Article 36 (35 U.S.C. 371(c)5)).

Items 13 to 18 below concern document(s) of information included:

13. ☐ An Information Disclosure Statement under 37 CFR 1.97 and 1.98.
14. ☐ An assignment document for recording. A separate cover sheet in compliance with 37 CFR 3.28 and 3.31 is included.
15. ☒ A FIRST preliminary amendment.
16. ☐ A substitute specification.
17. ☐ A change of power of attorney and/or address letter.
18. ☐ Certificate of Mailing by Express Mail
19. ☐ The sequence listing information recorded in computer readable form is identical to the written (on paper or compact disc) sequence listing
20. ☒ Other items or information: **PCT REQUEST; APPLICATION DATA SHEET; EXECUTED POA/CHANGE OF CORRESPONDENCE ADDRESS; EXECUTED ASSIGNMENT; FORM SB/439**
21. ☒ 24 pages of specification (including Abstract page)
22. ☒ 5 sheets of drawings
23. ☒ 29 total pages

Petitioner Samsung Ex-1004, 0038

U.S. APPLICATION NO. (IF KNOWN), See 37 CFR	INTERNATIONAL APPLICATION NO.	ATTORNEY'S DOCKET NUMBER
	PCT/CN2022/082256	**92088**

☐ **Applicant is entitled to Small Entity Status under 37 CFR 1.9 and 37 CFR 1.27**

THE FILING FEE HAS BEEN CALCULATED AS SHOWN BELOW:

FOR:	*Column 1 No. FILED*	*Column 2 No. EXTRA*	*SMALL ENTITY* *RATE*	*FEE*	*OTHER THAN A SMALL ENTITY* *RATE*	*FEE*
Basic National Stage Fee				**$**		**$320.00**
National Stage Search Fee				**$**		**$700.00**
National Stage Examination Fee				**$**		**$800.00**
National Stage Application Size Fee (Per 50 Pages Over 100)				**$**	**0 x $420.00**	**$0.00**
Multiple Dependent Claim				**$**	**0 x $860.00**	**$0.00**
Total Claims*	**20 - 20=**	**0**		**$**	**0 x $100.00**	**$0.00**
Independent Claims*	**1 - 3=**	**0**		**$**	**0 x $480.00**	**$0.00**
* **(If the difference in Column 1 is less than "0", enter "0" in Column 2)**			**TOTAL**	**$**	**TOTAL**	**$1,820.00**

☒ **Please charge my deposit account No. 50-1407 in the amount of $1,820.00.**

☒ **The Commissioner is hereby authorized to charge payment of the following fees associated with this communication or credit any overpayment to Deposit Account No 50-1407.**

- ☒ **Any additional filing fees required under 37 CFR 1.16.**
- ☒ **Any patent application processing fees under 37 CFR 1.17.**

☒ **The Commissioner is hereby authorized to charge payment of the following fees during the pendency of this application or credit any overpayment to deposit Account No. 50-1407.**

- ☒ **Any patent application processing fees under 37 CFR 1.17.**
- ☒ **Any filing fees under 37 CFR 1.16 for presentation of extra claims.**

NOTE: Where an appropriate time limit under 37 CFR 1.494 or 1.495 has not been met, a petition to revive (37 CFR 1.137(a) or (b)) must be filed and granted to restore the application to pending status.

SEND ALL CORRESPONDENCE TO:

PRTSI Inc.
Customer No. 67801
232 NW 42nd Ter
Plantation, FL 33317

/Martin D. Moynihan/
SIGNATURE

Martin D. Moynihan
NAME

40338
REGISTRATION NUMBER

March 29, 2022
DATE

Petitioner Samsung Ex-1004, 0039

ASSIGNMENT AND DECLARATION FOR UTILITY OR DESIGN PATENT APPLICATION	Attorney Docket Number	
	First Named Inventor	WU, Xing

DISPLAY PANEL AND DISPLAY DEVICE

(Title of the invention)

As a below named inventor, I hereby declare that:

This assignment and declaration is directed to:

☐ The attached application

OR

☒ United States Application Number or PCT International application number PCT/CN2022/082256 filed on 03/22/2022 (MM/DD/YYYY)

The above-identified application was made or authorized to be made by me.

I believe I am the original or an original joint inventor of the claimed invention in the application.

I hereby acknowledge that any willful false statement made in this declaration is punishable under 18 U.S.C. 1001 by fine or imprisonment of not more than five (5) years, or both.

I hereby state that I have reviewed and understand the contents of the above identified specification, including the claims.

I acknowledge the duty to disclose information which is material to patentability as defined in 37 CFR 1.56, including for continuation-in-part applications, material information which became available between the filing date of the prior application and the national or PCT international filing date of the continuation-in-part application.

As a below named inventor, I hereby sell, assign and transfer unto to WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO. LTD., a corporation of China, herein referred to as "Assignee", whose mailing address is 305 Room, Building C5, Biolake of Optics Valley, No.666 Gaoxin Avenue, Wuhan East Lake High-tech Development Zone, Wuhan, Hubei, 430079 China, the full and exclusive right to the said invention in the United States and the entire right, title and interest in and to any and all Patents which may be granted therefor in the United States, I hereby authorize and request the Commissioner of Patents and Trademarks to issue said United States Patent, the entire right, title, and interest in and to the same, for the Assignee's sole use and benefit; and for the use and benefit of the Assignee's legal representatives, to the full end of the term for which said Patent may be granted, as fully and entirely as the same would have been held by me had this assignment and sale not been made.

Petitioner Samsung Ex-1004, 0040

ASSIGNMENT AND DECLARATION — Utility or Design Patent Application

LEGAL NAME OF SOLE OR FIRST INVENTOR:			
Given Name (first and middle [if any]) Xing	Family Name or Surname WU		
Inventor's Signature Xing WU		Date (Optional) 2021/12/26	
Residence: City Wuhan	State Hubei	Country China	
Mailing Address 305 Room, Building C5, Biolake of Optics Valley, No 666 Gaoxin Avenue, Wuhan East Lake High-tech Development Zone, Wuhan, Hubei, 430079 China			
City Wuhan	State Hubei	Zip 430079	Country China
Legal Name of Additional Joint Inventor, if any:			
Given Name (first and middle [if any])	Family Name or Surname		
Inventor's Signature		Date (Optional)	
Residence: City	State	Country	
Mailing Address			
City	State	Zip	Country
Legal Name of Additional Joint Inventor, if any:			
Given Name (first and middle [if any])	Family Name or Surname		
Inventor's Signature		Date (Optional)	
Residence: City	State	Country	
Mailing Address			
City	State	Zip	Country
☐ Additional inventors are being named on the ___ supplemental sheet(s) attached hereto.			

Petitioner Samsung Ex-1004, 0041

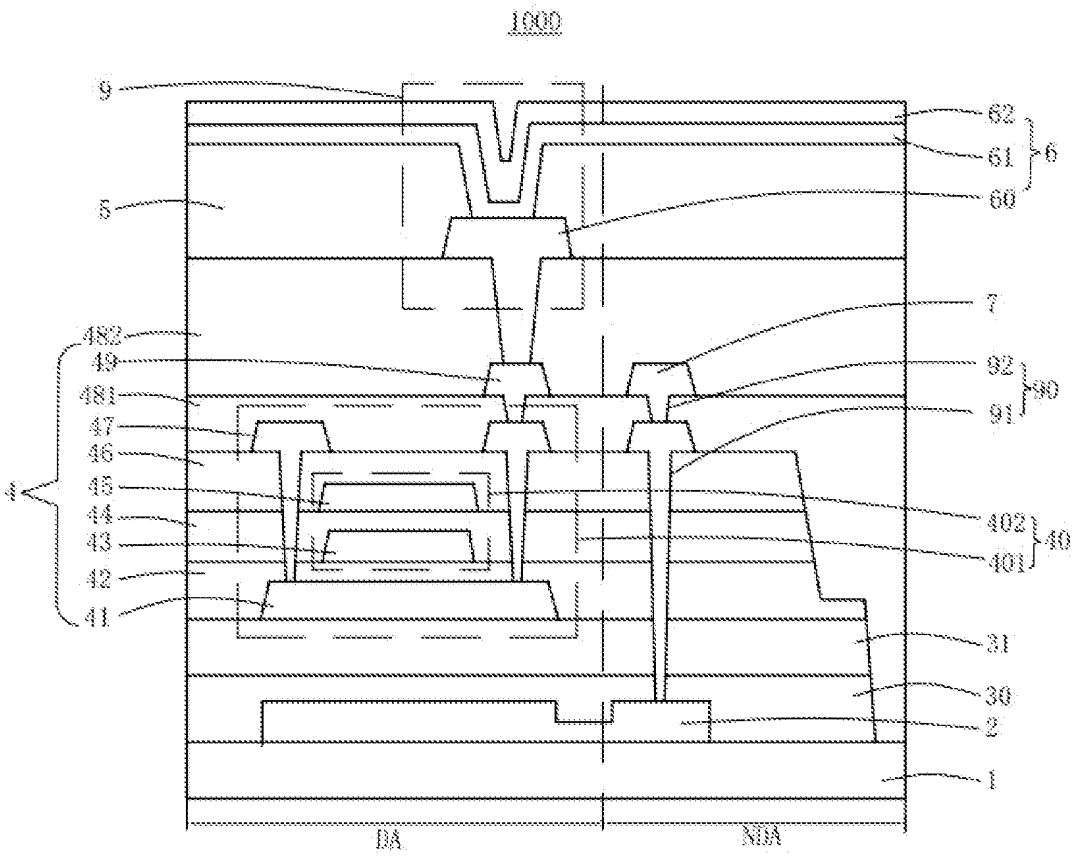

1000
9
62
61
6
60
5
7
482
49
92
90
481
91
47
46
4
45
402
40
44
43
401
42
41
31
30
2
1
DA
NDA

FIG. 1

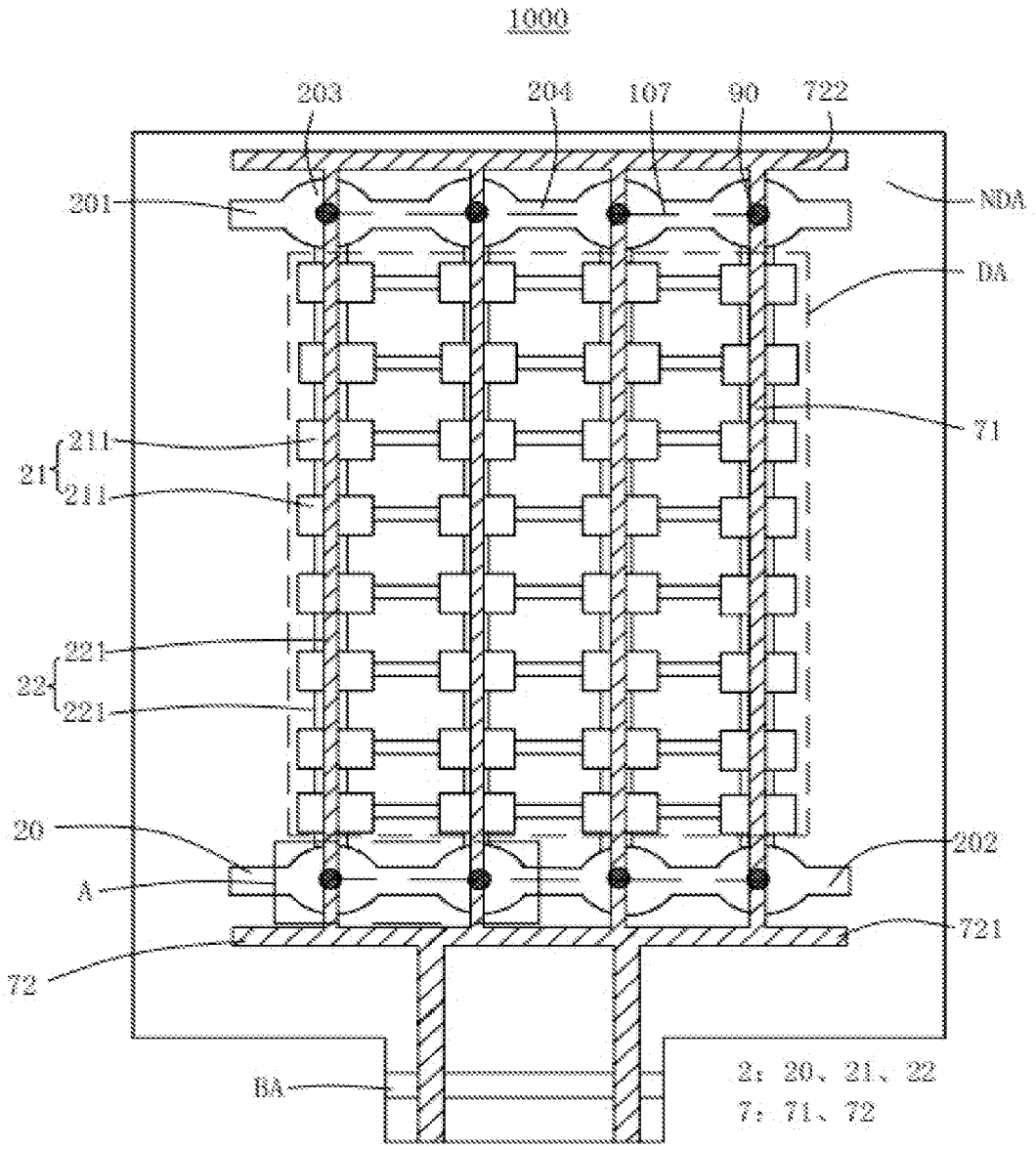

1000
203
204
107
90
722
201
NDA
DA
71
211
21
211
221
22
221
20
202
A
721
72
BA
2：20、21、22
7：71、72

FIG. 2

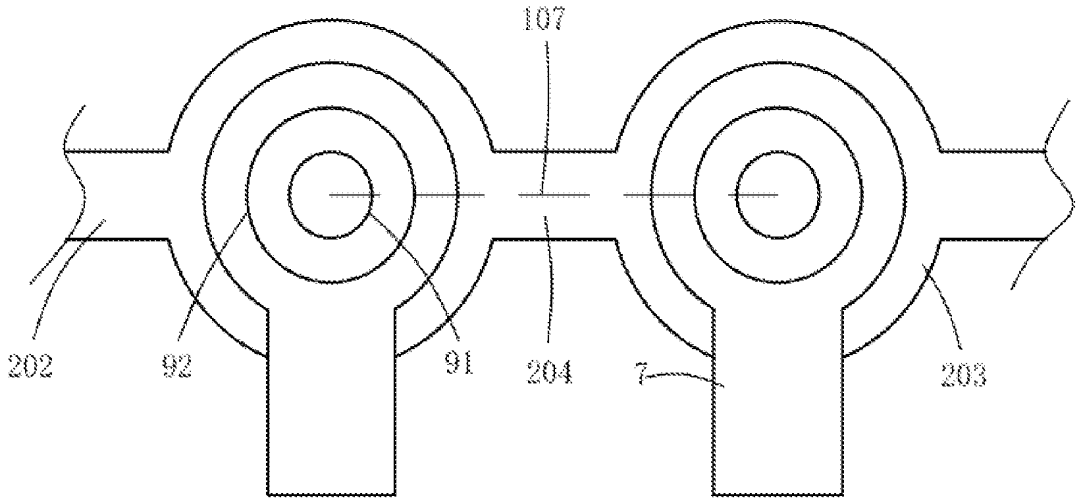


FIG. 3

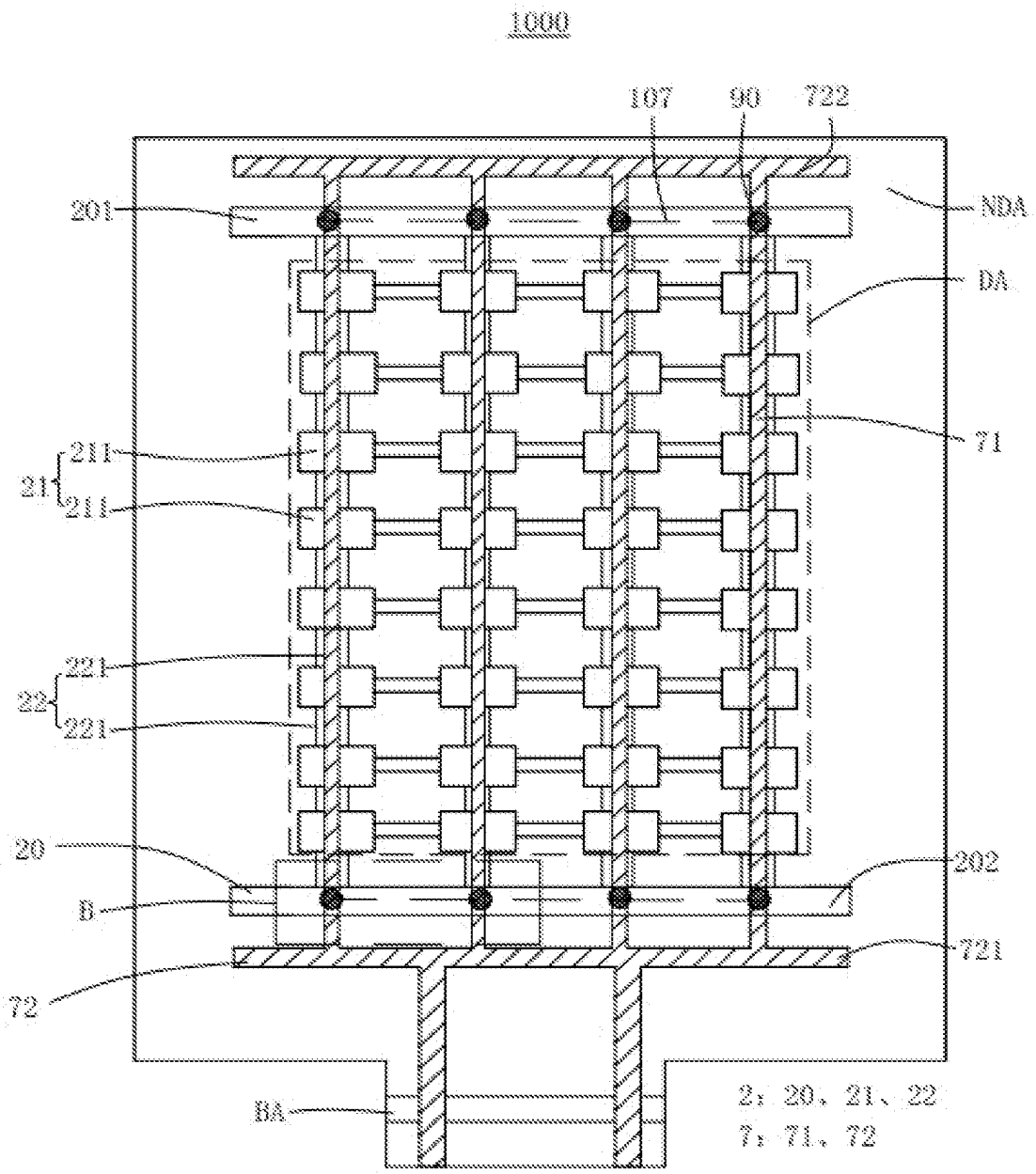

1000
107
90
722
201
NDA
DA
71
211
21
211
221
22
221
20
202
B
721
72
BA
2：20、21、22
7：71、72

FIG. 4

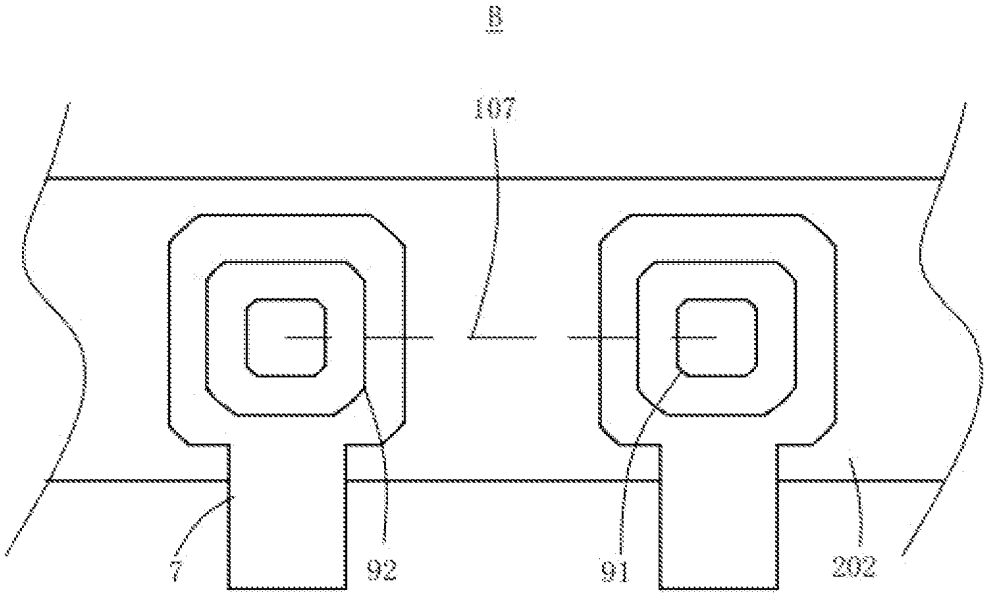


FIG. 5

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	92088
	Application Number	
Title of Invention	DISPLAY PANEL AND DISPLAY DEVICE	

The application data sheet is part of the provisional or nonprovisional application for which it is being submitted. The following form contains the bibliographic data arranged in a format specified by the United States Patent and Trademark Office as outlined in 37 CFR 1.76.
This document may be completed electronically and submitted to the Office in electronic format using the Electronic Filing System (EFS) or the document may be printed and included in a paper filed application.

Secrecy Order 37 CFR 5.2:

☐ Portions or all of the application associated with this Application Data Sheet may fall under a Secrecy Order pursuant to 37 CFR 5.2 (Paper filers only. Applications that fall under Secrecy Order may not be filed electronically.)

Inventor Information:

Inventor 1 — Remove

Legal Name

Prefix	Given Name	Middle Name	Family Name	Suffix
	Xing		WU	

Residence Information (Select One) US Residency ● Non US Residency Active US Military Service

City	Wuhan, Hubei	Country of Residence i	CN

Mailing Address of Inventor:

Address 1	305 Rm, Bldg C5, Biolake of Optics Valley, No. 666
Address 2	Gaoxin Ave, Wuhan E. Lake Hi-tech Development Zone

City	Wuhan, Hubei	State/Province	
Postal Code	430079	**Country** i	CN

All Inventors Must Be Listed - Additional Inventor Information blocks may be generated within this form by selecting the **Add** button. Add

Correspondence Information:

Enter either Customer Number or complete the Correspondence Information section below.
For further information see 37 CFR 1.33(a).

☐ **An Address is being provided for the correspondence Information of this application.**

Customer Number	67801		
Email Address	martin@ipatent.co.il	Add Email	Remove Email

Application Information:

Title of the Invention	DISPLAY PANEL AND DISPLAY DEVICE		
Attorney Docket Number	92088	**Small Entity Status Claimed**	☐
Application Type	Nonprovisional		
Subject Matter	Utility		
Total Number of Drawing Sheets (if any)	5	**Suggested Figure for Publication (if any)**	2

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	92088
	Application Number	
Title of Invention	DISPLAY PANEL AND DISPLAY DEVICE	

Filing By Reference:

Only complete this section when filing an application by reference under 35 U.S.C. 111(c) and 37 CFR 1.57(a). Do not complete this section if application papers including a specification and any drawings are being filed. Any domestic benefit or foreign priority information must be provided in the appropriate section(s) below (i.e., "Domestic Benefit/National Stage Information" and "Foreign Priority Information").

For the purposes of a filing date under 37 CFR 1.53(b), the description and any drawings of the present application are replaced by this reference to the previously filed application, subject to conditions and requirements of 37 CFR 1.57(a).

Application number of the previously filed application	Filing date (YYYY-MM-DD)	Intellectual Property Authority or Country

Publication Information:

☐ Request Early Publication (Fee required at time of Request 37 CFR 1.219)

☐ **Request Not to Publish.** I hereby request that the attached application not be published under 35 U.S.C. 122(b) and certify that the invention disclosed in the attached application **has not and will not** be the subject of an application filed in another country, or under a multilateral international agreement, that requires publication at eighteen months after filing.

Representative Information:

Representative information should be provided for all practitioners having a power of attorney in the application. Providing this information in the Application Data Sheet does not constitute a power of attorney in the application (see 37 CFR 1.32).
Either enter Customer Number or complete the Representative Name section below. If both sections are completed the customer Number will be used for the Representative Information during processing.

Please Select One:	● Customer Number	US Patent Practitioner	○ Limited Recognition (37 CFR 11.9)
Customer Number	67801		

Domestic Benefit/National Stage Information:

This section allows for the applicant to either claim benefit under 35 U.S.C. 119(e), 120, 121, 365(c), or 386(c) or indicate National Stage entry from a PCT application. Providing benefit claim information in the Application Data Sheet constitutes the specific reference required by 35 U.S.C. 119(e) or 120, and 37 CFR 1.78.
When referring to the current application, please leave the "Application Number" field blank.

Prior Application Status	Pending		Remove
Application Number	Continuity Type	Prior Application Number	Filing or 371(c) Date (YYYY-MM-DD)
	a 371 of international	PCT/CN2022/082256	2022-03-22

Additional Domestic Benefit/National Stage Data may be generated within this form by selecting the **Add** button. Add

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	92088
	Application Number	
Title of Invention	DISPLAY PANEL AND DISPLAY DEVICE	

Foreign Priority Information:

This section allows for the applicant to claim priority to a foreign application. Providing this information in the application data sheet constitutes the claim for priority as required by 35 U.S.C. 119(b) and 37 CFR 1.55. When priority is claimed to a foreign application that is eligible for retrieval under the priority document exchange program (PDX)[i] the information will be used by the Office to automatically attempt retrieval pursuant to 37 CFR 1.55(i)(1) and (2). Under the PDX program, applicant bears the ultimate responsibility for ensuring that a copy of the foreign application is received by the Office from the participating foreign intellectual property office, or a certified copy of the foreign priority application is filed, within the time period specified in 37 CFR 1.55(g)(1).

Remove

Application Number	Country[i]	Filing Date (YYYY-MM-DD)	Access Code[i] (if applicable)
202210237733.1	CN	2022-03-11	9D35

Additional Foreign Priority Data may be generated within this form by selecting the **Add** button. Add

Statement under 37 CFR 1.55 or 1.78 for AIA (First Inventor to File) Transition Applications

☐ This application (1) claims priority to or the benefit of an application filed before March 16, 2013 and (2) also contains, or contained at any time, a claim to a claimed invention that has an effective filing date on or after March 16, 2013.
NOTE: By providing this statement under 37 CFR 1.55 or 1.78, this application, with a filing date on or after March 16, 2013, will be examined under the first inventor to file provisions of the AIA.

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	92088
	Application Number	
Title of Invention	DISPLAY PANEL AND DISPLAY DEVICE	

Authorization or Opt-Out of Authorization to Permit Access:

When this Application Data Sheet is properly signed and filed with the application, applicant has provided written authority to permit a participating foreign intellectual property (IP) office access to the instant application-as-filed (see paragraph A in subsection 1 below) and the European Patent Office (EPO) access to any search results from the instant application (see paragraph B in subsection 1 below).

Should applicant choose not to provide an authorization identified in subsection 1 below, applicant **must opt-out** of the authorization by checking the corresponding box A or B or both in subsection 2 below.

NOTE: This section of the Application Data Sheet is **ONLY** reviewed and processed with the **INITIAL** filing of an application. After the initial filing of an application, an Application Data Sheet cannot be used to provide or rescind authorization for access by a foreign IP office(s). Instead, Form PTO/SB/39 or PTO/SB/69 must be used as appropriate.

1. Authorization to Permit Access by a Foreign Intellectual Property Office(s)

A. Priority Document Exchange (PDX) - Unless box A in subsection 2 (opt-out of authorization) is checked, the undersigned hereby **grants the USPTO authority** to provide the European Patent Office (EPO), the Japan Patent Office (JPO), the Korean Intellectual Property Office (KIPO), the State Intellectual Property Office of the People's Republic of China (SIPO), the World Intellectual Property Organization (WIPO), and any other foreign intellectual property office participating with the USPTO in a bilateral or multilateral priority document exchange agreement in which a foreign application claiming priority to the instant patent application is filed, access to: (1) the instant patent application-as-filed and its related bibliographic data, (2) any foreign or domestic application to which priority or benefit is claimed by the instant application and its related bibliographic data, and (3) the date of filing of this Authorization. See 37 CFR 1.14(h)(1).

B. Search Results from U.S. Application to EPO - Unless box B in subsection 2 (opt-out of authorization) is checked, the undersigned hereby **grants the USPTO authority** to provide the EPO access to the bibliographic data and search results from the instant patent application when a European patent application claiming priority to the instant patent application is filed. See 37 CFR 1.14(h)(2).

The applicant is reminded that the EPO's Rule 141(1) EPC (European Patent Convention) requires applicants to submit a copy of search results from the instant application without delay in a European patent application that claims priority to the instant application.

2. Opt-Out of Authorizations to Permit Access by a Foreign Intellectual Property Office(s)

☐ A. Applicant **DOES NOT** authorize the USPTO to permit a participating foreign IP office access to the instant application-as-filed. If this box is checked, the USPTO will not be providing a participating foreign IP office with any documents and information identified in subsection 1A above.

☐ B. Applicant **DOES NOT** authorize the USPTO to transmit to the EPO any search results from the instant patent application. If this box is checked, the USPTO will not be providing the EPO with search results from the instant application.

NOTE: Once the application has published or is otherwise publicly available, the USPTO may provide access to the application in accordance with 37 CFR 1.14.

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	92088
	Application Number	
Title of Invention	DISPLAY PANEL AND DISPLAY DEVICE	

Applicant Information:

Providing assignment information in this section does not substitute for compliance with any requirement of part 3 of Title 37 of CFR to have an assignment recorded by the Office.

Applicant 1 — Remove

If the applicant is the inventor (or the remaining joint inventor or inventors under 37 CFR 1.45), this section should not be completed. The information to be provided in this section is the name and address of the legal representative who is the applicant under 37 CFR 1.43; or the name and address of the assignee, person to whom the inventor is under an obligation to assign the invention, or person who otherwise shows sufficient proprietary interest in the matter who is the applicant under 37 CFR 1.46. If the applicant is an applicant under 37 CFR 1.46 (assignee, person to whom the inventor is obligated to assign, or person who otherwise shows sufficient proprietary interest) together with one or more joint inventors, then the joint inventor or inventors who are also the applicant should be identified in this section.

Clear

● Assignee	Legal Representative under 35 U.S.C. 117	Joint Inventor
Person to whom the inventor is obligated to assign.	Person who shows sufficient proprietary interest	

If applicant is the legal representative, indicate the authority to file the patent application, the inventor is:

Name of the Deceased or Legally Incapacitated Inventor:

If the Applicant is an Organization check here. ☒

Organization Name	Wuhan China Star Optoelectronics Semiconductor Display Technology Co., Ltd.		
Mailing Address Information For Applicant:			
Address 1	305 Rm, Bldg C5, Biolake of Optics Valley, No. 666		
Address 2	Gaoxin Ave, Wuhan E. Lake Hi-tech Development Zone		
City	Wuhan, Hubei	**State/Province**	
Country	CN	Postal Code	430079
Phone Number		Fax Number	
Email Address			

Additional Applicant Data may be generated within this form by selecting the Add button. Add

Assignee Information including Non-Applicant Assignee Information:

Providing assignment information in this section does not substitute for compliance with any requirement of part 3 of Title 37 of CFR to have an assignment recorded by the Office.

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	92088
	Application Number	
Title of Invention	DISPLAY PANEL AND DISPLAY DEVICE	

Assignee 1

Complete this section if assignee information, including non-applicant assignee information, is desired to be included on the patent application publication. An assignee-applicant identified in the "Applicant Information" section will appear on the patent application publication as an applicant. For an assignee-applicant, complete this section only if identification as an assignee is also desired on the patent application publication.

Remove

If the Assignee or Non-Applicant Assignee is an Organization check here. ☒

Organization Name	Wuhan China Star Optoelectronics Semiconductor Display Technology Co., Ltd.

Mailing Address Information For Assignee including Non-Applicant Assignee:

Address 1	305 Rm, Bldg C5, Biolake of Optics Valley, No. 666		
Address 2	Gaoxin Ave, Wuhan E. Lake Hi-tech Development Zone		
City	Wuhan, Hubei	**State/Province**	
Country i	CN	Postal Code	430079
Phone Number		Fax Number	
Email Address			

Additional Assignee or Non-Applicant Assignee Data may be generated within this form by selecting the Add button. Add

Signature:

Remove

NOTE: This Application Data Sheet must be signed in accordance with 37 CFR 1.33(b). **However, if this Application Data Sheet is submitted with the INITIAL filing of the application and either box A or B is not checked in subsection 2 of the "Authorization or Opt-Out of Authorization to Permit Access" section, then this form must also be signed in accordance with 37 CFR 1.14(c).**

This Application Data Sheet **must** be signed by a patent practitioner if one or more of the applicants is a **juristic entity** (e.g., corporation or association). If the applicant is two or more joint inventors, this form must be signed by a patent practitioner, **all** joint inventors who are the applicant, or one or more joint inventor-applicants who have been given power of attorney (e.g., see USPTO Form PTO/AIA/81) on behalf of **all** joint inventor-applicants.

See 37 CFR 1.4(d) for the manner of making signatures and certifications.

Signature	/Martin D. Moynihan/			Date (YYYY-MM-DD)	2022-03-29
First Name	Martin	Last Name	Moynihan	Registration Number	40338

Additional Signature may be generated within this form by selecting the Add button. Add

PTO/AIA/14 (02-18)
Approved for use through 11/30/2020. OMB 0651-0032
U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Application Data Sheet 37 CFR 1.76	Attorney Docket Number	92088
	Application Number	
Title of Invention	DISPLAY PANEL AND DISPLAY DEVICE	

This collection of information is required by 37 CFR 1.76. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 23 minutes to complete, including gathering, preparing, and submitting the completed application data sheet form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. **SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450.**

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. Accordingly, pursuant to the requirements of the Act, please be advised that: (1) the general authority for the collection of this information is 35 U.S.C. 2(b)(2); (2) furnishing of the information solicited is voluntary; and (3) the principal purpose for which the information is used by the U.S. Patent and Trademark Office is to process and/or examine your submission related to a patent application or patent. If you do not furnish the requested information, the U.S. Patent and Trademark Office may not be able to process and/or examine your submission, which may result in termination of proceedings or abandonment of the application or expiration of the patent.

The information provided by you in this form will be subject to the following routine uses:

1 The information on this form will be treated confidentially to the extent allowed under the Freedom of Information Act (5 U.S.C. 552) and the Privacy Act (5 U.S.C. 552a). Records from this system of records may be disclosed to the Department of Justice to determine whether the Freedom of Information Act requires disclosure of these records.

2. A record from this system of records may be disclosed, as a routine use, in the course of presenting evidence to a court, magistrate, or administrative tribunal, including disclosures to opposing counsel in the course of settlement negotiations.

3 A record in this system of records may be disclosed, as a routine use, to a Member of Congress submitting a request involving an individual, to whom the record pertains, when the individual has requested assistance from the Member with respect to the subject matter of the record.

4. A record in this system of records may be disclosed, as a routine use, to a contractor of the Agency having need for the information in order to perform a contract. Recipients of information shall be required to comply with the requirements of the Privacy Act of 1974, as amended, pursuant to 5 U.S.C. 552a(m).

5. A record related to an International Application filed under the Patent Cooperation Treaty in this system of records may be disclosed, as a routine use, to the International Bureau of the World Intellectual Property Organization, pursuant to the Patent CooperationTreaty.

6. A record in this system of records may be disclosed, as a routine use, to another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c)).

7. A record from this system of records may be disclosed, as a routine use, to the Administrator, General Services, or his/her designee, during an inspection of records conducted by GSA as part of that agency's responsibility to recommend improvements in records management practices and programs, under authority of 44 U.S.C. 2904 and 2906. Such disclosure shall be made in accordance with the GSA regulations governing inspection of records for this purpose, and any other relevant (i.e., GSA or Commerce) directive. Such disclosure shall not be used to make determinations about individuals.

8. A record from this system of records may be disclosed, as a routine use, to the public after either publication of the application pursuant to 35 U.S.C. 122(b) or issuance of a patent pursuant to 35 U.S.C. 151. Further, a record may be disclosed, subject to the limitations of 37 CFR 1.14, as a routine use, to the public if the record was filed in an application which became abandoned or in which the proceedings were terminated and which application is referenced by either a published application, an application open to public inspections or an issued patent.

9. A record from this system of records may be disclosed, as a routine use, to a Federal, State, or local law enforcement agency, if the USPTO becomes aware of a violation or potential violation of law or regulation.

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of.:		§		
		§		
	Xing WU	§		
		§		
Serial No.:	Not Yet Assigned – US National Phase of PCT/CN2022/082256	§	Confirmation No.:	Not Yet Assigned
		§		
		§		
		§		
Filed:	Herewith	§	Group Art Unit:	Not Yet Assigned
		§		
		§		
For:	DISPLAY PANEL AND DISPLAY DEVICE	§		
		§		
		§	Attorney Docket:	**92088**
		§		
Examiner:	Not Yet Assigned	§		

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

PRELIMINARY AMENDMENT

Sir:

Prior to examination, please amend the above-identified application as follows:

REMARKS

This application is a National Phase Application of PCT Patent Application No. PCT/CN2022/082256 having International filing date of March 22, 2022.

Claims 1, 4-11, and 14-20 have been amended to correct obvious errors. No new matter has been added.

Regarding amended claim 1, referring to FIG. 1, it is unclear where the component "first wire layer" is located in FIG. 1. For the sake of conciseness and the figures and the specification to support, and since a person having ordinary skill in the art can clearly see where the plurality of power supply lines (labeled as 7) are in FIG. 1, claim 1 is amended to remove the component of "first wire layer".

An early and favorable action is respectfully requested.

Respectfully submitted,

/Martin D. Moynihan/

Martin D. Moynihan
Registration No. 40338
Telephone: (703) 859-9634
Email: martin@ipatent.co.il

Date: March 29, 2022

DISPLAY PANEL AND DISPLAY DEVICE

FIELD

[0001] The present disclosure relates to the field of display technologies, and more particularly, to a display panel and a display device.

BACKGROUND

[0002] Organic light-emitting diode (OLED) screens are currently widely used and have advantages of light weight and high color gamut value. However, since substrates, adopting organic flexible substrates, are affected by interfaces between the substrates and inorganic layers, the OLED screens are prone to have problems such as screen afterimages, initial drops, and poor service life.

[0003] In order to reduce such influence, more and more of the OLED screens adopt bottom shielding metals to shield pixel driving circuits at the interfaces between the substrates and the inorganic layers. However, in order to link to power supply lines, the bottom shielding metals have serrated edges, and electro-static discharge (ESD) explosions are likely to occur at tips of serrations, thereby affecting a display effect.

SUMMARY

[0004] The present invention provides a display panel and a display device, which can reduce a problem of ESD damage to bottom shielding metals.

[0005] Therefore, the present invention provides a display panel including a display region and a non-display region disposed on at least one side of the display region. The display panel includes: a substrate; a shielding layer located on the substrate, wherein the shielding layer includes a plurality of shielding blocks and a converging wire electrically connected to the plurality of shielding blocks, and the converging wire is located on at least one side of the plurality

Petitioner Samsung Ex-1004, 0057

of shielding blocks; a pixel driving circuit layer located on the shielding layer wherein the pixel driving circuit layer includes a plurality of pixel driving circuits located in the display region, each of the plurality of pixel driving circuits at least partially overlaps a corresponding one of the shielding blocks; and a first wire layer disposed on a side of the shielding layer away from the substrate. The first wire layer includes: a plurality of power supply lines, wherein the plurality of power supply lines are electrically connected to the converging wire through a plurality of through holes. The converging wire between two adjacent ones of the plurality of through holes is disposed according to a shortest distance between the two adjacent through holes.

[0006] In some embodiments, the converging wire between the two adjacent through holes is linear in arrangement.

[0007] In some embodiments, the converging wire is linear in arrangement and the plurality of through holes overlappingly disposed on the converging wire are linear in arrangement.

[0008] In some embodiments, the converging wire includes a first converging wire, and the first converging wire includes a plurality of first connection sections and a plurality of second connection sections; wherein each of the plurality of second connection sections is connected between a middle portion of two adjacent first plurality of connection sections, a width of the plurality of first connection sections is greater than a width of the plurality of second connection sections, and the plurality of power supply lines are electrically connected to the plurality of first connection sections through the plurality of through holes.

[0009] In some embodiments, the pixel driving circuit layer includes the plurality of pixel driving circuits arranged in an array in a first direction and a second direction, each of the plurality of first connection sections is electrically

Petitioner Samsung Ex-1004, 0058

connected to the plurality of shielding blocks corresponding to a column of the plurality of pixel driving circuits arranged along a first direction.

[0010] In some embodiments, a periphery of the plurality of first sections is arc shaped, the plurality of second sections are linearly shaped, a maximum width of the plurality of first sections is greater than the width of the plurality of second sections.

[0011] In some embodiments, the non-display region includes: a first non-display region and a second non-display region disposed on two sides of the display region, wherein the first non-display region includes a bending sub-region, and the display panel is disposed in the bending sub-region.

[0012] The converging wire includes a first converging wire arranged in the first non-display region, and the plurality of power supply lines are electrically connected to the plurality of first connection sections at least through the plurality of through holes.

[0013] In some embodiments, the converging wire includes a second converging wire arranged in the second non-display region, and the plurality of power supply lines are further electrically connected to the plurality of second connection sections through the plurality of through holes.

[0014] In some embodiments, the pixel driving circuit layer includes: a semiconductor layer disposed on a side of the shielding layer away from the substrate; a first insulating layer disposed on a side of the semiconductor layer away from the substrate; a first gate metal layer disposed on a side of the first insulating layer away from the substrate; a second insulating layer disposed on a side of the first gate metal layer away from the substrate; a second gate metal layer disposed on a side of the second insulating layer away from the substrate; and a third insulating layer disposed on a side of the second gate metal layer

Petitioner Samsung Ex-1004, 0059

away from the substrate. The first conductive layer is disposed on a side of the third insulating layer away from the substrate, the plurality of power supply lines of the first conductive layer are electrically connected to the converging wire through the plurality of through holes, and the plurality of through holes penetrate through the first insulating layer, the second insulating layer, and the third insulating layer.

[0015] In some embodiments, a fourth insulating layer disposed between the second gate metal layer and the third insulating layer; and a second conductive layer disposed between the fourth insulating layer and the third insulating layer. The plurality of through holes include a plurality of first through holes and a plurality of second through holes, the plurality of first through holes penetrates through the first insulating layer, the second insulating layer, and the fourth insulating layer, and the plurality of second through holes penetrates through the third insulating layer; wherein the plurality of first through holes are communicated with the plurality of second through holes, and a diameter of each of the plurality of second through holes is greater than a diameter of each of the plurality of first through holes.

[0016] The present invention further provides a display device including the above-mentioned display panel.

[0017] In the display panel and the display device provided by embodiments of the present invention, the plurality of shielding blocks of the shielding layer shield the plurality of thin-film transistors of the pixel driving circuit layer. The plurality of power supply lines and the converging wire of the shielding layer are electrically connected to each other through the plurality of through holes. The converging wires between the adjacent through holes are arranged according to the shortest distance between the adjacent through holes, so that an

Petitioner Samsung Ex-1004, 0060

expected current path flowing through the converging wire is within a boundary of the converging wire and is conducted along the shortest distance between the adjacent through holes. Therefore, an accumulation of charges at a boundary of the shielding layer can be reduce, and an occurrence of an effect of ESD damage of the shielding layer can be reduced.

[0018]

DESCRIPTION OF DRAWINGS

[0019] FIG. 1 is a cross-sectional schematic view of a display panel provided by an embodiment of the present invention.

[0020] FIG. 2 is a top view of the display panel provided by an embodiment of the present invention.

[0021] FIG. 3 is an enlarged schematic view of a portion A in FIG. 2.

[0022] FIG. 4 is a top view of a display panel provided by an embodiment of the present invention.

[0023] FIG. 5 is an enlarged schematic view of a portion B in FIG. 4.

DETAILED DESCRIPTION

[0024] In order to make purposes, technical solutions, and effects of the present application clearer and more specific, the present application is further described in detail below with reference to the accompanying drawings and examples. It should be understood that the specific embodiments described herein are only used to explain the application, and are not used to limit the present application. In the present invention, if no explanation is made to the contrary, orientation words such as “upper” and “lower” usually refer to upper and lower directions of a device in an actual use or a working state and specifically refer to drawing directions in drawings. Also, “inner” and “outer” refer to an outline of the device.

Petitioner Samsung Ex-1004, 0061

[0025] As shown in FIGs. 1-2, an embodiment of the present invention provides a display panel 1000, which can be an OLED display panel, a liquid crystal display panel, a micro- light-emitting diode display panel, or a mini-light-emitting diode display panel. For example, the display panel 1000 is an OLED display panel.

[0026] The display panel 1000 includes a display region DA and a non-display region NDA. The display region DA can be a region for arranging a plurality of sub-pixels 9 for displaying images. The non-display region NDA can be a driving unit, such as a gate driving circuit, for providing driving signals to a plurality of pixel driving circuits 40 of the plurality of sub-pixels 9, and some other regions for connecting the driving unit. The plurality of sub-pixels 9 are not arranged in the non-display region NDA. The non-display region NDA can be disposed on at least a side of the display region DA. The non-display region NDA can at least partially surround a periphery of the display region DA. The non-display region NDA includes a first non-display region and a second non-display region disposed on two sides of the display region DA, and the display panel is bent at a bending sub-region BA of the first non-display region.

[0027] The display panel 1000 includes a substrate 1, a shielding layer 2 located on the substrate 1, a bottom insulating layer 30 located on the shielding layer 2, a buffer layer 31 located on the bottom insulating layer 30, a pixel driving circuit layer 4 located on the buffer layer 31, a pixel definition layer 5 and a light-emitting device layer 6 located on the pixel driving circuit layer 4, and a plurality of power supply lines 7. For convenience of description, the plurality of sub-pixels 9 can include the light-emitting device layer 6.

[0028] Referring to FIG. 1, the substrate 1 can include a single-layer insulating material such as glass, quartz, and polymer resin, or a multi-layer

Petitioner Samsung Ex-1004, 0062

insulating material such as double-layer polymer resin. The substrate 1 can be a rigid substrate 1 or a flexible substrate 1. The substrate 1 is used to carry film layers disposed thereon.

[0029] The bottom insulating layer 30 and the buffer layer 31 can include a single-layer film that is an insulating film such as silicon nitride (SiN_x) and silicon oxide (SiO_x) or multi-layer films laminated with silicon nitride (SiN_x) and silicon oxide (SiO_x). The buffer layer 31 prevents penetration of unnecessary components such as impurities or moisture.

[0030] Referring to FIGs. 1-2, the shielding layer 2 can include single-layer or multi-layer metal materials such as Mo, Ti, Ti/Al/Ti, semiconductor materials Si, transparent conductive materials, e.g., indium tin oxide (ITO). The shielding layer 2 is located between the bottom insulating layer 30 and the substrate 1, and is disposed under the pixel driving circuit layer 4 to shield the plurality of pixel driving circuits 40 of the pixel driving circuit layer 4. The shielding layer 2 includes a converging wire 20, a plurality of shielding portions 21, and a plurality of common connection portions 22. The converging wire 20 is located in the non-display region NDA and adjacent to the display region DA, and the plurality of shielding portions 21 are located in the display region DA.

[0031] The converging wire 20 includes a first converging wire 201 and a second converging wire 202. The first converging wire 201 is located in the first non-display region, and the second converging wire 202 is located in the second non-display region, the first converging wire 201 and the second converging wire 202 extend along a first direction, and the first direction is an extending direction of a plurality of scan lines of the pixel driving circuit layer 4 (from left to right in the figure). The first converging wire 201 and the second converging wire 202 each include a plurality of first connection sections 203

Petitioner Samsung Ex-1004, 0063

and a plurality of second connection sections 204. A periphery of each of the plurality of first connection sections 203 is arc shaped. For example, the plurality of peripheries of the plurality of first connection sections 203 can be approximately oval or circular, and the plurality of second connection section 204 are approximately linear. Each of the plurality of second connection sections 204 is connected between a middle portion of two adjacent ones of the plurality of first connection sections 203, and a maximum width of the plurality of first connection sections 203 is greater than a width of the plurality of second connection sections 204.

[0032] The plurality of shielding portions 21 are used to shield a plurality of thin-film transistors 401 of the plurality of pixel driving circuits 40 arranged in an array along the first direction and a second direction. The plurality of thin-film transistors 401 include a plurality of driving thin-film transistors, and the plurality of shielding portions 21 include a plurality of shielding blocks 211 for shielding a plurality of semiconductor patterns of the plurality of driving thin-film transistors. The plurality of shielding blocks 211 are arranged in an array, and each column of the plurality of shielding blocks 211 shield the plurality of semiconductor patterns of the plurality of driving thin-film transistors of the plurality of pixel driving circuits 40 that drive a corresponding column of the plurality of sub-pixels 9, and are connected to a corresponding one of the plurality of first connection sections 203.

[0033] The plurality of common connection portions 22 include a plurality of common connection sections 221. The first converging wire is directly connected between outermost of the plurality of shielding blocks 211 on a column direction the plurality of common connection sections 221, the plurality

Petitioner Samsung Ex-1004, 0064

of common connection sections 221 in the second portion are electrically connected between the plurality of shielding blocks 211.

[0034] Referring further to FIG. 1, the pixel driving circuit layer 4 includes a semiconductor layer 41, a first insulating layer 42 located on the semiconductor layer 41, a first gate metal layer 43 located on the first insulating layer 42, a first gate metal layer 43 located on the first insulating layer 42, a second insulating layer 44 located on the first gate metal layer 43, a second gate metal layer 45 located on the second insulating layer 44, an interlayer insulating layer 46 (i.e., a fourth insulating layer) located on the second gate metal layer 45, a third metal layer 47 (i.e., a second conductive metal layer) located on the interlayer insulating layer 46, a first planarization layer 481 (i.e., a third insulating layer) located on the third metal layer 47, a fourth metal layer 49 (i.e., a first conductive layer) located on the first planarization layer 481, and a second planarization layer 482 located on the fourth metal layer 49. The semiconductor layer 41, the first insulating layer 42, the first gate metal layer 43, the interlayer insulating layer 46, and the third metal layer 47 can jointly form the plurality of thin-film transistors 401. The first gate metal layer 43, the second insulating layer 44, and the second gate metal layer 45 can jointly form a plurality of capacitors 402. The plurality of pixel driving circuits 40 can include the plurality of capacitors 402 and the plurality of thin-film transistors 401 to drive the plurality of sub-pixels 9 to emit light.

[0035] The semiconductor layer 41 can include polysilicon or oxide semiconductor. Here, the oxide semiconductor can include any one of oxides or composite oxides of titanium (Ti), hafnium (Hf), zirconium (Zr), aluminum (Al), tantalum (Ta), germanium (Ge), zinc (Zn), gallium (Ga), tin (Sn), or indium (In). The semiconductor layer 41 can include the plurality of semiconductor patterns

Petitioner Samsung Ex-1004, 0065

of the plurality of thin-film transistors 401. The plurality of semiconductor patterns can include: a channel region overlapping a gate in a thickness direction and a first source/drain region and a second source/drain region located on a side and another side of the channel region, respectively. The first source/drain region and the second source/drain region are conductive regions, and can have higher conductivity and lower resistance than the channel region.

[0036] The first insulating layer 42 and the second insulating layer 44 can be a single-layer film including silicon oxide (SiO_x) or silicon nitride (SiN_x), or a multi-layer film laminated with silicon oxide (SiO_x) or silicon nitride (SiN_x).

[0037] The first gate metal layer 43 can include a plurality of gates of the plurality of thin-film transistors 401 and the plurality of scan lines, and the plurality of gates can be formed by a low-resistance material. The second gate metal layer 45 can include an upper electrode plate of the plurality of capacitors 402, and the plurality of gates can serve as a lower electrode plate of the plurality of capacitors 402. Materials of the first gate metal layer 43 and the second gate metal layer 45 can be the same or different. For example, the first gate metal layer 43 and the second gate metal layer 45 can include at least one metal selected from molybdenum (Mo), aluminum (Al), platinum (Pt), palladium (Pd), silver (Ag), magnesium (Mg), gold (Au), nickel (Ni), neodymium (Nd), iridium (Ir), chromium (Cr), calcium (Ca), titanium (Ti), tantalum (Ta), tungsten (W), and copper (Cu), but not limited thereto.

[0038] The interlayer insulating layer 46 can include silicon compounds, metal oxides, etc. For example, the interlayer insulating layer 46 can include silicon oxide, silicon nitride, silicon oxynitride, aluminum oxide, tantalum oxide, hafnium oxide, zirconium oxide, titanium oxide, etc. These materials can be used alone or in combination with one another.

Petitioner Samsung Ex-1004, 0066

[0039] The third metal layer 47 can include a plurality of sources and a plurality of drains of the plurality of thin-film transistors 401 and a plurality of data lines. Materials of the third metal layer 47 and the fourth metal layer 49 can be the same. For example, the third metal layer 47 and the fourth metal layer 49 can include at least one metal selected from molybdenum (Mo), aluminum (Al), platinum (Pt), palladium (Pd), silver (Ag), magnesium (Mg), gold (Au), nickel (Ni), neodymium (Nd), iridium (Ir), chromium (Cr), calcium (Ca), titanium (Ti), tantalum (Ta), tungsten (W), and copper (Cu). The third metal layer 47 can be a single-layer film or a multi-layer film. For example, the third metal layer 47 can be formed in a laminated structure of Ti/Al/Ti, Mo/Al/Mo, Mo/AlGe/Mo, Ti/Cu, etc.

[0040] Materials of the first planarization layer 481 and the second planarization layer 482 can be the same or different. For example, the first planarization layer 481 and the second planarization layer 482 can include inorganic insulating materials or organic insulating materials such as polyacrylate resin, epoxy resin, phenolic resin, polyamide resin, polyimide resin, unsaturated polyester resin, polyphenylene ether resin, polyphenylene sulfide resin, or benzocyclobutene. The first planarization layer 481 can further include a photosensitive material, but not limited thereto.

[0041] Referring further to FIGs. 1-3, the plurality of power supply lines 7 are disposed in the fourth metal layer 49, and the plurality of first power supply lines 7 can each be a power supply line with a fixed potential located in the non-display region NDA. The plurality of power supply lines 7 include a plurality of signal wires 71 disposed in the display region DA and electrically connected to the plurality of pixel driving circuits 40, and a plurality of peripheral wires 72 disposed in the non-display region NDA and electrically connected to a preset

Petitioner Samsung Ex-1004, 0067

voltage source (e.g., a power supply chip). The plurality of peripheral wires 72 are electrically connected to the plurality of signal wires 71, so as to reduce a signal difference on the plurality of signal wires 71. The plurality of signal wires 71 extend along the second direction, and the second direction is the extending direction of the plurality of data lines of the pixel driving circuit layer 4 (a direction from top to bottom in the figure). The plurality of peripheral wires 72 extend along the first direction, and include a plurality of first connection portions 721 and a plurality of second connection portions 722 opposite to each other. The plurality of first connection portions 721 are adjacent to the bending sub-area BA, and the plurality of second connection portions 722 are located in the second non-display region.

[0042] For example, the plurality of power supply lines 7 are at least one of a high-voltage power supply line and a reset signal line. The third metal layer 47 and the fourth metal layer 49 can form the high-voltage power supply line, the low-voltage power supply line, and the reset signal line. The plurality of driving thin-film transistors in the plurality of thin-film transistors 401 can be connected in series with a plurality of light-emitting layers of the sub-pixels 9 in a circuit loop formed by the high-voltage power supply line and the low-voltage power supply line to drive the plurality of light-emitting layers 61 of the plurality of sub-pixels 9 to emit light. The reset signal line can be used to be electrically connected to at least one of the plurality of capacitors 402, a first electrode of the plurality of sub-pixels 9, and the plurality of driving thin-film transistors for resetting.

[0043] The plurality of power supply lines 7 are electrically connected to the plurality of first connection sections 203 of the converging wire 20 through a plurality of through holes 90 to be electrically connected to the shielding layer

Petitioner Samsung Ex-1004, 0068

2. The converging wire 20 between adjacent ones of the plurality of through holes 90 is arranged according to a shortest distance between the adjacent through holes 90. Since the shortest distance between the adjacent through holes 90, i.e., a virtual line segment 107, can represent an expected current path between the adjacent through holes 90, the expected current path that is approximately linear can be located within a boundary of the converging wire 20. The plurality of through holes 90 penetrate through the first insulating layer 42, the second insulating layer 44, and the first planarization layer 481. The plurality of through holes 90 include a plurality of first through holes 91 and a plurality of second through holes 92. The plurality of first through holes 91 penetrate through the first insulating layer 42, the second insulating layer 44, and the interlayer insulating layer 46. The plurality of second through holes 92 penetrate through the first planarization layer 481. The plurality of first through holes 91 are communicated with the plurality of second through holes 92, and a diameter of each of the plurality of first through holes 91 is smaller than a diameter of each of the plurality of second through holes 92.

[0044] Reference is further made to FIG. 1. The pixel definition layer 5 can include resins such as polyacrylates or polyimides, inorganic materials such as silica related, etc. The pixel definition layer 5 is formed with a plurality of openings to expose a first electrode 60 of a light emitting device layer 6.

[0045] The light emitting device layer 6 can include the first electrode 60, the light emitting layer 61, and a second electrode 62.

[0046] The first electrode 60 can be an anode. The anode can be materials having a higher work function, such as laminated indium tin oxide (ITO), indium zinc oxide (IZO), zinc oxide (ZnO), and indium oxide (In_2O_3), and materials such as silver (Ag), magnesium (Mg), aluminum (Al), platinum (Pt), palladium (Pd),

Petitioner Samsung Ex-1004, 0069

gold (Au), nickel (Ni), neodymium (Nd), iridium (Ir), chromium (Cr), lithium (Li), calcium (Ca), or a laminated film structure of reflective material layers of a mixture thereof, but not limited thereto. A layer with a higher work function can be arranged on an upper layer more adjacent to the light emitting layer 61EL than the reflective material layer. The anode can have a multi-layer structure having ITO/Mg, ITO/MgF_2, ITO/Ag, and ITO/Ag/ITO, but not limited thereto.

[0047] The light emitting layer 61 can include an organic material layer. The organic material layer of the light-emitting layer 61 can include an organic light-emitting layer, and can further include a hole injection/transmission layer and/or an electron injection/transmission layer.

[0048] The second electrode 62 can be a cathode. The cathode can include materials such as Li, Ca, LiF/Ca, LiF/Al, Al, Mg, Ag, Pt, Pd, Ni, Au, Nd, Ir, Cr, BaF2, Ba, or a material layer of compounds or mixtures thereof (e.g., an Ag and Mg mixture, etc.) with a lower work function. The cathode can further include a transparent metal oxide layer disposed on the material layer with a lower work function.

[0049] In the display panel 1000 of the present embodiment, the plurality of shielding blocks 211 of the shielding layer 2 shield the plurality of thin-film transistors 401 of the pixel driving circuit layer 4, the plurality of power supply lines 7, and the converging wire 20 of the shielding layer 2 are electrically connected to each other through the plurality of through holes 90 disposed in the pixel driving circuit layer 4. The converging wire 20 between the adjacent through holes 90 is arranged according to the shortest distance between the adjacent through holes 90, so that the expected current path flowing through the converging wire 20 is within the boundary of the converging wire and is conducted along the shortest distance between the adjacent through holes 90.

Petitioner Samsung Ex-1004, 0070

Therefore, an accumulation of charges at a boundary of the shielding layer 2 can be reduce, and an occurrence of an effect of ESD damage of the shielding layer 2 can be reduced.

[0050] In other embodiments, referring to FIGs. 4-5, the first converging wire 201 and the second converging wire 202 are linear, and the plurality of through holes 90 overlapping the first converging wire 201 and the second converging wire 202 are linear in arrangement. Based on a same or a similar principle, the effect of ESD damage occurring at adjacent joint locations can be reduced.

[0051] In other embodiments, the shielding layer 2 can be located between the buffer layer 31 and the semiconductor layer 41, or can be located under the substrate 1, so as to be located under the pixel driving circuit layer 4 for shielding.

[0052] In other embodiments, the plurality of power supply lines 7 can also be located in other layers of the pixel driving circuit layer 4, or can be located under the pixel driving circuit layer 4, and are not limited to a high-voltage power supply line or a reset signal line.

[0053] The present invention further provides a display device including the display panel 1000 described in any of the above. The display device serves as a device for displaying video or still images, and can be not only fixed terminals such as televisions, desktop computers, monitors, billboards, but also mobile terminals such as mobile phones, tablet computers, mobile communication terminals, electronic notepads, E-books, multimedia players, navigators, laptops, and also wearable electronic devices such as smart watches, smart glasses, virtual reality devices, and augmented reality devices.

[0054] It can be understood that those having ordinary skills of the art may easily contemplate various changes and modifications of the technical solution

Petitioner Samsung Ex-1004, 0071

and technical ideas of the present application and all these changes and modifications are considered within the protection scope of right for the present application.

Petitioner Samsung Ex-1004, 0072

What is claimed is:

1. A display panel, comprising a display region and a non-display region disposed on at least one side of the display region, wherein the display panel comprises:

a substrate;

a shielding layer located on the substrate, wherein comprises a plurality of shielding blocks and a converging wire electrically connected to the plurality of shielding blocks, and the converging wire is located on at least one side of the plurality of shielding blocks;

a pixel driving circuit layer located on the shielding layer, wherein comprises a plurality of pixel driving circuits located in the display region, each of the plurality of pixel driving circuits at least partially overlaps a corresponding one of the shielding blocks; and

a first wire layer disposed on a side of the shielding layer away from the substrate, the first wire layer comprising: a plurality of power supply lines, wherein the plurality of power supply lines are electrically connected to the converging wire through a plurality of through holes;

wherein the converging wire between two adjacent ones of the plurality of through holes is disposed according to a shortest distance between the two adjacent through holes.

2. The display panel according to claim 1, wherein the converging wire between the two adjacent through holes is linear in arrangement.

3. The display panel according to claim 2, wherein the converging wire is linear in arrangement and the plurality of through holes overlappingly disposed on the converging wire are linear in arrangement.

4. The display panel according to claim 1, wherein the converging wire

Petitioner Samsung Ex-1004, 0073

comprises a first converging wire, and the first converging wire comprises a plurality of first connection sections and a plurality of second connection sections; wherein each of the plurality of second connection sections is connected between a middle portion of two adjacent first plurality of connection sections, a width of the plurality of first connection sections is greater than a width of the plurality of second connection sections, and the plurality of power supply lines are electrically connected to the plurality of first connection sections through the plurality of through holes.

5. The display panel according to claim 4, wherein the pixel driving circuit layer comprises a plurality of pixel driving circuits arranged in an array in a first direction and a second direction, each of the plurality of first connection sections is electrically connected to the plurality of shielding blocks corresponding to a column of the plurality of pixel driving circuits arranged along a first direction.

6. The display panel according to claim 5, wherein a periphery of the plurality of first sections is arc shaped, the plurality of second sections are linearly shaped, a maximum width of the plurality of first sections is greater than the width of the plurality of second sections.

7. The display panel according to claim 1, wherein the non-display region comprises: a first non-display region and a second non-display region disposed on two sides of the display region, wherein the first non-display region comprises a bending sub-region, and the display panel is disposed in the bending sub-region;

the converging wire comprises a first converging wire arranged in the first non-display region, and the plurality of power supply lines are electrically connected to the plurality of first connection sections at least through the plurality of through holes.

Petitioner Samsung Ex-1004, 0074

8. The display panel according to claim 7, wherein the converging wire comprises a second converging wire arranged in the second non-display region, and the plurality of power supply lines are further electrically connected to the plurality of second connection sections through the plurality of through holes.

9. The display panel according to claim 1, wherein the pixel driving circuit layer comprises:

a semiconductor layer disposed on a side of the shielding layer away from the substrate;

a first insulating layer disposed on a side of the semiconductor layer away from the substrate;

a first gate metal layer disposed on a side of the first insulating layer away from the substrate;

a second insulating layer disposed on a side of the first gate metal layer away from the substrate;

a second gate metal layer disposed on a side of the second insulating layer away from the substrate;

a third insulating layer disposed on a side of the second gate metal layer away from the substrate;

the first conductive layer is disposed on a side of the third insulating layer away from the substrate, the plurality of power supply lines of the first conductive layer are electrically connected to the converging wire through the plurality of through holes, and the plurality of through holes penetrate through the first insulating layer, the second insulating layer, and the third insulating layer.

10. The display panel according to claim 9, wherein the pixel driving circuit layer further comprises:

Petitioner Samsung Ex-1004, 0075

a fourth insulating layer disposed between the second gate metal layer and the third insulating layer;

a second conductive layer disposed between the fourth insulating layer and the third insulating layer;

the plurality of through holes comprise a first through hole and a second through hole, the first through hole penetrates through the first insulating layer, the second insulating layer, and the fourth insulating layer, and the second through hole penetrates through the third insulating layer; wherein the first through hole are communicated with the second through hole, and a diameter of the second through hole is greater than a diameter of the first through hole.

11. A display device comprising the display panel as claimed in claim 1, wherein the display panel is OLED panel.

12. The display device according to claim 11, wherein the converging wire between the two adjacent through holes is linear in arrangement.

13. The display device according to claim 12, wherein the converging wire is linear in arrangement and the plurality of through holes overlappingly disposed on the converging wire are linear in arrangement.

14. The display device according to claim 11, wherein the converging wire comprises a first converging wire, and the first converging wire comprises a plurality of first connection sections and a plurality of second connection sections; wherein each of the plurality of second connection sections is connected between a middle portion of two adjacent first plurality of connection sections, a width of the plurality of first connection sections is greater than a width of the plurality of second connection sections, and the plurality of power supply lines are electrically connected to the plurality of first connection sections through the plurality of through holes.

Petitioner Samsung Ex-1004, 0076

15. The display device according to claim 14, wherein the pixel driving circuit layer comprises a plurality of pixel driving circuits arranged in an array in a first direction and a second direction, each of the plurality of first connection sections is electrically connected to the plurality of shielding blocks corresponding to a column of the plurality of pixel driving circuits arranged along a first direction.

16. The display device according to claim 15, wherein a periphery of each of the plurality of first sections is arc shaped, the plurality of second sections are linearly shaped, a maximum width of each of the plurality of first sections is greater than the width of each of the plurality of second sections.

17. The display device according to claim 11, wherein the non-display region comprises: a first non-display region and a second non-display region disposed on two sides of the display region, wherein the first non-display region comprises a bending sub-region, and the display panel is disposed in the bending sub-region;

the converging wire comprises a first converging wire arranged in the first non-display region, and the plurality of power supply lines are electrically connected to the plurality of first connection sections at least through the plurality of through holes.

18. The display device according to claim 17, wherein the converging wire comprises a second converging wire arranged in the second non-display region, and the plurality of power supply lines are further electrically connected to the plurality of second connection sections through the plurality of through holes.

19. The display device according to claim 11, wherein the pixel driving circuit layer comprises:

a semiconductor layer disposed on a side of the shielding layer away from

Petitioner Samsung Ex-1004, 0077

the substrate;

a first insulating layer disposed on a side of the semiconductor layer away from the substrate;

a first gate metal layer disposed on a side of the first insulating layer away from the substrate;

a second insulating layer disposed on a side of the first gate metal layer away from the substrate;

a second gate metal layer disposed on a side of the second insulating layer away from the substrate;

a third insulating layer disposed on a side of the second gate metal layer away from the substrate;

the first conductive layer is disposed on a side of the third insulating layer away from the substrate, the plurality of power supply lines of the first conductive layer are electrically connected to the converging wire through the plurality of through holes, and the plurality of through holes penetrate through the first insulating layer, the second insulating layer, and the third insulating layer.

20. The display device according to claim 19, wherein the pixel driving circuit layer further comprises:

a fourth insulating layer disposed between the second gate metal layer and the third insulating layer;

a second conductive layer disposed between the fourth insulating layer and the third insulating layer;

the plurality of through holes comprise a first through hole and a second through hole, the first through hole penetrates through the first insulating layer, the second insulating layer, and the fourth insulating layer, and the second

Petitioner Samsung Ex-1004, 0078

through hole penetrates through the third insulating layer; wherein the first through hole are communicated with the second through hole, and a diameter of the second through hole is greater than a diameter of the first through hole.

Petitioner Samsung Ex-1004, 0079

ABSTRACT

A display panel and a display device are provided. The display panel includes a shielding layer, a pixel driving circuit layer located on the shielding layer and including a plurality of pixel driving circuits at least partially overlapping the shielding layer, and a power supply line electrically connected to a plurality of through holes of the shielding layer disposed in the pixel driving circuit layer. A converging line between adjacent through holes are arranged according to a shortest distance between the adjacent through holes.

Petitioner Samsung Ex-1004, 0080

In the Specification:

Please insert at Page 1, line 2, the following paragraphs:

RELATED APPLICATIONS

This application is a National Phase of PCT Patent Application No. PCT/CN2022/082256 having International filing date of March 22, 2022, which claims the benefit of priority of Chinese Patent Application No. 202210237733.1 filed on March 11, 2022. The contents of the above applications are all incorporated by reference as if fully set forth herein in their entirety.

Please amend the Paragraph beginning at Page 1, line 3, as follows:

FIELD AND BACKGROUND OF THE INVENTION

Please delete the Paragraph beginning at Page 1, line 6, as follows:

~~BACKGROUND~~

Please amend the Paragraph beginning at Page 1, line 18, as follows:

SUMMARY OF THE INVENTION

Please amend the Paragraph beginning at Page 1, line 19, as follows:

[0004] The present invention provides a display panel and a display device, which can reduce a problem of electro-static discharge (ESD) damage to bottom shielding metals.

Please amend the Paragraph beginning at Page 1, line 21, as follows:

[0005] Therefore, the present invention provides a display panel including a display region and a non-display region disposed on at least one side of the display region. The display panel includes: a substrate; a shielding layer located on the substrate and including a plurality of shielding blocks and a converging wire electrically connected to the plurality of shielding blocks, and the converging wire being located on at least one side of the plurality of shielding blocks; a pixel driving circuit layer located on the shielding layer and including a plurality of pixel driving circuits located in the display region, each of the plurality of pixel driving circuits at least partially

overlapping a corresponding one of the shielding blocks; and a ~~first wire layer~~ plurality of power supply lines disposed on a side of the shielding layer away from the substrate. The ~~first wire layer includes: a plurality of power supply lines, the~~ plurality of power supply lines are electrically connected to the converging wire through a plurality of through holes. The converging wire between two adjacent ones of the plurality of through holes is disposed according to a shortest distance between the two adjacent through holes.

Please amend the Paragraph beginning at Page 3, line 7, as follows:

[0011] In some embodiments, the non-display region includes: a first non-display region and a second non-display region disposed on two sides of the display region, wherein the first non-display region includes a bending sub-region, and the display panel ~~is disposed in~~bends at the bending sub-region.

Please amend the Paragraph beginning at Page 5, line 7, as follows:

BRIEF DESCRIPTION OF THE SEVERAL VIEWS OF THE DRAWINGS

Please amend the Paragraph beginning at Page 5, line 13, as follows:

[0022] FIG. 4 is a top view of a display panel provided by another embodiment of the present invention.

Please amend the Paragraph beginning at Page 5, line 16, as follows:

~~DETAILED~~ DESCRIPTION OF SPECIFIC EMBODIMENTS OF THE INVENTION

Please amend the Paragraph beginning at Page 6, line 1, as follows:

[0025] As shown in FIGs. 1-2, an embodiment of the present invention provides a display panel 1000, which can be an organic light-emitting diode (OLED) display panel, a liquid crystal display panel, a micro- light-emitting diode display panel, or a mini-light-emitting diode display panel. For example, the display panel 1000 is an OLED display panel.

Please amend the Paragraph beginning at Page 6, line 6, as follows:

[0026] The display panel 1000 includes a display region DA and a non-display region NDA. The display region DA can be a region for arranging a plurality of sub-pixels 9 for displaying images. The non-display region NDA can be a driving unit, such as a gate driving circuit, for providing driving signals to a plurality of pixel driving circuits 40 of the plurality of sub-pixels 9, and some other regions for connecting the driving unit. The plurality of sub-pixels 9 are not arranged in the non-display region NDA. The non-display region NDA can be disposed on at least a side of the display region DA. The non-display region NDA can at least partially surround a periphery of the display region DA. The non-display region NDA includes a first non-display region and a second non-display region disposed on two sides of the display region DA, and the display panel 1000 is bent at a bending sub-region BA of the first non-display region.

Please amend the Paragraph beginning at Page 8, line 22, as follows:

[0033] The plurality of common connection portions 22 include a plurality of common connection sections 221. The first converging wire 201 is directly connected between outermost of the plurality of shielding blocks 211 on a ~~column~~ vertical direction respectively through the plurality of common connection sections 221, the plurality of common connection sections 221 ~~in the second portion~~ are electrically connected between the plurality of shielding blocks 211.

Please amend the Paragraph beginning at Page 11, line 20, as follows:

[0041] Referring further to FIGs. 1-3, the plurality of power supply lines 7 are disposed in the fourth metal layer 49, and the plurality of ~~first~~ power supply lines 7 can each be a power supply line with a fixed potential located in the non-display region NDA. The plurality of power supply lines 7 include a plurality of signal wires 71 disposed in the display region DA and electrically connected to the plurality of pixel driving circuits 40, and a plurality of peripheral wires 72 disposed in the non-display region NDA and electrically connected to a preset voltage source (e.g., a power supply chip). The plurality of peripheral wires 72 are electrically connected to the plurality of signal wires 71, so as to reduce a signal difference on the plurality of signal wires 71. The plurality of signal wires 71 extend along the second direction, and the second direction is the extending direction of the plurality of data lines of the pixel driving

circuit layer 4 (a direction from top to bottom in the figure). The plurality of peripheral wires 72 extend along the first direction, and include a plurality of first connection portions 721 and a plurality of second connection portions 722 opposite to each other. The plurality of first connection portions 721 are adjacent to the bending sub-area BA, and the plurality of second connection portions 722 are located in the second non-display region.

Please amend the Paragraph beginning at Page 12, line 12, as follows:

[0042] For example, the plurality of power supply lines 7 are at least one of a high-voltage power supply line and a reset signal line. The third metal layer 47 and the fourth metal layer 49 can form the high-voltage power supply line, the low-voltage power supply line, and the reset signal line. The plurality of driving thin-film transistors in the plurality of thin-film transistors 401 can be connected in series with a plurality of light-emitting layers 61 of the sub-pixels 9 in a circuit loop formed by the high-voltage power supply line and the low-voltage power supply line to drive the plurality of light-emitting layers 61 of the plurality of sub-pixels 9 to emit light. The reset signal line can be used to be electrically connected to at least one of the plurality of capacitors 402, a first electrode of the plurality of sub-pixels 9, and the plurality of driving thin-film transistors for resetting.

Please amend the Paragraph beginning at Page 13, line 23, as follows:

[0046] The first electrode 60 can be an anode. The anode can be materials having a higher work function, such as laminated indium tin oxide (ITO), indium zinc oxide (IZO), zinc oxide (ZnO), and indium oxide (In_2O_3), and materials such as silver (Ag), magnesium (Mg), aluminum (Al), platinum (Pt), palladium (Pd), gold (Au), nickel (Ni), neodymium (Nd), iridium (Ir), chromium (Cr), lithium (Li), calcium (Ca), or a laminated film structure of reflective material layers of a mixture thereof, but not limited thereto. A layer with a higher work function can be arranged on an upper layer more adjacent to the light emitting layer 61~~EL~~ than the reflective material layer. The anode can have a multi-layer structure having ITO/Mg, ITO/MgF_2, ITO/Ag, and ITO/Ag/ITO, but not limited thereto.

Please amend the Paragraph beginning at Page 14, line 17, as follows:

[0049] In the display panel 1000 of the present embodiment, the plurality of shielding blocks 211 of the shielding layer 2 shield the plurality of thin-film transistors

401 of the pixel driving circuit layer 4, the plurality of power supply lines 7, and the converging wire 20 of the shielding layer 2 are electrically connected to each other through the plurality of through holes 90 disposed in the pixel driving circuit layer 4. The converging wire 20 between the adjacent through holes 90 is arranged according to the shortest distance between the adjacent through holes 90, so that the expected current path flowing through the converging wire 20 is within the boundary of the converging wire 20 and is conducted along the shortest distance between the adjacent through holes 90. Therefore, an accumulation of charges at a boundary of the shielding layer 2 can be reduce, and an occurrence of an effect of electro-static discharge (ESD) damage of the shielding layer 2 can be reduced.

In the claims:

1. (Currently amended) A display panel, comprising a display region and a non-display region disposed on at least one side of the display region, wherein the display panel comprises:

a substrate;

a shielding layer located on the substrate, wherein the shielding layer comprises a plurality of shielding blocks and a converging wire electrically connected to the plurality of shielding blocks, and the converging wire is located on at least one side of the plurality of shielding blocks;

a pixel driving circuit layer located on the shielding layer, wherein the pixel driving circuit layer comprises a plurality of pixel driving circuits located in the display region, each of the plurality of pixel driving circuits at least partially overlaps a corresponding one of the shielding blocks; and

a ~~first wire layer~~ plurality of power supply lines disposed on a side of the shielding layer away from the substrate, ~~the first wire layer comprising: a plurality of power supply lines,~~ wherein the plurality of power supply lines are electrically connected to the converging wire through a plurality of through holes;

wherein the converging wire between two adjacent ones of the plurality of through holes is disposed according to a shortest distance between the two adjacent through holes.

2. (Original) The display panel according to claim 1, wherein the converging wire between the two adjacent through holes is linear in arrangement.

3. (Original) The display panel according to claim 2, wherein the converging wire is linear in arrangement and the plurality of through holes overlappingly disposed on the converging wire are linear in arrangement.

4. (Currently amended) The display panel according to claim 1, wherein the converging wire comprises a first converging wire, and the first converging wire comprises a plurality of first connection sections and a plurality of second connection sections; wherein each of the plurality of second connection sections is connected between a middle portion of two adjacent first plurality of connection sections, a width

of each of the plurality of first connection sections is greater than a width of each of the plurality of second connection sections, and the plurality of power supply lines are electrically connected to the plurality of first connection sections through the plurality of through holes.

5. (Currently amended) The display panel according to claim 4, wherein the ~~pixel driving circuit layer comprises a~~ plurality of pixel driving circuits are arranged in an array in a first direction and a second direction, each of the plurality of first connection sections is electrically connected to the plurality of shielding blocks corresponding to a column of the plurality of pixel driving circuits arranged along a first direction.

6. (Currently amended) The display panel according to claim 5, wherein a periphery of each of the plurality of first sections is arc shaped, the plurality of second sections are linearly shaped, a maximum width of each of the plurality of first sections is greater than the width of each of the plurality of second sections.

7. (Currently amended) The display panel according to claim 1, wherein the non-display region comprises: a first non-display region and a second non-display region disposed on two sides of the display region, wherein the first non-display region comprises a bending sub-region, and the display panel bends at the bending sub-region; and

the converging wire comprises a first converging wire arranged in the first non-display region, and the plurality of power supply lines are electrically connected to the plurality of first connection sections at least through the plurality of through holes.

8. (Currently amended) The display panel according to claim 7, wherein the converging wire comprises a second converging wire arranged in the second non-display region, and the plurality of power supply lines are ~~further~~ electrically connected to the plurality of second connection sections through the plurality of through holes.

9. (Currently amended) The display panel according to claim 1, wherein the pixel driving circuit layer comprises:

a semiconductor layer disposed on a side of the shielding layer away from the substrate;

a first insulating layer disposed on a side of the semiconductor layer away from the substrate;

a first gate metal layer disposed on a side of the first insulating layer away from the substrate;

a second insulating layer disposed on a side of the first gate metal layer away from the substrate;

a second gate metal layer disposed on a side of the second insulating layer away from the substrate; and

a third insulating layer disposed on a side of the second gate metal layer away from the substrate;

wherein the first conductive layer is disposed on a side of the third insulating layer away from the substrate, the plurality of power supply lines of the first conductive layer are electrically connected to the converging wire through the plurality of through holes, and the plurality of through holes penetrate through the first insulating layer, the second insulating layer, and the third insulating layer.

10. (Currently amended) The display panel according to claim 9, wherein the pixel driving circuit layer further comprises:

a fourth insulating layer disposed between the second gate metal layer and the third insulating layer; and

a second conductive layer disposed between the fourth insulating layer and the third insulating layer;

wherein the plurality of through holes comprise a plurality of first through holes and a plurality of second through holes, the plurality of first through holes penetrates through the first insulating layer, the second insulating layer, and the fourth insulating layer, and the plurality of second through holes penetrates through the third insulating layer; wherein the plurality of first through holes are communicated with the plurality of second through holes, and a diameter of each of the plurality of second through holes is greater than a diameter of each of the plurality of first through holes.

11. (Currently amended) A display device comprising the display panel as claimed in claim 1, wherein the display panel is an organic light-emitting diode (OLED) panel.

12. (Original) The display device according to claim 11, wherein the converging

wire between the two adjacent through holes is linear in arrangement.

13. (Original) The display device according to claim 12, wherein the converging wire is linear in arrangement and the plurality of through holes overlappingly disposed on the converging wire are linear in arrangement.

14. (Currently amended) The display device according to claim 11, wherein the converging wire comprises a first converging wire, and the first converging wire comprises a plurality of first connection sections and a plurality of second connection sections; wherein each of the plurality of second connection sections is connected between a middle portion of two adjacent first plurality of connection sections, a width of each of the plurality of first connection sections is greater than a width of each of the plurality of second connection sections, and the plurality of power supply lines are electrically connected to the plurality of first connection sections through the plurality of through holes.

15. (Currently amended) The display device according to claim 14, wherein the ~~pixel driving circuit layer comprises a~~ plurality of pixel driving circuits are arranged in an array in a first direction and a second direction, each of the plurality of first connection sections is electrically connected to the plurality of shielding blocks corresponding to a column of the plurality of pixel driving circuits arranged along a first direction.

16. (Currently amended) The display device according to claim 15, wherein a periphery of each of the plurality of first sections is arc shaped, the plurality of second sections are linearly shaped, a maximum width of each of the plurality of first sections is greater than the width of each of the plurality of second sections.

17. (Currently amended) The display device according to claim 11, wherein the non-display region comprises: a first non-display region and a second non-display region disposed on two sides of the display region, wherein the first non-display region comprises a bending sub-region, and the display panel bends at the bending sub-region; and

the converging wire comprises a first converging wire arranged in the first non-

display region, and the plurality of power supply lines are electrically connected to the plurality of first connection sections at least through the plurality of through holes.

18. (Currently amended) The display device according to claim 17, wherein the converging wire comprises a second converging wire arranged in the second non-display region, and the plurality of power supply lines are ~~further~~ electrically connected to the plurality of second connection sections through the plurality of through holes.

19. (Currently amended) The display device according to claim 11, wherein the pixel driving circuit layer comprises:

a semiconductor layer disposed on a side of the shielding layer away from the substrate;

a first insulating layer disposed on a side of the semiconductor layer away from the substrate;

a first gate metal layer disposed on a side of the first insulating layer away from the substrate;

a second insulating layer disposed on a side of the first gate metal layer away from the substrate;

a second gate metal layer disposed on a side of the second insulating layer away from the substrate; and

a third insulating layer disposed on a side of the second gate metal layer away from the substrate;

wherein the first conductive layer is disposed on a side of the third insulating layer away from the substrate, the plurality of power supply lines of the first conductive layer are electrically connected to the converging wire through the plurality of through holes, and the plurality of through holes penetrate through the first insulating layer, the second insulating layer, and the third insulating layer.

20. (Currently amended) The display device according to claim 19, wherein the pixel driving circuit layer further comprises:

a fourth insulating layer disposed between the second gate metal layer and the third insulating layer; and

a second conductive layer disposed between the fourth insulating layer and the third insulating layer;

wherein the plurality of through holes comprise a plurality of first through holes and a plurality of second through holes, the plurality of first through holes penetrates through the first insulating layer, the second insulating layer, and the fourth insulating layer, and the plurality of second through holes penetrates through the third insulating layer; wherein the plurality of first through holes are communicated with the plurality of second through holes, and a diameter of each of the plurality of second through holes is greater than a diameter of each of the plurality of first through holes.

2022102377331

说　明　书　附　图

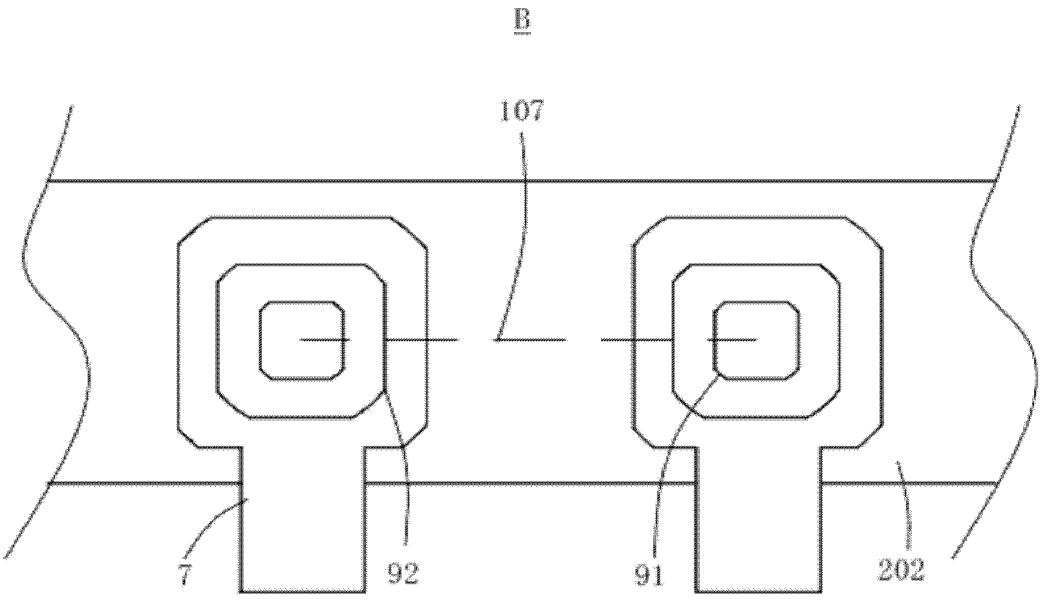


图 5

Petitioner Samsung Ex-1004, 0092

2022102377331

说　明　书　附　图

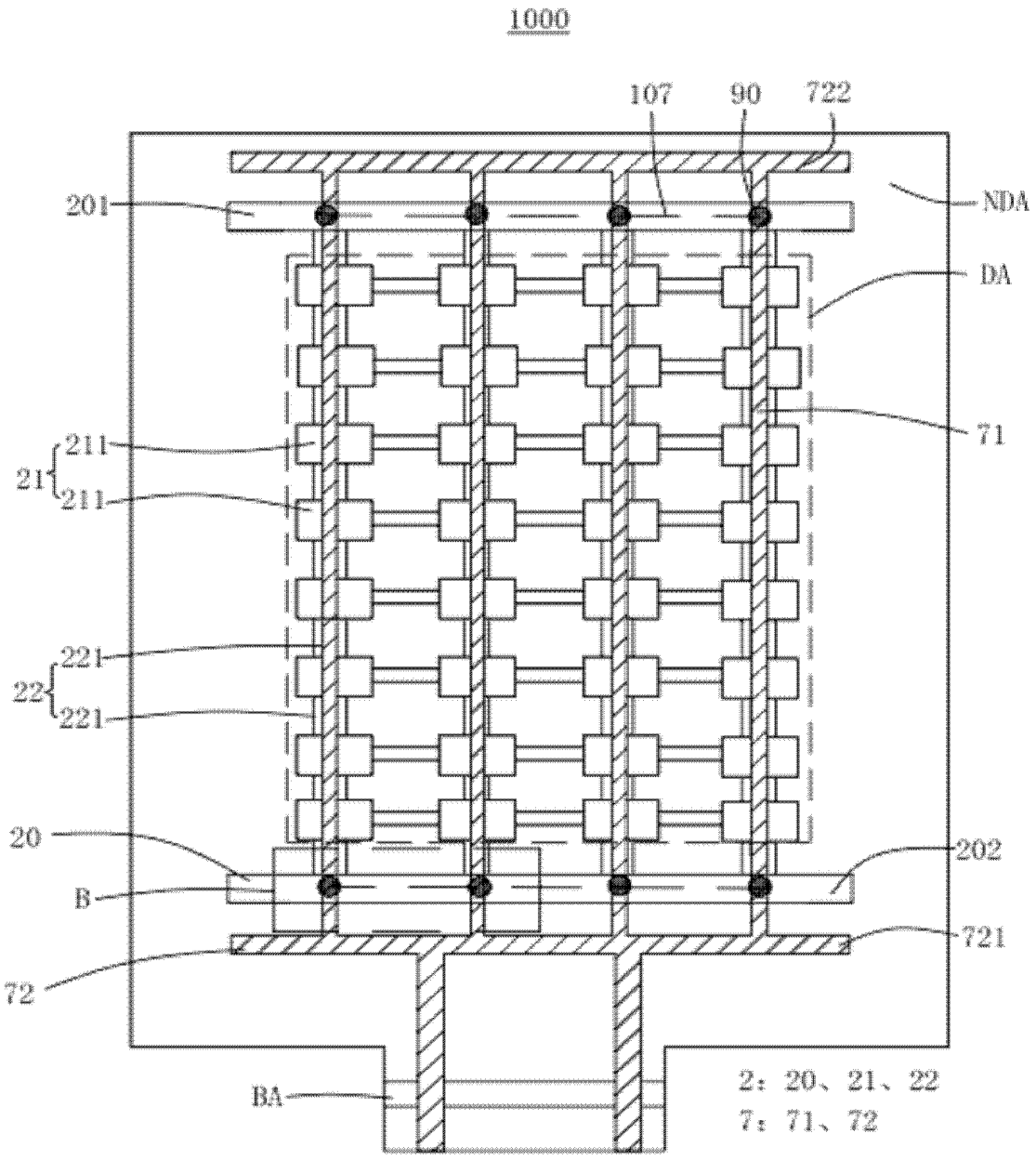


图 4

Petitioner Samsung Ex-1004, 0093

2022102377331

说　明　书　附　图

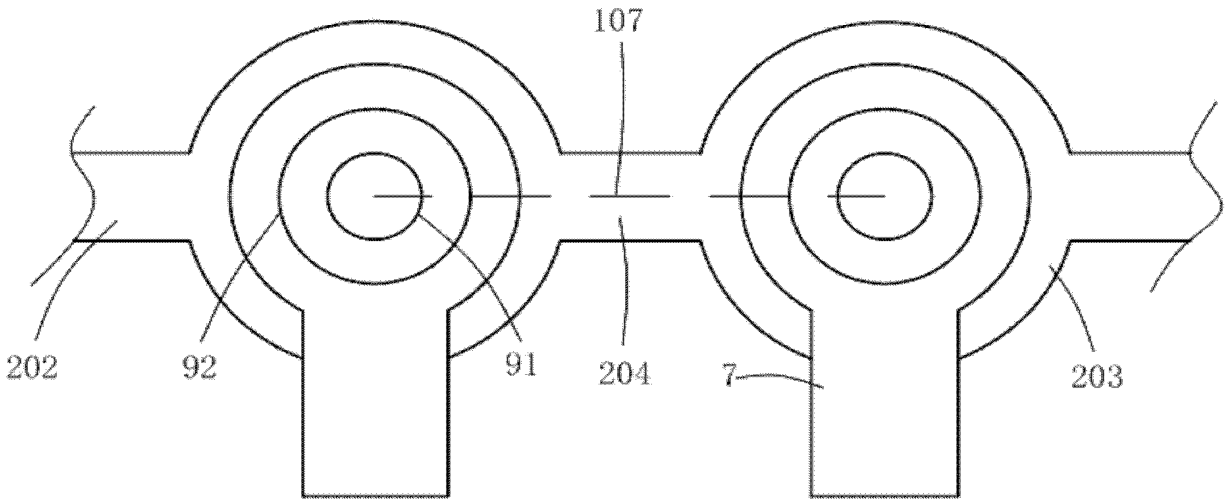


图 3

Petitioner Samsung Ex-1004, 0094

2022102377331

说　明　书　附　图

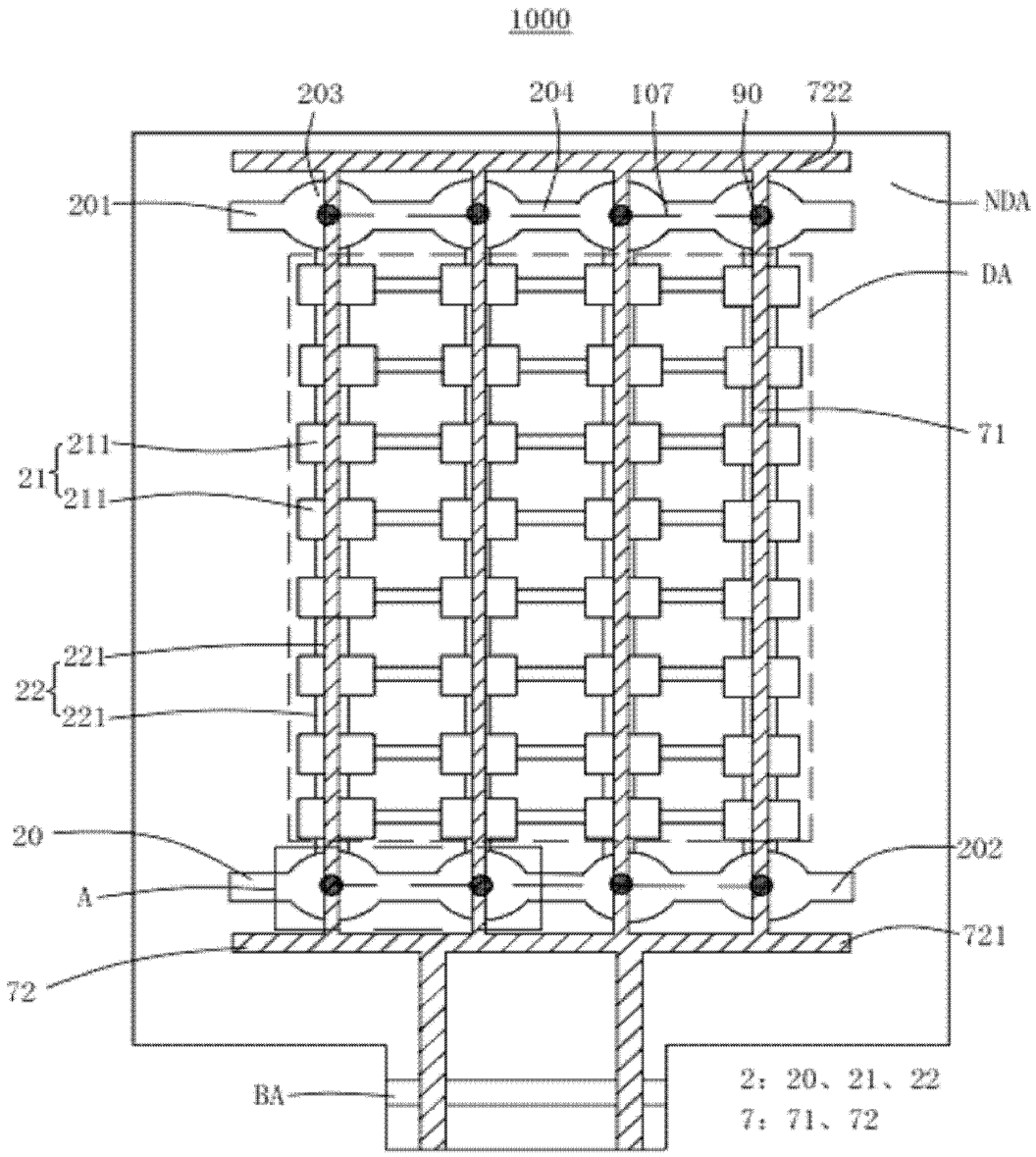


图 2

Petitioner Samsung Ex-1004, 0095

2022102377331

说　明　书　附　图

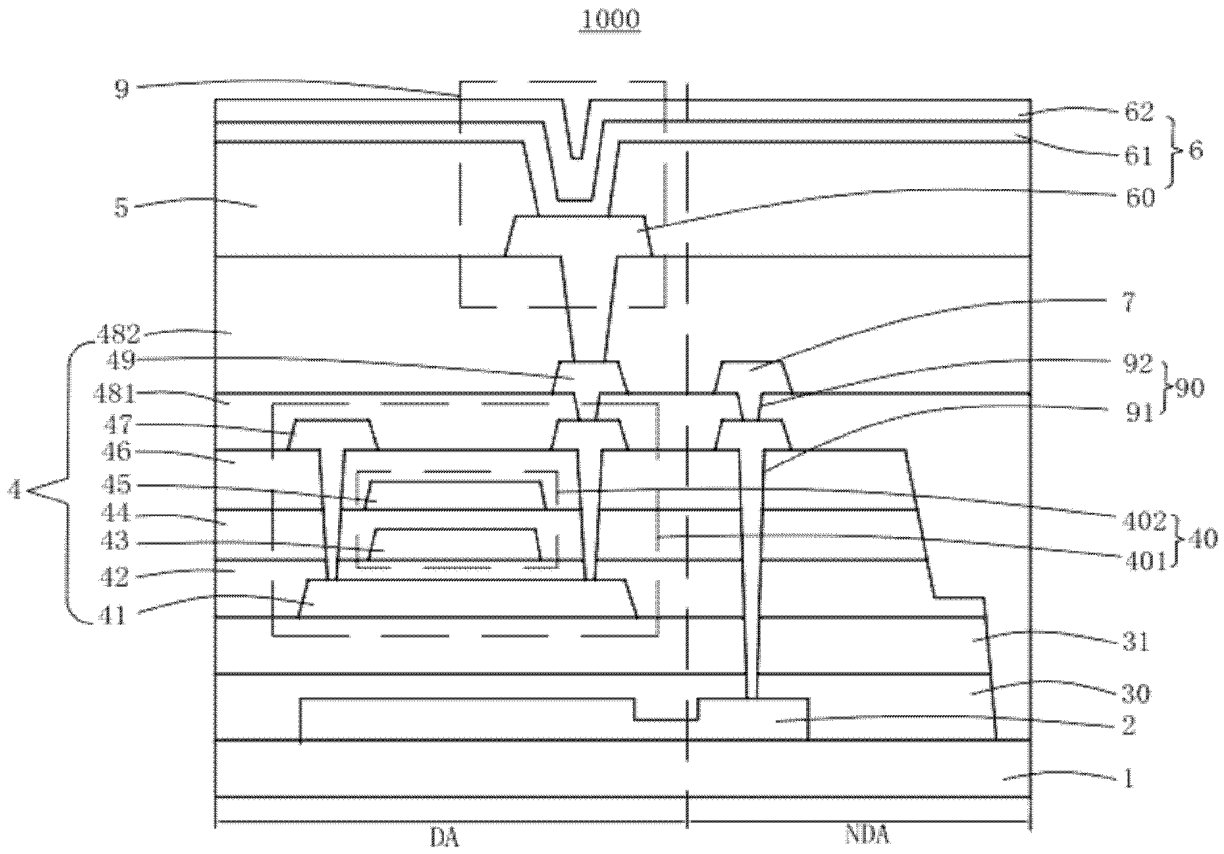


图 1

Petitioner Samsung Ex-1004, 0096

说　明　书

汇聚走线20通过设置在所述像素驱动电路层4中的通孔90相互电性连接，其中，相邻所述通孔90之间的所述汇聚走线20按相邻所述通孔90之间的最短距离设置，使得流经所述汇聚走线20的预期的电流路径位于所述汇聚走线的边界内且沿着相邻所述通孔90之间的最短距离传导，由此可以减少电荷在所述遮挡层2的边界处的聚集，而可以减少所述遮挡层2发生ESD炸伤的现象。

在其他的实施例中，请参阅图4和图5，所述第一汇聚走线201和所述第二汇聚走线202呈直线形，且与所述第一汇聚走线201和所述第二汇聚走线202重叠设置的多个所述通孔90呈直线排列。基于相同或相似的原理，发生在相邻的连接位置处的ESD炸伤的现象可以得到减少。

在其他实施例中，所述遮挡层2可以位于所述缓冲层31和所述半导体层41之间，也可以位于所述基板1之下，以位于所述像素驱动电路层4之下以进行遮挡。

在其他实施例中，所述电源线7也可以位于所述像素驱动电路层4的其他层中，也可以位于所述像素驱动电路层4的下方，而不限于是高电压电源线或复位信号线。

本发明的实施例还提供一种显示装置，包括上述任一项所述的显示面板1000。所述显示装置作为显示视频或静止图像的装置，不仅可以是固定终端诸如电视、台式计算机、监视器、广告牌，也可以是移动终端诸如移动电话、平板电脑、移动通信终端、电子记事本、电子书、多媒体播放器、导航仪、笔记本电脑，还可以是穿戴式电子设备诸如智能手表、智能眼镜、虚拟现实设备、增强现实设备。

以上对本发明实施例进行了详细介绍，本文中应用了具体个例对本发明的原理及实施方式进行了阐述，以上实施例的说明只是用于帮助理解本发明的方法及其核心思想；同时，对于本领域的技术人员，依据本发明的思想，在具体实施方式及应用范围上均会有改变之处，综上所述，本说明书内容不应理解为对本发明的限制。

Petitioner Samsung Ex-1004, 0097

段203，以电性连接于所述遮挡层2。其中，相邻所述通孔90之间的所述汇聚走线20按相邻所述通孔90之间的最短距离设置。由于相邻所述通孔90之间的最短距离，即虚拟线段107，可以代表相邻所述通孔90之间的预期的电流路径，这样，大致呈直线型的所述预期的电流路径可以位于所述汇聚走线20的边界内。所述通孔90穿过所述第一绝缘层42、所述第二绝缘层44，以及所述第一平坦层481。所述通孔90包括多个第一通孔91和多个第二通孔92。所述第一通孔91贯穿过所述第一绝缘层42、所述第二绝缘层44、所述层间绝缘层46，所述第二通孔92贯穿所述第一平坦层481。所述第一通孔91与所述第二通孔92连通，且所述第一通孔91的直径小于所述第二通孔92的直径。

请继续参阅图,1,所述像素定义层5可以包含聚丙烯酸酯类(polyacrylates)或者聚酰亚胺类（polyimides）等的树脂和二氧化硅系列的无机物等。所述像素定义层5设有多个开孔，以暴露所述发光器件层6的第一电极60。

所述发光器件层6可以包括第一电极60、发光层61和第二电极62。

所述第一电极60可以是阳极。所述阳极可以具有层叠铟锡氧化物（ITO: Indium-Tin-Oxide）、铟锌氧化物（IZO: Indium-Zinc-Oxide）、氧化锌（ZnO）、氧化铟（In2O3: Induim Oxide）的功函数较高的物质层和诸如银（Ag）、镁（Mg）、铝（Al）、铂（Pt）、钯（Pd）、金（Au）、镍（Ni）、钕（Nd）、铱（Ir）、铬（Cr）、锂（Li）、钙（Ca）或其混合物的反射性物质层的层叠膜结构，但并不局限于此。功函数较高的层可以相比于反射性物质层布置于上层且靠近发光层61EL而布置。所述阳极可以具有ITO/Mg、ITO/MgF2、ITO/Ag、ITO/Ag/ITO的多层结构，但并不局限于此。

所述发光层61可以包括有机物质层。所述发光层61的所述有机物质层可以包括有机发光层，并且还可以包括空穴注入/传输层和/或电子注入/传输层。

所述第二电极62可以是阴极。所述阴极可以包括诸如Li、Ca、LiF/Ca、LiF/Al、Al、Mg、Ag、Pt、Pd、Ni、Au、Nd、Ir、Cr、BaF2、Ba或其化合物或混合物（例如，Ag与Mg的混合物等）的功函数较小的物质层。所述阴极还可以包括布置于所述功函数较小的物质层上的透明金属氧化物层。

在本实施例的显示面板1000中，所述遮挡层2的多个遮挡块211遮挡所述像素驱动电路层4的多个所述薄膜晶体管401，所述电源线7与所述遮挡层2的所述

Petitioner Samsung Ex-1004, 0098

地，所述第三金属层47和所述第四金属层49可以包括选自钼（Mo）、铝（Al）、铂（Pt）、钯（Pd）、银（Ag）、镁（Mg）、金（Au）、镍（Ni）、钕（Nd）、铱（Ir）、铬（Cr）、钙（Ca）、钛（Ti）、钽（Ta）、钨（W）、铜（Cu）中的一种以上的金属。所述第三金属层47可以是单层膜或多层膜。例如，所述第三金属层47可以形成为Ti/Al/Ti、Mo/Al/Mo、Mo/AlGe/Mo、Ti/Cu等的层叠结构。

所述第一平坦层481和所述第二平坦层482的材料可以相同或者不同。示例性地，所述第一平坦层481和所述第二平坦层482可以包括无机绝缘物质或者聚丙烯酸酯系树脂、环氧树脂、酚醛树脂、聚酰胺系树脂、聚酰亚胺系树脂、不饱和聚酯系树脂、聚苯醚系树脂、聚苯硫醚系树脂或苯并环丁烯等有机绝缘物质。所述第一平坦层481还可以包括光敏性物质，但是不限于此。

请一并参阅图1至图3，所述电源线7设置在第四金属层49内，所述第一所述电源线7可以是具有固定电位的位于所述非显示区NDA内的电源线，所述电源线7包括设置在所述显示区DA内且与所述像素驱动电路40电连接的多个信号走线71，以及设置在所述非显示区NDA内且与预设电压源（例如电源芯片）电性连接的外围走线72，所述外围走线72与多个所述信号走线71电性连接，以降低多个所述信号走线71上的信号差异。多个信号走线71沿第二方向延伸，所述第二方向为所述像素驱动电路层4的数据线的延伸方向（图中从上到下的方向）。所述外围走线72沿所述第一方向延伸，包括相对的第一连接部721和第二连接部722，所述第一连接部721靠近所述弯折子区BA，所述第二连接部722位于所述第二非显示区内。

示例性地，所述电源线7是高电压电源线和复位信号线中的至少一个。所述第三金属层47和所述第四金属层49可以形成所述高电压电源线、低电压电源线和所述复位信号线。多个所述薄膜晶体管401中的所述驱动薄膜晶体管可以和所述子像素9的发光层串联在所述高电压电源线和所述低电压电源线形成的电路回路中，以驱动所述子像素9的发光层61发光。所述复位信号线可以用于电性连接于所述电容402、所述子像素9的第一电极和所述驱动薄膜晶体管中的至少一个，以对其进行复位。

所述电源线7通过通孔90电性连接于所述汇聚走线20的多个所述第一连接

Petitioner Samsung Ex-1004, 0099

第四金属层49(即第一导电层)以及位于所述第四金属层49上的第二平坦层482。其中，所述半导体层41、所述第一绝缘层42、所述第一栅极金属层43、所述层间绝缘层46和所述第三金属层47可以共同形成多个所述薄膜晶体管401，所述第一栅极金属层43、所述第二绝缘层44和所述第二栅极金属层45可以共同形成多个电容402。其中，多个像素驱动电路40可以包括多个所述电容402和多个所述薄膜晶体管401，以驱动所述子像素9发光。

所述半导体层41可以包括多晶硅或者氧化物半导体。此时，所述氧化物半导体可以包括基于钛（Ti）、铪（Hf）、锆（Zr）、铝（Al）、钽（Ta）、锗（Ge）、锌（Zn）、镓（Ga）、锡（Sn）或者铟（In）的氧化物或者它们的复合氧化物中的任意一个。所述半导体层41可以包括所述薄膜晶体管401的所述半导体图案。所述半导体图案可以包括：沟道区域，在厚度方向上与栅极重叠；第一源极/漏极区域和第二源极/漏极区域，分别位于所述沟道区域的一侧及另一侧。所述第一源极/漏极区域及所述第二源极/漏极区域是导体化的区域，相比于所述沟道区域，导电性可以更高，电阻更低。

所述第一绝缘层42和所述第二绝缘层44可以是包括氧化硅（SiOx）、氮化硅（SiNx）的单层膜或者层叠有它们的多层膜。

所述第一栅极金属层43可以包括所述薄膜晶体管401的栅极和多条所述扫描线，所述栅极可以利用低电阻物质构成。所述第二栅极金属层45可以包括所述电容402的上极板，所述栅极可以作为所述电容402的下极板。所述第一栅极金属层43和所述第二栅极金属层45的材料可以相同或者不同，示例性地，所述第一栅极金属层43和所述第二栅极金属层45可以包括选自钼(Mo)、铝(Al)、铂（Pt）、钯（Pd）、银（Ag）、镁（Mg）、金（Au）、镍（Ni）、钕（Nd）、铱（Ir）、铬（Cr）、钙（Ca）、钛（Ti）、钽（Ta）、钨（W）、铜（Cu）中的一种以上的金属，但并不局限于此。

所述层间绝缘层46可以包括硅化合物、金属氧化物等。例如，层间绝缘层46可以包括硅氧化物、硅氮化物、硅氮氧化物、铝氧化物、钽氧化物、铪氧化物、锆氧化物、钛氧化物等。这些物质可以单独使用或彼此组合而使用。

所述第三金属层47可以包括所述薄膜晶体管401的源极和漏极，以及多条所述数据线。所述第三金属层47和所述第四金属层49的材料可以相同。示例性

Petitioner Samsung Ex-1004, 0100

40。所述遮挡层2包括相互连接的汇聚走线20、遮挡部21和公共连接部22，其中，所述汇聚走线20位于所述非显示区NDA内且靠近所述显示区DA，所述遮挡部21位于所述显示区DA内。

所述汇聚走线20包括相对的第一汇聚走线201以及第二汇聚走线202；其中，所述第一汇聚走线201位于所述第一非显示区内，所述第二汇聚走线202位于所述第二非显示区内，所述第一汇聚走线201以及所述第二汇聚走线202沿第一方向延伸，所述第一方向为所述像素驱动电路层4的扫描线的延伸方向（图中从左到右的方向）。所述第一汇聚走线201和所述第二汇聚走线202均包括多个第一连接段203和多个第二连接段204，其中，所述第一连接段203的外周缘呈圆弧形，示例性地，所述第一连接段203的外周缘大致可以呈椭圆形或者圆形，所述第二连接段204大致呈直线形。每一所述第二连接段204连接于相邻的两所述第一连接段203的中部之间，所述第一连接段203的最大宽度大于所述第二连接段204的宽度。

所述遮挡部21用于遮挡沿着第一方向和第二方向阵列排布的多个所述像素驱动电路40的多个薄膜晶体管401。多个所述薄膜晶体管401包括多个驱动薄膜晶体管，所述遮挡部21包括遮挡多个所述驱动薄膜晶体管的半导体图案的多个遮挡块211。其中，多个所述遮挡块211阵列排布，每列所述遮挡块211遮挡驱动对应的一列所述子像素9的多个所述像素驱动电路40的所述驱动薄膜晶体管的所述半导体图案，并连接于对应的所述第一连接段203。

所述公共连接部22包括多个公共连接段221，其中，第一汇聚走线分所述多个公共连接段221直接连接于在行方向上最外侧的多个所述遮挡块211和所述第一连接段203之间，第二部分所述多个公共连接段221电性连接于多个所述遮挡块211之间。

请继续参阅图1，所述像素驱动电路层4包括半导体层41、位于半导体层41上的第一绝缘层42、位于所述第一绝缘层42上的第一栅极金属层43、位于所述第一栅极金属层43上的第二绝缘层44、位于所述第二绝缘层44上的第二栅极金属层45、位于所述第二栅极金属层45上的层间绝缘层46（即第四绝缘层）、位于所述层间绝缘层46上的第三金属层47（即第二导电金属层）、位于所述第三金属层47上的第一平坦层481（即第三绝缘层）、位于所述第一平坦层481上的

Petitioner Samsung Ex-1004, 0101

2022102377331

说　明　书

本发明。在本发明中，在未作相反说明的情况下，使用的方位词如“上”和“下”通常是指装置实际使用或工作状态下的上和下，具体为附图中的图面方向；而“内”和“外”则是针对装置的轮廓而言的。

如图1和图2所示，本发明的实施例提供一种显示面板1000，所述显示面板1000可以是OLED显示面板，液晶显示面板，微发光二极管显示面板，或者迷你发光二极管显示面板。示例性地，所述显示面板1000为OLED显示面板。

所述显示面板1000包括显示区DA和非显示区NDA。所述显示区DA可以是用于设置显示图像的子像素9的区域。所述非显示区NDA可以是用于设置为子像素9的像素驱动电路40提供驱动信号的驱动单元如栅极驱动电路，以及连接驱动单元的一些的区域。在所述非显示区NDA内没有设置子像素9。所述非显示区NDA可以设置在显示区DA的至少一侧。所述非显示区NDA可以至少部分地围绕显示区DA的周围。所述非显示区NDA包括设置在所述显示区DA两侧的第一非显示区和第二非显示区，所述显示面板在所述第一非显示区的弯折子区BA弯折。

所述显示面板1000包括基板1、位于所述基板1上的遮挡层2、位于所述遮挡层2上的底部绝缘层30、位于所述底部绝缘层30上的缓冲层31、位于所述缓冲层31上的像素驱动电路层4、位于所述像素驱动电路层4上的像素定义层5和发光器件层6，以及电源线7。为了便于描述，多个所述子像素9可以包括所述发光器件层6。

请参阅图1，所述基板1可以包括如玻璃、石英和聚合物树脂的单层绝缘材料，或者如双层聚合物树脂的多层绝缘材料。所述基板1可以是刚性基板1、或者柔性基板1。所述基板1用于承载设置于其上的膜层。

所述底部绝缘层30和所述缓冲层31可以包括氮化硅（SiNx）和氧化硅（SiOx）之类的绝缘膜的单层膜或者层叠有氮化硅（SiNx）和氧化硅（SiOx）的多层膜。所述缓冲层31防止杂质或者水分之类不必要成分的渗透。

请一并参阅图1和图2，所述遮挡层2可以包括单层或多层金属材料如Mo，Ti，Ti/Al/Ti，或半导体材料Si，或透明导电材料如ITO（Indium Tin Oxide，氧化铟锡）。所述遮挡层2位于所述底部绝缘层30和所述基板1之间，设置于所述像素驱动电路层4之下，以遮挡所述像素驱动电路层4的多个所述像素驱动电路

Petitioner Samsung Ex-1004, 0102

说　明　书

和所述第三绝缘层之间；所述通孔包括第一通孔和第二通孔，所述第一通孔穿过所述第一绝缘层、所述第二绝缘层、所述第四绝缘层，所述第二通孔穿过所述第三绝缘层，所述第一通孔与所述第二通孔连通且所述第二通孔的直径大于所述第一通孔的直径。

本发明实施例还提供一种显示装置，包括如上所述的显示面板。

在本发明的实施例提供的显示面板和显示装置中，所述遮挡层的多个遮挡块遮挡所述像素驱动电路层的多个所述薄膜晶体管，所述电源线与所述遮挡层的所述汇聚走线通过通孔相互电性连接，其中，相邻所述通孔之间的所述汇聚走线按相邻所述通孔之间的最短距离设置，使得流经所述汇聚走线的预期的电流的路径位于所述汇聚走线的边界内且沿着相邻所述通孔之间的最短距离传导，由此可以减少电荷在所述遮挡层的边界处的聚集，而可以减少所述遮挡层发生 ESD 炸伤的现象。

附图说明

为了更清楚地说明本发明实施例中的技术方案，下面将对实施例描述中所需要使用的附图作简单地介绍，显而易见地，下面描述中的附图仅仅是本发明的一些实施例，对于本领域技术人员来讲，在不付出创造性劳动的前提下，还可以根据这些附图获得其他的附图。

图1是本发明实施例提供的显示面板的截面示意图；

图2是本发明实施例提供的显示面板的俯视示意图；

图3是图2中的A部分的放大示意图；

图4是本发明实施例提供的显示面板的俯视示意图；

图5是图4中B部分的放大示意图。

具体实施方式

下面将结合本发明实施例中的附图，对本发明实施例中的技术方案进行清楚、完整地描述，显然，所描述的实施例仅仅是本发明一部分实施例，而不是全部的实施例。基于本发明中的实施例，本领域技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本发明保护的范围。此外，应当理解的是，此处所描述的具体实施方式仅用于说明和解释本发明，并不用于限制

Petitioner Samsung Ex-1004, 0103

置的多个所述通孔呈直线排列。

在一些实施例中，所述汇聚走线包括第一汇聚走线，所述第一汇聚走线包括多个第一连接段和多个第二连接段，其中，每一所述第二连接段连接于相邻的两所述第一连接段的中部之间，所述第一连接段的宽度大于所述第二连接段的宽度，多条所述电源线通过多个所述通孔电性连接于多个所述第一连接段。

在一些实施例中，所述像素驱动电路层包括多个沿着第一方向和第二方向阵列排布的多个像素驱动电路，每个所述第一连接段与一列沿着第一方向排布的所述像素驱动电路对应的遮挡块电连接。

在一些实施例中，所述第一连接段的外周缘呈圆弧形，所述第二连接段呈直线形，所述第一连接段的最大宽度大于所述第二连接段的宽度。

在一些实施例中，所述非显示区包括：设置在所述显示区两侧的第一非显示区和第二非显示区，所述第一非显示区包括弯折子区，所述显示面板在所述弯折子区弯折设置；

所述汇聚走线包括设置在所述第一非显示区的第一汇聚走线，多条所述电源线至少通过多个所述通孔与所述第一汇聚走线电连接。

在一些实施例中，所述汇聚走线包括设置在所述第二非显示区的第二汇聚走线，多条所述电源线还通过多个所述通孔与所述第二汇聚走线电连接。

在一些实施例中，所述像素驱动电路层包括：半导体层，设置在所述遮挡层远离所述基板的一侧；第一绝缘层，设置在所述半导体层远离所述基板的一侧；第一栅极金属层，设置在所述第一绝缘层远离所述基板的一侧；第二绝缘层，设置在所述第一栅极金属层远离所述基板的一侧；第二栅极金属层，设置在所述第二绝缘层远离所述基板的一侧；第三绝缘层，设置在所述第二栅极金属层远离所述基板的一侧；所述第一导电层，设置在所述第三绝缘层远离所述基板的一侧，所述第一导电层的多条所述电源线通过多个所述通孔与所述汇聚走线电性连接，所述通孔穿过所述第一绝缘层、所述第二绝缘层、以及所述第三绝缘层。

在一些实施例中，所述像素驱动电路层还包括：第四绝缘层，设置在所述第二栅极金属层和所述第三绝缘层之间；第二导电层，设置在所述第四绝缘层

Petitioner Samsung Ex-1004, 0104

2022102377331

说　明　书

显示面板及显示装置

技术领域

本发明涉及显示技术领域，具体涉及一种显示面板及一种显示装置。

背景技术

OLED（OrganicLight-EmittingDiode，有机发光二极管）屏幕目前获得了广泛应用，具有轻便，色域值高的优点。但由于基板采用有机柔性基板，受基板与无机层界面的影响，OLED屏幕容易出现屏幕残像、初始压降（Initial drop）、寿命较差等现象。

为了减弱这个影响，越来越多的OLED屏幕采用底部遮挡金属在基板与无机层的界面处遮挡像素驱动电路。但是，底部遮挡金属为了与电源线搭接，其边缘呈锯齿状，容易在锯齿的尖端处发生ESD（Electro-Static Discharge，静电放电）炸伤，从而影响显示效果。

发明内容

本发明实施例提供一种显示面板及一种显示装置，可以改善底部遮挡金属发生ESD炸伤的问题。

本发明实施例提供一种显示面板，包括显示区和设置在显示区至少一侧的非显示区，所述显示面板包括：基板；遮挡层，位于所述基板上，包括多个遮挡块以及电性连接于多个所述遮挡块的汇聚走线，所述汇聚走线位于多个所述遮挡块的至少一侧；像素驱动电路层，位于所述遮挡层上，包括位于所述显示区内的多个像素驱动电路，每一所述像素驱动电路与对应的所述遮挡块至少部分重叠；以及第一导电层，设置在所述遮挡层远离所述基板的一侧，所述第一导电层包括：多条电源线，多条所述电源线通过多个通孔与所述汇聚走线电性连接；其中，相邻所述通孔之间的所述汇聚走线按相邻所述通孔之间的最短距离设置。

在一些实施例中，相邻所述通孔之间的所述汇聚走线呈直线形设置。

在一些实施例中，所述汇聚走线呈直线形设置，且与所述汇聚走线重叠设

Petitioner Samsung Ex-1004, 0105

权 利 要 求 书

设置在所述显示区两侧的第一非显示区和第二非显示区，所述第一非显示区包括弯折子区，所述显示面板在所述弯折子区弯折设置；

所述汇聚走线包括设置在所述第一非显示区的第一汇聚走线，多条所述电源线至少通过多个所述通孔与所述第一汇聚走线电连接。

8、根据权利要求 7 所述的显示面板，其特征在于，所述汇聚走线包括设置在所述第二非显示区的第二汇聚走线，多条所述电源线还通过多个所述通孔与所述第二汇聚走线电连接。

9、根据权利要求 1 所述的显示面板，其特征在于，所述像素驱动电路层包括：

半导体层，设置在所述遮挡层远离所述基板的一侧；

第一绝缘层，设置在所述半导体层远离所述基板的一侧；

第一栅极金属层，设置在所述第一绝缘层远离所述基板的一侧；

第二绝缘层，设置在所述第一栅极金属层远离所述基板的一侧；

第二栅极金属层，设置在所述第二绝缘层远离所述基板的一侧；

第三绝缘层，设置在所述第二栅极金属层远离所述基板的一侧；

所述第一导电层，设置在所述第三绝缘层远离所述基板的一侧，所述第一导电层的多条所述电源线通过多个所述通孔与所述汇聚走线电性连接，所述通孔穿过所述第一绝缘层、所述第二绝缘层，以及所述第三绝缘层。

10、根据权利要求 9 所述的显示面板，其特征在于，所述像素驱动电路层还包括：

第四绝缘层，设置在所述第二栅极金属层和所述第三绝缘层之间；

第二导电层，设置在所述第四绝缘层和所述第三绝缘层之间；

所述通孔包括第一通孔和第二通孔，所述第一通孔穿过所述第一绝缘层、所述第二绝缘层、所述第四绝缘层，所述第二通孔穿过所述第三绝缘层，所述第一通孔与所述第二通孔连通且所述第二通孔的直径大于所述第一通孔的直径。

11、一种显示装置，其特征在于，包括如权利要求 1-10 任一项所述的显示面板。

Petitioner Samsung Ex-1004, 0106

2022102377331

权 利 要 求 书

1、一种显示面板，包括显示区和设置在显示区至少一侧的非显示区，其特征在于，所述显示面板包括:

基板;

遮挡层，位于所述基板上，包括多个遮挡块以及电性连接于多个所述遮挡块的汇聚走线，所述汇聚走线位于多个所述遮挡块的至少一侧;

像素驱动电路层，位于所述遮挡层上，包括位于所述显示区内的多个像素驱动电路，每一所述像素驱动电路与对应的所述遮挡块至少部分重叠；以及

第一导电层，设置在所述遮挡层远离所述基板的一侧，所述第一导电层包括：多条电源线，多条所述电源线通过多个通孔与所述汇聚走线电性连接;

其中，相邻所述通孔之间的所述汇聚走线按相邻所述通孔之间的最短距离设置。

2、根据权利要求1所述的显示面板，其特征在于，相邻所述通孔之间的所述汇聚走线呈直线形设置。

3、根据权利要求2所述的显示面板，其特征在于，所述汇聚走线呈直线形设置，且与所述汇聚走线重叠设置的多个所述通孔呈直线排列。

4、根据权利要求1所述的显示面板，其特征在于，所述汇聚走线包括第一汇聚走线，所述第一汇聚走线包括多个第一连接段和多个第二连接段，其中，每一所述第二连接段连接于相邻的两所述第一连接段的中部之间，所述第一连接段的宽度大于所述第二连接段的宽度，多条所述电源线通过多个所述通孔电性连接于多个所述第一连接段。

5、根据权利要求4所述的显示面板，其特征在于，所述像素驱动电路层包括多个沿着第一方向和第二方向阵列排布的多个像素驱动电路，每个所述第一连接段与一列沿着第一方向排布的所述像素驱动电路对应的遮挡块电连接。

6、根据权利要求5所述的显示面板，其特征在于，所述第一连接段的外周缘呈圆弧形，所述第二连接段呈直线形，所述第一连接段的最大宽度大于所述第二连接段的宽度。

7、根据权利要求1所述的显示面板，其特征在于，所述非显示区包括:

Petitioner Samsung Ex-1004, 0107

国家知识产权局

NATIONAL INTELLECTUAL PROPERTY ADMINISTRATION, PRC

证　　明

本证明之附件是向本局提交的下列专利申请文件副本。

申　　请　　号：202210237733.1

申　请　类　型：发明专利

发明 创造 名称：显示面板及显示装置

申　　请　　日：2022 年 03 月 11 日

申　　请　　人：武汉华星光电半导体显示技术有限公司

发明人或设计人：吴星

局长

申长雨

2022 年 03 月 17 日

Petitioner Samsung Ex-1004, 0108

Digital Access Service
(DAS)

WIPO
WORLD
INTELLECTUAL PROPERTY
ORGANIZATION

CERTIFICATE OF AVAILABILITY OF A CERTIFIED PATENT DOCUMENT IN A DIGITAL LIBRARY

The International Bureau certifies that a copy of the patent application indicated below has been available to the WIPO Digital Access Service since the date of availability indicated, and that the patent application has been available to the indicated Office(s) as of the date specified following the relevant Office code:

Document details: Country/Office: CN
Filing date: 11 Mar 2022 (11.03.2022)
Application number: 2022102377331

Date of availability of document: 17 Mar 2022 (17.03.2022)

The following Offices can retrieve this document by using the access code:
AR, AT, AU, BE, BR, CA, CL, CN, CO, DK, EA, EE, EP, ES, FI, GB, GE, IB, IE, IL, IN, JP, KR, LV, MA, MX, NL, NO, NZ, SE, US

Date of issue of this certificate: 02 Apr 2022 (02.04.2022)

34, chemin des Colombettes
1211 Geneva 20, Switzerland

www.wipo.int

WIPO
WORLD
INTELLECTUAL PROPERTY
ORGANIZATION

DOCUMENT MADE AVAILABLE UNDER THE PATENT COOPERATION TREATY (PCT)

International application number:		**PCT/CN2022/082256**
International filing date:		**22 March 2022 (22.03.2022)**
Document type:		**Certified copy of priority document**
Document details:	Country/Office:	**CN**
	Number:	**202210237733.1**
	Filing date:	**11 March 2022 (11.03.2022)**
Date of receipt at the International Bureau:		**02 April 2022 (02.04.2022)**

Remark: Priority document submitted or transmitted to the International Bureau in compliance with Rule 17.1(a),(b) or (b-*bis*)

34, chemin des Colombettes
1211 Geneva 20, Switzerland
www.wipo.int

Petitioner Samsung Ex-1004, 0110

PCT请求书

打印件(原件为电子形式)

0	由受理局填写	
0-1	国际申请号	PCT/CN2022/082256
0-2	国际申请日	2022年 3月 22日 (22.03.2022)
0-3	受理局名称和“PCT国际申请”	RO/CN

0-4	PCT/RO/101表 PCT请求书	
0-4-1	软件版本	CEPCT 版本 10.26.44(20220206) MT/FOP 20140331/0.20.5.21
0-5	请求 下列签字人请求按照专利合作条约的规定处理本国际申请	
0-6	申请人指定的受理局	中华人民共和国国家知识产权局 (RO/CN)
0-7	申请人或代理人的档案号	WHP213866PCT
I	发明名称	显示面板及显示装置
II	申请人	
II-1	该人是	申请人 (applicant only)
II-2	是对下列国家的申请人	所有指定国 (all designated States)
II-4zh	名称	武汉华星光电半导体显示技术有限公司
II-4en	Name:	WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.
II-5zh	地址	中国湖北省武汉市 东湖新技术开发区高新大道666号光谷生物创新园C5栋305室 430079
II-5en	Address	305 Room, Building C5, Biolake of Optics Valley, No.666 Gaoxin Avenue, Wuhan East Lake High-tech Development Zone Wuhan, Hubei 430079 China
II-6	国籍	中国 CN
II-7	居所	中国 CN
II-8	电话号码	86-0755-83066895
II-9	传真号码	86-0755-83066895
II-10	电子邮址	wipo@purplevineip.com
II-10(a)	电子邮件授权 授权受理局、国际检索单位、国际局和国际初步审查单位，如果其愿意，使用本电子邮件地址发送有关本国际申请的通知书：	仅使用电子形式（随后将不邮寄纸件通知书）
II-11	申请人在专利局的登记号	

PCT请求书

打印件(原件为电子形式)

III-1	申请人和/或发明人	
III-1-1	该人是	发明人 (inventor only)
III-1-3	对下列国家的发明人	
III-1-4 zh	姓名:	吴 星
III-1-4 en	Name (LAST, First):	WU, Xing
III-1-5 zh	地址	中国湖北省武汉市 东湖新技术开发区高新大道666号光谷生物创新园C5栋305室 430079
III-1-5 en	Address	305 Room, Building C5, Biolake of Optics Valley, No.666 Gaoxin Avenue, Wuhan East Lake High-tech Development Zone Wuhan, Hubei 430079 China
IV-1	代理人,共同代表或通信地址 下列人员被委托/已经被委托为代表申请人在主管国际单位办理事务的	代理人 (agent)
IV-1-1zh	名称	深圳紫藤知识产权代理有限公司
IV-1-1en	Name:	PURPLEVINE INTELLECTUAL PROPERTY (SHENZHEN) CO., LTD.
IV-1-2zh	地址	中国广东省深圳市 南山区粤海街道大冲社区华润置地大厦C座2901 518052
IV-1-2en	Address:	2901 Block C, China Resources Land Building,Dachong Community, Yuehai Street, Nanshan District Shenzhen, Guangdong 518052 China
IV-1-3	电话号码	86-0755-83066895
IV-1-4	传真号码	86-0755-83066895
IV-1-5	电子邮址	wipo@purplevineip.com
IV-1-5(a)	电子邮件授权 授权受理局、国际检索单位、国际局和国际初步审查单位，如果其愿意，使用本电子邮件地址发送有关本国际申请的通知书: 	仅使用电子形式（随后将不邮寄纸件通知书）
IV-1-6	代理人登记号	44570
V	国家的指定	
V-1	根据细则4.9(a)，提交本请求书即为，指定在国际申请日受PCT约束的所有成员国，以要求获得可以获得的所有保护类型，适用情况下，要求获得地区专利和国家专利。	
V-2	V-2栏只可用于（不可悔改地）排除对有关国家的指定，如果本国际申请在提交时或者在根据细则26之二.1的后续程序中，第VI栏包含有对在该有关国家提出的在先国家申请的优先权要求，以避免被要求优先权的该在先国家申请因国家法律而停止效力。	

PCT请求书

打印件(原件为电子形式)

VI-1	**要求在先国家申请的优先权**		
VI-1-1	申请日	2022年 3月 11日 (11.03.2022)	
VI-1-2	号码	202210237733.1	
VI-1-3	国家	中国 CN	
VI-2	**优先权文件请求** 请国际局从数字图书馆获取上面指明的在先申请的证明副本，查询码为：	VI-1 查询码：9D35	
VI-3	**援引加入 ：** 如果条约11（1）（iii）（d）或（e）规定的国际申请的某一项目，或者细则20.5(a)规定的说明书，权利要求书或附图的某一部分不包含在本国际申请中，但是全部包含在一个在先申请中，并且在受理局首次收到条约11（1）(iii)规定的一个或多个项目之日要求了该在先申请的优先权，则该项目或该部分可以依据细则20.6确认，为细则20.6的目的援引加入到该国际申请中。		
VII-1	**选定的国际检索单位**	中华人民共和国国家知识产权局 (ISA/CN)	
VIII	**声明**	声明数目	
VIII-1	关于发明人身份的声明	–	
VIII-2	关于申请人在国际申请日有权申请和被授予专利的声明	–	
VIII-3	关于申请人在国际申请日有权要求在先申请的优先权的说明	–	
VIII-4	发明人资格声明(仅为指定美国目的)	–	
VIII-5	关于不影响新颖性的公开或缺乏新颖性的例外的声明	–	
IX	**清单**	页数	附以电子文档
IX-1	请求书(包括声明页)	4	✓
IX-2	说明书	9	✓
IX-3	权利要求	4	✓
IX-4	摘要	1	✓
IX-5	附图	5	✓
IX-7	共计	23	
	附件	附以纸件	附以电子文档
IX-8	费用计算页	–	✓
IX-9	单独委托书原件	–	✓
IX-18	PCT-SAFE 物理载体	–	–
IX-20	**应与摘要一起公布的附图图号**	2	
IX-21	**国际申请所用语言**	中文	
X-1	**申请人，代理人或共同代表的签字**	/深圳紫藤知识产权代理有限公司/	
X-1-1	姓名：	深圳紫藤知识产权代理有限公司	
X-1-2	签字人姓名	深圳紫藤知识产权代理有限公司	
X-1-3	还要注明此人是以什么名义签字的	代理人	

PCT请求书

打印件(原件为电子形式)

由受理局填写

10-1	据称的国际申请文件的实际收到日期	2022年 3月 22日 (22.03.2022)
10-2	附图:	
10-2-1	收到	
10-2-2	未收到	
10-3	由于随后在期限内收到补充国际申请的文件或附图,更改的实际收到日期	
10-4	在期限内收到根据PCT第11(2)条所进行的改正的日期	
10-5	国际检索单位	ISA/CN
10-6	检索本的传送推迟到缴纳检索费后	

由国际局填写

11-1	国际局收到登记本的日期	

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2023 年 9 月 14 日 (14.09.2023)

WIPO | PCT

(10) 国际公布号
WO 2023/168754 A1

(51) 国际专利分类号:
H01L 27/32 (2006.01) *H01L 23/60* (2006.01)

(21) 国际申请号: PCT/CN2022/082256

(22) 国际申请日: 2022 年 3 月 22 日 (22.03.2022)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
202210237733.1 2022年3月11日 (11.03.2022) CN

(71) 申请人: 武汉华星光电半导体显示技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) [CN/CN]; 中国湖北省武汉市东湖新技术开发区高新大道666号光谷生物创新园C5栋305室, Hubei 430079 (CN)。

(72) 发明人: 吴星 (WU, Xing); 中国湖北省武汉市东湖新技术开发区高新大道666号光谷生物创新园C5栋305室, Hubei 430079 (CN)。

(74) 代理人: 深圳紫藤知识产权代理有限公司 (PURPLEVINE INTELLECTUAL PROPERTY (SHENZHEN) CO., LTD.); 中国广东省深圳市南山区粤海街道大冲社区华润置地大厦C座2901, Guangdong 518052 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK,

(54) **Title:** DISPLAY PANEL AND DISPLAY DEVICE

(54) **发明名称:** 显示面板及显示装置

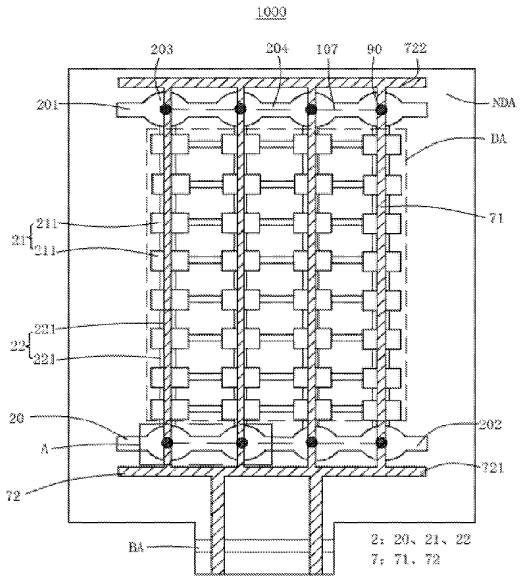


图 2

(57) **Abstract:** A display panel (1000) and a display device. The display panel (1000) comprises: a shielding layer (2); a pixel driving circuit layer (4) located on the shielding layer (2) and comprising a plurality of pixel driving circuits (40) at least partially overlapping the shielding layer (2); and a power line (7) electrically connected to the shielding layer (2) by means of a plurality of through holes (90) provided in the pixel driving circuit layer (4). Convergent wires (20) between adjacent through holes (90) are arranged according to the shortest distance between adjacent through holes (90).

WO 2023/168754 A1

Petitioner Samsung Ex-1004, 0115

[见续页]

SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

(84) 指定国(除另有指明，要求每一种可提供的地区保护)：ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：
— 包括国际检索报告(条约第21条(3))。

(57) 摘要：一种显示面板（1000）及显示装置，包括：遮挡层（2）；像素驱动电路层（4），位于遮挡层（2）上，包括与遮挡层（2）至少部分重叠的多个像素驱动电路（40）；以及电源线（7），与遮挡层（2）通过设置在像素驱动电路层（4）中的多个通孔（90）相互电性连接。其中，相邻通孔（90）之间的汇聚走线（20）按相邻通孔（90）之间的最短距离设置。

显示面板及显示装置

技术领域

[0001] 本发明涉及显示技术领域，具体涉及一种显示面板及显示装置。

背景技术

[0002] OLED（Organic Light-Emitting Diode，有机发光二极管）屏幕目前获得了广泛应用，具有轻便，色域值高的优点。但由于基板采用有机柔性基板，受基板与无机层界面的影响，OLED屏幕容易出现屏幕残像、初始压降（Initial drop）、寿命较差等现象。

[0003] 为了减弱这个影响，越来越多的OLED屏幕采用底部遮挡金属在基板与无机层的界面处遮挡像素驱动电路。但是，底部遮挡金属为了与电源线搭接，其边缘呈锯齿状，容易在锯齿的尖端处发生ESD（Electro-Static Discharge，静电放电）炸伤，从而影响显示效果。

发明概述

技术问题

[0004] 本发明实施例提供一种显示面板及一种显示装置，可以改善底部遮挡金属发生ESD炸伤的问题。

问题的解决方案

技术解决方案

[0005] 本发明实施例提供一种显示面板，包括显示区和设置在显示区至少一侧的非显示区，所述显示面板包括：基板；遮挡层，位于所述基板上，包括多个遮挡块以及电性连接于多个所述遮挡块的汇聚走线，所述汇聚走线位于多个所述遮挡块的至少一侧；像素驱动电路层，位于所述遮挡层上，包括位于所述显示区内的多个像素驱动电路，每一所述像素驱动电路与对应的所述遮挡块至少部分重叠；以及第一导电层，设置在所述遮挡层远离所述基板的一侧，所述第一导电层包括：多条电源线，多条所述电源线通过多个通孔与所述汇聚走线电性连接；其中，相邻所述通孔之间的所述汇聚走线按相邻所述通孔之间的最短距离设

Petitioner Samsung Ex-1004, 0117

置。

[0006] 在一些实施例中，相邻所述通孔之间的所述汇聚走线呈直线形设置。

[0007] 在一些实施例中，所述汇聚走线呈直线形设置，且与所述汇聚走线重叠设置的多个所述通孔呈直线排列。

[0008] 在一些实施例中，所述汇聚走线包括第一汇聚走线，所述第一汇聚走线包括多个第一连接段和多个第二连接段，其中，每一所述第二连接段连接于相邻的两所述第一连接段的中部之间，所述第一连接段的宽度大于所述第二连接段的宽度，多条所述电源线通过多个所述通孔电性连接于多个所述第一连接段。

[0009] 在一些实施例中，所述像素驱动电路层包括多个沿着第一方向和第二方向阵列排布的多个像素驱动电路，每个所述第一连接段与一列沿着第一方向排布的所述像素驱动电路对应的遮挡块电连接。

[0010] 在一些实施例中，所述第一连接段的外周缘呈圆弧形，所述第二连接段呈直线形，所述第一连接段的最大宽度大于所述第二连接段的宽度。

[0011] 在一些实施例中，所述非显示区包括：设置在所述显示区两侧的第一非显示区和第二非显示区，所述第一非显示区包括弯折子区，所述显示面板在所述弯折子区弯折设置；

[0012] 所述汇聚走线包括设置在所述第一非显示区的第一汇聚走线，多条所述电源线至少通过多个所述通孔与所述第一汇聚走线电连接。

[0013] 在一些实施例中，所述汇聚走线包括设置在所述第二非显示区的第二汇聚走线，多条所述电源线还通过多个所述通孔与所述第二汇聚走线电连接。

[0014] 在一些实施例中，所述像素驱动电路层包括：半导体层，设置在所述遮挡层远离所述基板的一侧；第一绝缘层，设置在所述半导体层远离所述基板的一侧；第一栅极金属层，设置在所述第一绝缘层远离所述基板的一侧；第二绝缘层，设置在所述第一栅极金属层远离所述基板的一侧；第二栅极金属层，设置在所述第二绝缘层远离所述基板的一侧；第三绝缘层，设置在所述第二栅极金属层远离所述基板的一侧；所述第一导电层，设置在所述第三绝缘层远离所述基板的一侧，所述第一导电层的多条所述电源线通过多个所述通孔与所述汇聚走线电性连接，所述通孔穿过所述第一绝缘层、所述第二绝缘层、以及所述第三绝

Petitioner Samsung Ex-1004, 0118

缘层。

[0015] 在一些实施例中，所述像素驱动电路层还包括：第四绝缘层，设置在所述第二栅极金属层和所述第三绝缘层之间；第二导电层，设置在所述第四绝缘层和所述第三绝缘层之间；所述通孔包括第一通孔和第二通孔，所述第一通孔穿过所述第一绝缘层、所述第二绝缘层、所述第四绝缘层，所述第二通孔穿过所述第三绝缘层，所述第一通孔与所述第二通孔连通且所述第二通孔的直径大于所述第一通孔的直径。

[0016] 本发明实施例还提供一种显示装置，包括如上所述的显示面板。

发明的有益效果

有益效果

[0017] 在本发明的实施例提供的显示面板和显示装置中，所述遮挡层的多个遮挡块遮挡所述像素驱动电路层的多个所述薄膜晶体管，所述电源线与所述遮挡层的所述汇聚走线通过通孔相互电性连接，其中，相邻所述通孔之间的所述汇聚走线按相邻所述通孔之间的最短距离设置，使得流经所述汇聚走线的预期的电流的路径位于所述汇聚走线的边界内且沿着相邻所述通孔之间的最短距离传导，由此可以减少电荷在所述遮挡层的边界处的聚集，而可以减少所述遮挡层发生ESD炸伤的现象。

对附图的简要说明

附图说明

[0018] 图1是本发明实施例提供的显示面板的截面示意图；

[0019] 图2是本发明实施例提供的显示面板的俯视示意图；

[0020] 图3是图2中的A部分的放大示意图；

[0021] 图4是本发明实施例提供的显示面板的俯视示意图；

[0022] 图5是图4中B部分的放大示意图。

发明实施例

本发明的实施方式

[0023] 为使本申请的目的、技术方案及效果更加清楚、明确，以下参照附图并举实施

Petitioner Samsung Ex-1004, 0119

例对本申请进一步详细说明。应当理解，此处所描述的具体实施例仅用以解释本申请，并不用于限定本申请。在本发明中，在未作相反说明的情况下，使用的方位词如“上”和“下”通常是指装置实际使用或工作状态下的上和下，具体为附图中的图面方向；而“内”和“外”则是针对装置的轮廓而言的。

[0024] 如图1和图2所示，本发明的实施例提供一种显示面板1000，所述显示面板1000可以是OLED显示面板，液晶显示面板，微发光二极管显示面板，或者迷你发光二极管显示面板。示例性地，所述显示面板1000为OLED显示面板。

[0025] 所述显示面板1000包括显示区DA和非显示区NDA。所述显示区DA可以是用于设置显示图像的子像素9的区域。所述非显示区NDA可以是用于设置为子像素9的像素驱动电路40提供驱动信号的驱动单元如栅极驱动电路，以及连接驱动单元的一些的区域。在所述非显示区NDA内没有设置子像素9。所述非显示区NDA可以设置在显示区DA的至少一侧。所述非显示区NDA可以至少部分地围绕显示区DA的周围。所述非显示区NDA包括设置在所述显示区DA两侧的第一非显示区和第二非显示区，所述显示面板在所述第一非显示区的弯折子区BA弯折。

[0026] 所述显示面板1000包括基板1、位于所述基板1上的遮挡层2、位于所述遮挡层2上的底部绝缘层30、位于所述底部绝缘层30上的缓冲层31、位于所述缓冲层31上的像素驱动电路层4、位于所述像素驱动电路层4上的像素定义层5和发光器件层6，以及电源线7。为了便于描述，多个所述子像素9可以包括所述发光器件层6。

[0027] 请参阅图1，所述基板1可以包括如玻璃、石英和聚合物树脂的单层绝缘材料，或者如双层聚合物树脂的多层绝缘材料。所述基板1可以是刚性基板1、或者柔性基板1。所述基板1用于承载设置于其上的膜层。

[0028] 所述底部绝缘层30和所述缓冲层31可以包括氮化硅（SiNx）和氧化硅（SiOx）之类的绝缘膜的单层膜或者层叠有氮化硅（SiNx）和氧化硅（SiOx）的多层膜。所述缓冲层31防止杂质或者水分之类不必要成分的渗透。

[0029] 请一并参阅图1和图2，所述遮挡层2可以包括单层或多层金属材料如Mo，Ti，Ti/Al/Ti，或半导体材料Si，或透明导电材料如ITO（Indium Tin Oxide，氧化铟锡）。所述遮挡层2位于所述底部绝缘层30和所述基板1之间，设置于所述像

Petitioner Samsung Ex-1004, 0120

素驱动电路层4之下，以遮挡所述像素驱动电路层4的多个所述像素驱动电路40。所述遮挡层2包括相互连接的汇聚走线20、遮挡部21和公共连接部22，其中，所述汇聚走线20位于所述非显示区NDA内且靠近所述显示区DA，所述遮挡部21位于所述显示区DA内。

[0030] 所述汇聚走线20包括相对的第一汇聚走线201以及第二汇聚走线202；其中，所述第一汇聚走线201位于所述第一非显示区内，所述第二汇聚走线202位于所述第二非显示区内，所述第一汇聚走线201以及所述第二汇聚走线202沿第一方向延伸，所述第一方向为所述像素驱动电路层4的扫描线的延伸方向（图中从左到右的方向）。所述第一汇聚走线201和所述第二汇聚走线202均包括多个第一连接段203和多个第二连接段204，其中，所述第一连接段203的外周缘呈圆弧形，示例性地，所述第一连接段203的外周缘大致可以呈椭圆形或者圆形，所述第二连接段204大致呈直线形。每一所述第二连接段204连接于相邻的两所述第一连接段203的中部之间，所述第一连接段203的最大宽度大于所述第二连接段204的宽度。

[0031] 所述遮挡部21用于遮挡沿着第一方向和第二方向阵列排布的多个所述像素驱动电路40的多个薄膜晶体管401。多个所述薄膜晶体管401包括多个驱动薄膜晶体管，所述遮挡部21包括遮挡多个所述驱动薄膜晶体管的半导体图案的多个遮挡块211。其中，多个所述遮挡块211阵列排布，每列所述遮挡块211遮挡驱动对应的一列所述子像素9的多个所述像素驱动电路40的所述驱动薄膜晶体管的所述半导体图案，并连接于对应的所述第一连接段203。

[0032] 所述公共连接部22包括多个公共连接段221，其中，第一汇聚走线分所述多个公共连接段221直接连接于在行方向上最外侧的多个所述遮挡块211和所述第一连接段203之间，第二部分所述多个公共连接段221电性连接于多个所述遮挡块211之间。

[0033] 请继续参阅图1，所述像素驱动电路层4包括半导体层41、位于半导体层41上的第一绝缘层42、位于所述第一绝缘层42上的第一栅极金属层43、位于所述第一栅极金属层43上的第二绝缘层44、位于所述第二绝缘层44上的第二栅极金属层45、位于所述第二栅极金属层45上的层间绝缘层46（即第四绝缘层）、位于所述

Petitioner Samsung Ex-1004, 0121

层间绝缘层46上的第三金属层47（即第二导电金属层）、位于所述第三金属层47上的第一平坦层481（即第三绝缘层）、位于所述第一平坦层481上的第四金属层49（即第一导电层）以及位于所述第四金属层49上的第二平坦层482。其中，所述半导体层41、所述第一绝缘层42、所述第一栅极金属层43、所述层间绝缘层46和所述第三金属层47可以共同形成多个所述薄膜晶体管401，所述第一栅极金属层43、所述第二绝缘层44和所述第二栅极金属层45可以共同形成多个电容402。其中，多个像素驱动电路40可以包括多个所述电容402和多个所述薄膜晶体管401，以驱动所述子像素9发光。

[0034] 所述半导体层41可以包括多晶硅或者氧化物半导体。此时，所述氧化物半导体可以包括基于钛（Ti）、铪（Hf）、锆（Zr）、铝（Al）、钽（Ta）、锗（Ge）、锌（Zn）、镓（Ga）、锡（Sn）或者铟（In）的氧化物或者它们的复合氧化物中的任意一个。所述半导体层41可以包括所述薄膜晶体管401的所述半导体图案。所述半导体图案可以包括：沟道区域，在厚度方向上与栅极重叠；第一源极/漏极区域和第二源极/漏极区域，分别位于所述沟道区域的一侧及另一侧。所述第一源极/漏极区域及所述第二源极/漏极区域是导体化的区域，相比于所述沟道区域，导电性可以更高，电阻更低。

[0035] 所述第一绝缘层42和所述第二绝缘层44可以是包括氧化硅（SiOx）、氮化硅（SiNx）的单层膜或者层叠有它们的多层膜。

[0036] 所述第一栅极金属层43可以包括所述薄膜晶体管401的栅极和多条所述扫描线，所述栅极可以利用低电阻物质构成。所述第二栅极金属层45可以包括所述电容402的上极板，所述栅极可以作为所述电容402的下极板。所述第一栅极金属层43和所述第二栅极金属层45的材料可以相同或者不同，示例性地，所述第一栅极金属层43和所述第二栅极金属层45可以包括选自钼（Mo）、铝（Al）、铂（Pt）、钯（Pd）、银（Ag）、镁（Mg）、金（Au）、镍（Ni）、钕（Nd）、铱（Ir）、铬（Cr）、钙（Ca）、钛（Ti）、钽（Ta）、钨（W）、铜（Cu）中的一种以上的金属，但并不局限于此。

[0037] 所述层间绝缘层46可以包括硅化合物、金属氧化物等。例如，层间绝缘层46可以包括硅氧化物、硅氮化物、硅氮氧化物、铝氧化物、钽氧化物、铪氧化物、

Petitioner Samsung Ex-1004, 0122

锆氧化物、钛氧化物等。这些物质可以单独使用或彼此组合而使用。

[0038] 所述第三金属层47可以包括所述薄膜晶体管401的源极和漏极，以及多条所述数据线。所述第三金属层47和所述第四金属层49的材料可以相同。示例性地，所述第三金属层47和所述第四金属层49可以包括选自钼（Mo）、铝（Al）、铂（Pt）、钯（Pd）、银（Ag）、镁（Mg）、金（Au）、镍（Ni）、钕（Nd）、铱（Ir）、铬（Cr）、钙（Ca）、钛（Ti）、钽（Ta）、钨（W）、铜（Cu）中的一种以上的金属。所述第三金属层47可以是单层膜或多层膜。例如，所述第三金属层47可以形成为Ti/Al/Ti、Mo/Al/Mo、Mo/AlGe/Mo、Ti/Cu等的层叠结构。

[0039] 所述第一平坦层481和所述第二平坦层482的材料可以相同或者不同。示例性地，所述第一平坦层481和所述第二平坦层482可以包括无机绝缘物质或者聚丙烯酸酯系树脂、环氧树脂、酚醛树脂、聚酰胺系树脂、聚酰亚胺系树脂、不饱和聚酯系树脂、聚苯醚系树脂、聚苯硫醚系树脂或苯并环丁烯等有机绝缘物质。所述第一平坦层481还可以包括光敏性物质，但是不限于此。

[0040] 请一并参阅图1至图3，所述电源线7设置在第四金属层49内，所述第一所述电源线7可以是具有固定电位的位于所述非显示区NDA内的电源线，所述电源线7包括设置在所述显示区DA内且与所述像素驱动电路40电连接的多个信号走线71，以及设置在所述非显示区NDA内且与预设电压源（例如电源芯片）电性连接的外围走线72，所述外围走线72与多个所述信号走线71电性连接，以降低多个所述信号走线71上的信号差异。多个信号走线71沿第二方向延伸，所述第二方向为所述像素驱动电路层4的数据线的延伸方向（图中从上到下的方向）。所述外围走线72沿所述第一方向延伸，包括相对的第一连接部721和第二连接部722，所述第一连接部721靠近所述弯折子区BA，所述第二连接部722位于所述第二非显示区内。

[0041] 示例性地，所述电源线7是高电压电源线和复位信号线中的至少一个。所述第三金属层47和所述第四金属层49可以形成所述高电压电源线、低电压电源线和所述复位信号线。多个所述薄膜晶体管401中的所述驱动薄膜晶体管可以和所述子像素9的发光层串联在所述高电压电源线和所述低电压电源线形成的电路回路

Petitioner Samsung Ex-1004, 0123

中，以驱动所述子像素9的发光层61发光。所述复位信号线可以用于电性连接于所述电容402、所述子像素9的第一电极和所述驱动薄膜晶体管中的至少一个，以对其进行复位。

[0042] 所述电源线7通过通孔90电性连接于所述汇聚走线20的多个所述第一连接段203，以电性连接于所述遮挡层2。其中，相邻所述通孔90之间的所述汇聚走线20按相邻所述通孔90之间的最短距离设置。由于相邻所述通孔90之间的最短距离，即虚拟线段107，可以代表相邻所述通孔90之间的预期的电流路径，这样，大致呈直线型的所述预期的电流路径可以位于所述汇聚走线20的边界内。所述通孔90穿过所述第一绝缘层42、所述第二绝缘层44，以及所述第一平坦层481。所述通孔90包括多个第一通孔91和多个第二通孔92。所述第一通孔91贯穿过所述第一绝缘层42、所述第二绝缘层44、所述层间绝缘层46，所述第二通孔92贯穿所述第一平坦层481。所述第一通孔91与所述第二通孔92连通，且所述第一通孔91的直径小于所述第二通孔92的直径。

[0043] 请继续参阅图,1，所述像素定义层5可以包含聚丙烯酸酯类（polyacrylates）或者聚酰亚胺类（polyimides）等的树脂和二氧化硅系列的无机物等。所述像素定义层5设有多个开孔，以暴露所述发光器件层6的第一电极60。

[0044] 所述发光器件层6可以包括第一电极60、发光层61和第二电极62。

[0045] 所述第一电极60可以是阳极。所述阳极可以具有层叠铟锡氧化物（ITO：Indium-Tin-Oxide）、铟锌氧化物（IZO：Indium-Zinc-Oxide）、氧化锌（ZnO）、氧化铟（In2O3：Induim
Oxide）的功函数较高的物质层和诸如银（Ag）、镁（Mg）、铝（Al）、铂（Pt）、钯（Pd）、金（Au）、镍（Ni）、钕（Nd）、铱（Ir）、铬（Cr）、锂（Li）、钙（Ca）或其混合物的反射性物质层的层叠膜结构，但并不局限于此。功函数较高的层可以相比于反射性物质层布置于上层且靠近发光层61EL而布置。所述阳极可以具有ITO/Mg、ITO/MgF2、ITO/Ag、ITO/Ag/ITO的多层结构，但并不局限于此。

[0046] 所述发光层61可以包括有机物质层。所述发光层61的所述有机物质层可以包括有机发光层，并且还可以包括空穴注入/传输层和/或电子注入/传输层。

Petitioner Samsung Ex-1004, 0124

[0047] 所述第二电极62可以是阴极。所述阴极可以包括诸如Li、Ca、LiF/Ca、LiF/Al、Al、Mg、Ag、Pt、Pd、Ni、Au、Nd、Ir、Cr、BaF2、Ba或其化合物或混合物（例如，Ag与Mg的混合物等）的功函数较小的物质层。所述阴极还可以包括布置于所述功函数较小的物质层上的透明金属氧化物层。

[0048] 在本实施例的显示面板1000中，所述遮挡层2的多个遮挡块211遮挡所述像素驱动电路层4的多个所述薄膜晶体管401，所述电源线7与所述遮挡层2的所述汇聚走线20通过设置在所述像素驱动电路层4中的通孔90相互电性连接，其中，相邻所述通孔90之间的所述汇聚走线20按相邻所述通孔90之间的最短距离设置，使得流经所述汇聚走线20的预期的电流路径位于所述汇聚走线的边界内且沿着相邻所述通孔90之间的最短距离传导，由此可以减少电荷在所述遮挡层2的边界处的聚集，而可以减少所述遮挡层2发生ESD炸伤的现象。

[0049] 在其他的实施例中，请参阅图4和图5，所述第一汇聚走线201和所述第二汇聚走线202呈直线形，且与所述第一汇聚走线201和所述第二汇聚走线202重叠设置的多个所述通孔90呈直线排列。基于相同或相似的原理，发生在相邻的连接位置处的ESD炸伤的现象可以得到减少。

[0050] 在其他实施例中，所述遮挡层2可以位于所述缓冲层31和所述半导体层41之间，也可以位于所述基板1之下，以位于所述像素驱动电路层4之下以进行遮挡。

[0051] 在其他实施例中，所述电源线7也可以位于所述像素驱动电路层4的其他层中，也可以位于所述像素驱动电路层4的下方，而不限于是高电压电源线或复位信号线。

[0052] 本发明的实施例还提供一种显示装置，包括上述任一项所述的显示面板1000。所述显示装置作为显示视频或静止图像的装置，不仅可以是固定终端诸如电视、台式计算机、监视器、广告牌，也可以是移动终端诸如移动电话、平板电脑、移动通信终端、电子记事本、电子书、多媒体播放器、导航仪、笔记本电脑，还可以是穿戴式电子设备诸如智能手表、智能眼镜、虚拟现实设备、增强现实设备。

[0053] 可以理解的是，对本领域普通技术人员来说，可以根据本申请的技术方案及其发明构思加以等同替换或改变，而所有这些改变或替换都应属于本申请所附的

Petitioner Samsung Ex-1004, 0125

权利要求的保护范围。

Petitioner Samsung Ex-1004, 0126

权利要求书

[权利要求 1] 一种显示面板，包括显示区和设置在显示区至少一侧的非显示区，其中，所述显示面板包括：

基板；

遮挡层，位于所述基板上，包括多个遮挡块以及电性连接于多个所述遮挡块的汇聚走线，所述汇聚走线位于多个所述遮挡块的至少一侧；

像素驱动电路层，位于所述遮挡层上，包括位于所述显示区内的多个像素驱动电路，每一所述像素驱动电路与对应的所述遮挡块至少部分重叠；以及

第一导电层，设置在所述遮挡层远离所述基板的一侧，所述第一导电层包括：多条电源线，多条所述电源线通过多个通孔与所述汇聚走线电性连接；

其中，相邻所述通孔之间的所述汇聚走线按相邻所述通孔之间的最短距离设置。

[权利要求 2] 根据权利要求1所述的显示面板，其中，相邻所述通孔之间的所述汇聚走线呈直线形设置。

[权利要求 3] 根据权利要求2所述的显示面板，其中，所述汇聚走线呈直线形设置，且与所述汇聚走线重叠设置的多个所述通孔呈直线排列。

[权利要求 4] 根据权利要求1所述的显示面板，其中，所述汇聚走线包括第一汇聚走线，所述第一汇聚走线包括多个第一连接段和多个第二连接段，其中，每一所述第二连接段连接于相邻的两所述第一连接段的中部之间，所述第一连接段的宽度大于所述第二连接段的宽度，多条所述电源线通过多个所述通孔电性连接于多个所述第一连接段。

[权利要求 5] 根据权利要求4所述的显示面板，其中，所述像素驱动电路层包括多个沿着第一方向和第二方向阵列排布的多个像素驱动电路，每个所述第一连接段与一列沿着第一方向排布的所述像素驱动电路对应的遮挡块电连接。

[权利要求 6] 根据权利要求5所述的显示面板，其中，所述第一连接段的外周缘呈

Petitioner Samsung Ex-1004, 0127

圆弧形，所述第二连接段呈直线形，所述第一连接段的最大宽度大于所述第二连接段的宽度。

[权利要求 7] 根据权利要求1所述的显示面板，其中，所述非显示区包括：设置在所述显示区两侧的第一非显示区和第二非显示区，所述第一非显示区包括弯折子区，所述显示面板在所述弯折子区弯折设置；

所述汇聚走线包括设置在所述第一非显示区的第一汇聚走线，多条所述电源线至少通过多个所述通孔与所述第一汇聚走线电连接。

[权利要求 8] 根据权利要求7所述的显示面板，其中，所述汇聚走线包括设置在所述第二非显示区的第二汇聚走线，多条所述电源线还通过多个所述通孔与所述第二汇聚走线电连接。

[权利要求 9] 根据权利要求1所述的显示面板，其中，所述像素驱动电路层包括：

半导体层，设置在所述遮挡层远离所述基板的一侧；

第一绝缘层，设置在所述半导体层远离所述基板的一侧；

第一栅极金属层，设置在所述第一绝缘层远离所述基板的一侧；

第二绝缘层，设置在所述第一栅极金属层远离所述基板的一侧；

第二栅极金属层，设置在所述第二绝缘层远离所述基板的一侧；

第三绝缘层，设置在所述第二栅极金属层远离所述基板的一侧；

所述第一导电层，设置在所述第三绝缘层远离所述基板的一侧，所述第一导电层的多条所述电源线通过多个所述通孔与所述汇聚走线电性连接，所述通孔穿过所述第一绝缘层、所述第二绝缘层，以及所述第三绝缘层。

[权利要求 10] 根据权利要求9所述的显示面板，其中，所述像素驱动电路层还包括：

第四绝缘层，设置在所述第二栅极金属层和所述第三绝缘层之间；

第二导电层，设置在所述第四绝缘层和所述第三绝缘层之间；

所述通孔包括第一通孔和第二通孔，所述第一通孔穿过所述第一绝缘层、所述第二绝缘层、所述第四绝缘层，所述第二通孔穿过所述第三绝缘层，所述第一通孔与所述第二通孔连通且所述第二通孔的直径大

Petitioner Samsung Ex-1004, 0128

于所述第一通孔的直径。

[权利要求 11] 一种显示装置，包括如权利要求1所述的显示面板，所述显示面板为OLED显示面板。

[权利要求 12] 根据权利要求11所述的显示装置，其中，相邻所述通孔之间的所述汇聚走线呈直线形设置。

[权利要求 13] 根据权利要求12所述的显示装置，其中，所述汇聚走线呈直线形设置，且与所述汇聚走线重叠设置的多个所述通孔呈直线排列。

[权利要求 14] 根据权利要求11所述的显示装置，其中，所述汇聚走线包括第一汇聚走线，所述第一汇聚走线包括多个第一连接段和多个第二连接段，其中，每一所述第二连接段连接于相邻的两所述第一连接段的中部之间，所述第一连接段的宽度大于所述第二连接段的宽度，多条所述电源线通过多个所述通孔电性连接于多个所述第一连接段。

[权利要求 15] 根据权利要求14所述的显示装置，其中，所述像素驱动电路层包括多个沿着第一方向和第二方向阵列排布的多个像素驱动电路，每个所述第一连接段与一列沿着第一方向排布的所述像素驱动电路对应的遮挡块电连接。

[权利要求 16] 根据权利要求15所述的显示装置，其中，所述第一连接段的外周缘呈圆弧形，所述第二连接段呈直线形，所述第一连接段的最大宽度大于所述第二连接段的宽度。

[权利要求 17] 根据权利要求11所述的显示装置，其中，所述非显示区包括：设置在所述显示区两侧的第一非显示区和第二非显示区，所述第一非显示区包括弯折子区，所述显示面板在所述弯折子区弯折设置；

所述汇聚走线包括设置在所述第一非显示区的第一汇聚走线，多条所述电源线至少通过多个所述通孔与所述第一汇聚走线电连接。

[权利要求 18] 根据权利要求17所述的显示装置，其中，所述汇聚走线包括设置在所述第二非显示区的第二汇聚走线，多条所述电源线还通过多个所述通孔与所述第二汇聚走线电连接。

[权利要求 19] 根据权利要求11所述的显示装置，其中，所述像素驱动电路层包括：

Petitioner Samsung Ex-1004, 0129

半导体层，设置在所述遮挡层远离所述基板的一侧；

第一绝缘层，设置在所述半导体层远离所述基板的一侧；

第一栅极金属层，设置在所述第一绝缘层远离所述基板的一侧；

第二绝缘层，设置在所述第一栅极金属层远离所述基板的一侧；

第二栅极金属层，设置在所述第二绝缘层远离所述基板的一侧；

第三绝缘层，设置在所述第二栅极金属层远离所述基板的一侧；

所述第一导电层，设置在所述第三绝缘层远离所述基板的一侧，所述第一导电层的多条所述电源线通过多个所述通孔与所述汇聚走线电性连接，所述通孔穿过所述第一绝缘层、所述第二绝缘层，以及所述第三绝缘层。

[权利要求 20] 根据权利要求19所述的显示装置，其中，所述像素驱动电路层还包括：

第四绝缘层，设置在所述第二栅极金属层和所述第三绝缘层之间；

第二导电层，设置在所述第四绝缘层和所述第三绝缘层之间；

所述通孔包括第一通孔和第二通孔，所述第一通孔穿过所述第一绝缘层、所述第二绝缘层、所述第四绝缘层，所述第二通孔穿过所述第三绝缘层，所述第一通孔与所述第二通孔连通且所述第二通孔的直径大于所述第一通孔的直径。

Petitioner Samsung Ex-1004, 0130

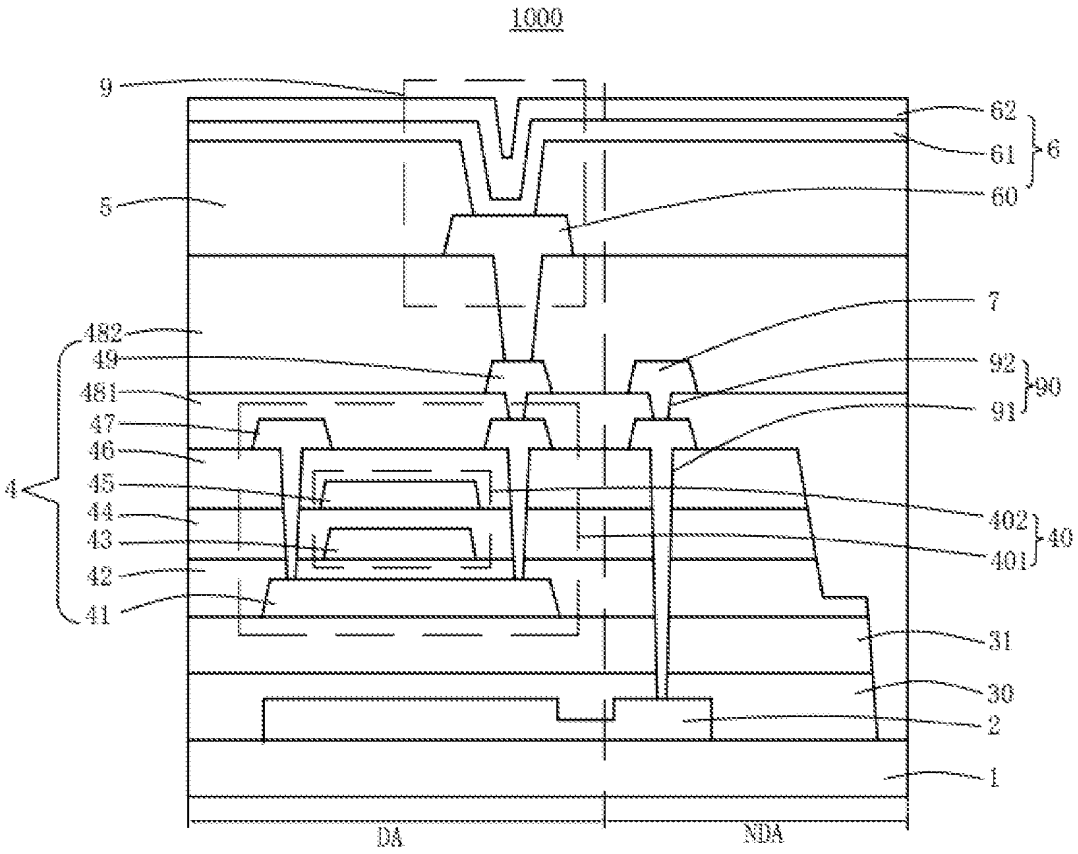


图 1

Petitioner Samsung Ex-1004, 0131

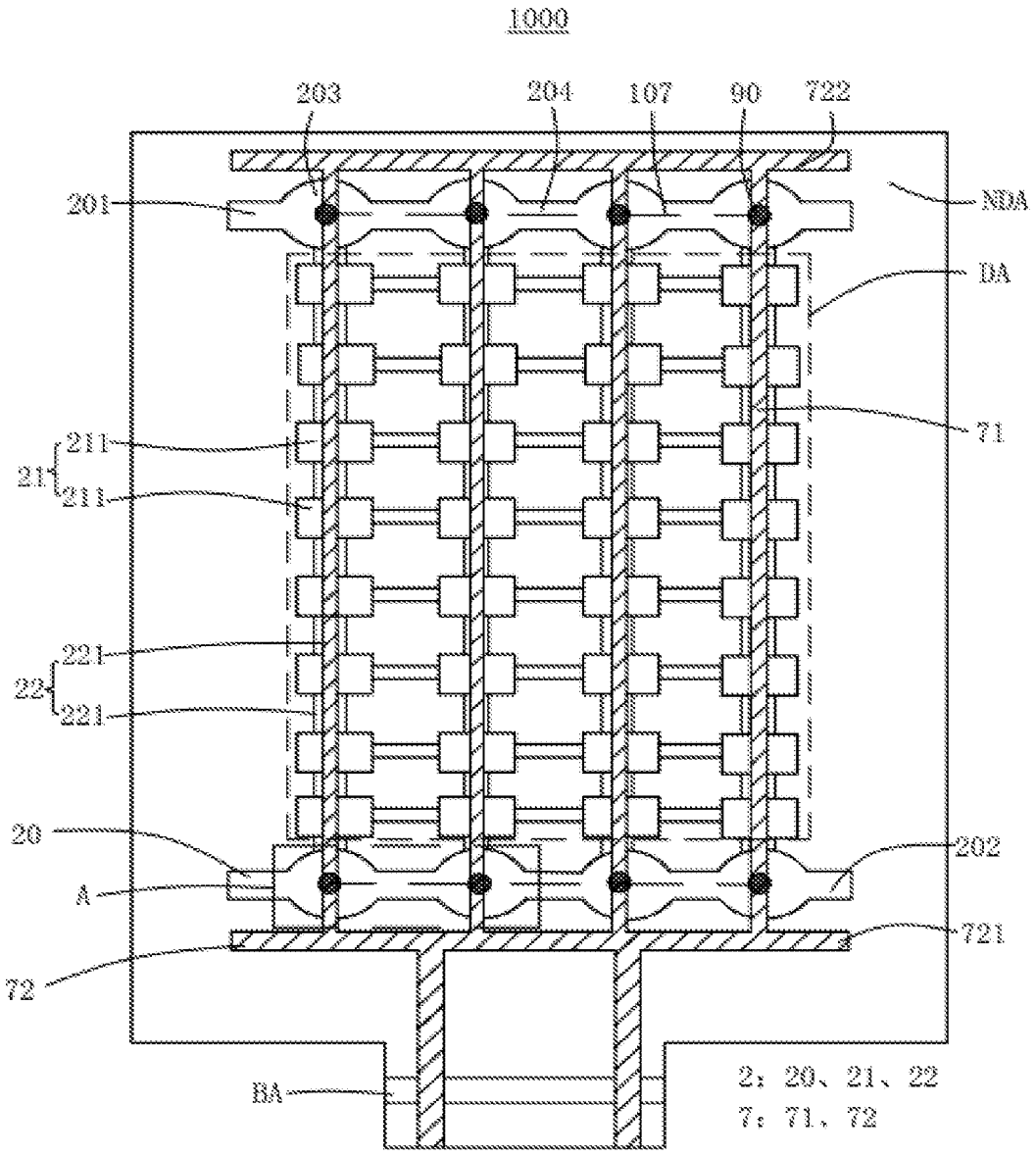


图 2

Petitioner Samsung Ex-1004, 0132

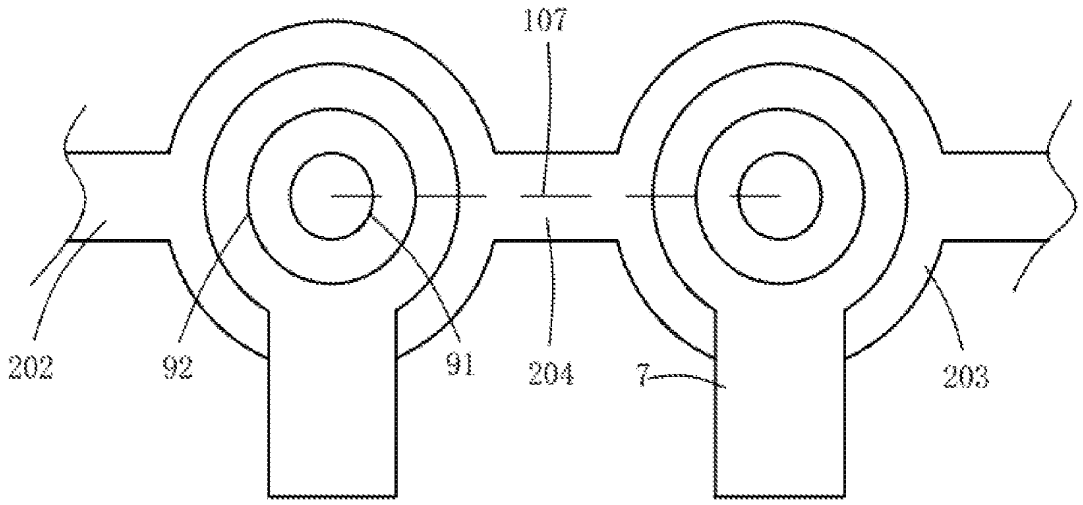


图 3

Petitioner Samsung Ex-1004, 0133

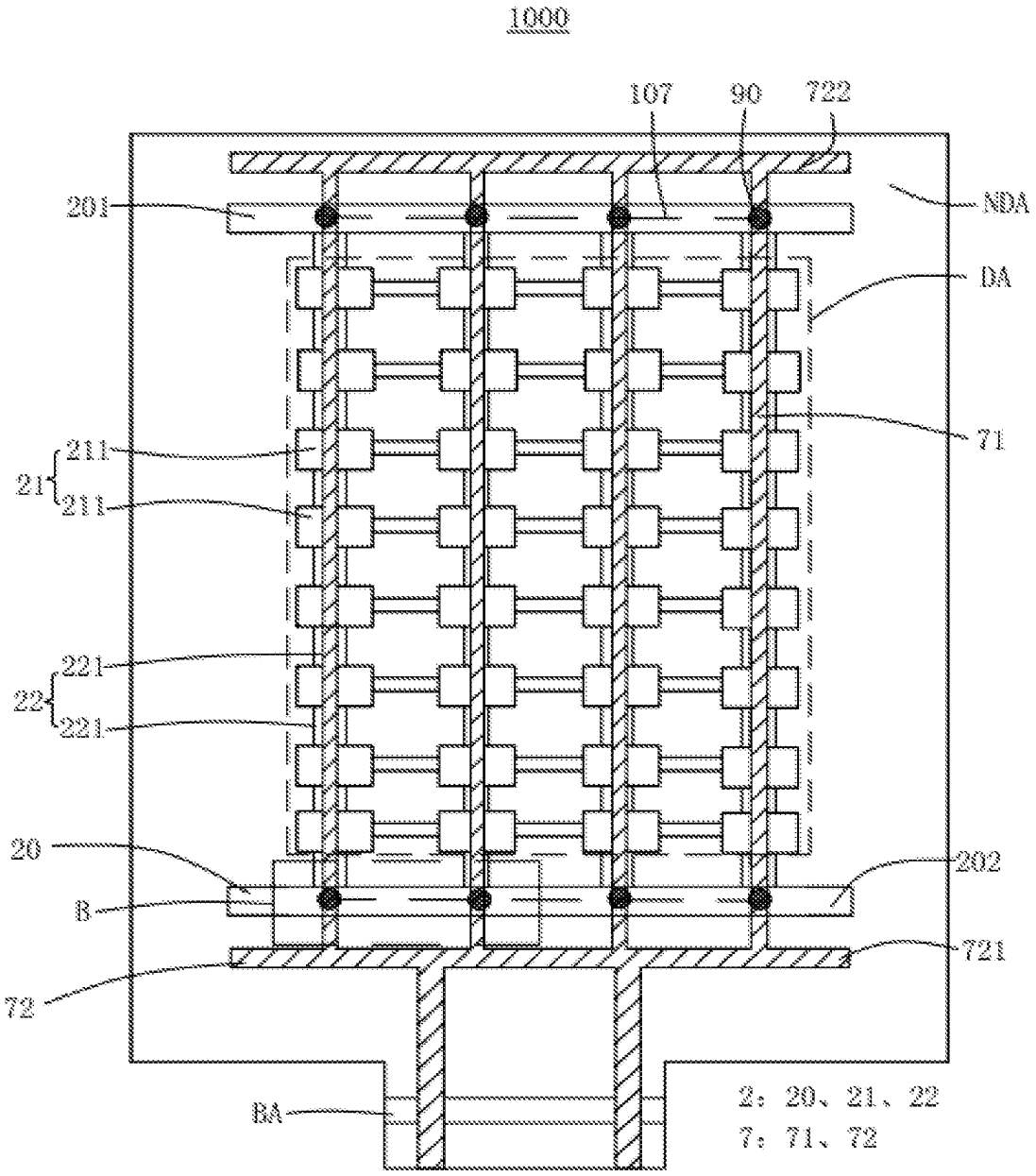


图 4

Petitioner Samsung Ex-1004, 0134

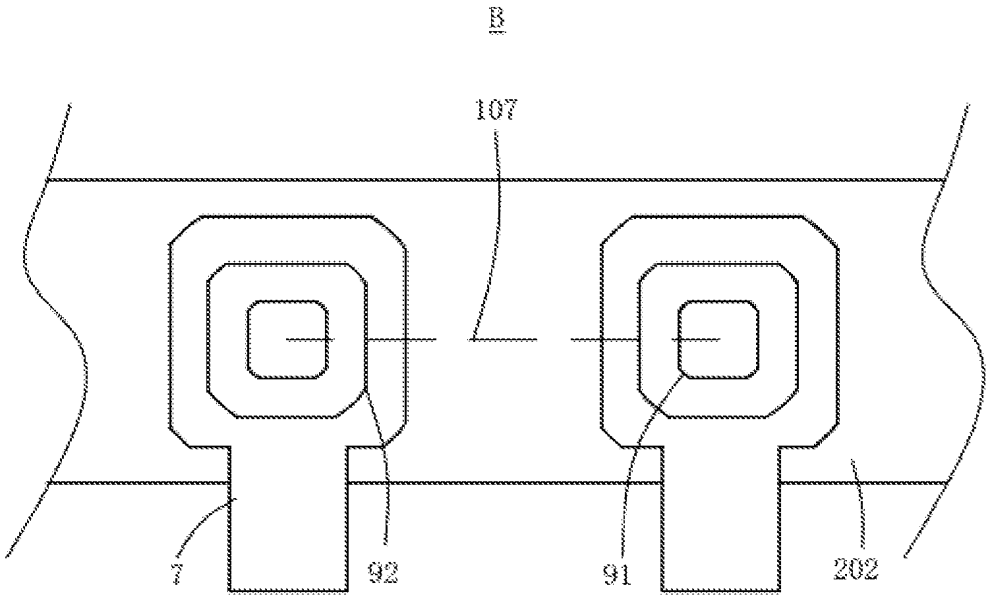


图 5

Petitioner Samsung Ex-1004, 0135

PTO/SB/08a (08-03)
Approved for use through 07/31/2006. OMB 0651-0031
U.S.Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(*use as many sheets as necessary*)

Sheet	1	of	2	Attorney Docket Number	92088

Complete if Known	
Application Number	17/764,557
Filing Date	March 29, 2022
First Named Inventor	WU Xing
Art Unit	
Examiner Name	

U.S. PATENT DOCUMENTS

Examiner Initials*	Cite No. [1]	Document Number Number-Kind Code [2] (if known)	Publication Date DD-MMM-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
	1	2021/0134846	06-May-2021	Tai et al.	

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No. [1]	Foreign Patent Documents Country Code [3] Number [4] Kind Code [5] (*if known*)	Publication Date DD-MMM-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T [6]
	2	CN 105321957	10-Feb-2016	LG Display		
	3	CN 112310044	02-Feb-2021	BOE Technology Group		
	4	CN 112670304	16-Apr-2021	Kunshan Govisionox Optoelelctronics		
	5	CN 113826210	21-Dec-2021	BOE Technology Group		
	6	CN 113871420	31-Dec-2021	BOE Technology Group		

Examiner Signature		Date Considered	

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of copy of this form with next communication to applicant.

[1] Applicant's unique citation designation number (optional).

[2] See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. 3 Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3).

[3] Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3).

[4] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document.

[5] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible.

[6] Applicant is to place a check mark here if English language translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. this collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450

PTO/SB/08a (08-03)
Approved for use through 07/31/2006. OMB 0651-0031
U.S.Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(*use as many sheets as necessary*)

Complete if Known	
Application Number	17/764,557
Filing Date	March 29, 2022
First Named Inventor	WU Xing
Group Art Unit	
Examiner Name	
Attorney Docket Number	92088

Sheet	2	Of	2

OTHER PRIOR ART – NON PATENT LITERATURE DOCUMENTS

Examiner Initials	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial symposium, catalog, etc.) date, page(s), volume-issue number(s), publisher, city and/or country where published.	T[2]
	7	International Search Report and the Written Opinion Dated 30 November 2022 From the International Searching Authority Re. Application No. PCT/CN2022/082256 and Its Translation Into English. (17 Pages)	

Examiner Signature		Date Considered	

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of copy of this form with next communication to applicant.

[1] Applicant's unique citation designation number (optional).

[2] See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. 3 Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3).

[3] Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3).

[4] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document.

[5] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible.

[6] Applicant is to place a check mark here if English language translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. this collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of:		§	
		§	
	WU Xing	§	
		§	Confirmation No.: 9510
Serial No.:	17/764,557	§	
		§	
Filed:	March 29, 2022	§	Group Art Unit:
		§	
For:	DISPLAY PANEL AND DISPLAY DEVICE	§	
		§	
		§	Attorney Docket: 92088
Examiner:		§	

Mail Stop Amendment
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUPPLEMENTAL INFORMATION DISCLOSURE STATEMENT

Sir:

Enclosed is a PTO Form 1449 which lists citations which may be material to the patentability and examination of the above identified application. Also enclosed are copies of the references cited, other than U.S. Patents and U.S. patent applications. These are submitted in compliance with the duty of disclosure defined in 37 CFR 1.56, 37 CFR 1.97 and 37 CFR 1.98. The Examiner is requested to make these citations of official record in this application.

The undersigned states:

A. NO CERTIFICATION OR FEE DUE

☒ This Information disclosure Statement is being filed within three months of filing a national application or entry of a national phase of an international application; or before the mailing date of a first Office action on the merits of the above-identified application. Accordingly, no fee or Certification is believed due. However, if a fee is due, authorization to deduct such fee from the Deposit Account 501407 of the undersigned is hereby provided.

B. CERTIFICATION

☐ That each item of information contained in the information disclosure statement was first cited in any communication from a foreign patent office in a counterpart foreign application not more than three months prior to the filing of the information disclosure statement; or

That no item of information contained in the information disclosure statement was cited in a communication from a foreign patent office in a counterpart foreign application, and, to the knowledge of the person signing the certification after making reasonable inquiry, no item of information contained in the information disclosure statement was known to any individual designated in 37 CFR 1.56(c) more than three months prior to the filing of the information disclosure statement.

C. FEE

☐

☒ No Fee is Due.

This Information Disclosure Statement under 37 CFR 1.56 is not to be construed as a representation that a search has been made, that additional matter which is material to the examination of this application does not exist, or that any one or more of the citations listed constitutes prior art as defined by 35 U.S.C. 102.

It is respectfully requested that the Examiner consider the cited information, along with any other information, in reaching a determination concerning the patentability of the present claims, and sign the enclosed form PTO-1449 to evidence that the cited information has been fully considered by the Patent and Trademark Office during the examination of this application. Notwithstanding any statements by the Applicant, the Examiner is urged to form his/her own conclusion regarding the relevance of the cited information.

FOR PATENT TERM ADJUSTMENT CALCULATION PURPOSES ONLY:

Unless indicated otherwise, to the best of our knowledge and procedures, each item of information contained in the information disclosure statement was first known no more than thirty days prior to the filing of the information disclosure statement, either by the inventor named in the application, Attorney or agent who prepares or prosecutes the application, and every other person who is substantively involved in the preparation or prosecution of the application and who is associated with the inventor, the applicant, an assignee, or anyone to whom there is an obligation to assign the application.

Respectfully submitted,

/ Martin D. Moynihan /

Martin D. Moynihan
Registration No. 40338
Telephone: (703)859-9634

Date: 24 February 2023

Abstract of CN105321957 (A)

Patent Family Member:US9934723 (B2)

The invention discloses a film transistor substrate, a display panel comprising the same and the manufacture method. The electronic display panel comprises a plastic substrate, a first buffer layer positioned on the substrate, bottom shielding metal BSM arranged on the buffer layer and a film transistor TFT arranged on the BSM and pixel area of the intersection area of a gate line and a data line; the TFT comprises a source layer superposed with the BSM, a first electrode and a second electrode; the BSM is connected to one of the first electrode and the second electrode; the TFT comprises at least one of a first grid terminal and a second grid terminal, wherein one of the first grid terminal and the second grid terminal is superposed with the BSM. The pixel area comprises a pixel driving circuit which comprises a plurality of node interconnection nodes, wherein the shielding metal is superposed with the floating node.

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 105321957 A
(43)申请公布日 2016.02.10

(21)申请号 201510358010.7

(22)申请日 2015.06.25

(30)优先权数据
10-2014-0078318 2014.06.25 KR
10-2014-0172567 2014.12.03 KR
10-2014-0172570 2014.12.03 KR
10-2014-0191052 2014.12.26 KR
10-2015-0060058 2015.04.28 KR

(71)申请人 乐金显示有限公司
地址 韩国首尔

(72)发明人 李定圣 柳俊锡 李志瑛 朴宰秀 姜昌宪 高皓渼 金秀泓 洪成基

(74)专利代理机构 北京三友知识产权代理有限公司 11127
代理人 吕俊刚 刘久亮

(51)Int.Cl.
H01L 27/12(2006.01)

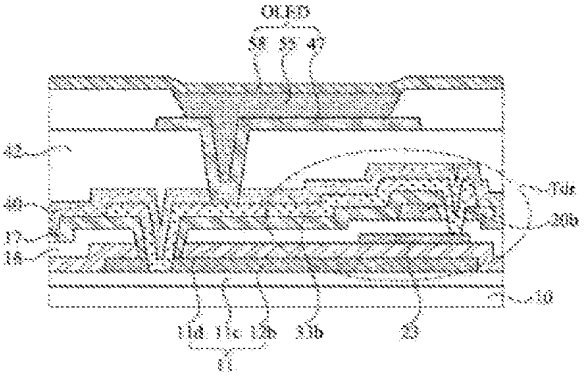
权利要求书1页 说明书30页 附图18页

(54)发明名称

薄膜晶体管基板、包括其的显示面板及其制造方法

(57)摘要

薄膜晶体管基板、包括其的显示面板及其制造方法。一种电子显示面板包括：塑料基板；位于所述基板上的第一缓冲层；位于所述缓冲层上的底部屏蔽金属BSM；以及位于所述BSM上并且在选通线和数据线的交叉处的像素区域中的薄膜晶体管TFT，所述TFT包括与所述BSM交叠的有源层、第一电极和第二电极。所述BSM可连接到所述第一电极和所述第二电极中的一个。所述TFT可包括所述BSM与第一栅极端子和第二栅极端子中的至少一个交叠的第一栅极端子和第二栅极端子。所述像素区域可包括像素驱动电路，该像素驱动电路包括多个组件互连节点，其中，第二底部屏蔽金属与能够浮动的节点交叠。



CN 105321957 A

Petitioner Samsung Ex-1004, 0142

1. 一种电子显示面板，该电子显示面板包括：

塑料基板；

位于所述塑料基板上的底部屏蔽金属 BSM；

位于所述 BSM 上的薄膜晶体管 TFT，所述 TFT 和所述 BSM 被设置为彼此至少部分地交叠；以及

插置在所述 TFT 和所述 BSM 之间的有源缓冲层，

其中，所述 BSM 连接到所述 TFT 的栅极、源极和漏极中的一个。

2. 根据权利要求 1 所述的电子显示面板，其中，所述 BSM 上的所述 TFT 是所述塑料基板的多个开关 TFT 中的一个，并且其中，所述 BSM 的长度小于所述 TFT 的栅极的长度。

3. 根据权利要求 1 所述的电子显示面板，其中，所述 TFT 的有源层包括多个掺杂区以及位于所述掺杂区之间且掺杂浓度低于所述掺杂区的沟道，其中，所述沟道的长度大于所述 BSM 的长度，并且其中，所述沟道的长度覆盖所述 BSM 的整个长度。

4. 根据权利要求 3 所述的电子显示面板，其中，所述掺杂区中的每一个包括多个低浓度掺杂部分和在相应掺杂区中比所述低浓度掺杂部分更加远离所述沟道的多个高浓度掺杂部分，其中，所述 BSM 与所述低浓度掺杂部分中的至少一个的整个部分交叠，并且其中，所述 BSM 与所述高浓度掺杂部分中的至少一个部分地交叠。

5. 根据权利要求 1 所述的电子显示面板，其中，所述 BSM 上的所述 TFT 是所述塑料基板的驱动 TFT，并且其中，所述 BSM 的长度等于或大于所述 TFT 的栅极的长度。

6. 根据权利要求 1 所述的电子显示面板，其中，所述 TFT 的有源层包括多个掺杂区以及位于所述掺杂区之间且掺杂浓度低于所述掺杂区的沟道，其中，所述沟道的长度等于或短于所述 BSM 的长度，并且其中，所述 BSM 的长度覆盖所述沟道的整个长度。

7. 根据权利要求 6 所述的电子显示面板，其中，所述掺杂区中的每一个包括多个低浓度掺杂部分和在相应掺杂区中比所述低浓度掺杂部分更加远离所述沟道的多个高浓度掺杂部分，其中，所述 BSM 与所述低浓度掺杂部分中的至少一个部分地交叠。

8. 根据权利要求 1 所述的电子显示面板，其中，所述 TFT 和所述 BSM 被设置为彼此不对称地交叠，并且所述 TFT 是所述塑料基板的多个开关 TFT 中的一个。

9. 根据权利要求 1 所述的电子显示面板，其中，所述 TFT 是将栅极分支为第一栅极端子和第二栅极端子的双栅 TFT，构造有所述沟道的所述 TFT 被设置有与所述第一栅极端子对应的第一沟道以及与所述第二栅极端子对应的第二沟道，其中，所述 BSM 被设置在所述第一沟道和所述第二沟道中的至少一个的下方。

10. 根据权利要求 9 所述的电子显示面板，其中，所述 BSM 与所述第一沟道和所述第二沟道中的任一个交叠，其中，所述第一沟道和所述第二沟道中的所述任一个的长度等于或短于所述 BSM 的长度，并且其中，所述 BSM 的长度覆盖所述第一沟道和所述第二沟道中的所述任一个的整个长度，并且其中，所述 BSM 上的所述 TFT 是所述塑料基板的驱动 TFT。

Petitioner Samsung Ex-1004, 0143

薄膜晶体管基板、包括其的显示面板及其制造方法

技术领域

[0001] 本公开涉及薄膜晶体管（TFT）基板，并且具体地，涉及包括形成在塑料基板上的TFT的TFT基板、包括该TFT基板的显示面板以及制造该TFT基板的方法。

背景技术

[0002] 随着时代进入信息导向社会，具有良好特性（例如薄、重量轻、功耗低）的平板显示（FPD）装置越来越重要。FPD装置的示例包括液晶显示（LCD）装置、等离子体显示面板（PDP）、有机发光显示装置等。近年来，作为一种FPD装置，电泳显示（EPD）装置正被广泛使用。

[0003] 显示装置中的使用的显示面板利用玻璃载体、石英基板等来制造。然而，上述基板容易破裂并且沉重。因此，玻璃载体和石英基板不适于制造柔性显示装置。因此，将在具有柔性的基板（例如，柔性塑料）上形成TFT的方法应用于制造柔性显示装置。

[0004] TFT被广泛用作显示面板（例如，液晶面板或有机发光显示面板）中的开关元件。因此，形成有TFT的TFT基板是针对显示装置构造的显示面板的基本元件。

[0005] 顺便指出，正在积极进行针对柔性显示面板的最新研究。柔性显示面板需要能够被折弯或弯曲。因此，采用例如聚酰亚胺（PI）的聚合材料（即，塑料）代替玻璃作为TFT基板的材料。

[0006] 图1是用于描述现有技术的有机发光显示面板的像素结构的电路图。

[0007] 如图1所示，现有技术的有机发光显示面板的像素P包括有机发光二极管（OLED）、开关晶体管Tsw、驱动晶体管Tdr以及电容器Cst。在图1中，开关晶体管Tsw和驱动晶体管Tdr被实现为N型，但不限于此。例如，开关晶体管Tsw和驱动晶体管Tdr可被实现为P型。

[0008] 开关晶体管和驱动晶体管中的每一个利用TFT来构造。

[0009] 图2是现有技术的柔性有机发光显示面板的一个像素的截面图。

[0010] 如图2所示，在现有技术的柔性有机发光显示面板中，由塑料形成的下基板10附接到辅助基板A。与驱动晶体管Tdr连接的有机发光二极管（OLED）形成在下基板10上。辅助基板A包括玻璃载体80和牺牲层85。通过激光释放工艺，辅助基板A与形成有OLED的下基板10分离。

发明内容

[0011] 因此，本发明致力于提供一种TFT基板、包括该TFT基板的显示面板以及制造该TFT基板的方法，其基本上消除了由于现有技术的局限和缺点而导致的一个或更多个问题。

[0012] 本发明的一个方面致力于提供一种包括设置有底部屏蔽金属（BSM）的缓冲区的TFT基板、包括该TFT基板的显示面板以及制造该TFT基板的方法。

[0013] 在本发明的一个方面中，一种电子显示面板包括：塑料基板；位于所述塑料基板上的第一缓冲层；位于所述第一缓冲层上的底部屏蔽金属（BSM）；以及位于所述BSM上以及

Petitioner Samsung Ex-1004, 0144

选通线和数据线的交叉处的像素区域中的薄膜晶体管（TFT），该 TFT 包括第一电极、第二电极以及与所述 BSM 交叠的有源层，其中，所述 BSM 连接到所述第一电极和所述第二电极中的一个。

[0014] 在本发明的另一方面中，一种电子显示面板包括：塑料基板；位于所述塑料基板上的第一缓冲层；位于所述第一缓冲层上的第一底部屏蔽金属（BSM）和第二底部屏蔽金属（BSM）；位于所述第一 BSM 和所述第二 BSM 上并且覆盖所述第一 BSM 和所述第二 BSM 的有源缓冲层；位于所述有源缓冲层上的 TFT 的第一沟道和第二沟道；位于所述第一沟道和所述第二沟道上的栅绝缘层；以及位于所述栅绝缘层上的所述 TFT 的第一栅极端子和第二栅极端子，所述 TFT 位于选通线和数据线的交叉处的像素区域中，其中，所述第一底部屏蔽金属与所述第一栅极端子和所述第二栅极端子中的至少一个交叠。

[0015] 在本发明的另一方面中，一种电子显示面板包括：塑料基板；位于所述基板上的第一缓冲层；位于所述缓冲层上的第一底部屏蔽金属（BSM）；位于有源缓冲层上的有源层；位于所述有源层上的栅绝缘层；位于选通线和数据线的交叉处的像素区域中的所述第一底部屏蔽金属上的 TFT；以及位于包括多个 TFT 和多个组件互连节点的所述像素区域中的像素驱动电路，其中，第二底部屏蔽金属与能够浮动的节点交叠。

[0016] 本发明的附加特征和优点将在以下描述中部分地阐述，并且对于阅读下文的本领域普通技术人员而言显而易见，或者可通过本发明的实践来学习。本发明的目的和其它优点将通过在所撰写的说明书及其权利要求书和附图中特别指出的结构来实现和达到。

[0017] 应当理解，本发明的以上总体描述和以下具体描述二者均是示例性和说明性的，并且旨在提供对要求保护的本发明的进一步说明。

[0018] 附记 1、一种电子显示面板，该电子显示面板包括：

[0019] 塑料基板；

[0020] 位于所述塑料基板上的底部屏蔽金属 BSM；

[0021] 位于所述 BSM 上的薄膜晶体管 TFT，所述 TFT 和所述 BSM 被设置为彼此至少部分地交叠；以及

[0022] 插置在所述 TFT 和所述 BSM 之间的有源缓冲层，

[0023] 其中，所述 BSM 连接到所述 TFT 的栅极、源极和漏极中的一个。

[0024] 附记 2、根据附记 1 所述的电子显示面板，其中，所述 BSM 上的所述 TFT 是所述塑料基板的多个开关 TFT 中的一个，并且其中，所述 BSM 的长度小于所述 TFT 的栅极的长度。

[0025] 附记 3、根据附记 1 所述的电子显示面板，其中，所述 TFT 的有源层包括多个掺杂区以及位于所述掺杂区之间且掺杂浓度低于所述掺杂区的沟道，其中，所述沟道的长度大于所述 BSM 的长度，并且其中，所述沟道的长度覆盖所述 BSM 的整个长度。

[0026] 附记 4、根据附记 3 所述的电子显示面板，其中，所述掺杂区中的每一个包括多个低浓度掺杂部分和在相应掺杂区中比所述低浓度掺杂部分更加远离所述沟道的多个高浓度掺杂部分，其中，所述 BSM 与所述低浓度掺杂部分中的至少一个的整个部分交叠，并且其中，所述 BSM 与所述高浓度掺杂部分中的至少一个部分地交叠。

[0027] 附记 5、根据附记 1 所述的电子显示面板，其中，所述 BSM 上的所述 TFT 是所述塑料基板的驱动 TFT，并且其中，所述 BSM 的长度等于或大于所述 TFT 的栅极的长度。

[0028] 附记 6、根据附记 1 所述的电子显示面板，其中，所述 TFT 的有源层包括多个掺杂区

Petitioner Samsung Ex-1004, 0145

以及位于所述掺杂区之间且掺杂浓度低于所述掺杂区的沟道，其中，所述沟道的长度等于或短于所述 BSM 的长度，并且其中，所述 BSM 的长度覆盖所述沟道的整个长度。

[0029] 附记 7、根据附记 6 所述的电子显示面板，其中，所述掺杂区中的每一个包括多个低浓度掺杂部分和在相应掺杂区中比所述低浓度掺杂部分更加远离所述沟道的多个高浓度掺杂部分，其中，所述 BSM 与所述低浓度掺杂部分中的至少一个部分地交叠。

[0030] 附记 8、根据附记 1 所述的电子显示面板，其中，所述 TFT 和所述 BSM 被设置为彼此不对称地交叠，并且所述 TFT 是所述塑料基板的多个开关 TFT 中的一个。

[0031] 附记 9、根据附记 1 所述的电子显示面板，其中，所述 TFT 是将栅极分支为第一栅极端子和第二栅极端子的双栅 TFT，构造有所述沟道的所述 TFT 被设置有与所述第一栅极端子对应的第一沟道以及与所述第二栅极端子对应的第二沟道，其中，所述 BSM 被设置在所述第一沟道和所述第二沟道中的至少一个的下方。

[0032] 附记 10、根据附记 9 所述的电子显示面板，其中，所述 BSM 与所述第一沟道和所述第二沟道中的任一个交叠，其中，所述第一沟道和所述第二沟道中的所述任一个的长度等于或短于所述 BSM 的长度，并且其中，所述 BSM 的长度覆盖所述第一沟道和所述第二沟道中的所述任一个的整个长度，并且其中，所述 BSM 上的所述 TFT 是所述塑料基板的驱动 TFT。

[0033] 附记 11、根据附记 10 所述的电子显示面板，其中，所述 BSM 更靠近所述 TFT 的漏极而非所述 TFT 的源极。

[0034] 附记 12、根据附记 9 所述的电子显示面板，其中，所述 BSM 更靠近所述 BSM 上的所述 TFT 的源极和漏极当中的被供应有较高电压的任一个。

[0035] 附记 13、根据附记 1 所述的电子显示面板，其中，所述 BSM 上的所述 TFT 位于像素电路中，并且所述 BSM 被设置为在所述像素电路中的多个组件互连节点中的至少一个的下方延伸，并且其中，所述组件互连节点在所述像素电路的操作期间的至少某些时段浮动。

[0036] 附记 14、根据附记 13 所述的电子显示面板，其中，所述像素电路的操作期间的所述至少某些时段是有机发光二极管 OLED 的发射时段。

[0037] 附记 15、一种电子显示面板，该电子显示面板包括：

[0038] 塑料基板；

[0039] 位于所述塑料基板上的底部屏蔽金属 BSM，该 BSM 被设置为使由于所述塑料基板的捕获的电荷而导致的所述像素电路中的背沟道的形成最小化；

[0040] 位于所述 BSM 上的有源缓冲层；以及

[0041] 由所述塑料基板上的选通线和数据线限定的像素区域中的像素电路，所述有源缓冲层上的所述像素电路包括多个 TFT 和多个组件互连节点。

[0042] 附记 16、根据附记 15 所述的电子显示面板，其中，所述 BSM 与所述像素电路的所述 TFT 中的一个交叠，并且连接到与所述 BSM 交叠的所述 TFT 的栅极、源极和漏极中的一个。

[0043] 附记 17、根据附记 16 所述的电子显示面板，其中，所述 TFT 的有源层包括多个掺杂区以及位于所述掺杂区之间且掺杂浓度低于所述掺杂区的沟道，其中，所述沟道的长度等于或短于所述 BSM 的长度，并且其中，所述 BSM 的长度覆盖所述沟道的整个长度。

[0044] 附记 18、根据附记 15 所述的电子显示面板，其中，所述 BSM 与在所述像素电路的操作期间的至少某些时段浮动的所述组件互连节点中的一个交叠，并且连接到所述像素电路的多个电源中的一个。

Petitioner Samsung Ex-1004, 0146

[0045] 附记19、根据附记17所述的电子显示面板，其中，所述BSM被设置为在所述像素电路中的所述TFT中的至少一个的下方延伸。

附图说明

[0046] 附图被包括以提供对本发明的进一步理解，并且被并入本申请且构成本申请的一部分，附图例示了本发明的实施方式，并且与说明书一起用来说明本发明的原理。附图中：

[0047] 图1是用于描述现有技术的有机发光显示面板的像素结构的电路图；

[0048] 图2是现有技术的柔性有机发光显示面板的一个像素的截面图；

[0049] 图3是示出根据本发明的实施方式的应用了TFT基板的有机发光显示装置的构造的示意图；

[0050] 图4是用于描述根据本发明的实施方式的显示面板的像素结构的电路图；

[0051] 图5A是示出应用了根据本发明的第一实施方式的TFT基板的显示面板的一个像素的驱动晶体管的截面图；

[0052] 图5B是示出应用了根据本发明的第一实施方式的TFT基板的显示面板的一个像素的开关晶体管的截面图；

[0053] 图6是示出应用了根据本发明的第二实施方式的TFT基板的显示面板的一个像素的驱动晶体管的截面图；

[0054] 图7是示出应用了根据本发明的第三实施方式的TFT基板的显示面板的一个像素的驱动晶体管的截面图；

[0055] 图8A至图8E是用于描述根据本发明的第一示例性实施方式的制造包括TFT基板的显示面板的方法的截面图；

[0056] 图9A至图9C是示出应用于根据本发明的实施方式的TFT基板的晶体管的结构的示意图；

[0057] 图10是示出根据本发明的实施方式的TFT基板的横截面的示例图；

[0058] 图11A是示出根据本发明的实施方式的TFT基板的横截面的示例图；

[0059] 图11B是显示图11A所示的TFT基板的亮度散射的曲线图；

[0060] 图12A是示出根据本发明的实施方式的TFT基板的横截面的另一示例图；

[0061] 图12B是显示图12A所示的TFT基板的亮度散射的曲线图；

[0062] 图13A是示出根据本发明的实施方式的TFT基板的横截面的另一示例图；

[0063] 图13B是显示图13A所示的TFT基板的亮度散射的曲线图；

[0064] 图14是示出根据本发明的实施方式的有机发光显示面板的横截面的示例图；

[0065] 图15是示出根据本发明的实施方式的液晶显示面板的横截面的示例图；

[0066] 图16是示出根据本发明的第四实施方式的TFT基板的一个像素的驱动晶体管的平面图；

[0067] 图17是沿着示出驱动晶体管的图16的Y-Y'线截取的截面图；

[0068] 图18是示出根据本发明的第五实施方式的TFT基板的一个像素的驱动晶体管的平面图；

[0069] 图19是沿着示出驱动晶体管的图18的Y-Y'线截取的截面图；

[0070] 图20是显示由于底部屏蔽金属的存在而导致的特性变化的曲线图；

Petitioner Samsung Ex-1004, 0147

[0071] 图21是用于描述根据本发明的第六实施方式的TFT基板的像素结构的电路图；以及

[0072] 图22是示出根据本发明的第六实施方式的TFT基板的横截面的示例图。

具体实施方式

[0073] 下面将详细参照本发明的示例性实施方式，其示例在附图中示出。在任何可能的情况下，在附图中始终采用相同的附图标记来表示相同或相似的部件。

[0074] 以下将参照附图详细描述本发明的实施方式。

[0075] 在下面的公开中，将描述有机发光显示面板作为本发明的示例，但是本发明不限于此。也就是说，本发明可应用于包括TFT基板的各种类型的显示面板。

[0076] 此外，在本说明书中，将描述柔性TFT基板作为本发明的示例，但是本发明不限于此。也就是说，本发明可应用于采用由聚合材料（诸如聚酰亚胺(PI)）制成的下基板的各种类型的TFT基板。

[0077] 参照图2，在现有技术的柔性有机发光显示面板中，形成在下基板10上的驱动晶体管Tdr的有源层23会被在将辅助基板A与下基板10分离的操作中照射的激光损坏。

[0078] 此外，在现有技术的有机发光显示面板中，由于下基板10和牺牲层85所导致的背沟道现象，驱动晶体管Tdr的阈值电压“Vth”发生偏移。

[0079] 顺便指出，在现有技术的柔性有机发光显示面板中，各种晶体管（例如驱动晶体管Tdr）中的每一个的有源层会被激光损坏。此外，由于激光和从外部输入的光，牺牲层中出现负电荷陷阱，因此，正(+)电荷从形成下基板10的聚酰亚胺(PI)移动到牺牲层85。因此，下基板10的表面的电位增加。因此，多个TFT中的每一个的阈值电压(Vth)在正方向上偏移。

[0080] 阈值电压的不可控偏移降低了有机发光显示面板的可靠性。

[0081] 开关晶体管Tsw中会出现有机发光显示面板的可靠性降低的现象。并且除上述原因之外，会由于各种原因而出现驱动晶体管或开关晶体管的阈值电压的偏移。

[0082] 第二，当驱动晶体管Tdr未导通时，与有机发光二极管OLED连接的驱动晶体管的源极被保持在浮动状态。在此情况下，随着下基板10的表面的电位增加，会在下基板10和源极之间产生寄生电容，并且源极会持续受到寄生电容的影响。因此，源极中流动的电流可被寄生电容偏移，因此会出现图像残留。

[0083] 第三，当与初始电压供应线连接的内部补偿晶体管连接到源极以补偿驱动晶体管Tdr的阈值电压时，尽管源极浮动，在初始电压供应线与源极之间也会产生寄生电容（在本文中，“浮动”是指在像素电路运行期间浮动至少一些时段），并且源极会持续受到寄生电容的影响。因此，源极中流动的电流可被寄生电容偏移，因此会出现图像残留。

[0084] 第四，上述现象除了出现在柔性TFT基板中，也会出现在通用TFT基板中。

[0085] 第五，除了制造TFT基板的工艺以外，即使在驱动TFT基板时也会出现上述现象。

[0086] 例如，当驱动包括由基于塑料的聚合材料（诸如聚酰亚胺(PI)）形成的下基板10的TFT基板时，下基板10中产生热，并且从下基板10产生的带电荷的粒子移动到TFT结构的上部。带电荷的粒子影响有源层23，从而降低了TFT基板的可靠性。并且，带电荷的粒子除了正常的电流流动之外还导致不必要的电流流动，从而会缩短TFT基板的使用寿命。

Petitioner Samsung Ex-1004, 0148

[0087] 图3是示出根据本发明的实施方式的应用了TFT基板的有机发光显示装置的构造的示意图。

[0088] 如图3所示，根据本发明的实施方式的有机发光显示装置包括：有机发光显示面板100，其中在多条选通线GL1至GLg和多条数据线DL1至DLd之间的多个交叉区域的每一个中设置有像素(P)110；栅极驱动器200，其向形成在有机发光显示面板100中的多条选通线GL1至GLg顺序提供扫描脉冲；数据驱动器300，其向形成在有机发光显示面板100中的多条数据线DL1至DLd分别提供数据电压；以及定时控制器400，其控制栅极驱动器200的功能和数据驱动器300的功能。

[0089] 在有机发光显示面板(以下称为显示面板)100中，可在多条选通线GL1至GLg和多条数据线DL1至DLd之间的多个交叉区域的每一个中设置像素(P)110。像素110可包括发射光的有机发光二极管(OLED)以及驱动OLED的像素驱动器。

[0090] 第一，OLED可被构造成顶部发射类型，其中从OLED发射的光通过上基板输出到外部，或者可被构造为底部发射类型，其中从OLED发射的光通过下基板输出到外部。

[0091] 第二，像素驱动器可包括与数据线DL和选通线GL连接并且控制OLED的驱动的两个或更多个TFT，以及存储电容器。

[0092] OLED的阳极可连接到第一电源，并且OLED的阴极可连接到第二电源。OLED可发射具有特定亮度的光，该特定亮度对应于从驱动晶体管提供的电流的水平。

[0093] 当向选通线GL提供扫描脉冲时，像素驱动器可根据提供到数据线DL的数据电压来控制提供到OLED的电流的量。

[0094] 为此，可将驱动晶体管连接在第一电源和OLED之间，并且将开关晶体管连接到驱动晶体管、数据线DL和选通线GL。

[0095] 利用外部系统(未示出)提供的垂直同步信号、水平同步信号和时钟，定时控制器400输出用于控制栅极驱动器200的栅极控制信号GCS和用于控制数据驱动器300的数据控制信号DCS。定时控制器400对从外部系统接收的输入图像数据进行采样，将采样的图像数据重新对齐，并且将重新对齐的数字图像数据提供到数据驱动器300。

[0096] 数据驱动器300将从定时控制器400输入的图像数据转换为模拟数据电压，并且在扫描脉冲被提供给对应选通线的每一个水平周期向数据线分别提供一条水平线的数据电压。也就是说，数据驱动器300利用从伽马电压发生器(未示出)提供的伽马电压将图像数据转换为数据电压，并且将数据电压分别输出到数据线。

[0097] 响应于从定时控制器400输入的栅极控制信号，栅极驱动器200向面板100的选通线GL1至GLg顺序提供扫描脉冲。因此，分别形成在被施加有扫描脉冲的对应水平线上的多个子像素110中的多个开关晶体管导通，并且向多个像素110中的每一个输出图像。栅极驱动器200可独立于面板100设置，并且可构造为通过各种方式与面板100连接的类型。然而，栅极驱动器200可被构造为设置在面板100中的面板内栅极(GIP)类型，其中栅极驱动器与面板一体。用于使开关晶体管截止的信号被称为截止信号。截止信号和扫描脉冲的通用名称是扫描信号。例如，开关晶体管根据扫描信号导通或截止。

[0098] 此外，上文已经描述了分别设置数据驱动器300，栅极驱动器200和定时控制器400，但是数据驱动器300和栅极驱动器200中选择出的至少一个可被设置为与定时控制器400一体。以下，栅极驱动器200、数据驱动器300和定时控制器400的通用名称是面板驱

Petitioner Samsung Ex-1004, 0149

动器。

[0099] 图 4 是描述根据本发明的实施方式的显示面板的像素结构的电路图。

[0100] 参照图 4，像素 P 可包括有机发光二极管 OLED，驱动晶体管 Tdr、开关晶体管 Tsw、感测晶体管 Tss，发射晶体管 Tem 以及多个电容器 C1 和 C2。晶体管 Tdr、Tsw、Tss 和 Tem 中的每一个可以是薄膜晶体管（TFT 或晶体管）。此外，各个晶体管可以是 N 型 TFT，也可以是非晶硅（a-Si）TFT、多晶硅 TFT、氧化物 TFT、低温多晶硅（LTPS）TFT 或有机 TFT。

[0101] 有机发光二极管 OLED 可连接到用来提供第一电压 Vdd 的第一驱动电力线 PL1 以及用来提供第二电压 Vss 的第二驱动电力线 PL2。有机发光二极管 OLED 可包括形成在其阳极和阴极之间的发射层。阳极可连接到驱动晶体管的第一电极（例如，源极）。发射层可包括空穴传输层、有机发射层、电子传输层、空穴注入层和电子注入层。

[0102] 有机发光二极管 OLED 可根据驱动晶体管 Tdr 的驱动，按照与从第一驱动电力线 PL1 流到第二驱动电力线 PL2 的电流的量对应的亮度发光。

[0103] 驱动晶体管 Tdr 可连接在第一驱动电力线 PL1 和有机发光二极管 OLED 的第一电极（例如，阳极）之间，并可根据驱动晶体管 Tdr 的栅－源电压（即，提供到 TFT 的栅极的电压与提供到 TFT 的源极的电压之间的电压差）来控制流到有机发光二极管 OLED 的电流的量。

[0104] 开关晶体管 Tsw 可由通过扫描控制线 SCL 提供的扫描脉冲导通，并且可将通过数据线 DL 提供的数据电压 Vdata 提供给与驱动晶体管 Tdr 的栅极连接的第二节点 n2。

[0105] 感测晶体管 Tss 可由通过感测控制线 SSL 提供的控制信号导通，并且可向第三节点提供初始电压 Vini。

[0106] 发射晶体管 Tem 可由通过发射信号线提供的发射信号 EM 导通，并且可将通过第一驱动电力线 PL1 提供的第一驱动电压 Vdd 提供给第一节点 n1。

[0107] 第一电容器 C1 可在阈值电压感测时段期间感测驱动晶体管的阈值电压，并且可在图像显示时段期间存储数据电压。

[0108] 第二电容器 C2 在图像显示时段期间提高数据电压的效率，并且在发射时段期间增强保持特性。

[0109] 底部屏蔽金属（BSM）可形成在驱动晶体管 Tdr、开关晶体管 Tsw 或感测晶体管 Tss 下方，并且防止驱动晶体管 Tdr、开关晶体管 Tsw 或感测晶体管 Tss 的装置特性（例如，阈值电压或开／关电压）由于塑料基板的充电而改变。例如，底部屏蔽金属防止晶体管的阈值电压针对各个像素随机偏移，从而防止像素之间的亮度不均匀。

[0110] 在制造柔性 TFT 基板时，底部屏蔽金属防止 TFT 在释放玻璃载体的释放操作期间受到物理损坏。

[0111] 顺便指出，底部屏蔽金属可以不形成在应用于根据本发明的实施方式的 TFT 基板的所有晶体管的有源层下方。

[0112] 例如，底部屏蔽金属必要地形成在驱动晶体管 Tdr 的有源层下方，并且可形成或不形成在其它晶体管的有源层下方。例如，即使当背沟道现象改变了发射晶体管 Tem、开关晶体管 Tsw 或感测晶体管 Tss（发射晶体管 Tem、开关晶体管 Tsw 和感测晶体管 Tss 的通称为“用于感测的晶体管”）的装置特性（例如，阈值电压），各个晶体管的装置特性（例如阈值电压）的改变程度也小于驱动晶体管 Tdr 的装置特性（例如，阈值电压）的改变程度。然

Petitioner Samsung Ex-1004, 0150

面，当确定发射晶体管 Tem、开关晶体管 Tsw 或感测晶体管 Tss 的装置特性的改变程度大到足以影响 TFT 基板的特性时，底部屏蔽金属可形成在其它晶体管下方。

[0113] 对应于驱动晶体管 Tdr 的底部屏蔽金属可连接到驱动晶体管 Tdr 的电极（例如，端子）中的一个或者其它电极，从而增大电容。

[0114] 对应于除驱动晶体管 Tdr 之外的晶体管（例如，用于开关的晶体管，诸如开关晶体管 Tsw 和发射晶体管 Tem）的有源层的底部屏蔽金属可形成或不形成在下基板上。

[0115] 此外，底部屏蔽金属可形成在像素中所形成的晶体管和柔性 TFT 基板的非显示区域中所形成的各种类型的晶体管的有源层下方。

[0116] 例如，当栅极驱动器 200 利用 GIP 类型被设置在非显示区域中时，底部屏蔽金属可形成在构造栅极驱动器 200 的各种晶体管的有源层下方。

[0117] 此外，用于自动探测试验的各种晶体管可被设置在非显示区域的焊盘部中，或者静电放电（ESD）电路和复用器（MUX）可被设置在焊盘部中。在此情况下，底部屏蔽金属可形成在构造这些元件的晶体管的有源层下方。

[0118] 此外，当对应于用于开关的晶体管的底部屏蔽金属形成在 TFT 基板上时，底部屏蔽金属可以浮动或者连接到形成在 TFT 基板上的一个电极。下文中，底部屏蔽金属可连接到构造与该底部屏蔽金属对应的用于开关的晶体管的多个电极中的一个。

[0119] 例如，对应于开关晶体管 Tsw 的底部屏蔽金属可以浮动。然而，开关晶体管 Tsw 下方的底部屏蔽金属可连接到形成在 TFT 基板上的多个电极中的一个，更具体地，可连接到开关晶体管 Tsw 的栅极。

[0120] 此外，当底部屏蔽金属形成在构造非显示区域中设置的各种元件的晶体管的有源层下方时，底部屏蔽金属可浮动或者可连接到形成在 TFT 基板上的一个电极。下文中，底部屏蔽金属可连接到构造与该底部屏蔽金属对应的晶体管的多个电极中的一个。

[0121] 此外，针对各个晶体管形成的多个底部屏蔽金属可形成在相同的层或不同的层上。此外，底部屏蔽金属可由相同材料或不同材料形成。此外，底部屏蔽金属可由与构造各个晶体管的栅极相同的材料（诸如钼（Mo））形成。

[0122] 图 5A 是示出应用了根据本发明的第一实施方式的 TFT 基板的显示面板的一个像素的驱动晶体管的截面图。图 5B 是示出应用了根据本发明的第一实施方式的 TFT 基板的显示面板的一个像素的开关晶体管的截面图。

[0123] 参照图 4、图 5A 和图 5B，应用了根据本发明的第一实施方式的 TFT 基板的显示面板可包括由聚合材料（诸如塑料）形成的下基板 10 以及形成在下基板 10 上的缓冲区 11。此外，显示面板可包括：第一有源层 23a，其与构造缓冲区 11 的第一 BSM 12a 绝缘并与第一 BSM 12a 交叠；以及开关晶体管 Tsw，其形成在缓冲区 11 上并根据通过形成在下基板 10 上的选通线 GL 提供的扫描信号来驱动。此外，显示面板可包括：第二有源层 23b，其与构造缓冲区 11 的第二 BSM 12b 绝缘并与第二 BSM 12b 交叠；以及驱动晶体管 Tdr，其形成在缓冲区 11 上并根据通过开关晶体管 Tsw 从形成在下基板 10 上的数据线 DL 提供的数据电压 Vdata 来驱动。此外，显示面板可包括：平坦化层 42，其形成在开关晶体管 Tsw 和驱动晶体管 Tdr 上；以及有机发光二极管（OLED），其形成在平坦化层 42 上并连接到驱动晶体管 Tdr 的第二源极 33b。

[0124] 在制造工艺期间中，下基板 10 可位于辅助基板（未示出）上，该辅助基板包括诸

Petitioner Samsung Ex-1004, 0151

如玻璃载体（未示出）的基体基板和牺牲层（未示出），并且下基板 10 的材料可以是诸如聚酰亚胺（PI）的塑料。形成 TFT 基板之后，可释放支撑下基板和 TFT 基板中的其它元件的辅助基板。

[0125] 缓冲区 11 可包括形成在下基板 10 上的多缓冲区 11c、形成在多缓冲区 11c 上的第一 BSM 12a 和第二 BSM 12b 以及形成在第一 BSM 12a 和第二 BSM 12b 上的有源缓冲区 11d。然而，本实施方式不限于此。因此，缓冲区 11 可包括形成在下基板 10 上的第一 BSM 12a 和第二 BSM 12b、形成在第一 BSM 12a 和第二 BSM 12b 上的多缓冲区 11c 以及形成在多缓冲区 11c 上的有源缓冲区 11d。

[0126] 多缓冲区 11c 可执行封装功能。也就是说，由于塑料被用作下基板 10，因此多缓冲区 11c 可用于防止水分的渗入。因此，多缓冲区 11c 可由以下层形成：包含用于覆盖不需要的粒子或空穴的有机材料（诸如树脂）的至少一个层以及包含通过致密屏障防止潮湿的无机材料（诸如 Al_2O_3 或 SiO_2）的至少一个层。

[0127] 有源缓冲区 11d 用于保护形成在缓冲区 11 上的晶体管的有源层，并且防止从下基板 10 输入各种缺陷。有源缓冲区 11d 可由非晶硅形成。

[0128] 此外，缓冲区 11 可包括第一 BSM 12a、第二 BSM 12b 和多个缓冲层。第一 BSM 12a、第二 BSM 12b 和多个缓冲层可形成为各种结构。

[0129] 第一有源层 23a、第二有源层 23b、栅绝缘层 16、第一栅极 20a、第二栅极 20b 和层间电介质 17 可形成在 TFT 基板的缓冲区 11 上。换言之，驱动晶体管 Tdr 和开关晶体管 Tsw 可形成在 TFT 基板的缓冲区 11 上。驱动晶体管 Tdr 可包括第二源极 33b 和第二漏极（未示出），并且开关晶体管 Tsw 可包括第一源极 33a 和第一漏极（未示出）。

[0130] 钝化层 40 和平坦化层 42 可顺序形成在驱动晶体管 Tdr 和开关晶体管 Tsw 上。

[0131] 与驱动晶体管 Tdr 的第二源极 33b 连接的有机发光二极管（OLED）可形成在平坦化层 42 上。

[0132] 如上简述，显示面板 100 的晶体管可设置有位于其下的底部屏蔽金属（BSM），以使由于下基板 10 中捕获的电荷所导致的背沟道现象最小化。然而，晶体管下方的 BSM 的电位可在显示面板 100 的操作期间发生变化，并且影响晶体管的阈值电压（Vth）。如果 BSM 处于浮动状态，则各个像素电路中的晶体管的 Vth 的偏移量可以变化，从而导致不需要的视觉缺陷（例如，亮度变化）。因此，在一些实施方式中，BSM 可连接到被设置在其上的晶体管的电极中的一个。

[0133] 例如，BSM 可连接到晶体管的源极或漏极。在这些情况下，在 BSM 与连接到该 BSM 的晶体管的电极之间形成等电位。只要 BSM 与连接到该 BSM 的电极之间的电压差保持小于晶体管的栅极和源极之间的电压差（即，VGS 或栅－源电压），BSM 对晶体管的 Vth 的影响可最小化。因此，只要满足上述关系，BSM 既可连接到晶体管的源极也可连接到晶体管的漏极。

[0134] 就此而言，优选的是，在显示面板 100 的操作期间，BSM 尽可能长时间与被施加有满足上述关系的信号的电极连接。换言之，通过将 BSM 连接到被提供有稳定电压的电极，BSM 与所连接的电极之间的电压差应当尽可能长时间等于或低于 VGS。

[0135] 此外，BSM 与所连接的电极之间的电压差优选的等于或大于 0V，使得晶体管的 Vth 不在反方向上偏移。也就是说，Vth 的正偏移会在 N 型晶体管中受到抑制，Vth 的负偏移会

Petitioner Samsung Ex-1004, 0152

在 P 型晶体管中受到抑制。

[0136] 简而言之，BSM 与所连接的电极之间的电压差最优为 0V。在此情况下，BSM 不会在晶体管中产生背沟道。

[0137] 同样，在一些实施方式中，对应于驱动晶体管 Tdr 的第二 BSM 12b 可连接到第二源极 33b（或者可能连接到第二漏极）。在这些情况下，向第二 BSM 12b 和驱动晶体管 Tdr 的第二源极 33b（或者可能连接到第二漏极）提供相同的电压，使得两者之间的电压差等于 0V。因此，第二 BSM 12b 可被构造为不在驱动晶体管 Tdr 中产生背沟道，同时抑制由于下基板 10 中捕获的电荷所导致的驱动晶体管 Tdr 的 Vth 偏移。

[0138] 虽然图 5A 示出了第二 BSM 12b 连接到驱动晶体管 Tdr 的第二源极 33b，但是在一些实施方式中，设置在感测晶体管 Tss 下方的 BSM 可连接到感测晶体管 Tss 的被设置有初始电压 Vini 的源极。在这种设置中，感测晶体管 Tss 下方的 BSM 可提供与连接到上述驱动晶体管 Tdr 的第二源极 33b 的第二 BSM 12b 的构造相似的优点。此外，应当理解，实现显示面板 100 的驱动电路的晶体管（例如，面板内栅极驱动电路的晶体管）中的一些也可按照与上述驱动晶体管 Tdr 下方的第二 BSM 12b 类似的方式构造。

[0139] 在一些实施方式中，BSM 可连接到被设置在其上的晶体管的栅极。在这些情况下，相同电压被同时施加到 BSM 和栅极上，进而，BSM 作为晶体管的辅助栅极。在此构造中，可在有源层的表面上朝着 BSM 设置额外的沟道区。这样可增加晶体管的迁移率而不必增大晶体管的尺寸。因此，这种构造对于要求高迁移率的晶体管（例如，缓冲晶体管）特别有用，因为其允许晶体管在尺寸缩减的情况下具有所期望的迁移率。

[0140] 举例而言，被设置在开关晶体管 Tsw 下方的第一 BSM 12a 可连接到开关晶体管 Tsw 的第一栅极 20a。因此，第一 BSM 12a 抑制由于下基板 10 中捕获的电荷所导致的开关晶体管 Tsw 的 Vth 偏移，并且作为在开关晶体管 Tsw 中提供额外沟道的辅助栅极。应当理解，显示面板 100 的像素电路中的其它用于开关的晶体管（例如，发射晶体管 Tem、感测晶体管 Tss）和 / 或驱动电路（例如，GIP、数据驱动器、触摸驱动器等）中的晶体管可按照与上述开关晶体管 Tsw 下方的第一 BSM 12a 的构造类似的方式构造。

[0141] OLED 可形成在平坦化层 42 上，并且可包括与第二源极 33b 连接的第一电极 47、形成在第一电极 47 上的发射层 55 以及形成在发射层 55 上的第二电极 58。

[0142] 如图 5A 和图 5B 所示，在 TFT 基板中，第二 BSM 12b 可以通过驱动晶体管 Tdr 的第二源极 33b 连接到 OLED 的第一电极 47。

[0143] TFT 基板可被密封，以防止水分的渗透并且保护 OLED 不受外界影响。

[0144] TFT 基板还可包括感测驱动晶体管 Tdr 的阈值电压“Vth”的感测晶体管 Tss 以及控制 OLED 的发射时段的发射晶体管 Tem。在此情况下，作为感测晶体管 Tss 的有源层的第三有源层（未示出）、作为感测晶体管 Tss 的栅极的第三栅极（未示出）以及感测晶体管 Tss 下方的第三 BSM（未示出）可位于缓冲区 11 内。可与第三有源层绝缘的第三 BSM 被设置为与第三有源层交叠。

[0145] 感测晶体管 Tss 和发射晶体管 Tem 下方的 BSM 还可按照与图 5B 所示的开关晶体管 Tsw 下方的第三 BSM 相同的方式设置。

[0146] 图 6 是示出根据本发明的第二示例性实施方式的像素电路中的驱动晶体管的截面图。

Petitioner Samsung Ex-1004, 0153

[0147] 如图 6 所示，应用于 TFT 基板的第二 BSM 12b 可通过连接电极 21 连接到驱动晶体管 Tdr 的第二源极 33b 和 OLED 的第一电极 47，连接电极 21 形成在形成有驱动晶体管 Tdr 的第二栅极 20b 的层上。

[0148] 除了上述特征之外，显示面板 100 的其它元件可按照与本公开所述的其它实施方式相同的方式构造。也就是说，除了第二 BSM 12b 和第二源极 33b 的连接结构之外，图 6 所示的 TFT 基板的结构可与根据本发明的其它实施方式的 TFT 基板的结构相同。

[0149] 设置在 TFT 基板上的缓冲区 11 可包括形成在下基板 10 上的多缓冲区 11c，形成在多缓冲区 11c 上的第二 BSM 12b 以及形成在第二 BSM 12b 上的有源缓冲区 11d。然而，本实施方式不限于此。因此，第二 BSM 12b 可形成在下基板 10 上，并且多缓冲区 11c 可形成在第二 BSM 12b 上。有源缓冲区 11d 可形成在多缓冲区 11c 上。

[0150] 如图 6 所示，第二有源层 23b、栅绝缘层 16、第二栅极 20b、层间电介质 17 可形成在 TFT 基板的缓冲区 11 上。换言之，驱动晶体管 Tdr 可形成在 TFT 基板的缓冲区 11 上。第二 BSM 12b 可通过形成在栅绝缘层 16 上的连接电极 21 连接到驱动晶体管 Tdr 的第二源极 33b。换言之，连接电极 21 形成在驱动晶体管 Tdr 的第二栅极 20b 所位于的相同层处，并且连接电极 21 经由栅绝缘层 16 中的至少一个接触孔连接到第二 BSM 12b，第二源极 33b 经由层间电介质 17 中的至少一个接触孔连接到连接电极 21。此外，OLED 的第一电极 47 可经由钝化层 40 中的至少一个接触孔连接到第二源极 33b。因此，第二 BSM 12b 可通过连接电极 21 连接到 OLED 的第一电极 47。

[0151] 钝化层 40 和覆盖钝化层 40 的平坦化层 42 可顺序形成在驱动晶体管 Tdr 上。

[0152] 与驱动晶体管 Tdr 的第二源极 33b 连接的 OLED 可形成在平坦化层 42 上。

[0153] TFT 基板可被密封，以防止水分的渗透并且保护 OLED 不受外界影响。

[0154] 如上所述，第二 BSM 12b 可通过连接电极 21 连接到 OLED 的第一驱动电极 47，连接电极 21 形成在形成有第二栅极 20b 的层上。

[0155] 图 7 示出了根据本发明的第三示例性实施方式的显示面板的 TFT 基板上的像素电路中的驱动晶体管的截面图。

[0156] 如图 7 所示，TFT 基板中的第二 BSM 12b 可连接到驱动晶体管 Tdr 的第二栅极 20b。显示面板的其它元件可按照与本发明的任何其它实施方式类似的方式构造。

[0157] 参照图 7，TFT 基板包括下基板 10、缓冲区 11、与构造缓冲区 11 的第二 BSM 12b 绝缘并与第二 BSM 12b 交叠的第二有源层 23b，形成在缓冲区 11 上并根据通过开关晶体管 Tsw 从形成在下基板 10 上的数据线 DL 提供的数据电压 Vdata 来驱动的驱动晶体管 Tdr，形成在驱动晶体管 Tdr 上的平坦化层 42 以及形成在平坦化层 42 上并连接到驱动晶体管 Tdr 的第二源极 33b 的 OLED。

[0158] 缓冲区 11 可包括形成在下基板 10 上的多缓冲区 11c，形成在多缓冲区 11c 上的第二 BSM 12b 以及形成在第二 BSM 12b 上的有源缓冲区 11d。

[0159] 第二有源层 23b、栅绝缘层 16、第二栅极 20b、层间电介质 17 可形成在 TFT 基板的缓冲区 11 上。换言之，驱动晶体管 Tdr 可形成在 TFT 基板的缓冲区 11 上。

[0160] 第二 BSM 12b 可连接到构造驱动晶体管 Tdr 的第二栅极 20b。

[0161] 因此，第二 BSM 12b 的电位被维持为构造驱动晶体管 Tdr 的第二栅极 20b 的相同电压而无任何变化波动。因此，如上所述，减小了第二 BSM 12b 的各个外围元件的特性的变

Petitioner Samsung Ex-1004, 0154

化。

[0162] 因此，在驱动 TFT 基板时，第二 BSM 12b 被维持在与第二栅极 20b 处的电压相同的电压。因此，第二 BSM 12b 的电压不受外部电压的影响，从而防止了驱动晶体管 Tdr 的阈值电压由于下基板 10 和牺牲层（未示出）所导致的不期望的背沟道现象而发生偏移。

[0163] 此外，由于第二 BSM 12b 位于第二有源层 23b 下方，因此防止了形成在下基板 10 上的驱动晶体管 Tdr 的第二有源层 23b 受到在将辅助基板（未示出）从下基板 10 分离的操作中发射的激光的损坏。

[0164] 第二 BSM 12b 可连接到驱动晶体管 Tdr 的第二源极 33b，并且可连接到驱动晶体管 Tdr 的第二栅极 20b。此外，当第二 BSM 12b 连接到第二源极 33b 时，根据 TFT 基板的层叠结构或者在 TFT 基板上层叠的材料的类型，第二 BSM 12b 可连接到图 5A 所示的类型的第二源极 33b，或者可连接到图 6 所示的类型的第二源极 33b。

[0165] 此外，第二 BSM 12b 可连接到另一电极而不是第二源极 33b 和第二栅极 20b，或可连接到任何电极。

[0166] 以下，将参照图 4 至图 8E 详细描述根据本发明的实施方式的制造 TFT 基板的方法。

[0167] 图 8A 至图 8E 是用于描述根据本发明的实施方式的制造包括 TFT 基板的显示面板的方法的截面图，并且示出了驱动晶体管 Tdr 的横截面。具体地，图 8A 至图 8E 是用于描述根据本发明的第一实施方式的制造包括 TFT 基板的显示面板的方法的截面图。然而，下述方法可应用于包括根据本发明的第二实施方式和第三实施方式的 TFT 基板的显示面板的制造。

[0168] 参照图 8A 至图 8D，可通过执行以下操作来制造包括根据本发明的第一实施方式的 TFT 基板的显示面板：在辅助基板 A 上利用塑料形成下基板 10 的操作；在下基板 10 上形成包括第一 BSM（未示出）和第二 BSM 12b 的缓冲区 11 的操作；在缓冲区 11 上形成包括与第一 BSM（未示出）绝缘并与第一 BSM（未示出）交叠的第一有源层（未示出）的开关晶体管 Tsw 和包括与第二 BSM 12b 绝缘并与第二 BSM 12b 交叠的第二有源层 23b 的驱动晶体管 Tdr 的操作；在驱动晶体管 Tdr 上形成平坦化层 42 的操作；在平坦化层 42 上形成与根据通过开关晶体管 Tsw 提供的数据电压而被驱动的驱动晶体管 Tdr 的第二源极 33b 连接的 OLED 的操作；以及通过执行激光释放工艺而将辅助基板 A 从下基板 10 分离的操作。

[0169] 首先，如图 8 所示，在辅助基板 A 上利用塑料形成下基板 10 的操作中，可在玻璃载体 80 上形成牺牲层 85，然后可在牺牲层 85 上形成由塑料形成的下基板 10。下基板 10 可由从聚醚砜 (PES)、聚丙烯酸酯 (PAR)、聚醚酰亚胺 (PEI)、聚萘二甲酸乙二醇酯 (PEN)、聚对苯二甲酸乙二醇酯 (PET)、聚苯硫醚 (PPS)、聚丙烯酸脂、聚酰亚胺、聚碳酸酯 (PC)、醋酸纤维素 (TAC) 和醋酸丙酸纤维素 (CAP) 中选择出的一种形成。

[0170] 下基板 10 可通过例如旋转涂布工艺形成。更具体而言，可在牺牲层 85 上设置包含上述材料中的一种的液晶材料，然后通过高速旋转玻璃载体 80，可形成具有良好厚度均匀性并且薄（薄膜）的下基板 10。

[0171] 此外，下基板 10 还可通过辊式涂布工艺和狭缝涂布工艺形成。与旋转涂布工艺相比，这两种工艺降低了厚度均匀性，但是生产效率高。

[0172] 随后，如图 8B 所示，缓冲区 11 形成在第一 BSM（未示出）上，并且第二 BSM 12b 可

Petitioner Samsung Ex-1004, 0155

形成在下基板 10 上。缓冲区 11 可包括形成在下基板 10 上的多缓冲区 11c、形成在多缓冲区 11c 上的第一 BSM(未示出)和第二 BSM 12b、以及形成在第一 BSM(未示出)和第二 BSM 12b 上的有源缓冲区 11d。然而,本实施方式不限于此。

[0173] 随后,如图 8C 所示,可形成包括与第一 BSM(未示出)绝缘并与第一 BSM(未示出)交叠的第一有源层(未示出)的开关晶体管(未示出)以及包括与第二 BSM 12b 绝缘并与第二 BSM 12b 交叠的第二有源层 23b 的驱动晶体管 Tdr。

[0174] 形成如图 5A 所示的驱动晶体管 Tdr 的操作可包括以下操作:在缓冲区 11 上形成第二有源层 23b 的操作;在第二有源层 23b 上形成栅绝缘层 16 的操作;在栅绝缘层 16 上形成第二栅极 20b 的操作;在第二栅极 20b 上形成层间电介质 17 的操作;在层间电介质 17 上形成暴露与第二有源层 23b 连接的第二源极 33b 的接触孔 61 以及暴露第二 BSM 12b 的接触孔 62 的操作;以及在层间电介质 17 上形成第二源极 33b 和第二漏极(未示出)的操作。

[0175] 此外,第二 BSM 12b 可连接到形成驱动晶体管 Tdr 的金属、与驱动晶体管 Tdr 连接的金属,形成 OLED 的金属以及用于提供从 OLED 发光所必需的电力的金属中的一个。

[0176] 形成如图 5B 所示的开关晶体管 Tsw 的操作可包括以下操作:在缓冲区 11 上形成第一有源层 23a 的操作;在第一有源层 23a 上形成栅绝缘层 16 的操作;在栅绝缘层 16 上形成第一栅极 20a 的操作;在第一栅极 20a 上形成层间电介质 17 的操作;以及在层间电介质 17 上形成构造开关晶体管 Tsw 的第一源极 33a 和第一漏极(未示出)的操作。

[0177] 此处,驱动晶体管 Tdr 的第二 BSM 12b 可通过接触孔连接到驱动晶体管 Tdr 的第二源极 33b。此外,开关晶体管 Tsw 的第一 BSM 12a 可以浮动。

[0178] 此外,制造包括 TFT 基板的显示面板的方法还可包括以下操作:在缓冲区 11 上形成感测晶体管 Tss 的操作;以及在缓冲区 11 上形成用于控制 OLED 的发射时段的发射晶体管 Tem 的操作。感测晶体管可包括与构造缓冲区 11 的第三 BSM(未示出)绝缘并与第三 BSM(未示出)交叠的第三有源层(未示出),并且可感测驱动晶体管 Tdr 的阈值电压。

[0179] 随后,如图 8D 所示,可在驱动晶体管 Tdr 上顺序形成钝化层 40 和平坦化层 42。此外,连接到驱动晶体管 Tdr 的第二源极 33b 的 OLED 可形成在平坦化层 42 上。

[0180] 虽然没有示出,但是钝化层 40 和平坦化层 42 还可顺序形成在开关晶体管 Tsw 上。

[0181] 最后,如图 8E 所示,可通过执行激光释放工艺来将辅助基板 A 从下基板 10 分离。

[0182] 通过上述操作,可制造包括 TFT 基板的显示面板。如上所述,在图 8 所示的元件当中,除第二电极 58 和发射层 55 以外的元件可构造 TFT 基板。显示面板可包括 TFT 基板、第二电极 58 和发射层 55。在此情况下,显示面板还可包括将第二电极 58 和发射层 55 密封的多个元件。

[0183] 可通过与制造包括根据本发明的第一实施方式的 TFT 基板的显示面板的方法相同的方法来制造根据本发明的第二实施方式和第三实施方式的 TFT 基板,除了将 BSM 连接到 TFT 中的多个电极中的一个或者一条金属线的方法以外。因此,以下将对制造根据本发明的第二实施方式和第三实施方式的 TFT 基板的方法进行简单描述。

[0184] 例如,在制造根据本发明的第二实施方式的 TFT 基板的方法中,第二有源层 23b 可形成在缓冲区 11 上,栅绝缘层 16 可形成在第二有源层 23b 上,接触孔可形成为暴露第二 BSM 12b,连接到第二 BSM 12b 的连接电极 21 和第二栅极 20b 可形成在栅绝缘层 16 上,层

Petitioner Samsung Ex-1004, 0156

间电介质 17 可形成在第二栅极 20b 和连接电极 21 上，并且第二源极 33b 和第二漏极（未示出）可形成在层间电介质 17 上。在此情况下，第二源极 33b 可通过形成在层间电介质 17 中的接触孔连接到连接电极 21。因此，第二源极 33b 可通过连接电极 21 连接到第二 BSM 12b。

[0185] 此外，在制造根据本发明的第三实施方式的 TFT 基板的方法中，第二有源层 23b 可形成在缓冲区 11 上，栅绝缘层 16 可形成在第二有源层 23b 上，接触孔可形成在栅绝缘层 16 中以暴露第二 BSM 12b，通过接触孔与第二 BSM 12b 连接的第二栅极 20b 可形成在栅绝缘层 16 上，层间电介质 17 可形成在第二栅极 20b 上，并且驱动晶体管 Tdr 的第二源极 33b 和第二漏极（未示出）可形成在层间电介质 17 上。

[0186] 图 9A 至图 9C 是示出应用于根据本发明的第四示例性实施方式的 TFT 基板的晶体管的结构的示图，具体而言，其示出了用于描述栅极和底部屏蔽金属的长度的要素。此处，图 9A 至图 9C 中的每一个的 (a) 部分是晶体管的平面图，图 9A 至图 9C 中的每一个的 (b) 部分是沿着与 TFT 的沟道长度垂直的 X-X' 线截取的 (a) 部分的截面图。

[0187] 图 9A 至图 9C 所示的底部屏蔽金属 12 可以是图 5A 至图 8E 中的第一 BSM 12a、第二 BSM 12b 或第三 BSM（未示出），但不限于此。因此，图 9A 至图 9C 所示的栅极 20 可以是驱动晶体管 Tdr 的第二栅极 20b、开关晶体管 Tsw 的第一栅极 20a 或感测晶体管 Tss 的第三栅极，但不限于此。此外，图 9A 至图 9C 所示的有源层 23 可以是开关晶体管 Tsw 的第一有源层 23a、驱动晶体管 Tdr 的第二有源层 23b 或感测晶体管 Tss 的第三有源层（未示出），但不限于此。

[0188] 顺便指出，图 9A 至图 9C 所示的 TFT 可以是形成在 TFT 基板上的各种类型的 TFT 中的一种，并且 BSM 可对应于其下的 TFT。因此，图 5A 至图 8E 所示的 BSM 在图 9A 至图 9C 中可标记为 12，图 5A 至图 8E 所示的栅极在图 9A 至图 9C 中可标记为 20，并且图 5A 至图 8E 所示的有源层在图 9A 至图 9C 中可标记为 23。

[0189] 参照图 9A 至图 9C，有源缓冲区 11d 可形成在底部屏蔽金属 12 和有源层 23 之间，栅绝缘层 16 可形成在有源层 23 上，栅极 20 可形成在栅绝缘层 16 上。

[0190] 在此情况下，有源层 23 可包括沟道 210 和形成在沟道 210 的两侧的两个掺杂区 240。虽然在图 9A 的 (a) 部分和 (b) 部分中没有示出，但是源极和漏极分别连接到两个掺杂区 240。两个掺杂区 240 之间的 TFT 的沟道 210 是 TFT 的源极和漏极之间的电荷的传输路径，并且 TFT 的沟道 210 的长度表示有源层 23 中的源极和漏极之间的电荷的传输路径的长度。

[0191] 如图 9A 的 (a) 部分和 (b) 部分所示，底部屏蔽金属 12 的宽度可比栅极 20 窄。底部屏蔽金属 12 的长度和栅极 20 的长度与沟道 210 的长度垂直。例如，当栅极 20 的长度是 m μm 时，底部屏蔽金属 12 的长度可以是 m+2n μm，并且沿着沟道 210 的长度方向的底部屏蔽金属 12 的两个外端还可沿着所述方向从栅极 20 的外端分别突出 n μm。

[0192] 在此情况下，底部屏蔽金属 12 的宽度可比有源层 23 窄。因此，沿着沟道 210 的长度方向的底部屏蔽金属 12 的两个外端可沿着所述方向分别位于与掺杂区 240 的外端对应的各个位置。

[0193] 因此，栅极 20 和有源层 23 可被底部屏蔽金属 12 覆盖，从而防止了包括栅极和有源层的晶体管的驱动特性发生变化。

Petitioner Samsung Ex-1004, 0157

[0194] 因此，图 9A 所示的结构可被应用于驱动晶体管 Tdr。顺便指出，在图 9A 所示的结构中，由于底部屏蔽金属 12 被形成在栅极 20 和有源层 23 之间的沟道 210 的整个区域覆盖，因此获得了最稳定的晶体管特性。因此，图 9A 所示的结构是适于使用驱动晶体管 Tdr 的结构，驱动晶体管 Tdr 精细地控制与驱动晶体管 Tdr 中的栅极的电压和源极的电压之间的电压差对应的电流。

[0195] 虽然图 9A 没有示出，但是当底部屏蔽金属 12 连接到栅极 20 时，沟道 210 的长度取决于栅极 20 和底部屏蔽金属 12 当中的具有较大长度的一个。当底部屏蔽金属 12 连接到栅极 20 时，底部屏蔽金属 12 作为在 TFT 中提供额外沟道的辅助栅极。

[0196] 如图 9B 的 (a) 部分和 (b) 部分所示，底部屏蔽金属 12 的宽度比栅极 20 窄。例如，当栅极 20 的长度是 m μm 时，底部屏蔽金属 12 的长度是 m-2n μm，并且沿着沟道 210 的长度方向的栅极 20 的两个外端还可沿着所述方向从底部屏蔽金属 12 的外端分别突出 n μm。

[0197] 图 9B 所示的结构可应用于由底部屏蔽金属 12 导致的泄漏电流在形成为具有图 9A 所示的结构的晶体管中大量出现的情况。例如，具有图 9B 所示的结构的晶体管的泄露电流可低于具有图 9A 所示的结构的晶体管的泄露电流。

[0198] 因此，图 9B 所示的结构可应用于较少受到泄露电流影响的晶体管（例如，开关晶体管 Tsw）。

[0199] 顺便指出，如图 9A 所示，当底部屏蔽金属 12 用作提供额外附加沟道的辅助栅极时，尽管 TFT 尺寸相同，截止电流（例如，泄露电流）增大。然而，如图 9B 所示，当底部屏蔽金属 12 被设计为小于栅极 20 时，截止电流的增加最小。因此，图 9B 所示的结构是适于使用开 / 关电流比是重要特性的开关晶体管的结构。

[0200] 如图 9C 的 (a) 部分和 (b) 部分所示，底部屏蔽金属 12 的宽度可形成为与栅极 20 不对称。例如，底部屏蔽金属 12 可沿着沟道 210 的长度方向与栅极 20 的一侧的外端交叠，但是可不与栅极 20 的另一侧的端部交叠。换言之，当栅极 20 的长度是 m μm 并且底部屏蔽金属 12 的长度是 m μm 时，栅极 20 和底部屏蔽金属 12 两者的外端在沟道 210 的长度方向上会不匹配。也就是说，底部屏蔽金属 12 和栅极 20 在沟道 210 的长度方向上彼此部分交叠。

[0201] 顺便指出，底部屏蔽金属 12 可形成为向栅极 20 的一侧的至少一个外端倾斜。在此情况下，底部屏蔽金属 12 的长度可形成为比有源层 23 窄。

[0202] 图 9C 所示的结构可应用于阈值电压的特性曲线不太陡峭的晶体管。

[0203] 图 10 是示出根据本发明的实施方式的 TFT 基板的横截面的示例图。例如，图 10 所示的 TFT 的横截面是示出驱动晶体管 Tdr 的截面图。也就是说，图 10 所示的底部屏蔽金属 12 可以是图 5A 所示的第二 BSM 12b，并且图 10 所示的有源层 23 可以是图 5A 所示的第二有源层 23b，但不限于此。

[0204] 具体地，在图 10 所示的 TFT 基板中，有源层 23 可划分为沟道 210 和掺杂区 240，掺杂区 240 划分为低浓度掺杂区 241 和高浓度掺杂区 242。沟道 210 的掺杂浓度低于掺杂区 240。在掺杂区 240 中，低浓度掺杂区 241 的掺杂浓度低于高浓度掺杂区 242。图 10 所示的驱动晶体管 Tdr 可以是低温多晶硅 (LTPS) TFT。在以下描述中，与上述细节相同或相似的细节将不再描述或者仅简要描述。

Petitioner Samsung Ex-1004, 0158

[0205] 图 10 所示的 TFT 基板可包括下基板 10、多缓冲区 11c、BSM 12、有源缓冲区 11d、有源层 23、栅绝缘层 16、栅极 20、层间电介质 17、钝化层 40、平坦化层 42 以及发射层的第一电极 47。

[0206] 下基板 10 可包括基于塑料的聚合材料（诸如聚酰亚胺 (PI)）。

[0207] 多缓冲区 11c 可位于下基板 10 上。多缓冲区 11c 可由绝缘材料形成，并且减轻由下基板 10 施加到有源层 23 的压力。此外，多缓冲区 11c 可阻挡由极化导致的具有电荷的粒子或电场。更具体而言，当包括由基于塑料的聚合材料（诸如聚酰亚胺 (PI)）形成的下基板 10 的 TFT 基板被驱动时，在下基板 10 中产生热，并且具有从下基板 10 产生的电荷的粒子移动到组件结构的上部。换言之，下基板 10 导致了不期望的背沟道现象。具有电荷的粒子使得有源层 23 降低 TFT 基板的可靠性。此外，具有电荷的粒子在正常电流的流动之外还导致不必要的电流的流动，因此缩短了 TFT 基板的使用寿命。因此，多缓冲区 11c 防止具有电荷的粒子转移到有源层 23。多缓冲区 11c 可由无机绝缘材料（诸如氮化硅）形成，但不限于此。

[0208] BSM 12 可被设置在多缓冲区 11c 上，并且可由导电材料形成。当由极化导致的具有电荷的粒子或电场发生转移而未被多缓冲区 11c 阻挡时，BSM 12 有效阻挡所述粒子或所述电场，从而保护有源层 23 的沟道 210。然而，BSM 12 的效果可根据 BSM 12 的长度而显著变化。BSM 12 的效果与 BSM 12 的长度和有源层 23 的长度相关。将参照图 11A 至图 13B 对此进行详细描述。

[0209] 有源缓冲区 11d 可被设置在多缓冲区 11c 和 BSM 12 上。有源缓冲区 11d 可由绝缘材料形成，并且减轻由 BSM 12 施加到有源层 23 的压力。此外，有源缓冲区 11d 可阻挡具有电荷的粒子。有源缓冲区 11d 可由无机绝缘材料（诸如氮化硅）形成，但是不限于此。

[0210] 有源层 23 可位于有源缓冲区 11d 上。有源层 23 可包括沟道 210、沿着沟道 210 的长度方向分别位于沟道 210 的一侧和另一侧的多个低浓度掺杂区 241 以及沿着沟道 210 的长度方向与各个低浓度掺杂区 241 相邻的多个高浓度掺杂区 242。换言之，低浓度掺杂区 241 位于沟道 210 和高浓度掺杂区 242 之间。低浓度掺杂区 241 和高浓度掺杂区 242 可通过在晶体硅上掺杂掺杂剂而形成。低浓度掺杂区 241 的掺杂剂掺杂浓度可低于高浓度掺杂区 242。有源层 23 可被设置为与漏极 34 和源极 33 交叠。具体而言，高浓度掺杂区 242 可被设置为与漏极 34 和源极 33 交叠。有源层 23 可被设置为连接到漏极 34 和源极 33。具体而言，高浓度掺杂区 242 可连接到漏极 34 和源极 33。

[0211] 栅绝缘层 16 可位于有源层 23b 上。栅绝缘层 16 可由基于无机的绝缘材料（诸如氧化硅或氮化硅）形成，但不限于此。例如，绝缘层 16 可由基于有机的绝缘材料（诸如感光丙烯酸类树脂或苯并环丁烯 (BCB)）形成。

[0212] 栅极 20 可位于栅绝缘层 16 上，更具体地，可与有源层 23 的沟道 210 交叠。栅极 20 可与 BSM 12 连接并可作为 TFT 的附加栅极，使得 TFT 基板可具有双栅结构。

[0213] 层间电介质 17 可由氮化硅和氧化硅的双层形成。

[0214] 漏极 34 可位于层间电介质 17 上。漏极 34 可通过第一接触孔 CH1 连接到位于有源层 23 的一侧的高浓度掺杂区 242。

[0215] 源极 33 可位于层间电介质 17 上以面对漏极 34。源极 33 可通过第二接触孔 CH2 连接到位于有源层 23 的另一侧的高浓度掺杂区 242。

Petitioner Samsung Ex-1004, 0159

[0216] 第一接触孔 CH1 和第二接触孔 CH2 可通过移除栅绝缘层 16 的特定区域和层间电介质 17 的特定区域来形成。

[0217] 钝化层 40 可位于层间电介质 17、源极 33 和漏极 34 上。钝化层 40 可由基于无机的绝缘材料（诸如氧化硅或氮化硅）形成，但不限于此。例如，钝化层 40 可由基于有机的绝缘材料（诸如感光丙烯酸类树脂或苯并环丁烯（BCB））形成。

[0218] 平坦化层 42 可位于钝化层 40 上。第三接触孔 CH3 可被包含在平坦化层 42 中，进而可通过第三接触孔 CH3 暴露源极 33。平坦化层 42 可由有机聚合材料（诸如基于丙烯的聚合物）形成。

[0219] OLED 的第一电极 47 可位于平坦化层 42 上。第一电极 47 可通过第三接触孔 CH3 与源极 33 连接。图 5A 所示的第一电极 47 可连接到 BSM 12，并且可构造具有源接触结构的 TFT 基板。另选地，第一电极 47 可如图 6 或图 7 所示地形成。

[0220] 上面已经参照图 9A 至图 9C 描述了形成在 TFT 基板上的 TFT 的底部屏蔽金属 12 的长度和栅极 20 的长度之间的关系。下面将参照图 11A 至图 13B 更详细地描述形成在 TFT 基板上的 TFT 的有源层 23 的长度和底部屏蔽金属 12 的长度之间的关系。

[0221] 在下面要参照的附图当中，图 11A、图 12A 和图 13A 所示的 TFT 基板的 BSM 的长度可以不同。此外，图 11B、图 12B 和图 13B 是表示通过在包括图 11A、图 12A 和图 13A 所示的 TFT 基板的各个显示装置的下基板的四个相同边缘和四个相同中心点处测量栅极电压（Vg）和漏－源电流（Ids）而获得的各个显示装置的亮度均匀性的曲线图。各个曲线图示出各个显示装置的亮度均匀性。在此情况下，当漏－源电压（Vds）是 10V 时，测量出栅极电压（Vg）和漏－源电流（Ids）的八个匹配值的曲线图。在各个曲线图中，X 轴表示栅极电压（Vg），Y 轴表示漏－源电流（Ids）。因此，随着八条线更加靠近地彼此交叠，可以看出，显示装置中的四个边缘和四个中心点处的晶体管特性的分散程度减小。换言之，随着八条线更加靠近地彼此交叠，表示显示装置的亮度均匀性增加。在各个曲线图中，在 X 轴上，0V 左边为截止电流区域，右边为导通电流区域。截止电流区域是指示显示装置关闭时的电流的区域，导通电流区域是指示显示装置开启时的电流的区域。

[0222] 以下描述的图 11A、图 12A 和图 13A 所示的 TFT 中的每一个可以是形成在以上参照图 9A 至图 10 所述的 TFT 基板上的各种类型的 TFT 中的一种，并且底部屏蔽金属可对应于一个 TFT。图 11A、图 12A 和图 13A 所示的各个底部屏蔽金属可标记为 12，各个栅极可标记为 20，并且各个有源层可标记为 23。此外，如以上参照图 10 所述，图 11A、图 12A 和图 13A 所示的有源层 23 可包括沟道 210、低浓度掺杂区 241 和高浓度掺杂区 242。换言之，图 11A、图 12A 和图 13A 所示的底部屏蔽金属 12 可以是图 5A 至图 8E 中的第一 BSM 12a、第二 BSM 12b 或第三 BSM（未示出），或者是图 10 中的 BSM 12，但不限于此。因此，图 11A、图 12A 和图 13A 所示的栅极 20 可以是驱动晶体管 Tdr 的第二栅极 20b、开关晶体管 Tsw 的第一栅极 20a、感测晶体管 Tss 的第三栅极或者图 10 中的栅极 20，但不限于此。此外，图 11A、图 12A 和图 13A 所示的有源层 23 可以是开关晶体管 Tsw 的第一有源层 23a、驱动晶体管 Tdr 的第二有源层 23b、感测晶体管 Tss 的第三有源层（未示出）或者图 10 中的有源层 23，但不限于此。

[0223] 在下面的描述中，与上述细节相同或相似的细节将不再描述或者仅简要描述。

[0224] 图 11A 是示出根据本发明的实施方式的 TFT 基板的横截面的示例图，并且图 11B

Petitioner Samsung Ex-1004, 0160

是显示包括如图 11A 所示的 TFT 基板的显示装置的亮度均匀性的曲线图。

[0225] 首先，参照图 11A，底部屏蔽金属 12 可与有源层 ACT 的一部分和沟道 210 的一部分交叠，但是底部屏蔽金属 12 可不与低浓度掺杂区 241 和高浓度掺杂区 242 交叠。更具体而言，为了使底部屏蔽金属 12 的长度比沟道 210 的长度窄，底部屏蔽金属 11 可与沟道 210 的中心部分位置交叠。

[0226] 其次，当底部屏蔽金属 12 的长度比图 11A 所示的沟道 210 的长度窄时，如图 11B 所示，导通电流区域的引入部分处的分散程度增加，从而显示多条线。这表明阈值电压的分散程度增加。曲线图的这种特性由底部屏蔽金属 12 和沟道 210 之间的距离产生。阈值电压的分散程度的增加降低了 TFT 基板的可靠性。例如，阈值电压的分散程度的增加降低了显示装置的亮度均匀性。

[0227] 顺便指出，如图 11B 所示，导通电流区域的引入部分（即，漏－源电流（Ids）快速增加的部分）与阈值电压相关，并且在图 11A 所示的结构中，难以维持恒定的阈值电压。因此，图 11A 所示的结构可应用于较少被阈值电压的特性变化影响的晶体管（例如，开关晶体管 Tsw）。

[0228] 图 12A 是示出根据本发明的实施方式的 TFT 基板的横截面的另一示例图，图 12B 是显示包括如图 12A 所示的 TFT 基板的显示装置的亮度均匀性的曲线图。除了底部屏蔽金属 12 的结构之外，图 12A 所示的 TFT 基板的结构与图 11A 所示的 TFT 基板的结构相同。

[0229] 首先，参照图 12A，底部屏蔽金属 12 可与沟道 210 的全部和低浓度掺杂区 241 的全部交叠，并且与高浓度掺杂区 242 的一部分交叠。换言之，底部屏蔽金属 12 可与沟道 210 的全部交叠，并且与掺杂区 240 的全部中的一部分交叠。

[0230] 其次，当图 12A 所示，底部屏蔽金属 12 覆盖沟道 210、低浓度掺杂区 241 以及高浓度掺杂区 242 的一部分时，如图 12B 所示，截止电流区域的引入部分的分散程度增加，从而显示多条线。原因在于底部屏蔽金属 12 与低浓度掺杂区 241 的全部交叠，进而底部屏蔽金属 12 产生的电压降低了低浓度掺杂区 241 的电阻，由此低浓度掺杂区 241 与高浓度掺杂区 242 一起工作。也就是说，低浓度掺杂区 241 不能发挥作用，进而截止电流区域的分散程度和导通电流区域的分散程度增加，使得 TFT 基板的可靠性降低。顺便指出，当底部屏蔽金属 12 的长度被形成为不期望的较长的长度时，由于寄生电容的增加导致产生副作用。

[0231] 因此，图 12A 所示的结构可应用于较少被导通电流区域和截止电流区域的特性变化影响的晶体管。

[0232] 图 13A 是示出根据本发明的实施方式的 TFT 基板的横截面的另一示例图，图 13B 是显示包括如图 13A 所示的 TFT 基板的显示装置的亮度均匀性的曲线图。

[0233] 首先，参照图 13A，底部屏蔽金属 12 可与沟道 210 的全部和有源层 ACT 的低浓度掺杂区 241 的一部分交叠，但是可不与高浓度掺杂区 242 交叠。更具体而言，底部屏蔽金属 11 可与沟道 210 的全部和低浓度掺杂区 241 的全部中的一部分交叠。尽管底部屏蔽金属 12 仅覆盖沟道 210 的全部，但是底部屏蔽金属 12 足以阻挡由极化导致的具有电荷的粒子或者电场。然而，考虑到制造工艺的余量，覆盖低浓度掺杂区 241 的全部中的一部分的底部屏蔽金属 12 最为有效。

[0234] 如图 13A 所示，当底部屏蔽金属 11 覆盖低浓度掺杂区 241 的一部分和沟道 210 的全部时，如图 13B 所示，八条线显示均匀。具体而言，八条线的分散程度明确地减小导通电

Petitioner Samsung Ex-1004, 0161

流区域的引入部分（被表示为阈值电压）。换言之，导通电流区域的引入部分（即，漏－源电流（Ids）快速增大的部分）被表示为阈值电压。

[0235] 图13B的曲线图显示当如图13A所示底部屏蔽金属12覆盖低浓度掺杂区241的一部分和沟道210时，显示装置的亮度均匀性均匀地显示，并且减轻了由具有电荷的粒子导致的副作用。

[0236] 因此，当如图13A所示构造的TFT基板被驱动时，下基板10上的由基于塑料的聚合材料（诸如聚酰亚胺（PI））形成的底部屏蔽金属12有效阻挡了当从下基板10产生的热移动到上部时所产生的具有电荷的粒子。

[0237] 此外，图13A所示的TFT基板中的晶体管的阈值电压具有基本上相同的值。换言之，TFT基板的阈值电压的分散程度明确降低。因此，图13A所示的结构可应用于较多地被阈值电压的特性变化影响的晶体管（例如，驱动晶体管Tdr）。

[0238] 图14是示出根据本发明的实施方式的有机发光显示面板的横截面的示例图，更具体地，图14是示出包括图13A的TFT基板的有机发光显示面板的横截面的示例图。

[0239] 如图14A所示，根据本发明的实施方式的有机发光显示面板可包括TFT基板、堤层600、发射层55和第二电极58。此处，TFT基板可包括下基板10、多缓冲区11c、底部屏蔽金属BSM、有源缓冲区11d、有源层23、栅绝缘层16、栅极20、层间电介质17、漏极34、源极33、钝化层40、平坦化层42和第一电极47。

[0240] 从下基板10到第一电极47的元件与上述参照图10和图13A所示的TFT基板的元件相同，因此不再对其进行具体描述。第一电极47可执行OLED的阳极的功能。

[0241] 堤层600和发射层55可位于第一电极47上。堤层600可形成为矩阵结构以限定多个像素，并且发射层55可位于多个像素中的每一个中。发射层55可由空穴注入层、空穴传输层、有机发射层、电子传输层和电子注入层的组合形成，但不限于此。发射层55可以改变为具有本领域普通技术人员所知的各种结构。第二电极58可位于发射层55上。第二电极58可执行有机发光显示面板的阴极的功能。

[0242] 例如，图14示出了根据本发明的实施方式的有机发光显示面板。然而，根据本发明的实施方式的有机发光显示面板不限于图14所示的结构。因此，根据本发明的实施方式的有机发光显示面板可被构造为包括上述TFT基板的各种结构。

[0243] 图15是示出根据本发明的实施方式的液晶显示面板的横截面的示例图，更具体地，图15是示出包括图13A的TFT基板的液晶显示面板的横截面的示例图。

[0244] 如图15所示，根据本发明的实施方式的液晶显示面板可包括TFT基板、面对TFT基板的上基板750、形成在TFT基板和上基板750之间的液晶层800。此处，TFT基板可包括下基板10、多缓冲区11c、底部屏蔽金属12、有源缓冲区11d、有源层23、栅绝缘层16、栅极20、层间电介质17、漏极34、源极33、钝化层40、平坦化层42和第一电极47。

[0245] 尽管并未具体示出上基板750，但是上基板750可包括黑底和光屏蔽层。根据本发明的实施方式的液晶显示面板可被设置为本领域普通技术人员所知的各种模式，诸如扭曲向列（TN）模式、垂直配向（VA）模式、平面切换（IPS）模式和边缘场切换（FFS）模式，因此，上基板750的结构可有各种变化。此外，TFT基板还可包括形成在与第一电极47相同的层上并且驱动液晶层800的公共电极。

[0246] 本发明的上述细节将在下面进行简要总结。

Petitioner Samsung Ex-1004, 0162

[0247] 在本发明中，BSM 12形成在包括由塑料（诸如聚酰亚胺(PI)）形成的下基板10的TFT基板的各个TFT下方，从而获得以下效果。因此，防止了TFT的特性变化，并且增加了TFT的稳定性。

[0248] 首先，TFT的有源层被保护以不受电荷影响。

[0249] 第二，防止BSM上的TFT在激光释放工艺中受损。

[0250] 第三，在TFT下方的BSM和TFT的有源层之间产生电容，从而能够制造高分辨率TFT基板。

[0251] 第四，当驱动BSM上的TFT时，防止TFT的特性由于出现在下基板、有源缓冲区和多缓冲区中的热损害而改变。

[0252] 第五，由于现有技术的问题（例如，在由塑料形成的下基板和牺牲层中出现背沟道现象），牺牲层带电为负极性(<0V)，从而使TFT的阈值电压偏移。因此，防止了TFT的特性改变。

[0253] 第六，在根据本发明的实施方式的TFT基板的装置结构中，易于固定存储电容器，并且还可在有源层和BSM之间形成电容器。

[0254] 第七，由于BSM被用作其上的驱动晶体管的附加栅极，因此可以预期双栅效果。

[0255] 当有源缓冲区被制造为双重结构或三重结构时，BSM可位于有源缓冲区的任意两层之间。此外，BSM可位于多缓冲区的任意两层之间。此外，BSM可以用作各个像素中的存储电容器，并且可用作另一电极的导线。

[0256] 由于开关晶体管的电压连续偏移，所以BSM可形成为处于浮动状态而不必连接到提供电压的特定金属。因此，利用BSM可获得以下效果。

[0257] 第一，防止开关晶体管的特性由于在由塑料下基板制成的显示装置的模块组装工艺中的光而发生改变。

[0258] 第二，防止开关晶体管的特性在将光施加到开关晶体管的沟道时发生改变。

[0259] 第三，防止开关晶体管的特性由于从外部输入的光而发生改变时出现亮度不均匀(mura)。

[0260] 第四，制造了TFT基板，从而在存储或移动TFT基板的同时防止开关晶体管的特性由于光而发生改变。

[0261] 第五，制造了TFT基板，从而防止开关晶体管的特性由于系统中出现的光而发生改变。

[0262] 然而，开关晶体管可连接到形成在TFT基板上的各种类型的电极中的一种。

[0263] BSM可形成在感测晶体管下方。BSM可连接到其上的感测晶体管的电极。

[0264] 最后，上述BSM可形成为在TFT基板上形成的各种类型的TFT（例如，补偿晶体管）。

[0265] 顺便指出，BSM可形成在TFT（而非TFT基板上的晶体管当中的驱动晶体管、开关晶体管和感测晶体管）下方。晶体管可以浮动并且可连接到其上的TFT的电极。

[0266] 图16是示出根据本发明的第四实施方式的TFT基板的一个像素的双栅TFT的平面图，图17是沿着示出TFT的图16的Y-Y'线截取的截面图。

[0267] 图16和图17所示的底部屏蔽金属12可以是第一BSM 12a、第二BSM 12b、第三BSM（未示出）或者图9A至图15所示的BSM，但不限于此。图16和图17所示的栅极20可

Petitioner Samsung Ex-1004, 0163

以是第一栅极 20a、第二栅极 20b、第三栅极（未示出）或者图 9A 至图 15 所示的栅极 20，但不限于此。此外，图 16 和图 17 所示的有源层 23 可以是开关晶体管 Tsw 的第一有源层 23a、驱动晶体管 Tdr 的第二有源层 23b、感测晶体管 Tss 的第三有源层（未示出）或者图 9A 至图 15 所示的有源层 23，但不限于此。

[0268] 如以上参照图 9A 至图 15 所述，以下要描述的图 16 和图 17 所示的 TFT 可以是形成在 TFT 基板上的各种类型的 TFT 中的一种，并且 BSM 可对应于其下的 TFT。因此，图 9A 至图 15 所示的 BSM 在图 16 和图 17 中可标记为 12，图 9A 至图 15 所示的栅极在图 16 和图 17 中可标记为 20，并且图 9A 至图 15 所示的有源层在图 16 和图 17 中可标记为 23。

[0269] 参照图 16 和图 17，栅极 20 可划分为第一栅极端子 GT1 和第二栅极端子 GT2，有源层 23 可包括被划分为第一沟道 CA1 和第二沟道 CA2 的沟道 210 以及多个掺杂区 240，并且 BSM 12 可具有 U 形并被划分为第一底部屏蔽金属端子 BSM1 和第二底部屏蔽金属端子 BSM2。例如，图 16 和图 17 所示的 TFT 可以是驱动晶体管，但不限于此。例如，图 16 和图 17 所示的 TFT 可以是 LTPS TFT，但不限于此。

[0270] LTPS TFT 可形成在根据本发明的第四实施方式的 TFT 基板上。LTPS TFT 的电荷迁移率高，因此适于要求快速响应时间的高分辨率显示装置。

[0271] 在 LTPS TFT 中，栅极 20 可位于有源层 23 上。在此情况下，很有可能产生截止电流。因此，如图 16 和图 17 所示，LTPS TFT 可以是利用两个栅极端子 GT1 和 GT2 以及两个沟道 CA1 和 CA2 制造的双栅 TFT。

[0272] 例如，如图 17 所示，根据本发明的第四实施方式的柔性 TFT 基板可包括下基板 10、形成在下基板 10 上的缓冲区 11 以及与构造缓冲区 11 的 BSM 12 绝缘并与 BSM 12 交叠的有源层 23。此外，柔性 TFT 基板可包括形成在缓冲区 11 上的 TFT、形成在 TFT 上的平坦化层（未示出）以及形成在平坦化层（未示出）上并由 TFT 驱动以发光的 OLED（未示出）的第一电极。

[0273] 平坦化层（未示出）和 OLED（未示出）中的每一个的构造和功能与上述第一实施方式到第三实施方式中所述的构造和功能相同，因此其细节不再描述。

[0274] 应用于本发明的第四实施方式的 TFT 的结构与应用于本发明的第一实施方式到第三实施方式的 TFT 的结构不同。

[0275] 应用于本发明的第四实施方式的 TFT 可以是以上在第一实施方式到第三实施方式所述的开关晶体管 Tsw 或驱动晶体管 Tdr，或者可以是开关晶体管 Tsw 或驱动晶体管 Tdr 以外的其它晶体管。

[0276] 如图 16 所示，应用于本发明的第四实施方式的 TFT 可具有 U 形并包括从一条栅极连接线 GCL 分支的第一栅极端子 GT1 和第二栅极端子 GT2。因此，第一栅极端子 GT1 可连接到第二栅极端子 GT2。BSM 12 可包括与第一栅极端子 GT1 交叠的第一底部屏蔽金属端子 BSM1 以及与对应于 TFT 的形状位于 TFT 下方的第二栅极端子 GT2 交叠的第二底部屏蔽金属端子 BSM2。有源层 23 的沟道 210 可包括与第一栅极端子 GT1 交叠的第一沟道区 CA1 以及与第二栅极端子 GT2 交叠的第二沟道区 CA2。

[0277] 如图 16 所示，掺杂区 240 中的一个位于第一沟道区 CA1 和第二沟道区 CA2 之间，其余两个掺杂区 240 分别沿着沟道 210 的长度方向位于有源区 23 的两个边缘上。也就是说，虽然图 17 中没有示出，但是图 16 所示的源极 SD1 和漏极 SD2 分别连接到沿着沟道的长

Petitioner Samsung Ex-1004, 0164

度方向位于有源层 23 的两个边缘上的两个掺杂区 240。

[0278] 如图 16 所示，BSM 12 可具有 U 形并被形成为与第一沟道 CA1 和第二沟道 CA2 两者交叠。此外，BSM 12 可具有 U 形并被形成为与具有 U 形的栅极 20 的第一栅极端子 GT1 和第二栅极端子 GT2 两者交叠。此外，与第一沟道 CA1 相邻的掺杂区 240 可连接到 TFT 的源极 SD1，与第二沟道 CA2 相邻的掺杂区 240 可连接到 TFT 的漏极 SD2。

[0279] 图 18 是示出根据本发明的第五示例性实施方式的 TFT 基板的一个像素的双栅 TFT 的平面图。图 19 是沿着示出 TFT 的图 18 的 Y-Y' 线截取的截面图。

[0280] 参照图 18 和图 19，栅极 20 可具有 U 形并被划分为第一栅极端子 GT1 和第二栅极端子 GT2，有源层 23 可包括被划分为第一沟道 CA1 和第二沟道 CA2 的沟道 210 以及多个掺杂区 240，并且 BSM 12 可具有 I 形。

[0281] 如图 18 所示，BSM 12 可具有 I 形并与第一沟道 CA1 或第二沟道 CA2 中的任一个交叠。此外，BSM 12 可具有 I 形并与第一栅极端子 GT1 或第二栅极端子 GT2 中的任一个交叠。此外，与第一沟道 CA1 相邻的掺杂区 240 可连接到 TFT 的源极 SD1，并且与第二沟道 CA2 相邻的掺杂区 240 可连接到 TFT 的漏极 SD2。

[0282] 根据图 18 和图 19 所示的本发明的第五实施方式，顺便指出，与第一沟道 CA1 相邻的掺杂区 240 可连接到源极 SD1，并且与第二沟道 CA2 相邻的掺杂区 240 可连接到漏极 SD2。BSM 12 可形成在与源极 SD1 和漏极 SD2 当中的接收较高电压的任一个相邻的两个沟道 CA1 和 CA2 中的一个的下方。换言之，BSM 12 可更加靠近其上的 TFT 的源极 SD1 和漏极 SD2 当中的被供应有较高电压的任一个。此外，BSM 12 可形成在与源极 SD1 和漏极 SD2 当中的栅极电压的电压差较大的一个相邻的两个沟道 CA1 和 CA2 中的一个的下方。

[0283] 例如，当提供给漏极 SD2 的电压与提供给栅极 20 的栅极电压之间的电压差高于提供给源极 SD1 的电压与提供给栅极 20 的栅极电压之间的电压差时，BSM 12 可形成为与漏极 SD2 所相邻的第二沟道 CA2 交叠。

[0284] 由于以上在第四实施方式中所述的第一底部屏蔽金属端子 BSM1 和第二底部屏蔽金属端子 BSM2 中的一个形成在根据本发明的第五实施方式的 TFT 基板上，所以更容易设计和形成 BSM。

[0285] 此外，包括一个底部屏蔽金属端子 BSM2 的 BSM 12 比包括两个底部屏蔽金属端子 BSM1、BSM2 的 BSM 12 尺寸更窄，因此，在应用于本发明的第五实施方式的 TFT 基板中，TFT 的 BSM 12 和栅极 20 之间的寄生电容减小，并且 TFT 的驱动特性变化不大。

[0286] 除了上述特征以外，本发明的第四实施方式的其它元件可按照与本公开中描述的其它实施方式（例如，本发明的第五实施方式）相同的方式构造。也就是说，除了 BSM 12 的尺寸和形状以及双栅 TFT 与 BSM 之间的交叠结构以外，图 18 和图 19 所述的 TFT 基板的结构可与根据本发明的其它实施方式的 TFT 基板的结构（例如，图 16 和图 17 所述的 TFT 基板的结构）相同。

[0287] 图 20 是显示由于 BSM 的存在而导致的驱动特性的变化的曲线图。顺便指出，图 20 是示出当施加正偏置温度压力 (PBTS) 时晶体管工作特性的变化的曲线图。PBTS 是用于测试 TFT 的特性的实验条件。在图 20 中，曲线图中的线条的各个形状之间的差异表示显示面板中的 TFT 的不期望的工作特性的偏差。

[0288] 图 20 的 (a) 部分表示不包括 BSM 的显示面板中的 TFT 的特性，图 20 的 (b) 部分

Petitioner Samsung Ex-1004, 0165

表示如图 16 和图 17 所示第一底部屏蔽金属 BSM1 和第二底部屏蔽金属 BSM2 被形成为分别与两个沟道 CA1 和 CA2 交叠的显示面板中的 TFT 的特性，并且图 20 的 (c) 部分表示如图 18 和图 19 所示 BSM 12 被形成为与两个沟道区 CA1 和 CA2 中的仅一个交叠的显示面板中的 TFT 的特性。例如，应用于图 20 的显示面板的 TFT 可以是 LTPS 型。在此情况下，TFT 可以是双栅 TFT 并且包括两个栅极端子 GT1 和 GT2 以及两个沟道 CA1 和 CA2。

[0289] 图 16 和图 17 所示的与两个沟道 CA1、CA2 交叠的 BSM 12 可形成在缓冲区 11 中。例如，当两个栅极端子 GT1、GT2 之间的间隔是例如 4 μm 时，第一底部屏蔽金属端子 BSM1 与第二底部屏蔽金属端子 BSM2 之间的间隔可以是 1 μm。在此情况下，由于第一底部屏蔽金属端子 BSM1 与第二底部屏蔽金属端子 BSM2 之间的间隔较窄，所以难以设计和实现第一底部屏蔽金属端子 BSM1 和第二底部屏蔽金属端子 BSM2。此外，BSM 12 和栅极 20 之间的寄生电容较大，因此，改变了晶体管的特性。

[0290] 考虑到图 16 和图 17 所示的第四实施方式的局限，即，第一底部屏蔽金属端子 BSM1 与第二底部屏蔽金属端子 BSM2 之间的较窄的间隔以及寄生电容，提出了图 18 和图 19 所示的本发明的第五实施方式。

[0291] 图 18 和图 19 所示的与第一沟道 CA1 或第二沟道 CA2 中的任一个交叠的 BSM 12 可形成在缓冲区 11 中。与图 16 和图 17 所示的第四实施方式相比，图 18 和图 19 所示的根据本发明的第五实施方式的 TFT 基板的不同之处在于第五实施方式的 BSM 12 仅对应于第四实施方式的第二底部屏蔽金属端子 BSM2。因此，在关于第五实施方式的描述中，第五实施方式的 BSM 12 的尺寸小于第四实施方式的 BSM 12 的尺寸，并且第五实施方式的 BSM 12 的形状是没有形成支路的 I 形或线形，而第四实施方式的 BSM 12 是形成了支路的 U 形或弯曲形。图 18 和图 19 所示的 BSM 12 可与第一沟道 CA1 和第二沟道 CA2 中的仅一个交叠。具体而言，图 18 和图 19 中示出了 BSM 12 被形成在与第二沟道 CA2 交叠的区域中的 TFT 基板。

[0292] 作为仿真和实际测量结果，根据第五实施方式的包括 BSM 12 的 TFT 基板的特性（见图 20 的 (c) 部分）比不具有 BSM 的 TFT 基板的特性（见图 20 的 (a) 部分）好，并且基本等同于根据第四实施方式的包括 BSM 12 的 TFT 基板的特性（见图 20 的 (b) 部分）。

[0293] 在此情况下，可以看出，在不同位置处分别应用于根据本发明的第五实施方式的 TFT 基板（见图 20 的 (c) 部分）的 TFT 的各个线的特性差异小于在不同位置处分别应用于不具有 BSM 的 TFT 基板（见图 20 的 (a) 部分）的 TFT 的各个线的特性差异。此外，可以看出，应用于根据本发明的第五实施方式的 TFT 基板（见图 20 的 (c) 部分）的 TFT 的各个线的特性差异小于应用于根据本发明的第四实施方式的 TFT 基板（见图 20 的 (b) 部分）的 TFT 的各个线的特性差异。

[0294] 尽管本发明的第四实施方式（见图 20 的 (b) 部分）具有对应于图 20 的 (a) 部分的不具有 BSM 的显示面板、对应于图 20 的 (b) 部分的本发明的第四实施方式和对应于图 20 的 (c) 部分的本发明的第五实施方式当中的 TFT 的工作特性的最小偏差，表示与图 20 的 (b) 部分和 (c) 部分的 Vth 相关的 TFT 的驱动特性的各个曲线图中的线条中的具有正斜率的各个线性部分基本相同。也就是说，第五实施方式的包括 BSM 12 的 TFT 基板中包括的 TFT 的可靠性与第四实施方式的包括 BSM 12 的 TFT 基板中包括的 TFT 的可靠性基本相同。就此而言，根据第五实施方式的包括 BSM 12 的 TFT 基板的特性（见图 20 的 (c) 部分）与根据第四实施方式的包括 BSM 12 的 TFT 基板的特性（见图 20 的 (b) 部分）基本相同。

Petitioner Samsung Ex-1004, 0166

[0295] 因此，根据第五实施方式，更容易设计和制造包括高可靠性晶体管的 TFT 基板。

[0296] 根据本发明的第四实施方式或第五实施方式的 TFT 基板的制造方法与根据本发明的第一实施方式到第三实施方式的 TFT 基板的制造方法基本相同。

[0297] 图 21 是用于描述根据本发明的第六实施方式的 TFT 基板中的像素电路结构的电路图，更具体地，其示出了图 3 的像素 110。在以下描述中，节点 BSM 13 可与像素电路的节点中的一个交叠。顺便指出，节点 BSM 表示形成在 TFT 基板中的像素电路的节点中的一个的下方的底部屏蔽金属。

[0298] 参照图 21，像素 110 可包括有机发光二极管 OLED、驱动晶体管 Tdr、开关晶体管 Tsw、感测晶体管 Tss、发射晶体管 Tem 以及多个电容器 C1 和 C2。此处，多个电容器 C1 和 C2 可包括第一电容器 C1 和第二电容器 C2。

[0299] 有机发光二极管 OLED、驱动晶体管 Tdr、开关晶体管 Tsw、感测晶体管 Tss、发射晶体管 Tem 和第一电容器 C1 的结构和功能与以上参照图 4 所述的结构和功能相同。

[0300] 第二电容器 C2 在编程时段期间提高了数据电压的效率，并且在发射时段期间，第二电容器 C2 增强了保持特性。

[0301] 申请人提交的韩国专利申请 No. 10-2014-0097537 中公开了操作具有上述构造的电路的具体方法。操作该电路的具体方法不是本发明的特征，因此不提供其详细描述。

[0302] 首先，在具有上述结构的 TFT 基板中，节点 BSM 可被设置在缓冲区中，以与连接到驱动晶体管 Tdr、开关晶体管 Tsw 或感测晶体管 Tss 的节点中的至少一个交叠并绝缘。这些晶体管可位于缓冲区上。

[0303] 顺便指出，连接到驱动晶体管 Tdr 的电极中的一个的节点 BSM、连接到开关晶体管 Tsw 的电极中的一个的节点 BSM 以及连接到感测晶体管 Tss 的电极中的一个的节点 BSM 中的至少一个可形成在缓冲区中。

[0304] 具体而言，节点 BSM 可被设置在缓冲区中以与连接到驱动晶体管 Tdr 的源极或漏极的节点（例如，图 21 所示的第一节点 n1、第二节点 n2 或第三节点 n3）交叠并绝缘。

[0305] 此外，节点 BSM 可被设置在缓冲区中以与第一节点 n1、第二节点 n2 和第三节点 n3 中的至少一个（例如，第三节点 n3）交叠并绝缘。例如，当驱动晶体管截止时，第三节点 n3 可以浮动。因此，由于出现在下基板或第三节点 n3 附近的电荷发生变化，可在第三节点 n3 与外围节点之间产生寄生电容。寄生电容可改变通过第三节点 n3 流向有机发光二极管 OLED 的电流的水平，因此，有机发光二极管 OLED 不能正常工作。为了防止产生寄生电容，节点 BSM 可被设置在缓冲区中以与第三节点 n3 交叠并绝缘。

[0306] 具体而言，如图 21 所示，当感测晶体管 Tss 连接到第三节点 n3 并且连接到用来提供初始电压 Vini 的初始电压供应线 IVL 时，会在第三节点 n3 和初始电压供应线 IVL 之间产生寄生电容。为了防止产生寄生电容，节点 BSM 可被设置在缓冲区中以与第三节点 n3 交叠并绝缘。

[0307] 顺便指出，节点 BSM 可与图 21 所示的像素 110 中的多个组件互连节点中的一个交叠（在本文中，节点是“组件互连节点”，并且“组件互连节点”是将两个或更多个组件（例如，TFT 或电容器）彼此连接的导线或线）。在此情况下，当节点浮动时，由于节点附近出现的电荷变化，可在节点和节点附近的导电元件（例如，金属线或电极）之间产生寄生电容。然而，当节点 BSM 被设置在导电元件和节点之间时，该节点和该节点附近的导电元件之间

Petitioner Samsung Ex-1004, 0167

不会产生寄生电容。

[0308] 例如，当没有设置节点 BSM 时，会在第三节点 n3 和由金属材料形成的导电元件之间产生不稳定的寄生电容，并且由于寄生电容，流向第三节点 n3 的电流的量会不受控制地变化，或者施加到第三节点 n3 的电压会不受控制地偏移。然而，当节点 BSM 位于第三节点 n3 和导电元件之间时，寄生电容不会直接产生在第三节点 n3 和导电元件之间。

[0309] 在此情况下，当被施加有预定电压的节点 BSM 位于第三节点 n3 和导电元件之间时，会在第三节点 n3 和导电元件之间产生具有可控值的电容。可在制造显示装置的工艺中预先计算该电容，并且可基于所计算出的电容来计算构造像素 110 的各个要素的值。因此，像素电路被稳定地驱动。

[0310] 此外，节点 BSM 被包括在缓冲区中，但是可不对应于图 21 所示的像素 110 中包括的 TFT。因此，节点 BSM 可被设置在缓冲区中以对应于连接到 TFT 基板中的各种类型的 TFT 的节点。

[0311] 节点 BSM 可连接到各种固定电源 Vdd、Vss 和 Vini 中的一个，或者可与连接到与节点 BSM 交叠的节点的 TFT 的源极或栅极连接。

[0312] 具体而言，当对应于第三节点 n3 的节点 BSM 连接到第一驱动电力线 PL1 时，除了第二电容器 C2 以外，第三电容器 C3 也会附加地连接到第一驱动电力线 PL1 和第三节点 n3。由于第三电容器 C3，在编程时段期间数据电压的效率增强，并且在发射时段期间保持特性增强。

[0313] 在此情况下，可在节点 BSM 和初始电压供应线 IVL 之间产生寄生电容。然而，由于节点 BSM，寄生电容不会影响第三节点 n3。

[0314] 与以上参照图 5A 至图 20 详细描述的 TFT 交叠的 BSM 以及与节点交叠的节点 BSM 可一起位于一个像素中。

[0315] 图 22 是示出根据本发明的第六实施方式的 TFT 基板的横截面的示例图。在以下描述中，与上述细节相同或相似的细节将不再描述或者仅简要描述。

[0316] 如图 22 所示，根据本发明的第六实施方式的 TFT 基板可包括下基板 10、位于下基板 10 上的缓冲区 11、位于缓冲区 11 上并与 BSM 12 绝缘的 TFT Tr(例如，驱动晶体管 Tdr、感测晶体管 Tss、发射晶体管 Tem、开关晶体管 Tsw 或非显示区域中的 TFT)、与构造缓冲区 11 的节点 BSM 22 绝缘并位于缓冲区 11 上的组件互连节点 N(例如，第一节点 n1、第二节点 n2 或第三节点 n3)(组件互连节点 N 与节点 BSM 22 交叠并浮动)、被设置在覆盖一个或更多个晶体管的绝缘层上并由驱动晶体管 Tdr 驱动以发光的有机发光二极管 OLED。尽管图 22 没有示出，但是节点 BSM 22 连接到 TFT Tr 的栅极、源极或漏极，或者固定电源 Vdd、Vini 和 Vss 中的一个。

[0317] 在图 22 中，TFT Tr 可以是被包括在图 21 的像素 110 中的各种类型的 TFT 或者被包括在 TFT 基板的非显示区域中的各种类型的 TFT。

[0318] 在此情况下，节点 BSM 22 可位于节点 N 下方的缓冲区 11 中。虽然图 22 没有示出，但是对应于 TFT Tr 的 BSM 12 和对应于组件互连节点 N 的节点 BSM 22 可以彼此集成或单独设置。在节点 BSM 22 没有连接到固定电源 Vdd、Vini 和 Vss 中的一个的情况下，所述集成的 BSM 可以一起覆盖 TFT Tr 和组件互连节点 N。也就是说，当节点 BSM 22 连接到 TFT 的电极中的一个时，可扩展节点 BSM 22 以覆盖 TFT。

Petitioner Samsung Ex-1004, 0168

[0319] 例如，节点 BSM 22 位于在像素电路的操作的多数时段内浮动并连接到感测晶体管 Tss 的栅极、源极或漏极的第三节点 n3 上，在像素电路的操作期间的至少某些时段浮动。

[0320] 顺便指出，BSM 12 可不位于连接到与节点 BSM 22 对应的组件互连节点 N 的 TFT 的下方。

[0321] 此外，在本实施方式中，节点 BSM 22 必需被包括在缓冲区 11 中，但是 BSM 12 可不被包括在缓冲区 11 中。

[0322] 第二，图 22 所示的 TFT Tr 可以是图 21 所示的控制流向有机发光二极管 OLED 的电流的量的驱动晶体管 Tdr。在此情况下，图 22 所示的组件互连节点 N 可以是图 21 所示的连接到驱动晶体管 Tdr 的源极和有机发光二极管 OLED 的第三节点 n3。

[0323] 第三，当图 22 所示的组件互连节点 N 是图 21 所示的第三节点 n3 时，图 21 所示的用于驱动晶体管 Tdr 的内部补偿的感测晶体管 Tss 可连接在组件互连节点 N 和初始电压供应线 IVL 之间。在此情况下，感测晶体管 Tss 的栅极可连接到感测控制线 SSL。

[0324] 下基板 10 可被设置在包括基础基板（未示出）和韧性层（未示出）的辅助基板（未示出）上，并且在此情况下，下基板 10 可由塑料形成。然而，下基板 10 可以是玻璃载体并且可由各种类型的材料形成。

[0325] 缓冲区 11 可包括形成在下基板 10 上的多缓冲区 11c、形成在多缓冲区 11c 上的 BSM 12 和节点 BSM 22 以及形成在 BSM 12 和节点 BSM 22 上的有源缓冲区 11d。然而，本实施方式不限于此。

[0326] 有源层（未示出）、平坦化层 42、栅极（未示出）、层间电介质（未示出）可形成在缓冲区 11 上。换言之，驱动晶体管 Tdr、开关晶体管 Tsw、发射晶体管 Tem 和感测晶体管 Tss 可形成在缓冲区 11 上。此外，组件互连节点 N 可形成在缓冲区 11 上。

[0327] 钝化层（未示出）和平坦化层（未示出）可顺序地形成在驱动晶体管 Tdr、开关晶体管 Tsw、发射晶体管 Tem 和感测晶体管 Tss 上。

[0328] 连接到驱动晶体管 Tdr 的源极的有机发光二极管 OLED 可形成在平坦化层（未示出）上。

[0329] 在根据本发明的第六实施方式的 TFT 基板中，节点 BSM 22 可被设置在连接到驱动晶体管 Tdr 的源极的第三节点 n3 下方并在驱动晶体管 Tdr 截止时浮动。此外，节点 BSM 22 可连接到用来提供第一电压 Vdd 的第一驱动电力线 PL1。

[0330] 在此情况下，即使当由于温度和湿度的影响而在第三节点 n3 附近出现寄生电容时，节点 BSM 22 也会阻挡寄生电容，进而，第三节点 n3 不被寄生电容影响。

[0331] 此外，节点 BSM 22 的区域增大了第一驱动电力线 PL1 和第三节点 n3 之间的电容，进而，在编程时段期间增强了数据电压的效率。

[0332] 以下，将详细描述根据本发明的第六实施方式的 TFT 基板的制造方法。

[0333] 首先，多缓冲区 11c 可被设置在下基板 10 上，用于制造根据本发明的第六实施方式的 TFT 基板。

[0334] 随后，节点 BSM 22 可被设置在对应于组件互连节点 N 的多缓冲区 11c 上。在此情况下，BSM 12 可被设置在对应于 TFT Tr 的区域内。然而，可不设置 BSM 12。

[0335] 随后，有源缓冲区 11d 可被设置在节点 BSM 22 上，从而分别构造驱动晶体管 Tdr、开关晶体管 Tsw 和感测晶体管 Tss 的有源层（未示出）以及组件互连节点 N 可被设置在有

Petitioner Samsung Ex-1004, 0169

源缓冲区 11d 上。

[0336] 随后，栅绝缘层（未示出）可位于有源层（未示出）和组件互连节点 N 上，从而分别构造驱动晶体管 Tdr、开关晶体管 Tsw 和感测晶体管 Tss 的栅极（未示出）以及与栅极（未示出）连接的扫描控制线 SCL、发射信号线 EML 和感测控制线 SSL 可位于栅绝缘层（未示出）上。

[0337] 随后，初始电压供应线 IVL、第一驱动电力线 PL1 和数据线 DL 可与所述栅极（未示出）和所述线绝缘。

[0338] 最后，平坦化层 42 可位于组件互连节点 N、驱动晶体管 Tdr、开关晶体管 Tsw、感测晶体管 Tss、扫描控制线 SCL、发射信号线 EML、感测控制线 SSL、初始电压供应线 IVL、第一驱动电力线 PL1 和数据线 DL 上。

[0339] 因此，驱动晶体管 Tdr、开关晶体管 Tsw、感测晶体管 Tss 和组件互连节点 N 可形成在 TFT 基板上。

[0340] 以下对上述第六实施方式进行总结。

[0341] 首先，根据本发明，BSM 12 上的 TFT Tr 可以是对由塑料材料形成的下基板 10 所产生的电荷最敏感的驱动晶体管 Tdr，并且 BSM 12 可连接到驱动晶体管 Tdr 的源极或栅极。因此，驱动晶体管 Tdr 不被驱动晶体管 Tdr 附近的电荷的变化影响。因此，可防止驱动晶体管 Tdr 中的电流变化，并且减小导致图像残留的噪声。

[0342] 除了驱动晶体管 Tdr 以外，BSM 12 可被设置在 TFT Tr 下方。在此情况下，基于 TFT Tr 的特性，BSM 12 可连接到 TFT Tr 的源极或栅极或者独立的固定电源（Vdd、Vini 和 Vss）。因此，TFT Tr 不被其附近的电荷的变化影响。因此，可防止 TFT Tr 中的电流的偏移，并且减小导致图像残留的噪声。

[0343] 顺便指出，BSM 12 位于 TFT 基板中的 TFT Tr 中的至少一个的下方，进而，即使当施加到 TFT Tr 的下端的电场由于从下基板 10 产生的电荷的变化而发生变化时，TFT Tr 也不会被电荷的变化影响。在本发明中，BSM 12 可位于也可不位于缓冲区 11 中。

[0344] 第二，根据本发明，节点 BSM 22 可位于连接到 TFT 基板中的 TFT 中的一个（例如，驱动晶体管 Tdr）并被组件互连节点 N 附近的电荷的变化影响的组件互连节点 N（例如，第三节点 n3）下方，并且连接到组件互连节点 N 的 TFT 可以是 BSM 12 上的 TFT Tr。因此，当节点 BSM 22 位于浮动的组件互连节点 N 下方时，组件互连节点 N 不被其附近的电荷的变化影响，这在节点 BSM 22 在连接到 TFT 的源极或栅极或者独立的固定电源（Vdd、Vini 和 Vss）的情况下没有浮动时更加有益。因此，可防止组件互连节点 N 中的电流的变化，并且减小导致图像残留的噪声。

[0345] 顺便指出，由于节点 BSM 22 位于连接到浮动 TFT 的组件互连节点 N 下方，所以尽管组件互连节点 N 附近的电荷发生变化，组件互连节点 N 的电压也不会发生偏移。也就是说，组件互连节点 N 不会被其附近的电荷的变化影响。

[0346] 在此情况下，节点 BSM 22 可位于连接到除驱动晶体管 Tdr 之外的晶体管的组件互连节点 N 的下方，或者可位于 TFT 基板中产生寄生电容的区域的下方。

[0347] 第三，根据本发明，BSM 12 位于 TFT 基板的像素电路中的 TFT Tr 下方，此外，节点 BSM 22 位于 TFT 基板的像素电路中的连接到处于浮动状态的 TFT 的组件互连节点 N 下方。

[0348] 在此情况下，BSM 12 可连接到各种固定电源（Vdd、Vss 和 Vini）中的一个或者 TFT

Petitioner Samsung Ex-1004, 0170

Tr 的源极和栅极中的一个。此外，节点 BSM 22 可连接到各种固定电源（Vdd、Vss 和 Vini）中的一个或者 TFT Tr 的源极和栅极中的一个。

[0349] 顺便指出，在本发明中，BSM 12 可位于被由塑料材料形成的下基板 10 所产生的电荷的变化影响的 TFT Tr 下方，节点 BSM 22 可位于连接到浮动 TFT（例如，驱动晶体管 Tdr）的电极中的一个的组件互连节点 N（例如，第三节点 n3）下方，并且节点 BSM 22 连接到各种固定电源（Vdd、Vss 和 Vini）中的一个或者至少在像素电路的操作中的发射时段期间不浮动的 TFT 的源极或栅极。因此，可向有机发光二极管 OLED 提供稳定的电流。

[0350] 根据本发明的实施方式，提供了包括设置有 BSM 12、22 的缓冲区 11 的 TFT 基板，从而防止 TFT 的阈值电压由于下基板 10 和牺牲层 85 所导致的背沟道现象而发生偏移。

[0351] 此外，根据本发明的实施方式，防止了 TFT 的阈值电压发生偏移，进而，TFT 基板和包括该 TFT 基板的显示面板中的每一个的可靠性被增强。

[0352] 此外，根据本发明的实施方式，节点 BSM 22 位于与连接到 TFT（例如，浮动 TFT）的组件互连节点 N 对应的缓冲区 11 的区域内，进而，防止了 TFT 的装置特性或流入组件互连节点 N 的电流的量由于出现在组件互连节点 N 中的寄生电容而变化。

[0353] 具体而言，节点 BSM 22 位于与连接到控制 OLED 感生的电流的量的驱动晶体管 Tdr 的组件互连节点 N 对应的缓冲区 11 的区域内。因此，防止了驱动晶体管 Tdr 的装置特性发生变化，并且防止了 OLED 感生的电流的量发生变化。

[0354] 此外，根据本发明的实施方式，防止了 TFT 基板或包括该 TFT 基板的显示面板中的每一个的可靠性由于极化所产生的具有电荷的粒子或电场而降低。

[0355] 在本发明的本公开的一方面中，一种电子显示面板包括：塑料基板；位于所述塑料基板上的底部屏蔽金属（BSM）；位于所述 BSM 上的薄膜晶体管（TFT），所述 TFT 和所述 BSM 被设置为彼此至少部分地交叠；以及插置在所述 TFT 和所述 BSM 之间的有源缓冲层。所述 BSM 连接到所述 TFT 的栅极、源极和漏极中的一个。

[0356] 根据本公开的另一特征，所述 BSM 上的所述 TFT 是所述塑料基板的多个开关 TFT 中的一个，并且其中，所述 BSM 的长度小于所述 TFT 的栅极的长度。

[0357] 根据本公开的又一特征，所述 TFT 的有源层包括多个掺杂区和位于所述掺杂区之间并且掺杂浓度低于所述掺杂区的沟道，其中，所述沟道的长度大于所述 BSM 的长度，并且其中，所述沟道的长度覆盖所述 BSM 的整个长度。

[0358] 根据本公开的又一特征，所述掺杂区中的每一个包括多个低浓度掺杂部分和在相应掺杂区中比所述低浓度掺杂部分更加远离所述沟道的多个高浓度掺杂部分，其中，所述 BSM 与所述低浓度掺杂部分中的至少一个的整个部分交叠，并且其中，所述 BSM 与所述高浓度掺杂部分中的至少一个部分地交叠。

[0359] 根据本公开的又一特征，所述 BSM 上的所述 TFT 是所述塑料基板的驱动 TFT，并且其中，所述 BSM 的长度等于或大于所述 TFT 的栅极的长度。

[0360] 根据本公开的又一特征，所述 TFT 的有源层包括多个掺杂区和位于所述掺杂区之间并且掺杂浓度低于所述掺杂区的沟道，其中，所述沟道的长度等于或短于所述 BSM 的长度，并且其中，所述 BSM 的长度覆盖所述沟道的整个长度。

[0361] 根据本公开的又一特征，所述掺杂区中的每一个包括多个低浓度掺杂部分和在相应掺杂区中比所述低浓度掺杂部分更加远离所述沟道的多个高浓度掺杂部分，其中，所述

Petitioner Samsung Ex-1004, 0171

BSM 与所述低浓度掺杂部分中的至少一个部分地交叠。

[0362] 根据本公开的又一特征，所述 TFT 和所述 BSM 被设置为彼此不对称地交叠，并且所述 TFT 是所述塑料基板的多个开关 TFT 中的一个。

[0363] 根据本公开的又一特征，所述 TFT 是将栅极分支为第一栅极端子和第二栅极端子的双栅 TFT，构造有所述沟道的所述 TFT 被设置有对应于所述第一栅极端子的第一沟道和对应于所述第二栅极端子的第二沟道，其中，所述 BSM 被设置在所述第一沟道和所述第二沟道中的至少一个的下方。

[0364] 根据本公开的又一特征，所述 BSM 与所述第一沟道和所述第二沟道中的任一个交叠，其中，所述第一沟道和所述第二沟道中的所述任一个的长度等于或短于所述 BSM 的长度，并且其中，所述 BSM 的长度覆盖所述第一沟道和所述第二沟道中的所述任一个的整个长度，并且其中，所述 BSM 上的所述 TFT 是所述塑料基板的驱动 TFT。

[0365] 根据本公开的又一特征，所述 BSM 更加靠近所述 TFT 的所述漏极而非所述源极。

[0366] 根据本公开的又一特征，所述 BSM 更加靠近其上的所述 TFT 的源极和漏极当中的被供应有较高电压的任一个。

[0367] 根据本公开的又一特征，所述 BSM 上的所述 TFT 位于像素电路中，并且所述 BSM 被设置为在所述像素电路中的多个组件互连节点中的至少一个的下方延伸，并且其中，所述组件互连节点在所述像素电路的操作期间的至少某些时段浮动。

[0368] 根据本公开的又一特征，所述像素电路的操作期间的所述至少某些时段是有机发光二极管 (OLED) 的发射时段。

[0369] 在本发明的另一方面中，一种电子显示面板包括：塑料基板；位于所述塑料基板上的底部屏蔽金属 (BSM)，该 BSM 被设置为使得由于所述塑料基板的捕获的电荷而导致的所述像素电路中的背沟道的形成最小化；位于所述 BSM 上的有源缓冲层；以及由所述塑料基板上的选通线和数据线限定的像素区域中的像素电路，所述有源缓冲层上的所述像素电路包括多个 TFT 和多个组件互连节点。

[0370] 根据本公开的另一特征，所述 BSM 与所述像素电路的所述 TFT 中的一个交叠，并且连接到与所述 BSM 交叠的所述 TFT 的栅极、源极和漏极中的一个。

[0371] 根据本公开的又一特征，所述 TFT 的有源层包括多个掺杂区和位于所述掺杂区之间并且掺杂浓度低于所述掺杂区的沟道，其中，所述沟道的长度等于或短于所述 BSM 的长度，并且其中，所述 BSM 的长度覆盖所述沟道的整个长度。

[0372] 根据本公开的又一特征，所述 BSM 与在所述像素电路的操作期间的至少某些时段浮动的所述组件互连节点中的一个交叠，并且连接到所述像素电路的多个电源中的一个。

[0373] 根据本公开的又一特征，所述 BSM 被设置为在所述像素电路中的所述 TFT 中的至少一个的下方延伸。

[0374] 本发明的各种示例性实施方式的特征可部分地组合或全部组合。本领域技术人员可清楚理解，在技术上，各种交互和操作是可能的。各种示例性实施方式可独立地实践或者按照组合方式实践。

[0375] 对于本领域技术人员而言将显而易见的是，在不脱离本发明的精神或范围的情况下，可对本发明进行各种修改和变化。因此，本发明旨在涵盖对本发明的这些修改和变化，只要它们落入所附权利要求及其等同物的范围内即可。

Petitioner Samsung Ex-1004, 0172

[0376] 相关申请的交叉引用

[0377] 本申请要求在2014年6月25日提交的韩国专利申请No. 10-2014-0078318、在2014年12月3日提交的韩国专利申请No. 10-2014-0172567、在2014年12月3日提交的韩国专利申请No. 10-2014-0172570、在2014年12月26日提交的韩国专利申请No. 10-2014-0191052以及在2015年4月28日提交的韩国专利申请No. 10-2015-0060058的优先权，针对所有目的，通过引用将其全部内容并入本文，如同在此充分阐述一样。

Petitioner Samsung Ex-1004, 0173

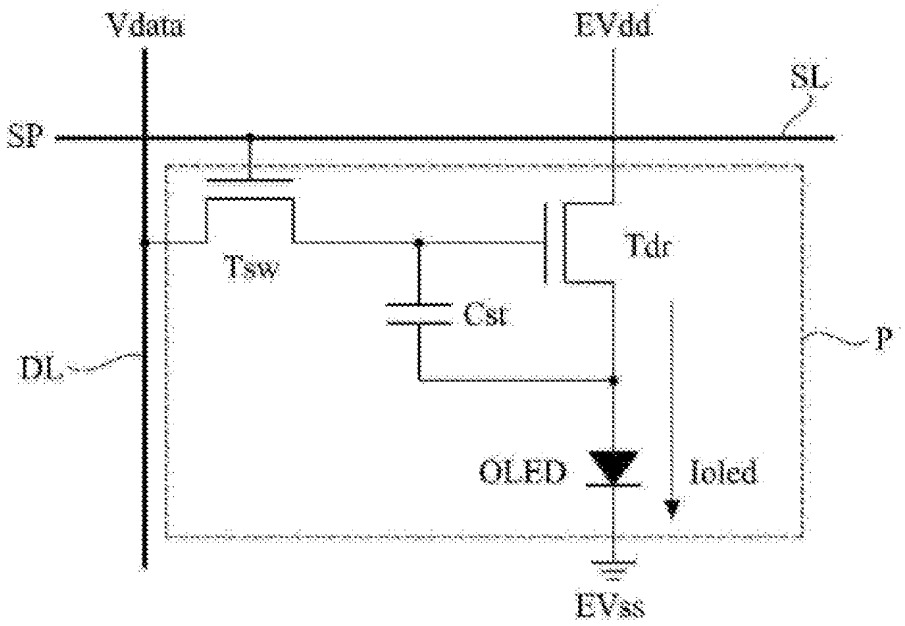


图 1

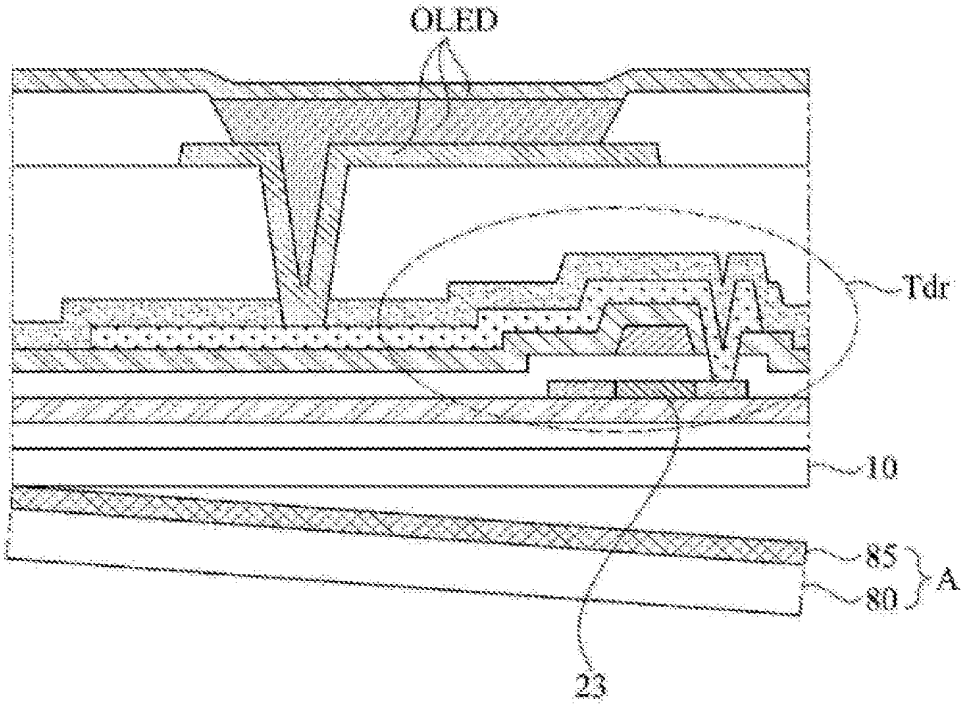


图 2

Petitioner Samsung Ex-1004, 0174

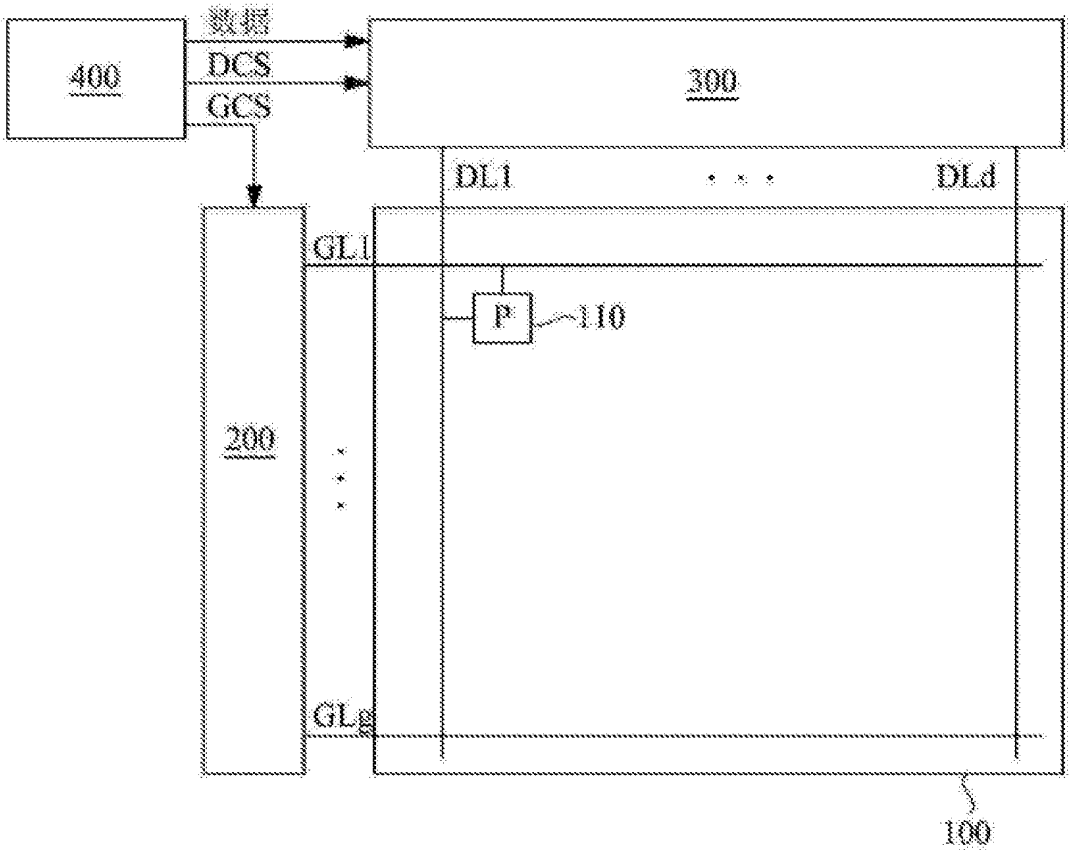


图 3

Petitioner Samsung Ex-1004, 0175

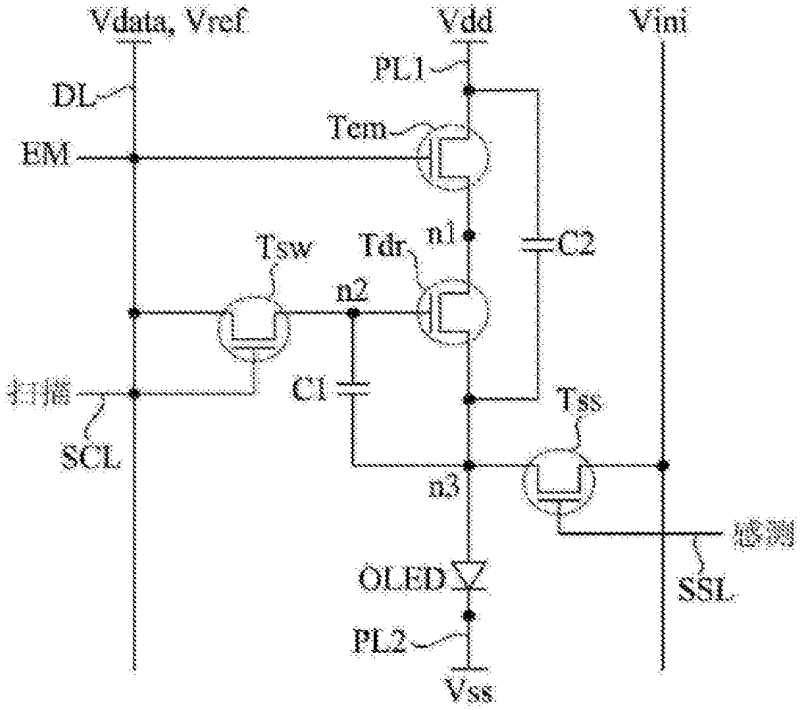


图 4

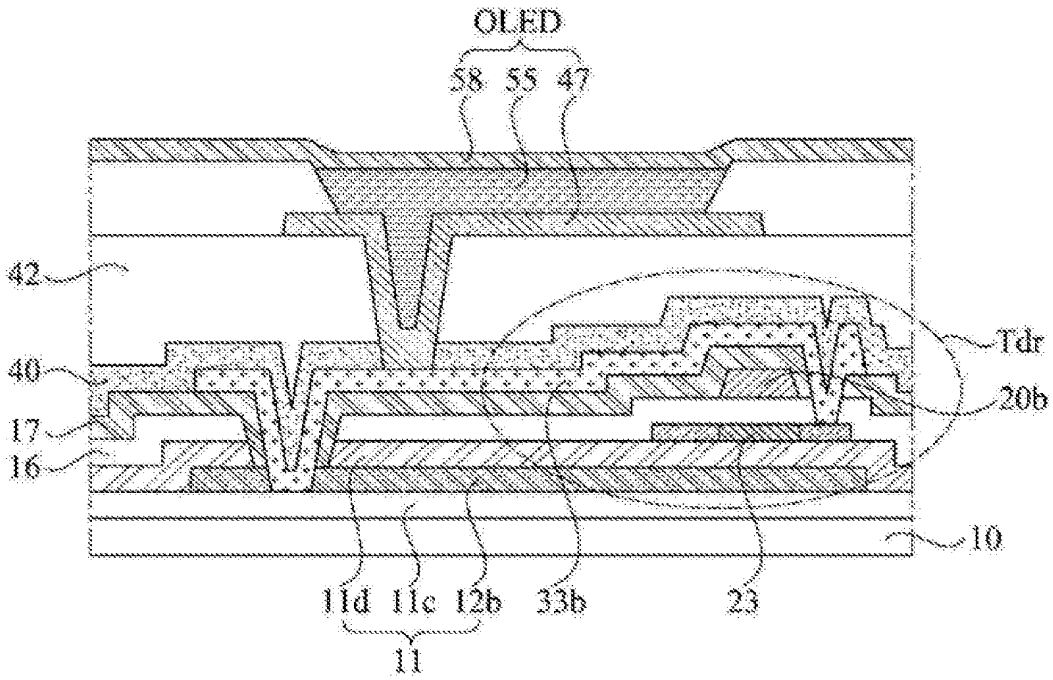


图 5A

Petitioner Samsung Ex-1004, 0176

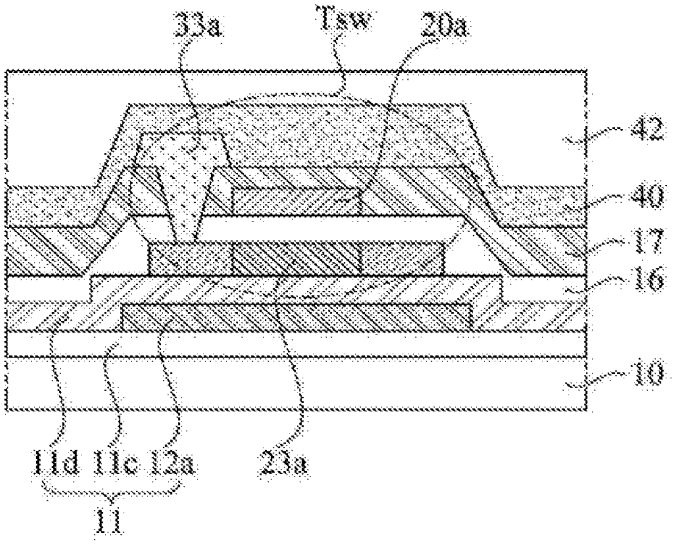


图 5B

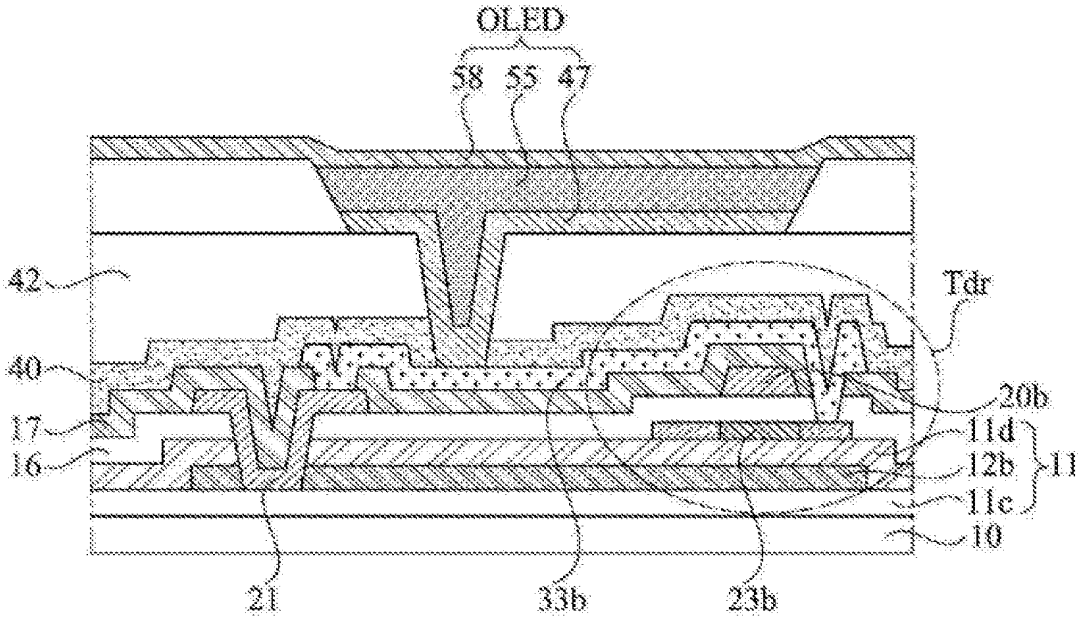


图 6

Petitioner Samsung Ex-1004, 0177

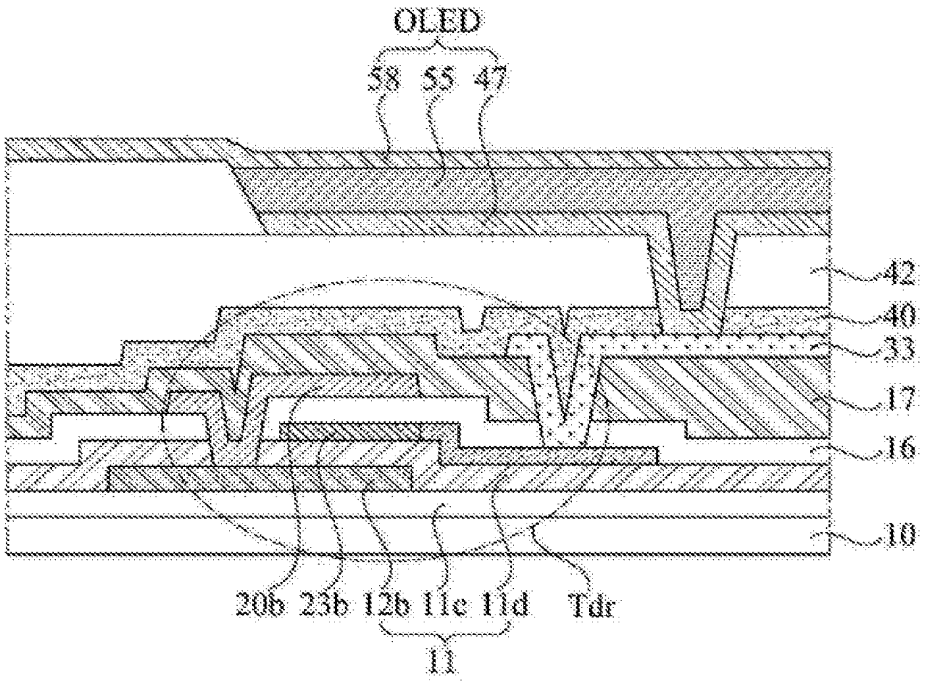


图 7

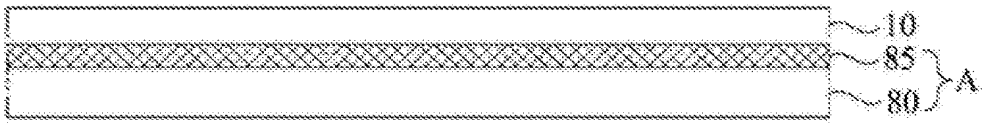


图 8A

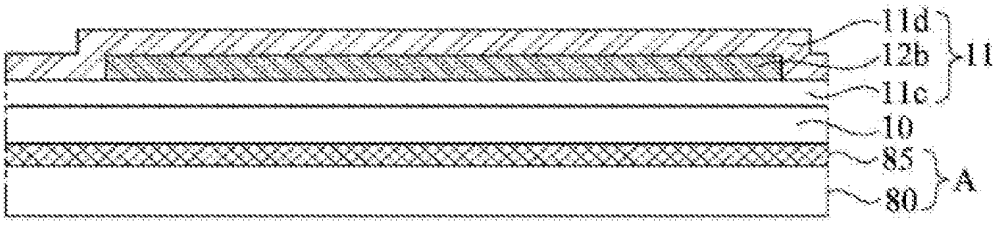


图 8B

Petitioner Samsung Ex-1004, 0178

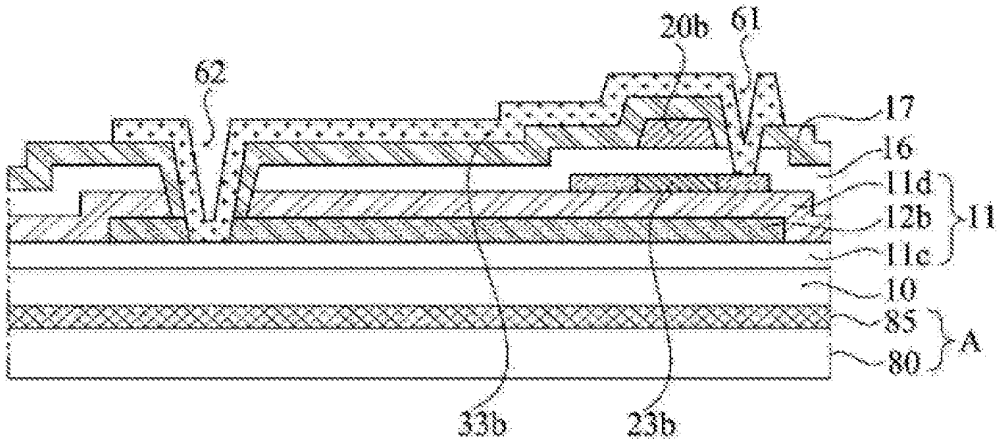


图 8C

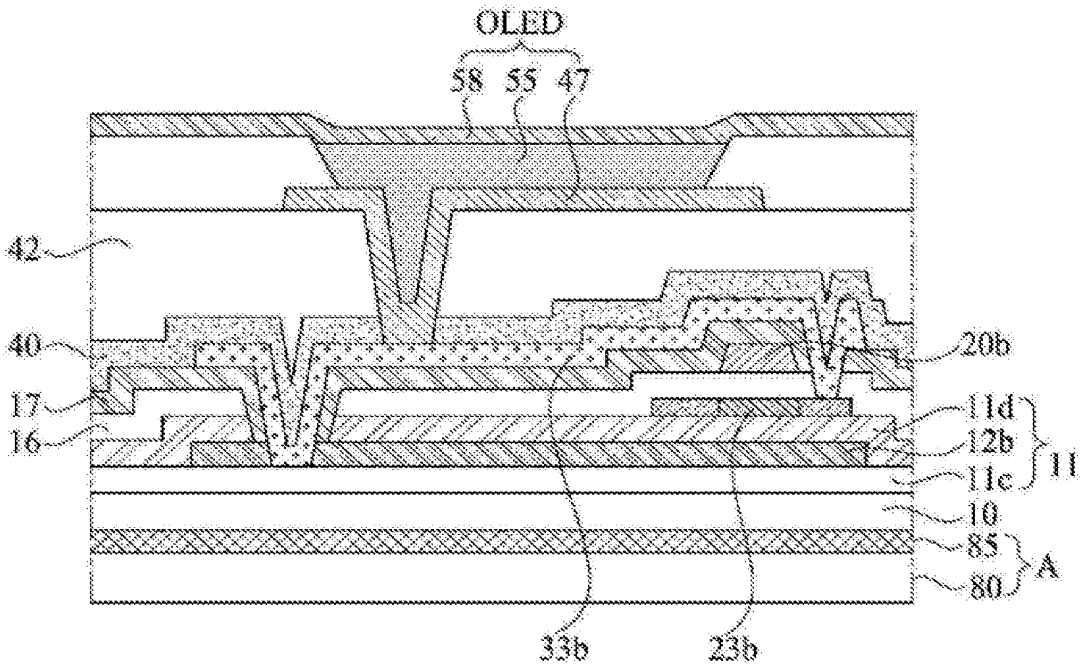


图 8D

Petitioner Samsung Ex-1004, 0179

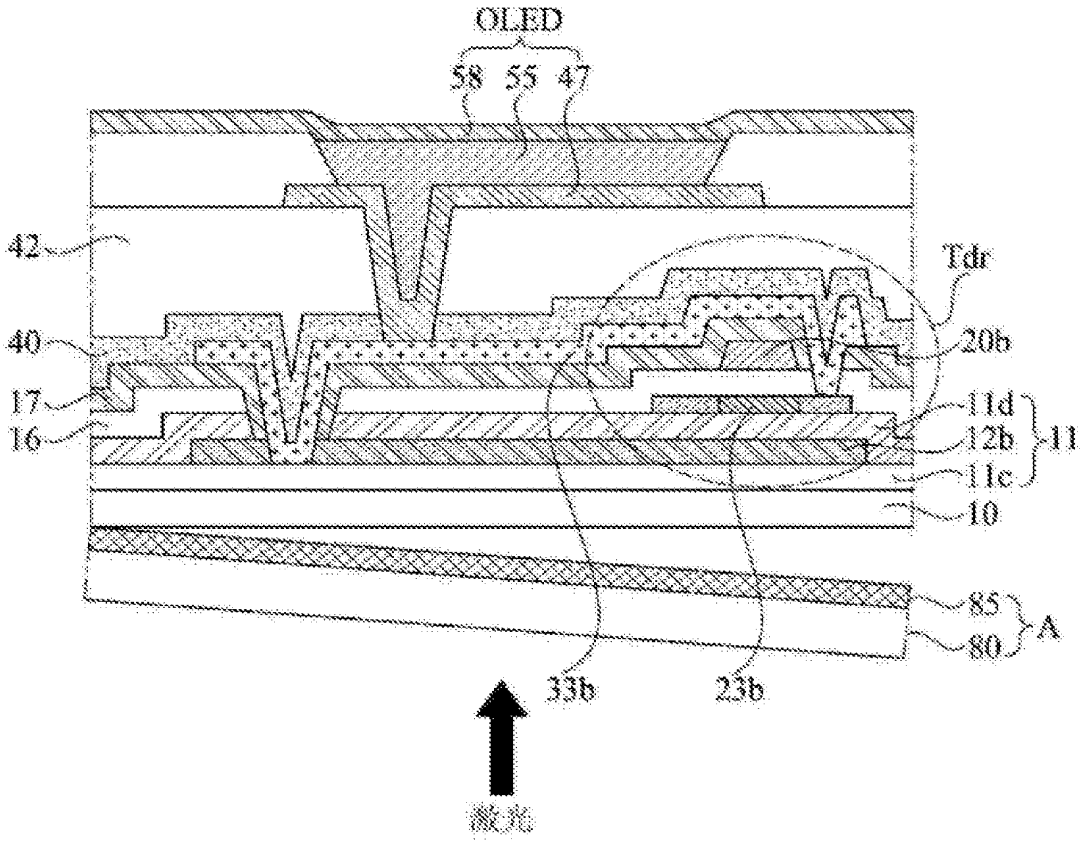
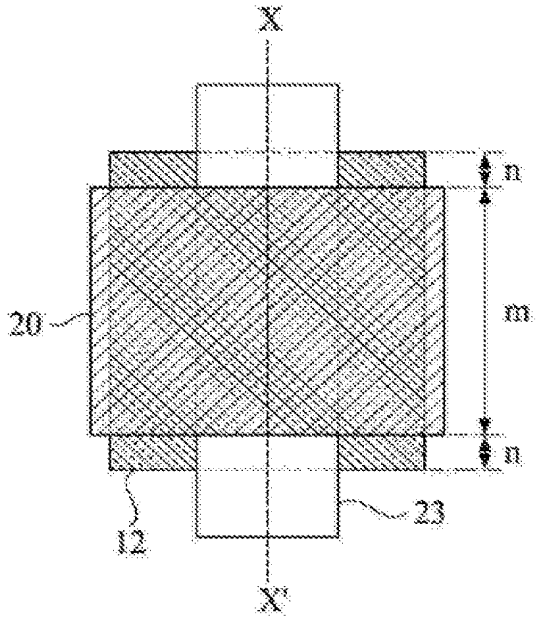
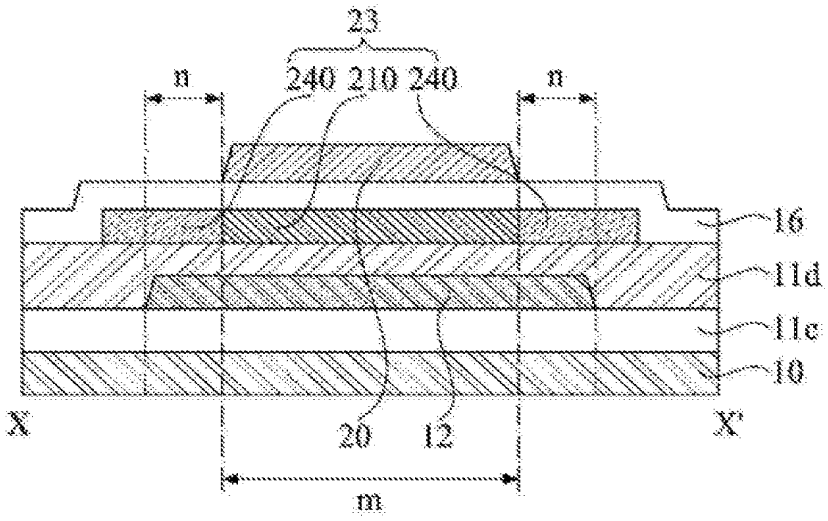


图 8E

Petitioner Samsung Ex-1004, 0180



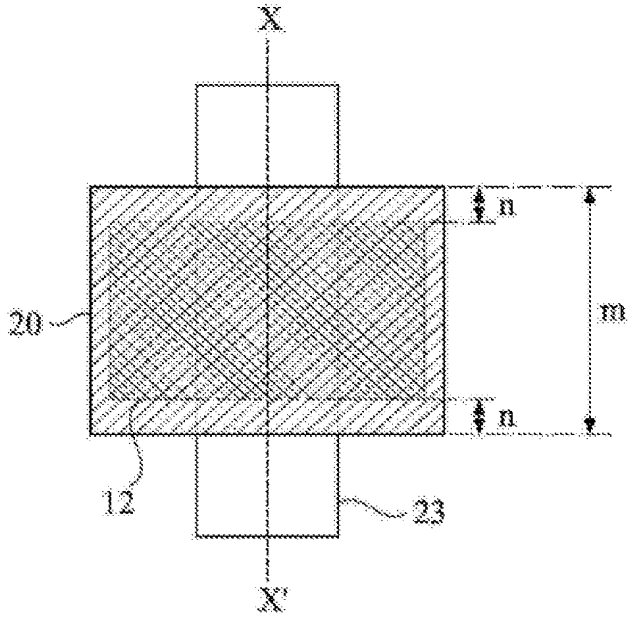
(a)



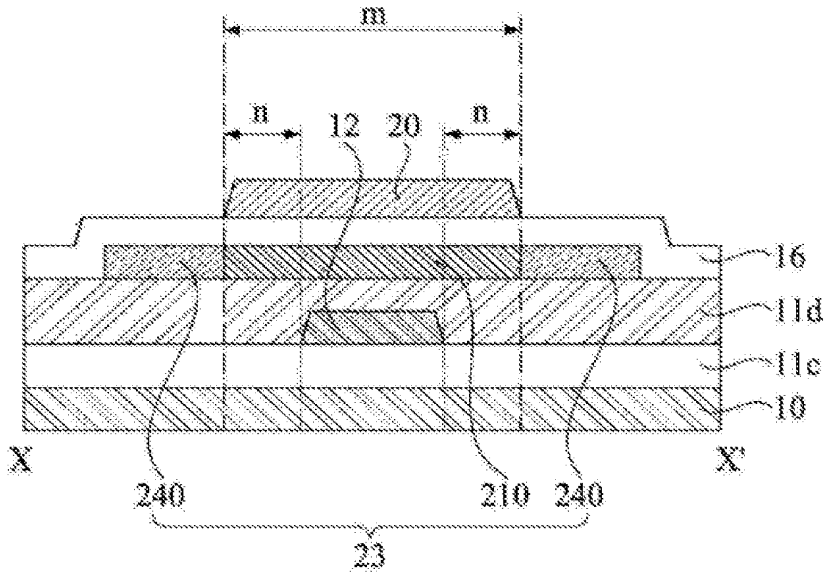
(b)

图 9A

Petitioner Samsung Ex-1004, 0181



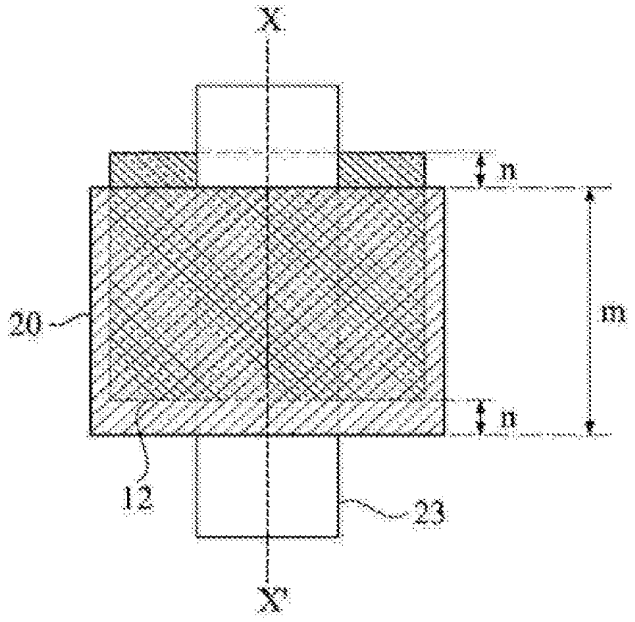
(a)



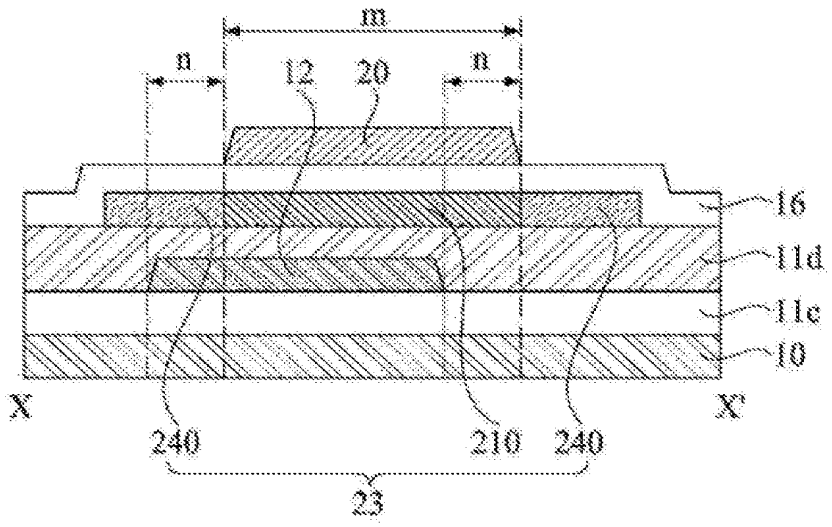
(b)

图 9B

Petitioner Samsung Ex-1004, 0182



(a)



(b)

图 9C

Petitioner Samsung Ex-1004, 0183

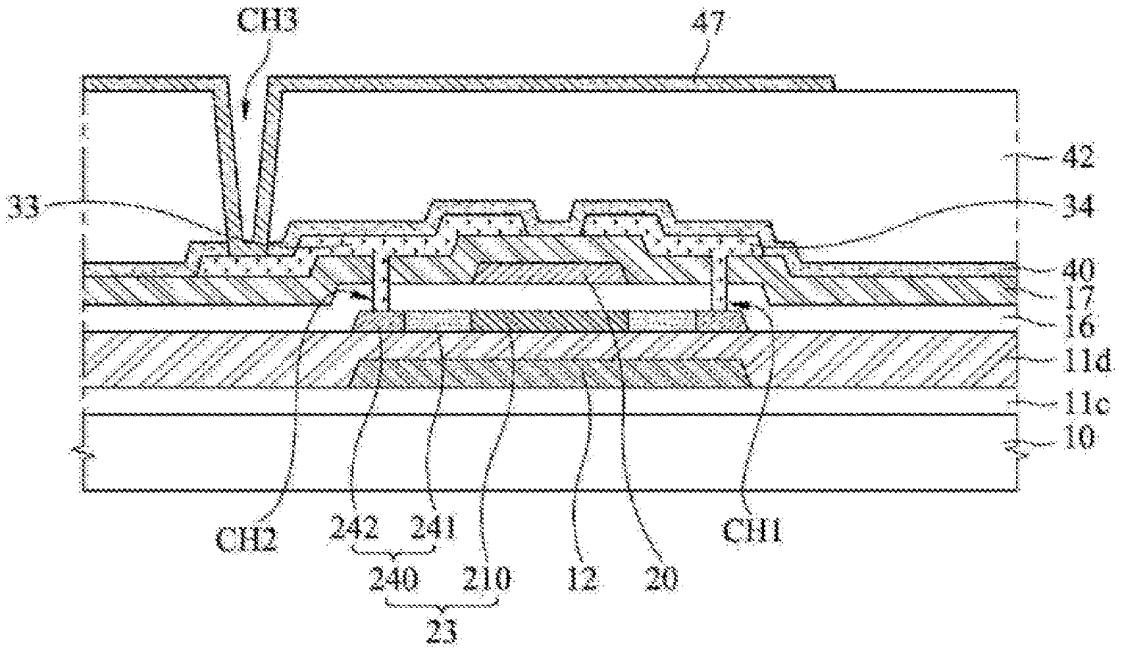


图 10

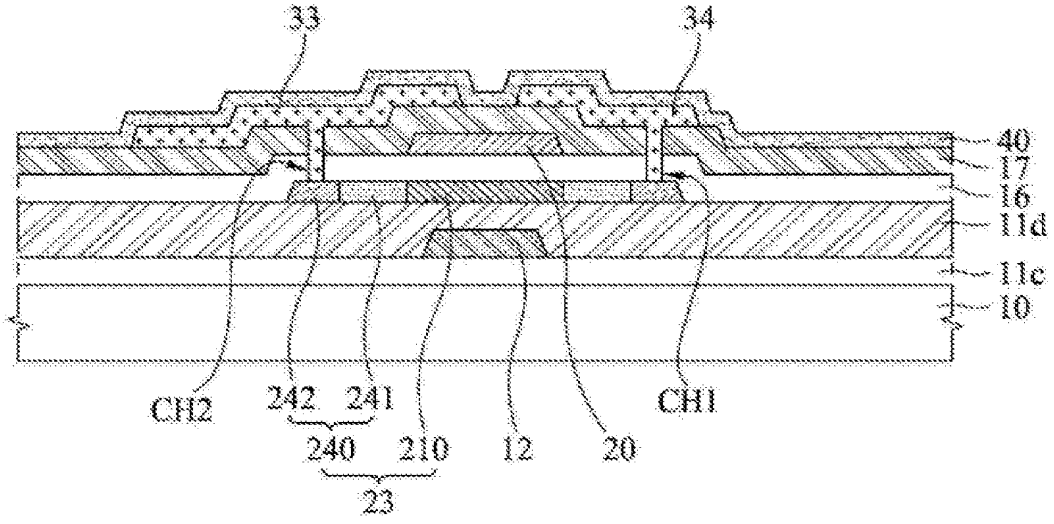


图 11A

Petitioner Samsung Ex-1004, 0184

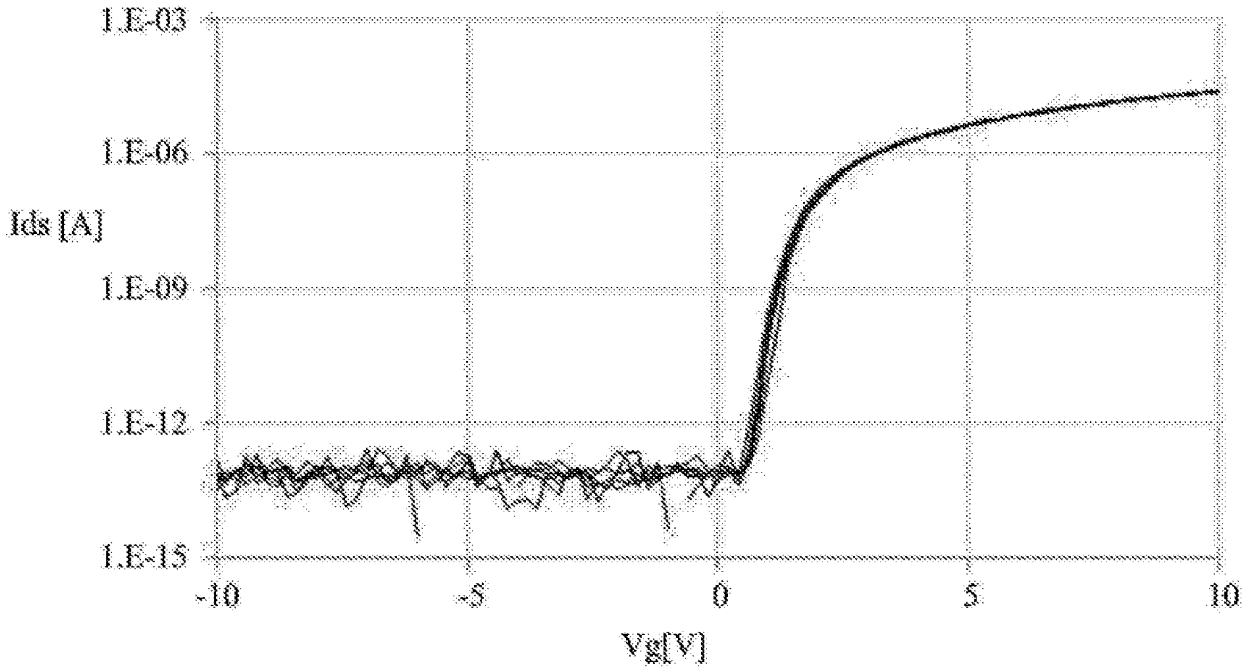


图 11B

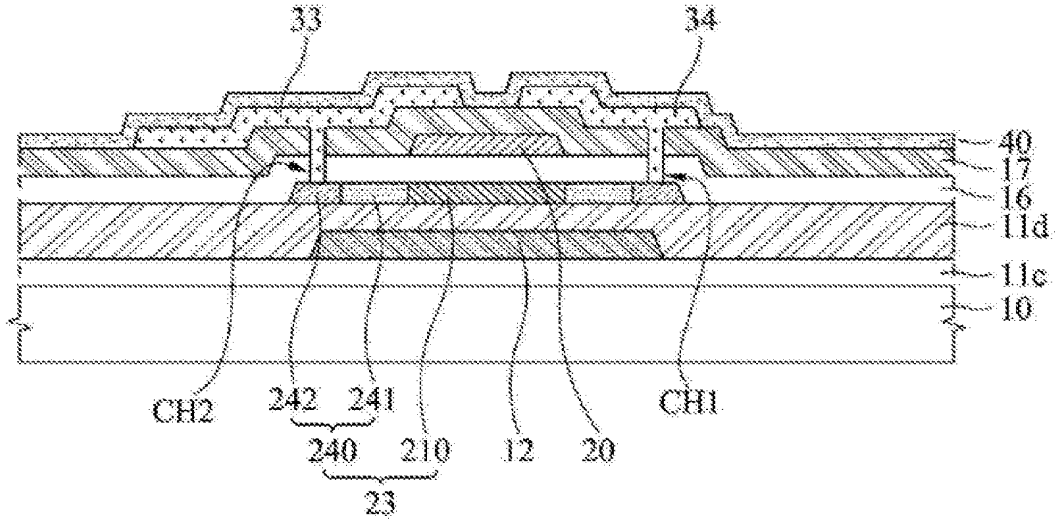


图 12A

Petitioner Samsung Ex-1004, 0185

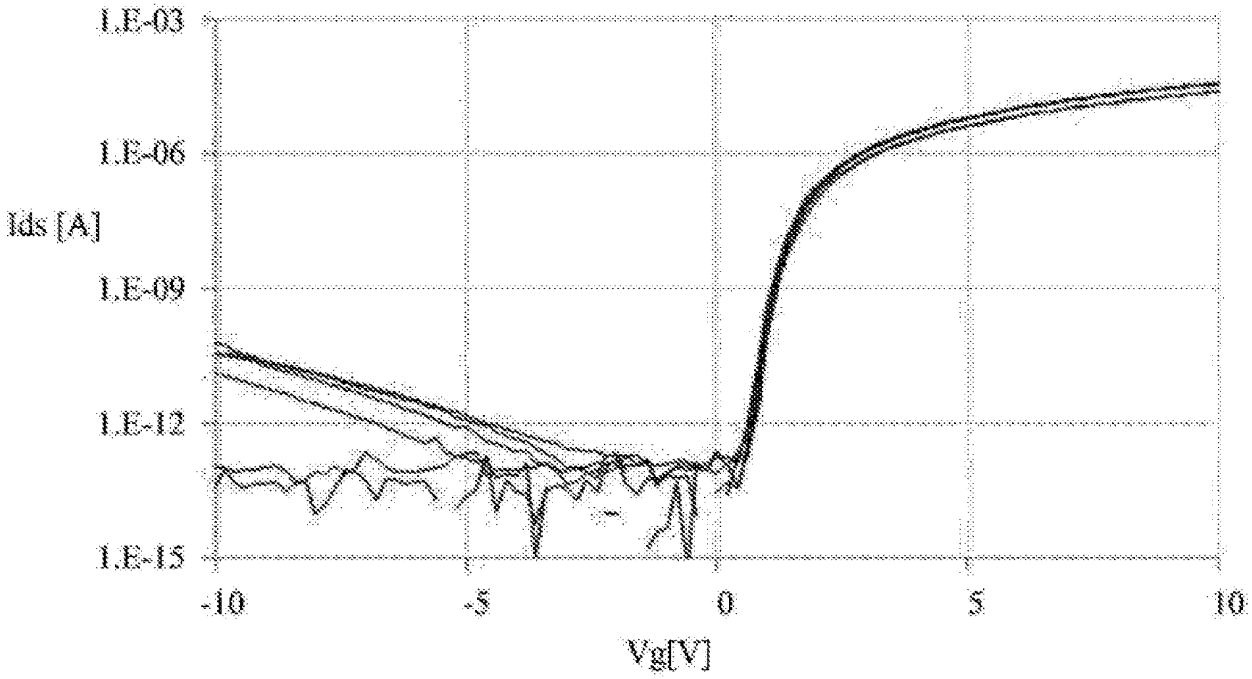


图 12B

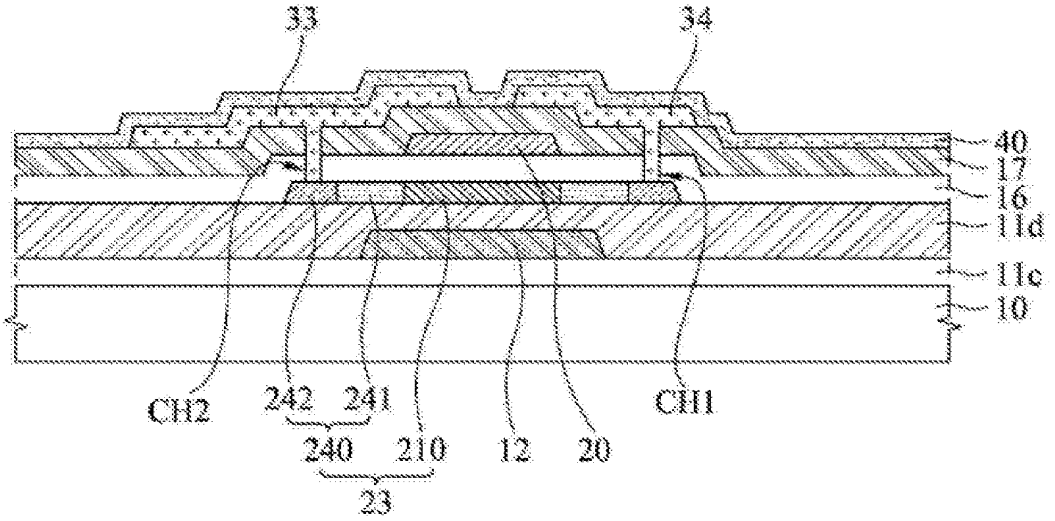


图 13A

Petitioner Samsung Ex-1004, 0186

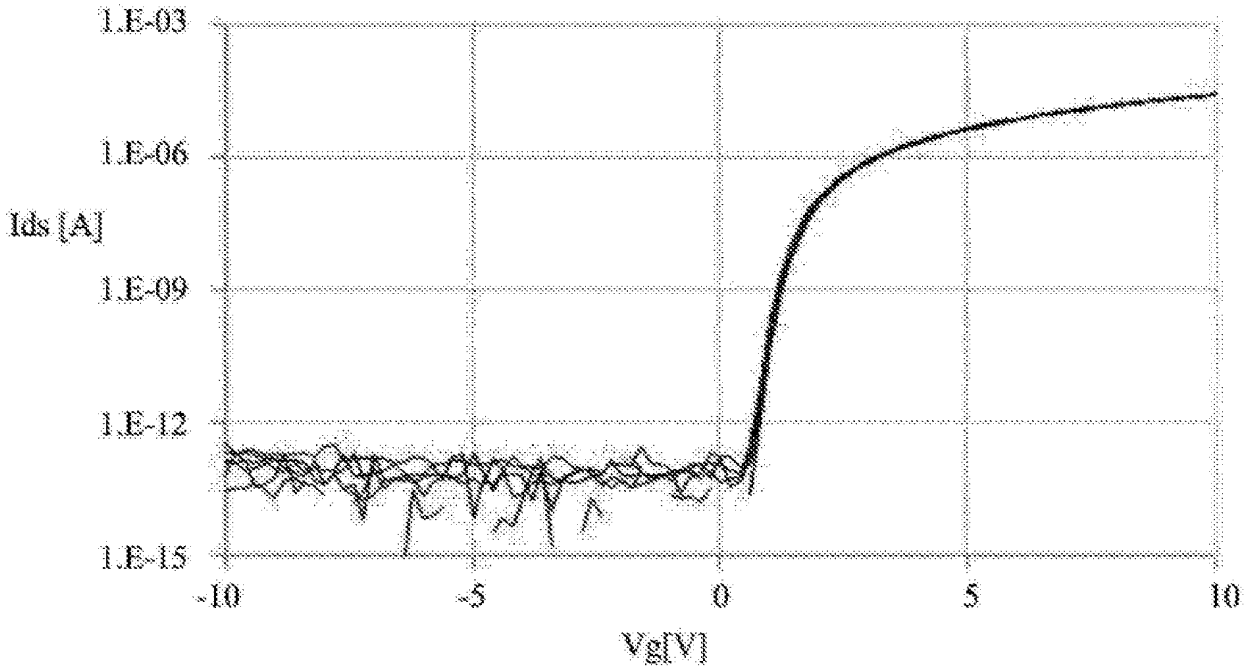


图 13B

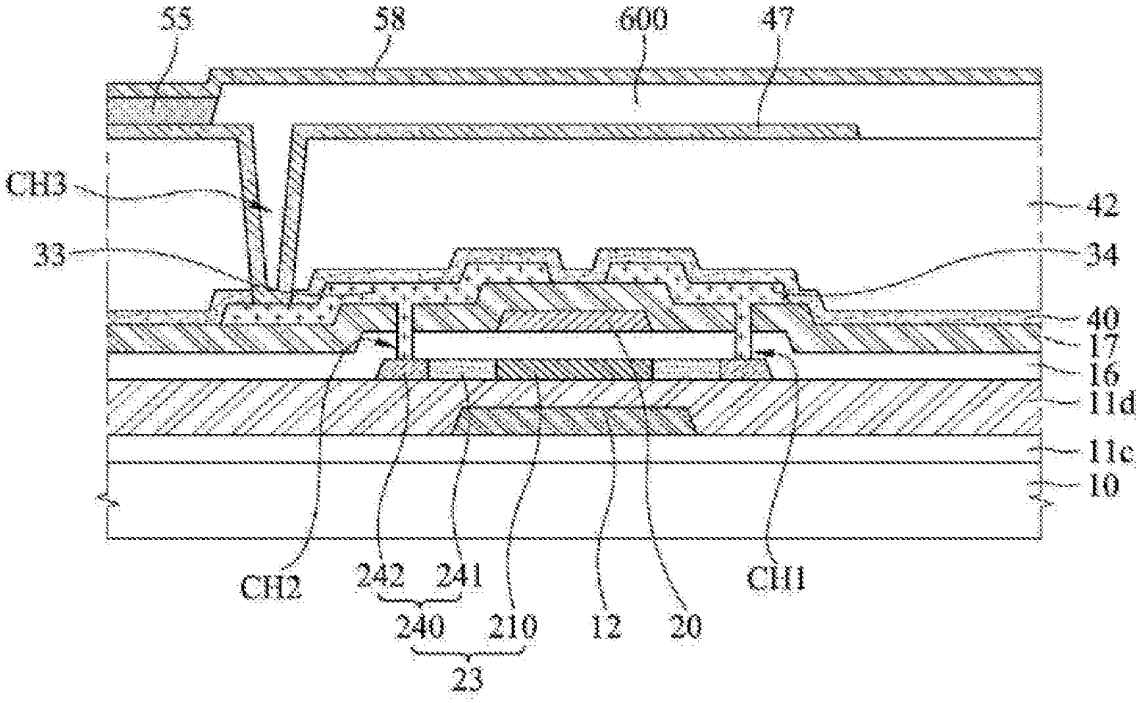


图 14

Petitioner Samsung Ex-1004, 0187

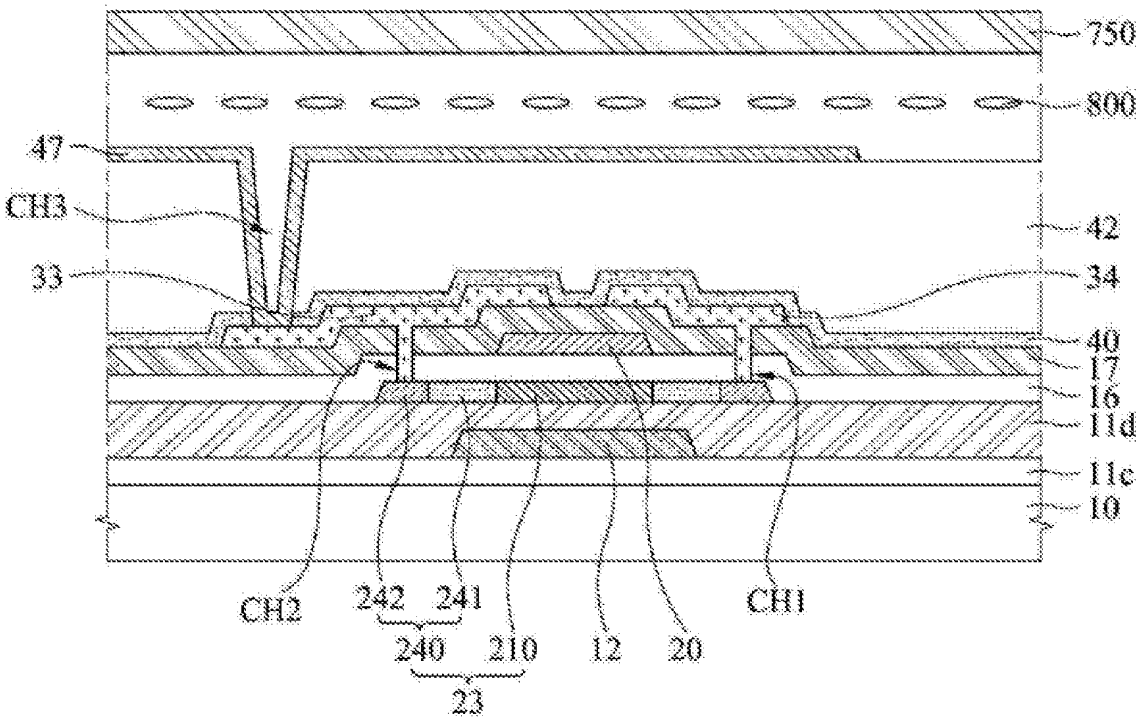


图 15

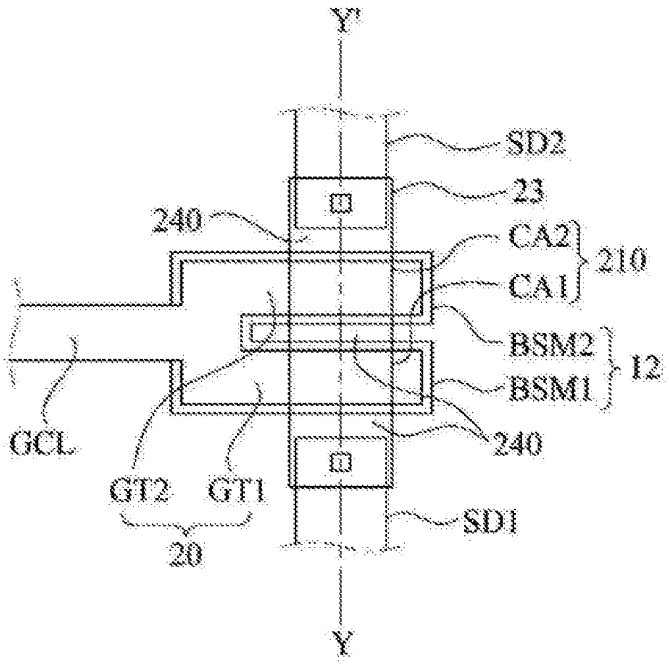


图 16

Petitioner Samsung Ex-1004, 0188

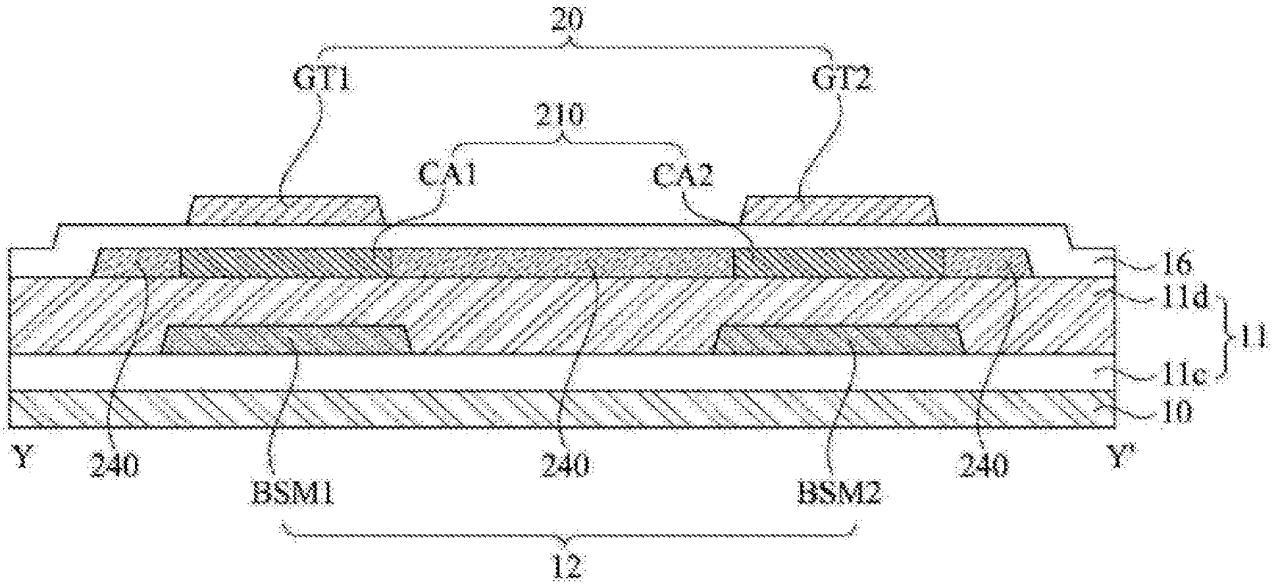


图 17

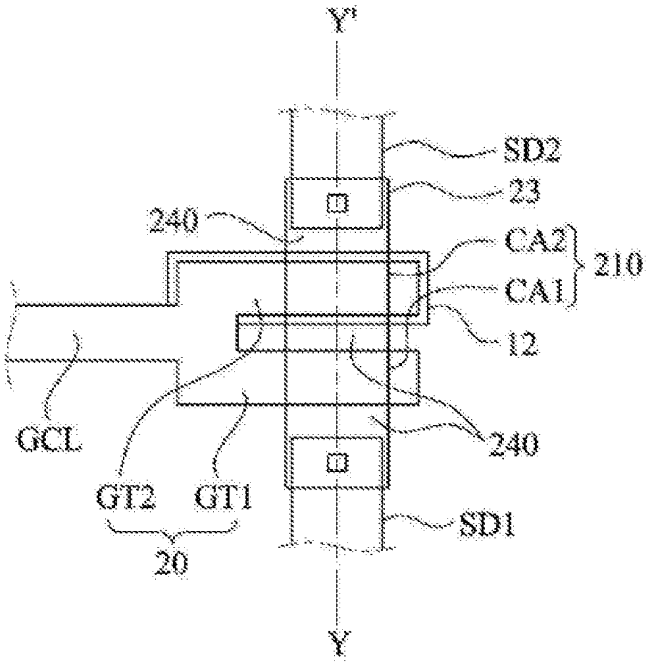


图 18

Petitioner Samsung Ex-1004, 0189

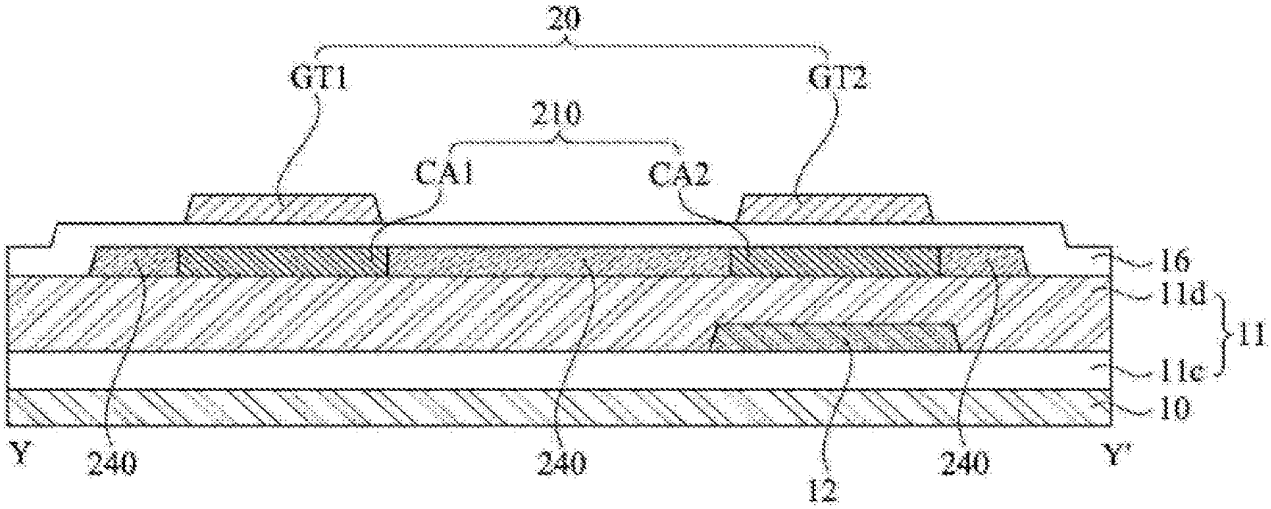


图 19

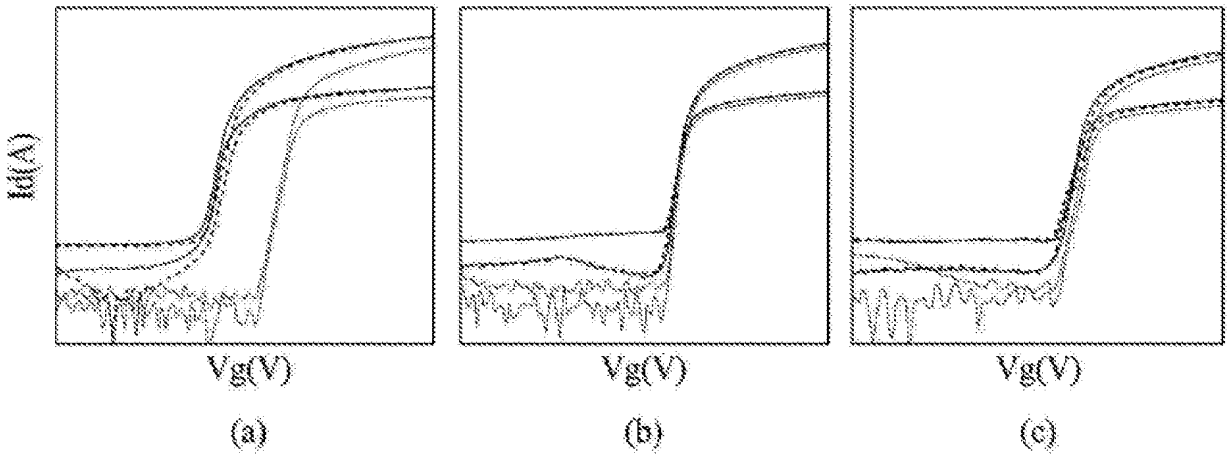


图 20

Petitioner Samsung Ex-1004, 0190

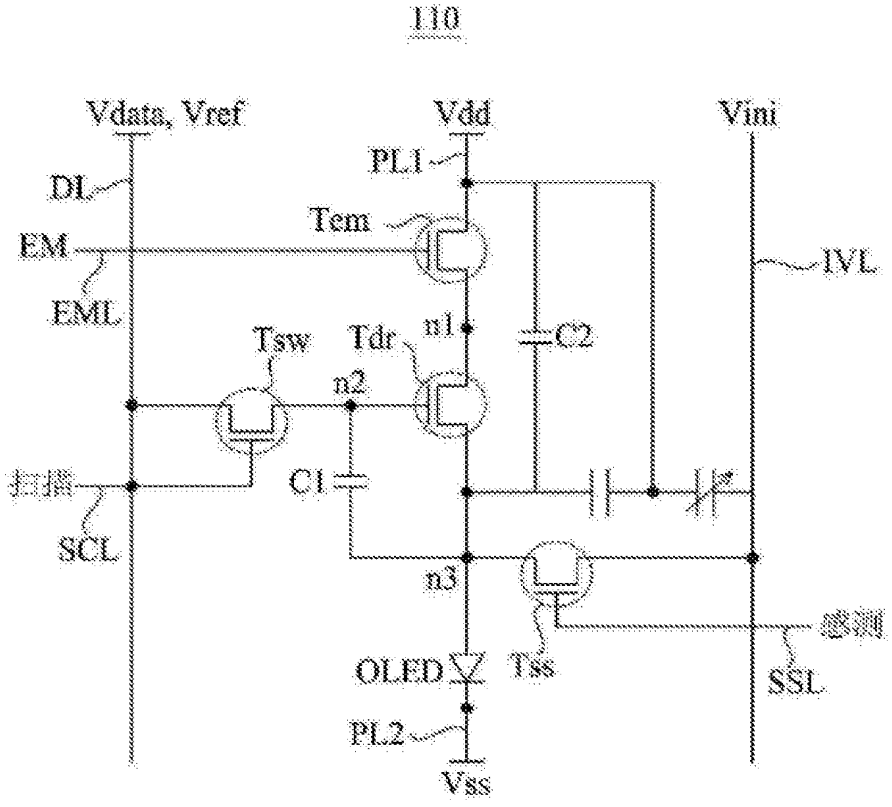


图 21

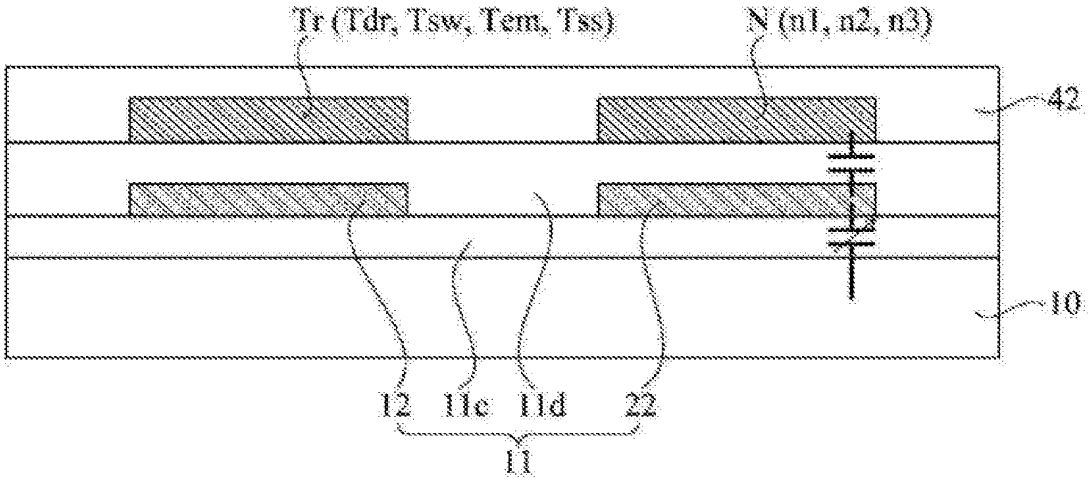


图 22

Petitioner Samsung Ex-1004, 0191

Abstract of CN112310044 (A)

A display substrate, a preparation method thereof and a display device are provided, wherein the display substrate comprises: the metal-clad plate comprises a substrate, a first metal layer, a second metal layer and a third metal layer, wherein the first metal layer, the second metal layer and the third metal layer are sequentially arranged on the substrate; the testing device comprises a first metal layer and a second metal layer, and is characterized by further comprising a first testing pad arranged on the first metal layer, wherein the first testing pad is connected to a plurality of data lines arranged on the second metal layer through a plurality of first outgoing lines respectively, at least one first outgoing line comprises a first outgoing line, a second outgoing line and a third outgoing line which are connected in sequence, the first outgoing line and the third outgoing line are arranged on the first metal layer, and the second outgoing line is arranged on the third metal layer. According to the scheme provided by the embodiment, the first outgoing line is set to be the multi-section outgoing line, and the static electricity accumulated by the test bonding pad is prevented from being conducted to the position connected with the data line subsequently through the via hole lap joint, so that the display effect is prevented from being influenced.

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 112310044 A
(43)申请公布日 2021.02.02

(21)申请号 202011187577.X

(22)申请日 2020.10.29

(71)申请人 合肥京东方显示技术有限公司
地址 230012 安徽省合肥市新站区新站工业物流园内A组团E区15幢综合楼
申请人 京东方科技集团股份有限公司

(72)发明人 赵立星 高锦成 钱海蛟 陈亮 汪涛 刘泽旭 陈凯

(74)专利代理机构 北京安信方达知识产权代理有限公司 11262
代理人 解婷婷 曲鹏

(51)Int.Cl.
H01L 23/544(2006.01)
H01L 27/12(2006.01)
H01L 21/84(2006.01)

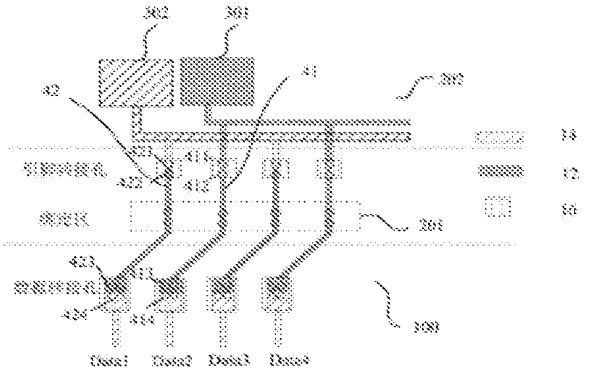
权利要求书2页 说明书9页 附图5页

(54)发明名称

一种显示基板及其制备方法、显示装置

(57)摘要

一种显示基板及其制备方法、显示装置，所述显示基板包括：基底、依次设置在所述基底上的第一金属层，第二金属层和第三金属层；还包括设置在所述第一金属层的第一测试焊盘，所述第一测试焊盘通过多条第一引出线分别连接至多条设置在第二金属层的数据线，其中，至少存在一条第一引出线包括依次连接的第一引出子线、第二引出子线和第三引出子线，所述第一引出子线和所述第三引出子线设置在所述第一金属层，所述第二引出子线设置在所述第三金属层。本实施例提供的方案，通过将第一引出线设置为多段引出子线，并通过过孔搭接，防止测试焊盘累加的静电传导到后续与数据线连接的位置，影响显示效果。



CN 112310044 A

Petitioner Samsung Ex-1004, 0193

1.一种显示基板，其特征在于，在平行于所述显示基板的平面上，所述显示基板包括显示区和围绕显示区的外围区，所述显示区包括多条数据线，所述外围区包括测试区，所述测试区包括第一测试焊盘，在垂直于所述显示基板的方向上，所述显示基板包括基底、依次设置在所述基底上的第一金属层、第二金属层和第三金属层；所述第一测试焊盘设置在所述第一金属层，所述数据线设置在所述第二金属层，所述第一测试焊盘通过多条第一引出线分别连接至多条所述数据线，其中，至少存在一条第一引出线包括依次连接的第一引出子线、第二引出子线和第三引出子线，所述第一引出子线的一端连接所述第一测试焊盘，另一端通过第一过孔连接到所述第二引出子线，所述第二引出子线通过第二过孔连接到所述第三引出子线，所述第三引出子线连接到所述数据线；所述第一引出子线和所述第三引出子线设置在所述第一金属层，所述第二引出子线设置在所述第三金属层。

2.根据权利要求1所述的显示基板，其特征在于，所述显示基板还包括位于所述测试区和所述显示区之间的绑定区，所述第一过孔和所述第二过孔设置在所述绑定区和所述测试区之间。

3.根据权利要求1所述的显示基板，其特征在于，所述第一金属层包括栅电极层，所述第二金属层包括源漏电极层，所述第三金属层包括阳极层；所述显示区包括多个子像素，所述栅电极层包括所述子像素的栅电极，所述源漏电极层包括所述子像素的源电极和漏电极，所述阳极层包括所述子像素的阳极。

4.根据权利要求1所述的显示基板，其特征在于，所述第一测试焊盘通过所述多条第一引出线分别与偶数列的所述数据线连接。

5.根据权利要求1所述的显示基板，其特征在于，在平行于所述基底的平面上，所述第一过孔的正投影和所述第二过孔的正投影位于所述第一引出子线的延伸方向上。

6.根据权利要求1所述的显示基板，其特征在于，所述显示基板还包括第一数据转接孔、第二数据转接孔和设置在所述第三金属层的第一数据引线，所述第三引出子线通过所述第一数据转接孔连接到所述第一数据引线，所述第一数据引线通过所述第二数据转接孔连接到所述数据线。

7.根据权利要求1至6任一所述的显示基板，其特征在于，所述测试区还包括第二测试焊盘，所述第二测试焊盘通过多条第二引出线分别与奇数列的所述数据线连接，所述第二测试焊盘设置在所述第二金属层，所述第二引出线包括第四引出子线、第五引出子线和第六引出子线，所述第四引出子线设置在所述第二金属层，所述第五引出子线设置在所述第三金属层，所述第六引出子线设置在所述第一金属层，所述第四引出子线一端连接到所述第二测试焊盘，另一端通过第三过孔连接到所述第五引出子线，所述第五引出子线通过第四过孔连接到所述第六引出子线。

8.一种显示装置，其特征在于，包括如权利要求1至7任一所述的显示基板。

9.一种显示基板的制备方法，在平行于所述显示基板的平面上，所述显示基板包括显示区和围绕显示区的外围区，所述显示区包括多条数据线，所述外围区包括测试区，所述测试区包括第一测试焊盘，所述第一测试焊盘通过多条第一引出线分别连接至多条数据线，其中，至少存在一条第一引出线包括依次连接的第一引出子线、第二引出子线和第三引出子线，所述制备方法包括：

在基底上形成第一金属层；所述第一金属层包括设置在所述测试区的第一测试焊盘，

Petitioner Samsung Ex-1004, 0194

还包括，第一引出子线和第三引出子线，所述第一引出子线与所述第一测试焊盘连接；

在所述第一金属层远离所述基底一侧形成第二金属层，所述第二金属层包括设置在显示区的多条数据线；

在所述第二金属层远离所述基底一侧形成设置有暴露所述第一引出子线的第一过孔，暴露所述第三引出子线的第二过孔的绝缘层；

在所述绝缘层远离所述基底一侧形成第三金属层，所述第三金属层包括第二引出子线，所述第二引出子线通过所述第一过孔与所述第一引出子线连接，所述第二引出子线通过所述第二过孔与所述第三引出子线连接。

10.根据权利要求9所述的显示基板的制备方法，其特征在于，所述显示基板还包括位于所述测试区和所述显示区之间的绑定区，所述第一过孔和所述第二过孔设置在所述绑定区和所述测试区之间。

Petitioner Samsung Ex-1004, 0195

一种显示基板及其制备方法、显示装置

技术领域

[0001] 本申请实施例涉及但不限于显示技术，尤指一种显示基板及其制备方法、显示装置。

背景技术

[0002] 在目前主流的显示面板中，阵列基板是控制像素亮暗的关键组成，阵列基板包括像素区和外围金属走线(如阵列基板栅极驱动(GOA)、公共电压(Vcom)、时钟(CLK)和扇出区(Fanout)等等)，外围金属走线通过栅极层(Gate)和源漏电极层(SD)金属图案化工艺制备。阵列基板完成后要经过阵列测试工序以判断有无驱动性不良，因此在阵列基板外围存在对应不同信号线的测试焊盘(Pad)。

发明内容

[0003] 以下是对本文详细描述的主题的概述。本概述并非是为了限制权利要求的保护范围。

[0004] 一方面，本申请实施例提供了一种显示基板，包括：在平行于所述显示基板的平面上，所述显示基板包括显示区和围绕显示区的外围区，所述显示区包括多条数据线，所述外围区包括测试区，所述测试区包括第一测试焊盘，所述第一测试焊盘与部分所述数据线连接，在垂直于所述显示基板的方向上，所述显示基板包括基底、依次设置在所述基底上的第一金属层、第二金属层和第三金属层；所述第一测试焊盘设置在所述第一金属层，所述数据线设置在所述第二金属层，所述第一测试焊盘通过多条第一引出线分别连接至多条数据线，其中，至少存在一条第一引出线包括依次连接的第一引出子线、第二引出子线和第三引出子线，所述第一引出子线的一端连接所述第一测试焊盘，另一端通过第一过孔连接到所述第二引出子线，所述第二引出子线通过第二过孔连接到所述第三引出子线，所述第三引出子线连接到所述数据线；所述第一引出子线和所述第三引出子线设置在所述第一金属层，所述第二引出子线设置在所述第三金属层。

[0005] 在一示例性实施例中，所述显示基板还包括位于所述测试区和所述显示区之间的绑定区，所述第一过孔和所述第二过孔设置在所述绑定区和所述测试区之间。

[0006] 在一示例性实施例中，所述第一金属层包括栅电极层，所述第二金属层包括源漏电极层，所述第三金属层包括阳极层；所述显示区包括多个子像素，所述栅电极层包括所述子像素的栅电极，所述源漏电极层包括所述子像素的源电极和漏电极，所述阳极层包括所述子像素的阳极。

[0007] 在一示例性实施例中，所述第一测试焊盘通过所述多条第一引出线分别与偶数列的所述数据线连接。

[0008] 在一示例性实施例中，在平行于所述基底的平面上，所述第一过孔和所述第二过孔的正投影位于所述第一引出子线的延伸方向上。

[0009] 在一示例性实施例中，所述显示基板还包括第一数据转接孔、第二数据转接孔和

Petitioner Samsung Ex-1004, 0196

设置在所述第三金属层的第一数据引线，所述第三引出子线通过所述第一数据转接孔连接到所述第一数据引线，所述第一数据引线通过所述第二数据转接孔连接到所述数据线。

[0010] 在一示例性实施例中，所述测试区还包括第二测试焊盘，所述第二测试焊盘通过多条第二引出线分别与奇数列的所述数据线连接，所述第二测试焊盘设置在所述第二金属层，所述第二引出线包括第四引出子线、第五引出子线和第六引出子线，所述第四引出子线设置在所述第二金属层，所述第五引出子线设置在所述第三金属层，所述第六引出子线设置在所述第一金属层，所述第四引出子线一端连接到所述第二测试焊盘，另一端通过第三过孔连接到所述第五引出子线，所述第五引出子线通过第四过孔连接到所述第六引出子线。

[0011] 另一方面，本申请实施例提供一种显示装置，包括上述显示基板。

[0012] 又一方面，本申请实施例提供一种显示基板的制备方法，在平行于所述显示基板的平面上，所述显示基板包括显示区和围绕显示区的外围区，所述显示区包括多条数据线，所述外围区包括测试区，所述测试区包括第一测试焊盘，所述第一测试焊盘通过多条第一引出线分别连接至多条数据线，其中，至少存在一条第一引出线包括依次连接的第一引出子线、第二引出子线和第三引出子线，所述制备方法包括：

[0013] 在基底上形成第一金属层；所述第一金属层包括设置在所述测试区的第一测试焊盘，还包括，第一引出子线和第三引出子线，所述第一引出子线与所述第一测试焊盘连接；

[0014] 在所述第一金属层远离所述基底一侧形成第二金属层，所述第二金属层包括设置在显示区的多条数据线；

[0015] 在所述第二金属层远离所述基底一侧形成设置有暴露所述第一引出子线的第一过孔，暴露所述第三引出子线的第二过孔的绝缘层；

[0016] 在所述绝缘层远离所述基底一侧形成第三金属层，所述第三金属层包括第二引出子线，所述第二引出子线通过所述第一过孔与所述第一引出子线连接，所述第二引出子线通过所述第二过孔与所述第三引出子线连接。

[0017] 在一示例性实施例中，所述显示基板还包括位于所述测试区和所述显示区之间的绑定区，所述第一过孔和所述第二过孔设置在所述绑定区和所述测试区之间。

[0018] 本申请实施例包括本申请实施例提供了一种显示基板，包括：在平行于所述显示基板的平面上，所述显示基板包括显示区和围绕显示区的外围区，所述显示区包括多条数据线，所述外围区包括测试区，所述测试区包括第一测试焊盘，所述第一测试焊盘与部分所述数据线连接，在垂直于所述显示基板的方向上，所述显示基板包括基底、依次设置在所述基底上的第一金属层、第二金属层和第三金属层；所述第一测试焊盘设置在所述第一金属层，所述数据线设置在所述第二金属层，所述第一测试焊盘通过多条第一引出线分别连接至多条数据线，其中，至少存在一条第一引出线包括依次连接的第一引出子线、第二引出子线和第三引出子线，所述第一引出子线的一端连接所述第一测试焊盘，另一端通过第一过孔连接到所述第二引出子线，所述第二引出子线通过第二过孔连接到所述第三引出子线，所述第三引出子线连接到所述数据线；所述第一引出子线和所述第三引出子线设置在所述第一金属层，所述第二引出子线设置在所述第三金属层。本申请实施例提供的方案，通过将第一引出线打断，避免了将第一测试焊盘的静电传导到与数据线连接的过孔处，导致电阻增大影响显示效果，提高了产品良率。

Petitioner Samsung Ex-1004, 0197

[0019] 本发明的其它特征和优点将在随后的说明书中阐述，并且，部分地从说明书中变得显而易见，或者通过实施本发明而了解。本发明的目的和其他优点可通过在说明书以及附图中所特别指出的结构来实现和获得。

[0020] 在阅读并理解了附图和详细描述后，可以明白其他方面。

附图说明

[0021] 附图用来提供对本发明技术方案的进一步理解，并且构成说明书的一部分，与本申请的实施例一起用于解释本发明的技术方案，并不构成对本发明技术方案的限制。

[0022] 图1为一技术方案提供的显示基板示意图；

[0023] 图2为测试焊盘静电导致数据转接孔电阻变大示意图；

[0024] 图3为本申请实施例提供的显示基板示意图；

[0025] 图4为一实施例提供的第一引出线截面示意图；

[0026] 图5为一实施例提供的数据转接孔电阻示意图；

[0027] 图6为一实施例提供的形成第一引出子线、第二引出子线示意图；

[0028] 图7为一实施例提供的形成第一过孔、第二过孔后的示意图；

[0029] 图8为本申请实施例提供的显示基板的制备方法流程图。

具体实施方式

[0030] 下文中将结合附图对本发明的实施例进行详细说明。在不冲突的情况下，本申请中的实施例及实施例中的特征可以相互任意组合。

[0031] 在附图的流程图示出的步骤可以在诸如一组计算机可执行指令的计算机系统中执行。并且，虽然在流程图中示出了逻辑顺序，但是在某些情况下，可以以不同于此处的顺序执行所示出或描述的步骤。

[0032] 除非另外定义，本公开使用的技术术语或者科学术语应当为本发明所属领域内具有一般技能的人士所理解的通常意义。

[0033] 在附图中，有时为了明确起见，夸大表示了各构成要素的大小、层的厚度或区域。因此，本公开的实施方式并不一定限定于该尺寸，附图中各部件的形状和大小不反映真实比例。此外，附图示意性地示出了理想的例子，本公开的实施方式不局限于附图所示的形状或数值。

[0034] 本公开中的“第一”、“第二”、“第三”等序数词是为了避免构成要素的混同而设置，并不表示任何顺序、数量或者重要性。

[0035] 在本公开中，为了方便起见，使用“中部”、“上”、“下”、“前”、“后”、“竖直”、“水平”、“顶”、“底”、“内”、“外”等指示方位或位置关系的词句以参照附图说明构成要素的位置关系，仅是为了便于描述本说明书和简化描述，而不是指示或暗示所指的装置或元件必须具有特定的方位、以特定的方位构造和操作，因此不能理解为对本公开的限制。构成要素的位置关系根据描述各构成要素的方向适当地改变。因此，不局限于在公开中说明的词句，根据情况可以适当地更换。

[0036] 在本公开中，除非另有明确的规定和限定，术语“安装”、“相连”、“连接”应做广义理解。例如，可以是固定连接，或可拆卸连接，或一体地连接；可以是机械连接，或电连接；可

Petitioner Samsung Ex-1004, 0198

以是直接相连，或通过中间件间接相连，或两个元件内部的连通。对于本领域的普通技术人员而言，可以具体情况理解上述术语在本公开中的具体含义。

[0037] 在本公开中，“电连接”包括构成要素通过具有某种电作用的元件连接在一起的情况。“具有某种电作用的元件”只要可以进行连接的构成要素间的电信号的授受，就对其没有特别的限制。“具有某种电作用的元件”的例子不仅包括电极和布线，而且还包括晶体管等开关元件、电阻器、电感器、电容器、其它具有各种功能的元件等。

[0038] 在本公开中，“膜”和“层”可以相互调换。例如，有时可以将“导电层”换成为“导电膜”。与此同样，有时可以将“绝缘膜”换成为“绝缘层”。

[0039] 阵列测试Pad一般在面板(Panel)最外围，通常位于玻璃载板(Glass)外围或者Panel与Panel之间，容易受到设备干涉积累静电。图1为一技术方案中阵列基板Data(数据)转接孔周边电路示意图。如图1所示，显示基板包括两个测试Pad，DO Pad和DE Pad，分别对应奇数列数据(Data)线与偶数列数据线，以方便在测试时定位不良位置，考虑到跨线连接，DO Pad和DE Pad分别设置在Gate层和SD层。DO Pad通过Data转接孔连接到数据线Data1和Data3(图中的数据线仅为示意，还存在更多数据线未示出)，DE Pad通过Data转接孔连接到数据线Data2和Data4(图中的数据线仅为示意，还存在更多数据线未示出)，Data转接孔包括栅极层金属和源漏电极层金属，通过过孔(VIA)和阳极搭接；DO Pad设置在SD层，DE Pad设置在Gate层，其中DO Pad的引出线在引脚转接孔通过阳极层的引线与Gate层金属走线搭接，Gate层金属走线通过Data转接孔连接到数据线，DE Pad的引出线则直接通过Gate层金属走线与Data转接孔连接，从而连接到数据线。

[0040] 上述连接方式下，与DE Pad连接的Data转接孔容易被导入DE Pad累积的静电，在过孔刻蚀等粒子环境下静电释放造成Data转接孔Gate层金属上层发生电化学氧化行为，增大Data转接孔电阻，导致部分像素充电率不足画面显示异常的问题。图2为与DE Pad连接Data转接孔Gate层金属发生电化学氧化行为示意图。如图2所示，DO Pad包括依次设置的栅绝缘层2、源漏电极层3和钝化层4，DE Pad包括依次设置的栅极层1、栅绝缘层2和钝化层4。奇数列数据转接孔和偶数列数据转接孔所在区域包括依次设置的栅极层1、栅绝缘层2和钝化层4。如图2中的图(a1)所示，阳极层的沉积工序在过孔刻蚀后，因此过孔刻蚀前，未形成阳极层，引脚转接孔不导通，DO Pad的引出线和奇数列数据转接孔所在区域的栅极层1不搭接。当阵列测试Pad区存在静电积累时，DO Pad无法将静电导入奇数列数据转接孔，如图2中图(a2)所示。因此，在过孔刻蚀工序中，奇数列数据转接孔不会因静电造成栅极层金属发生电化学氧化形成生成导电性差的金属氧化物层，如图2中的图(a3)所示。对于DE Pad，DE Pad的引出线通过栅极层的金属导线连接到偶数列数据转接孔，如图2中的图(b1)所示。当DE Pad存在静电积累时，可直接将静电导入偶数列数据转接孔，如图2中的图(b2)所示。在VIA刻蚀等离子(Plasma)环境下释放静电并造成偶数列数据转接孔Gate层金属上层发生电化学氧化行为，生成导电性差的金属氧化物层5，从而增大偶数列数据转接孔电阻，导致部分像素充电率不足画面显示异常的问题，如X薄暗线。

[0041] 图3为本公开实施例提供的一种显示基板的示意图。图4为第一引出线在垂直于所述显示基板的截面示意图。如图3所示，在平行于所述显示基板的平面上，本公开实施例提供的显示基板包括：显示区100和围绕所述显示区100的外围区，所述显示区100包括多条数据线，如图3中所示的数据线Data1至Data4。所述外围区包括包括测试区202，所述测试区

Petitioner Samsung Ex-1004, 0199

202包括第一测试焊盘301，所述第一测试焊盘301与部分所述数据线连接，如图3和4所示，在垂直于所述显示基板的方向上，所述显示基板包括基底10、依次设置在所述基底10上的第一金属层12、第一绝缘层13、第二金属层14、第二绝缘层15和第三金属层16；所述第一测试焊盘301设置在所述第一金属层12，所述数据线设置在所述第二金属层14，所述第一测试焊盘301通过多条第一引出线41分别连接至多条数据线，其中，至少存在一条第一引出线41包括依次连接的第一引出子线121、第二引出子线161和第三引出子线122，所述第一引出子线121的一端连接所述第一测试焊盘301，另一端通过第一过孔411连接到所述第二引出子线161，所述第二引出子线161通过第二过孔412连接到所述第三引出子线122，所述第三引出子线122连接到所述数据线，比如数据线Data2；所述第一引出子线121和所述第三引出子线122设置在所述第一金属层12，所述第二引出子线161设置在所述第三金属层16，其中，所述第三金属层16可以设置为在制备所述第一过孔411和所述第二过孔412后制备。

[0042] 本实施例提供的方案，通过将第一引出线打断成第一引出子线、第二引出子线、第三引出子线，通过第三金属层的第二引出子线连接第一金属层的第一引出子线、第三引出子线，由于第一过孔和第二过孔制备时，第三金属层未制备，即第一引出子线和第三引出子线之间未导通，第一测试焊盘和数据线未连接，避免了将第一测试焊盘累加的静电传导到第一引出线与数据线连接的位置(数据转接孔)处，避免发生电化学氧化行为，使得数据转接孔电阻增大，导致像素充电率不足画面显示异常，提升产品良率。另外，本申请实施例提供的方案，不增加工序，使用现有成熟制备设备即可实现，易于实施。

[0043] 在一示例性实施例中，所述显示基板还包括位于所述测试区202和所述显示区100之间的绑定区201，所述第一过孔411和所述第二过孔412设置在所述绑定区201和所述测试区202之间。但本申请实施例不限于此，第一过孔411和第二过孔412可以设置在其他位置，比如数据转接孔和绑定区201之间的位置，能避免将第一测试焊盘301的静电传导给数据转接孔即可。

[0044] 在一示例性实施例中，在平行于所述基底10的平面上，所述第一过孔411的正投影和所述第二过孔412的正投影位于所述第一引出子线121的延伸方向上，但不限于此，第一过孔411、第二过孔412可以设置在其他位置。

[0045] 在一示例性实施例中，在平行于所述基底的平面上，所述第一过孔411的正投影和所述第二过孔412的正投影位于所述第三引出子线122的延伸方向上，但不限于此，第一过孔411、第二过孔412可以设置在其他位置。

[0046] 在一示例性实施例中，所述第一金属层12可以包括栅电极层，所述第二金属层14可以包括源漏电极层、所述第三金属层13可以包括阳极层；所述显示区包括多个子像素，所述栅电极层包括所述子像素的栅电极，所述源漏电极层包括所述子像素的源电极和漏电极，所述阳极层包括所述子像素的阳极。

[0047] 在另一实施例中，所述栅电极层可以包括第一电容电极，所述第一金属层12可以包括设置在栅电极层远离基底一侧的第二电容电极层，所述第二电容电极层包括第二电容电极，所述第一电容电极和所述第二电容电极构成子像素的像素驱动电路的存储电容。

[0048] 在另一实施例中，所述第二金属层14可以包括设置在所述源漏电极层远离基底一侧的连接电极层，所述连接电极层包括连接电极，所述连接电极通过过孔分别连接到漏电极和阳极，即连接电极实现漏电极和阳极的导通。

Petitioner Samsung Ex-1004, 0200

[0049] 在一示例性实施例中，所述第一测试焊盘301通过所述多条第一引出线41分别与偶数列的所述数据线连接。如图3所示，第一测试焊盘301分别与偶数列的数据线Data2、Data4连接。但本申请实施例不限于此，第一测试焊盘301可以与奇数列的数据线连接，或者，与任意部分或全部数据线连接。

[0050] 在一示例性实施例中，所述显示基板还包括第一数据转接孔413、第二数据转接孔414和设置在所述第三金属层16的第一数据引线(未示出)，所述第三引出子线122通过所述第一数据转接孔413连接到所述第一数据引线，所述第一数据引线通过所述第二数据转接孔414连接到所述数据线。即，第一金属层12的第三引出子线122通过所述第一数据转接孔413连接到第三金属层16的所述第一数据引线，所述第一数据引线通过第二数据转接孔414连接到第二金属层14的数据线。

[0051] 在一示例性实施例中，如图3所示，所述测试区还包括第二测试焊盘302，所述第二测试焊盘302通过多条第二引出线42分别与奇数列的所述数据线连接(比如数据线Data1，Data3)，所述第二测试焊盘302设置在所述第二金属层14，所述第二引出线42包括第四引出子线、第五引出子线和第六引出子线，所述第四引出子线设置在所述第二金属层14，所述第五引出子线设置在所述第三金属层16，所述第六引出子线设置在所述第一金属层12，所述第四引出子线一端连接到所述第二测试焊盘302，另一端通过第三过孔421连接到所述第五引出子线，所述第五引出子线通过第四过孔422连接到所述第六引出子线，所述第三过孔421和所述第四过孔422可以设置在所述测试区202和所述绑定区201之间。

[0052] 在一实施例实施例中，如图3所示，所述显示基板还包括第三数据转接孔423、第四数据转接孔424和设置在所述第三金属层16的第二数据引线(未示出)，所述第六引出子线通过所述第三数据转接孔423连接到所述第二数据引线，所述第二数据引线通过所述第二数据转接孔414连接到所述数据线。即，第一金属层12的第六引出子线通过所述第三数据转接孔423连接到第三金属层16的所述第二数据引线，所述第二数据引线通过第四数据转接孔424连接到第二金属层14的数据线。

[0053] 图5为一实施例提供的采用图1所示方案和图3所示方案时，过孔刻蚀后数据转接孔电阻的示意图。其中实线51是采用图1所示方案数据转接孔的电阻示意图，虚线52是采用图3所示方案数据转接孔的电阻示意图。如图5所示，采用图1所示方案，过孔刻蚀后，偶数列数据转接孔的电阻远超奇数列数据转接孔的电阻(如实线51所示，Data2、Data4、Data6、Data8、Data10的数据转接孔的电阻远超Data1、Data3、Data5、Data7、Data9的数据转接孔的电阻)，采用图3所示方案，过孔刻蚀后，偶数列数据转接孔的电阻与奇数列数据转接孔的电阻差别较小(如虚线52所示，Data2、Data4、Data6、Data8、Data10的数据转接孔的电阻与Data1、Data3、Data5、Data7、Data9的数据转接孔的电阻差别很小)，即采用图3所示方案，可以避免偶数列数据转接孔电阻增大，影响显示效果，提升了产品良率。

[0054] 下面通过显示基板的制备过程说明本实施例显示基板的结构。其中，本发明实施例所说的“构图工艺”包括沉积膜层、涂覆光刻胶、掩模曝光、显影、刻蚀和剥离光刻胶等处理。沉积可以采用选自溅射、蒸镀和化学气相沉积中的任意一种或多种，涂覆可以采用选自喷涂和旋涂中的任意一种或多种，刻蚀可以采用选自干刻和湿刻中的任意一种或多种。“薄膜”是指将某一种材料在基底上利用沉积或涂覆工艺制作出的一层薄膜。若在整个制作过程当中该“薄膜”无需构图工艺，则该“薄膜”还可以称为“层”。当在整个制作过程当中该“薄

Petitioner Samsung Ex-1004, 0201

膜"还需构图工艺，则在构图工艺前称为"薄膜"，构图工艺后称为"层"。经过构图工艺后的"层"中包含至少一个"图案"。本发明实施例中所说的"A和B同层设置"是指，A和B通过同一次构图工艺同时形成。

[0055] 本实施例提供的显示基板的制备过程包括：

[0056] (1)在玻璃载板1上涂布柔性材料，固化成膜，形成基底10。本实施例中，基底10可以为柔性基底。柔性材料可以采用聚酰亚胺PI、聚对苯二甲酸乙二酯PET或经表面处理的聚合物软膜等材料。在示例性实施方式中，基底10可以是单层结构，也可以是多层的叠层结构。叠层结构的基底可以包括：柔性材料/无机材料/柔性材料，柔性材料/无机材料/非晶硅/柔性材料/无机材料等，无机材料可以为阻挡(Barrier)薄膜，如氮化硅(SiNx)或氧化硅(SiOx)等，用于提高基底的抗水氧能力。以PI/Barrier/PI/Barrier叠层结构为例，其制备过程可以包括：先在玻璃载板上涂布一层聚酰亚胺，固化成膜后沉积一层阻挡薄膜，然后在阻挡薄膜上再涂布一层聚酰亚胺，固化成膜后再沉积一层阻挡薄膜，形成叠层结构的柔性基底。

[0057] (2)在基底上制备第一测试焊盘、第一引出子线、第三引出子线。

[0058] 在基底10上依次沉积有源层薄膜，通过构图工艺对有源层薄膜进行构图，形成设置在基底10上的有源层(未示出)图案，有源层形成在显示区100。

[0059] 随后，依次沉积第三绝缘薄膜和第一金属薄膜，通过构图工艺对第一金属薄膜进行构图，形成第三绝缘层以及设置在第三绝缘层上的第一金属层12图案，第一金属层12图案形成在显示区100和外围区，至少包括栅电极(未示出)、第一电容电极(未示出)、第一测试焊盘301(未示出)、第一引出子线、第三引出子线、第六引出子线，如图6所示。

[0060] (3)依次沉积第一绝缘薄膜和第四金属薄膜，通过构图工艺对第四金属薄膜进行构图，形成第一绝缘子层以及设置在第一绝缘子层上的第二栅金属层图案，第二栅金属层图案至少包括第二电容电极，第二电容电极的位置与第一电容电极的位置相对应。

[0061] (4)沉积第二绝缘薄膜，通过构图工艺对第二绝缘薄膜进行构图，形成第二绝缘子层图案，第一绝缘子层和第二绝缘子层构成第一绝缘层13，第一绝缘层13开设有暴露有源层的过孔。

[0062] (5)沉积第二金属薄膜，通过构图工艺对第二金属薄膜进行构图，在第一绝缘层13上形成第二金属层14(未示出)，第二金属层14至少包括源电极(未示出)、漏电极(未示出)、数据线(未示出)、第二测试焊盘302(未示出)、第四引出子线(未示出)。

[0063] (6)在形成前述图案的基底上涂覆第三绝缘薄膜，通过掩膜、曝光、显影工艺，形成第二绝缘层15，第二绝缘层15开设有第一过孔和第二过孔，分别暴露所述第一引出子线、第三引出子线，以及，开设有第三过孔(未示出)和第四过孔(未示出)，分别暴露出所述第四引出子线(未示出)、第六引出子线(未示出)，如图7所示；

[0064] (7)在形成前述图案的基底上沉积透明导电薄膜，通过构图工艺对透明导电薄膜进行构图，在第二绝缘层15上形成第三金属层16图案，第三金属层16包括形成在显示区域的阳极(未示出)、形成在测试区202和绑定区201之间的第二引出子线161、第五引出子线(未示出)。其中，透明导电薄膜可以采用氧化铟锡(ITO)或氧化铟锌(IZO)，如图4所示。第二引出子线161、第五引出子线可以与阳极使用不同的材料制备。

[0065] 后续制备像素定义层、有机发光层、阴极层、封装层等，不再赘述。

Petitioner Samsung Ex-1004, 0202

[0066] 本申请实施例中，第一绝缘薄膜、第二绝缘薄膜、第三绝缘薄膜可以采用硅氧化物SiOx、硅氮化物SiNx、氮氧化硅SiON等，可以是单层结构，也可以是多层复合结构。第一金属薄膜、第二金属薄膜、第三金属薄膜、第四金属薄膜可以采用金属材料，如银Ag、铜Cu、铝Al、钼Mo等，或上述金属的合金材料，如铝钕合金AlNd、钼铌合金MoNb等，可以是单层结构，也可以是多层复合结构，如Mo/Cu/Mo等。有源层薄膜可以采用非晶态氧化铟镓锌材料a-IGZO、氮氧化锌ZnON、氧化铟锌锡IZTO，非晶硅a-Si、多晶硅p-Si、六噻吩、聚噻吩等材料。

[0067] 本实施例所示结构及其制备过程仅仅是一种示例性说明。实际实施时，可以根据实际需要变更相应结构以及增加或减少构图工艺。比如，可以增加在第二金属层和第三金属层之间制备连接电极的工艺，又比如，显示区可以是顶栅结构，或者，底栅结构等等。

[0068] 本申请实施例提供的显示基板，将第一金属层的第一测试焊盘与数据线的连接线打断，分出两个引出子线，并设置用第三金属层搭接的过孔，解决第一金属层的第一测试焊盘在设备干涉下积累静电并导入与数据线连接处的数据线转接孔，在过孔刻蚀等离子环境下静电释放造成数据转接孔第一金属层金属上层发生电化学氧化行为，增大数据转接孔电阻，导致部分像素充电率不足画面显示异常的问题，提升产品良率。此外，本实施例的制备工艺利用现有成熟的制备设备即可实现，对现有工艺改进较小，能够很好地与现有制备工艺兼容，因此具有制作成本低、易于工艺实现、生产效率高和良品率高等优点。本实施例有效解决了静电传导导致的画面显示异常问题，具有实际应用价值，具有良好的应用前景。

[0069] 图8为本申请实施例提供的一种显示基板的制备方法流程图。在平行于所述显示基板的平面上，所述显示基板包括显示区和围绕显示区的外围区，所述显示区包括多条数据线，所述外围区包括测试区，所述测试区包括第一测试焊盘，所述第一测试焊盘通过多条第一引出线分别连接至多条数据线，其中，至少存在一条第一引出线包括依次连接的第一引出子线、第二引出子线和第三引出子线，如图8所示，所述制备方法包括：

[0070] 步骤801，在基底上形成第一金属层；所述第一金属层包括设置在所述测试区的第一测试焊盘，还包括，第一引出子线和第三引出子线，所述第一引出子线与所述第一测试焊盘连接；

[0071] 步骤802，在所述第一金属层远离所述基底一侧形成第二金属层，所述第二金属层包括设置在显示区的多条数据线；

[0072] 步骤803，在所述第二金属层远离所述基底一侧形成设置有暴露所述第一引出子线的第一过孔、暴露所述第三引出子线的第二过孔的绝缘层；

[0073] 步骤804，在所述绝缘层远离所述基底一侧形成第三金属层，所述第三金属层包括第二引出子线，所述第二引出子线通过所述第一过孔与所述第一引出子线连接，所述第二引出子线通过所述第二过孔与所述第三引出子线连接。

[0074] 在一示例性实施例中，所述显示基板还包括位于所述测试区和所述显示区之间的绑定区，所述第一过孔和所述第二过孔设置在所述绑定区和所述测试区之间。

[0075] 本公开还提供了一种显示装置，包括前述实施例的显示基板。显示装置可以为：手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0076] 虽然本发明所揭露的实施方式如上，但所述的内容仅为便于理解本发明而采用的实施方式，并非用以限定本发明。任何本发明所属领域内的技术人员，在不脱离本发明所揭

Petitioner Samsung Ex-1004, 0203

露的精神和范围的前提下，可以在实施的形式及细节上进行任何的修改与变化，但本发明的专利保护范围，仍须以所附的权利要求书所界定的范围为准。

Petitioner Samsung Ex-1004, 0204

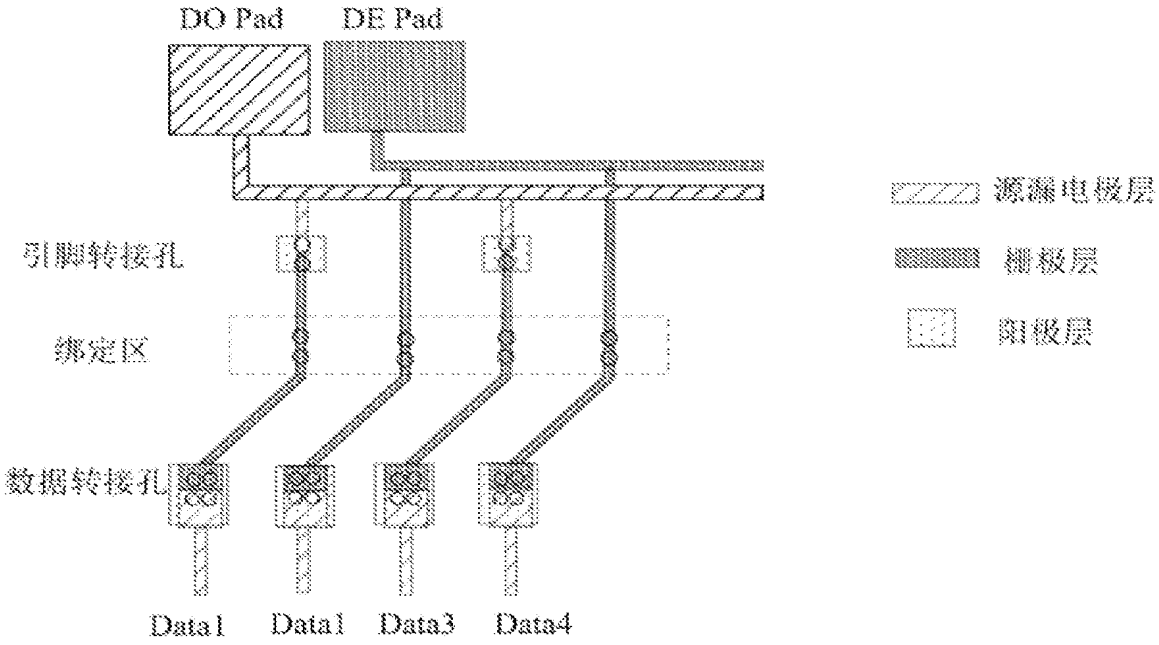


图1

Petitioner Samsung Ex-1004, 0205

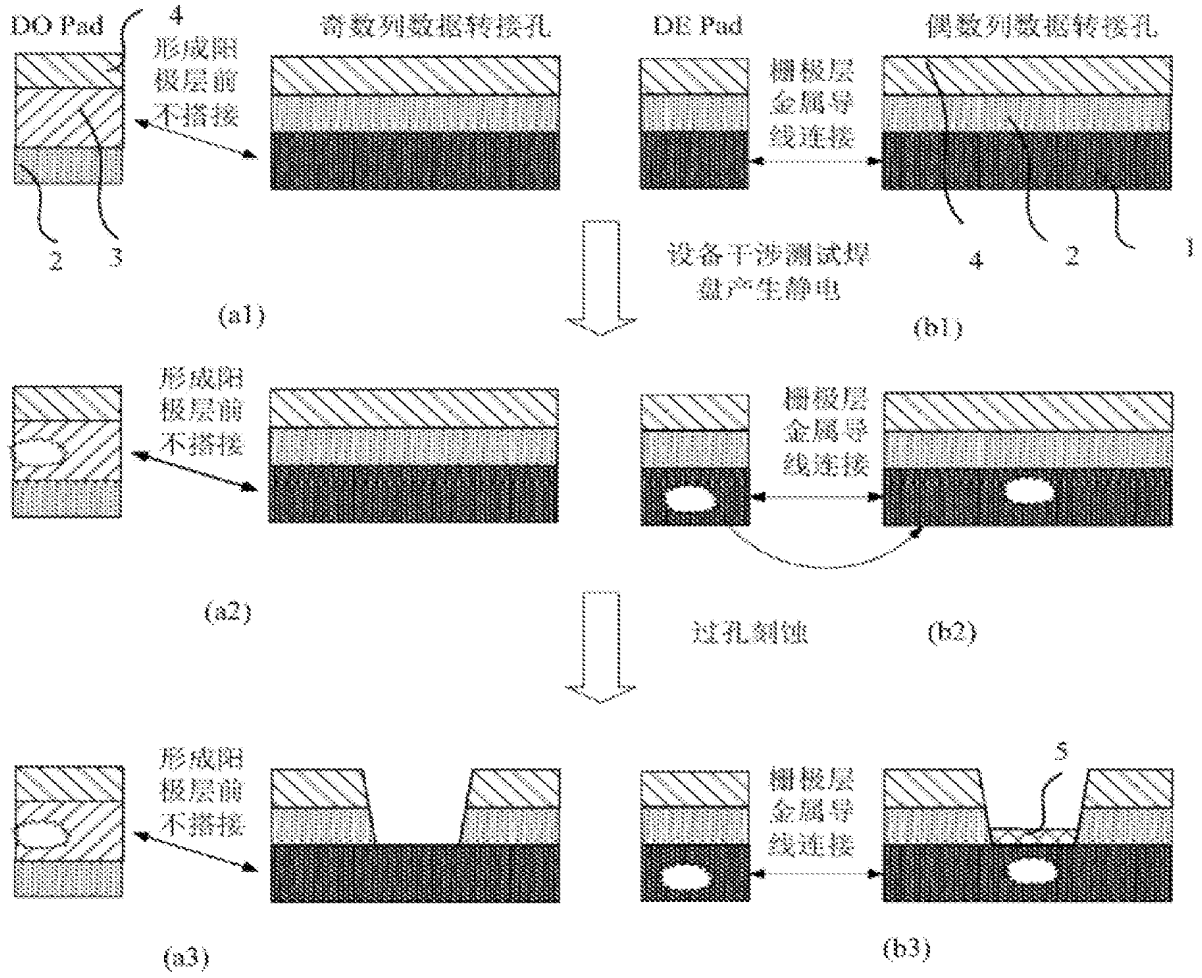


图2

Petitioner Samsung Ex-1004, 0206

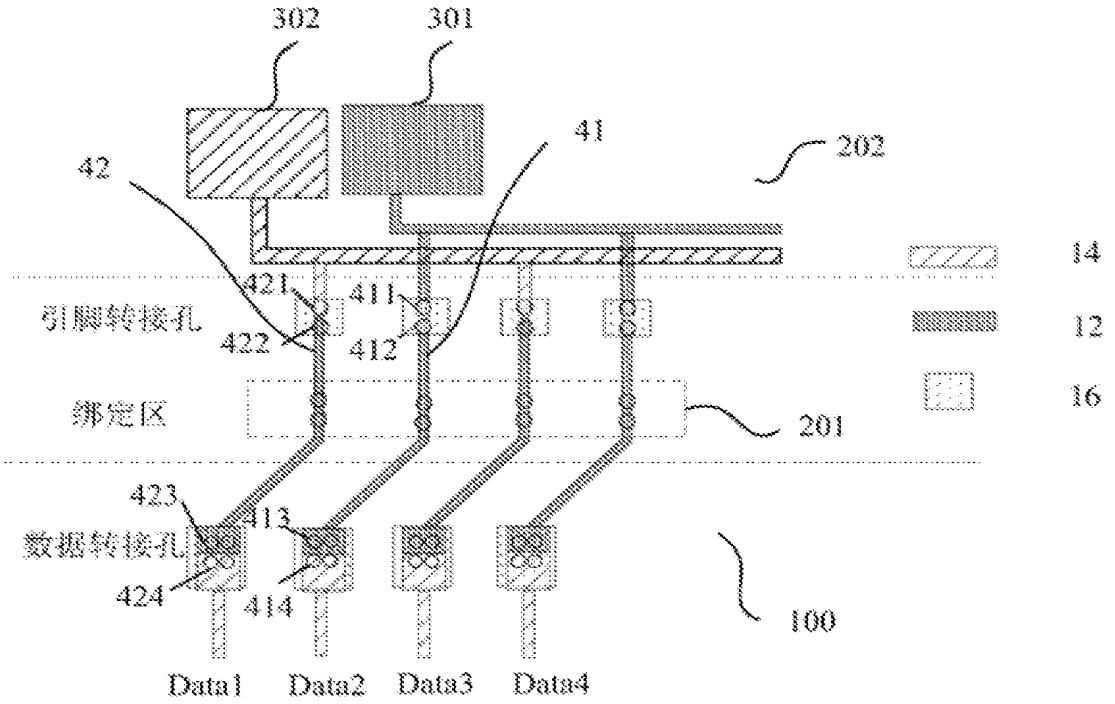


图3

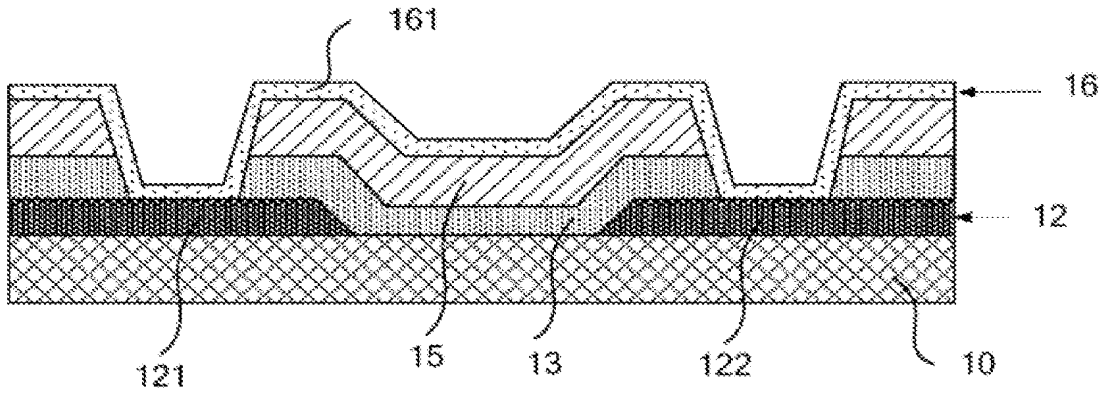


图4

Petitioner Samsung Ex-1004, 0207

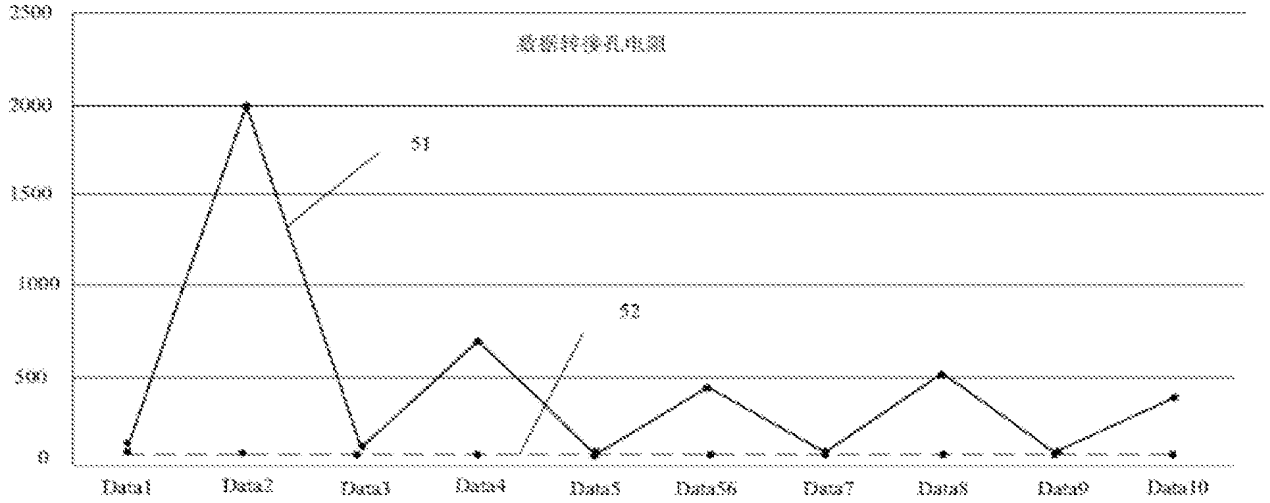


图5

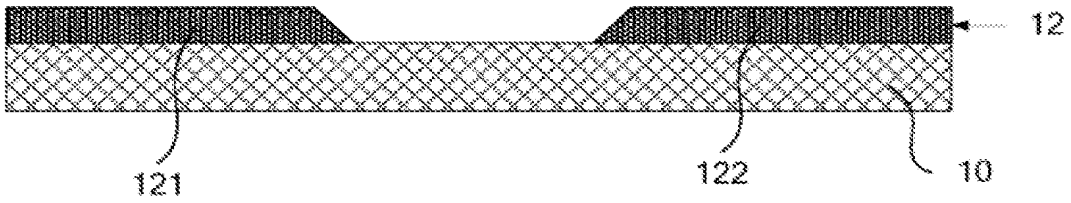


图6

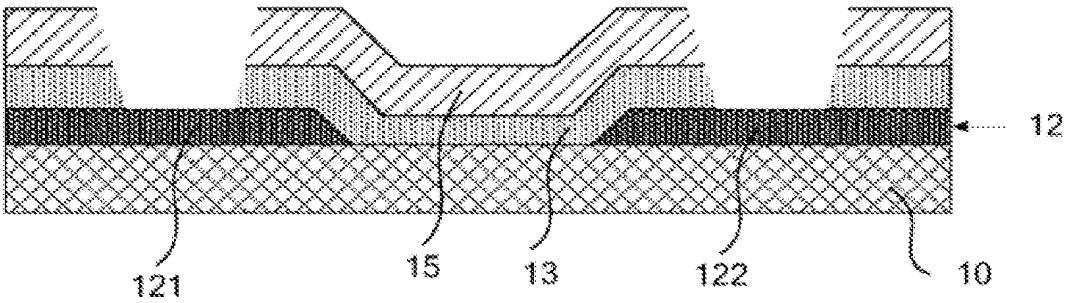


图7

Petitioner Samsung Ex-1004, 0208

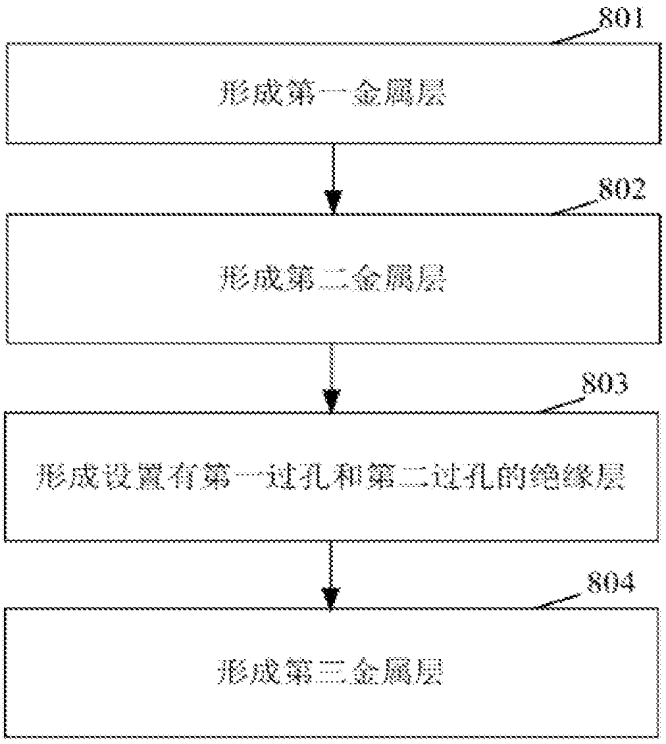


图8

Petitioner Samsung Ex-1004, 0209

Abstract of CN112670304 (A)
The invention discloses an array substrate and a display panel. The array substrate includes: a substrate; the active layer is arranged on the substrate and comprises a plurality of rows of patterned pixel circuit regions, each row of pixel circuit regions comprises a plurality of rows of connected pixel circuit sub-regions, and the pixel circuit sub-regions are used for forming pixel circuits; the conducting layer is provided with a conducting wire, the conducting wire is connected with the end part of the active layer in at least part of the row pixel circuit areas, on the basis that the normal work of the pixel circuit is not influenced, the accumulated electrostatic charge quantity of the active layers corresponding to different row pixel circuit areas can be uniformly distributed, so that the problem of different threshold voltage bias degrees of the driving transistor formed by the active layers corresponding to different row pixel circuit areas can be solved, the electrostatic protection capability of the display panel is improved, the mura phenomenon of the display panel is improved, and the display uniformity of the display panel is improved.

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 112670304 A
(43)申请公布日 2021.04.16

(21)申请号 202011564155.X

(22)申请日 2020.12.25

(71)申请人 昆山国显光电有限公司
地址 215300 江苏省苏州市昆山市开发区龙腾路1号4幢

(72)发明人 彭兆基 张成成 朱正勇 马志丽 朱雪婧

(74)专利代理机构 北京远智汇知识产权代理有限公司 11659
代理人 范坤坤

(51)Int.Cl.
H01L 27/12(2006.01)

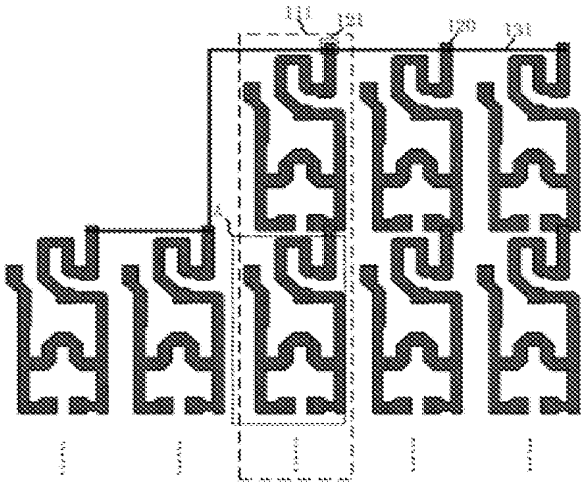
权利要求书2页 说明书8页 附图10页

(54)发明名称

阵列基板和显示面板

(57)摘要

本发明公开了一种阵列基板和显示面板。该阵列基板包括：基板；有源层，设置于基板上，有源层包括多列图案化的像素电路区，每列像素电路区包括多行连接的像素电路子区，像素电路子区用于形成像素电路；导电层，设置有导电线，导电线与至少部分列像素电路区内的有源层的端部连接，在不影响像素电路正常工作的基础上，可以使不同列像素电路区对应的有源层积累的静电电荷量分布均匀，从而可以改善不同列像素电路区对应的有源层形成的驱动晶体管的阈值电压偏置程度不同的问题，提高了显示面板的静电防护能力，改善了显示面板的mura现象，提高了显示面板的显示均一性。



CN 112670304 A

Petitioner Samsung Ex-1004, 0211

1.一种阵列基板，其特征在于，包括：

基板；

有源层，设置于所述基板上，所述有源层包括多列图案化的像素电路区，每列所述像素电路区包括多行连接的像素电路子区，所述像素电路子区用于形成像素电路；

导电层，设置有导电线，所述导电线与至少部分列所述像素电路区内的有源层的端部连接。

2.根据权利要求1所述的阵列基板，其特征在于，所述基板包括显示区和围绕所述显示区的非显示区；

每列所述像素电路区内的有源层的端部设置于所述非显示区，所述导电线设置于所述非显示区，所述导电线与每列所述像素电路区内的有源层的端部连接。

3.根据权利要求1所述的阵列基板，其特征在于，所述基板包括显示区、透光区和非显示区；所述显示区至少部分围绕所述透光区，所述非显示区至少部分围绕所述显示区；沿列方向，与所述透光区相对的所述像素电路区内的有源层在所述透光区具有第一端部和第二端部；每列所述像素电路区内的有源层在所述非显示区具有第三端部和第四端部；

所述导电线设置于所述非显示区和/或所述透光区，所述导电线与每列所述像素电路区内的有源层的端部连接。

4.根据权利要求3所述的阵列基板，其特征在于，沿列方向，所述第一端部位于所述透光区靠近所述第三端部的一侧，所述第二端部位于所述透光区靠近所述第四端部的一侧；所述导电线包括第一导电线和第二导电线；所述第一导电线设置于所述非显示区，所述第一导电线与所有列所述像素电路区内的有源层的第三端部连接；所述第二导电线设置于所述透光区，所述第二导电线与所述透光区相对的所述像素电路区内的有源层的第二端部连接；或者，

所述第一导电线与所有列所述像素电路区内的有源层的第四端部连接，所述第二导电线与所述透光区相对的所述像素电路区内的有源层的第一端部连接。

5.根据权利要求1-4任一项所述的阵列基板，其特征在于，所述有源层还包括连接区，所述连接区内的有源层复用为所述导电层；

优选地，所述连接区内的有源层掺杂形成所述导电线。

6.根据权利要求1-4任一项所述的阵列基板，其特征在于，还包括：

金属层，设置于所述有源层远离所述基板的一侧，所述金属层复用为所述导电层，所述金属层通过过孔与所述像素电路区内的有源层的端部连接。

7.根据权利要求6所述的阵列基板，其特征在于，所述金属层包括第一金属层、第二金属层和第三金属层；

所述第一金属层设置于所述有源层远离所述基板的一侧，所述第一金属层设置有所述像素电路中晶体管的栅极，所述第二金属层设置于所述第一金属层远离所述基板的一侧，所述第二金属层设置有所述像素电路中电容的极板，所述第三金属层设置于所述第二金属层远离所述基板的一侧，所述第三金属层设置有所述像素电路中晶体管的源极和漏极；

优选地，所述第三金属层复用为所述导电层。

8.根据权利要求7所述的阵列基板，其特征在于，还包括绝缘层，设置于相邻所述金属层之间，所述绝缘层中设置有过孔；所述过孔内填充有导电物质，所述导电物质电连接所述

Petitioner Samsung Ex-1004, 0212

导电线和所述像素电路区内的有源层的端部。

9.根据权利要求6所述的阵列基板，其特征在于，所述金属层还包括信号线，所述信号线与所述导电线连接，用于为所述导电线提供稳定电位。

10.一种显示面板，其特征在于，包括权利要求1-9任一项所述的阵列基板。

Petitioner Samsung Ex-1004, 0213

阵列基板和显示面板

技术领域

[0001] 本发明实施例涉及显示技术领域，尤其涉及一种阵列基板和显示面板。

背景技术

[0002] 在显示面板的制作过程和使用过程中，存在静电积累和静电释放的现象。由于显示面板内不同列的像素单元的静电电荷积累量不同，导致显示面板不同列像素单元的显示亮度不同，造成显示面板出现mura现象。

发明内容

[0003] 本发明提供一种阵列基板和显示面板，以提高阵列基板的抗静电能力，改善显示面板的均一性。

[0004] 第一方面，本发明实施例提供了一种阵列基板，包括：

[0005] 基板；

[0006] 有源层，设置于所述基板上，所述有源层包括多列图案化的像素电路区，每列所述像素电路区包括多行连接的像素电路子区，所述像素电路子区用于形成像素电路；

[0007] 导电层，设置有导电线，所述导电线与至少部分列所述像素电路区内的有源层的端部连接。通过导电线可以将不同列像素电路区对应的有源层的端部连接，在不影响像素电路正常工作的基础上，可以使不同列像素电路区对应的有源层积累的静电电荷量分布均匀，从而可以改善不同列像素电路区对应的有源层形成的驱动晶体管的阈值电压偏置程度不同的问题，提高了显示面板的静电防护能力，改善了显示面板的mura现象，提高了显示面板的显示均一性。

[0008] 可选地，所述基板包括显示区和围绕所述显示区的非显示区；

[0009] 每列所述像素电路区内的有源层的端部设置于所述非显示区，所述导电线设置于所述非显示区，所述导电线与每列所述像素电路区内的有源层的端部连接。通过有源层延伸至非显示区，可以在非显示区形成像素电路，并在出光侧遮挡非显示区的像素电路，可以保证非显示区的像素电路不会用于显示面板的显示，同时可以保证像素电路可以使显示区完全用于显示。另外，将每列的像素电路区内的有源层的端部连接，可以使不同列像素电路区对应的有源层积累的静电电荷量分布均匀，从而可以改善不同列像素电路区对应的有源层形成的驱动晶体管的阈值电压偏置程度不同的问题，提高了显示面板的静电防护能力，改善了显示面板的mura现象，提高了显示面板的显示均一性。

[0010] 可选地，所述基板包括显示区、透光区和非显示区；所述显示区至少部分围绕所述透光区，所述非显示区至少部分围绕所述显示区；沿列方向，与所述透光区相对的所述像素电路区内的有源层在所述透光区具有第一端部和第二端部；每列所述像素电路区内的有源层在所述非显示区具有第三端部和第四端部；

[0011] 所述导电线设置于所述非显示区和/或所述透光区，所述导电线与每列所述像素电路区内的有源层的端部连接。通过设置导电线位于非显示区和/或透光区，使得导电线与

Petitioner Samsung Ex-1004, 0214

每列像素电路区内的有源层的端部连接，可以实现所有列像素电路区内的有源层积累的静电电荷量分布均匀，从而可以改善不同列像素电路区对应的有源层形成的驱动晶体管的阈值电压偏置程度不同的问题，提高了显示面板的静电防护能力，改善了显示面板的mura现象，提高了显示面板的显示均一性。

[0012] 可选地，沿列方向，所述第一端部位于所述透光区靠近所述第三端部的一侧，所述第二端部位于所述透光区靠近所述第四端部的一侧；所述导电线包括第一导电线和第二导电线；所述第一导电线设置于所述非显示区，所述第一导电线与所有列所述像素电路区内的有源层的第三端部连接；所述第二导电线设置于所述透光区，所述第二导电线与所述透光区相对的所述像素电路区内的有源层的第二端部连接；或者，

[0013] 所述第一导电线与所有列所述像素电路区内的有源层的第四端部连接，所述第二导电线与所述透光区相对的所述像素电路区内的有源层的第一端部连接。可以保证所有列像素电路区中有源层的端部连接，提高不同列像素电路区中有源层的端部的连接可靠性。

[0014] 可选地，所述有源层还包括连接区，所述连接区内的有源层复用为所述导电层；可以避免额外增加导电层，减少显示面板的制作工艺流程。

[0015] 优选地，所述连接区内的有源层掺杂形成所述导电线。因此在形成导电线时不用额外增加工艺，减少了显示面板的制作工艺流程，降低了显示面板的制作成本。

[0016] 可选地，阵列基板还包括：

[0017] 金属层，设置于所述有源层远离所述基板的一侧，所述金属层复用为所述导电层，所述金属层通过过孔与所述像素电路区内的有源层的端部连接。

[0018] 可选地，所述金属层包括第一金属层、第二金属层和第三金属层；

[0019] 所述第一金属层设置于所述有源层远离所述基板的一侧，所述第一金属层设置有所述像素电路中晶体管的栅极，所述第二金属层设置于所述第一金属层远离所述基板的一侧，所述第二金属层设置有所述像素电路中电容的极板，所述第三金属层设置于所述第二金属层远离所述基板的一侧，所述第三金属层设置有所述像素电路中晶体管的源极和漏极；可以避免额外设置导电层，减少了显示面板的制作工艺流程，降低了显示面板的制作成本。

[0020] 优选地，所述第三金属层复用为所述导电层。

[0021] 可选地，阵列基板还包括绝缘层，设置于相邻所述金属层之间，所述绝缘层中设置有过孔；所述过孔内填充有导电物质，所述导电物质电连接所述导电线和所述像素电路区内的有源层的端部。

[0022] 可选地，所述金属层还包括信号线，所述信号线与所述导电线连接，用于为所述导电线提供稳定电位。信号线与导电线同层设置，简化了两者的连接工艺流程。

[0023] 第二方面，本发明实施例还提供了一种显示面板，包括第一方面提供的阵列基板。

[0024] 本发明实施例的技术方案，通过在阵列基板内设置导电层，且导电层图案化形成有导电线，通过导电线可以将不同列像素电路区对应的有源层的端部连接，在不影响像素电路正常工作的基础上，可以使不同列像素电路区对应的有源层积累的静电电荷量分布均匀，从而可以改善不同列像素电路区对应的有源层形成的驱动晶体管的阈值电压偏置程度不同的问题，提高了显示面板的静电防护能力，改善了显示面板的mura现象，提高了显示面板的显示均一性。

Petitioner Samsung Ex-1004, 0215

附图说明

[0025] 图1为现有技术提供的一种显示面板的有源层的部分结构示意图；

[0026] 图2为现有技术提供的一种显示面板的结构示意图；

[0027] 图3为本发明实施例提供的一种阵列基板的结构示意图；

[0028] 图4为本发明实施例提供的一种有源层的部分结构示意图；

[0029] 图5为图3的一个像素电路子区A的局部放大示意图；

[0030] 图6为本发明实施例提供的另一种阵列基板的结构示意图；

[0031] 图7为本发明实施例提供的另一种有源层的部分结构示意图；

[0032] 图8为本发明实施例提供的另一种阵列基板的结构示意图；

[0033] 图9为本发明实施例提供的另一种阵列基板的结构示意图；

[0034] 图10为本发明实施例提供的一种阵列基板的剖面结构示意图；

[0035] 图11为本发明实施例提供的另一种阵列基板的剖面结构示意图；

[0036] 图12为本发明实施例提供的另一种阵列基板的剖面结构示意图；

[0037] 图13为本发明实施例提供的一种显示面板的结构示意图。

具体实施方式

[0038] 下面结合附图和实施例对本发明作进一步的详细说明。可以理解的是，此处所描述的具体实施例仅仅用于解释本发明，而非对本发明的限定。另外还需要说明的是，为了便于描述，附图中仅示出了与本发明相关的部分而非全部结构。

[0039] 在显示面板的制作过程和使用过程中，环境产生的静电会在显示面板内积累和释放，对显示面板造成损伤。显示面板包括多行多列的像素单元，像素单元包括有源层，用于形成像素单元中晶体管的沟道、源极区和漏极区。图1为现有技术提供的一种显示面板的有源层的部分结构示意图。如图1所示，有源层10图案化后形成多行多列的像素单元对应的有源层11，如图1所示，一列的像素单元对应的有源层11互相连接，不同列的像素单元对应的有源层11断开。当显示面板中不同列的像素单元的数量不同时，不同列的像素单元之间积累的静电电荷量不同，使得不同列像素单元中驱动晶体管的阈值电压偏置程度不同，导致显示面板在显示时，不同列的像素单元的显示亮度不同，造成显示面板出现mura现象。图2为现有技术提供的一种显示面板的结构示意图。如图2所示，显示面板包括显示区101和非显示区102，在非显示区102设置有静电释放(Electro-Static discharge，ESD)电路103，ESD电路103可以提高显示面板的静电防护能力。但是无法解决不同列像素单元之间积累的静电电荷量不同导致的显示面板mura现象。

[0040] 针对上述技术问题，本发明实施例提供了一种阵列基板。图3为本发明实施例提供的一种阵列基板的结构示意图，图4为本发明实施例提供的一种有源层的部分结构示意图。如图3和图4所示，该阵列基板包括：基板110、有源层120和导电层130；具体的，有源层120设置于基板110上，有源层120包括多列图案化的像素电路区111，每列像素电路区111包括多行连接的像素电路子区A，像素电路子区A用于形成像素电路；导电层130设置有导电线131，导电线131与至少部分列像素电路区111内的有源层120的端部连接。

[0041] 其中，有源层110的材料可以为P硅，通过图案化以及掺杂工艺可以形成多行多列的像素电路中晶体管的沟道、源极区和漏极区。每列像素电路区111包括的多行像素电路子

Petitioner Samsung Ex-1004, 0216

区A可以形成像素电路中晶体管的有源层以及像素电路中晶体管的部分连接关系，用于后续形成多行像素电路。示例性地，图5为图3的一个像素电路子区A的局部放大示意图。如图5所示，该像素电路子区A可以形成7T1C的像素电路对应的晶体管的有源层，分别为第一晶体管有源层P1、第二晶体管有源层P2、第三晶体管有源层P3、第四晶体管有源层P4、第五晶体管有源层P5、第六晶体管有源层P6和第七晶体管有源层P7。每个晶体管的有源层可以在阵列基板中形成对应的晶体管，并根据晶体管的连接方式形成像素电路。由于每列像素电路区111内多行像素电路子区A的有源层120互相连接，使得每列像素电路区111对应的有源层120具有端部121。在阵列基板内设置导电层130，且导电层130图案化形成有导电线131，通过导电线131可以将不同列像素电路区111对应的有源层120的端部121连接，在不影响像素电路正常工作的基础上，可以使不同列像素电路区111对应的有源层120积累的静电电荷量分布均匀，从而可以改善不同列像素电路区111对应的有源层120形成的驱动晶体管的阈值电压偏置程度不同的问题，提高了显示面板的静电防护能力，改善了显示面板的mura现象，提高了显示面板的显示均一性。

[0042] 继续参考图3和图4，基板110包括显示区112和围绕显示区112的非显示区113；每列像素电路区111内的有源层120的端部121设置于非显示区121，导电线131设置于非显示区121，导电线131与每列像素电路区111内的有源层120的端部121连接。

[0043] 具体地，基板110的显示区112内设置有源层120，用于形成像素电路。非显示区113围绕显示区112设置，像素电路区111内的有源层120可以延伸至非显示区113形成至少一行的像素电路子区A，用于在非显示区113形成像素电路（例如为dummy像素电路），此时每列像素电路区111内的有源层120在显示区112形成的像素电路子区A用于形成正常发光像素电路，在非显示区113形成的像素电路子区A用于形成dummy像素电路，并在显示面板的出光侧遮蔽非显示区113的像素电路，以保证非显示区113的像素电路不会用于显示面板的显示，同时可以保证像素电路可以使显示区112完全用于显示。一般情况下，非显示区113的周围为台阶形式，使得每列像素电路区111内的像素电路子区A的数量不同，导致不同列像素电路区111内的有源层120的静电电荷量积累不同。此时每列像素电路区111对应的有源层120的端部121设置于非显示区113，通过导电层130的导电线131将非显示区113不同列像素电路区111的有源层120的端部121连接，在不影响显示面板正常显示的基础上，可以使不同列像素电路区111对应的有源层120积累的静电电荷量分布均匀，从而可以改善不同列像素电路区111对应的有源层120形成的驱动晶体管的阈值电压偏置程度不同的问题，提高了显示面板的静电防护能力，改善了显示面板的mura现象，提高了显示面板的显示均一性。

[0044] 示例性地，如图4和图5所示，当多列像素电路区111中有源层120的端部121设置于非显示区113，且像素电路区111中有源层120的端部121为第七晶体管有源层P7的一端时，可以设置导电线131分别与不同列像素电路区111中第一行像素电路子区A中的第七晶体管有源层P7连接，实现不同列像素电路区111中有源层120的端部121连接。

[0045] 需要说明的是，图4仅是示例性地示出了导电线131与不同列像素电路区111中第一行像素电路子区A中有源层120的端部121连接。其中，不同列像素电路区111中第一行像素电路子区A可以为不同行像素电路子区A。在其他实施例中，像素电路区111中的有源层120的端部121还可以为第四晶体管有源层P4的一端，通过设置导电线131与不同列像素电路区111中最后一行像素电路子区A中的第四晶体管有源层P4连接，实现不同列像素电路区

Petitioner Samsung Ex-1004, 0217

111中有源层120的端部121连接。

[0046] 图6为本发明实施例提供的另一种阵列基板的结构示意图。如图6所示，基板110包括显示区112、透光区114和非显示区113；显示区112至少部分围绕透光区114，非显示区113至少部分围绕显示区112；沿列方向X，与透光区114相对的像素电路区111内的有源层120在透光区114具有第一端部1211和第二端部1212；每列像素电路区111内的有源层120在非显示区113具有第三端部1213和第四端部1214；导电线131设置于非显示区113和/或透光区114，导电线131与每列像素电路区111内的有源层120的端部121连接。

[0047] 具体地，基板110还可以包括透光区114，显示区112可以围绕透光区114设置，透光区114的透光率比较高，可以用于放置感光元件，例如摄像头等。在透光区114内可以不设置像素电路，以保证透光区114的透光率。透光区114内可以设置显示器件，作为显示区，也可以仅设置感光元件，作为非显示区。由于透光区114内未设置像素电路，同一列像素电路区111的有源层120在透光区114的边缘处具有端部121，增加了同一列像素电路区111的有源层120的端部121。可选地，透光区114靠近第一行像素电路子区A的端部121为第一端部1211，透光区114靠近最后一行像素电路子区A的端部121为第二端部1212。同一列像素电路区111的有源层120可以由显示区112延伸至透光区114形成至少一行的像素电路子区A，用于在透光区114形成像素电路(例如为透光区114的dummy像素电路)，并在显示面板的出光侧遮蔽透光区114的像素电路，以保证透光区114的像素电路不会用于显示面板的显示，同时可以保证像素电路可以使显示区112完全用于显示。当透光区114的边缘位于显示区112的多行多列像素电路区111时，像素电路区111内的有源层120在透光区114的第一端部1211和第二端部1212位于不同行的像素电路子区A。此时透光区114对应列的像素电路区111内的电源层120包括四个端部，其他列的像素电路区111内的电源层120包括两个端部。通过设置导电线131位于非显示区113，使得不同列像素电路区113的第三端部1213和/或第四端部1214连接，和/或设置导电线131位于透光区114，使得不同列像素电路区113的第一端部1211和/或第二端部1212连接，可以实现不同列像素电路区111的有源层120的端部121连接，在不影响显示面板正常显示的基础上，可以使不同列像素电路区111对应的有源层120积累的静电电荷量分布均匀，从而可以改善不同列像素电路区111对应的有源层120形成的驱动晶体管的阈值电压偏置程度不同的问题，提高了显示面板的静电防护能力，改善了显示面板的mura现象，提高了显示面板的显示均一性。

[0048] 示例性地，图7为本发明实施例提供的另一种有源层的部分结构示意图。如图4、图6和图7所示，当透光区114为边缘具有台阶的形状时，透光区114对应列的像素电路区111的有源层120的第一端部1211和第二端部1212位于不同行的像素电路子区A内。沿列方向X(具体如图6中所示)，在透光区114靠近第一行的像素电路子区A的第一端部1211为像素电路子区A中第四晶体管有源层P4的一端时，可以设置导电线131分别与透光区114内不同列像素电路区111中有源层120的第四晶体管有源层P4连接，实现不同列像素电路区111的有源层120的第一端部1211连接。

[0049] 需要说明的是，图6示例性地示出了导电线131与每列像素电路区111内的有源层120的第一端部1211、第二端部1212和第三端部1213连接。在其他实施例中，导电线131可以与不同列像素电路区111内的有源层120中的任意端部连接。而且，如图7所示，当有源层120的第一端部1211为像素电路子区A中第四晶体管有源层P4的一端时，与第四晶体管有源层

Petitioner Samsung Ex-1004, 0218

P4同行设置的第七晶体管有源层P7可以同时与导电线131连接，提高不同列像素电路区111中有源层120第一端部1211的连接可靠性。另外，图7仅是示例性地示出了导电线131与透光区114对应列的像素电路区111的电源层120的第一端部1211连接。在其他实施例中，透光区114靠近最后一行的像素电路子区A的第二端部1212为第七晶体管有源层P7时，可以设置导电线131分别与透光区114内不同列像素电路区111中有源层120的第七晶体管有源层P7连接，实现不同列像素电路区111的有源层120的第二端部1212连接。

[0050] 图8为本发明实施例提供的另一种阵列基板的结构示意图。如图8所示，沿列方向X，第一端部1211位于透光区114靠近第三端部1213的一侧，第二端1212部位于透光区1213靠近第四端部1214的一侧；导电线131包括第一导电线1311和第二导电线1312；第一导电线1311设置于非显示区113，第一导电线1311与所有列像素电路区111内的有源层120的第三端部1213连接；第二导电线1312设置于透光区114，第二导电线1312与透光区114相对的像素电路区111内的有源层120的第二端部1212连接。

[0051] 具体地，图8示例性地示出了导电线131与部分像素电路区111内的有源层120的端部121连接。第一端部1211和第二端部1212对称设置。当第一导电线1311设置于非显示区113时，可以使得第一导电线1311与所有列像素电路区111内的有源层120的第三端部1213连接，实现所有列像素电路区111内的有源层120连接。而第一端部1211和第二端部1212断开，此时设置第二导电线1312与透光区114相对的像素电路区111内的有源层120的第二端部1212连接，可以使得第一端部1211和第二端部1212对应的同一列像素电路区111内的所有行像素电路子区A连接，从而可以使所有像素电路子区A连接，在不影响像素电路正常工作的基础上，进一步地改善有源层120的静电电荷量分布的均匀度，从而可以进一步地改善不同列像素电路区111对应的有源层120形成的驱动晶体管的阈值电压偏置程度不同的问题，提高了显示面板的静电防护能力，改善了显示面板的mura现象，提高了显示面板的显示均一性。

[0052] 图9为本发明实施例提供的另一种阵列基板的结构示意图。如图9所示，第一导电线1311与所有列像素电路区111内的有源层120的第四端部1214连接，第二导电线1312与透光区114相对的像素电路区111内的有源层120的第一端部1211连接。

[0053] 具体地，与图8不同的是，第一导电线1311设置于非显示区113时，可以与所有列素电路区111内的有源层120的第四端部1214连接，实现所有列像素电路区111内的有源层120连接。而第一端部1211和第二端部1212断开，此时设置第二导电线1312与透光区114相对的像素电路区111内的有源层120的第一端部1211连接，同样可以使得第一端部1211和第二端部1212对应的同一列像素电路区111内的所有行像素电路子区A连接，从而可以使所有像素电路子区A连接。

[0054] 在上述各技术方案的基础上，有源层120还包括连接区，连接区内的有源层120复用为导电层130。

[0055] 具体地，导电层130可以与有源层120同层设置，在图案化有源层120时，可以根据导电层130的位置图案化有源层120，同时形成像素电路区111中的有源层120以及连接区内的有源层120。并通过连接区中的有源层120形成导电线131，用于连接不同列像素电路区111的端部121，可以避免额外增加导电层130，减少显示面板的制作工艺流程。

[0056] 优选地，连接区内的有源层120掺杂形成导电线131。像素电路区111内的有源层通

Petitioner Samsung Ex-1004, 0219

过掺杂可以形成晶体管的有源层和晶体管的部分连接关系，在掺杂形成晶体管的有源层和晶体管的部分连接关系时，可以同时对连接区内的有源层120通过掺杂形成导电线131。因此在形成导电线131时不用额外增加工艺，减少了显示面板的制作工艺流程，降低了显示面板的制作成本。

[0057] 在上述各技术方案的基础上，该阵列基板还包括：

[0058] 金属层，设置于有源层远离基板的一侧，金属层复用为导电层，金属层通过过孔与像素电路区内的有源层的端部连接。

[0059] 具体地，金属层可以为形成晶体管的任意金属层。示例性地，金属层可以为晶体管的栅极金属层、电容极板金属层和源漏极金属层中的至少一层。在形成阵列基板过程中，通过设置金属层可以形成像素电路所需的晶体管和电容等器件。金属层为导电层，在形成金属层之前，有源层上还设置有绝缘层，避免金属层与有源层之间短路。通过设置金属层复用为导电层，并形成导电线，然后在绝缘层设置过孔，可以使金属层通过过孔与有源层的端部连接，同样可以实现导电线将不同列像素电路区对应的有源层的端部连接。

[0060] 示例性地，图10为本发明实施例提供的一种阵列基板的剖面结构示意图。如图10所示，金属层包括第一金属层140、第二金属层150和第三金属层160；第一金属层140设置于有源层120远离基板110的一侧，第一金属层140设置有像素电路中晶体管的栅极，第二金属层150设置于第一金属层140远离基板110的一侧，第二金属层150设置有像素电路中电容的极板，第三金属层160设置于第二金属层150远离基板110的一侧，第三金属层160设置有像素电路中晶体管的源极和漏极。

[0061] 具体地，第一金属层140可以用于形成晶体管的栅极，还可以用于形成阵列基板上的扫描信号线。第二金属层150可以用于形成电容的极板。第三金属层160可以用于形成晶体管的源极和漏极，还可以用于形成阵列基板上的数据信号线和电源信号线。金属层具有导电性。第一金属层140、第二金属层150和第三金属层160中的任意膜层均可以复用为导电层130，可以避免额外设置导电层130，减少了显示面板的制作工艺流程，降低了显示面板的制作成本。

[0062] 优选地，第三金属层160复用为导电层130。

[0063] 具体地，在图9中，第三金属层160复用为导电层130，即第三金属层160还用于形成导电线131，通过导电线131与有源层120的端部121连接，可以实现导电线131将不同列像素电路区对应的有源层120的端部121连接。

[0064] 继续参考图10，阵列基板还包括绝缘层170，设置于相邻金属层之间，绝缘层170中设置有过孔171；过孔171内填充有导电物质，导电物质电连接导电线131和像素电路区内的有源层120的端部121。

[0065] 具体地，不同金属层之间均设置有绝缘层170，且金属层与有源层120之间也设置有绝缘层170。当第三金属层160复用为导电层130时，导电线130位于第三金属层160。由于不同金属层的图案化形状不同，当第三金属层160复用为导电层130的部分在基板110上的垂直投影与第一金属层140和第二金属层150在基板110上的垂直投影无交叠时，如图10所示，可以通过在绝缘层170上设置过孔171，过孔171的两端在基板110上的垂直投影分别与第三金属层160中的导电线131和有源层120的端部在基板110上的垂直投影交叠，并在过孔171内填充有导电物质，可以实现导电线131与像素电路区内的有源层120的端部连接。图11

Petitioner Samsung Ex-1004, 0220

为本发明实施例提供的另一种阵列基板的剖面结构示意图。如图11所示，当第三金属层160复用为导电层130的部分在基板110上的垂直投影与第一金属层140在基板110上的垂直投影交叠，与第二金属层150在基板110上的垂直投影无交叠时，可以通过第三金属层160与第一金属层140之间的绝缘层170上设置过孔171，并在过孔171内填充导电物质，使第三金属层160中的导电线131与第一金属层140连接，然后通过在第一金属层140与有源层120的端部之间的绝缘层170上设置过孔171，使得第一金属层140与有源层120的端部连接，从而可以实现导电线131与像素电路区内的有源层120的端部连接。图12为本发明实施例提供的另一种阵列基板的剖面结构示意图。如图12所示，当第三金属层160复用为导电层130的部分在基板110上的垂直投影与第一金属层140在基板110上的垂直投影无交叠，与第二金属层150在基板110上的垂直投影交叠时，可以通过第三金属层160与第二金属层150之间的绝缘层170上设置过孔171，并在过孔171内填充导电物质，使第三金属层160中的导电线131与第二金属层150连接，然后通过在第二金属层150与有源层120的端部之间的绝缘层170上设置过孔171，使得第二金属层150与有源层120的端部连接，从而可以实现导电线131与像素电路区内的有源层120的端部连接。

[0066] 需要说明的是，图10至图12仅是示例性地示出了第三金属层160复用为导电层130，在其他实施例中，还可以复用第一金属140或第二金属层150为导电层130，并形成导电线131，同样可以实现导电线131将不同列像素电路区对应的有源层120的端部连接。

[0067] 在上述各技术方案的基础上，金属层还包括信号线，信号线与导电线连接，用于为导电线提供稳定电位。

[0068] 具体地，金属层还可以设置信号线，例如，第一金属层可以设置扫描信号线，第二金属层可以设置初始化信号线，第三金属层可以设置数据信号线和电源信号线等。通过设置金属层具有固定电位的信号线与导电线连接，可以通过信号线为导电线提供固定电位，从而可以为导电线提供静电释放路径，进一步地提高了显示面板的静电防护能力，改善了显示面板的mura现象，提高了显示面板的显示均一性。示例性地，当第三金属层复用为导电层时，可以通过第三金属层的电源信号线与第三金属层的导电线连接，为导电线提供固定电位。同时，电源信号线与导电线同层设置，简化了两者的连接工艺流程。

[0069] 本发明实施例还提供了一种显示面板。图13为本发明实施例提供的一种显示面板的结构示意图。如图13所示，该显示面板200包括本发明任意实施例提供的阵列基板201。

[0070] 注意，上述仅为本发明的较佳实施例及所运用技术原理。本领域技术人员会理解，本发明不限于这里所述的特定实施例，对本领域技术人员来说能够进行各种明显的变化、重新调整和替代而不会脱离本发明的保护范围。因此，虽然通过以上实施例对本发明进行了较为详细的说明，但是本发明不仅仅限于以上实施例，在不脱离本发明构思的情况下，还可以包括更多其他等效实施例，而本发明的范围由所附的权利要求范围决定。

Petitioner Samsung Ex-1004, 0221

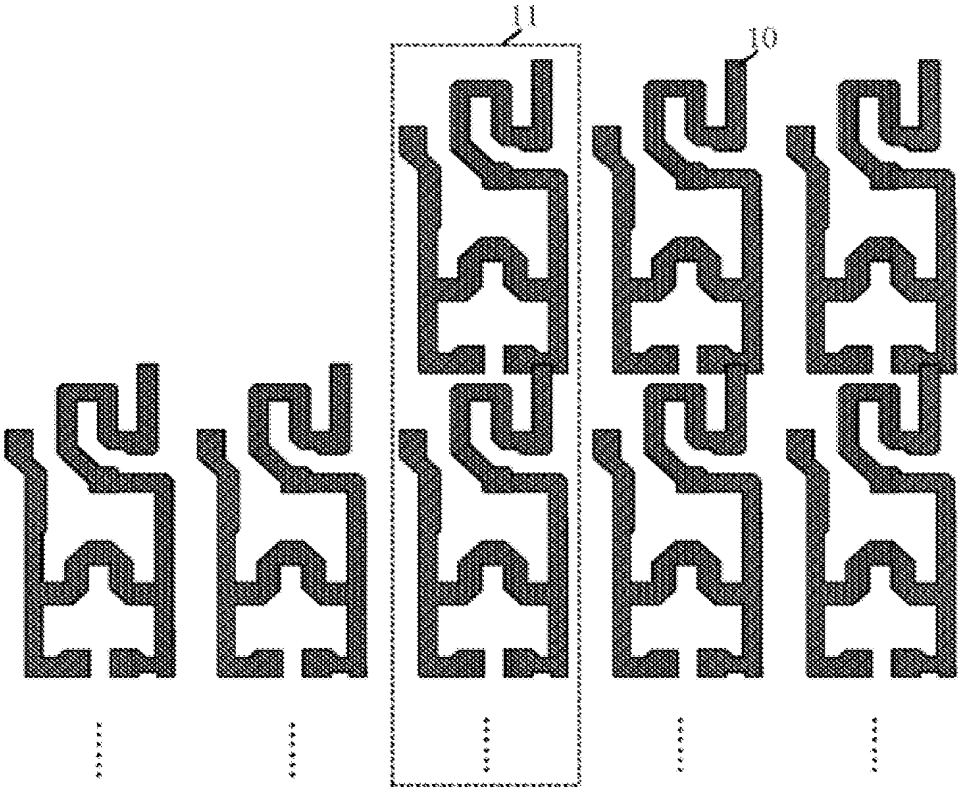


图1

Petitioner Samsung Ex-1004, 0222

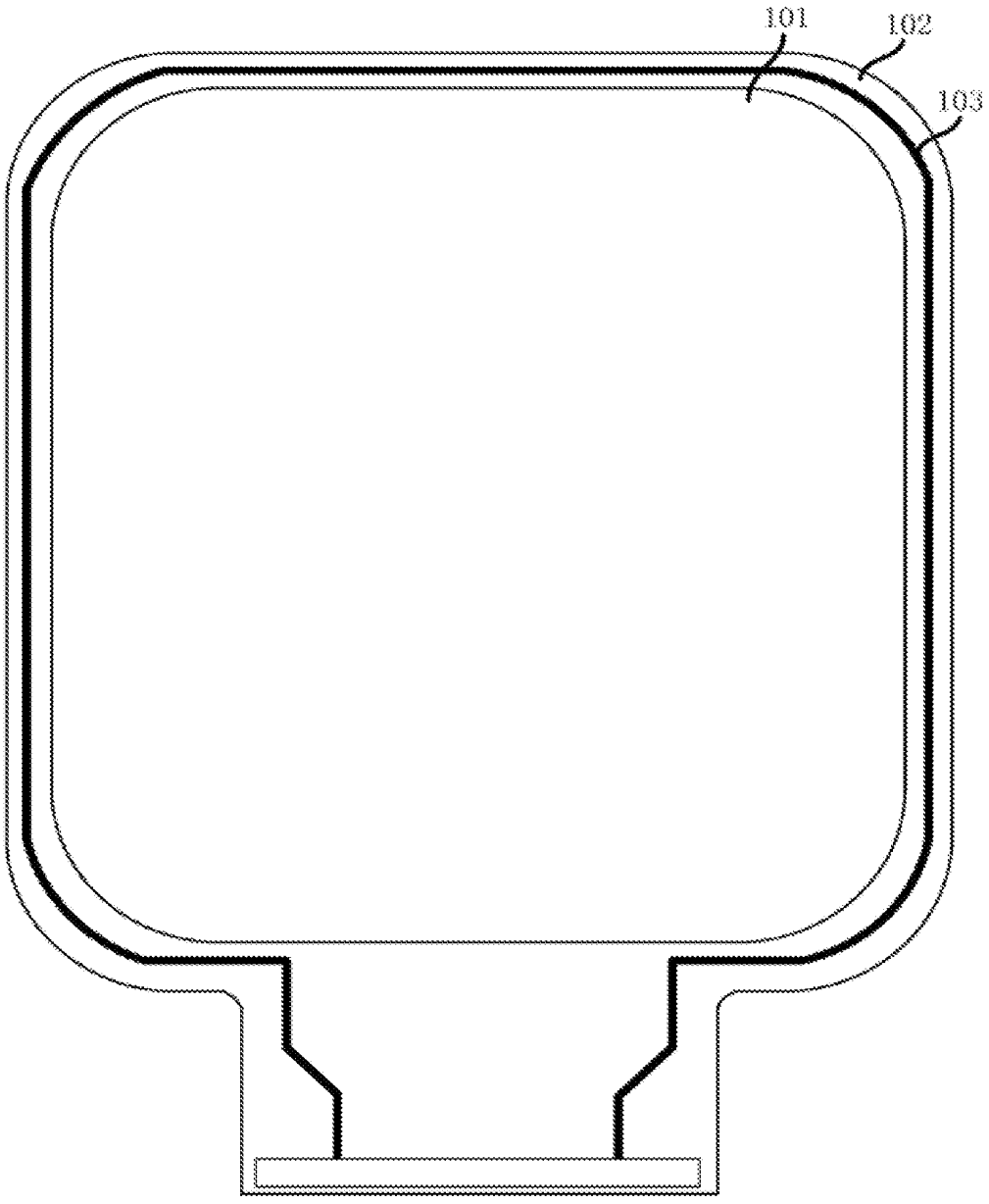


图2

Petitioner Samsung Ex-1004, 0223

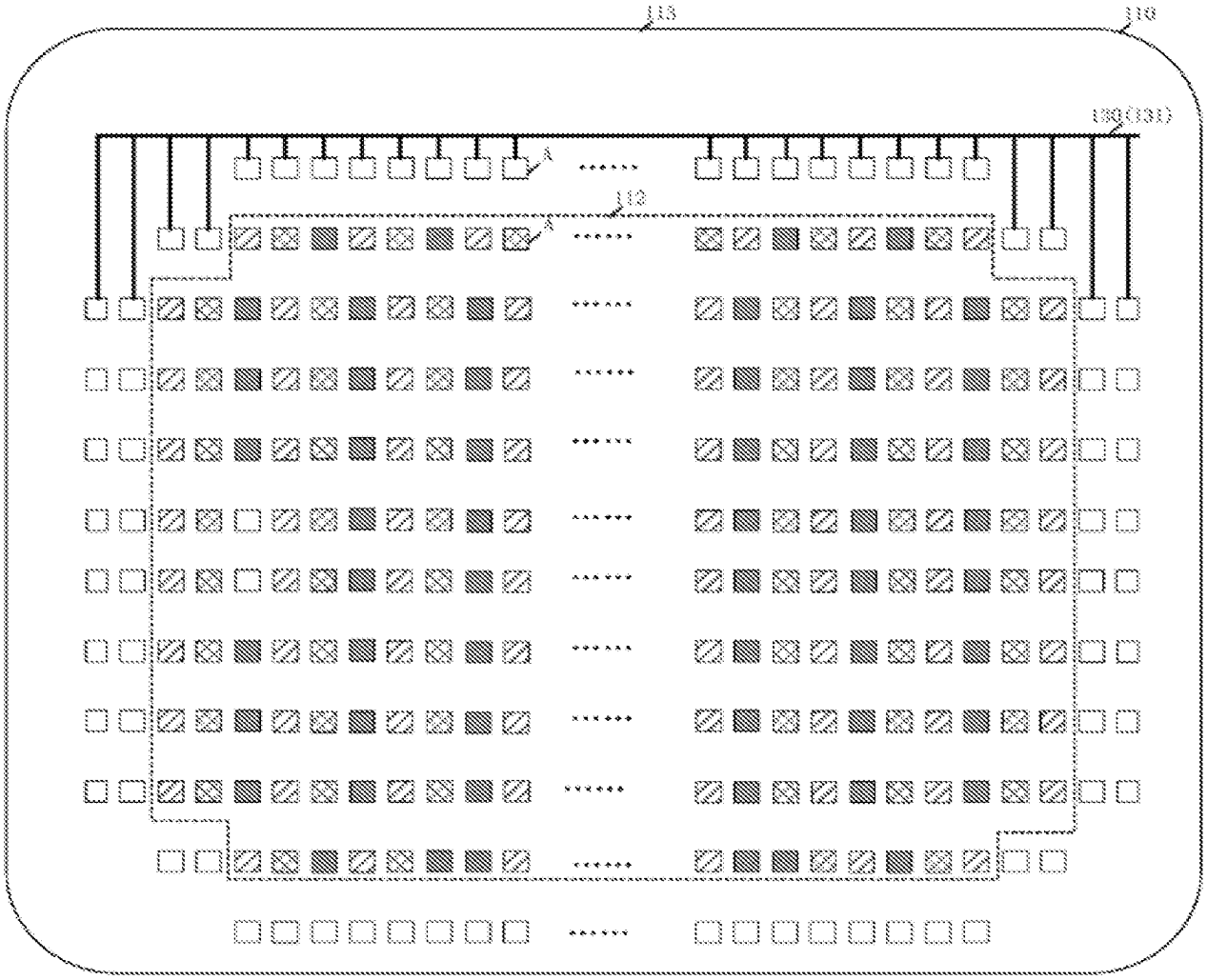


图3

Petitioner Samsung Ex-1004, 0224

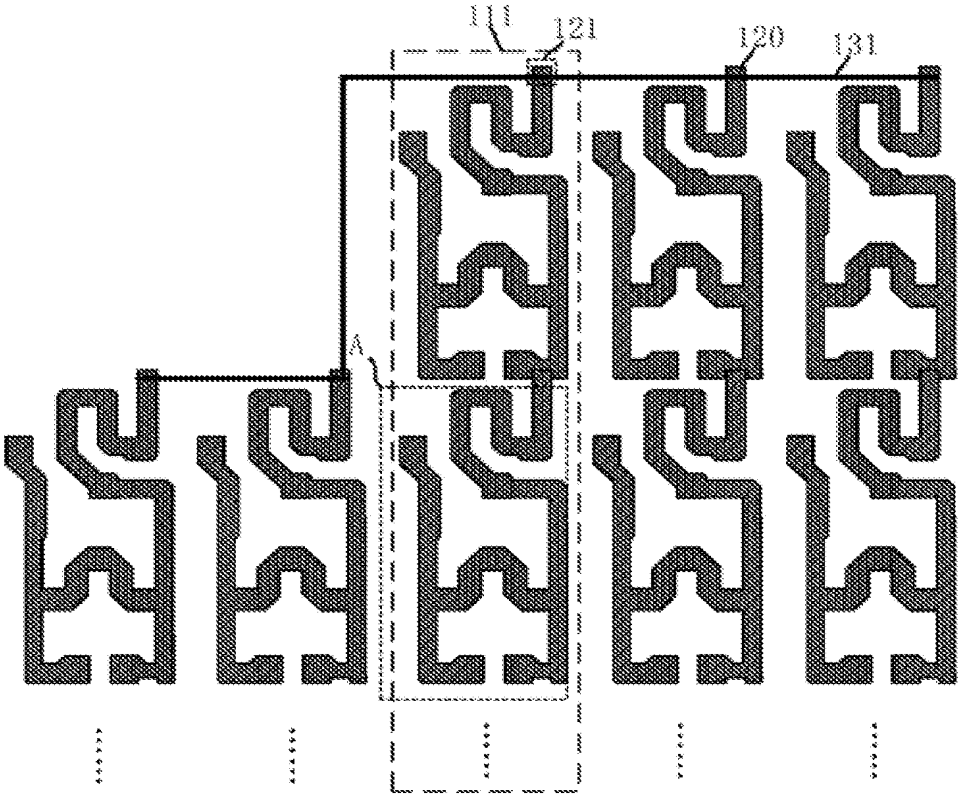


图4

Petitioner Samsung Ex-1004, 0225

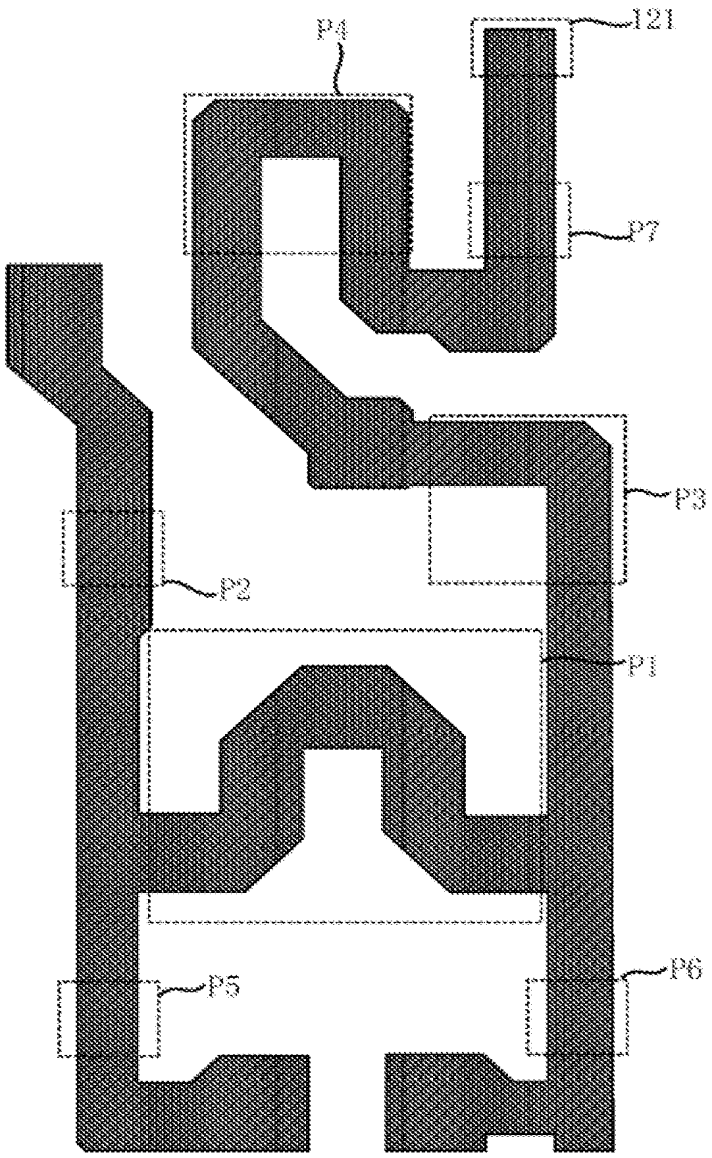


图5

Petitioner Samsung Ex-1004, 0226

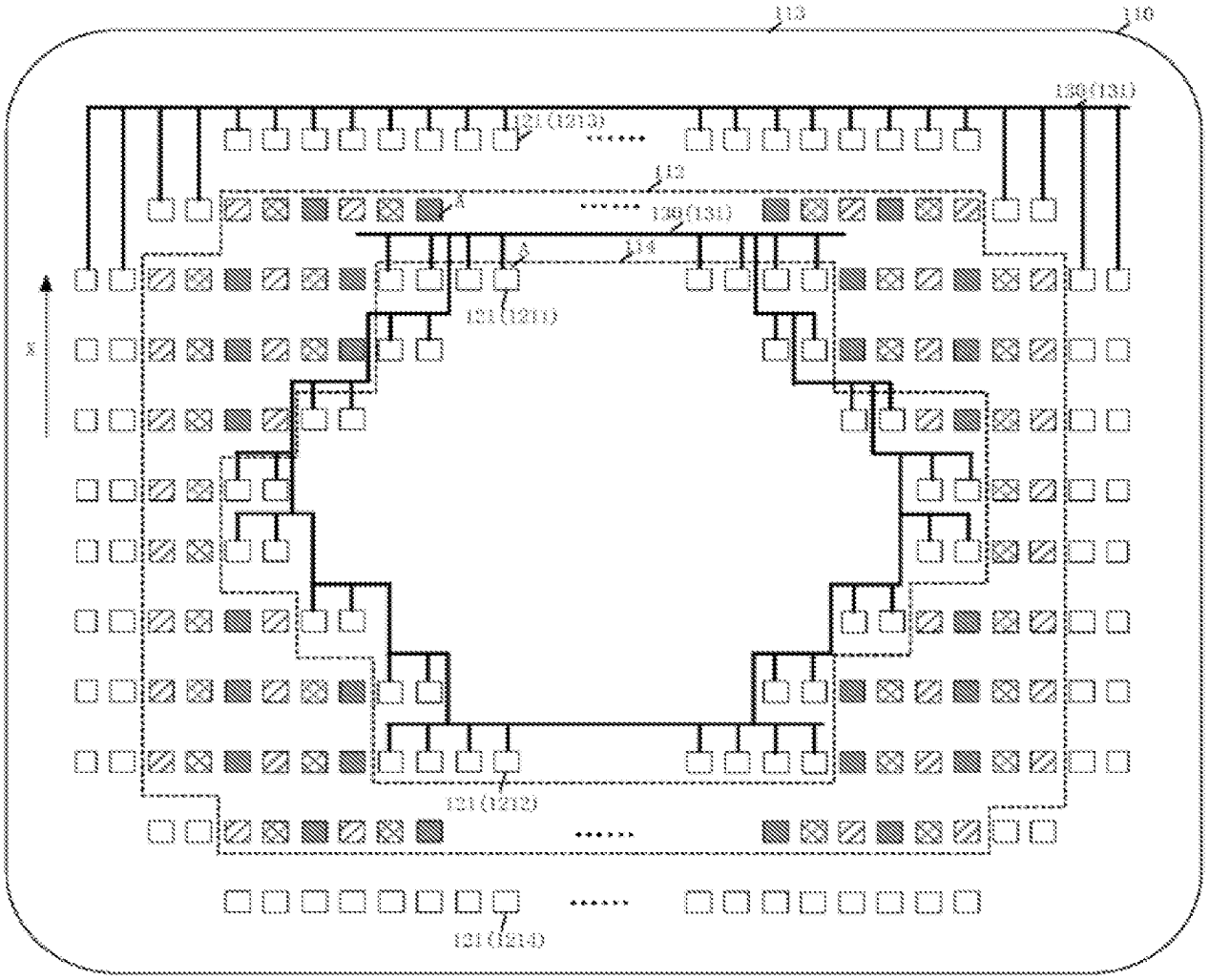


图6

Petitioner Samsung Ex-1004, 0227

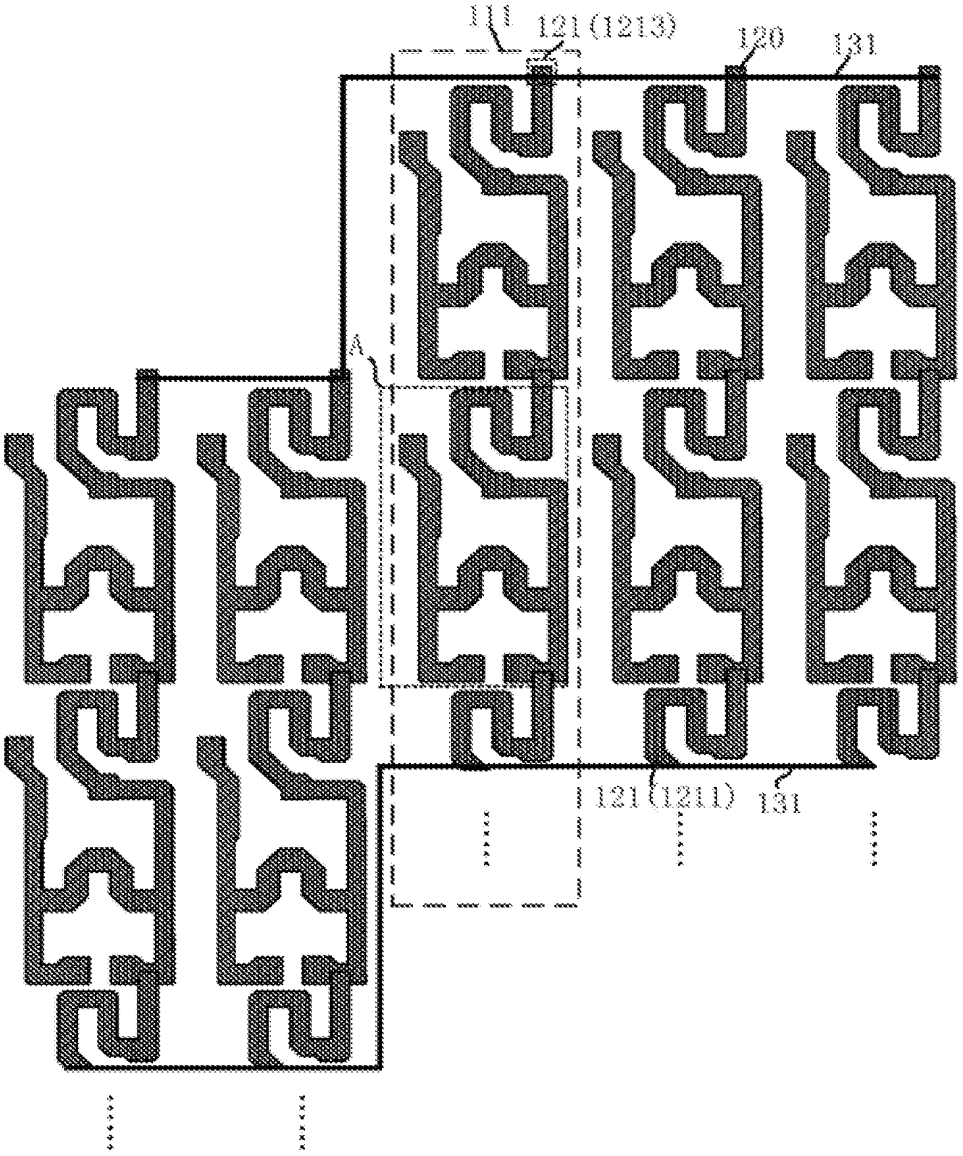


图7

Petitioner Samsung Ex-1004, 0228

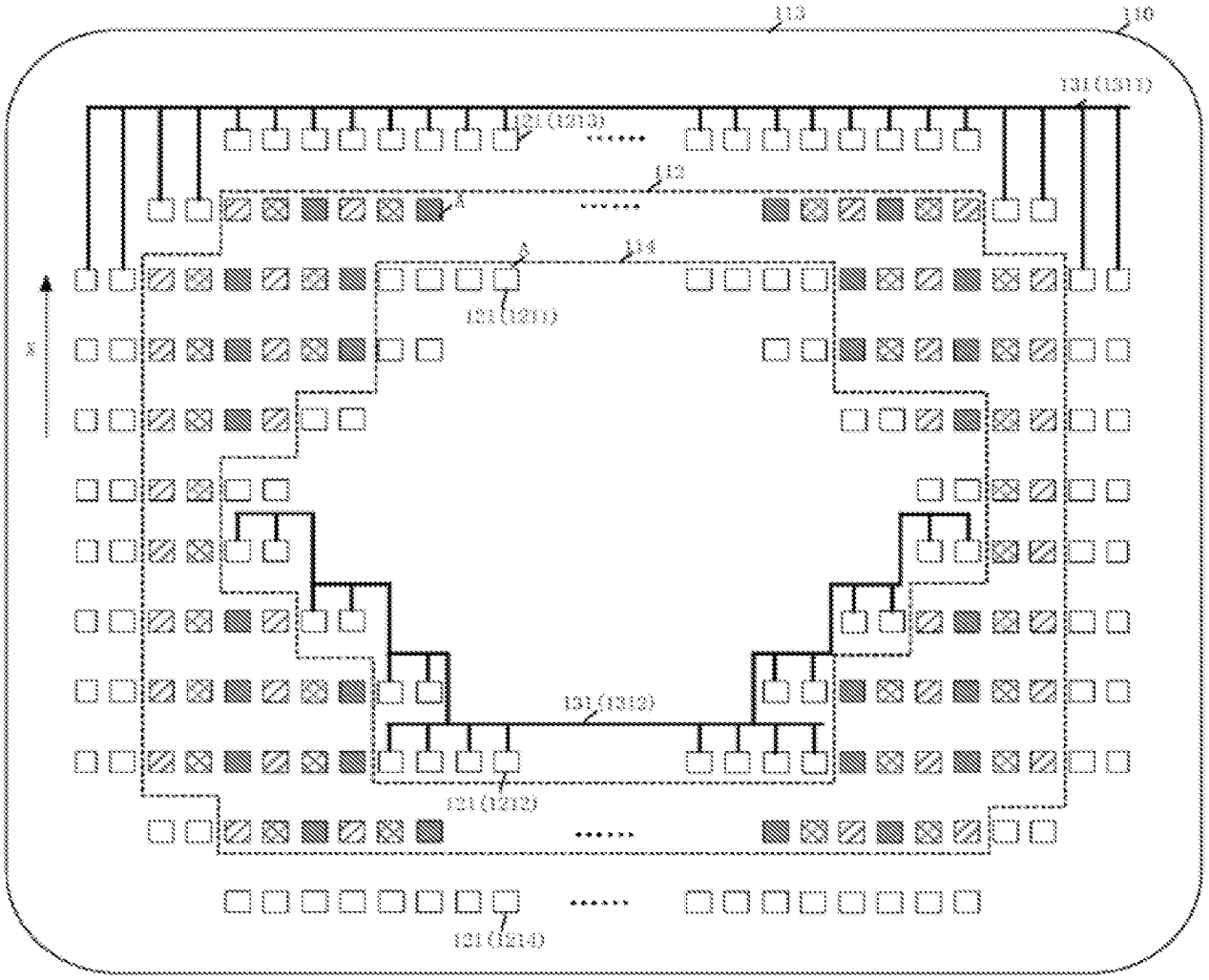


图8

Petitioner Samsung Ex-1004, 0229

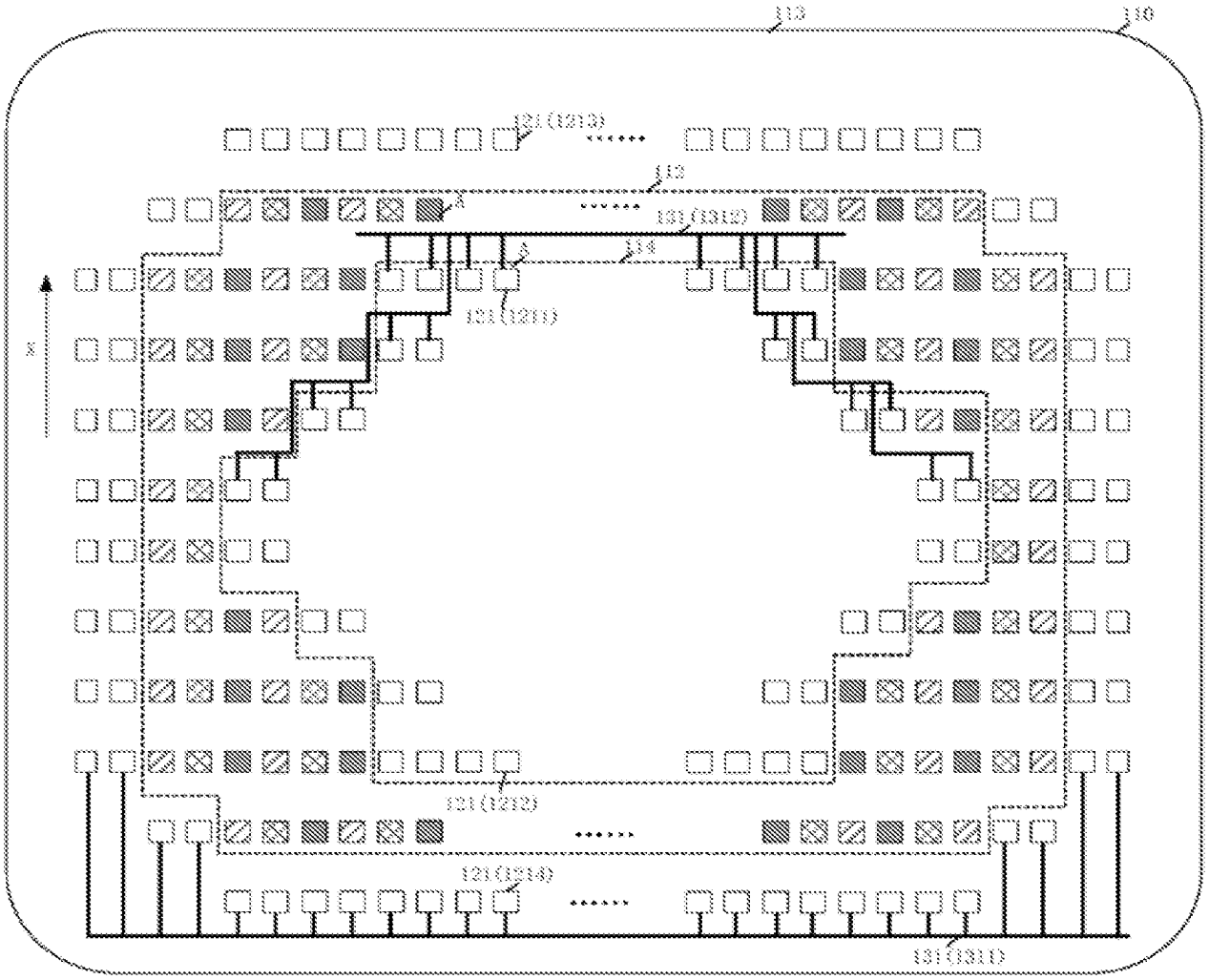


图9

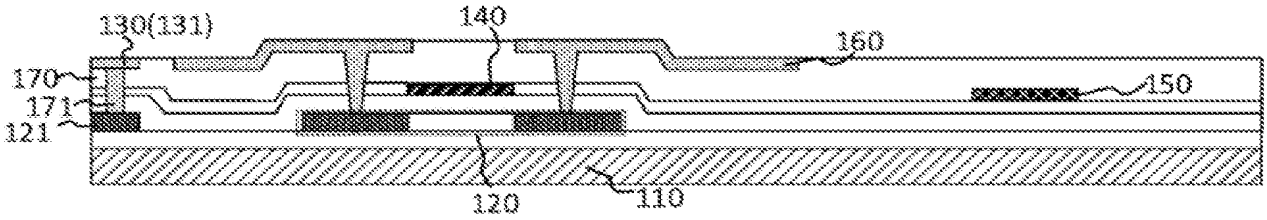


图10

Petitioner Samsung Ex-1004, 0230

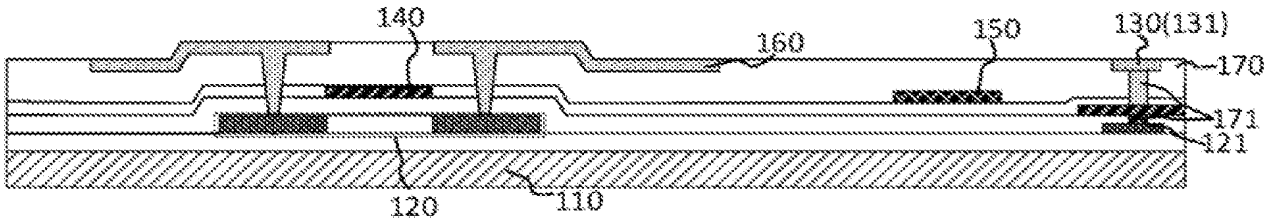


图11

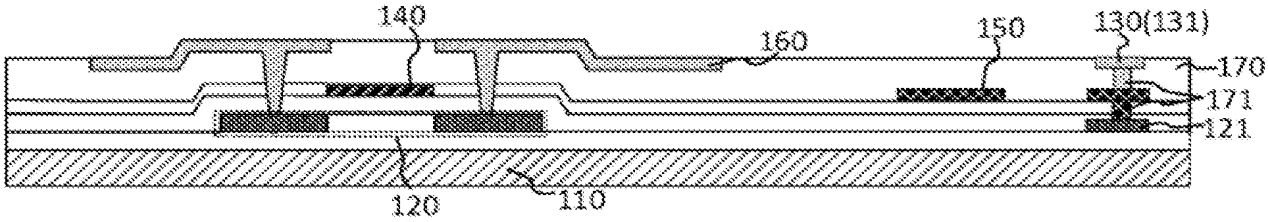


图12

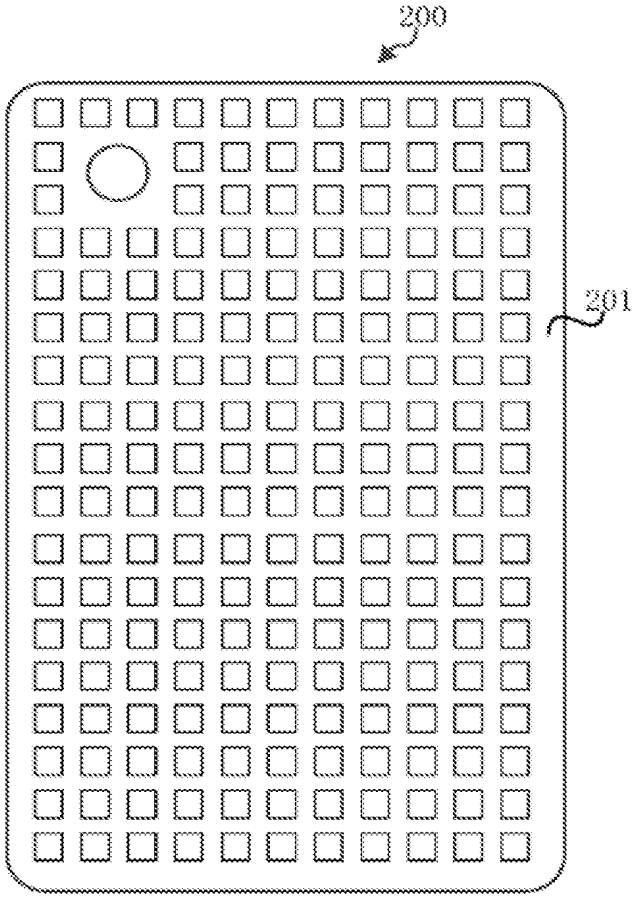


图13

Petitioner Samsung Ex-1004, 0231

Abstract of CN113826210 (A)

Patent Family Member:US20220115625 (A1)

A display substrate, a preparation method thereof and a display device are provided, wherein the display substrate comprises a display area (100) and a binding area (200) positioned on one side of the display area (100), the display area (100) comprises a driving structure layer, an organic insulating layer (15) arranged on the driving structure layer and a light-emitting element arranged on the organic insulating layer (15), the driving structure layer comprises a pixel driving circuit, and the light-emitting element is connected with the pixel driving circuit; the binding region (200) comprises a binding structure layer, an organic insulating layer (15) and an isolation dam (410, 420) arranged on the binding structure layer, and inorganic packaging layers (25, 27) arranged on the organic insulating layer (15) and the isolation dam (410, 420), wherein the binding structure layer comprises power lines (210, 220) connected with the pixel driving circuit; at least one isolation groove (500) is arranged on the organic insulating layer (15) of the binding region (200), the inorganic packaging layers (25, 27) cover the isolation groove (500) and wrap the isolation dams (410, 420), and the distance between the isolation groove (500) and the edge (110) of the display region is smaller than the distance between the isolation dams (410, 420) and the edge (110) of the display region.

(19) 中华人民共和国国家知识产权局

(12) 发明专利申请

(10) 申请公布号 CN 113826210 A
(43) 申请公布日 2021.12.21

(21) 申请号 202080000678.0

(22) 申请日 2020.04.21

(85) PCT国际申请进入国家阶段日
2020.04.22

(86) PCT国际申请的申请数据
PCT/CN2020/085889 2020.04.21

(87) PCT国际申请的公布数据
WO2021/212313 ZH 2021.10.28

(71) 申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号
申请人 成都京东方光电科技有限公司

(72) 发明人 于鹏飞 万晨星

(74) 专利代理机构 北京安信方达知识产权代理有限公司 11262
代理人 曲鹏 解婷婷

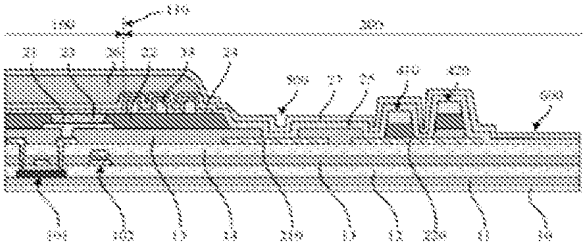
(51) Int.Cl.
H01L 27/32 (2006.01)
H01L 51/52 (2006.01)

(54) 发明名称

显示基板及其制备方法、显示装置

(57) 摘要

一种显示基板及其制备方法、显示装置，显示基板包括显示区域(100)和位于显示区域(100)一侧的绑定区域(200)，显示区域(100)包括驱动结构层、设置在驱动结构层上的有机绝缘层(15)以及设置在有机绝缘层(15)上的发光元件，驱动结构层包括像素驱动电路，发光元件与像素驱动电路连接；绑定区域(200)包括绑定结构层、设置在绑定结构层上的有机绝缘层(15)和隔离坝(410,420)，以及设置在有机绝缘层(15)和隔离坝(410,420)上的无机封装层(25,27)，绑定结构层包括与像素驱动电路连接的电源线(210,220)；绑定区域(200)的有机绝缘层(15)上设置有至少一个隔离槽(500)，无机封装层(25,27)覆盖隔离槽(500)和包裹隔离坝(410,420)，隔离槽(500)与显示区域边缘(110)的距离小于隔离坝(410,420)与显示区域边缘(110)的距离。



CN 113826210 A

Petitioner Samsung Ex-1004, 0233

Abstract of CN113871420 (A)

Patent Family Member:US20220293051 (A1)

A display substrate and a display device, the display substrate comprising: having a first side and a second side for display, comprising: a substrate base plate; a display area including a first display area and a second display area, the first display area including a plurality of pixel cell groups each including a plurality of first pixel cells each including a pixel area and an opening area; a plurality of first power lines in the pixel region; the shielding layer comprises a hollow-out area and a shielding area; for one pixel unit group, the opening area of each first pixel unit is at least partially overlapped with the shielding area of the shielding layer, the opening area of at least one first pixel unit comprises a first shielding connecting part which is at least partially overlapped with the shielding area of the shielding layer, and the shielding layer is connected with at least one first power line in a plurality of first power lines through the first shielding connecting part. The display substrate can connect a direct current signal to the shielding layer on the premise of not reducing the pixel density, and the shielding layer is prevented from being in a floating state.

(19)中华人民共和国国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 113871420 A
(43)申请公布日 2021.12.31

(21)申请号 202010623663.4

(22)申请日 2020.06.30

(71)申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号
申请人 成都京东方光电科技有限公司

(72)发明人 刘聪 黄耀 蔡建畅 程羽雁 吴超

(74)专利代理机构 北京市柳沈律师事务所 11105
代理人 彭久云

(51)Int.Cl.
H01L 27/32(2006.01)

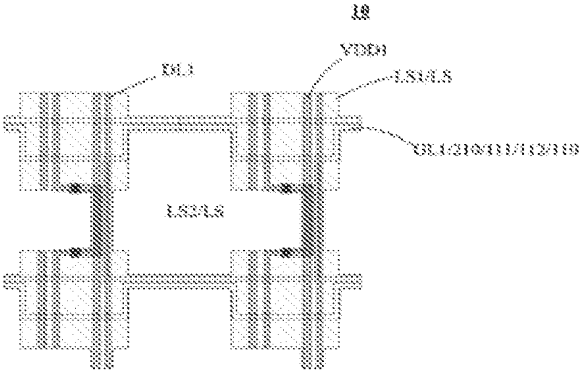
权利要求书4页 说明书18页 附图31页

(54)发明名称

显示基板和显示装置

(57)摘要

一种显示基板和显示装置，该显示基板包括：具有用于显示的第一侧和第二侧，包括：衬底基板；显示区，包括第一显示区和第二显示区，第一显示区包括多个像素单元组，多个像素单元组每个包括多个第一像素单元，多个第一像素单元的每个包括像素区和开口区；多条第一电源线，位于像素区；遮挡层，包括镂空区和遮挡区；对于一个像素单元组，各个第一像素单元的开口区与遮挡层的遮挡区至少部分重叠，至少一个第一像素单元的开口区包括第一遮挡连接部，与遮挡层的遮挡区至少部分重叠，且遮挡层通过第一遮挡连接部和多条第一电源线中的至少一条第一电源线连接。该显示基板可以在不降低像素密度的前提下，给遮挡层连接直流信号，防止遮挡层处于浮接状态。



CN 113871420 A

Petitioner Samsung Ex-1004, 0235

1.一种显示基板，具有用于显示的第一侧和与所述第一侧相对的第二侧，包括：

衬底基板；

显示区，设置在所述衬底基板上，包括第一显示区和至少部分围绕第一显示区的第二显示区，其中，所述第一显示区允许来自所述显示基板的第一侧的光至少部分透射至所述显示基板的第二侧以用于感测，所述第一显示区包括间隔排列的多个像素单元组，所述多个像素单元组每个包括多个第一像素单元，所述多个第一像素单元的每个包括像素区和开口区；

多条第一电源线，位于所述像素区，且配置为与所述多个像素单元组连接以向所述多个像素单元组提供第一电源电压；

遮挡层，设置在所述衬底基板上，且位于所述第一电源线靠近所述衬底基板的一侧，包括镂空区和遮挡区；

其中，对于一个像素单元组，所述各个第一像素单元的开口区与所述遮挡层的遮挡区至少部分重叠，

所述至少一个第一像素单元的开口区包括第一遮挡连接部，与所述遮挡层的遮挡区至少部分重叠，且所述遮挡层通过所述第一遮挡连接部和所述多条第一电源线中的至少一条第一电源线连接以接收所述第一电源电压；

所述多条第一电源线位于所述第一遮挡连接部远离所述衬底基板的一侧，所述遮挡层位于所述第一遮挡连接部靠近所述衬底基板的一侧，所述第一遮挡连接部位于所述遮挡层和所述多条第一电源线之间。

2.根据权利要求1所述的显示基板，其中，所述遮挡层通过第一过孔与所述第一遮挡连接部连接，所述第一遮挡连接部通过第二过孔与所述至少一条第一电源线连接。

3.根据权利要求2所述的显示基板，其中，所述显示基板还包括第一绝缘层、第二绝缘层和第三绝缘层，其中，所述第一绝缘层位于所述遮挡层和所述第一遮挡连接部之间，

所述第二绝缘层位于所述第一绝缘层和所述第一遮挡层连接部之间，所述第三绝缘层位于所述第一遮挡连接部和所述多条第一电源线之间；或者，所述第二绝缘层位于所述第一遮挡连接部和所述多条第一电源线之间，所述第三绝缘层位于所述第二绝缘层和所述多条第一电源线之间，

所述遮挡层通过贯穿所述第一绝缘层的第一过孔与所述第一遮挡连接部连接，所述第一遮挡连接部通过贯穿所述第二绝缘层和第三绝缘层的第二过孔与所述至少一条第一电源线连接；或者，所述遮挡层通过贯穿所述第一绝缘层和所述第二绝缘层的第一过孔与所述第一遮挡连接部连接，所述第一遮挡连接部通过贯穿所述第三绝缘层的第二过孔与所述至少一条第一电源线连接。

4.根据权利要求3所述的显示基板，其中，所述第一过孔和所述第二过孔在所述衬底基板上的正投影不重叠；

所述第一电源线包括突出部，所述第二过孔在所述衬底基板的正投影与所述突出部在所述衬底基板的正投影重叠，所述第一过孔在所述衬底基板的正投影与所述第一电源线在所述衬底基板上的正投影重叠。

5.根据权利要求1-4任一所述的显示基板，其中，相邻像素单元组之间通过走线连接，所述多个像素单元组和所述走线在所述衬底基板上的正投影落入所述遮挡层的遮挡区在

Petitioner Samsung Ex-1004, 0236

所述衬底基板上的正投影内。

6.根据权利要求1-4任一所述的显示基板，其中，所述第二显示区包括阵列排布的多个第二像素单元和多条第二电源线，所述多个第二像素单元的每个包括像素区和开口区；

所述多条第二电源线配置为与所述多个第二像素单元连接以向所述多个第二像素单元提供第二电源电压，所述第二电源电压和所述第一电源电压相同；

其中，对于一个第二像素单元，所述各个第二像素单元的开口区与所述遮挡层的遮挡区至少部分重叠，

所述至少一个第二像素单元的开口区包括第二遮挡连接部，所述第二遮挡连接部与所述遮挡层的遮挡区至少部分重叠。

7.根据权利要求1-4任一所述的显示基板，其中，所述第二显示区在所述衬底基板上的正投影落入所述遮挡层的遮挡区在所述衬底基板上的正投影内。

8.根据权利要求1-4任一所述的显示基板，其中，所述多个第一像素单元和所述多个第二像素单元的每个包括像素驱动电路和发光器件，所述像素驱动电路配置为驱动所述发光器件发光。

9.根据权利要求8所述的显示基板，其中，所述像素驱动电路包括驱动晶体管、数据写入晶体管、补偿晶体管、第一发光控制晶体管、第二发光控制晶体管、第一复位晶体管、第二复位晶体管和存储电容；

其中，所述第一复位晶体管、所述补偿晶体管、所述第二发光控制晶体管和所述第二复位晶体管的有源层位于沿第一方向延伸的第一半导体层，所述数据写入晶体管和所述第一发光控制晶体管的有源层位于沿第二方向延伸的第二半导体层，所述第一半导体层和所述第二半导体层通过所述驱动晶体管的有源层连接且一体形成，

所述驱动晶体管的有源层位于所述第一复位晶体管的有源层在所述第一方向的假想线上，

所述补偿晶体管和所述数据写入晶体管的有源层分别位于所述驱动晶体管的有源层的两侧，且位于所述驱动晶体管的有源层靠近所述第一复位晶体管的有源层的一侧，

所述第二发光控制晶体管和第一发光控制晶体管的有源层分别位于所述驱动晶体管的有源层的两侧，且位于所述驱动晶体管的有源层远离所述第一复位晶体管的有源层的一侧，

所述第二复位晶体管的有源层位于所述第二发光控制晶体管的有源层远离所述补偿晶体管的有源层的一侧，

所述补偿晶体管包括沿所述第一方向延伸的第一栅极、沿所述第二方向延伸的第二栅极，

所述第二栅极与沿所述第二方向延伸的所述第二发光控制晶体管的栅极、所述第二复位晶体管的栅极在所述第一方向上并排设置，

所述数据写入晶体管的栅极和所述第一发光控制晶体管的栅极沿所述第二方向延伸，且在所述第一方向上并排设置，

所述第一复位晶体管的栅极和所述驱动晶体管的栅极的沿所述第二方向延伸，且在所述第一方向上并排设置，

所述驱动晶体管的栅极与所述存储电容的第一极板一体形成。

Petitioner Samsung Ex-1004, 0237

10.根据权利要求9所述的显示基板，还包括沿所述第二方向延伸的栅线、发光控制信号线、第一复位信号线和第二复位信号线，

其中，所述第一复位晶体管的栅极和所述第一复位信号线连接且一体形成，

所述补偿晶体管的第二栅极和所述数据写入晶体管的栅极与所述栅线连接且一体形成，

所述第二发光控制晶体管的栅极和所述第一发光控制晶体管的栅极与所述发光控制信号线连接且一体形成，

所述第二复位晶体管的栅极与所述第二复位信号线连接且一体形成。

11.根据权利要求10所述的显示基板，还包括数据线，其中，所述数据线与所述数据写入晶体管的有源层连接，且配置为提供数据信号，

所述第一电源线在所述衬底基板上的正投影与所述第一复位晶体管的有源层和所述驱动晶体管的有源层在所述衬底基板上的正投影至少部分重叠，

所述数据线在所述衬底基板上的正投影位于所述第二半导体层在所述衬底基板上的正投影远离所述第一电源线在所述衬底基板上的正投影的一侧。

12.根据权利要求11所述的显示基板，其中，所述像素驱动电路还包括第一转接电极，所述第一转接电极与所述第二发光控制晶体管的有源层、所述第二复位晶体管的有源层以及所述发光器件的第一极通过过孔连接，

所述第一转接电极在所述衬底基板上的正投影位于所述第二复位晶体管的有源层和所述驱动晶体管的有源层在所述衬底基板上的正投影之间。

13.根据权利要求12所述的显示基板，其中，对于所述多个第二像素单元的每个，所述第二遮挡连接部在所述衬底基板上的正投影位于所述第二复位晶体管的有源层在所述衬底基板上的正投影和所述第二电源线在衬底基板上的正投影之间，且与所述第二电源线在衬底基板上的正投影至少部分重叠。

14.根据权利要求13所述的显示基板，其中，对于各个像素单元组，所述第一遮挡连接部位于各个像素单元组中在所述第一方向上相邻两个第一像素单元之间。

15.根据权利要求12所述的显示基板，其中，所述第一遮挡连接部在所述衬底基板上的正投影位于所述第二复位晶体管的有源层在衬底基板上的正投影和所述第一电源线在衬底基板上的正投影之间，且与所述第一电源线在衬底基板上的正投影至少部分重叠。

16.根据权利要求1-4任一所述的显示基板，其中，所述第一遮挡连接部分别位于各个像素单元组的两端，且与所述各个像素单元组分别对应的多条第一电源线中至少一条连接。

17.根据权利要求1-4任一所述的显示基板，其中，所述第一遮挡连接部分别位于各个像素单元组的一端，且与所述像素单元组对应的多条第一电源线中至少一条连接。

18.根据权利要求12所述的显示基板，还包括第四绝缘层、第一导电层、第二导电层和第三导电层；

其中，所述第一导电层包括所述栅线，所述第二导电层包括所述存储电容的第二极板，所述第三导电层包括所述第一电源线，

在垂直于所述衬底基板的方向上，

所述第四绝缘位于所述遮挡层和所述晶体管的有源层之间，

Petitioner Samsung Ex-1004, 0238

所述第一绝缘层位于所述有源层和所述第一导电层之间，

所述第二绝缘层位于所述栅线和所述第二导电层之间，

所述第三绝缘层位于所述存储电容的第二极板和所述第三导电层之间。

19.根据权利要求18所述的显示基板，其中，所述第一遮挡连接部位于所述第一导电层或所述第二导电层。

20.一种显示装置，包括如权利要求1-19任一项所述的显示基板和传感器，其中，

所述传感器设置于所述显示基板的第二侧，并且所述传感器配置为接收来自所述显示基板的第一侧的光；

所述传感器在所述衬底基板上的正投影与所述第一显示区至少部分重叠。

Petitioner Samsung Ex-1004, 0239

显示基板和显示装置

技术领域

[0001] 本公开至少一实施例涉及一种显示基板和显示装置。

背景技术

[0002] 基于屏下摄像头的设计，显示面板通常包括高像素密度(Pixels Per Inch,PPI)区域和低PPI区域，然而，通常的显示面板在低PPI区域的光透过率较低，不利于提高摄像头在成像区域的显示效果。

发明内容

[0003] 本公开至少一实施例提供一种显示基板，具有用于显示的第一侧和与所述第一侧相对的第二侧，包括：衬底基板；显示区，设置在所述衬底基板上，包括第一显示区和至少部分围绕第一显示区的第二显示区，所述第一显示区允许来自所述显示基板的第一侧的光至少部分透射至所述显示基板的第二侧以用于感测，所述第一显示区包括间隔排列的多个像素单元组，所述多个像素单元组每个包括多个第一像素单元，所述多个第一像素单元的每个包括像素区和开口区；多条第一电源线，位于所述像素区，且配置为与所述多个像素单元组连接以向所述多个像素单元组提供第一电源电压；遮挡层，设置在所述衬底基板上，且位于所述第一电源线靠近所述衬底基板的一侧，包括镂空区和遮挡区；对于一个像素单元组，所述各个第一像素单元的开口区与所述遮挡层的遮挡区至少部分重叠，所述至少一个第一像素单元的开口区包括第一遮挡连接部，与所述遮挡层的遮挡区至少部分重叠，且所述遮挡层通过所述第一遮挡连接部和所述多条第一电源线中的至少一条第一电源线连接以接收所述第一电源电压；所述多条第一电源线位于所述第一遮挡连接部远离所述衬底基板的一侧，所述遮挡层位于所述第一遮挡连接部靠近所述衬底基板的一侧，所述第一遮挡连接部位于所述遮挡层和所述多条第一电源线之间。

[0004] 例如，在本公开至少一实施例提供的显示基板中，所述遮挡层通过第一过孔与所述第一遮挡连接部连接，所述第一遮挡连接部通过第二过孔与所述至少一条第一电源线连接。

[0005] 例如，在本公开至少一实施例提供的显示基板中，所述显示基板还包括第一绝缘层、第二绝缘层和第三绝缘层，其中，所述第一绝缘层位于所述遮挡层和所述第一遮挡连接部之间，所述第二绝缘层位于所述第一绝缘层和所述第一遮挡层连接部之间，所述第三绝缘层位于所述第一遮挡连接部和所述多条第一电源线之间；或者，所述第二绝缘层位于所述第一遮挡连接部和所述多条第一电源线之间，所述第三绝缘层位于所述第二绝缘层和所述多条第一电源线之间，所述遮挡层通过贯穿所述第一绝缘层的第一过孔与所述第一遮挡连接部连接，所述第一遮挡连接部通过贯穿所述第二绝缘层和第三绝缘层的第二过孔与所述至少一条第一电源线连接；或者，所述遮挡层通过贯穿所述第一绝缘层和所述第二绝缘层的第一过孔与所述第一遮挡连接部连接，所述第一遮挡连接部通过贯穿所述第三绝缘层的第二过孔与所述至少一条第一电源线连接。

Petitioner Samsung Ex-1004, 0240

[0006] 例如，在本公开至少一实施例提供的显示基板中，所述第一过孔和所述第二过孔在所述衬底基板上的正投影不重叠；所述第一电源线包括突出部，所述第二过孔在所述衬底基板的正投影与所述突出部在所述衬底基板的正投影重叠，所述第一过孔在所述衬底基板的正投影与所述第一电源线在所述衬底基板上的正投影重叠。

[0007] 例如，在本公开至少一实施例提供的显示基板中，相邻像素单元组之间通过走线连接，所述多个像素单元组和所述走线在所述衬底基板上的正投影落入所述遮挡层的遮挡区在所述衬底基板上的正投影内。

[0008] 例如，在本公开至少一实施例提供的显示基板中，所述第二显示区包括阵列排布的多个第二像素单元和多条第二电源线，所述多个第二像素单元的每个包括像素区和开口区；所述多条第二电源线配置为与所述多个第二像素单元连接以向所述多个第二像素单元提供第二电源电压，所述第二电源电压和所述第一电源电压相同；对于一个第二像素单元，所述各个第二像素单元的开口区与所述遮挡层的遮挡区至少部分重叠，所述至少一个第二像素单元的开口区包括第二遮挡连接部，所述第二遮挡连接部与所述遮挡层的遮挡区至少部分重叠。

[0009] 例如，在本公开至少一实施例提供的显示基板中，所述第二显示区在所述衬底基板上的正投影落入所述遮挡层的遮挡区在所述衬底基板上的正投影内。

[0010] 例如，在本公开至少一实施例提供的显示基板中，所述多个第一像素单元和所述多个第二像素单元的每个包括像素驱动电路和发光器件，所述像素驱动电路配置为驱动所述发光器件发光。

[0011] 例如，在本公开至少一实施例提供的显示基板中，所述像素驱动电路包括驱动晶体管、数据写入晶体管、补偿晶体管、第一发光控制晶体管、第二发光控制晶体管、第一复位晶体管、第二复位晶体管和存储电容；所述第一复位晶体管、所述补偿晶体管、所述第二发光控制晶体管和所述第二复位晶体管的有源层位于沿第一方向延伸的第一半导体层，所述数据写入晶体管和所述第一发光控制晶体管的有源层位于沿第二方向延伸的第二半导体层，所述第一半导体层和所述第二半导体层通过所述驱动晶体管的有源层连接且一体形成，所述驱动晶体管的有源层位于所述第一复位晶体管的有源层在所述第一方向的假想线上，所述补偿晶体管和所述数据写入晶体管的有源层分别位于所述驱动晶体管的有源层的两侧，且位于所述驱动晶体管的有源层靠近所述第一复位晶体管的有源层的一侧，所述第二发光控制晶体管和第一发光控制晶体管的有源层分别位于所述驱动晶体管的有源层的两侧，且位于所述驱动晶体管的有源层远离所述第一复位晶体管的有源层的一侧，所述第二复位晶体管的有源层位于所述第二发光控制晶体管的有源层远离所述补偿晶体管的有源层的一侧，所述补偿晶体管包括沿所述第一方向延伸的第一栅极、沿所述第二方向延伸的第二栅极，所述第二栅极与沿所述第二方向延伸的所述第二发光控制晶体管的栅极、所述第二复位晶体管的栅极在所述第一方向上并排设置，所述数据写入晶体管的栅极和所述第一发光控制晶体管的栅极沿所述第二方向延伸，且在所述第一方向上并排设置，所述第一复位晶体管的栅极和所述驱动晶体管的栅极的沿所述第二方向延伸，且在所述第一方向上并排设置，所述驱动晶体管的栅极与所述存储电容的第一极板一体形成。

[0012] 例如，本公开至少一实施例提供的显示基板，还包括沿所述第二方向延伸的栅线、发光控制信号线、第一复位信号线和第二复位信号线，所述第一复位晶体管的栅极和所述

Petitioner Samsung Ex-1004, 0241

第一复位信号线连接且一体形成，所述补偿晶体管的第二栅极和所述数据写入晶体管的栅极与所述栅线连接且一体形成，所述第二发光控制晶体管的栅极和所述第一发光控制晶体管的栅极与所述发光控制信号线连接且一体形成，所述第二复位晶体管的栅极与所述第二复位信号线连接且一体形成。

[0013] 例如，本公开至少一实施例提供的显示基板，还包括数据线，其中，所述数据线与所述数据写入晶体管的有源层连接，且配置为提供数据信号，所述第一电源线在所述衬底基板上的正投影与所述第一复位晶体管的有源层和所述驱动晶体管的有源层在所述衬底基板上的正投影至少部分重叠，所述数据线在所述衬底基板上的正投影位于所述第二半导体层在所述衬底基板上的正投影远离所述第一电源线在所述衬底基板上的正投影的一侧。

[0014] 例如，在本公开至少一实施例提供的显示基板中，所述像素驱动电路还包括第一转接电极，所述第一转接电极与所述第二发光控制晶体管的有源层、所述第二复位晶体管的有源层以及所述发光器件的第一极通过过孔连接，所述第一转接电极在所述衬底基板上的正投影位于所述第二复位晶体管的有源层和所述驱动晶体管的有源层在所述衬底基板上的正投影之间。

[0015] 例如，在本公开至少一实施例提供的显示基板中，对于所述多个第二像素单元的每个，所述第二遮挡连接部在所述衬底基板上的正投影位于所述第二复位晶体管的有源层在所述衬底基板上的正投影和所述第二电源线在衬底基板上的正投影之间，且与所述第二电源线在衬底基板上的正投影至少部分重叠。

[0016] 例如，在本公开至少一实施例提供的显示基板中，对于各个像素单元组，所述第一遮挡连接部位于各个像素单元组中在所述第一方向上相邻两个第一像素单元之间。

[0017] 例如，在本公开至少一实施例提供的显示基板中，所述第一遮挡连接部在所述衬底基板上的正投影位于所述第二复位晶体管的有源层在衬底基板上的正投影和所述第一电源线在衬底基板上的正投影之间，且与所述第一电源线在衬底基板上的正投影至少部分重叠。

[0018] 例如，在本公开至少一实施例提供的显示基板中，所述第一遮挡连接部分别位于各个像素单元组的两端，且与所述各个像素单元组分别对应的多条第一电源线中至少一条连接。

[0019] 例如，在本公开至少一实施例提供的显示基板中，所述第一遮挡连接部分别位于各个像素单元组的一端，且与所述像素单元组对应的多条第一电源线中至少一条连接。

[0020] 例如，本公开至少一实施例提供的显示基板，还包括第四绝缘层、第一导电层、第二导电层和第三导电层；所述第一导电层包括所述栅线，所述第二导电层包括所述存储电容的第二极板，所述第三导电层包括所述第一电源线，在垂直于所述衬底基板的方向上，所述第四绝缘位于所述遮挡层和所述晶体管的有源层之间，所述第一绝缘层位于所述有源层和所述第一导电层之间，所述第二绝缘层位于所述栅线和所述第二导电层之间，所述第三绝缘层位于所述存储电容的第二极板和所述第三导电层之间。

[0021] 例如，在本公开至少一实施例提供的显示基板中，所述第一遮挡连接部位于所述第一导电层或所述第二导电层。

[0022] 本公开至少一实施例还提供一种显示装置，包括本公开任一实施例提供的显示基板和传感器，所述传感器设置于所述显示基板的第二侧，并且所述传感器配置为接收来自

Petitioner Samsung Ex-1004, 0242

所述显示基板的第一侧的光；所述传感器在所述衬底基板上的正投影与所述第一显示区至少部分重叠。

附图说明

[0023] 为了更清楚地说明本公开实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本公开的一些实施例，而非对本公开的限制。

[0024] 图1A为本公开至少一实施例提供的一种显示基板的平面示意图；

[0025] 图1B为本公开至少一实施例提供的一种显示基板的局部放大示意图；

[0026] 图1C为本公开至少另一实施例提供的一种显示基板的局部放大示意图；

[0027] 图1D为沿图1A中所示的线B1-B2的截面示意图；

[0028] 图2为本公开至少一实施例提供的一种第二显示区的像素单元的排布示意图；

[0029] 图3为本公开至少一实施例提供的显示面板的第一显示区的示意图；

[0030] 图4为本公开至少一实施例提供的一种显示基板的示意图；

[0031] 图5为本公开至少一实施例提供的一种像素驱动电路的示意图；

[0032] 图6A为图5中所示的像素驱动电路的一种层叠结构示意图；

[0033] 图6B为图5中所示的像素驱动电路的另一种层叠结构示意图；

[0034] 图7为本公开至少一实施例提供的一种沿线A-A`处的截面示意图；

[0035] 图8为图6A所示的显示基板的半导体图形的平面图；

[0036] 图9为图6A所示的显示基板的第一导电层的平面图；

[0037] 图10为图6A所示的显示基板的第二导电层的平面图；

[0038] 图11为图6A所示的显示基板的第三导电层的平面图；

[0039] 图12A为本公开至少一实施例提供的一种显示基板的一个示例的示意图；

[0040] 图12B为图12A所示的显示基板的遮挡层LS的遮挡区LS1的平面图；

[0041] 图12C为图12A所示的显示基板的半导体图形的平面图；

[0042] 图12D为图12A所示的显示基板的第一导电层的平面图；

[0043] 图12E为图12A所示的显示基板的第二导电层的平面图；

[0044] 图12F为图12A所示的显示基板的第三导电层的平面图；

[0045] 图13A为本公开至少一实施例提供的另一种显示基板的一个示例的示意图；

[0046] 图13B为图13A所示的显示基板的遮挡层LS的遮挡区LS1的平面图；

[0047] 图13C为图13A所示的显示基板的半导体图形的平面图；

[0048] 图13D为图13A所示的显示基板的第一导电层的平面图；

[0049] 图13E为图13A所示的显示基板的第二导电层的平面图；

[0050] 图13F为图13A所示的显示基板的第三导电层的平面图；

[0051] 图14A为本公开至少一实施例提供的又一种显示基板的一个示例的示意图；

[0052] 图14B为图14A所示的显示基板的遮挡层LS的遮挡区LS1的平面图；

[0053] 图14C为图14A所示的显示基板的半导体图形的平面图；

[0054] 图14D为图14A所示的显示基板的第一导电层的平面图；

[0055] 图14E为图14A所示的显示基板的第二导电层的平面图；

[0056] 图14F为图14A所示的显示基板的第三导电层的平面图；

Petitioner Samsung Ex-1004, 0243

[0057] 图15A为本公开至少一实施例提供的又一种显示基板的一个示例的示意图；

[0058] 图15B为图15A所示的显示基板的遮挡层LS的遮挡区LS1的平面图；

[0059] 图15C为图15A所示的显示基板的半导体图形的平面图；

[0060] 图15D为图15A所示的显示基板的第一导电层的平面图；

[0061] 图15E为图15A所示的显示基板的第二导电层的平面图；

[0062] 图15F为图15A所示的显示基板的第三导电层的平面图；

[0063] 图16为本公开至少一实施例提供的一种显示装置的示意图。

具体实施方式

[0064] 为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例的附图，对本公开实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本公开的一部分实施例，而不是全部的实施例。基于所描述的本公开的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本公开保护的范围。

[0065] 除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。同样，“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限定于物理的或者机械的连接，而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

[0066] OLED(Organic light-emitting diode，有机发光二极管)显示技术由于具有广视角、高对比度、快响应、低功耗、可折叠、柔性等优势，在显示器中具有强有力的竞争力。随着OLED技术的广泛发展和深入应用，对屏占比较高的显示屏的需求越来越强烈。屏下摄像头技术的前置摄像头位于屏幕下方，可以消除设置前置摄像头的开槽(notch)区，提高屏占比，具有更优的视觉体验。

[0067] 为了使更多的光线通过显示面板到达前置摄像头，需要降低屏幕透光显示区的PPI，即降低像素密度，但是像素电路走线间以及像素之间信号线连线间存在大量狭缝，当光线通过这些狭缝时会发生衍射与干涉，导致光线到达摄像头时的亮度不均匀，产生眩光现象(视野中某一局部地方出现过高的亮度或前后发生过大的亮度变化)，降低物体可见度，降低摄像头成像质量，并且易引起视觉疲劳。

[0068] 目前，一种解决方式为：增加一层金属层作为遮挡层，遮挡住像素电路及走线位置，防止光线经过这些狭缝造成干涉，但是，这些金属层由于处于浮接(Floating)状态会造成对像素电路的信号的干扰，影响显示效果。因此，需要对这些金属层通入直流信号，稳定电压。但是，若从像素电路中直接打孔连接，需要空间放置连接孔，因此会增大像素尺寸，降低屏幕的分辨率；若只从IC(Integrated chip，集成芯片)端连接，则会造成较大走线压降，影响显示质量。

[0069] 本公开至少一实施例提供一种显示基板，具有用于显示的第一侧和与第一侧相对的第二侧，包括：衬底基板；显示区，设置在衬底基板上，包括第一显示区和至少部分围绕第

Petitioner Samsung Ex-1004, 0244

一显示区的第二显示区，第一显示区允许来自显示基板的第一侧的光至少部分透射至显示基板的第二侧以用于感测，第一显示区包括间隔排列的多个像素单元组，多个像素单元组每个包括多个第一像素单元，多个第一像素单元的每个包括像素区和开口区；多条第一电源线，位于像素区，且配置为与所述多个像素单元组连接以向所述多个像素单元组提供第一电源电压；遮挡层，设置在衬底基板上，且位于第一电源线靠近衬底基板的一侧，包括镂空区和遮挡区；对于一个像素单元组，各个第一像素单元的开口区与遮挡层的遮挡区至少部分重叠，至少一个第一像素单元的开口区包括第一遮挡连接部，与遮挡层的遮挡区至少部分重叠，且遮挡层通过第一遮挡连接部和多条第一电源线中的至少一条第一电源线连接以接收第一电源电压；多条第一电源线位于第一遮挡连接部远离衬底基板的一侧，遮挡层位于第一遮挡连接部靠近衬底基板的一侧，第一遮挡连接部位于遮挡层和多条第一电源线之间。

[0070] 本公开实施例提供的显示基板可以在不降低像素密度的前提下，给遮挡层连接直流信号，防止遮挡层处于浮接状态，防止遮挡层的信号跳变对像素驱动电路造成干扰，同时降低第一电源线压降，提高显示面板的显示质量。

[0071] 下面结合附图对本公开的实施例进行详细地介绍。

[0072] 图1A为本公开至少一实施例提供的一种显示基板的平面示意图；图1B为本公开至少一实施例提供的一种显示基板的局部放大示意图；图1C为本公开至少另一实施例提供的一种显示基板的局部放大示意图；图1D为沿图1A中线B1-B2的截面示意图。

[0073] 例如，如图1A所示，本公开至少一实施例提供的显示基板1包括衬底基板100以及显示区。显示区设置在衬底基板100上，显示区包括第一显示区10(例如透光显示区)和第二显示区20(例如正常显示区)。显示基板1还可以包括周边区30，周边区30围绕(例如部分围绕)显示区。第二显示区20围绕(例如部分围绕)第一显示区10。

[0074] 例如，本公开至少一实施例提供的显示基板1可以为有机发光二极管(OLED)显示基板或者量子点发光二极管(QLED)显示基板等显示基板，本公开的实施例对显示基板的具体种类不做限定。

[0075] 例如，如图1D所示，第一显示区10为透光显示区，即允许来自显示基板1的第一侧S1(例如显示侧)的光至少部分透射至显示基板1的第二侧S2(例如非显示侧)，即来自显示侧的入射光透射通过第一显示区10以到达显示基板1的非显示侧。在显示基板1的第二侧S2还可以设置传感器192以接收该透射光，从而实现相应的功能(例如成像、红外感测、距离感测等)。例如，该传感器192设置在显示基板1的第二侧S2，传感器192在衬底基板100的正投影与第一显示区10至少部分重叠，且被配置为接收并处理来自显示基板1的第一侧S1的光。自显示基板1的第一侧S1的光可以是沿显示基板1的法线方向(例如Z1方向)的准直光，也可以是非准直光。

[0076] 例如，传感器192为图像传感器、红外传感器、距离传感器等，传感器192例如可以实现为芯片等形式。传感器192设置在显示基板1的第二侧S2(背离使用者一侧)。传感器192与第一显示区10在显示基板的显示面的法线方向上至少部分重叠。

[0077] 例如，传感器192可以是图像传感器，并可以用于采集传感器192的集光面面对的外部环境的图像，例如可以为CMOS图像传感器或CCD图像传感器；该传感器192还可以是红外传感器、距离传感器等。该传感器192可用于实现诸如手机、笔记本的移动终端的摄像头，

Petitioner Samsung Ex-1004, 0245

并且根据需要还可以包括例如透镜、反射镜或光波导等光学器件，以对光路进行调制。本公开的实施例对于传感器192的类型、功能以及设置方式不作限制。

[0078] 传感器192通过双面胶等方式设置在显示基板的第一侧S2，并且传感器192在衬底基板100上的正投影与第一显示区10至少部分重叠，配置为接收来自第一侧S1的光。由此，第一显示区10在实现显示的同时，还为传感器192的设置提供了便利。

[0079] 例如，如图1B以及图1C所示，第一显示区10包括第一子像素阵列(第一显示区10中的灰色方框组成)，第一子像素阵列包括在第一方向Y1以及与第一方向Y1交叉的第二方向X1上排布的多个像素单元组P1(第一显示区10中的灰色方框)。多个像素单元组P1的每个包括至少一个第一像素单元(例如多个第一像素单元)(后续详细介绍)。第一像素单元包括彼此直接连接的第一发光器件以及第一像素驱动电路，第一像素驱动电路被配置为驱动第一发光器件发光。第一发光器件以及第一像素驱动电路位于同一像素区域中，在位置上没有彼此分离。

[0080] 需要说明的是，第一方向Y1与第二方向X1可以垂直交叉也可以不垂直交叉，例如第一方向Y1与第二方向X1相互交叉的锐角的取值范围可以小于等于10°并大于等于45°。本公开实施例的附图中以第一方向Y1与第二方向X1垂直交叉为例示出。

[0081] 多个像素单元组P1之间具有允许光通过的间隙，即第一显示区10中的空白区域，以允许来自第一侧S1的入射光可以通过相邻像素单元组P1之间的间隙透射，以保证第一显示区10的透光性。

[0082] 例如，如图1B所示，多个第一像素单元组P1排布为相邻的两列之间错位排布，也即图中第一列的像素单元组P1，与第二列的像素单元组P1在第二方向X1上错开面分布在不同行。例如，相邻列的像素单元组P1不同行。

[0083] 例如，如图1C所示，多个像素单元组P1排布为多行多列，也即图中第一列的像素单元组P1，与第二列的像素单元组P1在第二方向X1上间隔相邻。

[0084] 例如，如图1B以及图1C所示，第二显示区20包括第二子像素阵列(第二显示区20中的白色方框组成)，第二子像素阵列包括多个第二像素单元C(第二显示区20中的白色方框)。多个第二像素单元C的每个包括彼此直接连接的第二发光器件以及第二像素驱动电路，第二像素驱动电路被配置为驱动第二发光器件发光。第二发光器件以及第二像素驱动电路位于同一像素区域中，在位置上没有彼此分离。例如，第二显示区20中的第二像素单元的排列方式如图2所示，

[0085] 例如，第二显示区的像素密度大于第一显示区的像素密度，如图1B以及图1C所示，第一显示区10的像素单元组P1的排布密度，小于第二显示区20中的第二像素单元C的排布密度。也即，第一显示区10的分辨率设置的低于第二显示区20的分辨率，以留出空间允许光线通过，即第一显示区10内排布的用于显示的像素密度小于第二显示区20的像素密度。

[0086] 图2为本公开至少一实施例提供的一种第二显示区的像素单元的排布示意图。图3为本公开至少一实施例提供的显示面板的第一显示区的示意图。如图2和图3所示，显示基板的第一显示区10和第二显示区20分别包括多个像素单元组P1，例如，图2和图3中仅示意性地示出了各个像素单元组P1包括4个像素单元P0，例如，该4个像素单元P0分别为第一子像素单元101、第二子像素单元102、第三子像素单元103和第四子像素单元104，本公开的实施例对此不做限制。

Petitioner Samsung Ex-1004, 0246

[0087] 需要注意的是，每个像素单元组P1还可以包括2个像素单元P0(如图14A-14E所示)或3个像素单元P0(如图15A-15E所示)等，本公开的实施例对此不做限制。

[0088] 例如，在图14A所示的示例中，一个像素组还可以包括两个子像素，例如，包括第一子像素101和第二子像素102，例如，第一子像素101为红色子像素，第二子像素102为绿色子像素；例如，在图15A所示的实施例中，一个第一像素组P1还可以包括三个子像素，例如，包括第一子像素101、第二子像素102、第三子像素103，例如，第一子像素101为红色子像素，第二子像素102为绿色子像素，第三子像素103为蓝色子像素，例如，该三个子像素位于一行；例如，在图12A所示的示例中，一个像素组还可以包括四个子像素，例如，包括第一子像素101、第二子像素102、第三子像素103和第四子像素104，例如，第一子像素101为红色子像素，第二子像素102为绿色子像素，第三子像素103为蓝色子像素，第四子像素104为绿色子像素，在其他的实施例中，像素组也可以采用其他颜色的像素单元。当然，在其他的实施例中，显示面板中多个子像素P0的排列方式也不限于图2和图3所示。本公开的实施例对此不作限制。

[0089] 例如，如图2所示，在第二显示区20中，各个像素单元P0均匀规则排布，在此不再赘述。

[0090] 例如，如图3所示，显示基板还包括栅线113和数据线313。栅线113和数据线313彼此绝缘。每条栅线113连接一行子像素，每条数据线313连接一列子像素。例如，栅线113被配置为向一行子像素提供扫描信号。数据线313配置为向一列子像素提供数据信号。

[0091] 例如，如图3所示，数据线313包括第一数据线DL1。第一数据线DL1至少位于第一显示区10。例如，第一数据线DL1从第一显示区10延伸至第二显示区20。例如，如图3所示，栅线113包括第一栅线GL1，第一栅线GL1从第二显示区20延伸至第一显示区10。

[0092] 为了表示清楚、简洁，图3仅示意性地示出了第一显示区10中相邻像素组P1之间的连接关系，并不构成对本公开的限制。图4为本公开至少一实施例提供的一种显示基板的示意图。例如，如图4所示，该显示基板还包括第一电源线VDD1，且配置为与多个像素单元组P1连接以向多个像素单元组P1提供第一电源电压。

[0093] 例如，如图4所示，该显示基板还包括遮挡层LS，设置在衬底基板100上，且位于第一电源线VDD1靠近衬底基板100的一侧，包括镂空区LS2和遮挡区LS1。例如，镂空区LS2对应于图3中所示相邻第一像素单元组之间的透光区域R0。如图3和4所示，透光区域R0由两条相邻第一栅线GL1、两条相邻第一数据线DL1围设而成，但不限于此。

[0094] 例如，第一显示区10包括多个透光区域R0；透光区域R0位于相邻第一像素组P1之间。透光区域R0可透过环境光。例如，透光区域R0可包括衬底基板以及位于衬底基板上的透明绝缘层，透光区域R0不具有光遮挡结构，例如，不具有金属走线。例如，透光区域R0位于四个相邻像素单元组P1以及连接像素单元组P1的走线围设的区域内，但不限于此。

[0095] 例如，如图4所示，相邻像素单元组之间通过走线(例如，第一数据线DL1、第一电源线311、栅线GL1、第一复位信号线111、第二复位信号线112、发光控制信号线110和初始化信号线210)连接，例如，多个像素单元组P0和走线在衬底基板100上的正投影落入遮挡层LS的遮挡区LS1在衬底基板100上的正投影内。即遮挡区LS1遮挡连接各个第一像素单元组的走线间以及各个第一像素单元组内部连接之间存在的大量狭缝，从而可以避免当光线通过这些狭缝时产生的衍射与干涉，避免导致光线到达摄像头时的亮度不均匀而产生的眩光现

Petitioner Samsung Ex-1004, 0247

象。

[0096] 例如，在本公开的实施例中，如图6A所示，多个第一像素单元P0的每个包括像素区A11(即第一像素单元中的晶体管、电容以及布线的区域，例如，上述多条电源线311(例如，对于第一像素单元P0，电源线311为第一电源线VDD1，对于第二像素单元C，电源线311为第二电源线VDD2，以下实施例与此相同，不再赘述)位于该像素区A11和开口区A12。例如，该开口区为将图6B中所示的第一像素单元P0缩小尺寸后得到的区域。例如，通过适当减小图6B中所示的像素驱动电路走线线宽、各个晶体管的宽长比、电容的大小、连接孔的尺寸以及将走线集中放置等，使得第一像素单元P0在相同的实线矩形框中空出一块开口区A12(如图6A)，从而可以提高显示面板的光透过率。例如，在本公开的实施例中，将像素区A11集中放置于像素单元组P0(即实线矩形框)上方的位置，以减小驱动电路所占空间，同时保持像素分辨率大小不变，因此可以空出一部分空间(即开口区A12)用于摆放将遮挡层LS连接至第一电源线311的第一遮挡连接部SP1以及连接孔V1/V2，正常像素单元与减小尺寸后像素单元的具体对比图如图6B和图6A所示。

[0097] 例如，图6A中的像素驱动电路的尺寸(即缩小后的像素驱动电路的尺寸)为图6B中所示的像素驱动电的尺寸(即缩小前的像素驱动电路的尺寸)的四分之一，当然还可以是六分之一、二分之一等，只要能实现相应的功能即可，本公开的实施例对此不做限制。例如：在一些示例中，对于FHD分辨率屏下摄像头屏幕，可以把像素驱动电路的尺寸压缩至QHD级别，同时保持FHD级别像素分辨率不变，因此可以空出一些空间，放置连接遮挡层LS的遮挡连接部LS2和连接孔。

[0098] 在本公开的上述实施例中，通过减小第一像素单元的像素驱动电路的尺寸可以有利于光的透射，同时有利于在不改变像素分辨率的前提下，实现遮挡层与第一电源线或其他电源线的连接，从而可以在不降低像素密度的前提下，给遮挡层连接直流信号，防止遮挡层处于浮接状态对像素驱动电路造成的信号干扰，降低第一电源线的压降，提高显示面板的显示质量。

[0099] 为了保证遮挡层的刻蚀均一性，正常显示区像素电路的下方也会有遮挡层层。例如，第二显示区20在衬底基板100上的正投影落入遮挡层LS的遮挡区LS2在衬底基板100上的正投影内。例如，由于第二显示区20不包括透光区域R0，因此，遮挡层LS对应于第二显示区20的部分可以为整面的，即没有镂空区的，从而可以遮挡第二显示区20中的各个像素驱动电路中的间隙以及连接各个像素驱动电路的走线之间产生的间隙。

[0100] 由于，正常像素驱动电路(例如，图6B中所示的像素驱动电路)走线较为紧凑，驱动电路走线占用尺寸大小即为像素密度大小，因此没有剩余空间摆放连接遮挡层LS的遮挡连接部和连接孔。

[0101] 对此，为了保证像素密度不变，第二显示区20中的像素驱动电路采用和第一显示区10中的像素驱动电路相同的结构，即，也采用图6A所示的结构和尺寸。

[0102] 例如，对于第二显示区20，如图1B和图1C所示，第二显示区20包括阵列排布的多个第二像素单元C和多条第二电源线VDD2，多个第二像素单元C的每个的结构如图6A所示，例如，包括像素区A11和开口区A12。

[0103] 例如，多条第二电源线VDD2配置为与多个第二像素单元C连接以向多个第二像素C单元提供第二电源电压。例如，第二电源电压和第一电源电压相同。例如，沿第二方向X1延

Petitioner Samsung Ex-1004, 0248

伸，且一条第二电源线VDD2为一列第二像素单元C提供第二电源电压。

[0104] 需要注意的是，为了区分电源线311所在的区域不同，将位于第一显示区10的电源线311称作第一电源线VDD1，将位于第二显示区20的电源线311称作第二电源线VDD2，二者提供的信号是一样的，即第一电源电压与第二电源电压相同，没有本质的区别。

[0105] 例如，对于一个第二像素单元C，各个第二像素单元C的开口区A12与遮挡层LS的遮挡区LS1至少部分重叠，即第二像素单元C采用减小尺寸后的图6A中所示的像素结构后，也空出开口区便于遮挡层LS与第二电源线VDD2的连接，以为遮挡层LS提供直流信号，避免遮挡层LS的浮接。

[0106] 例如，至少一个第二像素单元C的开口区A12包括第二遮挡连接部SP2，第二遮挡连接部SP2与遮挡层LS的遮挡区LS2至少部分重叠，且遮挡层LS通过第二遮挡连接部SP2和多条第二电源线VDD2中的至少一条电源线连接以接收第二电源电压，从而为遮挡层LS提供直流信号，避免遮挡层LS的浮接。

[0107] 图7为本公开至少一实施例提供的一种沿线A-A`处的截面示意图。下面以第一像素单元P0为例进行介绍，本公开的实施例对此不做限制。

[0108] 例如，如图6A和图7所示，遮挡层LS(例如，其遮挡区LS1)通过第一过孔V1与第一遮挡连接部SP1连接，第一遮挡连接部SP1通过第二过孔V2与至少一条第一电源线VDD1连接。

[0109] 例如，如图7所示，显示基板还包括第一绝缘层G11、第二绝缘层G12、第三绝缘层ILD和第四绝缘层G10。例如，第一绝缘层G11位于遮挡层LS(例如，其遮挡区LS1)和所述第一遮挡层连接部SP1之间。

[0110] 例如，如图7所示，第二绝缘层G12位于第一绝缘层G11和第一遮挡连接部SP1之间，第三绝缘层ILD位于第一遮挡连接部SP1和多条第一电源线VDD1之间；或者，第二绝缘层G12位于第一遮挡连接部SP1和多条第一电源线VDD1之间，第三绝缘层ILD位于第二绝缘层G12和多条第一电源线VDD1之间。图7中未具体示出第二绝缘层G12的位置关系，可根据实际情况而定，本公开的实施例对此不做限制。

[0111] 例如，在一些示例中，遮挡层LS通过贯穿第一绝缘层G11的第一过孔与第一遮挡连接部SP1连接，第一遮挡连接部SP1通过贯穿第二绝缘层G12和第三绝缘层ILD的第二过孔与至少一条第一电源线VDD1连接；或者，例如，在另一些示例中，如图7所示，遮挡层LS通过贯穿第一绝缘层G11和第二绝缘层G12的第一过孔V1与第一遮挡连接部SP1连接，第一遮挡连接SP1部通过贯穿第三绝缘层ILD的第二过孔与至少一条第一电源线VDD1连接。即，第一遮挡连接部SP1可以位于第一导电层，也可以位于第二导电层。图7示出了第一遮挡连接部SP1位于第二导电层的示意图，本公开的实施例对此不作限制。关于第一导电层和第二导电层的相关介绍，将在下面进行描述，在此不再赘述。例如，下面以第一遮挡连接部位于第一导电层为例进行介绍，本公开的实施例对此不做限制。

[0112] 图8为图6A所示的显示基板的半导体图形的平面图；图9为图6A所示的显示基板的第一导电层的平面图；图10为图6A所示的显示基板的第二导电层的平面图；图11为图6A所示的显示基板的第三导电层的平面图。

[0113] 如图7所示，第四绝缘层G10位于遮挡层LS和晶体管的有源层(例如，第二复位晶体管T1的有源层A7)之间。

[0114] 例如，如图8-图11所示，第一导电层LY1包括栅线GL1，第二导电层LY2包括存储电

Petitioner Samsung Ex-1004, 0249

容C1的第二极板C12，第三导电层LY3包括第一电源线VDD1．例如，在垂直于衬底基板100的方向上，第一绝缘层G11位于有源层A7和第一导电层LY1之间，第二绝缘层G12位于栅线和第二导电层LY2之间，第三绝缘层ILD位于存储电容C1的第二极板C12和第三导电层LY3之间。例如，第一遮挡连接不SP1位于图9所示的第一导电层LY1，本公开的实施例对此不做限制。

[0115] 例如，如图5所示，像素驱动电路包括驱动晶体管T1、数据写入晶体管T2、补偿晶体管T3、第一发光控制晶体管T4、第二发光控制晶体管T5、第一复位晶体管T6、第二复位晶体管T7和存储电容C1。例如，各个晶体管和电容均包括第一极和第二极，关于该像素驱动电路的连接关系和工作原理的介绍可参考本领域的描述，在此不再赘述。

[0116] 例如，如图8所示，第一复位晶体管T6、补偿晶体管T3、第二发光控制晶体管T5和第二复位晶体管T7的有源层A6、A3、A5、A7位于沿第一方向Y1延伸的第一半导体层A01，数据写入晶体管T2和第一发光控制晶体管T4的有源层A2、A4位于沿第二方向X1延伸的第二半导体层A02，第一半导体层A01和第二半导体层A02通过驱动晶体管T1的有源层A1连接且一体形成。

[0117] 例如，如图6A和8所示，驱动晶体管T1的有源层A1位于第一复位晶体管T6的有源层A6在第一方向Y1的假想线上，补偿晶体管T3和数据写入晶体管T2的有源层A3、A2分别位于驱动晶体管T1的有源层A1的两侧，且位于驱动晶体管T1的有源层A1靠近第一复位晶体管T6的有源层A6的一侧，即，在第二方向Y1上，补偿晶体管T3和数据写入晶体管T2的有源层A3、A2位于驱动晶体管T1的有源层A1的上方，第二发光控制晶体管T5和第一发光控制晶体管T4的有源层A5、A4分别位于驱动晶体管T1的有源层A1的两侧，且位于驱动晶体管T1的有源层A1远离第一复位晶体管T6的有源层A6的一侧，例如，在第二方向Y1上，位于驱动晶体管T1的有源层A1的下方。

[0118] 例如，如图6A和9所示，第二复位晶体管T7的有源层A7位于第二发光控制晶体管T5)的有源层A5远离补偿晶体管T3的有源层的一侧，补偿晶体管T3包括沿第一方向Y1延伸的第一栅极G31、沿第二方向X1延伸的第二栅极G32，第二栅极G32与沿第二方向X2延伸的第二发光控制晶体管T5的栅极G5、第二复位晶体管T7的栅极(图中未示出)在第一方向Y1上并排设置；数据写入晶体管T2的栅极G2和第一发光控制晶体管T4的栅极G4沿第二方向X1延伸，且在第一方向Y1上并排设置，

[0119] 例如，第一复位晶体管T6的栅极G6和驱动晶体管T1的栅极G1的沿第二方向X1延伸，且在第一方向Y1上并排设置，驱动晶体管T1的栅极G1与存储电容C1的第一极板C11一体形成。

[0120] 例如，显示基板还包括沿第二方向Y1延伸的栅线113、发光控制信号线110、第一复位信号线111和第二复位信号线(与第二复位晶体管T7的栅极一体形成)。

[0121] 例如，第一复位晶体管T6的栅极G6和第一复位信号线111连接且一体形成，补偿晶体管T3的第二栅极G32和数据写入晶体管T2的栅极G2与栅线113连接且一体形成，第二发光控制晶体管T6的栅极G6和第一发光控制晶体管T5的栅极G5与发光控制信号线110连接且一体形成，第二复位晶体管T7的栅极与第二复位信号线连接且一体形成。

[0122] 例如，显示基板还包括沿第二方向Y1延伸的栅线113、发光控制信号线110、第一复位信号线111和第二复位信号线112，例如，第一复位晶体管T6的栅极和第一复位信号线111连接且一体形成，补偿晶体管T3的第二栅极G32和数据写入晶体管T2的栅极G2与栅线113连

Petitioner Samsung Ex-1004, 0250

接且一体形成。第二发光控制晶体管T5的栅极G5和第一发光控制晶体管T4的栅极G4与发光控制信号线110连接且一体形成，第二复位晶体管T7的栅极G7与第二复位信号线112连接且一体形成。

[0123] 例如，显示基板还包括数据线313，数据线313与数据写入晶体管T4的有源层A4连接，且配置为提供数据信号DATA，第一电源线VDD1在衬底基板100上的正投影与第一复位晶体管T6的有源层A6和驱动晶体管T1的有源层A1在衬底基板100上的正投影至少部分重叠，数据线313在衬底基板100上的正投影位于第二半导体层A02在衬底基板100上的正投影远离第一电源线VDD1在衬底基板100上的正投影的一侧。

[0124] 例如，如图6A和图11，像素驱动电路还包括第一转接电极EC1，第一转接电极EC1与第二发光控制晶体管T5的有源层、第二复第一位晶体管T7的有源层A7以及发光器件20的第一极E1通过过孔连接，第一转接电极EC1在衬底基板100上的正投影位于第二复位晶体管T7的有源层A7和驱动晶体管T1的有源层A1在衬底基板100上的正投影之间。

[0125] 例如，对于多个第二像素单元C的每个，第二遮挡连接部SP2在衬底基板100上的正投影位于第二复位晶体管T7的有源层A7在衬底基板100上的正投影和第二电源线VDD2在衬底基板100上的正投影之间，且与第二电源线VDD2在衬底基板100上的正投影至少部分重叠，由此可以空出开口区A12。

[0126] 例如，参考图5，栅线113被配置为向像素电路10提供扫描信号SCAN。发光控制信号线110被配置为向子像素P0提供发光控制信号EM。数据线313被配置为向像素电路10提供数据信号DATA，第一电源线311被配置为向像素电路10提供恒定的第一电压信号ELVDD，第三电源线312被配置为向像素电路10提供恒定的第二电压信号ELVSS，并且第一电压信号ELVDD大于第二电压信号ELVSS。初始化信号线210被配置为向像素电路10提供初始化信号Vinit。初始化信号Vinit为恒定的电压信号，其大小例如可以介于第一电压信号ELVDD和第二电压信号ELVSS之间，但不限于此，例如，初始化信号Vinit可小于或等于第二电压信号ELVSS。例如，像素电路在扫描信号SCAN、数据信号DATA、初始化信号Vinit、第一电压信号ELVDD、第二电压信号ELVSS、发光控制信号EM等信号的控制下输出驱动电流以驱动发光元件20发光。发光元件20在其对应的像素电路10的驱动下发出红光、绿光、蓝光，或者白光等。

[0127] 如图5所示，该像素电路10的驱动晶体管T1与发光元件20电连接，并在扫描信号SCAN、数据信号DATA、第一电压信号ELVDD、第二电压信号ELVSS等信号的控制下输出驱动电流以驱动发光元件20发光。

[0128] 例如，本公开实施例提供的显示面板还包括：数据驱动电路和扫描驱动电路。数据驱动电路被配置为根据控制电路的指令向子像素P0提供数据信号DATA；扫描驱动电路被配置为根据控制电路的指令向子像素P0提供发光控制信号EM、扫描信号SCAN以及第一复位控制信号RST1和第二复位信号RST2等信号。例如，控制电路包括外部集成电路(IC)，但不限于此。例如，扫描驱动电路为安装于该显示面板上的GOA(Gate driver On Array)结构，或者为与该显示面板进行绑定(Bonding)的驱动芯片(IC)结构。例如，还可以采用不同的驱动电路分别提供发光控制信号EM和扫描信号SCAN。例如，显示面板还包括电源(图中未示出)以提供上述电压信号，根据需要可以为电压源或电流源，所述电源被配置为分别通过第一电源线311、第三电源线312、以及初始化信号线210向子像素P0提供第一电压信号ELVDD、第二电源电压ELVSS、以及初始化信号Vinit等。

Petitioner Samsung Ex-1004, 0251

[0129] 如图5所示，存储电容C1的第二极C12与第一电源线311电连接，存储电容C1的第一极C11与阈值补偿晶体管T1的第二极T12电连接。数据写入晶体管T2的栅极T20与栅线113电连接，数据写入晶体管T2的第一极T21与第二极T22分别与数据线313、驱动晶体管T1的第一极T11电连接。阈值补偿晶体管T3的栅极T30与栅线113电连接，阈值补偿晶体管T3的第一极T31与驱动晶体管T1的第二极T12电连接，阈值补偿晶体管T3的第二极T32与驱动晶体管T1的栅极T10电连接。

[0130] 例如，如图5所示，第一发光控制晶体管T4的栅极T40和第二发光控制晶体管T5的栅极T50均与发光控制信号线110相连。

[0131] 例如，如图5所示，第一发光控制晶体管T4的第一极T41与第二极T42分别与第一电源线311和驱动晶体管T1的第一极T11电连接。第二发光控制晶体管T5的第一极T51与第二极T52分别与驱动晶体管T16的第二极T12、发光元件20的像素电极E1(可为OLED的阳极)电连接。发光元件20的公共电极E2(可为OLED的公共电极，例如阴极)与第三电源线312电连接。

[0132] 例如，如图5所示，第一复位晶体管T6的栅极T60与第一复位控制信号线111电连接，第一复位晶体管T6的第一极T61与初始化信号线210(第一初始化信号线211)电连接，第一复位晶体管T6的第二极T62与驱动晶体管T1的栅极T10电连接。第二复位晶体管T7的栅极T70与第二复位控制信号线112电连接，第二复位晶体管T7的第一极T71与初始化信号线210(第二初始化信号线212)电连接，第二复位晶体管T7的第二极T72与发光元件20的像素电极E1电连接。

[0133] 图8示出了半导体图形SCP，图9示出了第一导电层LY1，第一导电层LY1和半导体图形SCP之间设置有第一绝缘层G11。以第一导电层LY1为掩模版对半导体图形SCP进行掺杂，使得半导体图形SCP的未被第一导电层LY1覆盖的区域保留半导体特性，形成薄膜晶体管的沟道，而半导体图形SCP的被第一导电层LY1覆盖的区域被导体化，形成薄膜晶体管的源极或者漏极。如图6A示出了半导体图形SCP被部分导体化之后形成的有源层。

[0134] 如图9所示，第一导电层LY1包括第一复位控制信号线111、第二复位控制信号线(图中未示出)、发光控制信号线110、栅线113和存储电容C1的第一极C11。

[0135] 图10示出了第二导电层LY2，第二导电层LY2和第一导电图案层LY1之间设置有第二绝缘层G12。第二导电层LY2包括初始化信号线210和存储电容C1的第二极C12。存储电容C1的第二极C12具有开口。层间绝缘层ILD位于第二导电层LY2和第三导电层LY3之间。有关于第一栅绝缘层、第二栅绝缘层和层间绝缘层、第一导电层LY1、第二导电层LY2和第三导电层LY3可参照本领域的介绍，在此不再赘述。

[0136] 图11示出了第三导电层LY3，第三导电层LY3包括第一电源线311、数据线313、第一连接电极EC1、第二连接电极EC2和发光元件20的第一极E1。

[0137] 例如，如图11所示，第一电源线311包括突出部3111，第二过孔V2在衬底基板的正投影与突出部3111在衬底基板的正投影重叠，即，第一遮挡连接部SP1通过第二过孔V2与第一电源线S11的突出部3111连接。第一过孔V1在衬底基板的正投影与第一电源线311在衬底基板上的正投影重叠。例如，如图6A和图7所示，第一过孔V1与第二过孔V2左右设置，当然，也可以在第一方向Y1上上下设置，本公开的实施例对此不作限制。

[0138] 例如，在本公开的实施例中，第一过孔V1和第二过孔V2在衬底基板上的正投影不

Petitioner Samsung Ex-1004, 0252

重叠，即二者上下设置或左右设置，这样可以简化工艺，避免第一过孔和第二过孔在衬底基板上的正投影重叠造成的膜层容易断裂以及工艺不易实现和第一电源线311坡度较大、不平坦等问题。

[0139] 需要说明的是，本公开一些实施例中采用的晶体管均可以为薄膜晶体管或场效应晶体管或其他特性相同的开关器件。这里采用的晶体管的源极、漏极在结构上可以是对称的，所以其源极、漏极在结构上可以是没有区别的。在本公开一实施例中，为了区分晶体管除栅极之外的两极，直接描述了其中一极为第一极，另一极为第二极，所以本公开实施例中全部或部分晶体管的第一极和第二极根据需要是可以互换的。例如，本公开实施例所述的晶体管的第一极可以为源极，第二极可以为漏极；或者，晶体管的第一极为漏极，第二极为源极。

[0140] 此外，按照晶体管的特性区分可以将晶体管分为N型和P型晶体管。本公开实施例以晶体管均采用P型晶体管为例进行说明。基于本公开对该实现方式的描述和教导，本领域普通技术人员在无需做出创造性劳动前提下，能够容易想到将本公开实施例的像素电路中至少部分晶体管采用N型晶体管，即采用N型晶体管或N型晶体管和P型晶体管组合的实现方式，因此，这些实现方式也是在本公开的保护范围内的。

[0141] 图6A以7T1C的像素电路为例进行说明，本公开的实施例包括但不限于此。需要说明的是，本公开的实施例对像素电路包括的薄膜晶体管的个数以及电容的个数不做限定。例如，在另外的一些实施例中，显示基面板的像素电路还可以为包括其他数量的晶体管的结构，如7T2C结构、6T1C结构、6T2C结构或者9T3C结构，本公开实施例对此不作限定。

[0142] 例如，本公开至少一实施例中的衬底基板100可以为玻璃板、石英板、金属板或树脂类板件等。例如，衬底基板的材料可以包括有机材料，例如该有机材料可以为聚酰亚胺、聚碳酸酯，聚丙烯酸酯、聚醚酰亚胺、聚醚砜、聚对苯二甲酸乙二醇酯和聚萘二甲酸乙二醇酯等树脂类材料；例如，衬底基板100可以为柔性基板或非柔性基板，本公开的实施例对此不作限制。

[0143] 例如，第一绝缘层G11、第二绝缘层G12、第三绝缘层ILD以及第四绝缘层BL的材料可以包括例如SiNx、SiOx、SiNxOy等无机绝缘材料、例如有机树脂等有机绝缘材料，或其它适合的材料，本公开的实施例对此不作限定。

[0144] 例如，上述第三导电层LY3的材料可以包括钛、钛合金、铝、铝合金、铜、铜合金或其他任意适合的复合材料，本公开的实施例对此不作限定。例如，遮挡层LS、第一导电层LY1和第二导电层LY2的材料可以与第三导电层LY3的材料相同，在此不再赘述

[0145] 例如，半导体层310的材料可以包括氧化物半导体、有机半导体或非晶硅、多晶硅等，例如，氧化物半导体包括金属氧化物半导体(例如氧化铟镓锌(IGZO))，多晶硅包括低温多晶硅或者高温多晶硅等，本公开的实施例对此不作限定。需要说明的是，上述的源极区域和漏极区域可为掺杂有n型杂质或p型杂质的区域，本公开的实施例对此不作限制。

[0146] 下面示出了第一遮挡连接部的几个示例的示意图。例如，第一遮挡连接可以位于第一显示区的两行第一像素单元的中间、两端或者一端，本公开的实施例对此不做限制。

[0147] 图12A为本公开至少一实施例提供的一种显示基板的一个示例的示意图；图12B为图12A所示的显示基板的遮挡层LS的遮挡区LS1的平面图；图12C为图12A所示的显示基板的半导体图形的平面图；图12D为图12A所示的显示基板的第一导电层的平面图；图12E为图

Petitioner Samsung Ex-1004, 0253

12A所示的显示基板的第二导电层的平面图；图12F为图12A所示的显示基板的第三导电层的平面图。

[0148] 例如，如图12A所示，一个像素单元组包括四个第一像素单元101、102、103和104。例如，如图12A所示，对于各个像素单元组，第一遮挡连接部SP1位于各个像素单元组中在第一方向Y1上相邻两个第一像素单元之间。关于图12B至图12F的相关介绍可参考图8-图11的描述。

[0149] 例如，在图12A所示的示例中，第一遮挡连接部SP1在衬底基板100上的正投影位于第二复位晶体管T7的有源层A7在衬底基板100上的正投影和第一电源线VDD1在衬底基板100上的正投影之间，且与第一电源线VDD1在衬底基板100上的正投影至少部分重叠(例如，如图6A所示)。

[0150] 例如，如图12A所示，在第一方向Y1上，相邻两个像素单元组之间的第一电源线311通过一条第三导线L3连接，第一数据线DL1包括第一部分DL11和第二部分DL12，第一数据线DL1的第一部分DL11与第三导线L3部分交叠，第一数据线DL1的第二部分DL12与第三导线L3至少部分交叠，第一数据线DL1的第一部分DL11和第一数据线DL1的第二部分DL12分别位于不同的层。例如，图12A中左侧的第一数据线DL1的第一部分DL11位于图12E所示的第二导电层LY2，右侧的第一数据线DL1的第二部分DL12位于图12D所示的第一导电层LY1。例如，参考图12A、12D、12E，第一数据线DL1的第一部分DL11和第二部分DL12以及第三导线L3位于相邻像素单元组之间。

[0151] 例如，如图12F所示，第三导线L3与第一电源线311一体形成，一连接相邻两个像素单元组的第一电源线311，从而使得相邻像素单元组中仅通过一条第三导线连接，从而减小布线面积，提高光的透过率。

[0152] 例如，参考图12F，提供两条第一数据线DL1，两条第一数据线DL1分别与相邻两列子像素连接。例如，如图12F所示，第一部分DL11和第二部分DL12分别与该两条第一数据线DL1连接，且与同一条第三导线L3在衬底基板BS上的正投影部分交叠。该种设置方式使得相邻两列子像素中位于像素单元组之间的数据线可以藏在第三导线之下，从而，减小布线面积，提高光的透过率。

[0153] 例如，如图12B所示，遮挡区LS1包括第一部分LS11、第二部分LS12、第三部分LS13和第四部分LS14，分别和与图12A所示的像素单元组连接的走线交叠。例如，遮挡区LS1的第三部分LS13在衬底基板上的正投影与图12A中和上一个像素单元组连接的第三导线L3，第一数据线DL1的第一部分DL11和第二部分DL12在衬底基板上的正投影中重叠，从而可以遮挡第三导线L3、第一数据线DL1的第一部分DL11和第二部分DL12以及它们之间的空隙。遮挡区LS1的第四部分LS14在衬底基板上的正投影与图12A中的与下一个像素单元组连接的第三导线L3，第一数据线DL1的第一部分DL11和第二部分DL12在衬底基板上的正投影中重叠。遮挡区LS1的第一部分LS11和第二部分LS12在衬底基板上的正投影分别和左右像素单元组连接的走线在衬底基板上的正投影重叠。

[0154] 如图12C所示，由于遮挡连接部SP1位于相邻第一像素单元的中间，为了便于遮挡连接部SP1的设置，位于同一个像素单元组的同一列中的上一个第一像素单元中的第二复位晶体管的有源层沿第一方向Y1延伸且与位于同一列的下一个第一像素单元的第一复位晶体管T6的有源层连接。需要注意的是，本公开的实施例对此不作限制。

Petitioner Samsung Ex-1004, 0254

[0155] 图13A为本公开至少一实施例提供的另一种显示基板的一个示例的示意图；图13B为图13A所示的显示基板的遮挡层LS的遮挡区LS1的平面图；图13C为图13A所示的显示基板的半导体图形的平面图；图13D为图13A所示的显示基板的第一导电层的平面图；图13E为图13A所示的显示基板的第二导电层的平面图；图13F为图13A所示的显示基板的第三导电层的平面图。

[0156] 例如，图13A所示的显示基板与图12A所示的显示基板类似，区别在于：第一遮挡连接部SP1分别位于各个像素单元组的两端，且与各个像素单元组分别对应的多条第一电源线VDD1中至少一条连接。例如，位于两端的第一遮挡连接部SP1可以彼此同一条第一电源线VDD1连接，也可以与该像素单元组对应的多条第一电源线VDD1中的不同的两条分别连接，即两个第一遮挡连接部可以均位于同一列，也可以位于不同的列，本公开的实施例对此不作限制。

[0157] 如图13B所示，遮挡区LS1仅包括沿第二方向X1延伸出的部分LS21、LS22、LS23和LS24，分别遮挡与左右像素单元组连接的走线。由于图13A中连接上下像素单元组的第三导线、第一数据线DL1的第一部分和第二部分分别沿第二方向X1延伸，因此，与图12B中的示例相比，图13B中所示的遮挡区LS1不包括沿第一方向Y1方向延伸的部分。

[0158] 需要注意的是，当遮挡连接部SP1位于两端时，如图13B所示，各个第一像素单元的半导体层一致，即位于同一列的第一像素单元不连接，且第二复位晶体管的有源层与图12C中的不同，还包括弯折部T74。

[0159] 图14A为本公开至少一实施例提供的又一种显示基板的一个示例的示意图；图14B为图14A所示的显示基板的遮挡层LS的遮挡区LS1的平面图；图14C为图14A所示的显示基板的半导体图形的平面图；图14D为图14A所示的显示基板的第一导电层的平面图；图14E为图14A所示的显示基板的第二导电层的平面图；图14F为图14A所示的显示基板的第三导电层的平面图。图15A为本公开至少一实施例提供的又一种显示基板的一个示例的示意图；图15B为图15A所示的显示基板的遮挡层LS的遮挡区LS1的平面图；图15C为图15A所示的显示基板的半导体图形的平面图；图15D为图15A所示的显示基板的第一导电层的平面图；图15E为图15A所示的显示基板的第二导电层的平面图；图15F为图15A所示的显示基板的第三导电层的平面图。

[0160] 例如，如图14A所示，一个像素单元组包括2个第一像素单元101和102。例如，如图15A所示，一个像素单元组包括3个第一像素单元101、102和103。

[0161] 图15B中的遮挡区与图12B中的遮挡区类似，区别在于还包括突出部，相同的部分不再赘述。

[0162] 例如，如图14A和15A所示，第一遮挡连接部SP1分别位于各个像素单元组的一端，且与像素单元组对应的多条第一电源线VDD1中至少一条连接。例如，第一遮挡连接部SP1与第一像素单元101连接的第一电源线VDD1连接，本公开的实施例对此不作限制。

[0163] 例如，如图14B所示，当第一遮挡连接部SP1分别位于各个像素单元组的一端，或两端时，遮挡层LS的遮挡区LS1还包括突出部LS11，以与第一遮挡连接部SP1交叠，从而可以避免发生光的衍射等现象。

[0164] 需要注意的是，上述各个实施例仅示意性地示出了第一遮挡连接部SP1的个数和位置，当然，对于不同实施例的显示基板对应的第一遮挡连接部SP1的个数还可以更多或更

Petitioner Samsung Ex-1004, 0255

少，位置也可以变化，本公开的实施例对此不作限制。

[0165] 需要说明的是，第二显示区20中的第二遮挡部SP2连接遮挡层LS和第二电源线VDD2的方式与第一显示区10的第一遮挡部SP2连接方式基本相同，具体可以参考上述图7、图12A-图15F的相关描述，在此不再赘述。例如，第二显示区20中的各个第二像素单元C中均对应一个第二遮挡部，从而ELVDD信号在每个像素电路中都连接到遮挡层LS，给遮挡层LD输入了稳定的直流信号，并且在整个显示区构成了大片的ELVDD信号网络，有利于减少走线压降，增加显示均一性，提高显示效果。同时，第一显示区10的遮光层LS与第二显示区20的遮光层LS连接且一体形成，从而构成一整片ELVDD信号网络，进一步减小提供ELVDD信号的电源线(即第一电源线VDD1和第二电源线VDD2)的走线压降，提高显示效果。

[0166] 图16为本公开至少一实施例提供的一种显示装置的示意图。本公开至少一个实施例提供一种显示装置2，该显示装置2可以包括上述任一实施例的显示基板1。

[0167] 例如，如图16所示，显示装置2还可以包括柔性电路板及控制芯片。例如，柔性电路板邦定到显示基板1的邦定区，而控制芯片安装在柔性电路板上，由此与显示区电连接；或者，控制芯片直接邦定到邦定区，由此与显示区电连接。

[0168] 例如，控制芯片可以为中央处理器、数字信号处理器、系统芯片(SoC)等。例如，控制芯片还可以包括存储器，还可以包括电源模块等，且通过另外设置的导线、信号线等实现供电以及信号输入输出功能。例如，控制芯片还可以包括硬件电路以及计算机可执行代码等。硬件电路可以包括常规的超大规模集成(VLSI)电路或者门阵列以及诸如逻辑芯片、晶体管之类的现有半导体或者其它分立的元件；硬件电路还可以包括现场可编程门阵列、可编程阵列逻辑、可编程逻辑设备等。

[0169] 例如，本公开至少一个实施例提供的显示装置2可以为OLED面板、OLED电视、QLED面板、QLED电视、手机、平板电脑、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。该显示装置2还可以包括其他部件，例如数据驱动电路、时序控制器等，本公开的实施例对此不作限定。

[0170] 例如，如图16以及图1所示，显示装置2还包括传感器192。传感器192设置于显示基板1的第二侧S2(例如非显示侧)。传感器192配置为接收来自显示基板1的第一侧S1(例如显示基板的显示侧)的光(例如为准直光或准直光)。传感器192在衬底基板100上的正投影与第一显示区10至少部分重叠。

[0171] 例如，传感器192为图像传感器、红外传感器、距离传感器等，传感器192例如可以实现为芯片等形式。传感器192设置在显示基板的非显示侧S2(背离使用者一侧)。

[0172] 例如，在传感器192与第一显示区10在显示基板的显示面的法线方向上至少部分重叠。

[0173] 例如，传感器192可以是图像传感器，并可以用于采集传感器192的集光面面对的外部环境的图像，例如可以为CMOS图像传感器或CCD图像传感器；该传感器192还可以是红外传感器、距离传感器等。该传感器192可用于实现诸如手机、笔记本的移动终端的摄像头，并且根据需要还可以包括例如透镜、反射镜或光波导等光学器件，以对光路进行调制。本公开的实施例对于传感器192的类型、功能以及设置方式不作限制。

[0174] 传感器192通过双面胶等方式设置在显示面板的非显示侧S2，并且传感器192在衬底基板100上的正投影与第一显示区10至少部分重叠，配置为接收来自第一侧S1的光。由

Petitioner Samsung Ex-1004, 0256

此，第一显示区10在实现显示的同时，还为传感器192的设置提供了便利。

[0175] 需要说明的是，为表示清楚、简洁，本公开的实施例并没有给出该显示装置的全部组成单元。为实现该显示装置的基板功能，本领域技术人员可以根据具体需要提供、设置其他未示出的结构，本公开的实施例对此不作限制。

[0176] 关于上述实施例提供的显示装置的技术效果可以参考本公开的实施例中提供的显示基板的技术效果，这里不再赘述。

[0177] 有以下几点需要说明：

[0178] (1)本公开实施例附图只涉及到与本公开实施例涉及到的结构，其他结构可参考通常设计。

[0179] (2)在不冲突的情况下，本公开的实施例及实施例中的特征可以相互组合以得到新的实施例。

[0180] 以上所述，仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，任何熟悉本技术领域的技术人员在本公开揭露的技术范围内，可轻易想到变化或替换，都应涵盖在本公开的保护范围之内。因此，本公开的保护范围应以所述权利要求的保护范围为准。

Petitioner Samsung Ex-1004, 0257

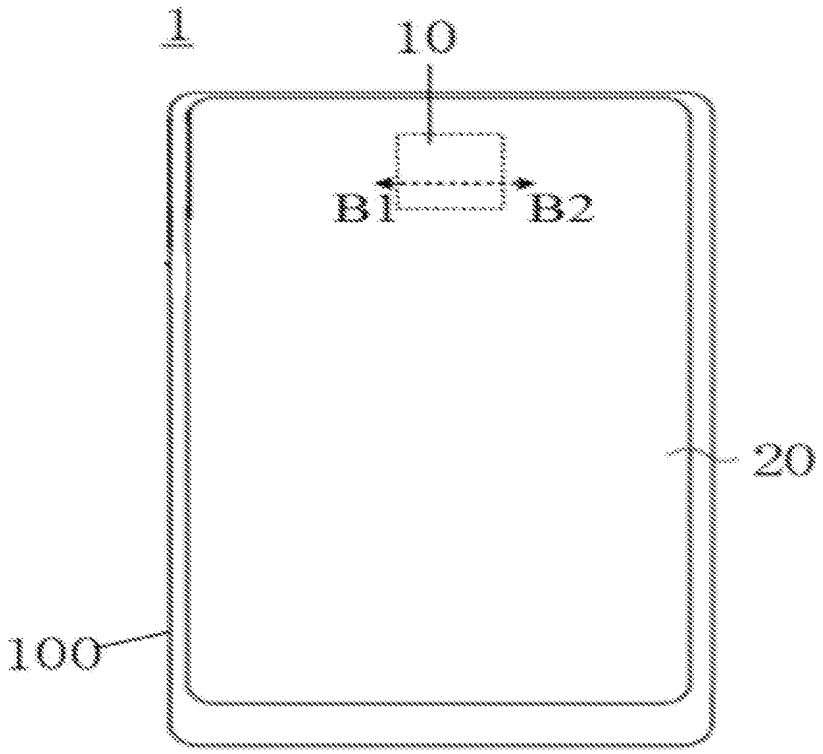


图1A

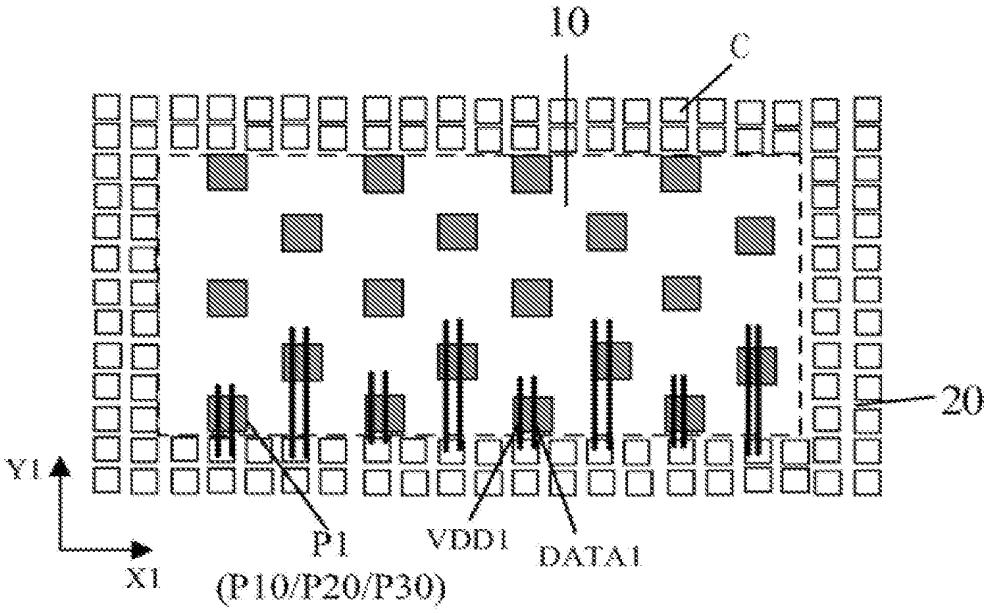


图1B

Petitioner Samsung Ex-1004, 0258

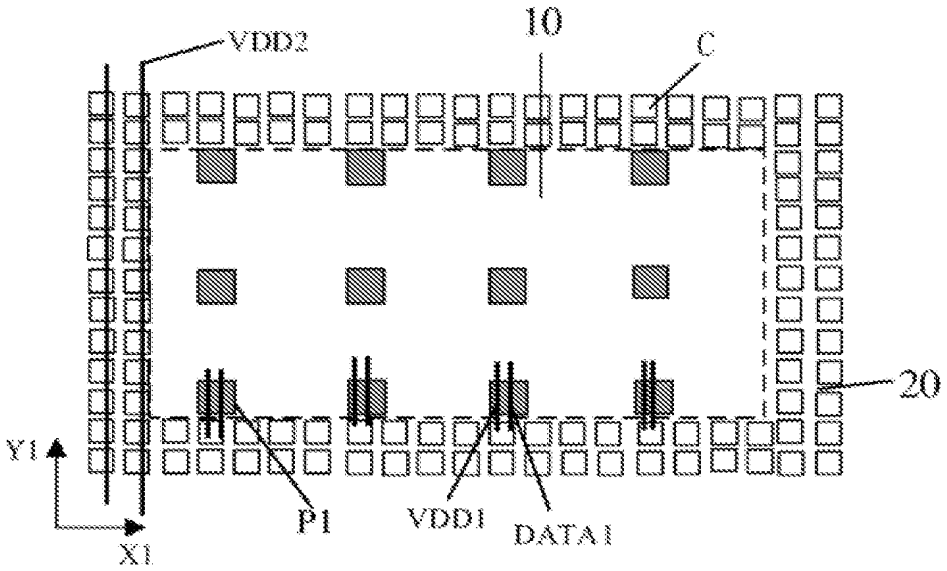


图1C

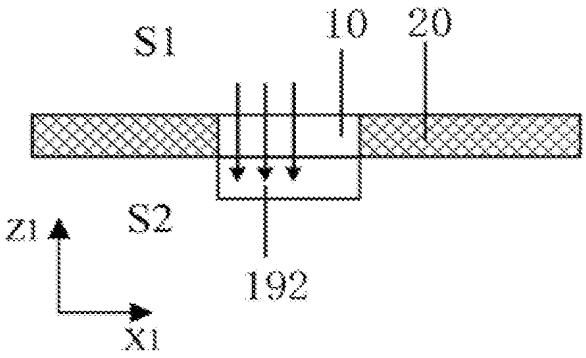


图1D

Petitioner Samsung Ex-1004, 0259

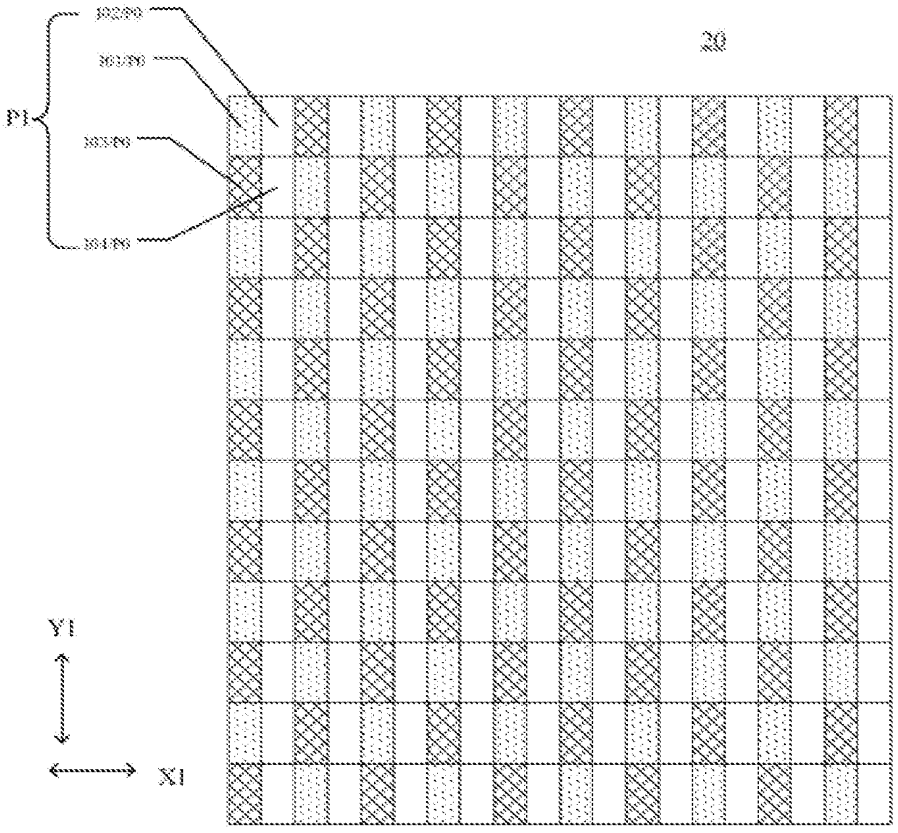


图2

Petitioner Samsung Ex-1004, 0260

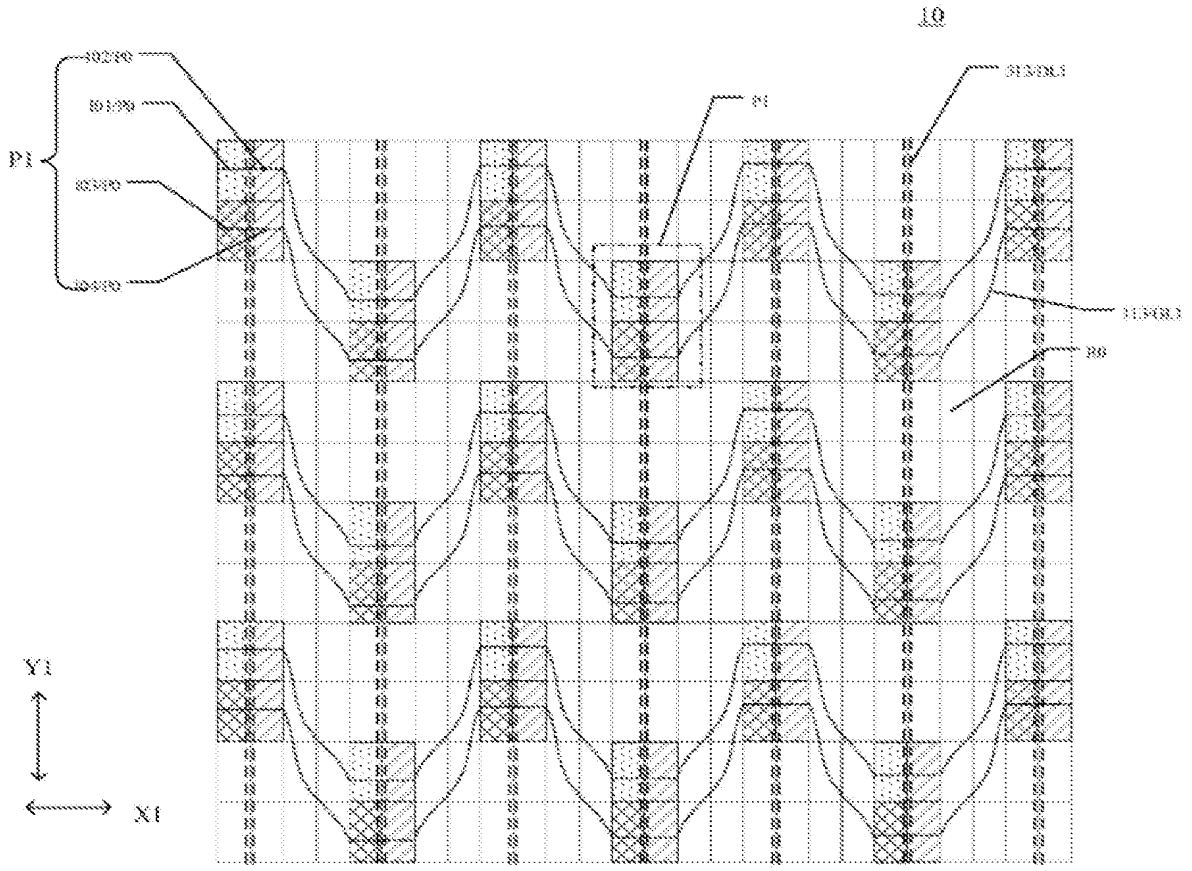


图3

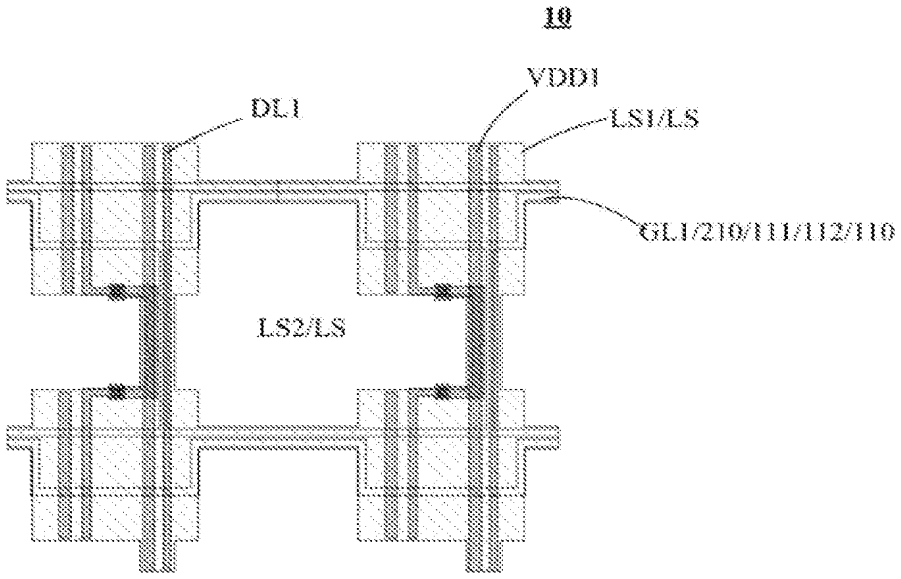


图4

Petitioner Samsung Ex-1004, 0261

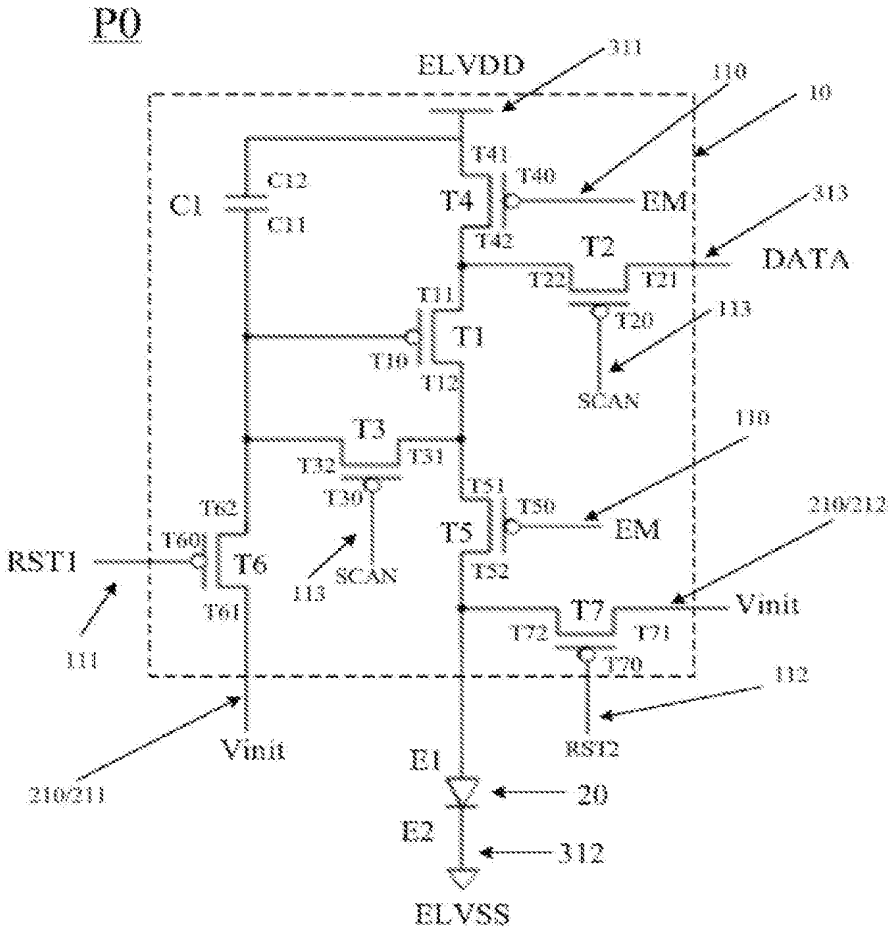


图5

Petitioner Samsung Ex-1004, 0262

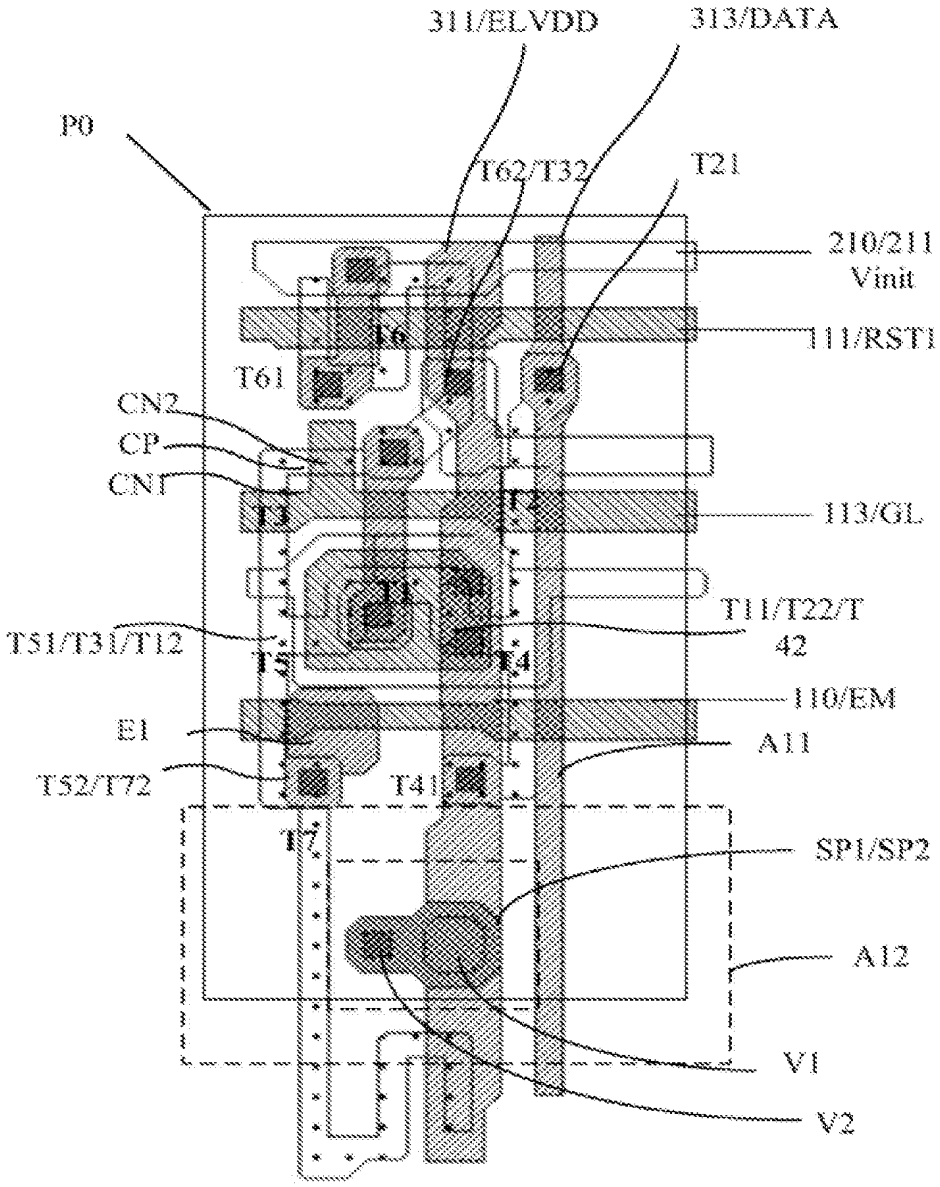


图6A

Petitioner Samsung Ex-1004, 0263

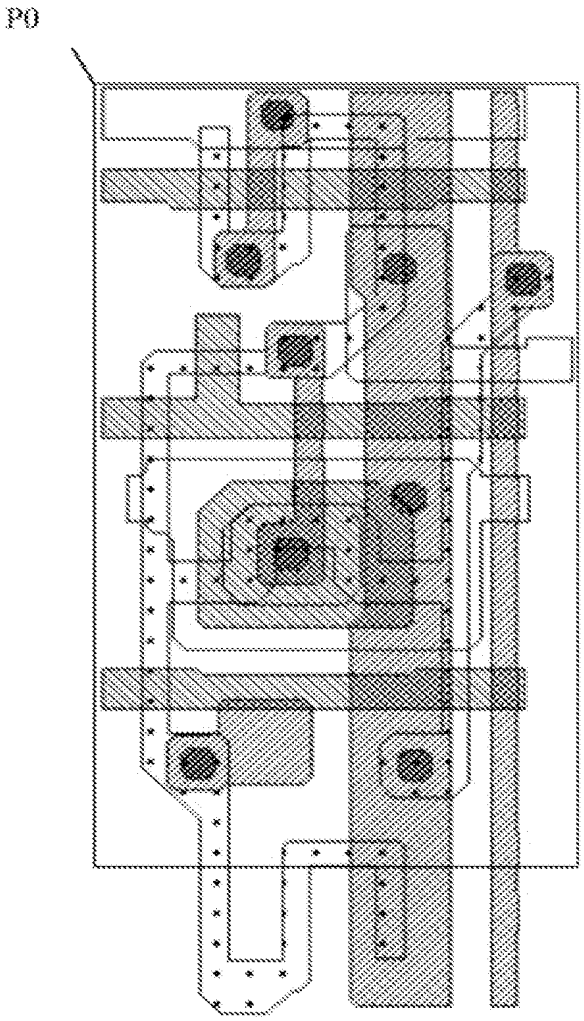


图6B

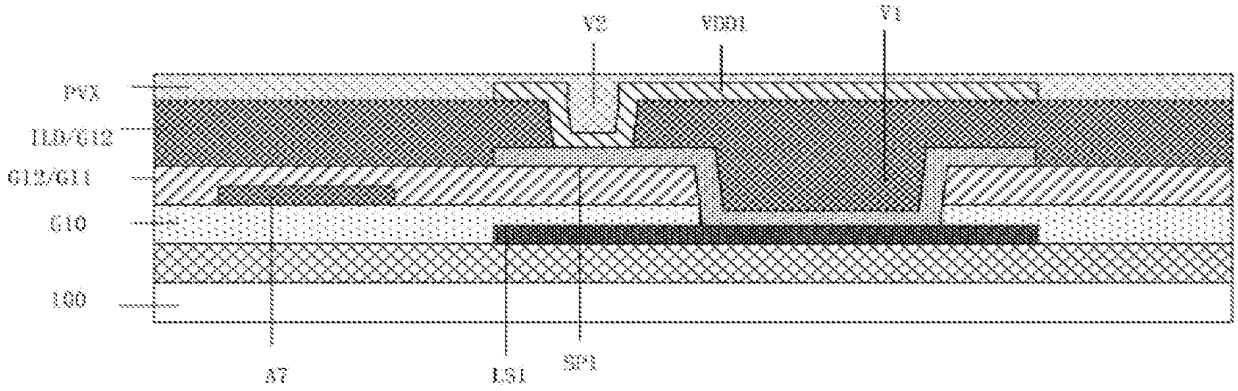


图7

Petitioner Samsung Ex-1004, 0264

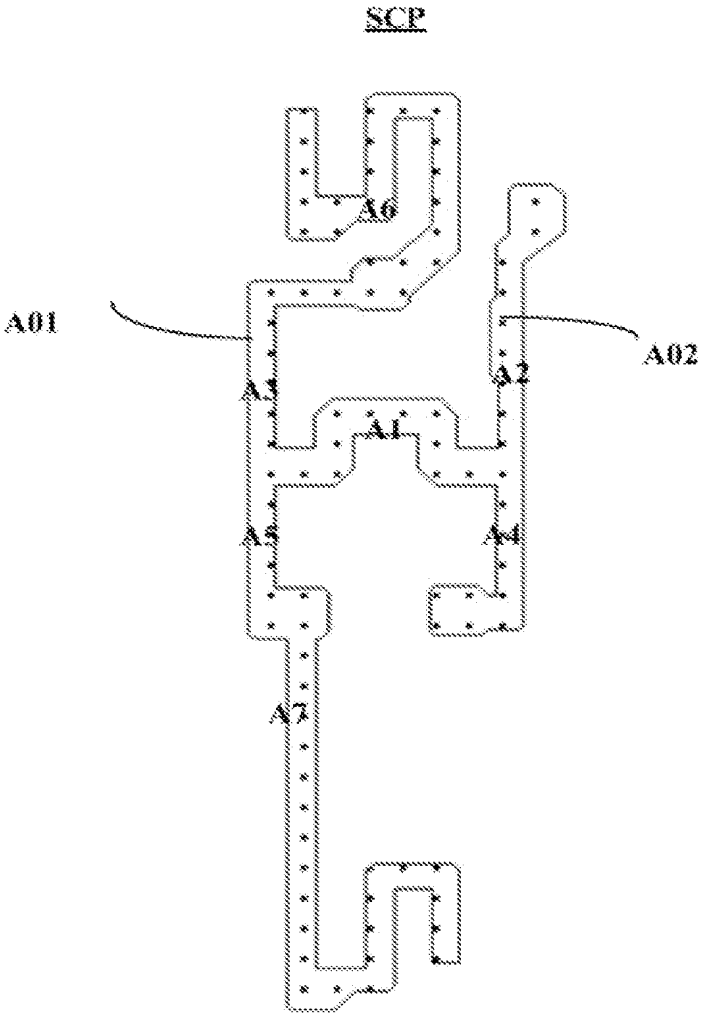


图8

Petitioner Samsung Ex-1004, 0265

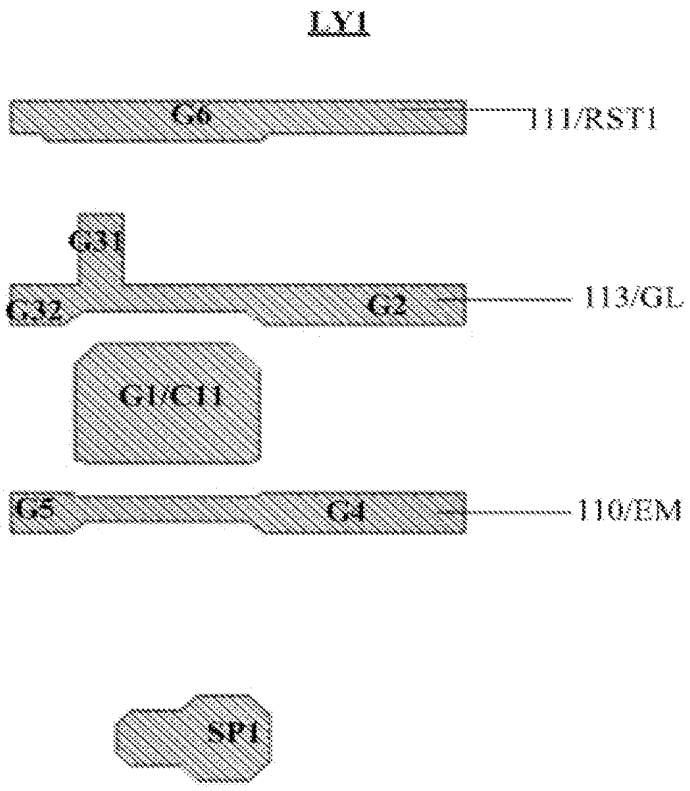


图9

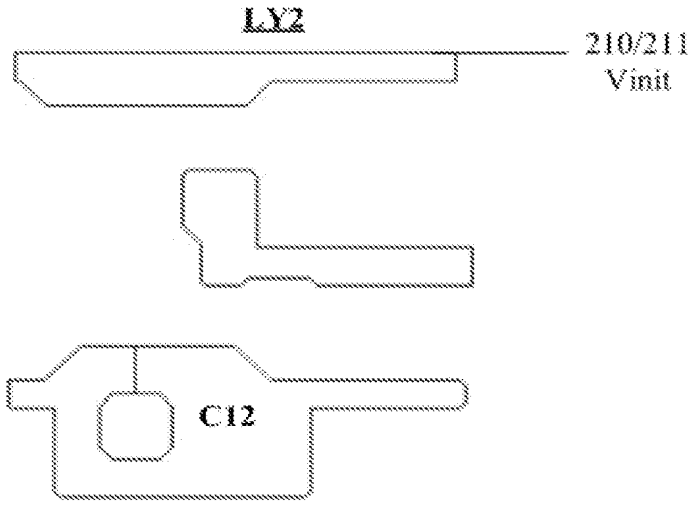


图10

Petitioner Samsung Ex-1004, 0266

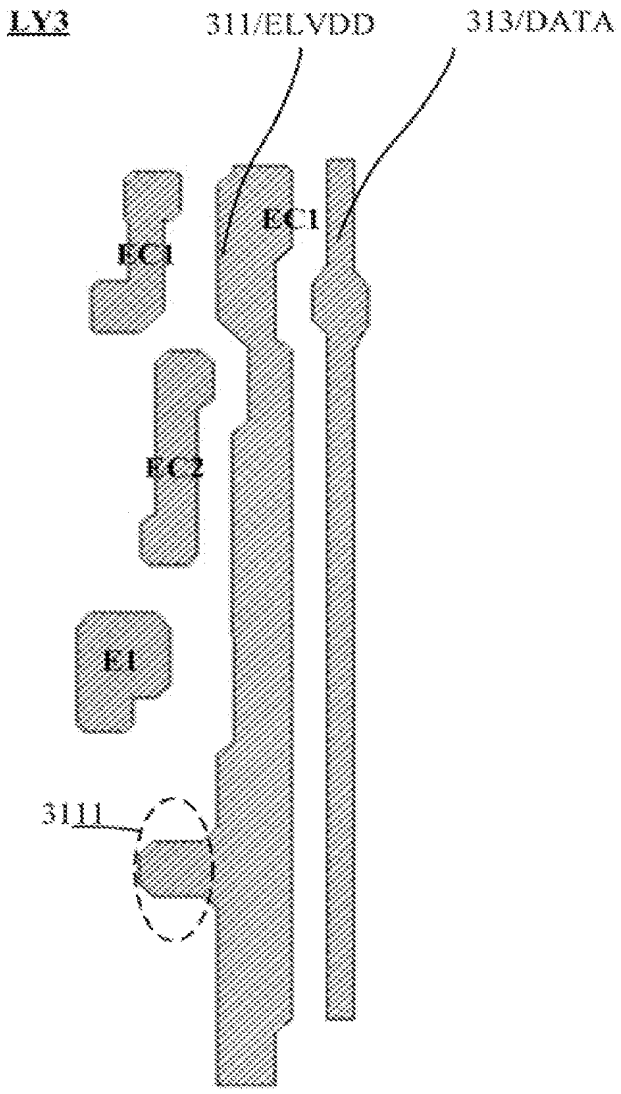


图11

Petitioner Samsung Ex-1004, 0267

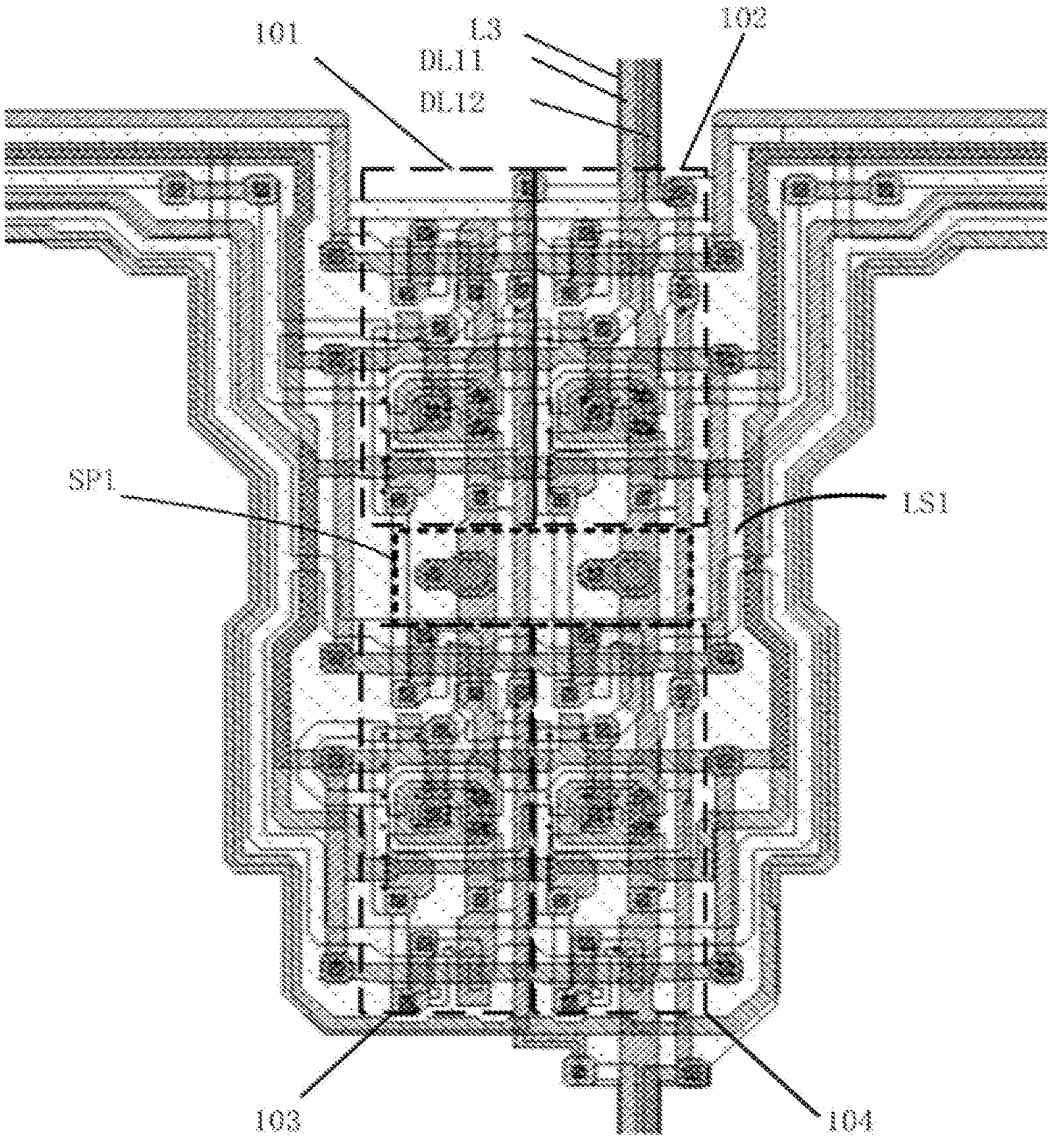


图12A

Petitioner Samsung Ex-1004, 0268

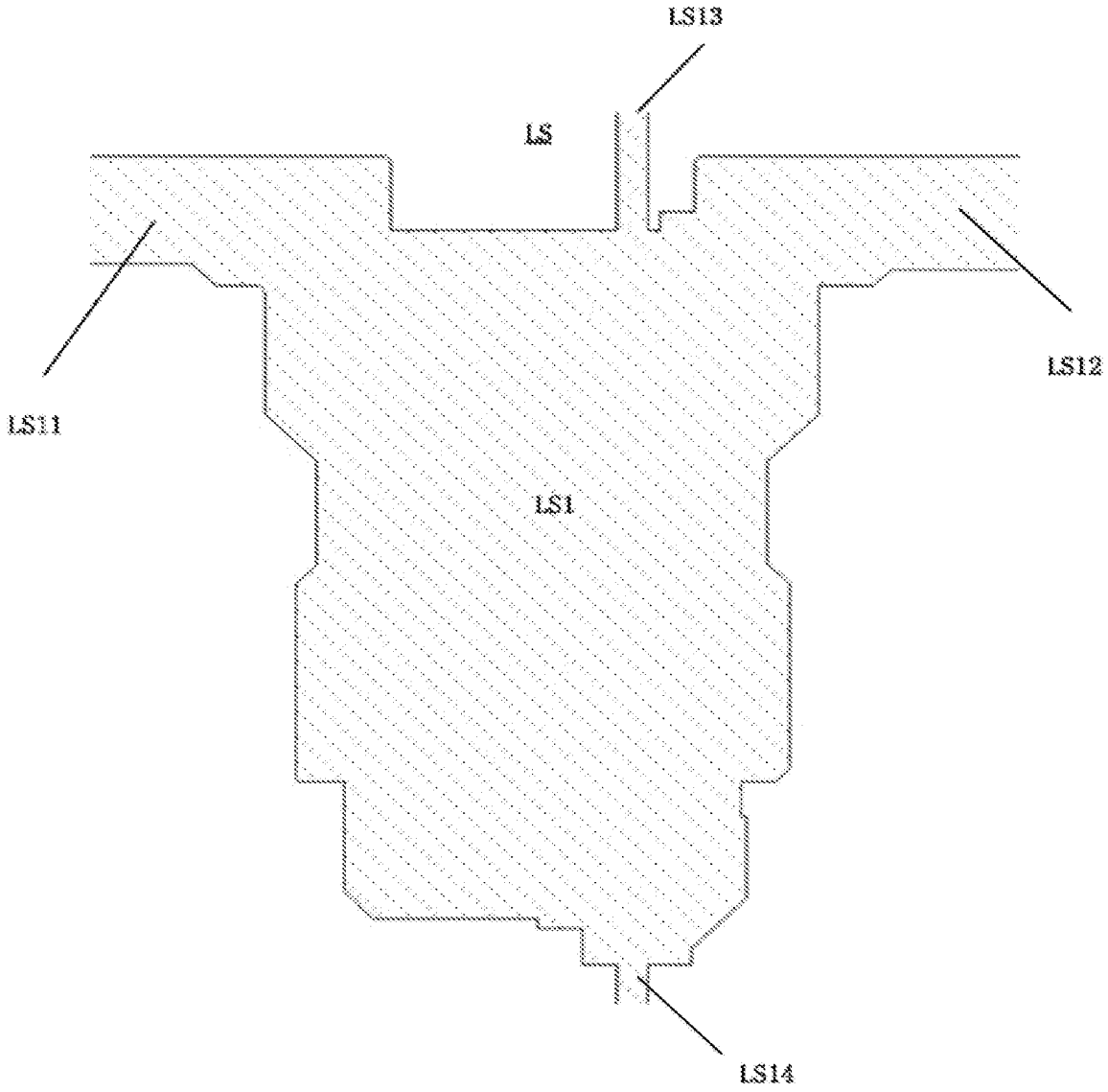


图12B

Petitioner Samsung Ex-1004, 0269

SCP

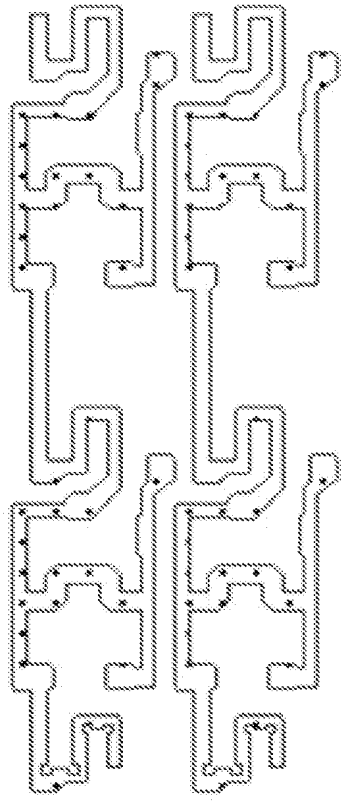


图12C

Petitioner Samsung Ex-1004, 0270

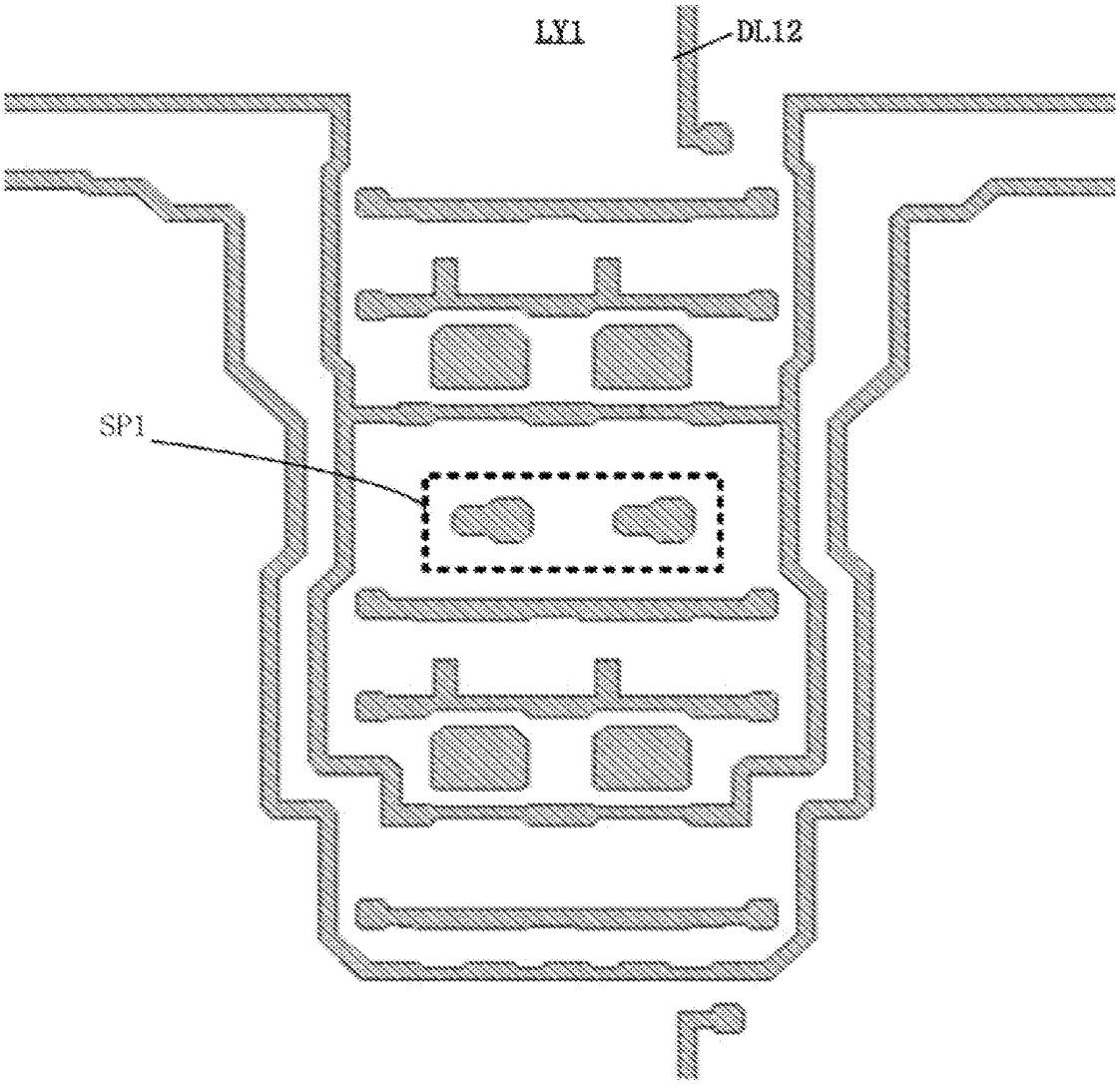


图12D

Petitioner Samsung Ex-1004, 0271

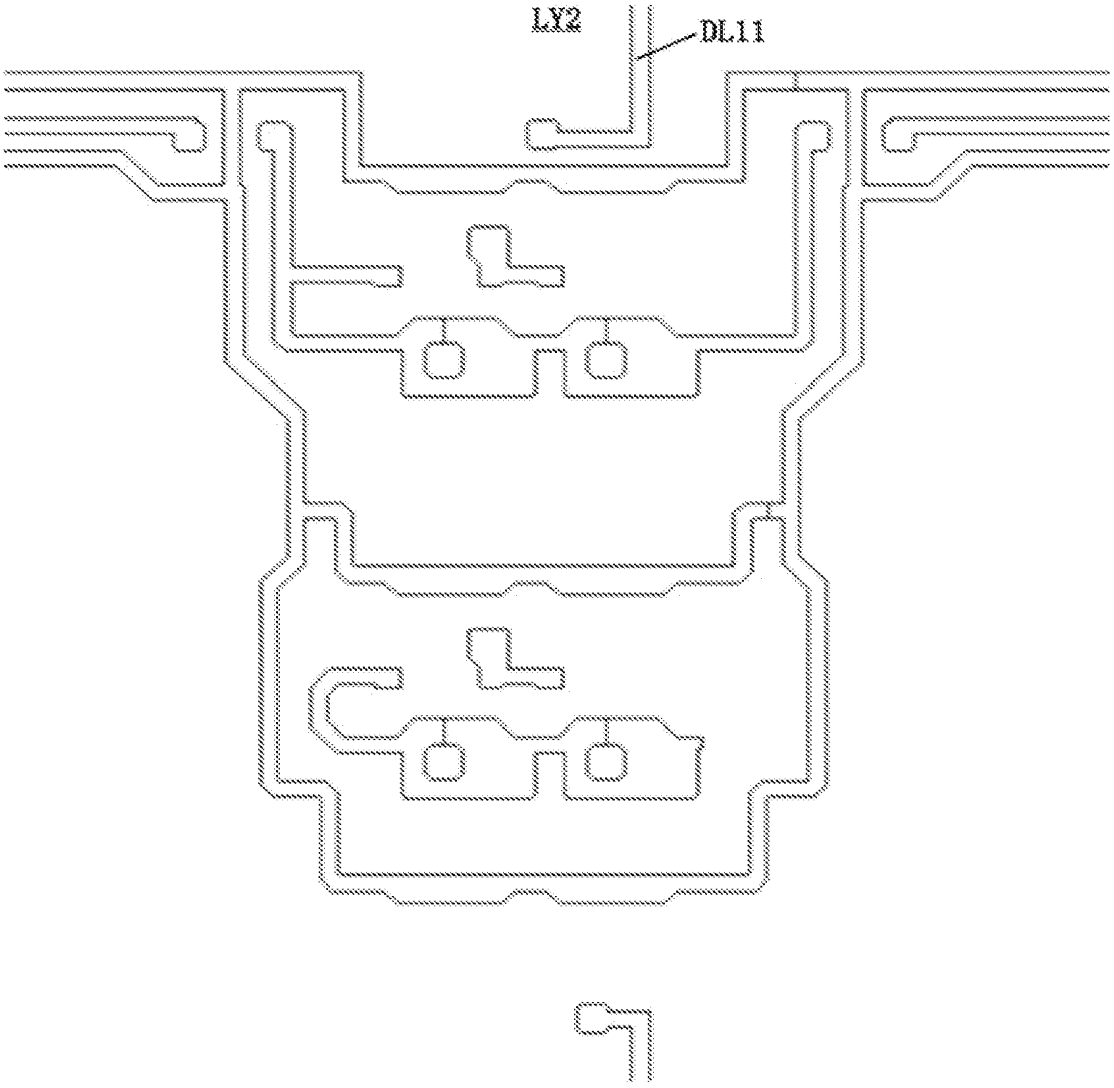


图12E

Petitioner Samsung Ex-1004, 0272

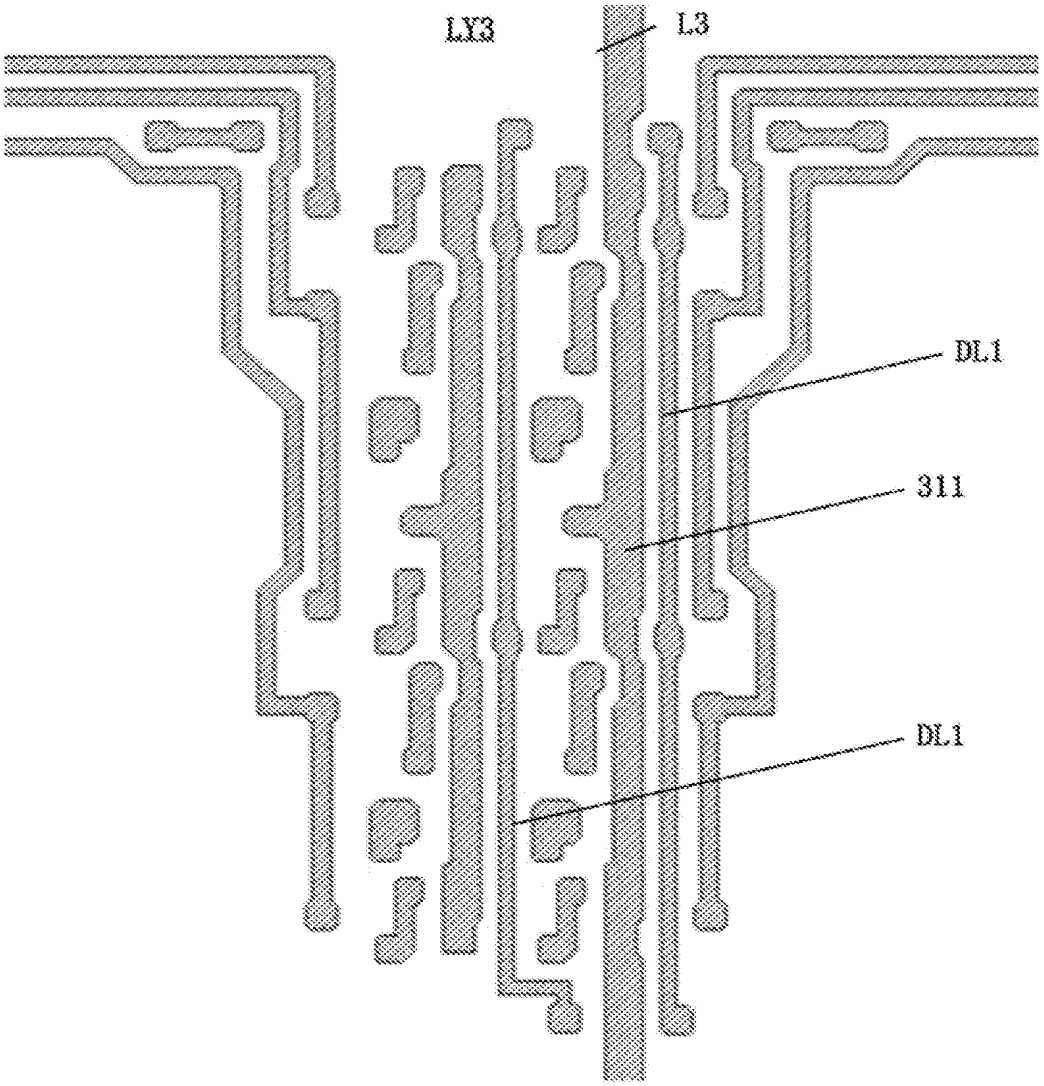


图12F

Petitioner Samsung Ex-1004, 0273

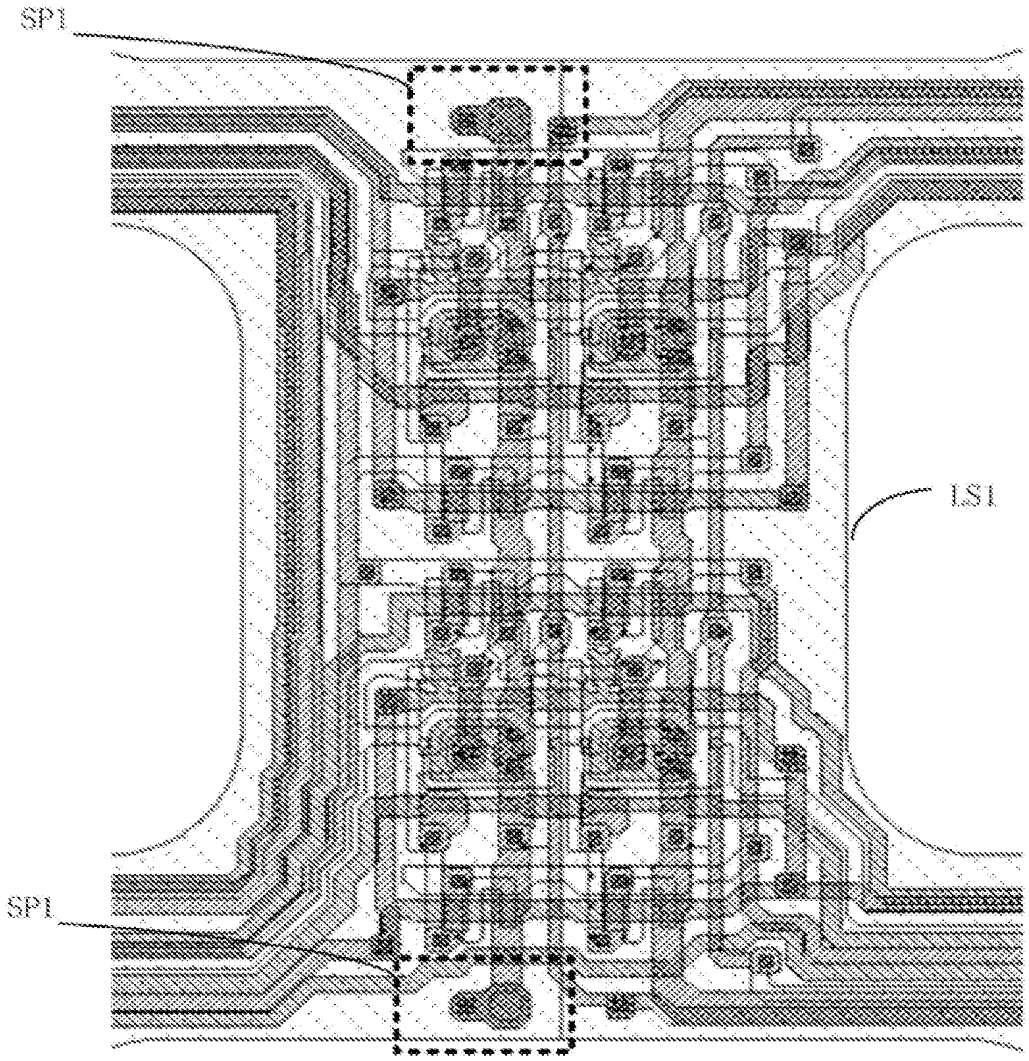


图13A

Petitioner Samsung Ex-1004, 0274

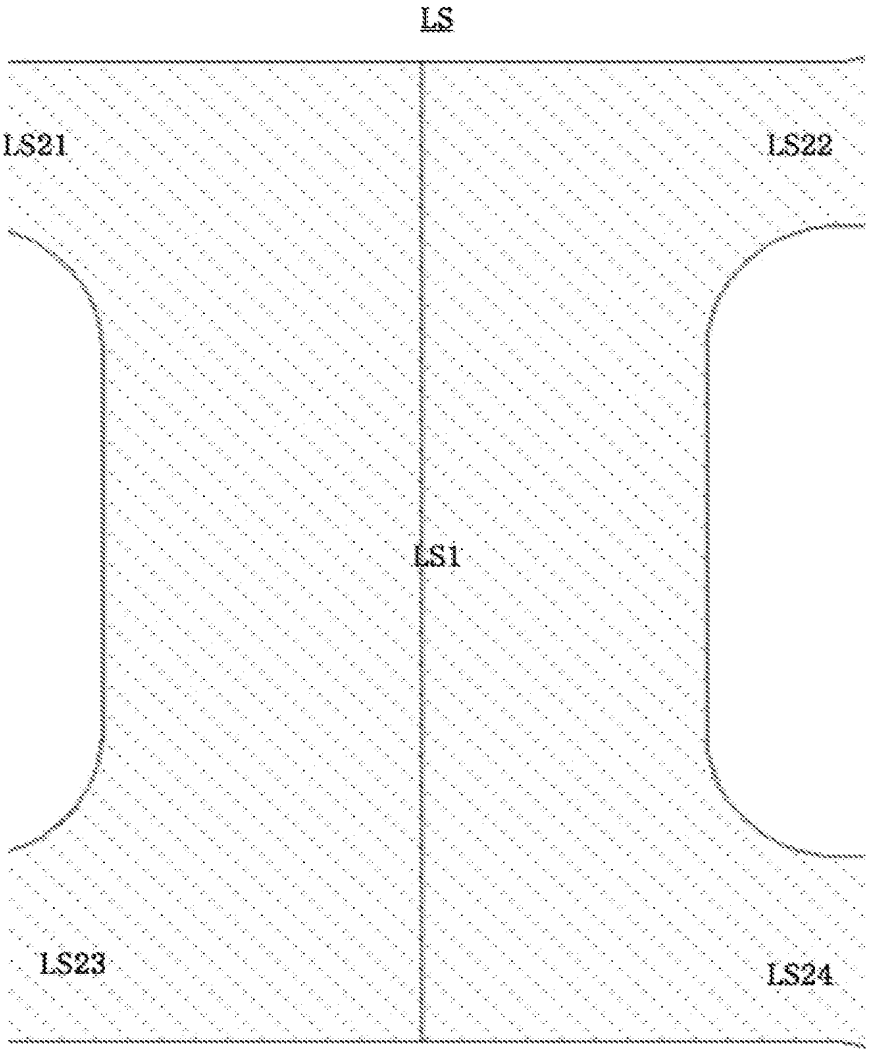


图13B

Petitioner Samsung Ex-1004, 0275

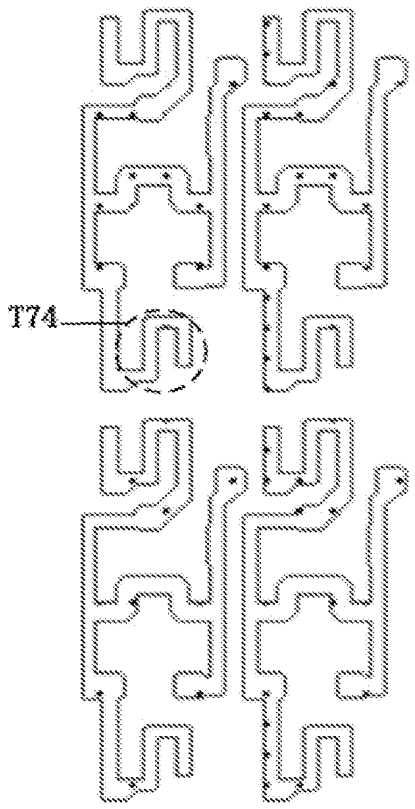


图13C

Petitioner Samsung Ex-1004, 0276

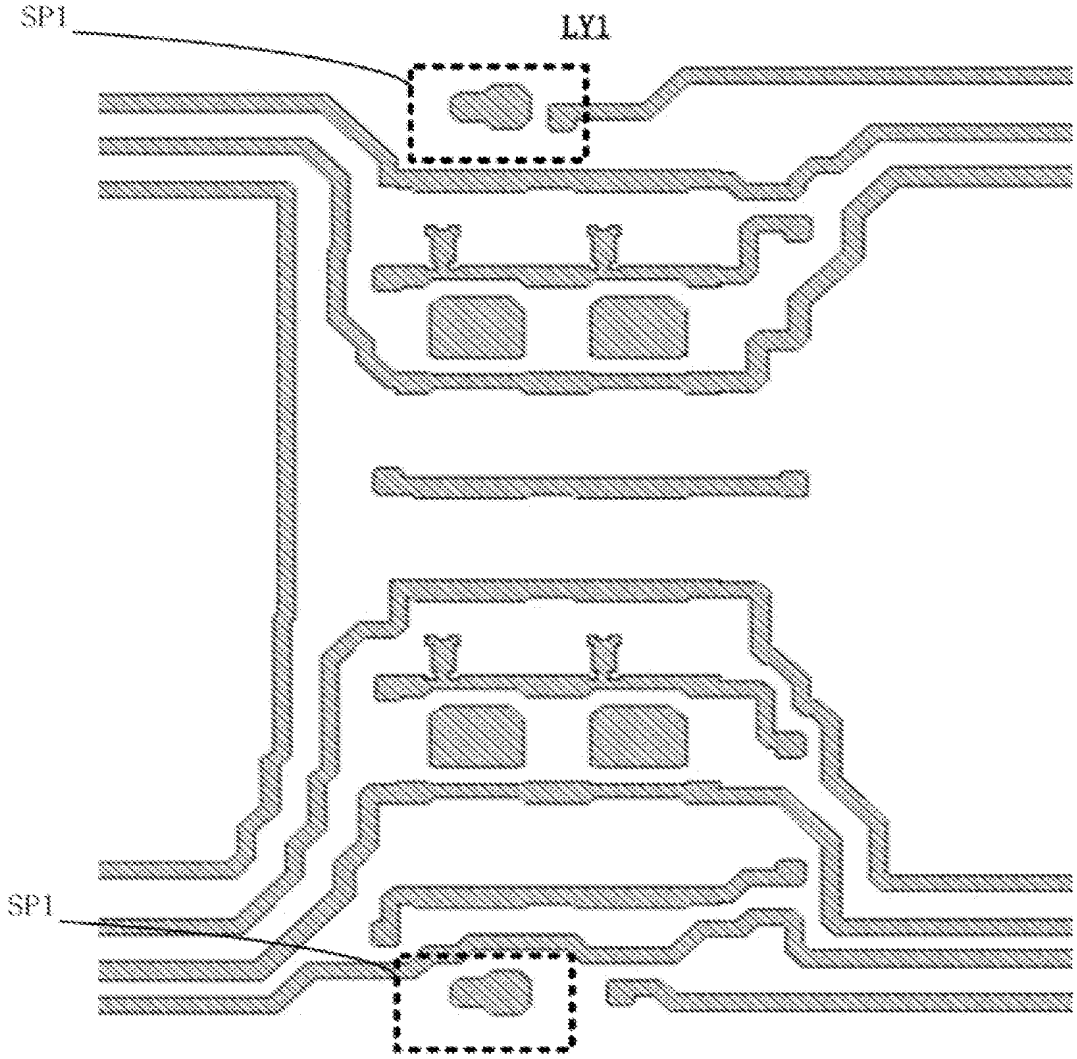


图13D

Petitioner Samsung Ex-1004, 0277

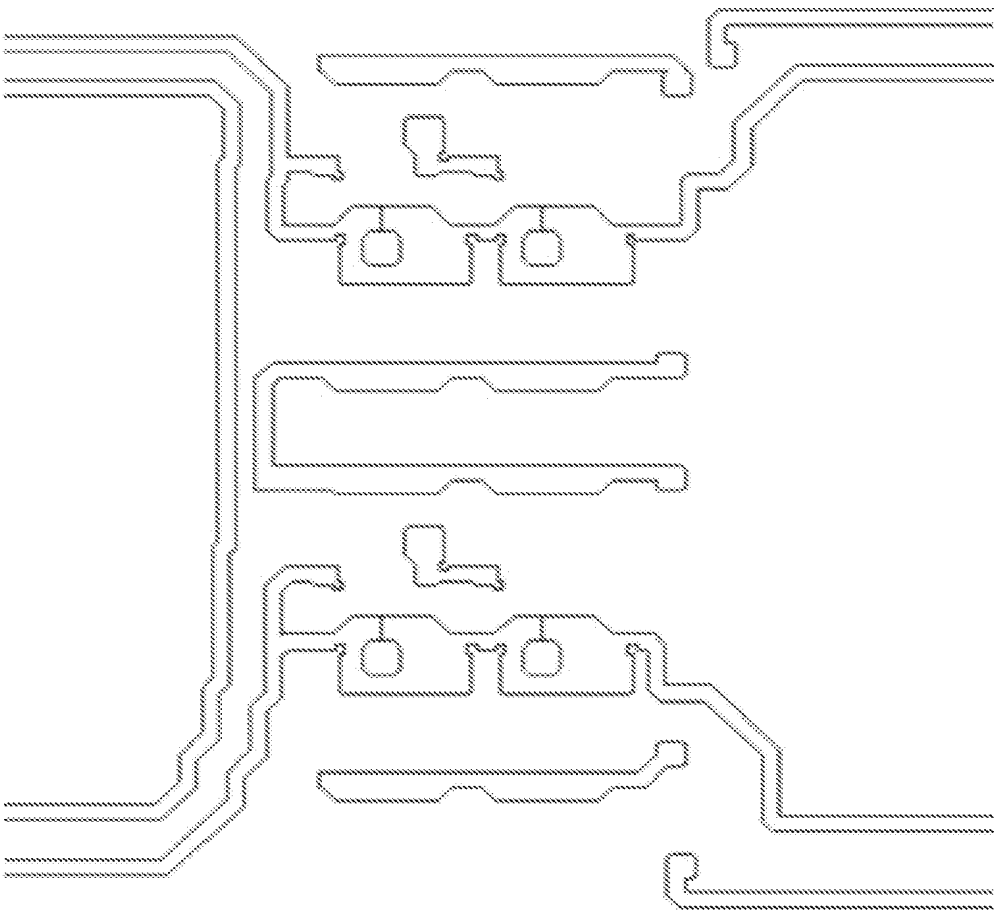


图13E

Petitioner Samsung Ex-1004, 0278

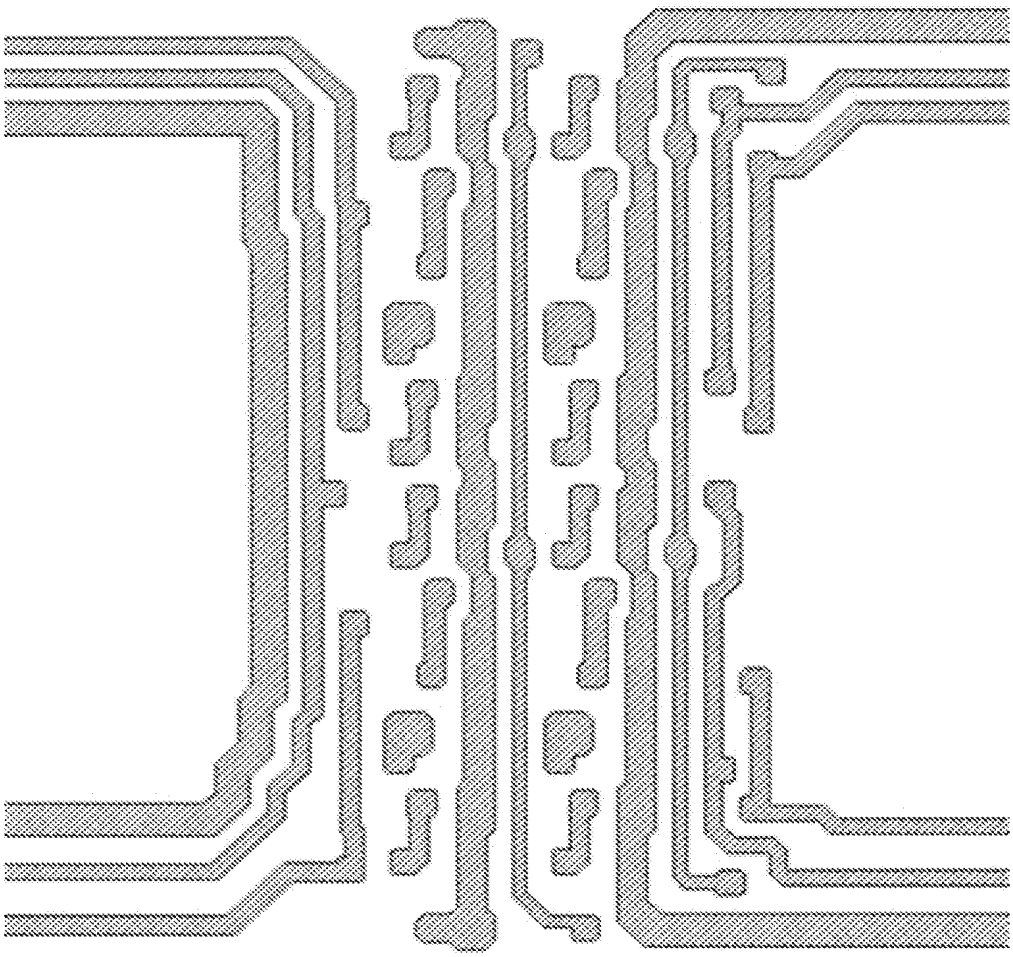


图13F

Petitioner Samsung Ex-1004, 0279

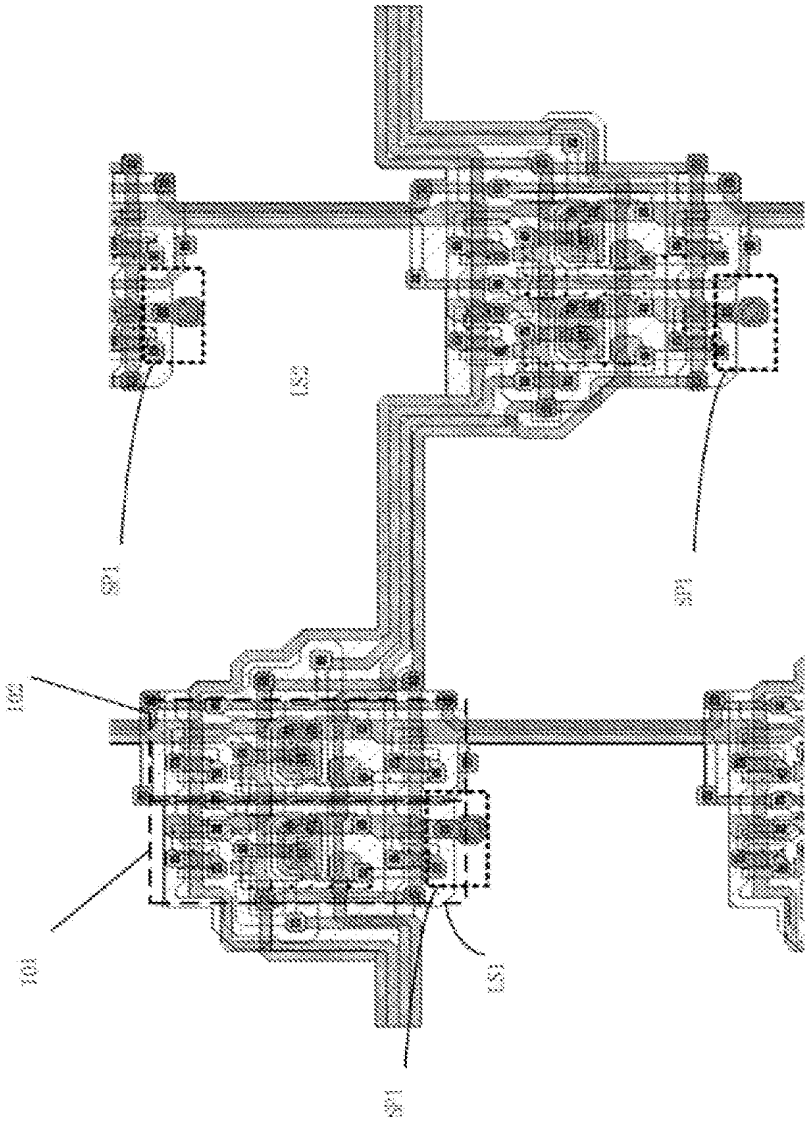


图14A

Petitioner Samsung Ex-1004, 0280

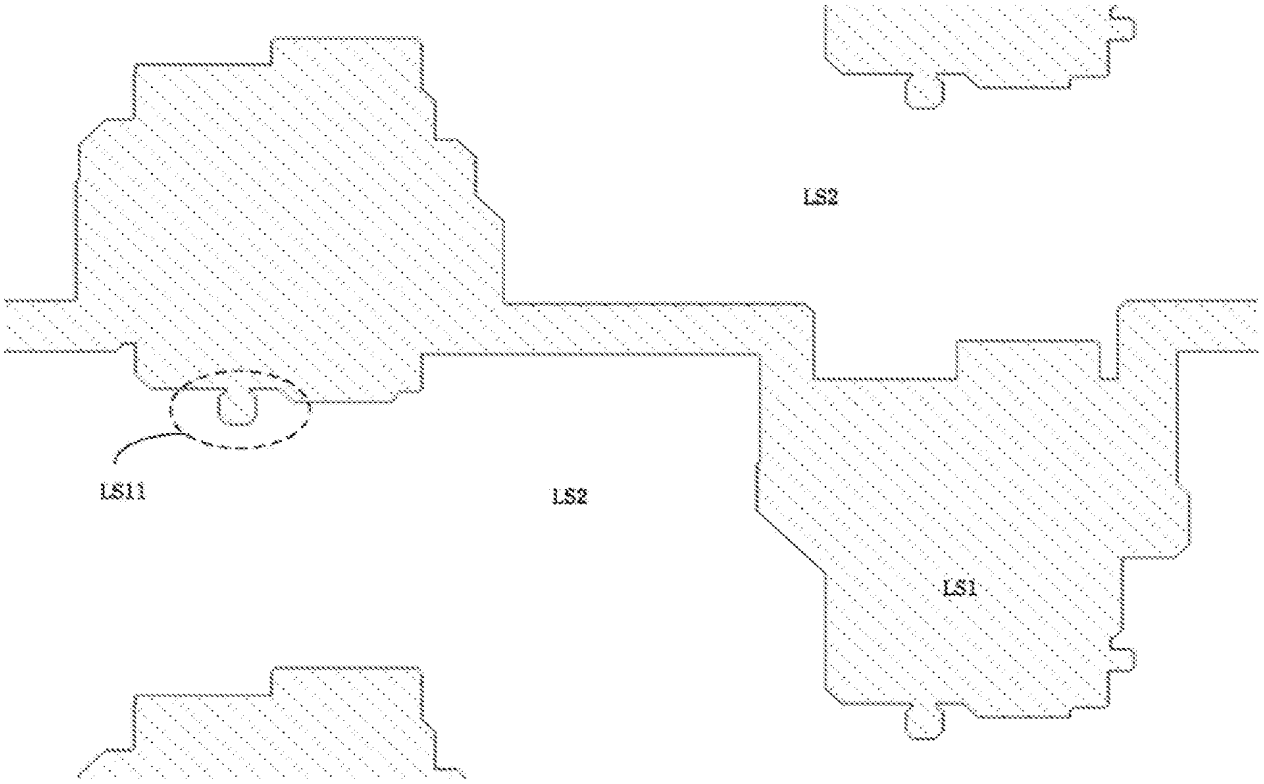


图14B

Petitioner Samsung Ex-1004, 0281

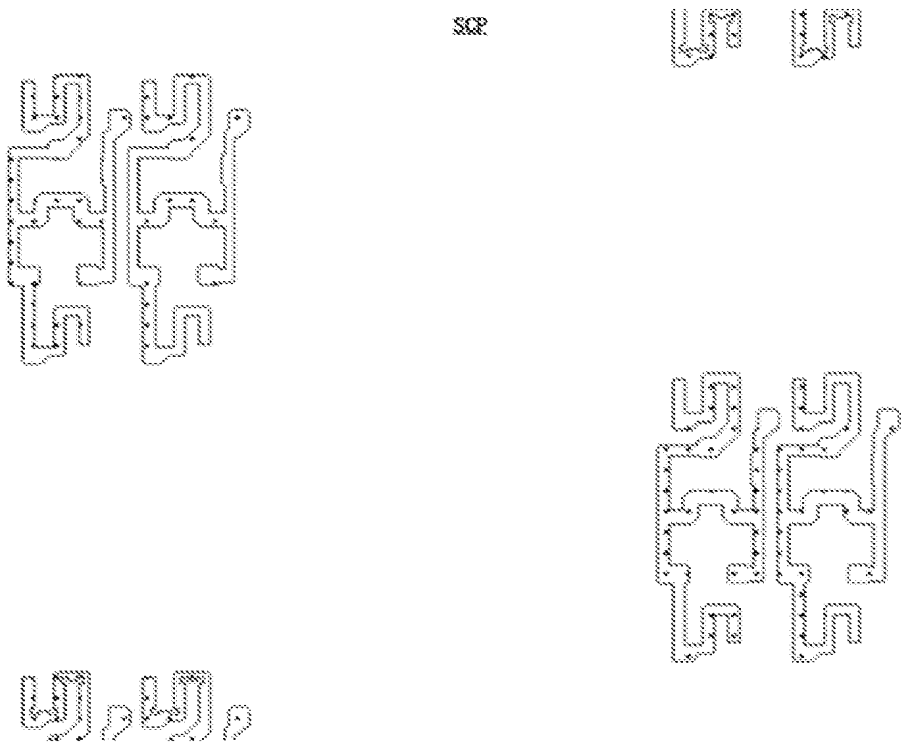


图14C

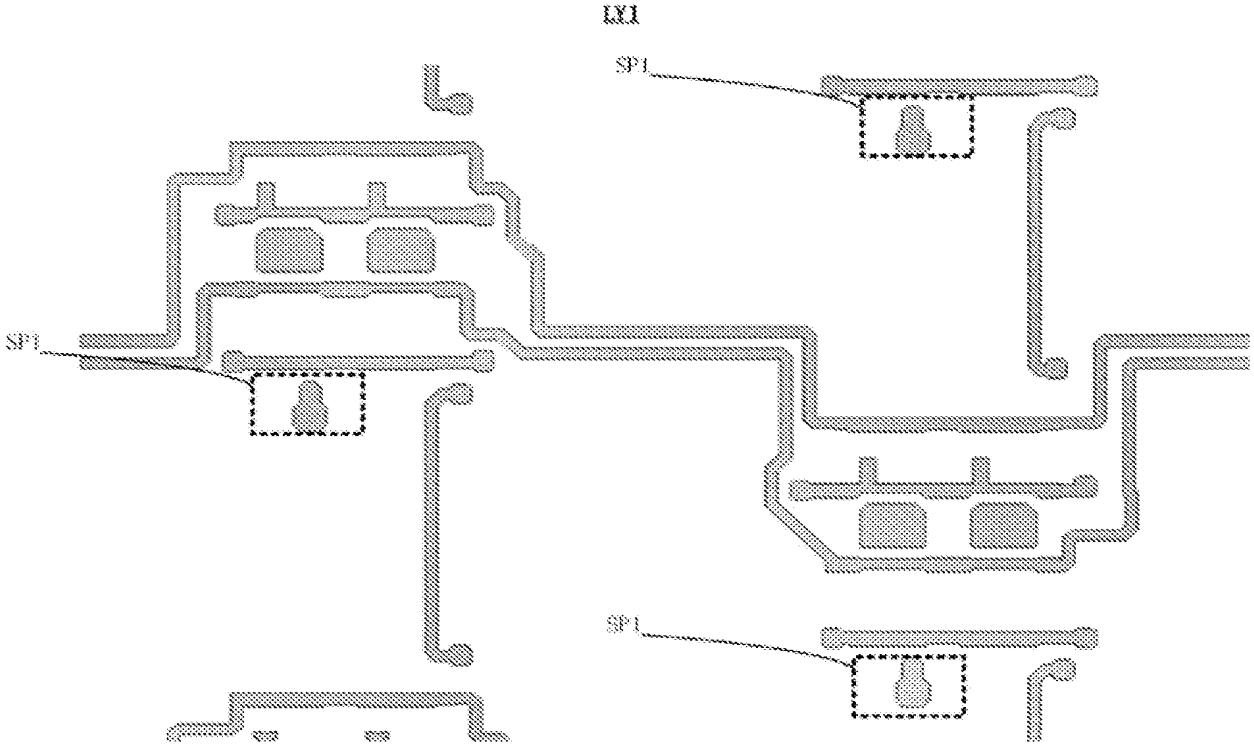


图14D

Petitioner Samsung Ex-1004, 0282

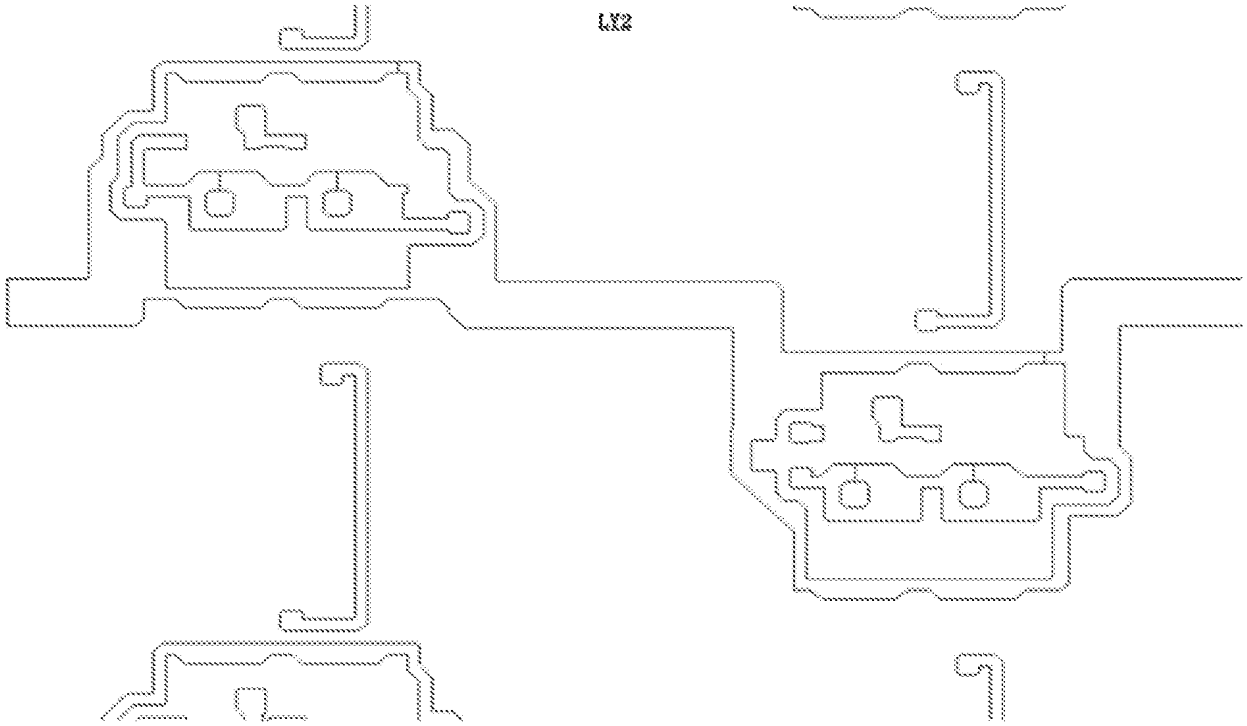


图14E

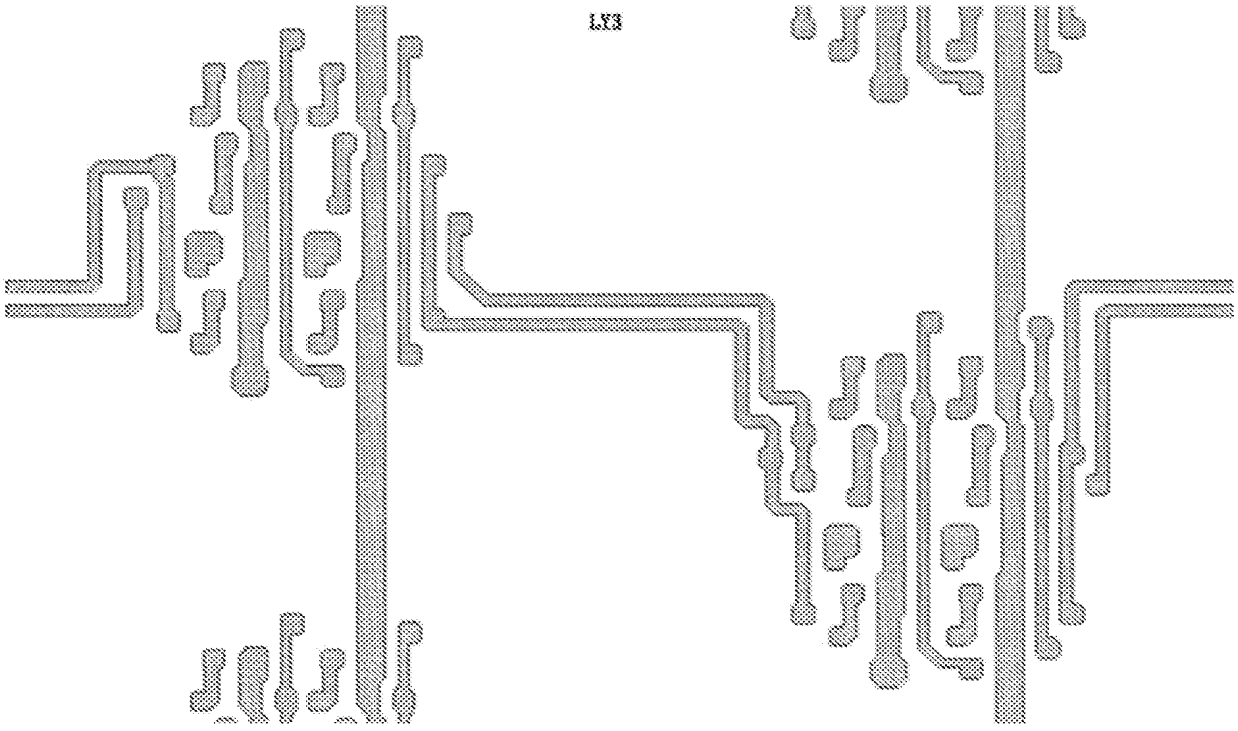


图14F

Petitioner Samsung Ex-1004, 0283

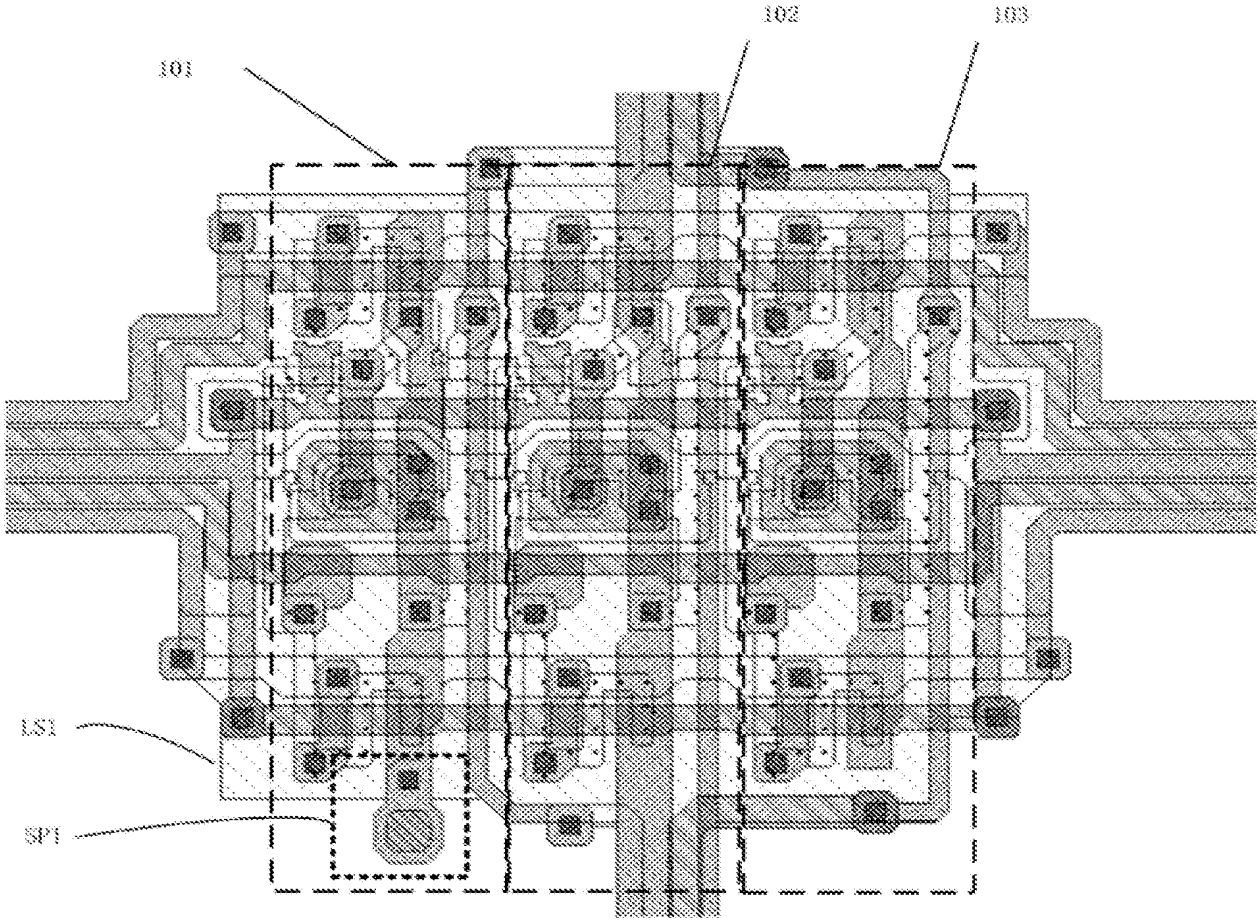


图15A

Petitioner Samsung Ex-1004, 0284

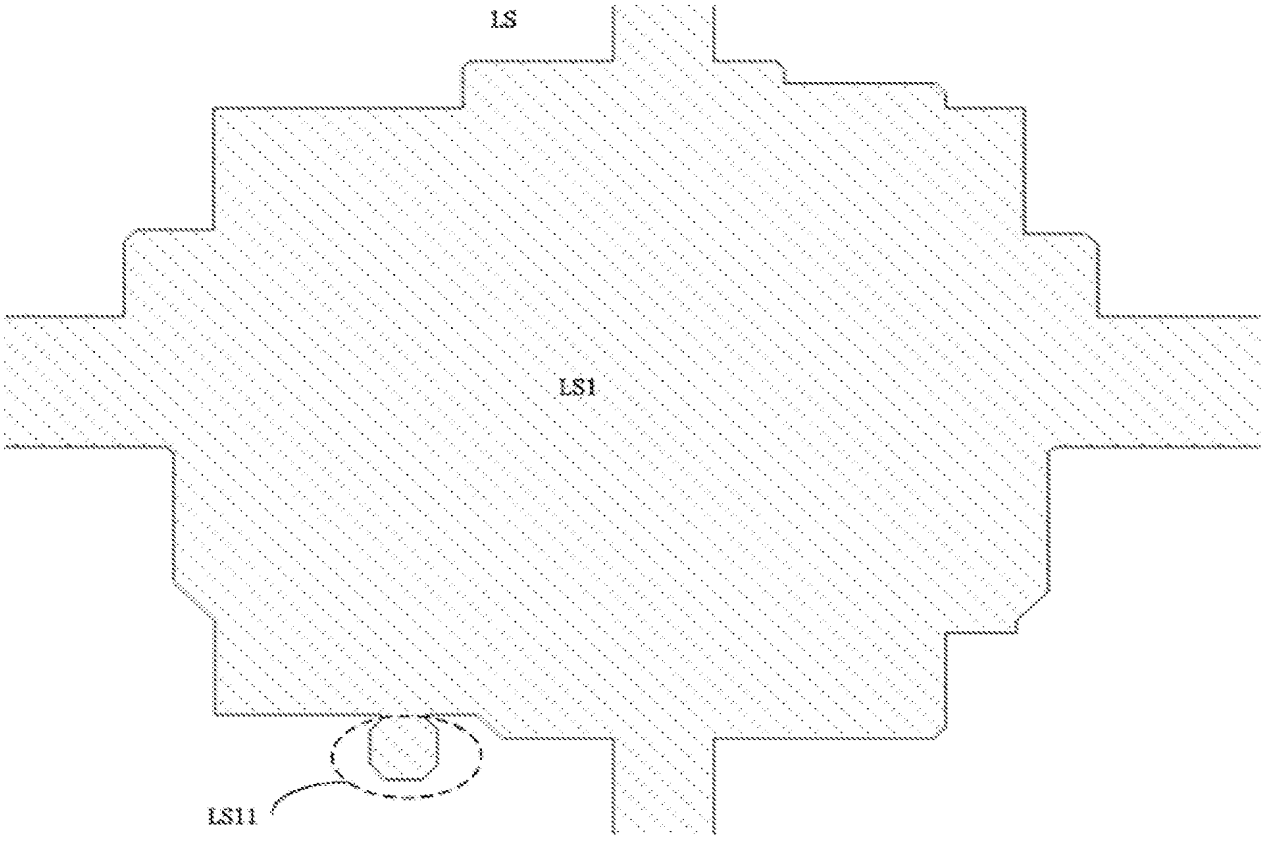


图15B

Petitioner Samsung Ex-1004, 0285

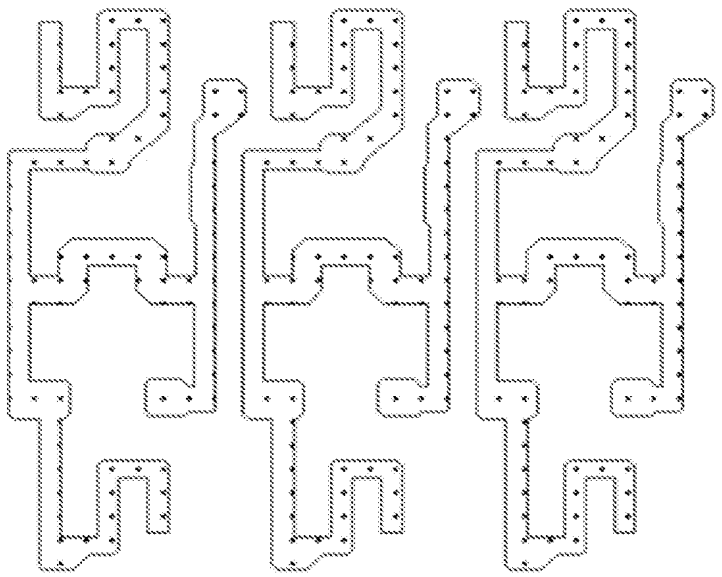


图15C

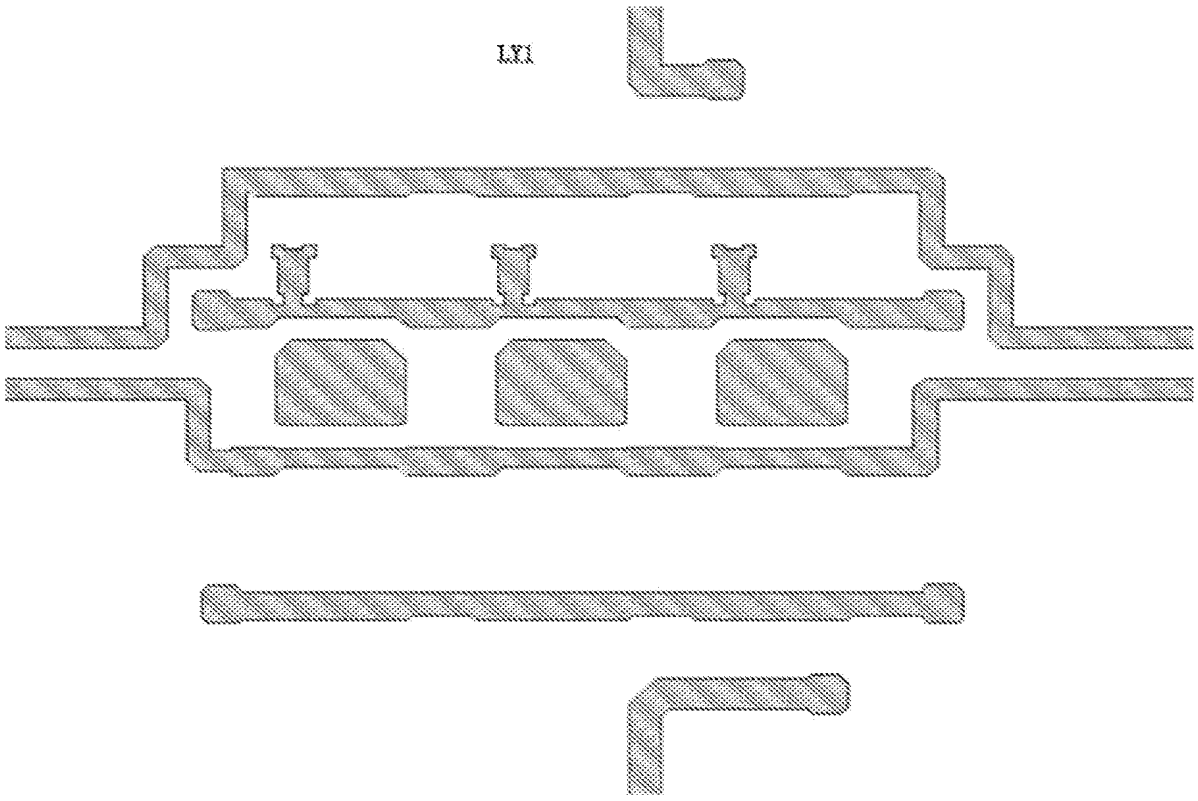


图15D

Petitioner Samsung Ex-1004, 0286

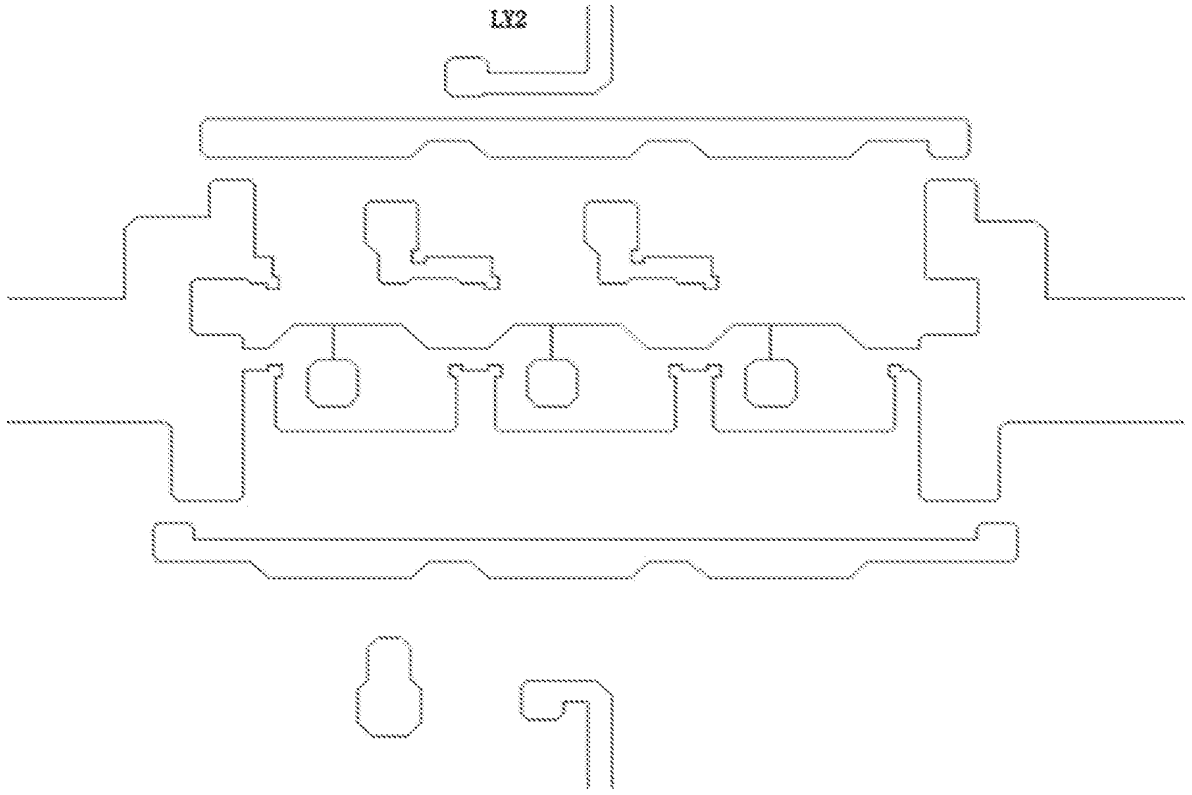


图15E

Petitioner Samsung Ex-1004, 0287

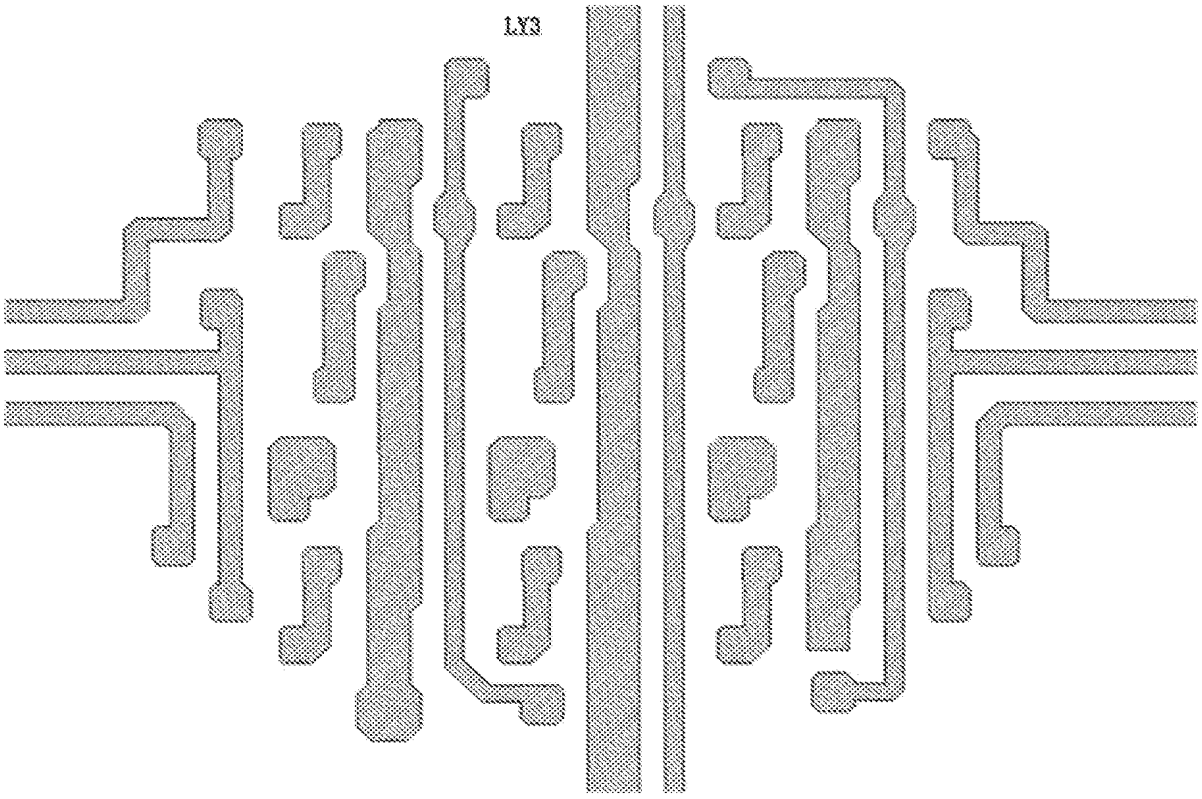


图15F

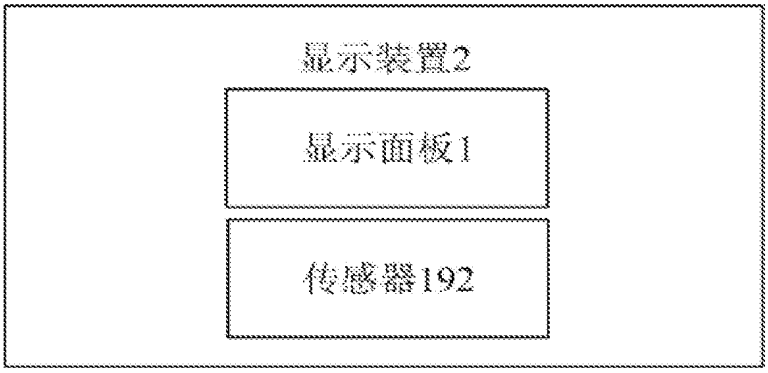


图16

Petitioner Samsung Ex-1004, 0288

专 利 合 作 条 约

PCT

国际检索报告

(PCT 第 18 条和细则 43 和 44)

申请人或代理人的档案号 WHP213866PCT	关于后续行为	见 PCT/ISA/220 表和 适用时，见下面第 5 项
国际申请号 PCT/CN2022/082256	国际申请日 *(日/月/年)* 22. 3 月 2022 (22. 03. 2022)	(最早的)优先权日 *(日/月/年)* 11. 3 月 2022 (11. 03. 2022)
申请人 武汉华星光电半导体显示技术有限公司		

按照条约第 18 条，本国际检索报告由本国际检索单位做出并送交申请人。报告副本送交国际局。

本国际检索报告总计 5 页。

☐ 它还附有本报告所引用的各现有技术文件的副本。

1. **报告的基础**

a.关于语言，进行国际检索基于：

☒ 国际申请提交时使用的语言。

☐ 该国际申请的_____语言译文，为了国际检索的目的提供该种语言的译文(细则 12. 3(a)和 23. 1(b))。

b.☐ 本国际检索报告考虑了本单位许可或被通知的根据细则91所做出的明显错误更正。(细则43. 6之二(a))。

c.☐ 关于国际申请中公开的任何核苷酸和/或氨基酸序列(见第 I 栏)。

2. ☐ 某些权利要求被认为是不能检索的(见第 II 栏)。

3. ☐ 缺乏发明的单一性(见第 III 栏)。

4. 关于**发明名称，**

☒ 同意申请人提出的发明名称。

☐ 发明名称由本单位确定如下：

5. 关于**摘要，**

☐ 同意申请人提出的摘要。

☒ 根据细则 38.2(b)，摘要由本单位制定，如第 IV 栏中所示。自本国际检索报告发文日起一个月内，申请人可以向本单位提出意见。

6. 关于**附图，**

a.随摘要一起公布的**附图**是：图 2

☒ 按照申请人建议的。

☐ 由本单位选择的，因为申请人没有建议一幅图。

☐ 由本单位选择的，因为该图能更好地表示发明的特征。

b. ☐ 没有与摘要一起公布的附图。

Petitioner Samsung Ex-1004, 0289

国际申请号
PCT/CN2022/082256

国际检索报告

第 IV 栏 摘要正文(续第 1 页第 5 项)

一种显示面板（1000）及显示装置，包括：遮挡层（2）；像素驱动电路层（4），位于遮挡层（2）上，包括与遮挡层（2）至少部分重叠的多个像素驱动电路（40）；以及电源线（7），与遮挡层（2）通过设置在像素驱动电路层（4）中的多个通孔（90）相互电性连接。其中，相邻通孔（90）之间的汇聚走线（20）按相邻通孔（90）之间的最短距离设置。

Petitioner Samsung Ex-1004, 0290

国际申请号
PCT/CN2022/082256

国际检索报告

A. 主题的分类

H01L 27/32(2006.01)i；H01L 23/60(2006.01)i

按照国际专利分类（IPC）或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC：H01L

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用）)

CNKI，CNPAT，EPODOC，WPI：遮挡层，屏蔽层，遮蔽层，金属层，ESD，显示装置，汇聚走线，显示面板，遮挡块，屏蔽块，遮蔽块，静电，BSM，电源线，通孔，过孔，孔，像素驱动电路，mask layer, shield layer, obscuration layer, metal layer, ESD, display device, converging wiring, display panel, mask block, obscuration block, electrostatic+, BSM, power supply line, via, hole, pixel drive circuit

C. 相关文件

类　型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 113871420A (京东方科技集团股份有限公司 等) 31.12 月 2021(31.12.2021) 说明书第[0073]-[0118]段、图 1-9	1-20
A	CN 113826210A (京东方科技集团股份有限公司 等) 21.12 月 2021(21.12.2021) 全文	1-20
A	CN 105321957A (乐金显示有限公司) 10.2 月 2016(10.02.2016) 全文	1-20
A	CN 112310044A (合肥京东方显示技术有限公司 等) 02.2 月 2021(02.02.2021) 全文	1-20
A	CN 112670304A (昆山国显光电有限公司) 16.4 月 2021(16.04.2021) 全文	1-20
A	US 2021134846A1 (INNOLUX CORPORATION) 06.5 月 2021(06.05.2021) 全文	1-20

☐其余文件在 C 栏的续页中列出。　　☒见同族专利附件。

Petitioner Samsung Ex-1004, 0291

国际申请号 PCT/CN2022/082256

国际检索报告

* 引用文件的具体类型： "A" 认为不特别相关的表示了现有技术一般状态的文件 "E" 在国际申请日的当天或之后公布的在先申请或专利 "L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的） "O" 涉及口头公开、使用、展览或其他方式公开的文件 "P" 公布日先于国际申请日但迟于所要求的优先权日的文件	"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件 "X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性 "Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性 "&" 同族专利的文件
国际检索实际完成的日期 22. 11 月 2022 (22. 11. 2022)	国际检索报告邮寄日期 30. 11 月 2022 (30. 11. 2022)
ISA/CN 的名称和邮寄地址： 中国国家知识产权局 (ISA/CN) 北京市海淀区蓟门桥西土城路 6 号 100088 传真号：(86-10)62019451	受权官员： 孙昕 电话号码： 86-(10)-53962580

Petitioner Samsung Ex-1004, 0292

国际申请号
PCT/CN2022/082256

国际检索报告

检索报告中引用的专利文件	公布日期	同族专利	公布日期
CN113871420A	31.12.2021	无	
CN113826210A	21.12.2021	无	
CN105321957A	10.02.2016	KR20160002337A	07.01.2016
		KR20220024401A	03.03.2022
CN112310044A	02.02.2021	无	
CN112670304A	16.04.2021	无	
US2021134846A1	06.05.2021	US2022320150A1	06.10.2022

Petitioner Samsung Ex-1004, 0293

Patent Cooperation Treaty

PCT

International search report

(PCT Article 18 and Rules 43 and 44)

Applicant's or agent's file number WHP213866PCT	See Form PCT/ISA/220 and applicable, see item 5 below	
International application number PCT/CN2022/082256	International filing date *(dd/mm/yyyy)* 22. March 2022 (22. 03. 2022)	(Earliest) Priority Date *(DD/MM/YYYY)* 11. March 2022 (11. 03. 2022)

Applicant Wuhan Huaxing Optoelectronics Semiconductor Display Technology Co., Ltd.

18 of the Treaty, the International Search Report is prepared by the International Searching Authority and sent to the applicant. A copy of the report is sent to the International Bureau. This international search report totals tile pages.

☐ It also attaches a copy of each prior art document cited in this report.

1.Basis of the report

a. With regard to language, the international search is carried out on the basis of:

The language in which the district international application is filed.

☐ A language translation of the international application , in which language a translation is provided for the purposes of the international search (Regulations 12.3(a) and 23.1(b)).

bnThis International Search Report takes into account corrections of obvious errors under Rule 9i which have been authorized or notified by the Authority.

(Rule 43.6bis(a)).

c. In relation to any nucleotide and/or amino acid sequence disclosed in the international application (see column I).

2. ☐ Certain claims are considered unsearchable (see column II).

3. ☐ Lack of unity of invention (see column HI).

4. Regarding the title of the invention,

The District agrees with the title of the invention proposed by the applicant.

☐ The name of the invention shall be determined by the unit as follows:

5.About the summary,

☐ Agree with the abstract submitted by the applicant.

District Pursuant to Rule 38.2(b), the summary shall be drawn up by the Unit as indicated in Box IV. Within one month from the date of issuance of the international search report, the applicant may submit comments to the Unit.

6.About the accompanying drawings,

a. The drawings published together with the abstract are: Figure 2

district as suggested by the applicant.

☐ Selected by the unit, because the applicant did not suggest a drawing.

☐ Selected by the unit, because the figure can better represent the characteristics of the invention.

b. □ There are no figures published with the abstract.

Petitioner Samsung Ex-1004, 0294

International search report

Summary text in column IV (continued from item 5 on page 1)

A display panel (1000) and a display device, comprising: a shielding layer (2) ; a pixel drive circuit layer (4), located on the shielding layer (2), including a plurality of pixel driving circuits at least partially overlapping with the shielding layer (2) The circuit (40) ; and the power line (7), are electrically connected to the shielding layer (2) through a plurality of through holes (90) arranged in the pixel driving circuit layer (4) . Wherein, the converging traces (20) between adjacent through holes (90) are arranged according to the shortest distance between adjacent through holes (90) .

Petitioner Samsung Ex-1004, 0295

International search report

International application number
PCT/CN2022/082256

A. Classification of topics

H01L 27/32 (2006.01) i ; H01L 23/60 (2006.01) i

According to the International Patent Classification (IPC) or both according to the national classification and IPC

B. Search field

Minimum literature to be searched (indicating classification system and classification code)

IPC : H01L

Search documents other than the minimum documents included in the search field

Electronic databases consulted during the international search (name of database, and search terms used (if used))

CNKI, CNPAT, EPODOC, WPI : shielding layer, shielding layer, shielding layer, metal layer, ESD, display device, converged wiring, display panel, shielding block, shielding block, shielding block, static electricity, BSM, power line, through hole, via, hole, pixel motor circuit, mask layer, shield layer, obscuration layer, metal layer, ESD, display device, converging wiring, display panel, mask block, obscuration block, electrostatic, BSM, power supply line, via, hole, pixel drive circuit

c. Related documents

type*	Citing documents, where necessary, indicating relevant passages	related claims
A	CN 113871420A (BOE Technology Group Co., Ltd., etc.) 31.12 months 2021 (31.12.2021) Instructions paragraph [0073]-[0118], Figure 1-9	1-20
A	CN 113826210A (BOE Technology Group Co., Ltd., etc.) 21.12 2021 (21.12.2021) "full text	1-20
A	CN 105321957A (Lejin Xiancheng Co., Ltd.) 10.2.2016 (10. 02. 2016) full arts	1-20
A	CN 112310044A (Hefei BOE Display Technology Co., Ltd., etc.) 02.2 months 2021 (02.02.2021) "full text	1-20
A	CN 112670304A (Kunshan Guoxian Optoelectronics Co., Ltd.) 16.4 months 2021 (16.04.2021) "full text	1-20
A	US 2021134846A1 (INNOLUX CORPORATION) 06.5 months 2021(06.05.2021) "full text	1-20

☐The remaining documents are listed on the continuation sheet in column **c**. See the appendix of the patent family.

Petitioner Samsung Ex-1004, 0296

International search report

International application number
PCT/CN2022/082256

* Specific types of cited documents: published after the filing date or priority date, not inconsistent with the application,

considered not particularly relevant to represent the general state of the art but for the Subsequent documents that document the theory or principle of the invention

A document of particular relevance to an earlier application or patent "X" published on or after the international filing date , considering that document alone, finds the requirement

"L" for documents that may cast doubt on a priority claim, or

Determining that another invention is not new or involves an inventive step

A document cited on the publication date of the cited document or because of other special special related documents, when the document is related to another or more

reason for citing such documents

used documents (as specified) and this combination will be obvious to those skilled in the art

it involves oral disclosure, use, exhibition or other means of disclosure ,

The invention claimed in the document does not involve an inventive step

Documents whose publication date is earlier than the international filing date but later than the claimed priority patent family

day's file

Date the international search was actually completed	International search report mailing date
22. November 2022 (22. 11. 2022)	30. November 2022 (30. 11. 2022)
ISA/CN : China State Intellectual Property Administration (ISA/CN), No. 6 West Tucheng Road, Jimen Bridge, Haidian District, Beijing 100088 Fax number: (86-10)62019451	Authorized official: Sun Xin Phone number: 86-(10)-53962580

International search report

International application number
PCT/CN2022/082256

Patent documents cited in the search report	Announcement date	patent family	Announcement date
CN113871420A	31.12.2021	none	
CN113826210A	21.12.2021	none	
CN105321957A	10.02.2016	KR20 16000233 7 A	07.01.2016
		KR20220024401A	03.03.2022
CN112310044A	02.02.2021	none	
CN112670304A	16.04.2021	none	
US2021134846A1	06.05.2021	US2022320150A1	06.10.2022

专 利 合 作 条 约

发信人：国际检索单位

收信人：

518052

中国广东省深圳市南山区粤海街道大冲社区华润置地大厦 C 座 2901

深圳紫藤知识产权代理有限公司

PCT

国际检索单位书面意见

(PCT 细则 43 之二 .1)

申请人或代理人的档案号 WHP213866PCT		发文日 *(日/月/年)* 30.11 月 2022 (30.11.2022) 关于后续行为 见下面第 2 段
国际申请号 PCT/CN2022/082256	国际申请日 *(日/月/年)* 22.03 月 2022 (22.03.2022)	优先权日 *(日/月/年)* 11.03 月 2022 (11.03.2022)

国际专利分类(IPC)或国家分类和 IPC 两种分类

H01L 27/32 (2006.01) i；H01L 23/60 (2006.01) i

申请人

武汉华星光电半导体显示技术有限公司

1. 本意见包括关于下列各项标明的内容：

- ☒ 第 I 栏　意见的基础
- ☐ 第 II 栏　优先权
- ☐ 第 III 栏　不做出关于新颖性、创造性和工业实用性的意见
- ☐ 第 IV 栏　缺乏发明的单一性
- ☒ 第 V 栏　按照细则 43 之二.1(a)(i)关于新颖性、创造性或工业实用性的推断性声明；支持这种声明的引证和解释
- ☐ 第 VI 栏　某些引用的文件
- ☐ 第 VII 栏　国际申请中的某些缺陷
- ☐ 第 VIII 栏　对国际申请的某些意见

2. 后续行为

如果提出国际初步审查要求书，本次意见将被视为国际初步审查单位(IPEA)的一次书面意见，除非申请人选择的国际初步审查单位非本机构，而且所选国际初步审查单位已按照细则 66.1 之二(b)通知国际局将不考虑国际检索单位的书面意见。

如本书面意见如上文所述被视为国际初步审查单位的书面意见，则请申请人在自 PCT/ISA/220 表发文日起 3 个月或自优先权日起 22 个月内（以后届满者为准）向国际初步审查单位提交书面答复并提交修改（如适用）。

进一步的选择参见 PCT/ISA/220 表。

3. 详细信息见 PCT/ISA/220 表格的说明

中国国家知识产权局 北京市海淀区蓟门桥西土城路 6 号　100088 传真号：（86-10）62019451	完成本意见的日期： 24.11 月 2022 (24.11.2022)	受权官员： 孙昕 电话号码：86-(10)-53962580

Petitioner Samsung Ex-1004, 0299

国际检索单位书面意见

国际申请号
PCT/CN2022/082256

第 I 栏　意见的基础

1. 关于语言，本意见的做出基于：
   ☒ 国际申请提交时使用的语言。
   ☐ 该国际申请的_____译文，为了国际检索的目的提供该种语言的译文(细则 12.3(a)和 23.1(b))。

2. ☐ 本意见的做出考虑了本单位许可或被通知的根据细则 91 所做出的明显错误的更正（细则 43 之二.1（b））。

3. ☐ 关于在国际申请中公开的任何**核苷酸和/或氨基酸序列**，本意见是基于下列序列表做出的：
   a. ☐ 作为国际申请的一部分提交的：
      ☐ 附件 C/ST.25 文本文件形式
      ☐ 纸件或图形文件形式
   b. ☐ 根据细则 13 之三.1(a)仅为国际检索目的以附件 C/ST.25 文本文件形式与国际申请同时提交的。
   c. ☐ 仅为国际检索目的在国际申请日之后提交的：
      ☐ 附件 C/ST.25 文本文件形式（细则 13 之三.1(a)）
      ☐ 纸件或图形文件形式（细则 13 之三.1(b)和行政规程第 713 段）

4. ☐ 另外，在提交或提供了多个版本或副本的序列表的情况下，提供了随后副本或附加副本中的信息与申请时提交的作为申请一部分的序列表的信息相同或未超出申请时提交的申请的范围(如适用)的所需声明。

5. 补充意见

Petitioner Samsung Ex-1004, 0300

国际检索单位书面意见

国际申请号
PCT/CN2022/082256

第 V 栏 按细则 43 之二.1（a）（i）关于新颖性、创造性或工业实用性的推测性声明；支持这种声明的引证和解释

1. 声明

新颖性(N)	权利要求 1-20	是
	权利要求 无	否
创造性(IS)	权利要求 1-20	是
	权利要求 无	否
工业实用性(IA)	权利要求 1-20	是
	权利要求 无	否

2. 引证和解释

D1：CN 113871420 A

I、新颖性

D1 公开了一种显示装置（参见说明书第[0073]-[0118]段、图 1-9），包括 OLED 显示面板，显示面板包括显示区和设置在显示区至少一侧的非显示区，其中，显示面板包括：衬底基板；遮挡层，设置在衬底基板上，且位于第一电源线靠近衬底基板的一侧，包括镂空区和遮挡区；对于一个像素单元组，各个第一像素单元的开口区与遮挡层的遮挡区至少部分重叠，至少一个第一像素单元的开口区包括第一遮挡连接部，与遮挡层的遮挡区至少部分重叠（即像素驱动电路层，位于遮挡层上，包括位于显示区内的多个像素驱动电路，每一像素驱动电路与对应的所述遮挡块至少部分重叠），且遮挡层通过第一遮挡连接部和多条第一电源线中的至少一条第一电源线连接以接收第一电源电压；多条第一电源线位于第一遮挡连接部远离衬底基板的一侧，遮挡层位于第一遮挡连接部靠近衬底基板的一侧，第一遮挡连接部位于遮挡层和多条第一电源线之间。开口区 A12 用于摆放将遮挡层 LS 连接至第一电源线 311 的第一遮挡连接部 SP1 以及连接孔 V1/V2。还包括了第一导电层 LY1，第一导电层 LY1 和半导体图形 SCP 之间设置有第一绝缘层 G11。

对于权利要求 1、11，D1 未公开：遮挡层包括多个遮挡块以及电性连接于多个遮挡块的汇聚走线，汇聚走线位于多个遮挡块的至少一侧；以及第一导电层，第一导电层包括：多条电源线，多条电源线通过多个通孔与汇聚走线电性连接；其中，相邻通孔之间的汇聚走线按相邻通孔之间的最短距离设置。

因此，权利要求 1-20 符合 PCT33（2）的规定。

II、创造性

上述区别技术特征没有被现有技术公开，也不属于本领域技术人员惯常使用的技术手段，因此，权利要求 1-20 符合 PCT33（3）的规定。

III、工业实用性

权利要求 1-20 符合 PCT33（4）的规定。

Petitioner Samsung Ex-1004, 0301

Patent Cooperation Treaty

Sender: International Searching Authority

Recipient:

518052

Room 2901, Block C , China Resources Land Building, Dachong Community, Yuehai Street, Nanshan District, Shenzhen City, Guangdong Province, China

Shenzhen Wisteria Intellectual Property Agency

PCT

of the International Searching Authority (PCT Rule 43bis.1)

Issue date *(day/month/year)*

30. November 2022 (30. 11.2022)

Applicant's or agent's file number	on subsequent actions
WHP213866PCT	see paragraph 2 below

International application number including	priority date 653 month / early	International filing date (used as /
PCT/CN2022/082256	22 March 2022 (22 03 2022)	11.03 March 2022 (11.03.2022)

International Patent Classification (IPC) or national classification and IPC

H01L 27/32(2006. 01) i; H01L 23/60(2006. 01) i

applicant

Wuhan Huaxing Optoelectronics Semiconductor Display Technology Co., Ltd.

1. This opinion includes the content indicated on the following items:

Basis for District Worker Opinion

Priority in column n _

No opinion on novelty, inventive step and industrial applicability in column HI

Lack of unity of invention in column IV

District Box V Pursuant to Rule 43bis.1 (a) (1) Inferential declarations of novelty, inventive step or industrial applicability: supporting such declarations

citations and explanations

Some documents cited in column VI

CERTAIN DEFECTS IN THE INTERNATIONAL APPLICATION IN BOX VII

CERTAIN COMMENTS ON THE INTERNATIONAL APPLICATION IN BOX VIII

2. follow -up behavior

If a request for international preliminary examination is filed, this opinion will be regarded as a written opinion of the International Preliminary Examining Authority (IPEA) , unless the applicant chooses an international preliminary 66.1bis (b) informs the International Bureau that the written opinion of the International Searching Authority will not be taken into account.

If this written opinion is deemed to be the written opinion of the International Preliminary Examining Authority as stated in the text, the applicant is requested to submit within 3 months from the publication date of PCT/ISA/220 or 22 months from the priority date (later whichever expires) submit a written reply to the International Preliminary Examining Authority and submit amendments (if applicable).

PCT/ISA/220 for further options .

3. For details, please refer to the instruction of PCT/ISA/220 form

State Intellectual Property Office of China	Date this opinion was completed:	Authorized Officer:
No. 6 West Tucheng Road, Jimen Bridge, Haidian District, Beijing 100088 Fax number: (86—10:) 62019451	24. November 2022 (24. 11. 2022)	Sun Xin Phone number: 86-(10)-53962580

Written opinion of the
International Searching Authority

International application
number PCT/CN2022/082256

Basis for Opinion in Column I

1. With regard to language, this opinion is based on:

The language in which the district international application is filed .

☐ a translation of the international application, in that language for the purposes of the international search (Rules 12.3(a) and 23.1(b)).

2. ☐ This opinion is made taking into account the correction of obvious errors made under Rule 91, authorized or notified by the Authority (Rule 43bis.1 (b)) .

3. ☐ Regarding any nucleotide and/or amino acid sequence disclosed in the international application, this opinion is based on the following sequence listing:

a. ☐ Filed as part of the international application:

☐ Appendix C/ST.25 text file format

☐ Paper or graphic file form

b. ☐ Filed simultaneously with the international application in the form of a text file in Annex C/ST.25 for the purpose of international search pursuant to Rule 13ter.1 (a) .

c. ☐ Filed after the international filing date for international search purposes only:

☐ Annex C/ST.25 Text Documentation Form (Rule 13ter , 1(a))

☐ In paper or graphical format (Rule 13ter.1 (b) and Paragraph 713 of the Administrative Instructions)

4. ☐ Alternatively, where multiple versions or copies of a sequence listing were filed or made available, provided that the information in subsequent or additional copies is the same as or within the sequence listing filed as part of the application when the application was filed A required statement of the scope of the application (if applicable),

5. Supplementary comments

Petitioner Samsung Ex-1004, 0303

Written opinion of the International Searching Authority	International application number PCT/CN2022/082256

Box V Citations and interpretations under Rule	(a) (i) with respect to novelty,	Speculative claims of inventive step or industrial applicability:	
1. Declaration			
	Novelty (N)	Claims 1-20	yes
		claim *none*	no
	Creativity (IS)	Claims 1-20	yes
		claim none	no
	Industrial Applicability (IA)	Claim 1-20	yes
		claim none	no

2. Citation and explanation

DI： CN 113871420 A

I. Novelty

D1 discloses a display device (see paragraphs [0073]-[0118] of the description , Figures 1-9), including an OLED display panel, and the display panel includes a display area and a non-display area arranged on at least one side of the display area, wherein A display panel includes: a base substrate; a shielding layer disposed on the base substrate and located on a side of the first power line close to the base substrate, including a hollow area and a shielding area; for a pixel unit group, each first pixel The opening area of the unit at least partially overlaps with the shielding area of the shielding layer, and the opening region of at least one first pixel unit includes a first shielding connection portion, which at least partially overlaps with the shielding region of the shielding layer (that is, the pixel driving circuit layer is located on the shielding layer , including a plurality of pixel driving circuits located in the display area, each pixel driving circuit at least partially overlaps with the corresponding shielding block), and the shielding layer passes through the first shielding connection part and at least one of the plurality of first power lines The first power line is connected to receive the first power supply voltage; the plurality of first power lines are located on the side of the first shielding connection part away from the base substrate, the shielding layer is located on the side of the first shielding connection part close to the base substrate, and the first The shielding connection part is located between the shielding layer and the plurality of first power lines. The opening area A12 is used for arranging the first shielding connection portion SP1 connecting the shielding layer LS to the first power line 311 and the connection holes V3/V2 . It also includes a first conductive layer LY1, a first insulating layer Gilo is arranged between the first conductive layer LY1 and the semiconductor pattern SCP

For claims 1, 11, and D1 are not disclosed: the shielding layer includes a plurality of shielding blocks and converging wires electrically connected to the multiple shielding blocks, and the converging wires are located on at least one side of the multiple shielding blocks; and the first conductive layer, the first conductive layer includes: a plurality of power lines, and the plurality of power lines are electrically connected to the converged wiring through a plurality of through holes; distance setting.

Therefore, claims 1-20 comply with the provisions of PCT33 (2).

11 > Creativity

The above-mentioned distinguishing technical features are not disclosed by the prior art, and do not belong to the technical means commonly used by those skilled in the art. Therefore, claims 1-20 comply with the provisions of PCT33 (3).

III. Industrial applicability

Claims 1-20 comply with the provisions of PCT33 (4).

Electronic Acknowledgement Receipt

EFS ID:	47591655
Application Number:	17764557
International Application Number:	
Confirmation Number:	9510
Title of Invention:	DISPLAY PANEL AND DISPLAY DEVICE
First Named Inventor/Applicant Name:	Xing WU
Customer Number:	67801
Filer:	Martin Dennis Moynihan/Darrell Hollis
Filer Authorized By:	Martin Dennis Moynihan
Attorney Docket Number:	92088
Receipt Date:	27-FEB-2023
Filing Date:	
Time Stamp:	00:43:01
Application Type:	U.S. National Stage under 35 USC 371

Payment information:

Submitted with Payment	no

File Listing:

Document Number	Document Description	File Name	File Size(Bytes)/ Message Digest	Multi Part /.zip	Pages (if appl.)
1	Information Disclosure Statement (IDS) Form (SB08)	_form1449.pdf	488939 c1e448e6e4f13184e2239893c172e55ba9189638	no	2

Warnings:

Petitioner Samsung Ex-1004, 0306

Information:					
This is not an USPTO supplied IDS fillable form					
2	Transmittal Letter	_USPTOltr.pdf	23719 af3303888795be30f3ac8f7e0c3b9e96fe4bbe96	no	3
Warnings:					
Information:					
3	Foreign Reference	2-423645.pdf	18629173 77ee252eb3491add9ac5c9b93b6d8a58866aa020	no	51
Warnings:					
Information:					
4	Foreign Reference	3-423646.pdf	5271740 20d9a73f5e0739c4d8cc0ebed6fcc016450fcee1	no	18
Warnings:					
Information:					
5	Foreign Reference	4-423647.pdf	6214078 083d6f2525e9a080abab5f44b8e362b6b67319d2	no	22
Warnings:					
Information:					
6	Foreign Reference	5-423644.pdf	437773 f6c8abc500b90963845d134a8b6f7b0e5fad80c5	no	2
Warnings:					
Information:					
7	Foreign Reference	6-423643.pdf	16487139 09491cd28fa5bd3c4cb521b0e003b22fea37182f	no	55
Warnings:					
Information:					
8	Non Patent Literature	7-423641.pdf	3462565 263fb5aae1302753bc689b2f93375d3ef6020852	no	17
Warnings:					
Information:					

Total Files Size (in bytes):	51015126

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for a filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application.

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING or 371(c) DATE	GRP ART UNIT	FIL FEE REC'D	ATTY.DOCKET.NO	TOT CLAIMS	IND CLAIMS
17/764,557	03/29/2022		1820	92088	20	1

CONFIRMATION NO. 9510

FILING RECEIPT

67801
PRTSI Inc.
232 NW 42nd Ter
Plantation, FL 33317

OC000000064758155

Date Mailed: 11/21/2023

Receipt is acknowledged of this non-provisional utility patent application. The application will be taken up for examination in due course. Applicant will be notified as to the results of the examination. Any correspondence concerning the application must include the following identification information: the U.S. APPLICATION NUMBER, FILING DATE, NAME OF FIRST INVENTOR, and TITLE OF INVENTION. Fees transmitted by check or draft are subject to collection.

Please verify the accuracy of the data presented on this receipt. If an error is noted on this Filing Receipt, please submit a written request for a corrected Filing Receipt, including a properly marked-up ADS showing the changes with strike-through for deletions and underlining for additions. If you received a "Notice to File Missing Parts" or other Notice requiring a response for this application, please submit any request for correction to this Filing Receipt with your reply to the Notice. When the USPTO processes the reply to the Notice, the USPTO will generate another Filing Receipt incorporating the requested corrections provided that the request is grantable.

Inventor(s)

Xing WU, Wuhan, Hubei, CHINA;

Applicant(s)

WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD., Wuhan, Hubei, CHINA;

Assignment For Published Patent Application

Wuhan China Star Optoelectronics Semiconductor Display Technology Co., Ltd., Wuhan, Hubei, CHINA

Power of Attorney: The patent practitioners associated with Customer Number 67801

Domestic Priority data as claimed by applicant

This application is a 371 of PCT/CN2022/082256 03/22/2022

Foreign Applications (You may be eligible to benefit from the Patent Prosecution Highway program at the USPTO. Please see http://www.uspto.gov for more information.)
CHINA 202210237733.1 03/11/2022 Access Code Provided

Permission to Access Application via Priority Document Exchange: Yes

Permission to Access Search Results: Yes

Petitioner Samsung Ex-1004, 0309

Applicant may provide or rescind an authorization for access using Form PTO/SB/39 or Form PTO/SB/69 as appropriate.

If Required, Foreign Filing License Granted: 11/18/2023
The country code and number of your priority application, to be used for filing abroad under the Paris Convention, is **US 17/764,557**
Projected Publication Date: 02/29/2024
Non-Publication Request: No
Early Publication Request: No
Title

DISPLAY PANEL AND DISPLAY DEVICE

Preliminary Class

Statement under 37 CFR 1.55 or 1.78 for AIA (First Inventor to File) Transition Applications: No

PROTECTING YOUR INVENTION OUTSIDE THE UNITED STATES

Since the rights granted by a U.S. patent extend only throughout the territory of the United States and have no effect in a foreign country, an inventor who wishes patent protection in another country must apply for a patent in a specific country or in regional patent offices. Applicants may wish to consider the filing of an international application under the Patent Cooperation Treaty (PCT). An international (PCT) application generally has the same effect as a regular national patent application in each PCT-member country. The PCT process **simplifies** the filing of patent applications on the same invention in member countries, but **does not result** in a grant of "an international patent" and does not eliminate the need of applicants to file additional documents and fees in countries where patent protection is desired.

Almost every country has its own patent law, and a person desiring a patent in a particular country must make an application for patent in that country in accordance with its particular laws. Since the laws of many countries differ in various respects from the patent law of the United States, applicants are advised to seek guidance from specific foreign countries to ensure that patent rights are not lost prematurely.

Applicants also are advised that in the case of inventions made in the United States, the Director of the USPTO must issue a license before applicants can apply for a patent in a foreign country. The filing of a U.S. patent application serves as a request for a foreign filing license. The application's filing receipt contains further information and guidance as to the status of applicant's license for foreign filing.

Applicants may wish to consult the USPTO booklet, "General Information Concerning Patents" (specifically, the section entitled "Treaties and Foreign Patents") for more information on timeframes and deadlines for filing foreign patent applications. The guide is available either by contacting the USPTO Contact Center at 800-786-9199, or it can be viewed on the USPTO website at http://www.uspto.gov/web/offices/pac/doc/general/index.html.

For information on preventing theft of your intellectual property (patents, trademarks and copyrights), you may wish to consult the U.S. Government website, http://www.stopfakes.gov. Part of a Department of Commerce initiative, this website includes self-help "toolkits" giving innovators guidance on how to protect intellectual property in specific countries such as China, Korea and Mexico. For questions regarding patent enforcement issues, applicants may call the U.S. Government hotline at 1-866-999-HALT (1-866-999-4258).

Petitioner Samsung Ex-1004, 0310

LICENSE FOR FOREIGN FILING UNDER

Title 35, United States Code, Section 184

Title 37, Code of Federal Regulations, 5.11 & 5.15

GRANTED

The applicant has been granted a license under 35 U.S.C. 184, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" followed by a date appears on this form. Such licenses are issued in all applications where the conditions for issuance of a license have been met, regardless of whether or not a license may be required as set forth in 37 CFR 5.15. The scope and limitations of this license are set forth in 37 CFR 5.15(a) unless an earlier license has been issued under 37 CFR 5.15(b). The license is subject to revocation upon written notification. The date indicated is the effective date of the license, unless an earlier license of similar scope has been granted under 37 CFR 5.13 or 5.14.

This license is to be retained by the licensee and may be used at any time on or after the effective date thereof unless it is revoked. This license is automatically transferred to any related applications(s) filed under 37 CFR 1.53(d). This license is not retroactive.

The grant of a license does not in any way lessen the responsibility of a licensee for the security of the subject matter as imposed by any Government contract or the provisions of existing laws relating to espionage and the national security or the export of technical data. Licensees should apprise themselves of current regulations especially with respect to certain countries, of other agencies, particularly the Office of Defense Trade Controls, Department of State (with respect to Arms, Munitions and Implements of War (22 CFR 121-128)); the Bureau of Industry and Security, Department of Commerce (15 CFR parts 730-774); the Office of Foreign AssetsControl, Department of Treasury (31 CFR Parts 500+) and the Department of Energy.

NOT GRANTED

No license under 35 U.S.C. 184 has been granted at this time, if the phrase "IF REQUIRED, FOREIGN FILING LICENSE GRANTED" DOES NOT appear on this form. Applicant may still petition for a license under 37 CFR 5.12, if a license is desired before the expiration of 6 months from the filing date of the application. If 6 months has lapsed from the filing date of this application and the licensee has not received any indication of a secrecy order under 35 U.S.C. 181, the licensee may foreign file the application pursuant to 37 CFR 5.15(b).

SelectUSA

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The U.S. offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to promote and facilitate business investment. SelectUSA provides information assistance to the international investor community; serves as an ombudsman for existing and potential investors; advocates on behalf of U.S. cities, states, and regions competing for global investment; and counsels U.S. economic development organizations on investment attraction best practices. To learn more about why the United States is the best country in the world to develop technology, manufacture products, deliver services, and grow your business, visit http://www.SelectUSA.gov or call +1-202-482-6800.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

U.S. APPLICATION NO.	FIRST NAMED INVENTOR	ATTY. DOCKET NO.
17/764,557	Xing WU	92088

67801
PRTSI Inc.
232 NW 42nd Ter
Plantation, FL 33317

INTERNATIONAL APPLICATION NO.	
PCT/CN2022/082256	
I.A. FILING DATE	PRIORITY DATE
03/22/2022	03/11/2022

CONFIRMATION NO. 9510

371 ACCEPTANCE LETTER

OC000000064758156

Date Mailed: 11/21/2023

NOTICE OF ACCEPTANCE OF APPLICATION UNDER 35 U.S.C 371 AND 37 CFR 1.495

The applicant is hereby advised that the United States Patent and Trademark Office, in its capacity as a Designated / Elected Office (37 CFR 1.495), has ACCEPTED the above identified international application for national patentability examination in the United States Patent and Trademark Office.

The United States Application Number assigned to the application is shown above. A Filing Receipt will be issued for the present application in due course. **THE DATE APPEARING ON THE FILING RECEIPT AS THE "FILING DATE or 371(c) DATE" IS THE DATE ON WHICH THE LAST OF THE 35 U.S.C. 371 (c)(1) and (c)(2) REQUIREMENTS HAS BEEN RECEIVED IN THE OFFICE. THIS DATE IS SHOWN BELOW.** The filing date of the above identified application is the international filing date of the international application (Article 11(3) and 35 U.S.C. 363)

03/29/2022
DATE OF RECEIPT OF 35 U.S.C.
371(c)(1) and (c)(2) REQUIREMENTS

The following items have been received:

- Drawings filed on 03/29/2022
- Copy of the International Search Report filed on 03/29/2022
- Inventor's Oath or Declaration filed on 03/29/2022
- Information Disclosure Statements filed on 02/27/2023
- Assignee Statement for PGPUB filed on 03/29/2022
- Power of Attorney filed on 03/29/2022
- Application Data Sheet (37 CFR 1.76) filed on 03/29/2022
- Authorization to Permit Access filed on 03/29/2022
- Authorize Access to Search Results filed on 03/29/2022
- Copy of the International Application filed on 03/29/2022
- English Translation of the IA filed on 03/29/2022
- Preliminary Amendments filed on 03/29/2022
- Request for Immediate Examination filed on 03/29/2022
- Priority Documents filed on 03/29/2022
- U.S. Basic National Fees filed on 03/29/2022

Petitioner Samsung Ex-1004, 0312

Applicant is reminded that any communications to the United States Patent and Trademark Office must be mailed to the address given in the heading and include the U.S. application no. shown above (37 CFR 1.5)

SHARON D HARRIS

Telephone: (571) 272-9433

Petitioner Samsung Ex-1004, 0313

MULTIPLE DEPENDENT CLAIM FEE CALCULATION SHEET

Substitute for Form PTO-1360
(For use with Form PTO/SB/06)

Application Number	Filing Date
17/764,557	

Applicant(s) Xing WU

* May be used for additional claims or amendments

CLAIMS	AS FILED		AFTER FIRST AMENDMENT		AFTER SECOND AMENDMENT	
	Indep	Depend	Indep	Depend	Indep	Depend
1	1		1			
2		1		1		
3		1		1		
4		1		1		
5		1		1		
6		1		1		
7		1		1		
8		1		1		
9		1		1		
10		1		1		
11		1		1		
12		1		1		
13		1		1		
14		1		1		
15		1		1		
16		1		1		
17		1		1		
18		1		1		
19		1		1		
20		1		1		
21						
22						
23						
24						
25						
26						
27						
28						
29						
30						
31						
32						
33						
34						
35						
36						
37						
38						
39						
40						
41						
42						
43						
44						
45						
46						
47						
48						
49						
50						
Total Indep	1		1			
Total Depend	19	↵	19	↵		↵
Total Claims	20		20		0	

	*		*		*	
	Indep	Depend	Indep	Depend	Indep	Depend
51						
52						
53						
54						
55						
56						
57						
58						
59						
60						
61						
62						
63						
64						
65						
66						
67						
68						
69						
70						
71						
72						
73						
74						
75						
76						
77						
78						
79						
80						
81						
82						
83						
84						
85						
86						
87						
88						
89						
90						
91						
92						
93						
94						
95						
96						
97						
98						
99						
100						

PATENT APPLICATION FEE DETERMINATION RECORD

Substitute for Form PTO-875

Application or Docket Number: 17/764,557

APPLICATION AS FILED - PART I

FOR	(Column 1) NUMBER FILED	(Column 2) NUMBER EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY FEE($)
BASIC FEE (37 CFR 1.16(a), (b), or (c))	N/A	N/A	N/A			N/A	320
SEARCH FEE (37 CFR 1.16(k), (i), or (m))	N/A	N/A	N/A			N/A	540
EXAMINATION FEE (37 CFR 1.16(o), (p), or (q))	N/A	N/A	N/A			N/A	800
TOTAL CLAIMS (37 CFR 1.16(i))	20 minus 20 =	* 0			OR	x =	0
INDEPENDENT CLAIMS (37 CFR 1.16(h))	1 minus 3 =	*				x =	0
APPLICATION SIZE FEE (37 CFR 1.16(s))	If the specification and drawings exceed 100 sheets of paper, the application size fee due is $310 ($155 for small entity) for each additional 50 sheets or fraction thereof. See 35 U.S.C. 41(a)(1)(G) and 37 CFR 1.16(s).						0
MULTIPLE DEPENDENT CLAIM PRESENT (37 CFR 1.16(j))							0
* If the difference in column 1 is less than zero, enter "0" in column 2.			TOTAL			TOTAL	1660

APPLICATION AS AMENDED - PART II

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	SMALL ENTITY RATE($)	SMALL ENTITY ADDITIONAL FEE($)	OR	OTHER THAN SMALL ENTITY RATE($)	OTHER THAN SMALL ENTITY ADDITIONAL FEE($)
AMENDMENT A	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		OR	x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		OR	x =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

		(Column 1) CLAIMS REMAINING AFTER AMENDMENT		(Column 2) HIGHEST NUMBER PREVIOUSLY PAID FOR	(Column 3) PRESENT EXTRA	RATE($)	ADDITIONAL FEE($)	OR	RATE($)	ADDITIONAL FEE($)
AMENDMENT B	Total (37 CFR 1.16(i))	*	Minus	**	=	x =		OR	x =	
	Independent (37 CFR 1.16(h))	*	Minus	***	=	x =		OR	x =	
	Application Size Fee (37 CFR 1.16(s))									
	FIRST PRESENTATION OF MULTIPLE DEPENDENT CLAIM (37 CFR 1.16(j))							OR		
						TOTAL ADD'L FEE		OR	TOTAL ADD'L FEE	

* If the entry in column 1 is less than the entry in column 2, write "0" in column 3.

** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 20, enter "20".

*** If the "Highest Number Previously Paid For" IN THIS SPACE is less than 3, enter "3".

The "Highest Number Previously Paid For" (Total or Independent) is the highest found in the appropriate box in column 1.

United States Patent and Trademark Office

Under Secretary of Commerce for Intellectual Property and
Director of the United States Patent and Trademark Office

WELCOME TO THE UNITED STATES PATENT AND TRADEMARK OFFICE (USPTO)

*Congratulations on taking the first step to protect your invention. You can now advertise or mark any products covered by this application for your invention as **"Patent Pending"** for as long as this application is pending!*

We are here to help you on the rest of your journey.

New to the process? The Patent Basics page will take you from "What is a patent?" to assistance with the application process.

- **www.uspto.gov/PatentBasics**

Consider cost savings. You might qualify for small entity or micro entity status, which means a discount on most USPTO patent fees.

- **www.uspto.gov/EntityStatus**

Become a registered electronic filer (eFiler). You'll gain access to the full capabilities of Patent Center. As a registered eFiler, you can electronically view your submission, track the progress of your application, and respond to USPTO correspondence.

- **www.uspto.gov/NewPatentFilers**

Learn how to identify which of your creative ideas might be intellectual property assets and how to protect them by using the USPTO Intellectual Property (IP) Identifier.

- **ipidentifier.uspto.gov**

We also provide Pro Se Assistance, support specifically geared for **independent inventors without an attorney or agent.** Follow the link below, call us at 866-767-3848, or email **proseassistancecenter@uspto.gov**.

- **www.uspto.gov/ProSePatents**

Need help near you? We have regional offices across the country, as well as Patent and Trademark Resource Centers in libraries in nearly every state, with specialists standing by to help you at no cost.

- **www.uspto.gov/locations**
- **www.uspto.gov/ptrc**

Contact us:

- **General information:** USPTO Contact Center
  - **www.uspto.gov/help**
- **Patent Center:**
  Patent Electronic Business Center
  - **www.uspto.gov/EBC**
- **Pre or post-examination:** Application Assistance Unit
  - **www.uspto.gov/PatentAssistance**

Want to learn more?

- **Access our free services** all in one spot. Find all of our contact centers, nationwide services, events, education, and training.
  - **www.uspto.gov/FreeServices**
- **Connect with us** on Instagram, LinkedIn, Twitter, Facebook, and YouTube.
- **Hear about resources for startups, inventors, and entrepreneurs,** as well as our initiatives engaging women, the military community, and others. These programs offer helpful tips and tricks on identifying and managing your IP, finding options for funding, and expanding your network to support your business.
  - **www.uspto.gov/startups**
  - **www.uspto.gov/inventors**
  - **www.uspto.gov/initiatives**
- We hope you connect with us by subscribing to receive important notifications by email.
  - **www.uspto.gov/subscribe**

Kathi Vidal

Kathi Vidal
Under Secretary of Commerce for Intellectual Property and
Director of the United States Patent and Trademark Office

Derrick Brent
Deputy Under Secretary of Commerce for Intellectual Property and
Deputy Director of the United States Patent and Trademark Office

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NUMBER	FILING OR 371(C) DATE	FIRST NAMED APPLICANT	ATTY. DOCKET NO./TITLE
17/764,557	03/29/2022	Xing WU	92088

CONFIRMATION NO. 9510

67801
PRTSI Inc.
232 NW 42nd Ter
Plantation, FL 33317

PUBLICATION NOTICE

OC000000069021126

Date Mailed: 03/01/2024

Title:DISPLAY PANEL AND DISPLAY DEVICE

Publication No.US-2024-0074252-A1
Publication Date:02/29/2024

NOTICE OF PUBLICATION OF APPLICATION

The above-identified application will be electronically published as a patent application publication pursuant to 37 CFR 1.211, et seq. The patent application publication number and publication date are set forth above.

The publication may be accessed through the USPTO's publically available Searchable Databases via the Internet at www.uspto.gov. The direct link to access the publication is currently http://www.uspto.gov/patft/.

The publication process established by the Office does not provide for mailing a copy of the publication to applicant. A copy of the publication may be obtained from the Office upon payment of the appropriate fee set forth in 37 CFR 1.19(a)(1). Orders for copies of patent application publications are handled by the USPTO's Public Records Division. The Public Records Division can be reached by telephone at (571) 272-3150 or (800) 972-6382, by facsimile at (571) 273-3250, by mail addressed to the United States Patent and Trademark Office, Public Records Division, Alexandria, VA 22313-1450 or via the Internet.

In addition, information on the status of the application, including the mailing date of Office actions and the dates of receipt of correspondence filed in the Office, may also be accessed via the Internet through the Patent Electronic Business Center at www.uspto.gov using the public side of the Patent Application Information and Retrieval (PAIR) system. The direct link to access this status information is currently https://portal.uspto.gov/pair/PublicPair. Prior to publication, such status information is confidential and may only be obtained by applicant using the private side of PAIR.

Further assistance in electronically accessing the publication, or about PAIR, is available by calling the Patent Electronic Business Center at 1-866-217-9197.

Office of Data Managment, Application Assistance Unit (571) 272-4000, or (571) 272-4200, or 1-888-786-0101

Petitioner Samsung Ex-1004, 0317

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

NOTICE OF ALLOWANCE AND FEE(S) DUE

67801 7590 06/26/2024

PRTSI Inc.
232 NW 42nd Ter
Plantation, FL 33317

EXAMINER	
TRAN, THANH Y	
ART UNIT	PAPER NUMBER
2817	

DATE MAILED: 06/26/2024

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
17/764,557	03/29/2022	Xing WU	92088	9510

TITLE OF INVENTION: DISPLAY PANEL AND DISPLAY DEVICE

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$1200	$0.00	$0.00	$1200	09/26/2024

THE APPLICATION IDENTIFIED ABOVE HAS BEEN EXAMINED AND IS ALLOWED FOR ISSUANCE AS A PATENT. PROSECUTION ON THE MERITS IS CLOSED. THIS NOTICE OF ALLOWANCE IS NOT A GRANT OF PATENT RIGHTS. THIS APPLICATION IS SUBJECT TO WITHDRAWAL FROM ISSUE AT THE INITIATIVE OF THE OFFICE OR UPON PETITION BY THE APPLICANT. SEE 37 CFR 1.313 AND MPEP 1308.

THE ISSUE FEE AND PUBLICATION FEE (IF REQUIRED) MUST BE PAID WITHIN THREE MONTHS FROM THE MAILING DATE OF THIS NOTICE OR THIS APPLICATION SHALL BE REGARDED AS ABANDONED. THIS STATUTORY PERIOD CANNOT BE EXTENDED. SEE 35 U.S.C. 151. THE ISSUE FEE DUE INDICATED ABOVE DOES NOT REFLECT A CREDIT FOR ANY PREVIOUSLY PAID ISSUE FEE IN THIS APPLICATION. IF AN ISSUE FEE HAS PREVIOUSLY BEEN PAID IN THIS APPLICATION (AS SHOWN ABOVE), THE RETURN OF PART B OF THIS FORM WILL BE CONSIDERED A REQUEST TO REAPPLY THE PREVIOUSLY PAID ISSUE FEE TOWARD THE ISSUE FEE NOW DUE.

HOW TO REPLY TO THIS NOTICE:

I. Review the ENTITY STATUS shown above. If the ENTITY STATUS is shown as SMALL or MICRO, verify whether entitlement to that entity status still applies.

If the ENTITY STATUS is the same as shown above, pay the TOTAL FEE(S) DUE shown above.

If the ENTITY STATUS is changed from that shown above, on PART B - FEE(S) TRANSMITTAL, complete section number 5 titled "Change in Entity Status (from status indicated above)".

For purposes of this notice, small entity fees are 40% the amount of undiscounted fees, and micro entity fees are 20% the amount of undiscounted fees.

II. PART B - FEE(S) TRANSMITTAL, or its equivalent, must be completed and returned to the United States Patent and Trademark Office (USPTO) with your ISSUE FEE and PUBLICATION FEE (if required). If you are charging the fee(s) to your deposit account, section "4b" of Part B - Fee(s) Transmittal should be completed. If an equivalent of Part B is filed, a request to reapply a previously paid issue fee must be clearly made, and delays in processing may occur due to the difficulty in recognizing the paper as an equivalent of Part B.

III. All communications regarding this application must give the application number. Please direct all communications prior to issuance to Mail Stop ISSUE FEE unless advised to the contrary.

IMPORTANT REMINDER: Maintenance fees are due in utility patents issuing on applications filed on or after Dec. 12, 1980. It is patentee's responsibility to ensure timely payment of maintenance fees when due. More information is available at www.uspto.gov/PatentMaintenanceFees.

Petitioner Samsung Ex-1004, 0318

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), by mail or fax, or via the USPTO patent electronic filing system.

By mail, send to: Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

By fax, send to: (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications. **Because electronic patent issuance may occur shortly after issue fee payment, any desired continuing application should preferably be filed prior to payment of this issue fee in order not to jeopardize copendency.**

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

67801 7590 06/26/2024

PRTSI Inc.
232 NW 42nd Ter
Plantation, FL 33317

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being transmitted to the USPTO via the USPTO patent electronic filing system or by facsimile to (571) 273-2885, on the date below.

(Typed or printed name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
17/764,557	03/29/2022	Xing WU	92088	9510

TITLE OF INVENTION: DISPLAY PANEL AND DISPLAY DEVICE

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$1200	$0.00	$0.00	$1200	09/26/2024

EXAMINER	ART UNIT	CLASS-SUBCLASS
TRAN, THANH Y	2817	257-040000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

❑ Change of correspondence address (or Change of Correspondence Address form PTO/AIA/122 or PTO/SB/122) attached.

❑ "Fee Address" indication (or "Fee Address" Indication form PTO/AIA/47 or PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 _____
2 _____
3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document must have been previously recorded, or filed for recordation, as set forth in 37 CFR 3.11 and 37 CFR 3.81(a). Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

Please check the appropriate assignee category or categories (will not be printed on the patent) : ❑ Individual ❑ Corporation or other private group entity ❑ Government

4a. Fees submitted: ❑ Issue Fee ❑ Publication Fee (if required)

4b. Method of Payment: *(Please first reapply any previously paid fee shown above)*

❑ Electronic Payment via the USPTO patent electronic filing system ❑ Enclosed check ❑ Non-electronic payment by credit card (Attach form PTO-2038)

❑ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment to Deposit Account No. _____

5. **Change in Entity Status** (from status indicated above)

❑ Applicant certifying micro entity status. See 37 CFR 1.29

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.

❑ Applicant asserting small entity status. See 37 CFR 1.27

NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.

❑ Applicant changing to regular undiscounted fee status.

NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature _____ Date _____

Typed or printed name _____ Registration No. _____

Petitioner Samsung Ex-1004, 0319

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
17/764,557	03/29/2022	Xing WU	92088	9510

67801 7590 06/26/2024

PRTSI Inc.
232 NW 42nd Ter
Plantation, FL 33317

EXAMINER	
TRAN, THANH Y	
ART UNIT	PAPER NUMBER
2817	

DATE MAILED: 06/26/2024

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(Applications filed on or after May 29, 2000)

The Office has discontinued providing a Patent Term Adjustment (PTA) calculation with the Notice of Allowance.

Section 1(h)(2) of the AIA Technical Corrections Act amended 35 U.S.C. 154(b)(3)(B)(i) to eliminate the requirement that the Office provide a patent term adjustment determination with the notice of allowance. See Revisions to Patent Term Adjustment, 78 Fed. Reg. 19416, 19417 (Apr. 1, 2013). Therefore, the Office is no longer providing an initial patent term adjustment determination with the notice of allowance. The Office will continue to provide a patent term adjustment determination with the Issue Notification Letter that is mailed to applicant approximately three weeks prior to the issue date of the patent, and will include the patent term adjustment on the patent. Any request for reconsideration of the patent term adjustment determination (or reinstatement of patent term adjustment) should follow the process outlined in 37 CFR 1.705.

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Customer Service Center of the Office of Patent Publication at 1-(888)-786-0101 or (571)-272-4200.

Petitioner Samsung Ex-1004, 0320

OMB Clearance and PRA Burden Statement for PTOL-85 Part B

The Paperwork Reduction Act (PRA) of 1995 requires Federal agencies to obtain Office of Management and Budget approval before requesting most types of information from the public. When OMB approves an agency request to collect information from the public, OMB (i) provides a valid OMB Control Number and expiration date for the agency to display on the instrument that will be used to collect the information and (ii) requires the agency to inform the public about the OMB Control Number's legal significance in accordance with 5 CFR 1320.5(b).

The information collected by PTOL-85 Part B is required by 37 CFR 1.311. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. This collection is estimated to take 30 minutes to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of Commerce, P.O. Box 1450, Alexandria, Virginia 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, Virginia 22313-1450. Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it displays a valid OMB control number.

Privacy Act Statement

The Privacy Act of 1974 (P.L. 93-579) requires that you be given certain information in connection with your submission of the attached form related to a patent application or patent. The United States Patent and Trademark Office (USPTO) collects the information in this record under authority of 35 U.S.C. 2. The USPTO's system of records is used to manage all applicant and owner information including name, citizenship, residence, post office address, and other information with respect to inventors and their legal representatives pertaining to the applicant's/owner's activities in connection with the invention for which a patent is sought or has been granted. The applicable Privacy Act System of Records Notice for the information collected in this form is COMMERCE/PAT-TM-7 Patent Application Files, available in the Federal Register at 78 FR 19243 (March 29, 2013).
https://www.govinfo.gov/content/pkg/FR-2013-03-29/pdf/2013-07341.pdf

Routine uses of the information in this record may include disclosure to:

1) law enforcement, in the event that the system of records indicates a violation or potential violation of law;
2) a federal, state, local, or international agency, in response to its request;
3) a contractor of the USPTO having need for the information in order to perform a contract;
4) the Department of Justice for determination of whether the Freedom of Information Act (FOIA) requires disclosure of the record;
5) a Member of Congress submitting a request involving an individual to whom the record pertains, when the individual has requested the Member's assistance with respect to the subject matter of the record;
6) a court, magistrate, or administrative tribunal, in the course of presenting evidence, including disclosures to opposing counsel in the course of settlement negotiations;
7) the Administrator, General Services Administration (GSA), or their designee, during an inspection of records conducted by GSA under authority of 44 U.S.C. 2904 and 2906, in accordance with the GSA regulations and any other relevant (i.e., GSA or Commerce) directive, where such disclosure shall not be used to make determinations about individuals;
8) another federal agency for purposes of National Security review (35 U.S.C. 181) and for review pursuant to the Atomic Energy Act (42 U.S.C. 218(c));
9) the Office of Personnel Management (OPM) for personnel research purposes; and
10) the Office of Management and Budget (OMB) for legislative coordination and clearance.

If you do not furnish the information requested on this form, the USPTO may not be able to process and/or examine your submission, which may result in termination of proceedings, abandonment of the application, and/or expiration of the patent.

Notice of Allowability	Application No. 17/764,557	Applicant(s) WU, Xing	
	Examiner THANH Y TRAN	Art Unit 2817	AIA (FITF) Status Yes

-- The MAILING DATE of this communication appears on the cover sheet with the correspondence address--

All claims being allowable, PROSECUTION ON THE MERITS IS (OR REMAINS) CLOSED in this application. If not included herewith (or previously mailed), a Notice of Allowance (PTOL-85) or other appropriate communication will be mailed in due course. **THIS NOTICE OF ALLOWABILITY IS NOT A GRANT OF PATENT RIGHTS.** This application is subject to withdrawal from issue at the initiative of the Office or upon petition by the applicant. See 37 CFR 1.313 and MPEP 1308.

1. ☑ This communication is responsive to 03/29/22.
   ☐ A declaration(s)/affidavit(s) under **37 CFR 1.130(b)** was/were filed on _____.

2. ☐ An election was made by the applicant in response to a restriction requirement set forth during the interview on _____; the restriction requirement and election have been incorporated into this action.

3. ☑ The allowed claim(s) is/are 1-20 . As a result of the allowed claim(s), you may be eligible to benefit from the **Patent Prosecution Highway** program at a participating intellectual property office for the corresponding application. For more information, please see **http://www.uspto.gov/patents/init_events/pph/index.jsp** or send an inquiry to **PPHfeedback@uspto.gov.**

4. ☑ Acknowledgment is made of a claim for foreign priority under 35 U.S.C. § 119(a)-(d) or (f).

   Certified copies:

   a) ☑ All b) ☐ Some* c) ☐ None of the:

   1. ☑ Certified copies of the priority documents have been received.
   2. ☐ Certified copies of the priority documents have been received in Application No. _____ .
   3. ☐ Copies of the certified copies of the priority documents have been received in this national stage application from the International Bureau (PCT Rule 17.2(a)).

   * Certified copies not received: _____ .

Applicant has THREE MONTHS FROM THE "MAILING DATE" of this communication to file a reply complying with the requirements noted below. Failure to timely comply will result in ABANDONMENT of this application.
THIS THREE-MONTH PERIOD IS NOT EXTENDABLE.

5. ☐ CORRECTED DRAWINGS (as "replacement sheets") must be submitted.
   ☐ including changes required by the attached Examiner's Amendment / Comment or in the Office action of Paper No./Mail Date _____ .

   Identifying indicia such as the application number (see 37 CFR 1.84(c)) should be written on the drawings in the front (not the back) of each sheet. Replacement sheet(s) should be labeled as such in the header according to 37 CFR 1.121(d).

6. ☐ DEPOSIT OF and/or INFORMATION about the deposit of BIOLOGICAL MATERIAL must be submitted. Note the attached Examiner's comment regarding REQUIREMENT FOR THE DEPOSIT OF BIOLOGICAL MATERIAL.

Attachment(s)

1. ☑ Notice of References Cited (PTO-892)
2. ☑ Information Disclosure Statements (PTO/SB/08), Paper No./Mail Date 02/27/23.
3. ☐ Examiner's Comment Regarding Requirement for Deposit of Biological Material _____.
4. ☐ Interview Summary (PTO-413), Paper No./Mail Date. _____.
5. ☐ Examiner's Amendment/Comment
6. ☑ Examiner's Statement of Reasons for Allowance
7. ☐ Other _____.

/Thanh Y. Tran/
Primary Examiner, Art Unit 2817

DETAILED ACTION

Notice of Pre-AIA or AIA Status

The present application, filed on or after March 16, 2013, is being examined under the first inventor to file provisions of the AIA.

Allowable Subject Matter

1. Claims 1-20 are allowed.

2. The following is an examiner's statement of reasons for allowance:

Regarding claim 1, the prior art of record and to the Examiner's knowledge does not teach or render obvious, at least to the skilled artisan, the instant invention regarding a display panel, comprising: a shielding layer located on the substrate, wherein the shielding layer comprises a plurality of shielding blocks and a converging wire electrically connected to the plurality of shielding blocks and is located on at least one side of the plurality of shielding blocks; a pixel driving circuit layer located on the shielding layer, wherein the pixel driving circuit layer comprises a plurality of pixel driving circuits located in the display region, each of the plurality of pixel driving circuits at least partially overlaps a corresponding one of the shielding blocks; a plurality of power supply lines disposed on a side of the shielding layer away from the substrate, and are electrically connected to the converging wire through a plurality of through holes; wherein the converging wire between two adjacent ones of the plurality of through holes is disposed according to a shortest distance between the two adjacent through holes, in combination with other claimed features, as recited in independent claim 1. Claims 2-20 are dependent upon independent claim 1, and are therefore allowed.

3. The prior art made of record and not relied upon is considered pertinent to applicant's disclosure: Tian et al. (U.S 2022/0157919 A1), and YUAN et al. (U.S 2023/0122411 A1) do not disclose the above allowable subject matters, as mentioned above in independent claim 1.

Any comments considered necessary by applicant must be submitted no later than the payment of the issue fee and, to avoid processing delays, should preferably accompany the issue fee. Such submissions should be clearly labeled "Comments on Statement of Reasons for Allowance."

Contact Information

Any inquiry concerning this communication or earlier communications from the examiner should be directed to THANH Y TRAN whose telephone number is (571)272-2110. The examiner can normally be reached on M-F, 10am-10pm (flex) (PST).

Examiner interviews are available via telephone, in-person, and video conferencing using a USPTO supplied web-based collaboration tool. To schedule an interview, applicant is encouraged to use the USPTO Automated Interview Request (AIR) at http://www.uspto.gov/interviewpractice.

If attempts to reach the examiner by telephone are unsuccessful, the examiner's supervisor, Kretelia Graham can be reached on (571) 272-5055. The fax phone number for the organization where this application or proceeding is assigned is 571-273-8300.

Information regarding the status of an application may be obtained from the Patent Application Information Retrieval (PAIR) system. Status information for published applications may be obtained from either Private PAIR or Public PAIR. Status information for unpublished

applications is available through Private PAIR only. For more information about the PAIR system, see https://ppair-my.uspto.gov/pair/PrivatePair. Should you have questions on access to the Private PAIR system, contact the Electronic Business Center (EBC) at 866-217-9197 (toll-free). If you would like assistance from a USPTO Customer Service Representative or access to the automated information system, call 800-786-9199 (IN USA OR CANADA) or 571-272-1000.

/Thanh Y. Tran/
Primary Examiner, Art Unit 2817
June 11, 2024

Notice of References Cited	Application/Control No. 17/764,557	Applicant(s)/Patent Under Reexamination WU, Xing	
	Examiner THANH Y TRAN	Art Unit 2817	Page 1 of 1

U.S. PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date YYYY-MM-DD	Name	CPC Classification	US Classification
*	A	US-20220157919-A1	2022-05-19	Tian; Hongwei	H10K59/126	1/1
*	B	US-20230122411-A1	2023-04-20	YUAN; Can	H10K59/1216	345/206
	C					
	D					
	E					
	F					
	G					
	H					
	I					
	J					
	K					
	L					
	M					

FOREIGN PATENT DOCUMENTS

*		Document Number Country Code-Number-Kind Code	Date YYYY-MM-DD	Country	Name	CPC Classification
	N					
	O					
	P					
	Q					
	R					
	S					
	T					

NON-PATENT DOCUMENTS

*		Include as applicable: Author, Title Date, Publisher, Edition or Volume, Pertinent Pages)
	U	
	V	
	W	
	X	

*A copy of this reference is not being furnished with this Office action. (See MPEP § 707.05(a).)
Dates in YYYY-MM-DD format are publication dates. Classifications may be US or foreign.

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	17/764,557	WU, Xing
	Examiner	**Art Unit**
	THANH Y TRAN	2817

CPC						
Symbol					**Type**	**Version**
H10K	/	59	/	126	F	2023-02-01
H10K	/	59	/	131	I	2023-02-01
G09G	/	3	/	3225	A	2013-01-01
G09G	/	2300	/	0408	A	2013-01-01

CPC Combination Sets							
Symbol					**Type**	**Set**	**Ranking**	**Version**
	/		/					

NONE		**Total Claims Allowed:**	
(Assistant Examiner)	(Date)	20	
/Thanh Y. Tran/ Primary Examiner, Art Unit 2817	11 June 2024	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	1 & 3

U.S. Patent and Trademark Office — Part of Paper No.: 20240611

Petitioner Samsung Ex-1004, 0327

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	17/764,557	WU, Xing
	Examiner	**Art Unit**
	THANH Y TRAN	2817

INTERNATIONAL CLASSIFICATION				
CLAIMED				
H10K59/126	/	59	/	126
H10K59/131	/	59	/	131

NON-CLAIMED				
	/		/	

US ORIGINAL CLASSIFICATION	
CLASS	**SUBCLASS**

CROSS REFERENCES(S)						
CLASS	**SUBCLASS (ONE SUBCLASS PER BLOCK)**					

NONE		Total Claims Allowed:	
(Assistant Examiner)	(Date)	20	
/Thanh Y. Tran/ Primary Examiner, Art Unit 2817	11 June 2024	O.G. Print Claim(s)	O.G. Print Figure
(Primary Examiner)	(Date)	1	1 & 3

Issue Classification	Application/Control No.	Applicant(s)/Patent Under Reexamination
	17/764,557	WU, Xing
	Examiner	**Art Unit**
	THANH Y TRAN	2817

☑ Claims renumbered in the same order as presented by applicant ☐ CPA ☐ T.D. ☐ R.1.47

CLAIMS

Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original	Final	Original
	1		10		19										
	2		11		20										
	3		12												
	4		13												
	5		14												
	6		15												
	7		16												
	8		17												
	9		18												

NONE (Assistant Examiner)	(Date)	**Total Claims Allowed:** 20	
/Thanh Y. Tran/ Primary Examiner, Art Unit 2817 (Primary Examiner)	11 June 2024 (Date)	O.G. Print Claim(s) 1	O.G. Print Figure 1 & 3

U.S. Patent and Trademark Office Part of Paper No.: 20240611

Petitioner Samsung Ex-1004, 0329

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	17/764,557	WU, Xing
	Examiner	Art Unit
	THANH Y TRAN	2817

CPC - Searched*		
Symbol	Date	Examiner
H10K59/126, H10K59/131, H10K59/1213, H01L 23/60	06/11/2024	TYT
G09G3/3225, G09G2300/0408	06/11/2024	TYT

CPC Combination Sets - Searched*		
Symbol	Date	Examiner

US Classification - Searched*			
Class	Subclass	Date	Examiner

* See search history printout included with this form or the SEARCH NOTES box below to determine the scope of the search.

Search Notes		
Search Notes	Date	Examiner
PE2E search (using text search combined with cpc codes, see search history printout)	06/11/2024	TYT
Inventor's name search (see search history printout)	06/11/2024	TYT
Assignee search (see search history printout)	06/11/2024	TYT
Global Dossier search	06/11/2024	TYT

Interference Search			
US Class/CPC Symbol	US Subclass/CPC Group	Date	Examiner
	CLM. Interference search (see search history printout)	06/11/2024	TYT

Search Notes	Application/Control No.	Applicant(s)/Patent Under Reexamination
	17/764,557	WU, Xing
	Examiner	Art Unit
	THANH Y TRAN	2817

PTO/SB/08a (08-03)
Approved for use through 07/31/2006. OMB 0651-0031
U.S.Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(*use as many sheets as necessary*)

Complete if Known	
Application Number	17/764,557
Filing Date	March 29, 2022
First Named Inventor	WU Xing
Art Unit	
Examiner Name	
Attorney Docket Number	92088

Sheet	1	of	2

U.S. PATENT DOCUMENTS

Examiner Initials*	Cite No. [1]	Document Number Number-Kind Code[2] (if known)	Publication Date DD-MMM-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear
/TYT/	1	2021/0134846	06-May-2021	Tai et al.	

FOREIGN PATENT DOCUMENTS

Examiner Initials*	Cite No. [1]	Foreign Patent Documents Country Code[3]-Number[4]-Kind Code[5] (*if known*)	Publication Date DD-MMM-YYYY	Name of Patentee or Applicant of Cited Document	Pages, Columns, Lines, Where Relevant Passages or Relevant Figures Appear	T [6]
/TYT/	2	CN 105321957	10-Feb-2016	LG Display		
/TYT/	3	CN 112310044	02-Feb-2021	BOE Technology Group		
/TYT/	4	CN 112670304	16-Apr-2021	Kunshan Govisionox Optoelelctronics		
/TYT/	5	CN 113826210	21-Dec-2021	BOE Technology Group		
/TYT/	6	CN 113871420	31-Dec-2021	BOE Technology Group		

Examiner Signature	/Thanh Y. Tran/	Date Considered	06/11/2024

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of copy of this form with next communication to applicant.

[1] Applicant's unique citation designation number (optional).

[2] See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. 3 Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3).

[3] Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3).

[4] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document.

[5] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible.

[6] Applicant is to place a check mark here if English language translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. this collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450

PTO/SB/08a (08-03)
Approved for use through 07/31/2006. OMB 0651-0031
U.S.Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE
Under the Paperwork Reduction Act of 1995, no persons are required to respond to a collection of information unless it contains a valid OMB control number.

Substitute for form 1449A/PTO

INFORMATION DISCLOSURE STATEMENT BY APPLICANT

(*use as many sheets as necessary*)

Complete if Known	
Application Number	17/764,557
Filing Date	March 29, 2022
First Named Inventor	WU Xing
Group Art Unit	
Examiner Name	Thanh Tran
Attorney Docket Number	92088

Sheet	2	Of	2

OTHER PRIOR ART – NON PATENT LITERATURE DOCUMENTS

Examiner Initials	Cite No.[1]	Include name of the author (in CAPITAL LETTERS), title of the article (when appropriate), title of the item (book, magazine, journal, serial symposium, catalog, etc.) date, page(s), volume-issue number(s), publisher, city and/or country where published.	T[2]
/TYT/	7	International Search Report and the Written Opinion Dated 30 November 2022 From the International Searching Authority Re. Application No. PCT/CN2022/082256 and Its Translation Into English. (17 Pages)	

Examiner Signature	/Thanh Y. Tran/	Date Considered	06/11/2024

* EXAMINER: Initial if reference considered, whether or not citation is in conformance with MPEP 609. Draw line through citation if not in conformance and not considered. Include copy of copy of this form with next communication to applicant.

[1] Applicant's unique citation designation number (optional).

[2] See Kinds Codes of USPTO Patent Documents at www.uspto.gov or MPEP 901.04. 3 Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3).

[3] Enter Office that issued the document, by the two-letter code (WIPO Standard ST.3).

[4] For Japanese patent documents, the indication of the year of the reign of the Emperor must precede the serial number of the patent document.

[5] Kind of document by the appropriate symbols as indicated on the document under WIPO Standard ST. 16 if possible.

[6] Applicant is to place a check mark here if English language translation is attached.

This collection of information is required by 37 CFR 1.97 and 1.98. The information is required to obtain or retain a benefit by the public which is to file (and by the USPTO to process) an application. Confidentiality is governed by 35 U.S.C. 122 and 37 CFR 1.14. this collection is estimated to take 2 hours to complete, including gathering, preparing, and submitting the completed application form to the USPTO. Time will vary depending upon the individual case. Any comments on the amount of time you require to complete this form and/or suggestions for reducing this burden, should be sent to the Chief Information Officer, U.S. Patent and Trademark Office, U.S. Department of commerce, P.O. Box 1450, Alexandria, VA 22313-1450. DO NOT SEND FEES OR COMPLETED FORMS TO THIS ADDRESS. SEND TO: Commissioner for Patents, P.O. Box 1450, Alexandria, VA 22313-1450

If you need assistance in completing the form, call 1-800-PTO-9199 and select option 2.

PE2E SEARCH - Search History (Prior Art)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	British Equivalents	Time Stamp
L1	31457	(H10K59/126 H10K59/131 H10K59/1213 H01L 23/60).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 05:33 AM
L3	13156	(G09G3/3225 G09G2300/0408).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 05:34 AM
L6	3308	L1 AND (display AND (shield$4 ADJ (layer OR block$2)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 05:44 AM
L7	463	L3 AND (display AND (shield$4 ADJ (layer OR block$2)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 05:45 AM
L8	1644	L6 AND (wire OR connector OR (conductive ADJ (layer OR trace OR path)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 05:46 AM
L9	219	L7 AND (wire OR connector OR (conductive ADJ (layer OR trace OR path)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 05:46 AM
L10	619	L8 AND (((driv$4 ADJ circuit$2) near4 pixel) OR ((driv$4 ADJ circuit$2) near1 pixel))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 05:47 AM
L11	129	L9 AND (((driv$4 ADJ circuit$2) near4 pixel) OR ((driv$4 ADJ circuit$2) near1 pixel))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 05:47 AM
L12	283	L10 AND (power ADJ supply)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 05:48 AM
L13	70	L11 AND (power ADJ supply)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 05:50 AM
L14	279	L12 AND (plug OR through-hole OR hole OR via OR vias)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 05:51 AM
L15	66	L13 AND (plug OR through-hole OR hole OR via OR vias)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 05:51 AM
L16	235	@ad <= "20220322" AND L14	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 05:58 AM
L17	57	@ad <= "20220322" AND L15	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 05:58 AM
L18	31457	(H10K59/126 H10K59/131 H10K59/1213 H01L 23/60).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 06:27 AM
L19	13156	(G09G3/3225	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11

		G09G2300/0408).cpc.					06:27 AM
L20	3308	L1 AND (display AND (shield$4 ADJ (layer OR block$2)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 06:27 AM
L21	463	L3 AND (display AND (shield$4 ADJ (layer OR block$2)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 06:27 AM
L22	1644	L6 AND (wire OR connector OR (conductive ADJ (layer OR trace OR path)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 06:27 AM
L23	219	L7 AND (wire OR connector OR (conductive ADJ (layer OR trace OR path)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 06:27 AM
L24	619	L8 AND (((driv$4 ADJ circuit$2) near4 pixel) OR ((driv$4 ADJ circuit$2) near1 pixel))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 06:27 AM
L25	129	L9 AND (((driv$4 ADJ circuit$2) near4 pixel) OR ((driv$4 ADJ circuit$2) near1 pixel))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 06:27 AM
L26	283	L10 AND (power ADJ supply)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 06:27 AM
L27	70	L11 AND (power ADJ supply)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 06:27 AM
L28	279	L12 AND (plug OR through-hole OR hole OR via OR vias)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 06:27 AM
L29	66	L13 AND (plug OR through-hole OR hole OR via OR vias)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 06:27 AM
L30	235	@ad <= "20220322" AND L14	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 06:27 AM
L31	57	@ad <= "20220322" AND L15	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 06:27 AM
L32	31457	(H10K59/126 H10K59/131 H10K59/1213 H01L 23/60).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:00 AM
L33	13156	(G09G3/3225 G09G2300/0408).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:00 AM
L34	3308	L1 AND (display AND (shield$4 ADJ (layer OR block$2)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:00 AM
L35	463	L3 AND (display AND (shield$4 ADJ (layer OR block$2)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:00 AM
L36	1644	L6 AND (wire OR connector OR (conductive ADJ (layer	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:00 AM

		OR trace OR path)))					
L37	219	L7 AND (wire OR connector OR (conductive ADJ (layer OR trace OR path)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:00 AM
L38	619	L8 AND (((driv$4 ADJ circuit$2) near4 pixel) OR ((driv$4 ADJ circuit$2) near1 pixel))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:00 AM
L39	129	L9 AND (((driv$4 ADJ circuit$2) near4 pixel) OR ((driv$4 ADJ circuit$2) near1 pixel))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:00 AM
L40	283	L10 AND (power ADJ supply)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:00 AM
L41	70	L11 AND (power ADJ supply)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:00 AM
L42	279	L12 AND (plug OR through-hole OR hole OR via OR vias)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:00 AM
L43	66	L13 AND (plug OR through-hole OR hole OR via OR vias)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:00 AM
L44	235	@ad <= "20220322" AND L14	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:00 AM
L45	57	@ad <= "20220322" AND L15	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:00 AM
L46	31457	(H10K59/126 H10K59/131 H10K59/1213 H01L 23/60).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:00 AM
L47	13156	(G09G3/3225 G09G2300/0408).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:00 AM
L48	3308	L1 AND (display AND (shield$4 ADJ (layer OR block$2)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:00 AM
L49	463	L3 AND (display AND (shield$4 ADJ (layer OR block$2)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:00 AM
L50	1644	L6 AND (wire OR connector OR (conductive ADJ (layer OR trace OR path)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:00 AM
L51	219	L7 AND (wire OR connector OR (conductive ADJ (layer OR trace OR path)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:00 AM
L52	619	L8 AND (((driv$4 ADJ circuit$2) near4 pixel) OR ((driv$4 ADJ circuit$2) near1 pixel))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:00 AM
L53	129	L9 AND (((driv$4 ADJ	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11

		circuit$2) near4 pixel) OR ((driv$4 ADJ circuit$2) near1 pixel))					07:00 AM
L54	283	L10 AND (power ADJ supply)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:00 AM
L55	70	L11 AND (power ADJ supply)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:00 AM
L56	279	L12 AND (plug OR through-hole OR hole OR via OR vias)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:00 AM
L57	66	L13 AND (plug OR through-hole OR hole OR via OR vias)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:00 AM
L58	235	@ad <= "20220322" AND L14	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:00 AM
L59	57	@ad <= "20220322" AND L15	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:00 AM
L60	5000	(WUHAN NEAR CHINA).as.	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:02 AM
L61	81	(Xing NEAR WU).in.	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:03 AM
L62	374	L60 AND (display AND (shield$4 ADJ (layer OR block$2)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:03 AM
L63	1	L61 AND (display AND (shield$4 ADJ (layer OR block$2)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:04 AM
L64	363	@ad <= "20220322" AND L62	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:04 AM
L65	24	L64 AND (((driv$4 ADJ circuit$2) near4 pixel) OR ((driv$4 ADJ circuit$2) near1 pixel))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:09 AM
L66	21	L65 AND (plug OR through-hole OR hole OR via OR vias)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:10 AM
L67	7	L66 AND (power ADJ supply)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:10 AM
L68	31457	(H10K59/126 H10K59/131 H10K59/1213 H01L 23/60).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L69	13156	(G09G3/3225 G09G2300/0408).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L70	3308	L1 AND (display AND (shield$4 ADJ (layer OR block$2)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L71	463	L3 AND (display AND (shield$4 ADJ (layer OR block$2)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L72	1644	L6 AND (wire OR	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11

		connector OR (conductive ADJ (layer OR trace OR path)))					07:32 AM
L73	219	L7 AND (wire OR connector OR (conductive ADJ (layer OR trace OR path)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L74	619	L8 AND (((driv$4 ADJ circuit$2) near4 pixel) OR ((driv$4 ADJ circuit$2) near1 pixel))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L75	129	L9 AND (((driv$4 ADJ circuit$2) near4 pixel) OR ((driv$4 ADJ circuit$2) near1 pixel))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L76	283	L10 AND (power ADJ supply)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L77	70	L11 AND (power ADJ supply)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L78	279	L12 AND (plug OR through-hole OR hole OR via OR vias)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L79	66	L13 AND (plug OR through-hole OR hole OR via OR vias)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L80	235	@ad <= "20220322" AND L14	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L81	57	@ad <= "20220322" AND L15	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L82	31457	(H10K59/126 H10K59/131 H10K59/1213 H01L 23/60).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L83	13156	(G09G3/3225 G09G2300/0408).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L84	3308	L1 AND (display AND (shield$4 ADJ (layer OR block$2)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L85	463	L3 AND (display AND (shield$4 ADJ (layer OR block$2)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L86	1644	L6 AND (wire OR connector OR (conductive ADJ (layer OR trace OR path)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L87	219	L7 AND (wire OR connector OR (conductive ADJ (layer OR trace OR path)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L88	619	L8 AND (((driv$4 ADJ circuit$2) near4 pixel) OR ((driv$4 ADJ	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM

		circuit$2) near1 pixel))					
L89	129	L9 AND (((driv$4 ADJ circuit$2) near4 pixel) OR ((driv$4 ADJ circuit$2) near1 pixel))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L90	283	L10 AND (power ADJ supply)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L91	70	L11 AND (power ADJ supply)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L92	279	L12 AND (plug OR through-hole OR hole OR via OR vias)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L93	66	L13 AND (plug OR through-hole OR hole OR via OR vias)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L94	235	@ad <= "20220322" AND L14	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L95	57	@ad <= "20220322" AND L15	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L96	31457	(H10K59/126 H10K59/131 H10K59/1213 H01L 23/60).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L97	13156	(G09G3/3225 G09G2300/0408).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L98	3308	L1 AND (display AND (shield$4 ADJ (layer OR block$2)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L99	463	L3 AND (display AND (shield$4 ADJ (layer OR block$2)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L100	1644	L6 AND (wire OR connector OR (conductive ADJ (layer OR trace OR path)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L101	219	L7 AND (wire OR connector OR (conductive ADJ (layer OR trace OR path)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L102	619	L8 AND (((driv$4 ADJ circuit$2) near4 pixel) OR ((driv$4 ADJ circuit$2) near1 pixel))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L103	129	L9 AND (((driv$4 ADJ circuit$2) near4 pixel) OR ((driv$4 ADJ circuit$2) near1 pixel))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L104	283	L10 AND (power ADJ supply)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L105	70	L11 AND (power ADJ supply)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L106	279	L12 AND (plug OR	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11

		through-hole OR hole OR via OR vias)					07:32 AM
L107	66	L13 AND (plug OR through-hole OR hole OR via OR vias)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L108	235	@ad <= "20220322" AND L14	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L109	57	@ad <= "20220322" AND L15	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L110	31457	(H10K59/126 H10K59/131 H10K59/1213 H01L 23/60).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L111	13156	(G09G3/3225 G09G2300/0408).cpc.	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L112	3308	L1 AND (display AND (shield$4 ADJ (layer OR block$2)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L113	463	L3 AND (display AND (shield$4 ADJ (layer OR block$2)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L114	1644	L6 AND (wire OR connector OR (conductive ADJ (layer OR trace OR path)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L115	219	L7 AND (wire OR connector OR (conductive ADJ (layer OR trace OR path)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L116	619	L8 AND (((driv$4 ADJ circuit$2) near4 pixel) OR ((driv$4 ADJ circuit$2) near1 pixel))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L117	129	L9 AND (((driv$4 ADJ circuit$2) near4 pixel) OR ((driv$4 ADJ circuit$2) near1 pixel))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L118	283	L10 AND (power ADJ supply)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L119	70	L11 AND (power ADJ supply)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L120	279	L12 AND (plug OR through-hole OR hole OR via OR vias)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L121	66	L13 AND (plug OR through-hole OR hole OR via OR vias)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L122	235	@ad <= "20220322" AND L14	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L123	57	@ad <= "20220322" AND L15	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L124	5000	(WUHAN NEAR	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11

		CHINA).as.					07:32 AM
L125	81	(Xing NEAR WU).in.	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L126	374	L60 AND (display AND (shield$4 ADJ (layer OR block$2)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L127	1	L61 AND (display AND (shield$4 ADJ (layer OR block$2)))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L128	363	@ad <= "20220322" AND L62	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L129	24	L64 AND (((driv$4 ADJ circuit$2) near4 pixel) OR ((driv$4 ADJ circuit$2) near1 pixel))	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L130	21	L65 AND (plug OR through-hole OR hole OR via OR vias)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L131	7	L66 AND (power ADJ supply)	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:32 AM
L132	15	"20130009321"	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 12:10 PM
L133	4	"20220157919" "20230172025" "20230122411"	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/12 12:05 AM

PE2E SEARCH - Search History (Interference)

Ref #	Hits	Search Query	DBs	Default Operator	Plurals	British Equivalents	Time Stamp
N1	29	((display AND (shield$4 ADJ (layer OR block$2))) AND (((driv$4 ADJ circuit$2) near4 pixel) OR ((driv$4 ADJ circuit$2) near1 pixel)) AND (power ADJ supply) AND (plug OR through-hole OR hole OR via OR vias)).clm.	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:14 AM
N2	24	@ad <= "20220322" AND N1	(US-PGPUB; USPAT)	OR	ON	ON	2024/06/11 07:15 AM

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

BIB DATA SHEET

CONFIRMATION NO. 9510

SERIAL NUMBER	FILING or 371(c) DATE	CLASS	GROUP ART UNIT	ATTORNEY DOCKET NO.
17/764,557	03/29/2022 RULE	257	2817	92088

APPLICANTS

WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD., Wuhan, Hubei, CHINA;

INVENTORS

Xing WU, Wuhan, Hubei, CHINA;

**** CONTINUING DATA ***************************

This application is a 371 of PCT/CN2022/082256 03/22/2022

**** FOREIGN APPLICATIONS ***************************

CHINA 202210237733.1 03/11/2022

**** IF REQUIRED, FOREIGN FILING LICENSE GRANTED ****

11/18/2023

Foreign Priority claimed	35 USC 119(a-d) conditions met	Verified and Acknowledged	Met after Allowance	STATE OR COUNTRY	SHEETS DRAWINGS	TOTAL CLAIMS	INDEPENDENT CLAIMS
☑ Yes ☐ No	☑ Yes ☐ No	/THANH Y TRAN/ Examiner's Signature	☐	CHINA	5	20	1
			TT Initials				

ADDRESS

PRTSI Inc.
232 NW 42nd Ter
Plantation, FL 33317
UNITED STATES

TITLE

DISPLAY PANEL AND DISPLAY DEVICE

FILING FEE RECEIVED	FEES: Authority has been given in Paper	
0.00	No._____ to charge/credit DEPOSIT ACCOUNT No._____ for following:	☐ All Fees ☐ 1.16 Fees (Filing) ☐ 1.17 Fees (Processing Ext. of time) ☐ 1.18 Fees (Issue) ☐ Other _____ ☐ Credit

PART B - FEE(S) TRANSMITTAL

Complete and send this form, together with applicable fee(s), by mail or fax, or via the USPTO patent electronic filing system.

By mail, send to: Mail Stop ISSUE FEE
Commissioner for Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

By fax, send to: (571)-273-2885

INSTRUCTIONS: This form should be used for transmitting the ISSUE FEE and PUBLICATION FEE (if required). Blocks 1 through 5 should be completed where appropriate. All further correspondence will be mailed to the current correspondence address as indicated unless corrected below or directed otherwise in Block 1, by (a) specifying a new correspondence address; and/or (b) indicating a separate "FEE ADDRESS" for maintenance fee notifications. **Because electronic patent issuance may occur shortly after issue fee payment, any desired continuing application should preferably be filed prior to payment of this issue fee in order not to jeopardize copendency.**

CURRENT CORRESPONDENCE ADDRESS (Note: Use Block 1 for any change of address)

67801 7590 06/26/2024

PRTSI Inc.
232 NW 42nd Ter
Plantation, FL 33317

Note: A certificate of mailing can only be used for domestic mailings of the Fee(s) Transmittal. This certificate cannot be used for any other accompanying papers. Each additional paper, such as an assignment or formal drawing, must have its own certificate of mailing or transmission.

Certificate of Mailing or Transmission

I hereby certify that this Fee(s) Transmittal is being deposited with the United States Postal Service with sufficient postage for first class mail in an envelope addressed to the Mail Stop ISSUE FEE address above, or being transmitted to the USPTO via the USPTO patent electronic filing system or by facsimile to (571) 273-2885, on the date below.

(Typed or printed name)
(Signature)
(Date)

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
17/764,557	03/29/2022	Xing WU	92088	9510

TITLE OF INVENTION: DISPLAY PANEL AND DISPLAY DEVICE

APPLN. TYPE	ENTITY STATUS	ISSUE FEE DUE	PUBLICATION FEE DUE	PREV. PAID ISSUE FEE	TOTAL FEE(S) DUE	DATE DUE
nonprovisional	UNDISCOUNTED	$1200	$0.00	$0.00	$1200	09/26/2024

EXAMINER	ART UNIT	CLASS-SUBCLASS
TRAN, THANH Y	2817	257-040000

1. Change of correspondence address or indication of "Fee Address" (37 CFR 1.363).

☐ Change of correspondence address (or Change of Correspondence Address form PTO/AIA/122 or PTO/SB/122) attached.

☐ "Fee Address" indication (or "Fee Address" Indication form PTO/AIA/47 or PTO/SB/47; Rev 03-02 or more recent) attached. **Use of a Customer Number is required.**

2. For printing on the patent front page, list
(1) The names of up to 3 registered patent attorneys or agents OR, alternatively,
(2) The name of a single firm (having as a member a registered attorney or agent) and the names of up to 2 registered patent attorneys or agents. If no name is listed, no name will be printed.

1 _____
2 _____
3 _____

3. ASSIGNEE NAME AND RESIDENCE DATA TO BE PRINTED ON THE PATENT (print or type)

PLEASE NOTE: Unless an assignee is identified below, no assignee data will appear on the patent. If an assignee is identified below, the document must have been previously recorded, or filed for recordation, as set forth in 37 CFR 3.11 and 37 CFR 3.81(a). Completion of this form is NOT a substitute for filing an assignment.

(A) NAME OF ASSIGNEE (B) RESIDENCE: (CITY and STATE OR COUNTRY)

Wuhan China Star Optoelectronics Semiconductor Display Technology Co., Ltd. **Wuhan, China**

Please check the appropriate assignee category or categories (will not be printed on the patent) : ☐ Individual ☒ Corporation or other private group entity ☐ Government

4a. Fees submitted: ☒ Issue Fee ☐ Publication Fee (if required)

4b. Method of Payment: *(Please first reapply any previously paid fee shown above)*

☒ Electronic Payment via the USPTO patent electronic filing system ☐ Enclosed check ☐ Non-electronic payment by credit card (Attach form PTO-2038)

☒ The Director is hereby authorized to charge the required fee(s), any deficiency, or credit any overpayment to Deposit Account No. **50-1407**

5. **Change in Entity Status** (from status indicated above)

☐ Applicant certifying micro entity status. See 37 CFR 1.29

NOTE: Absent a valid certification of Micro Entity Status (see forms PTO/SB/15A and 15B), issue fee payment in the micro entity amount will not be accepted at the risk of application abandonment.

☐ Applicant asserting small entity status. See 37 CFR 1.27

NOTE: If the application was previously under micro entity status, checking this box will be taken to be a notification of loss of entitlement to micro entity status.

☐ Applicant changing to regular undiscounted fee status.

NOTE: Checking this box will be taken to be a notification of loss of entitlement to small or micro entity status, as applicable.

NOTE: This form must be signed in accordance with 37 CFR 1.31 and 1.33. See 37 CFR 1.4 for signature requirements and certifications.

Authorized Signature **/Martin D. Moynihan/** Date **September 26, 2024**

Typed or printed name **Martin D. Moynihan** Registration No. **40338**

PTOL-85 Part B (11/23) Approved for use through 03/31/2026 OMB 0651-0033 U.S. Patent and Trademark Office; U.S. DEPARTMENT OF COMMERCE

Petitioner Samsung Ex-1004, 0343

UNITED STATES
PATENT AND TRADEMARK OFFICE

P.O. Box 1450
Alexandria, VA 22313 - 1450
www.uspto.gov

ELECTRONIC ACKNOWLEDGEMENT RECEIPT

APPLICATION #	RECEIPT DATE / TIME	ATTORNEY DOCKET #
17/764,557	**09/26/2024 11:44:01 AM Z ET**	**92088**

Title of Invention

DISPLAY PANEL AND DISPLAY DEVICE

Application Information

APPLICATION TYPE	Utility - U.S. National Stage under 35 USC 371	PATENT #	-
CONFIRMATION #	9510	FILED BY	Martin Moynihan
PATENT CENTER #	67332445	FILING DATE	03/29/2022
CUSTOMER #	67801	FIRST NAMED INVENTOR	Xing WU
INTL. APPLICATION #	-	INTL. FILING DATE	-
CORRESPONDENCE ADDRESS	-	AUTHORIZED BY	-

Documents

TOTAL DOCUMENTS: 1

DOCUMENT	PAGES	DESCRIPTION	SIZE (KB)
92088IF.pdf	1	Issue Fee Payment (PTO-85B)	186 KB

Digest

DOCUMENT	MESSAGE DIGEST(SHA-512)
92088IF.pdf	A028E057B68AB4742681F3B8CA6B300570C77937ED0077FDD 3A9D51E6A3365B0958E445DCC56EE653C7FC43714264ECF1 D313EF455F1D5581E85C6D0110995C4

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES
PATENT AND TRADEMARK OFFICE

P.O. Box 1450
Alexandria, VA 22313 - 1450
www.uspto.gov

ELECTRONIC PAYMENT RECEIPT

APPLICATION #	RECEIPT DATE / TIME	ATTORNEY DOCKET #
17/764,557	**09/26/2024 11:44:01 AM Z ET**	**92088**

Title of Invention

DISPLAY PANEL AND DISPLAY DEVICE

Application Information

APPLICATION TYPE	Utility - U.S. National Stage under 35 USC 371	PATENT #	-
CONFIRMATION #	9510	FILED BY	Martin Moynihan
PATENT CENTER #	67332445	AUTHORIZED BY	-
CUSTOMER #	67801	FILING DATE	03/29/2022
INTL. APPLICATION #	-	INTL. FILING DATE	-
CORRESPONDENCE ADDRESS	-	FIRST NAMED INVENTOR	Xing WU

Payment Information

PAYMENT METHOD	PAYMENT TRANSACTION ID	PAYMENT AUTHORIZED BY
DA / 501407	**E20249PB45248754**	**Martin Moynihan**

PRE-AUTHORIZED ACCOUNT	PRE-AUTHORIZED CATEGORY
501407	**37 CFR 1.17 (Patent application and reexamination processing fees); 37 CFR 1.19 (Document supply fees); 37 CFR 1.20 (Post Issuance fees); 37 CFR 1.21 (Miscellaneous fees and charges); 37 CFR 1.492 (National application filing, search, and examination fees)**

FEE CODE	DESCRIPTION	ITEM PRICE($)	QUANTITY	ITEM TOTAL($)
1501	UTILITY ISSUE FEE	1200.00	1	1200.00
			TOTAL AMOUNT:	**$1,200.00**

This Acknowledgement Receipt evidences receipt on the noted date by the USPTO of the indicated documents, characterized by the applicant, and including page counts, where applicable. It serves as evidence of receipt similar to a Post Card, as described in MPEP 503.

New Applications Under 35 U.S.C. 111

If a new application is being filed and the application includes the necessary components for filing date (see 37 CFR 1.53(b)-(d) and MPEP 506), a Filing Receipt (37 CFR 1.54) will be issued in due course and the date shown on this Acknowledgement Receipt will establish the filing date of the application

National Stage of an International Application under 35 U.S.C. 371

If a timely submission to enter the national stage of an international application is compliant with the conditions of 35 U.S.C. 371 and other applicable requirements a Form PCT/DO/EO/903 indicating acceptance of the application as a national stage submission under 35 U.S.C. 371 will be issued in addition to the Filing Receipt, in due course.

New International Application Filed with the USPTO as a Receiving Office

If a new international application is being filed and the international application includes the necessary components for an international filing date (see PCT Article 11 and MPEP 1810), a Notification of the International Application Number and of the International Filing Date (Form PCT/RO/105) will be issued in due course, subject to prescriptions concerning national security, and the date shown on this Acknowledgement Receipt will establish the international filing date of the application.

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	ISSUE DATE	PATENT NO.	ATTORNEY DOCKET NO.	CONFIRMATION NO.
17/764,557	10/29/2024	12133429	92088	9510

67801 7590 10/09/2024

PRTSI Inc.
232 NW 42nd Ter
Plantation, FL 33317

ISSUE NOTIFICATION

The projected patent number and issue date are specified above. The patent will issue electronically. The electronically issued patent is the official patent grant pursuant to 35 U.S.C. § 153. The patent may be accessed on or after the issue date through Patent Center at https://patentcenter.uspto.gov/. The patent will be available in both the public and the private sides of Patent Center. Further assistance in electronically accessing the patent, or about Patent Center, is available by calling the Patent Electronic Business Center at 1-888-217-9197.

The USPTO is implementing electronic patent issuance with a transition period, during which period the USPTO will mail a ceremonial paper copy of the electronic patent grant to the correspondence address of record. Additional copies of the patent (i.e., certified and presentation copies) may be ordered for a fee from the USPTO's Certified Copy Center at https://certifiedcopycenter.uspto.gov/index.html. The Certified Copy Center may be reached at (800)972-6382.

Determination of Patent Term Adjustment under 35 U.S.C. 154 (b)
(application filed on or after May 29, 2000)

The Patent Term Adjustment is 0 day(s). Any patent to issue from the above-identified application will include an indication of the adjustment on the front page.

If a Continued Prosecution Application (CPA) was filed in the above-identified application, the filing date that determines Patent Term Adjustment is the filing date of the most recent CPA.

Applicant will be able to obtain more detailed information by accessing the Patent Center (https://patentcenter.uspto.gov).

Any questions regarding the Patent Term Extension or Adjustment determination should be directed to the Office of Patent Legal Administration at (571)-272-7702. Questions relating to issue and publication fee payments should be directed to the Application Assistance Unit (AAU) of the Office of Patents Stakeholder Experience (OPSE), Stakeholder Support Division (SSD) at (571)-272-4200.

INVENTOR(s) (Please see PATENT CENTER site https://patentcenter.uspto.gov for additional inventors):

Xing WU, Wuhan, Hubei, CHINA;

APPLICANT(s) (Please see PATENT CENTER site https://patentcenter.uspto.gov for additional applicants):

WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD., Wuhan, Hubei, CHINA;

The United States represents the largest, most dynamic marketplace in the world and is an unparalleled location for business investment, innovation, and commercialization of new technologies. The USA offers tremendous resources and advantages for those who invest and manufacture goods here. Through SelectUSA, our nation works to encourage and facilitate business investment. To learn more about why the USA is the best country in the world to develop technology, manufacture products, and grow your business, visit SelectUSA.gov.

United States of America

To Promote the Progress of Science and Useful Arts

The Director

of the United States Patent and Trademark Office has received an application for a patent for a new and useful invention. The title and description of the invention are enclosed. The requirements of law have been complied with, and it has been determined that a patent on the invention shall be granted under the law.

Therefore, this United States

Patent

grants to the person(s) having title to this patent the right to exclude others from making, using, offering for sale, or selling the invention throughout the United States of America or importing the invention into the United States of America, and if the invention is a process, of the right to exclude others from using, offering for sale or selling throughout the United States of America, products made by that process, for the term set forth in 35 U.S.C. 154(a)(2) or (c)(1), subject to the payment of maintenance fees as provided by 35 U.S.C. 41(b). See the Maintenance Fee Notice on the inside of the cover.

Katherine Kelly Vidal

DIRECTOR OF THE UNITED STATES PATENT AND TRADEMARK OFFICE

Petitioner Samsung Ex-1004, 0350

Maintenance Fee Notice

If the application for this patent was filed on or after December 12, 1980, maintenance fees are due three years and six months, seven years and six months, and eleven years and six months after the date of this grant, or within a grace period of six months thereafter upon payment of a surcharge as provided by law. The amount, number and timing of the maintenance fees required may be changed by law or regulation. Unless payment of the applicable maintenance fee is received in the United States Patent and Trademark Office on or before the date the fee is due or within a grace period of six months thereafter, the patent will expire as of the end of such grace period.

Patent Term Notice

If the application for this patent was filed on or after June 8, 1995, the term of this patent begins on the date on which this patent issues and ends twenty years from the filing date of the application or, if the application contains a specific reference to an earlier filed application or applications under 35 U.S.C. 120, 121, 365(c), or 386(c), twenty years from the filing date of the earliest such application ("the twenty-year term"), subject to the payment of maintenance fees as provided by 35 U.S.C. 41(b), and any extension as provided by 35 U.S.C. 154(b) or 156 or any disclaimer under 35 U.S.C. 253.

If this application was filed prior to June 8, 1995, the term of this patent begins on the date on which this patent issues and ends on the later of seventeen years from the date of the grant of this patent or the twenty-year term set forth above for patents resulting from applications filed on or after June 8, 1995, subject to the payment of maintenance fees as provided by 35 U.S.C. 41(b) and any extension as provided by 35 U.S.C. 156 or any disclaimer under 35 U.S.C. 253.

US012133429B2

(12) **United States Patent**
Wu

(10) **Patent No.: US 12,133,429 B2**
(45) **Date of Patent: Oct. 29, 2024**

(54) **DISPLAY PANEL AND DISPLAY DEVICE**

(71) Applicant: **Wuhan China Star Optoelectronics Semiconductor Display Technology Co., Ltd.**, Hubei (CN)

(72) Inventor: **Xing Wu**, Hubei (CN)

(73) Assignee: **Wuhan China Star Optoelectronics Semiconductor Display Technology Co., Ltd.**, Wuhan (CN)

(*) Notice: Subject to any disclaimer, the term of this patent is extended or adjusted under 35 U.S.C. 154(b) by 0 days.

(21) Appl. No.: **17/764,557**

(22) PCT Filed: **Mar. 22, 2022**

(86) PCT No.: **PCT/CN2022/082256**
§ 371 (c)(1),
(2) Date: **Mar. 29, 2022**

(87) PCT Pub. No.: **WO2023/168754**
PCT Pub. Date: **Sep. 14, 2023**

(65) **Prior Publication Data**

US 2024/0074252 A1 Feb. 29, 2024

(30) **Foreign Application Priority Data**

Mar. 11, 2022 (CN) 202210237733.1

(51) **Int. Cl.**
H10K 59/126 (2023.01)
H10K 59/131 (2023.01)
G09G 3/3225 (2016.01)

(52) **U.S. Cl.**
CPC ***H10K 59/126*** (2023.02); ***H10K 59/131*** (2023.02); *G09G 3/3225* (2013.01); *G09G 2300/0408* (2013.01)

(58) **Field of Classification Search**
CPC H10K 59/126; H10K 59/131; H10K 59/1213; H01L 23/60; G09G 3/3225; G09G 2300/0408
See application file for complete search history.

(56) **References Cited**

U.S. PATENT DOCUMENTS

2021/0134846 A1 5/2021 Tai
2022/0157919 A1 * 5/2022 Tian H10K 59/126
2023/0122411 A1 * 4/2023 Yuan H10K 59/1216 345/206

FOREIGN PATENT DOCUMENTS

CN 105321957 2/2016
CN 112310044 2/2021
(Continued)

OTHER PUBLICATIONS

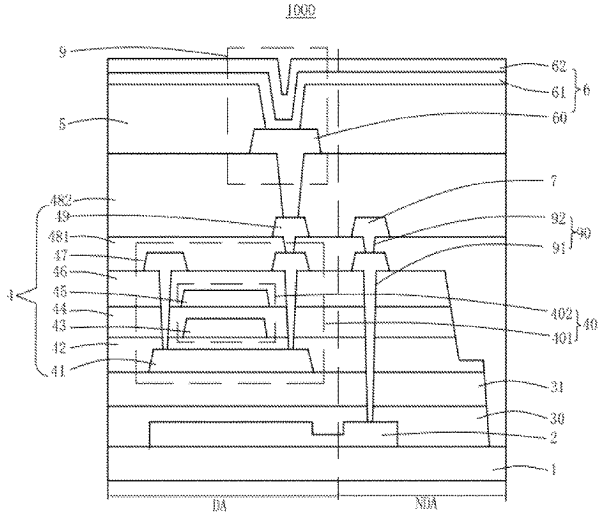
International Search Report and the Written Opinion Dated Nov. 30, 2022 From the International Searching Authority Re. Application No. PCT/CN2022/082256 and Its Translation Into English. (17 Pages).

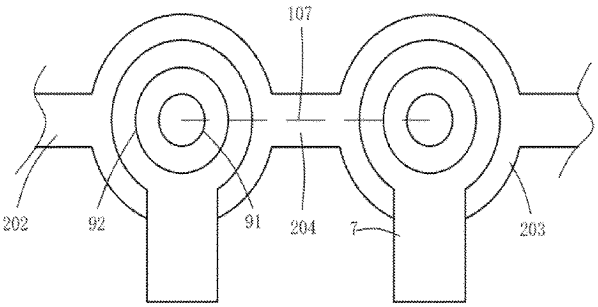
Primary Examiner — Thanh Y. Tran

(57) **ABSTRACT**

A display panel and a display device are provided. The display panel includes a shielding layer, a pixel driving circuit layer located on the shielding layer and including a plurality of pixel driving circuits at least partially overlapping the shielding layer, and a power supply line electrically connected to a plurality of through holes of the shielding layer disposed in the pixel driving circuit layer. A converging line between adjacent through holes are arranged according to a shortest distance between the adjacent through holes.

20 Claims, 5 Drawing Sheets





Petitioner Samsung Ex-1004, 0352

(56) **References Cited**

FOREIGN PATENT DOCUMENTS

CN	112670304	4/2021
CN	113826210	12/2021
CN	113871420	12/2021

* cited by examiner

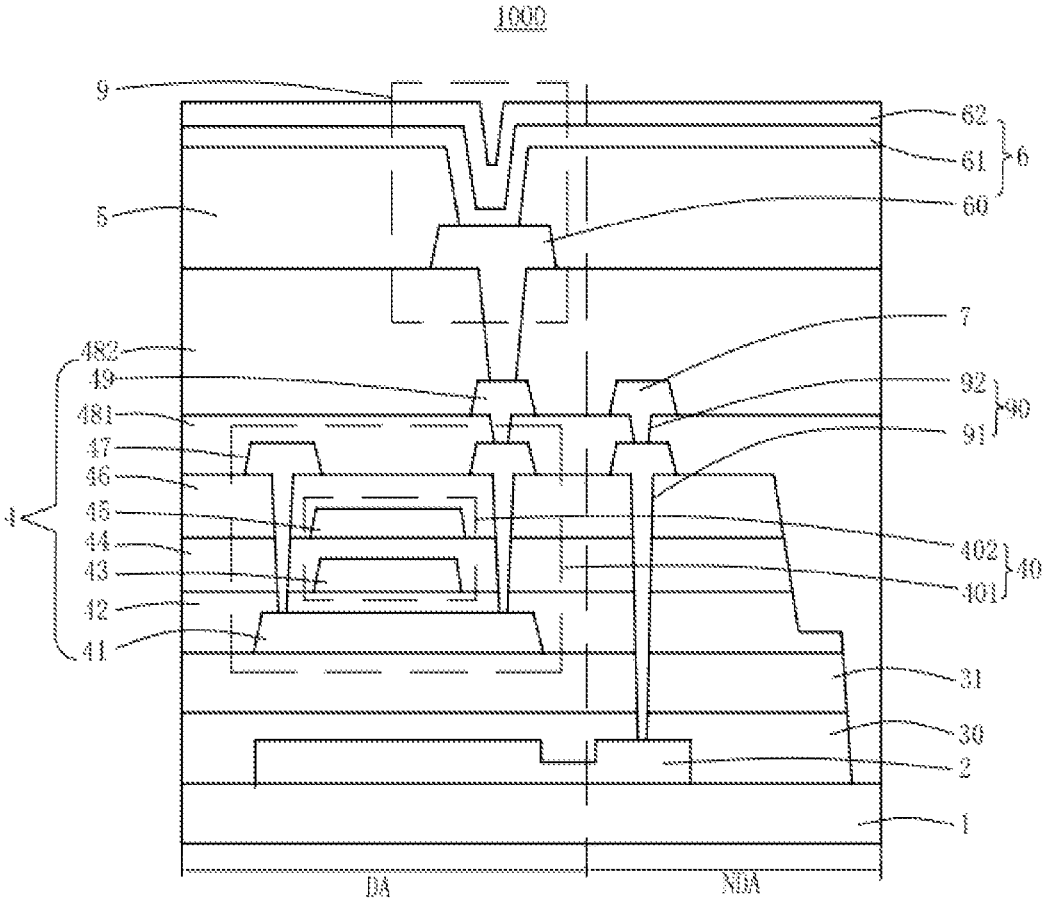

1000
9
62
61
6
60
5
7
482
49
92
90
481
91
47
46
4
45
402
40
44
43
401
42
41
31
30
2
1
DA
NDA

FIG. 1

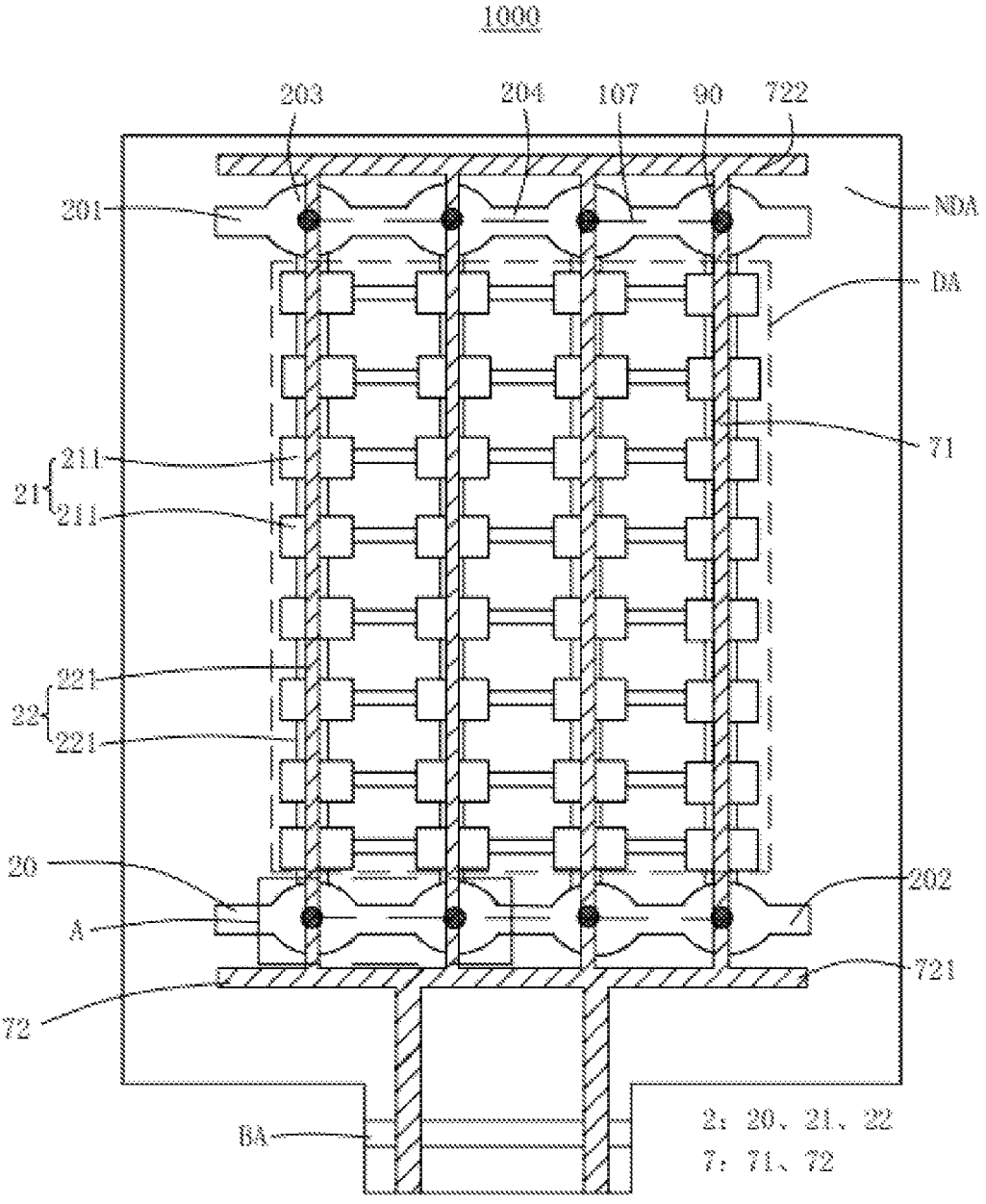

1000
203
204
107
90
722
201
NDA
DA
71
21
211
211
22
221
221
20
A
202
721
72
BA
2：20、21、22
7：71、72

FIG. 2

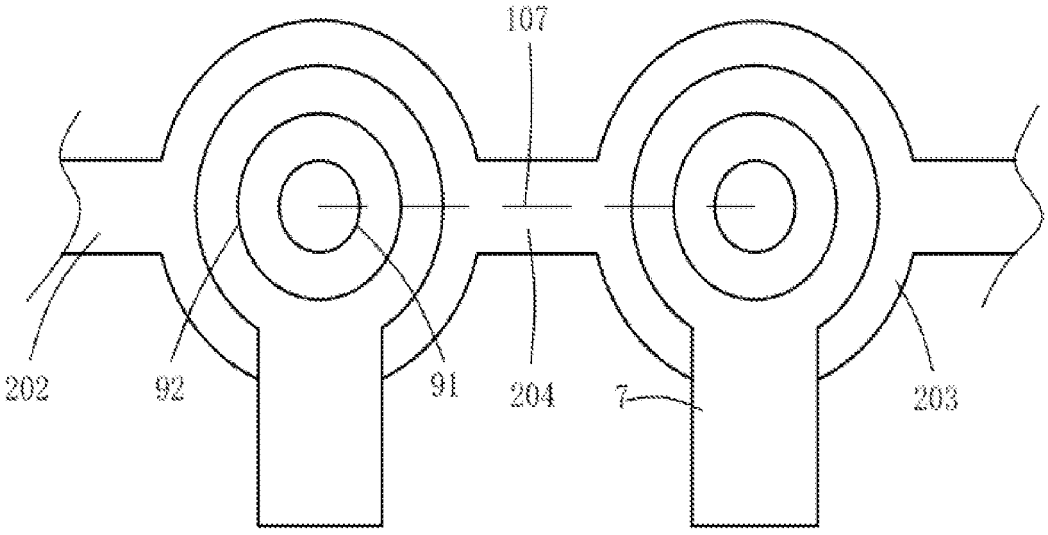


FIG. 3

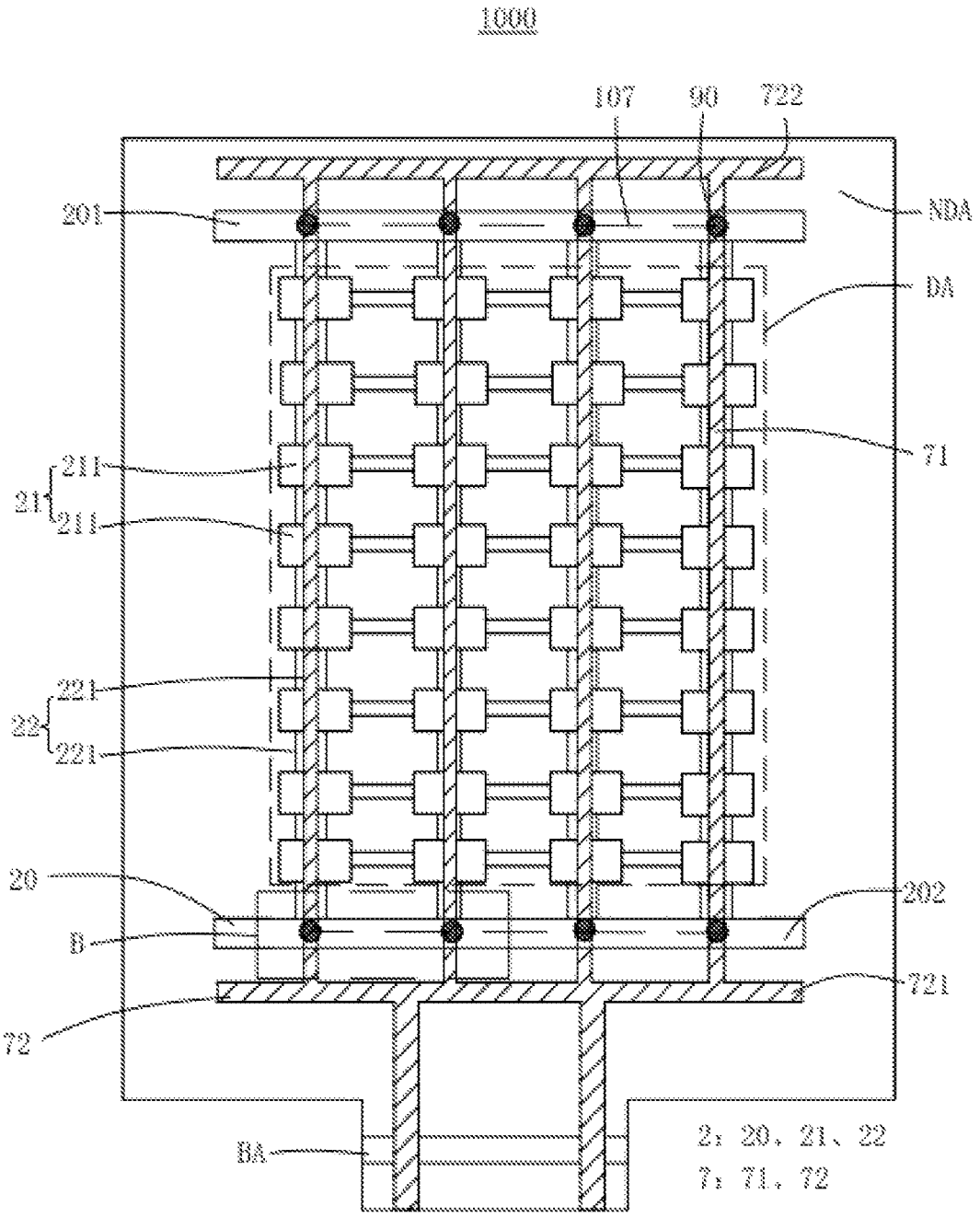

1000
107
90
722
201
NDA
DA
71
211
21
211
221
22
221
20
202
B
721
72
BA
2、20、21、22
7、71、72

FIG. 4

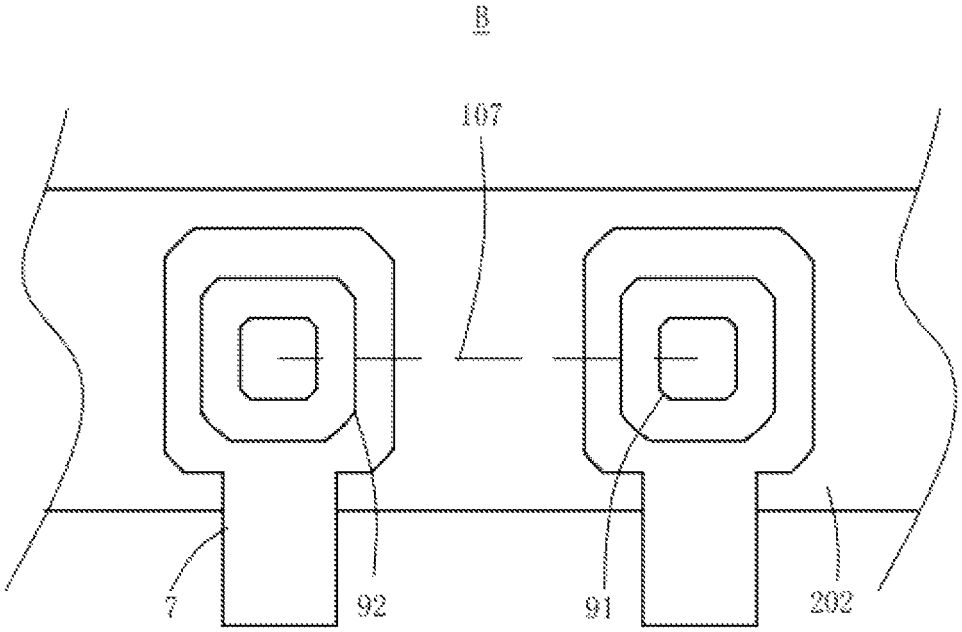


FIG. 5

DISPLAY PANEL AND DISPLAY DEVICE

RELATED APPLICATIONS

This application is a National Phase of PCT Patent Application No. PCT/CN2022/082256 having International filing date of Mar. 22, 2022, which claims the benefit of priority of Chinese Patent Application No. 202210237733.1 filed on Mar. 11, 2022. The contents of the above applications are all incorporated by reference as if fully set forth herein in their entirety.

FIELD AND BACKGROUND OF THE INVENTION

The present disclosure relates to the field of display technologies, and more particularly, to a display panel and a display device.

BACKGROUND

Organic light-emitting diode (OLED) screens are currently widely used and have advantages of light weight and high color gamut value. However, since substrates, adopting organic flexible substrates, are affected by interfaces between the substrates and inorganic layers, the OLED screens are prone to have problems such as screen afterimages, initial drops, and poor service life.

In order to reduce such influence, more and more of the OLED screens adopt bottom shielding metals to shield pixel driving circuits at the interfaces between the substrates and the inorganic layers. However, in order to link to power supply lines, the bottom shielding metals have serrated edges, and electro-static discharge (ESD) explosions are likely to occur at tips of serrations, thereby affecting a display effect.

SUMMARY OF THE INVENTION

The present invention provides a display panel and a display device, which can reduce a problem of electro-static discharge (ESD) damage to bottom shielding metals.

Therefore, the present invention provides a display panel including a display region and a non-display region disposed on at least one side of the display region. The display panel includes: a substrate; a shielding layer located on the substrate and including a plurality of shielding blocks and a converging wire electrically connected to the plurality of shielding blocks, and the converging wire being located on at least one side of the plurality of shielding blocks; a pixel driving circuit layer located on the shielding layer and including a plurality of pixel driving circuits located in the display region, each of the plurality of pixel driving circuits at least partially overlapping a corresponding one of the shielding blocks; and a plurality of power supply lines disposed on a side of the shielding layer away from the substrate. The plurality of power supply lines are electrically connected to the converging wire through a plurality of through holes. The converging wire between two adjacent ones of the plurality of through holes is disposed according to a shortest distance between the two adjacent through holes.

In some embodiments, the converging wire between the two adjacent through holes is linear in arrangement.

In some embodiments, the converging wire is linear in arrangement and the plurality of through holes overlappingly disposed on the converging wire are linear in arrangement.

In some embodiments, the converging wire includes a first converging wire, and the first converging wire includes a plurality of first connection sections and a plurality of second connection sections; wherein each of the plurality of second connection sections is connected between a middle portion of two adjacent first plurality of connection sections, a width of the plurality of first connection sections is greater than a width of the plurality of second connection sections, and the plurality of power supply lines are electrically connected to the plurality of first connection sections through the plurality of through holes.

In some embodiments, the pixel driving circuit layer includes the plurality of pixel driving circuits arranged in an array in a first direction and a second direction, each of the plurality of first connection sections is electrically connected to the plurality of shielding blocks corresponding to a column of the plurality of pixel driving circuits arranged along a first direction.

In some embodiments, a periphery of the plurality of first sections is arc shaped, the plurality of second sections are linearly shaped, a maximum width of the plurality of first sections is greater than the width of the plurality of second sections.

In some embodiments, the non-display region includes: a first non-display region and a second non-display region disposed on two sides of the display region, wherein the first non-display region includes a bending sub-region, and the display panel bends at the bending sub-region.

The converging wire includes a first converging wire arranged in the first non-display region, and the plurality of power supply lines are electrically connected to the plurality of first connection sections at least through the plurality of through holes.

In some embodiments, the converging wire includes a second converging wire arranged in the second non-display region, and the plurality of power supply lines are further electrically connected to the plurality of second connection sections through the plurality of through holes.

In some embodiments, the pixel driving circuit layer includes: a semiconductor layer disposed on a side of the shielding layer away from the substrate; a first insulating layer disposed on a side of the semiconductor layer away from the substrate; a first gate metal layer disposed on a side of the first insulating layer away from the substrate; a second insulating layer disposed on a side of the first gate metal layer away from the substrate; a second gate metal layer disposed on a side of the second insulating layer away from the substrate; and a third insulating layer disposed on a side of the second gate metal layer away from the substrate. The first conductive layer is disposed on a side of the third insulating layer away from the substrate, the plurality of power supply lines of the first conductive layer are electrically connected to the converging wire through the plurality of through holes, and the plurality of through holes penetrate through the first insulating layer, the second insulating layer, and the third insulating layer.

In some embodiments, a fourth insulating layer disposed between the second gate metal layer and the third insulating layer; and a second conductive layer disposed between the fourth insulating layer and the third insulating layer. The plurality of through holes include a plurality of first through holes and a plurality of second through holes, the plurality of first through holes penetrates through the first insulating layer, the second insulating layer, and the fourth insulating layer, and the plurality of second through holes penetrates through the third insulating layer; wherein the plurality of first through holes are communicated with the plurality of

Petitioner Samsung Ex-1004, 0359

second through holes, and a diameter of each of the plurality of second through holes is greater than a diameter of each of the plurality of first through holes.

The present invention further provides a display device including the above-mentioned display panel.

In the display panel and the display device provided by embodiments of the present invention, the plurality of shielding blocks of the shielding layer shield the plurality of thin-film transistors of the pixel driving circuit layer. The plurality of power supply lines and the converging wire of the shielding layer are electrically connected to each other through the plurality of through holes. The converging wires between the adjacent through holes are arranged according to the shortest distance between the adjacent through holes, so that an expected current path flowing through the converging wire is within a boundary of the converging wire and is conducted along the shortest distance between the adjacent through holes. Therefore, an accumulation of charges at a boundary of the shielding layer can be reduce, and an occurrence of an effect of ESD damage of the shielding layer can be reduced.

BRIEF DESCRIPTION OF THE SEVERAL VIEWS OF THE DRAWINGS

FIG. **1** is a cross-sectional schematic view of a display panel provided by an embodiment of the present invention.

FIG. **2** is a top view of the display panel provided by an embodiment of the present invention.

FIG. **3** is an enlarged schematic view of a portion A in FIG. **2**.

FIG. **4** is a top view of a display panel provided by another embodiment of the present invention.

FIG. **5** is an enlarged schematic view of a portion B in FIG. **4**.

DESCRIPTION OF SPECIFIC EMBODIMENTS OF THE INVENTION

In order to make purposes, technical solutions, and effects of the present application clearer and more specific, the present application is further described in detail below with reference to the accompanying drawings and examples. It should be understood that the specific embodiments described herein are only used to explain the application, and are not used to limit the present application. In the present invention, if no explanation is made to the contrary, orientation words such as "upper" and "lower" usually refer to upper and lower directions of a device in an actual use or a working state and specifically refer to drawing directions in drawings. Also, "inner" and "outer" refer to an outline of the device.

As shown in FIGS. **1**-**2**, an embodiment of the present invention provides a display panel **1000**, which can be an organic light-emitting diode (OLED) display panel, a liquid crystal display panel, a micro-light-emitting diode display panel, or a mini-light-emitting diode display panel. For example, the display panel **1000** is an OLED display panel.

The display panel **1000** includes a display region DA and a non-display region NDA. The display region DA can be a region for arranging a plurality of sub-pixels **9** for displaying images. The non-display region NDA can be a driving unit, such as a gate driving circuit, for providing driving signals to a plurality of pixel driving circuits **40** of the plurality of sub-pixels **9**, and some other regions for connecting the driving unit. The plurality of sub-pixels **9** are not arranged in the non-display region NDA. The non-display region NDA can be disposed on at least a side of the display region DA. The non-display region NDA can at least partially surround a periphery of the display region DA. The non-display region NDA includes a first non-display region and a second non-display region disposed on two sides of the display region DA, and the display panel **1000** is bent at a bending sub-region BA of the first non-display region.

The display panel **1000** includes a substrate **1**, a shielding layer **2** located on the substrate **1**, a bottom insulating layer **30** located on the shielding layer **2**, a buffer layer **31** located on the bottom insulating layer **30**, a pixel driving circuit layer **4** located on the buffer layer **31**, a pixel definition layer **5** and a light-emitting device layer **6** located on the pixel driving circuit layer **4**, and a plurality of power supply lines **7**. For convenience of description, the plurality of sub-pixels **9** can include the light-emitting device layer **6**.

Referring to FIG. **1**, the substrate **1** can include a single-layer insulating material such as glass, quartz, and polymer resin, or a multi-layer insulating material such as double-layer polymer resin. The substrate **1** can be a rigid substrate **1** or a flexible substrate **1**. The substrate **1** is used to carry film layers disposed thereon.

The bottom insulating layer **30** and the buffer layer **31** can include a single-layer film that is an insulating film such as silicon nitride (SiN_x) and silicon oxide (SiO_x) or multi-layer films laminated with silicon nitride (SiN_x) and silicon oxide (SiO_x). The buffer layer **31** prevents penetration of unnecessary components such as impurities or moisture.

Referring to FIGS. **1**-**2**, the shielding layer **2** can include single-layer or multi-layer metal materials such as Mo, Ti, Ti/Al/Ti, semiconductor materials Si, transparent conductive materials, e.g., indium tin oxide (ITO). The shielding layer **2** is located between the bottom insulating layer **30** and the substrate **1**, and is disposed under the pixel driving circuit layer **4** to shield the plurality of pixel driving circuits **40** of the pixel driving circuit layer **4**. The shielding layer **2** includes a converging wire **20**, a plurality of shielding portions **21**, and a plurality of common connection portions **22**. The converging wire **20** is located in the non-display region NDA and adjacent to the display region DA, and the plurality of shielding portions **21** are located in the display region DA.

The converging wire **20** includes a first converging wire **201** and a second converging wire **202**. The first converging wire **201** is located in the first non-display region, and the second converging wire **202** is located in the second non-display region, the first converging wire **201** and the second converging wire **202** extend along a first direction, and the first direction is an extending direction of a plurality of scan lines of the pixel driving circuit layer **4** (from left to right in the figure). The first converging wire **201** and the second converging wire **202** each include a plurality of first connection sections **203** and a plurality of second connection sections **204**. A periphery of each of the plurality of first connection sections **203** is arc shaped. For example, the plurality of peripheries of the plurality of first connection sections **203** can be approximately oval or circular, and the plurality of second connection section **204** are approximately linear. Each of the plurality of second connection sections **204** is connected between a middle portion of two adjacent ones of the plurality of first connection sections **203**, and a maximum width of the plurality of first connection sections **203** is greater than a width of the plurality of second connection sections **204**.

The plurality of shielding portions **21** are used to shield a plurality of thin-film transistors **401** of the plurality of pixel driving circuits **40** arranged in an array along the first

Petitioner Samsung Ex-1004, 0360

direction and a second direction. The plurality of thin-film transistors **401** include a plurality of driving thin-film transistors, and the plurality of shielding portions **21** include a plurality of shielding blocks **211** for shielding a plurality of semiconductor patterns of the plurality of driving thin-film transistors. The plurality of shielding blocks **211** are arranged in an array, and each column of the plurality of shielding blocks **211** shield the plurality of semiconductor patterns of the plurality of driving thin-film transistors of the plurality of pixel driving circuits **40** that drive a corresponding column of the plurality of sub-pixels **9**, and are connected to a corresponding one of the plurality of first connection sections **203**.

The plurality of common connection portions **22** include a plurality of common connection sections **221**. The first converging wire **201** is directly connected between outermost of the plurality of shielding blocks **211** on a vertical direction respectively through the plurality of common connection sections **221**, the plurality of common connection sections **221** are electrically connected between the plurality of shielding blocks **211**.

Referring further to FIG. **1**, the pixel driving circuit layer **4** includes a semiconductor layer **41**, a first insulating layer **42** located on the semiconductor layer **41**, a first gate metal layer **43** located on the first insulating layer **42**, a first gate metal layer **43** located on the first insulating layer **42**, a second insulating layer **44** located on the first gate metal layer **43**, a second gate metal layer **45** located on the second insulating layer **44**, an interlayer insulating layer **46** (i.e., a fourth insulating layer) located on the second gate metal layer **45**, a third metal layer **47** (i.e., a second conductive metal layer) located on the interlayer insulating layer **46**, a first planarization layer **481** (i.e., a third insulating layer) located on the third metal layer **47**, a fourth metal layer **49** (i.e., a first conductive layer) located on the first planarization layer **481**, and a second planarization layer **482** located on the fourth metal layer **49**. The semiconductor layer **41**, the first insulating layer **42**, the first gate metal layer **43**, the interlayer insulating layer **46**, and the third metal layer **47** can jointly form the plurality of thin-film transistors **401**. The first gate metal layer **43**, the second insulating layer **44**, and the second gate metal layer **45** can jointly form a plurality of capacitors **402**. The plurality of pixel driving circuits **40** can include the plurality of capacitors **402** and the plurality of thin-film transistors **401** to drive the plurality of sub-pixels **9** to emit light.

The semiconductor layer **41** can include polysilicon or oxide semiconductor. Here, the oxide semiconductor can include any one of oxides or composite oxides of titanium (Ti), hafnium (Hf), zirconium (Zr), aluminum (Al), tantalum (Ta), germanium (Ge), zinc (Zn), gallium (Ga), tin (Sn), or indium (In). The semiconductor layer **41** can include the plurality of semiconductor patterns of the plurality of thin-film transistors **401**. The plurality of semiconductor patterns can include: a channel region overlapping a gate in a thickness direction and a first source/drain region and a second source/drain region located on a side and another side of the channel region, respectively. The first source/drain region and the second source/drain region are conductive regions, and can have higher conductivity and lower resistance than the channel region.

The first insulating layer **42** and the second insulating layer **44** can be a single-layer film including silicon oxide (SiO_x) or silicon nitride (SiN_x), or a multi-layer film laminated with silicon oxide (SiO_x) or silicon nitride (SiN_x).

The first gate metal layer **43** can include a plurality of gates of the plurality of thin-film transistors **401** and the plurality of scan lines, and the plurality of gates can be formed by a low-resistance material. The second gate metal layer **45** can include an upper electrode plate of the plurality of capacitors **402**, and the plurality of gates can serve as a lower electrode plate of the plurality of capacitors **402**. Materials of the first gate metal layer **43** and the second gate metal layer **45** can be the same or different. For example, the first gate metal layer **43** and the second gate metal layer **45** can include at least one metal selected from molybdenum (Mo), aluminum (Al), platinum (Pt), palladium (Pd), silver (Ag), magnesium (Mg), gold (Au), nickel (Ni), neodymium (Nd), iridium (Ir), chromium (Cr), calcium (Ca), titanium (Ti), tantalum (Ta), tungsten (W), and copper (Cu), but not limited thereto.

The interlayer insulating layer **46** can include silicon compounds, metal oxides, etc. For example, the interlayer insulating layer **46** can include silicon oxide, silicon nitride, silicon oxynitride, aluminum oxide, tantalum oxide, hafnium oxide, zirconium oxide, titanium oxide, etc. These materials can be used alone or in combination with one another.

The third metal layer **47** can include a plurality of sources and a plurality of drains of the plurality of thin-film transistors **401** and a plurality of data lines. Materials of the third metal layer **47** and the fourth metal layer **49** can be the same. For example, the third metal layer **47** and the fourth metal layer **49** can include at least one metal selected from molybdenum (Mo), aluminum (Al), platinum (Pt), palladium (Pd), silver (Ag), magnesium (Mg), gold (Au), nickel (Ni), neodymium (Nd), iridium (Ir), chromium (Cr), calcium (Ca), titanium (Ti), tantalum (Ta), tungsten (W), and copper (Cu). The third metal layer **47** can be a single-layer film or a multi-layer film. For example, the third metal layer **47** can be formed in a laminated structure of Ti/Al/Ti, Mo/Al/Mo, Mo/AlGe/Mo, Ti/Cu, etc.

Materials of the first planarization layer **481** and the second planarization layer **482** can be the same or different. For example, the first planarization layer **481** and the second planarization layer **482** can include inorganic insulating materials or organic insulating materials such as polyacrylate resin, epoxy resin, phenolic resin, polyamide resin, polyimide resin, unsaturated polyester resin, polyphenylene ether resin, polyphenylene sulfide resin, or benzocyclobutene. The first planarization layer **481** can further include a photosensitive material, but not limited thereto.

Referring further to FIGS. **1**-**3**, the plurality of power supply lines **7** are disposed in the fourth metal layer **49**, and the plurality of power supply lines **7** can each be a power supply line with a fixed potential located in the non-display region NDA. The plurality of power supply lines **7** include a plurality of signal wires **71** disposed in the display region DA and electrically connected to the plurality of pixel driving circuits **40**, and a plurality of peripheral wires **72** disposed in the non-display region NDA and electrically connected to a preset voltage source (e.g., a power supply chip). The plurality of peripheral wires **72** are electrically connected to the plurality of signal wires **71**, so as to reduce a signal difference on the plurality of signal wires **71**. The plurality of signal wires **71** extend along the second direction, and the second direction is the extending direction of the plurality of data lines of the pixel driving circuit layer **4** (a direction from top to bottom in the figure). The plurality of peripheral wires **72** extend along the first direction, and include a plurality of first connection portions **721** and a plurality of second connection portions **722** opposite to each other. The plurality of first connection portions **721** are

Petitioner Samsung Ex-1004, 0361

adjacent to the bending sub-area BA, and the plurality of second connection portions **722** are located in the second non-display region.

For example, the plurality of power supply lines **7** are at least one of a high-voltage power supply line and a reset signal line. The third metal layer **47** and the fourth metal layer **49** can form the high-voltage power supply line, the low-voltage power supply line, and the reset signal line. The plurality of driving thin-film transistors in the plurality of thin-film transistors **401** can be connected in series with a plurality of light-emitting layers **61** of the sub-pixels **9** in a circuit loop formed by the high-voltage power supply line and the low-voltage power supply line to drive the plurality of light-emitting layers **61** of the plurality of sub-pixels **9** to emit light. The reset signal line can be used to be electrically connected to at least one of the plurality of capacitors **402**, a first electrode of the plurality of sub-pixels **9**, and the plurality of driving thin-film transistors for resetting.

The plurality of power supply lines **7** are electrically connected to the plurality of first connection sections **203** of the converging wire **20** through a plurality of through holes **90** to be electrically connected to the shielding layer **2**. The converging wire **20** between adjacent ones of the plurality of through holes **90** is arranged according to a shortest distance between the adjacent through holes **90**. Since the shortest distance between the adjacent through holes **90**, i.e., a virtual line segment **107**, can represent an expected current path between the adjacent through holes **90**, the expected current path that is approximately linear can be located within a boundary of the converging wire **20**. The plurality of through holes **90** penetrate through the first insulating layer **42**, the second insulating layer **44**, and the first planarization layer **481**. The plurality of through holes **90** include a plurality of first through holes **91** and a plurality of second through holes **92**. The plurality of first through holes **91** penetrate through the first insulating layer **42**, the second insulating layer **44**, and the interlayer insulating layer **46**. The plurality of second through holes **92** penetrate through the first planarization layer **481**. The plurality of first through holes **91** are communicated with the plurality of second through holes **92**, and a diameter of each of the plurality of first through holes **91** is smaller than a diameter of each of the plurality of second through holes **92**.

Reference is further made to FIG. **1**. The pixel definition layer **5** can include resins such as polyacrylates or polyimides, inorganic materials such as silica related, etc. The pixel definition layer **5** is formed with a plurality of openings to expose a first electrode **60** of a light emitting device layer **6**.

The light emitting device layer **6** can include the first electrode **60**, the light emitting layer **61**, and a second electrode **62**.

The first electrode **60** can be an anode. The anode can be materials having a higher work function, such as laminated indium tin oxide (ITO), indium zinc oxide (IZO), zinc oxide (ZnO), and indium oxide (In_2O_3), and materials such as silver (Ag), magnesium (Mg), aluminum (Al), platinum (Pt), palladium (Pd), gold (Au), nickel (Ni), neodymium (Nd), iridium (Ir), chromium (Cr), lithium (Li), calcium (Ca), or a laminated film structure of reflective material layers of a mixture thereof, but not limited thereto. A layer with a higher work function can be arranged on an upper layer more adjacent to the light emitting layer **61** than the reflective material layer. The anode can have a multi-layer structure having ITO/Mg, ITO/MgF_2, ITO/Ag, and ITO/Ag/ITO, but not limited thereto.

The light emitting layer **61** can include an organic material layer. The organic material layer of the light-emitting layer **61** can include an organic light-emitting layer, and can further include a hole injection/transmission layer and/or an electron injection/transmission layer.

The second electrode **62** can be a cathode. The cathode can include materials such as Li, Ca, LiF/Ca, LiF/Al, Al, Mg, Ag, Pt, Pd, Ni, Au, Nd, Ir, Cr, BaF2, Ba, or a material layer of compounds or mixtures thereof (e.g., an Ag and Mg mixture, etc.) with a lower work function. The cathode can further include a transparent metal oxide layer disposed on the material layer with a lower work function.

In the display panel **1000** of the present embodiment, the plurality of shielding blocks **211** of the shielding layer **2** shield the plurality of thin-film transistors **401** of the pixel driving circuit layer **4**, the plurality of power supply lines **7**, and the converging wire **20** of the shielding layer **2** are electrically connected to each other through the plurality of through holes **90** disposed in the pixel driving circuit layer **4**. The converging wire **20** between the adjacent through holes **90** is arranged according to the shortest distance between the adjacent through holes **90**, so that the expected current path flowing through the converging wire **20** is within the boundary of the converging wire **20** and is conducted along the shortest distance between the adjacent through holes **90**. Therefore, an accumulation of charges at a boundary of the shielding layer **2** can be reduce, and an occurrence of an effect of electro-static discharge (ESD) damage of the shielding layer **2** can be reduced.

In other embodiments, referring to FIGS. **4**-**5**, the first converging wire **201** and the second converging wire **202** are linear, and the plurality of through holes **90** overlapping the first converging wire **201** and the second converging wire **202** are linear in arrangement. Based on a same or a similar principle, the effect of ESD damage occurring at adjacent joint locations can be reduced.

In other embodiments, the shielding layer **2** can be located between the buffer layer **31** and the semiconductor layer **41**, or can be located under the substrate **1**, so as to be located under the pixel driving circuit layer **4** for shielding.

In other embodiments, the plurality of power supply lines **7** can also be located in other layers of the pixel driving circuit layer **4**, or can be located under the pixel driving circuit layer **4**, and are not limited to a high-voltage power supply line or a reset signal line.

The present invention further provides a display device including the display panel **1000** described in any of the above. The display device serves as a device for displaying video or still images, and can be not only fixed terminals such as televisions, desktop computers, monitors, billboards, but also mobile terminals such as mobile phones, tablet computers, mobile communication terminals, electronic notepads, E-books, multimedia players, navigators, laptops, and also wearable electronic devices such as smart watches, smart glasses, virtual reality devices, and augmented reality devices.

It can be understood that those having ordinary skills of the art may easily contemplate various changes and modifications of the technical solution and technical ideas of the present application and all these changes and modifications are considered within the protection scope of right for the present application.

What is claimed is:

1. A display panel, comprising a display region and a non-display region disposed on at least one side of the display region, wherein the display panel comprises:

a substrate;

a shielding layer located on the substrate, wherein the shielding layer comprises a plurality of shielding

Petitioner Samsung Ex-1004, 0362

blocks and a converging wire electrically connected to the plurality of shielding blocks, and the converging wire is located on at least one side of the plurality of shielding blocks;

a pixel driving circuit layer located on the shielding layer, wherein the pixel driving circuit layer comprises a plurality of pixel driving circuits located in the display region, each of the plurality of pixel driving circuits at least partially overlaps a corresponding one of the shielding blocks; and

a plurality of power supply lines disposed on a side of the shielding layer away from the substrate, wherein the plurality of power supply lines are electrically connected to the converging wire through a plurality of through holes;

wherein the converging wire between two adjacent ones of the plurality of through holes is disposed according to a shortest distance between the two adjacent through holes.

2. The display panel according to claim **1**, wherein the converging wire between the two adjacent through holes is linear in arrangement.

3. The display panel according to claim **2**, wherein the converging wire is linear in arrangement and the plurality of through holes overlappingly disposed on the converging wire are linear in arrangement.

4. The display panel according to claim **1**, wherein the converging wire comprises a first converging wire, and the first converging wire comprises a plurality of first connection sections and a plurality of second connection sections; wherein each of the plurality of second connection sections is connected between a middle portion of two adjacent first plurality of connection sections, a width of each of the plurality of first connection sections is greater than a width of each of the plurality of second connection sections, and the plurality of power supply lines are electrically connected to the plurality of first connection sections through the plurality of through holes.

5. The display panel according to claim **4**, wherein the plurality of pixel driving circuits are arranged in an array in a first direction and a second direction, each of the plurality of first connection sections is electrically connected to the plurality of shielding blocks corresponding to a column of the plurality of pixel driving circuits arranged along a first direction.

6. The display panel according to claim **5**, wherein a periphery of each of the plurality of first sections is arc shaped, the plurality of second sections are linearly shaped, a maximum width of each of the plurality of first sections is greater than the width of each of the plurality of second sections.

7. The display panel according to claim **1**, wherein the non-display region comprises: a first non-display region and a second non-display region disposed on two sides of the display region, wherein the first non-display region comprises a bending sub-region, and the display panel bends at the bending sub-region; and

the converging wire comprises a first converging wire arranged in the first non-display region, and the plurality of power supply lines are electrically connected to the plurality of first connection sections at least through the plurality of through holes.

8. The display panel according to claim **7**, wherein the converging wire comprises a second converging wire arranged in the second non-display region, and the plurality of power supply lines are electrically connected to the plurality of second connection sections through the plurality of through holes.

9. The display panel according to claim **1**, wherein the pixel driving circuit layer comprises:

a semiconductor layer disposed on a side of the shielding layer away from the substrate;

a first insulating layer disposed on a side of the semiconductor layer away from the substrate;

a first gate metal layer disposed on a side of the first insulating layer away from the substrate;

a second insulating layer disposed on a side of the first gate metal layer away from the substrate;

a second gate metal layer disposed on a side of the second insulating layer away from the substrate; and

a third insulating layer disposed on a side of the second gate metal layer away from the substrate;

wherein the first conductive layer is disposed on a side of the third insulating layer away from the substrate, the plurality of power supply lines of the first conductive layer are electrically connected to the converging wire through the plurality of through holes, and the plurality of through holes penetrate through the first insulating layer, the second insulating layer, and the third insulating layer.

10. The display panel according to claim **9**, wherein the pixel driving circuit layer further comprises:

a fourth insulating layer disposed between the second gate metal layer and the third insulating layer; and

a second conductive layer disposed between the fourth insulating layer and the third insulating layer;

wherein the plurality of through holes comprise a plurality of first through holes and a plurality of second through holes, the plurality of first through holes penetrates through the first insulating layer, the second insulating layer, and the fourth insulating layer, and the plurality of second through holes penetrates through the third insulating layer; wherein the plurality of first through holes are communicated with the plurality of second through holes, and a diameter of each of the plurality of second through holes is greater than a diameter of each of the plurality of first through holes.

11. A display device comprising the display panel as claimed in claim **1**, wherein the display panel is an organic light-emitting diode (OLED) panel.

12. The display device according to claim **11**, wherein the converging wire between the two adjacent through holes is linear in arrangement.

13. The display device according to claim **12**, wherein the converging wire is linear in arrangement and the plurality of through holes overlappingly disposed on the converging wire are linear in arrangement.

14. The display device according to claim **11**, wherein the converging wire comprises a first converging wire, and the first converging wire comprises a plurality of first connection sections and a plurality of second connection sections; wherein each of the plurality of second connection sections is connected between a middle portion of two adjacent first plurality of connection sections, a width of each of the plurality of first connection sections is greater than a width of each of the plurality of second connection sections, and the plurality of power supply lines are electrically connected to the plurality of first connection sections through the plurality of through holes.

15. The display device according to claim **14**, wherein the plurality of pixel driving circuits are arranged in an array in a first direction and a second direction, each of the plurality

Petitioner Samsung Ex-1004, 0363

of first connection sections is electrically connected to the plurality of shielding blocks corresponding to a column of the plurality of pixel driving circuits arranged along a first direction.

16. The display device according to claim **15**, wherein a periphery of each of the plurality of first sections is arc shaped, the plurality of second sections are linearly shaped, a maximum width of each of the plurality of first sections is greater than the width of each of the plurality of second sections.

17. The display device according to claim **11**, wherein the non-display region comprises: a first non-display region and a second non-display region disposed on two sides of the display region, wherein the first non-display region comprises a bending sub-region, and the display panel bends at the bending sub-region; and

the converging wire comprises a first converging wire arranged in the first non-display region, and the plurality of power supply lines are electrically connected to the plurality of first connection sections at least through the plurality of through holes.

18. The display device according to claim **17**, wherein the converging wire comprises a second converging wire arranged in the second non-display region, and the plurality of power supply lines are electrically connected to the plurality of second connection sections through the plurality of through holes.

19. The display device according to claim **11**, wherein the pixel driving circuit layer comprises:

a semiconductor layer disposed on a side of the shielding layer away from the substrate;

a first insulating layer disposed on a side of the semiconductor layer away from the substrate;

a first gate metal layer disposed on a side of the first insulating layer away from the substrate;

a second insulating layer disposed on a side of the first gate metal layer away from the substrate;

a second gate metal layer disposed on a side of the second insulating layer away from the substrate; and

a third insulating layer disposed on a side of the second gate metal layer away from the substrate;

wherein the first conductive layer is disposed on a side of the third insulating layer away from the substrate, the plurality of power supply lines of the first conductive layer are electrically connected to the converging wire through the plurality of through holes, and the plurality of through holes penetrate through the first insulating layer, the second insulating layer, and the third insulating layer.

20. The display device according to claim **19**, wherein the pixel driving circuit layer further comprises:

a fourth insulating layer disposed between the second gate metal layer and the third insulating layer; and

a second conductive layer disposed between the fourth insulating layer and the third insulating layer;

wherein the plurality of through holes comprise a plurality of first through holes and a plurality of second through holes, the plurality of first through holes penetrates through the first insulating layer, the second insulating layer, and the fourth insulating layer, and the plurality of second through holes penetrates through the third insulating layer; wherein the plurality of first through holes are communicated with the plurality of second through holes, and a diameter of each of the plurality of second through holes is greater than a diameter of each of the plurality of first through holes.

* * * * *

UNITED STATES PATENT AND TRADEMARK OFFICE

UNITED STATES DEPARTMENT OF COMMERCE
United States Patent and Trademark Office
Address: COMMISSIONER FOR PATENTS
P.O. Box 1450
Alexandria, Virginia 22313-1450
www.uspto.gov

APPLICATION NO.	FILING DATE	FIRST NAMED INVENTOR	ATTORNEY DOCKET NO.	CONFIRMATION NO.
17/764,557	03/29/2022	Xing WU	92088	9510

67801 7590 10/29/2024

PRTSI Inc.
232 NW 42nd Ter
Plantation, FL 33317

EXAMINER
TRAN, THANH Y

ART UNIT	PAPER NUMBER
2817	

NOTIFICATION DATE	DELIVERY MODE
10/29/2024	ELECTRONIC

Please find below and/or attached an Office communication concerning this application or proceeding.

The time period for reply, if any, is set in the attached communication.

Notice of the Office communication was sent electronically on above-indicated "Notification Date" to the following e-mail address(es):

usptomail@ipatent.co.il

APPLICATION NO.	ISSUE DATE	PATENT NO.
17/764,557	29-Oct-2024	12133429

PRTSI Inc.
232 NW 42nd Ter
Plantation, FL 33317

EGRANT NOTIFICATION

Your electronic patent grant (eGrant) is now available, which can be accessed via Patent Center at https://patentcenter.uspto.gov

The electronic patent grant is the official patent grant under 35 U.S.C. 153. For more information, please visit https://www.uspto.gov/electronicgrants

Petitioner Samsung Ex-1004, 0366

AO 120 (Rev. 08/10)

TO:	REPORT ON THE FILING OR DETERMINATION OF AN ACTION REGARDING A PATENT OR TRADEMARK
Mail Stop 8 Director of the U.S. Patent and Trademark Office P.O. Box 1450 Alexandria, VA 22313-1450	

In Compliance with 35 U.S.C. § 290 and/or 15 U.S.C. § 1116 you are hereby advised that a court action has been filed in the U.S. District Court for the Eastern District of Texas on the following

☐ Trademarks or ☑ Patents. (☐ the patent action involves 35 U.S.C. § 292.):

DOCKET NO.	DATE FILED	U.S. DISTRICT COURT
2:26-cv-228	3/19/2026	for the Eastern District of Texas

PLAINTIFF	DEFENDANT
WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.	SAMSUNG DISPLAY CO., LTD., WALMART INC., and BEST BUY CO. LTD.

	PATENT OR TRADEMARK NO.	DATE OF PATENT OR TRADEMARK	HOLDER OF PATENT OR TRADEMARK
1	12,133,429	3/1/2022	WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTO
2	11,957,031	9/8/2021	WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTO
3	11,257,891	12/16/2018	WUHAN CHINA STAR OPTOELECTRONICS SEMICONDUCTO
4			
5			

In the above---entitled case, the following patent(s)/ trademark(s) have been included:

DATE INCLUDED	INCLUDED BY ☐ Amendment ☐ Answer ☐ Cross Bill ☐ Other Pleading	
PATENT OR TRADEMARK NO.	DATE OF PATENT OR TRADEMARK	HOLDER OF PATENT OR TRADEMARK
1		
2		
3		
4		
5		

In the above—entitled case, the following decision has been rendered or judgement issued:

DECISION/JUDGEMENT

CLERK	(BY) DEPUTY CLERK	DATE

Copy 1—Upon initiation of action, mail this copy to Director **Copy 3—Upon termination of action, mail this copy to Director**
Copy 2—Upon filing document adding patent(s), mail this copy to Director **Copy 4—Case file copy**